

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成19年7月12日(2007.7.12)

【公開番号】特開2001-345322(P2001-345322A)

【公開日】平成13年12月14日(2001.12.14)

【出願番号】特願2000-164044(P2000-164044)

【国際特許分類】

H 01 L 21/316 (2006.01)
H 01 L 23/522 (2006.01)
H 01 L 21/768 (2006.01)

【F I】

H 01 L	21/316	X
H 01 L	21/316	P
H 01 L	21/90	M

【手続補正書】

【提出日】平成19年5月24日(2007.5.24)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 素子構成され段差を有する半導体基板上の全面に層間絶縁膜を形成する半導体装置の製造方法において、

第1のシリコン酸化膜をTEOS-O₃系CVD技術により上記段差を覆って等方的に成膜する第一工程と、

次いで第2のシリコン酸化膜をTEOS-O₃系CVD技術により、上記第1のシリコン酸化膜の段差を埋め込むように成膜する第二工程とを有し、

上記第1のシリコン酸化膜のCVD法での成膜条件であるO₃濃度を、上記第2のシリコン酸化膜のCVD法での成膜条件であるO₃濃度よりも低くすることにより上記第1および第2のシリコン酸化膜から成る上記層間絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項2】 上記第1のシリコン酸化膜の成膜が、上記第2のシリコン酸化膜の成膜に比べて、低O₃濃度および低温条件下の成膜であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 上記第1のシリコン酸化膜の成膜を3.0~7.0wt%程度のO₃濃度、350~400程度の温度で行うことを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】 上記第2のシリコン酸化膜の成膜を10.0~17.0wt%程度のO₃濃度、450~500程度の温度で行うことを特徴とする請求項2または3記載の半導体装置の製造方法。

【請求項5】 前記層間絶縁膜の形成が、ゲート電極形成後の該ゲート電極を覆う膜形成であって、前記第1のシリコン酸化膜を上記ゲート電極におけるゲート長寸法の2~3割程度の厚みで成膜することを特徴とする請求項1~4のいずれかに記載の半導体装置の製造方法。