

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年3月5日(05.03.2020)



(10) 国際公開番号

WO 2020/045121 A1

(51) 国際特許分類:

H04N 5/355 (2011.01) H04N 5/374 (2011.01)
H01L 27/146 (2006.01) H04N 5/3745 (2011.01)

(21) 国際出願番号: PCT/JP2019/032121

(22) 国際出願日: 2019年8月16日(16.08.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-163987 2018年8月31日(31.08.2018) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 米本 和也 (YONEMOTO Kazuya); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

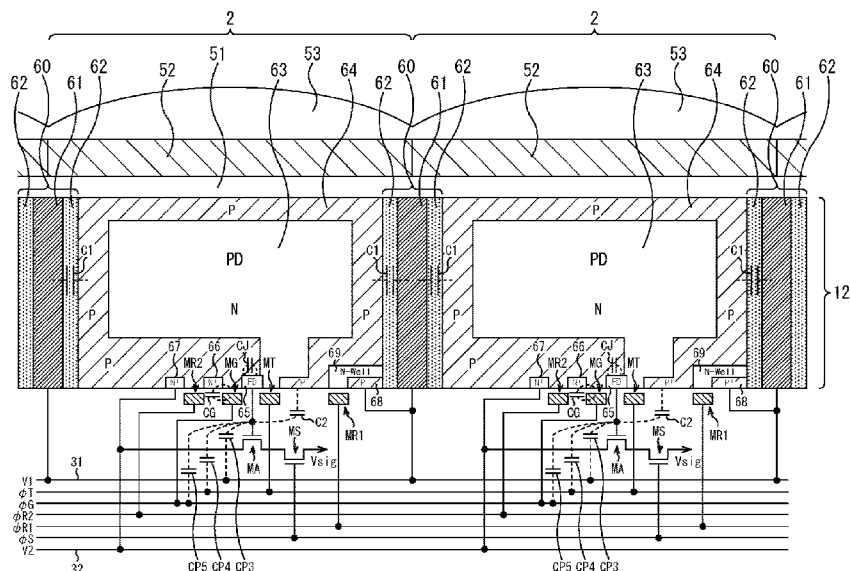
(74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿プライムスクエア9階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: SOLID-STATE IMAGING DEVICE, DRIVE METHOD THEREFOR, AND ELECTRONIC APPARATUS

(54) 発明の名称: 固体撮像装置およびその駆動方法、並びに電子機器

[図3]
FIG. 3



(57) Abstract: This technology relates to: a solid-state imaging device for performing high-dynamic-range imaging by detecting both electrons and holes, wherein high-quality images can be obtained; a drive method for such a solid-state imaging device; and an electronic apparatus. This solid-state imaging device comprises: pixels, each of which includes a photodiode that performs photoelectric conversion of incident light; and a drive control unit that controls driving of the pixels. The pixels accumulate a first charge that is produced by the photoelectric conversion in the photodiode and

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

accumulate a second charge produced by the photoelectric conversion in a first capacitor disposed in a pixel separation unit. After a pixel signal based on the second charge accumulated in the first capacitor is output, the drive control unit causes a pixel signal based on the first charge accumulated in the photodiode to be output. This technology can be applied to a solid-state imaging device or the like that performs high-dynamic-range imaging by detecting both electrons and holes.

(57) 要約: 本技術は、電子と正孔の両方を検出して、高ダイナミックレンジな撮像を行う固体撮像装置において、高画質の画像を得ることができるようになる固体撮像装置およびその駆動方法、並びに電子機器に関する。固体撮像装置は、入射光を光電変換するフォトダイオードを有する画素と、画素の駆動を制御する駆動制御部とを備える。画素は、光電変換により発生する第1の電荷をフォトダイオードに蓄積し、光電変換により発生する第2の電荷を画素分離部に設けられた第1キャパシタに蓄積する。駆動制御部は、第1キャパシタに蓄積された第2の電荷による画素信号を出力した後で、フォトダイオードに蓄積された第1の電荷による画素信号を出力させる。本技術は、例えば、電子と正孔の両方を検出して、高ダイナミックレンジな撮像を行う固体撮像装置等に適用できる。

明 細 書

発明の名称： 固体撮像装置およびその駆動方法、並びに電子機器
技術分野

[0001] 本技術は、固体撮像装置およびその駆動方法、並びに電子機器に関し、特に、電子と正孔の両方を検出して、高ダイナミックレンジな撮像を行う固体撮像装置において、高画質の画像を得るための固体撮像装置およびその駆動方法、並びに電子機器に関する。

背景技術

[0002] 電子と正孔の両方を検出して、高ダイナミックレンジな撮像を実現する方法が提案されている（例えば、特許文献1、非特許文献1参照）。この方法では、光電変換による電子は、通常の埋込み型フォトダイオードに蓄積され、正孔は、フォトダイオードの画素接地に蓄積される。入射光により電子と正孔はほぼ同じ量子効率で発生するが、電子は、暗い被写体を高感度で出力し、正孔は、フォトダイオードが電子で飽和してしまうような明るい被写体を低感度で出力する。その結果、電子と正孔による信号を合わせることで、広範囲な明るさの被写体に応答できる高ダイナミックレンジ撮像が可能になる。

先行技術文献

特許文献

[0003] 特許文献1：米国特許出願公開第2017／0186806号明細書

非特許文献

[0004] 非特許文献1：F. Lalenne, “A 750 K Photocharge Linear Full Well in a 3.2 μm HDR Pixel with Complementary Carrier Collection,” Journal of MDPI, Sensors, 18, 305, 2018.

発明の概要

発明が解決しようとする課題

[0005] 上記文献に開示された方法では、正孔蓄積用容量に蓄積された正孔による

信号を読み出す前に、フォトダイオードに蓄積された電子による信号が読み出される。電子による信号を読み出す際、正孔蓄積用容量には光電変換の結果発生した正孔が蓄積されている。これにより、正孔蓄積用容量を構成するP型画素基板の電位は、0Vではなく正の電位となっている。また、上記文献に開示された方法では、電子による信号を読み出す際、P型画素基板が電氣的にフローティングとなるよう制御されている。この状態で、電子による信号を読み出すために、転送トランジスタのゲート電極へ正の電圧のパルスを与えると、転送ゲート電極とP型画素基板との間の寄生容量結合を介して、P型画素基板の電位が更に正の方向へ変化してしまう。電子を転送する際にP型画素基板の電位が0Vではなく正の電位になっていると、転送トランジスタのチャネルへ十分な電界を印加できず、このことはフォトダイオードからフローティングディフュージョンへの電子の転送に悪影響を及ぼす。一例として、転送トランジスタのチャネルに、フォトダイオードからフローティングディフュージョンへの電子の転送を阻害する電位障壁が生じてしまい、フローティングディフュージョンへ転送できなかった電子が、フォトダイオードに残留してしまう懸念がある。さらには、フォトダイオードに電子が残留することにより、装置から出力される画像において、残像の発生やSN比の低下といった画質の低下が発生する懸念がある。

[0006] 本技術は、このような状況に鑑みてなされたものであり、電子と正孔の両方を検出して高ダイナミックレンジな撮像を行う固体撮像装置において、光電変換の結果発生した電荷の読み出しを良好に行うためのものである。

課題を解決するための手段

[0007] 本技術の第1の側面の固体撮像装置は、入射光を光電変換するフォトダイオードを有する画素と、前記画素の駆動を制御する駆動制御部とを備え、前記画素は、光電変換により発生する第1の電荷を前記フォトダイオードに蓄積し、前記光電変換により発生する第2の電荷を画素分離部に設けられた第1キャパシタに蓄積し、前記駆動制御部は、前記第1キャパシタに蓄積された前記第2の電荷による画素信号を出力した後で、前記フォトダイオードに

蓄積された前記第 1 の電荷による画素信号を出力させる。

[0008] 本技術の第 2 の側面の固体撮像装置の駆動方法は、入射光を光電変換するフォトダイオードを有する画素と、前記画素の駆動を制御する駆動制御部とを備える固体撮像装置の、前記画素が、光電変換により発生する第 1 の電荷を前記フォトダイオードに蓄積し、前記光電変換により発生する第 2 の電荷を画素分離部に設けられた第 1 キャパシタに蓄積し、前記駆動制御部が、前記第 1 キャパシタに蓄積された前記第 2 の電荷による画素信号を出力した後で、前記フォトダイオードに蓄積された前記第 1 の電荷による画素信号を出力させる。

[0009] 本技術の第 3 の側面の電子機器は、入射光を光電変換するフォトダイオードを有する画素と、前記画素の駆動を制御する駆動制御部とを備え、前記画素は、光電変換により発生する第 1 の電荷を前記フォトダイオードに蓄積し、前記光電変換により発生する第 2 の電荷を画素分離部に設けられた第 1 キャパシタに蓄積し、前記駆動制御部は、前記第 1 キャパシタに蓄積された前記第 2 の電荷による画素信号を出力した後で、前記フォトダイオードに蓄積された前記第 1 の電荷による画素信号を出力させる固体撮像装置を備える。

[0010] 本技術の第 1 乃至第 3 の側面においては、光電変換により発生する第 1 の電荷がフォトダイオードに蓄積され、前記光電変換により発生する第 2 の電荷が画素分離部に設けられた第 1 キャパシタに蓄積される。前記第 1 キャパシタに蓄積された前記第 2 の電荷による画素信号を出力した後で、前記フォトダイオードに蓄積された前記第 1 の電荷による画素信号が出力される。

[0011] 固体撮像装置及び電子機器は、独立した装置であっても良いし、他の装置に組み込まれるモジュールであっても良い。

発明の効果

[0012] 本技術の第 1 乃至第 3 の側面によれば、光電変換の結果発生した電荷の読み出しを良好に行うことができる。

[0013] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

- [0014] [図1]本技術を適用した固体撮像装置の概略構成を示す図である。
- [図2]画素の等価回路を示す図である。
- [図3]画素の断面構造を示す図である。
- [図4]画素の断面構造の変形例を示す図である。
- [図5]画素の駆動タイミングチャートである。
- [図6]画素に蓄積される電荷の具体的数値例を説明する図である。
- [図7]第1リセットトランジスタの平面図と断面図である。
- [図8]信号処理回路に着目した固体撮像装置のブロック図である。
- [図9]暗電流補正処理部の詳細な構成例を示すブロック図である。
- [図10]暗電流補正処理部による暗電流改善効果を説明する図である。
- [図11]第2の実施の形態における画素の等価回路を示す図である。
- [図12]第2の実施の形態における画素の断面構造を示す図である。
- [図13]第2の実施の形態における画素の駆動タイミングチャートである。
- [図14]第3の実施の形態における画素の断面構造を示す図である。
- [図15]本技術を適用した電子機器としての撮像装置の構成例を示すブロック図である。
- [図16]イメージセンサの使用例を説明する図である。
- [図17]車両制御システムの概略的な構成の一例を示すブロック図である。
- [図18]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

- [0015] 以下、本技術を実施するための形態（以下、実施の形態という）について説明する。なお、説明は以下の順序で行う。

1. 固体撮像装置の概略構成例
2. 画素回路と断面構造
3. 画素の駆動
4. 数値例
5. 第1リセットトランジスタMR1の詳細構造

6. 暗電流補正処理
7. 電子と正孔の極性を反対にした構造
8. 画素境界部のその他の構造例
9. まとめ
10. 電子機器への適用例
11. 移動体への応用例

[0016] <1. 固体撮像装置の概略構成例>

図1は、本技術を適用した固体撮像装置の概略構成を示している。

[0017] 図1の固体撮像装置1は、半導体として例えばシリコン(Si)を用いた半導体基板12に、画素2が2次元アレイ状に配列された画素アレイ部3と、その周辺の周辺回路部とを有して構成される。周辺回路部には、垂直駆動回路4、カラム信号処理回路5、水平駆動回路6、信号処理回路7、制御回路8などが含まれる。

[0018] 画素2は、フォトダイオード等の光電変換素子と、複数の画素トランジスタを有して成る。複数の画素トランジスタは、例えば、転送トランジスタ、選択トランジスタ、リセットトランジスタ、増幅トランジスタなどであり、MOSトランジスタで構成される。画素2の詳細については、図2及び図3を参照して後述する。

[0019] 制御回路8は、入力クロックと、動作モードなどを指令するデータを受け取り、また固体撮像装置1の内部情報などのデータを出力する。すなわち、制御回路8は、垂直同期信号、水平同期信号及びマスタクロックに基づいて、垂直駆動回路4、カラム信号処理回路5及び水平駆動回路6などの動作の基準となるクロック信号や制御信号を生成する。そして、制御回路8は、生成したクロック信号や制御信号を、垂直駆動回路4、カラム信号処理回路5及び水平駆動回路6等に出力する。

[0020] 垂直駆動回路4は、例えばシフトレジスタによって構成され、所定の画素駆動配線10を選択し、選択された画素駆動配線10に画素2を駆動するためのパルスを供給し、行単位で画素2を駆動する。すなわち、垂直駆動回路

4 は、画素アレイ部 3 の各画素 2 を行単位で順次垂直方向に選択走査し、各画素 2 の光電変換部において受光量に応じて生成された信号電荷に基づく画素信号を、垂直信号線 9 を通してカラム信号処理回路 5 に供給させる。

[0021] カラム信号処理回路 5 は、画素 2 の列ごとに配置されており、1 行分の画素 2 から出力される信号を画素列ごとにノイズ除去などの信号処理を行う。例えば、カラム信号処理回路 5 は、画素固有の固定パターンノイズを除去するための CDS (Correlated Double Sampling : 相関 2 重サンプリング) および AD 変換等の信号処理を行う。

[0022] 水平駆動回路 6 は、例えばシフトレジスタによって構成され、水平走査パルスを順次出力することによって、カラム信号処理回路 5 の各々を順番に選択し、カラム信号処理回路 5 の各々から画素信号を水平信号線 11 に出力させる。

[0023] 信号処理回路 7 は、カラム信号処理回路 5 の各々から水平信号線 11 を通して順次供給される信号に対し、所定の信号処理を行って出力する。信号処理回路 7 は、例えば、バッファリングだけする場合もあるし、暗電流補正、列ばらつき補正、各種デジタル信号処理などが行われる場合もある。入出力端子 13 は、外部と信号のやりとりをする。

[0024] 以上のように構成される固体撮像装置 1 は、CDS 処理と AD 変換処理を行うカラム信号処理回路 5 が画素列ごとに配置されたカラム AD 方式と呼ばれる CMOS イメージセンサである。

[0025] 固体撮像装置 1 は、電子と正孔の両方を検出して、高ダイナミックレンジな撮像を実現する固体撮像装置である。以下では、高ダイナミックレンジな撮像を実現した固体撮像装置 1 の詳細について説明する。

[0026] < 2. 画素回路と断面構造 >

図 2 および図 3 を参照して、電子と正孔の両方を検出する画素 2 の回路と断面構造について説明する。

[0027] 図 2 は、画素 2 の等価回路を示し、図 3 は、画素 2 の断面構造を示している。

[0028] 図2に示されるように、画素2に対して電圧を与えるための線として、第1電圧V1を与える第1電圧供給線31と、第2電圧V2を与える第2電圧供給配線32とが、画素2へ接続されている。

[0029] ここで、第1電圧V1は、例えば接地電圧（言い換えればGND電圧、0V）であり、第2電圧V2は、例えば電源電圧（言い換えればVDD電圧）である。なお、第1電圧V1は、0Vに限らず、負の電圧や、あるいはまた、第2電圧V2よりも低い電圧となる正の電圧も取り得る。（本明細書において、GND電圧以外となる第1電圧V1を、便宜上VPGBと呼ぶことがある）

[0030] 固体撮像装置1は、画素2に対して第2電圧V2を与える機構（言い換えれば画素2へ電源を供給する機構）として、時間によって画素2へ与える電圧の大きさを変える、可変電源機構を備える。この可変電源機構は、例えば、（1）画素2に備わるフォトダイオードPDやフローティングディフュージョンFDの状態をリセットするための電圧や画素2に備わるトランジスタを動作させるための電圧となる高電圧VDD_Hと、（2）画素2に備わるトランジスタの動作を停止状態とするための低電圧VDD_Lとなど、複数種の電圧を画素2に対して与え得る。なお、低電圧VDD_Lの大きさは、第1電圧V1と同じであってもよいし異なってもよい。

[0031] 図2に示されるように、画素2は、フォトダイオードPD、第1リセットトランジスタMR1、転送トランジスタMT、変換ゲイン切替トランジスタMG、第2リセットトランジスタMR2、増幅トランジスタMA、選択トランジスタMS、フローティングディフュージョンFD、第1キャパシタC1、および、第2キャパシタC2を備える。

[0032] 転送トランジスタMT、変換ゲイン切替トランジスタMG、第2リセットトランジスタMR2、増幅トランジスタMA、選択トランジスタMS、および、第1リセットトランジスタMR1は、MOSトランジスタで構成される。より具体的には、転送トランジスタMT、変換ゲイン切替トランジスタMG、第2リセットトランジスタMR2、増幅トランジスタMA、および、選択トランジスタMSは、N型のMOSトランジスタ（NMOSトランジスタ）で構成され、第1リセットトランジスタM

R1は、P型のMOSトランジスタ（PMOSトランジスタ）で構成される。

[0033] フォトダイオードPDのアノードであるノードN1は、P型半導体によって形成されている。P型半導体領域であるノードN1は、P型のMOSトランジスタである第1リセットトランジスタMR1を介して第1電圧供給線31に接続されている。フォトダイオードPDのカソードは転送トランジスタMTを介して、電荷－電圧変換部となるフローティングディフュージョンFDに接続されている。

[0034] 第1リセットトランジスタMR1は、フォトダイオードPDのアノードであるノードN1を第1電圧供給線31へ接続したり、あるいはまた、ノードN1を第1電圧供給線31から切り離してノードN1をフローティング状態にする機能を担う。第1リセット信号 $\phi R1$ により第1リセットトランジスタMR1が導通状態とされたとき、ノードN1は第1電圧供給線31に接続され、ノードN1は第1電圧V1へとリセットされる。第1リセット信号 $\phi R1$ により第1リセットトランジスタMR1が非導通状態とされたときには、ノードN1はフローティング状態となる。

[0035] 転送トランジスタMTは、転送信号 ϕT により導通状態とされたとき、フォトダイオードPDで生成された電荷（電子）を読み出し、フローティングディフュージョンFDに転送する。

[0036] フローティングディフュージョンFD（言い換えれば、浮遊拡散容量FD）は、電荷－電圧変換部であり、かつまた、電圧へと変換された信号が垂直信号線9を介して画素外へ出力されるまでの間、一時的に電荷を保持する電荷蓄積部ともなる。フローティングディフュージョンFDは、転送トランジスタMTのドレイン領域（N型半導体拡散層領域）も兼ねている。かつ、転送トランジスタMTとフローティングディフュージョンFDは、フォトダイオードPDのアノードとなるP型半導体領域（ノードN1）内に形成されている。このため、フローティングディフュージョンFDと、フォトダイオードPDのアノードとなるP型半導体領域（ノードN1）の間には、PN接合FDJが形成される。PN接合FDJに備わる接合容量を、CJと呼ぶことにする。フローティングディフュージョンFDは、転送トランジスタMTを介してフォトダイオードPDと接続される他、変換

ゲイン切替トランジスタMGおよび第2リセットトランジスタMR2を介して、第2電圧供給配線32に接続されている。さらに、フローティングディフュージョンFDは、増幅トランジスタMAのゲートとも接続されている。

[0037] 変換ゲイン切替トランジスタMGおよび第2リセットトランジスタMR2は直列に接続され、フローティングディフュージョンFDと第2電圧供給配線32との間に配置されている。変換ゲイン切替トランジスタMGは、切替信号 ϕG に応じて、フローティングディフュージョンFDの変換ゲインを切り替える。具体的には、変換ゲイン切替トランジスタMGが切替信号 ϕG により導通状態（オン状態）となると、変換ゲイン切替トランジスタMGのゲート容量CGが、フローティングディフュージョンFDへと電氣的に接続され、フローティングディフュージョンFDの容量が増加する。これにより、フローティングディフュージョンFDにおいて一定量の電荷を電圧変換した結果生じる電圧信号は、変換ゲイン切替トランジスタMGが非導通状態の場合よりも小さく、いわゆる低変換ゲイン状態となる。一方、変換ゲイン切替トランジスタMGが切替信号 ϕG により非導通状態（オフ状態）となると、上記変換ゲイン切替トランジスタMGのゲート容量CGが、フローティングディフュージョンFDから電氣的に切り離される。その結果、変換ゲイン切替トランジスタMGが導通状態の場合よりもフローティングディフュージョンFDの容量が小さくなる。これにより、フローティングディフュージョンFDにおいて一定量の電荷を電圧変換した結果生じる電圧信号は、変換ゲイン切替トランジスタMGが導通状態の場合よりも大きく、いわゆる高変換ゲイン状態となる。

[0038] 第2リセットトランジスタMR2は、第2リセット信号 $\phi R2$ により導通状態とされたとき、フローティングディフュージョンFDに保持されている電荷を第2電圧供給配線32へ排出することで、フローティングディフュージョンFDの電位を第2電圧V2へとリセットする。第2リセットトランジスタMR2がリセット動作を行うときは、変換ゲイン切替トランジスタMGも同時に導通状態とされる。

[0039] 増幅トランジスタMAは、フローティングディフュージョンFDの電位に応じ

た画素信号 V_{sig} を垂直信号線9へと出力する。増幅トランジスタMAは、垂直信号線9に接続され定電流源として機能する負荷MOS（不図示）とソースフォロワ回路を構成する。そして増幅トランジスタMAは、フローティングディフュージョンFDに保持されている電荷に応じたレベルを示す画素信号 V_{sig} を、増幅トランジスタMAから選択トランジスタMSと垂直信号線9を介してカラム信号処理回路5（図1）へと出力する。負荷MOSは、例えば、カラム信号処理回路5内に設けられている。

[0040] 選択トランジスタMSは、選択信号 ϕ_S により画素2が選択されたとき導通状態とされ、画素2の画素信号 V_{sig} を、垂直信号線9を介してカラム信号処理回路5に出力する。転送信号 ϕ_T 、切替信号 ϕ_G 、第2リセット信号 ϕ_{R2} 、第1リセット信号 ϕ_{R1} 、および、選択信号 ϕ_S は、画素2の駆動を制御する駆動制御部である垂直駆動回路4によって制御され、画素駆動配線10（図1）を介して供給される。

[0041] 図2において、第1キャパシタC1は、等価回路上、フォトダイオードPDのアノードとなるノードN1と第1電圧供給線31との間に接続された容量である。第1キャパシタC1の具体的な構成は後述するが、画素2の構成要素に寄生した寄生容量であってもよいし、意図的に付加した容量であってもよい。第1キャパシタC1は、一例として、フォトダイオードPDのアノードとなるP型半導体領域と、各画素の周囲に配置されたトレンチの内部に配置された電極と、トレンチの内部であってP型半導体領域と電極との間に配置された絶縁膜と、で構成される容量である。なお、今後、第1キャパシタC1の容量の大きさをCC1と呼ぶことがある。

[0042] 図2において、フローティングディフュージョンFDには、複数種の容量が接続されている。

[0043] 接合容量CJは、等価回路上、フローティングディフュージョンFDとノードN1との間に接続された容量である。接合容量CJは、N型半導体拡散層領域であるフローティングディフュージョンFDと、P型半導体領域であるノードN1との間に備わる、接合容量である。なお、今後、接合容量CJの容量の大きさをCCJ

と呼ぶことがある。

[0044] 第2キャパシタC2も、等価回路上は、フローティングディフュージョンFDとノードN1との間に接続された容量である。第2キャパシタC2の具体的な構成は後述するが、画素2の構成要素に寄生した寄生容量であってもよいし、意図的に付加した容量であってもよい。第2キャパシタC2は、一例として、フローティングディフュージョンFDに接続された配線と、P型半導体領域であるノードN1との間に生じる、寄生容量である。なお、今後、第2キャパシタC2の容量の大きさをCC2と呼ぶことがある。

[0045] フローティングディフュージョンFDとノードN1との間に接続された容量であるところの、接合容量CJと第2キャパシタC2を合わせた合成容量を、ノードN1に対するFD容量CFDtoN1と呼ぶことがある。また、ノードN1に対するFD容量CFDtoN1の大きさを、CCFDtoN1と呼ぶことがある。

[0046] 第3キャパシタCP3乃至第5キャパシタCP5は、等価回路上は、フローティングディフュージョンFDと、電圧が第1電圧V1となる領域との間に接続された容量である。第3キャパシタCP3乃至第5キャパシタCP5の具体的な構成は後述するが、一例として、第3キャパシタCP3は、フローティングディフュージョンFDおよびこれに接続された配線（いわゆるFD配線）と、第1電圧供給線31との間に生じる寄生容量であり、第4キャパシタCP4は、フローティングディフュージョンFDおよびこれに接続された配線と、転送信号 ϕ_T を伝送する配線との間に生じる寄生容量であり、第5キャパシタCP5は、フローティングディフュージョンFDおよびこれに接続された配線と、切替信号 ϕ_G を伝送する配線との間に生じる寄生容量である。なお、今後、第3キャパシタCP3乃至第5キャパシタCP5の容量の大きさをCCP3乃至CCP5と呼ぶことがある。フローティングディフュージョンFDと、電圧が第1電圧V1となる領域との間に生じる寄生容量は、第3キャパシタCP3乃至第5キャパシタCP5以外にも存在し得るが、ここでは省略する。

[0047] フローティングディフュージョンFDと第1電圧V1となる領域との間に接続された容量であるところの、第3キャパシタCP3乃至第5キャパシタCP5とこ

れら以外の寄生容量を合わせた合成容量を、第1電圧 V_1 に対するFD容量 CFD_{toV_1} と呼ぶことがある。また、第1電圧 V_1 に対するFD容量 CFD_{toV_1} の大きさを、 $CCFD_{toV_1}$ と呼ぶことがある。

[0048] なお、フローティングディフュージョンFDの総容量、すなわち、フローティングディフュージョンFDとノード N_1 との間のFD容量 CFD_{toN_1} と、フローティングディフュージョンFDと第1電圧 V_1 となる領域との間のFD容量 CFD_{toV_1} との、合成容量を CFD と呼ぶことがあり、フローティングディフュージョンFDの総容量 CFD の大きさを $CCFD$ と呼ぶことがある。

[0049] 変換ゲイン切替トランジスタMGのゲート容量CGは、先に述べたように、切替信号 ϕ_G によって、フローティングディフュージョンFDへ電氣的に接続されたり切り離されたりする。なお、今後、変換ゲイン切替トランジスタMGのゲート容量CGの大きさを CCG と呼ぶことがある。

[0050] 次に、図3を参照して、画素2の断面構造について説明する。

[0051] 画素アレイ部3では、図3に示されるように、画素2が2次元アレイ状に並んで形成されている。画素2に備わる半導体基板12へは、図3の上側（北側）から光が入射する。そこで、本明細書においては、便宜上、半導体基板12に備わる2つの面のうち、光が入射する側の面（図3の上側（北側）の面）を半導体基板12の裏面と呼び、半導体基板12に備わるもう一方の面（光の入射面に対向する面、図3の下側（南側）の面）を半導体基板12の表面、と呼ぶ。図3において上側となる半導体基板12の裏面側には、層間膜51、カラーフィルタ52、および、マイクロレンズ53が、その順で形成されている。層間膜51の材料には、例えば、酸化シリコン（ SiO_2 ）等が用いられる。層間膜51の他に、半導体基板12の裏面側に、例えば、窒化シリコン（ SiN ）、酸化ハフニウム（ HfO_2 ）等による反射防止膜や固定電荷膜等が形成されてもよい。

[0052] カラーフィルタ52は、例えば、R（赤色）、G（緑色）、または、B（青色）のベイア配列とされている。カラーフィルタ52は、例えば顔料や染料などの色素を含んだ感光性樹脂を回転塗布することによって形成される。マイ

クロレンズ53は、例えば、スチレン系樹脂、アクリル系樹脂、スチレンーアクリル共重合系樹脂、またはシロキサン系樹脂等の樹脂系材料で形成される。

[0053] 画素アレイ部3の半導体基板12において、隣接して配置される画素2の境界部分には、半導体基板12を貫通するトレンチアイソレーション60が設けられている。トレンチアイソレーション60は、その中心部に配置されたトレンチ電極61と、トレンチ電極61の外側に配置された絶縁膜62とで構成されている。トレンチ電極61は、タングステン(W)、アルミニウム(Al)、銅(Cu)等の金属材料またはポリシリコンなどで形成される。トレンチ電極61は、第1電圧供給線31に電氣的に接続されている。トレンチ電極61の周囲に配置された絶縁膜62は、酸化シリコン(SiO₂)等の酸化物あるいはその他の絶縁材料で形成される。トレンチ電極61と絶縁膜62を備えたトレンチアイソレーション60は、隣接する画素2の間を電氣的に分離する画素分離部として機能する。

[0054] 画素アレイ部3に備わる各画素2は、フォトダイオードPDを備える。フォトダイオードPDは、カソードとなるN型半導体領域63、および、アノードとなるP型半導体領域64を備える。

[0055] 画素2に備わるフォトダイオードPDは、その周囲に半導体基板12を貫通するトレンチアイソレーション60を備える。これにより、画素2に備わるフォトダイオードPDは、隣接する画素2に備わるフォトダイオードPDとの間、画素毎に電氣的に分離されている。フォトダイオードPDのアノードとなるP型半導体領域64は、第1リセットトランジスタMR1によって、第1電圧供給線31と電氣的に接続および分離される。フォトダイオードPDのアノードとなるP型半導体領域64は、第1リセットトランジスタMR1によって第1電圧供給線31から切り離されたときには、フローティング状態となる。フォトダイオードPDのカソードとなるN型半導体領域63は、転送トランジスタMTによって、フローティングディフュージョンFDと電氣的に接続および分離される。

[0056] さらに、画素2に備わるフォトダイオードPDは、その側面と上面と下面にアノードとなるP型半導体領域64を備え、その内側にカソードとなるN型半導体領域63を備えた、埋め込み型のフォトダイオードとなっている。より具体的には、フォトダイオードPDの側面において、P型半導体領域64は、各画素2の境界部に配置されたトレンチアイソレーション60の内側（画素の内側方向）に沿って配置される。また、P型半導体領域64は、各画素2に備わる半導体基板12の裏面（図3の上面）に沿っても配置され、さらに、半導体基板12の表面（図3の下面）のうち、画素2に備わるトランジスタ以外となる領域にも配置される。

[0057] なお、図3において、N+またはP+の+は、N型またはP型の濃度が高い領域を表す。

[0058] 図3において下側となる半導体基板12の表面側には、転送トランジスタMT、変換ゲイン切替トランジスタMG、第2リセットトランジスタMR2、増幅トランジスタMA、選択トランジスタMS、第1リセットトランジスタMR1、フローティングディフュージョンFDなどが形成される。なお、増幅トランジスタMAと選択トランジスタMSは、同一断面で表せないため、回路シンボルで表している。これらの素子のうち、PMOSトランジスタである第1リセットトランジスタMR1を除いた各素子、すなわち、転送トランジスタMT、変換ゲイン切替トランジスタMG、第2リセットトランジスタMR2、増幅トランジスタMA、選択トランジスタMS、増幅トランジスタMA、選択トランジスタMSとフローティングディフュージョンFDは、P型半導体領域64内に形成されている。

[0059] 転送トランジスタMTは、転送信号 ϕ_T により導通状態とされたとき、N型半導体領域63に蓄積されている電荷（電子）を、フローティングディフュージョンFDとしてのN型半導体領域65に転送する。フローティングディフュージョンFDとしてのN型半導体領域65は、増幅トランジスタMAのゲートに接続されている。

[0060] N型半導体領域66は、変換ゲイン切替トランジスタMGのドレイン領域および第2リセットトランジスタMR2のソース領域として機能する。N型半導体領

域 6 7 は、第 2 リセットトランジスタ MR2 のドレイン領域として機能し、第 2 電圧供給配線 3 2 と、増幅トランジスタ MA のドレイン領域に接続されている。

[0061] 半導体基板 1 2 の表面側で、かつ、画素境界のトレンチアイソレーション 6 0 に近い所定の領域には、第 1 リセットトランジスタ MR1 が形成されている。第 1 リセットトランジスタ MR1 は、P 型の MOS トランジスタである。周囲を P 型半導体領域 6 4 で囲まれた中に、N 型ウェル (Well) 6 9 が形成される。N 型ウェル 6 9 の表面にゲート絶縁膜を挟んで第 1 リセットトランジスタ MR1 のゲート電極が形成される。このゲート電極には第 1 リセット信号 $\phi R1$ を伝送する配線が接続される。N 型ウェル 6 9 の中であって、その表面にゲート電極が形成されていない領域には、第 1 リセットトランジスタ MR1 のドレイン領域となる P 型半導体領域 6 8 が形成される。一方、N 型ウェル 6 9 を取り囲む P 型半導体領域 6 4 が、第 1 リセットトランジスタ MR1 のソース領域を兼ねる。第 1 リセットトランジスタ MR1 のドレイン領域である P 型半導体領域 6 8 は、トレンチ電極 6 1 とともに第 1 電圧供給線 3 1 に接続されている。

[0062] 次に、図 3 を参照して、画素 2 に備わるキャパシタの構成の例を説明する。

[0063] 第 1 キャパシタ C1 は、トレンチアイソレーション 6 0 と、フォトダイオード PD のアノードとなる P 型半導体領域 6 4 によって構成される。具体的には、第 1 電圧供給線 3 1 に接続されたトレンチ電極 6 1 が一方の電極、フォトダイオード PD のアノードとなる P 型半導体領域 6 4 が他方の電極となり、これら 2 つの電極とこれらの間に配置された絶縁膜 6 2 とで、第 1 キャパシタ C1 を構成している。

[0064] 第 2 キャパシタ C2 は、フローティングディフュージョン FD およびこれに接続された配線 (いわゆる FD 配線) と、フォトダイオード PD のアノードとなる P 型半導体領域 6 4 との間に生じる容量である。第 2 キャパシタ C2 は、画素 2 の構成要素に寄生した寄生容量であってもよいし、意図的に付加した容量であってもよい。例えば、第 2 キャパシタ C2 は、フローティングディフュージ

オンFDに接続された配線（いわゆるFD配線）と、フォトダイオードPDのアノードとなるP型半導体領域64との間に生じる寄生容量であってよい。あるいは、フローティングディフュージョンFDに接続された配線（いわゆるFD配線）の一部の幅を、その他の部分の幅よりも大きくすることで、P型半導体領域64との間に意図的に付加した容量であってもよい。あるいは、FD配線と、P型半導体領域64と、FD配線とP型半導体領域64との間に配置された層間膜と、によって形成された寄生容量だけでなく、フローティングディフュージョンFDに接続された配線であってFD配線とは異なる配線を用いてP型半導体領域64との間に意図的に付加した容量であってもよいし、層間膜とは異なる絶縁材料もしくは誘電材料と用いてFD配線とP型半導体領域64との間に意図的に付加した容量であってもよい。

[0065] 第3キャパシタCP3は、フローティングディフュージョンFDおよびこれに接続された配線（いわゆるFD配線）と、第1電圧供給線31との間に生じる寄生容量である。

[0066] 第4キャパシタCP4は、フローティングディフュージョンFDおよびこれに接続された配線と、転送信号 ϕ_T を伝送する配線との間に生じる寄生容量である。

[0067] 第5キャパシタCP5は、フローティングディフュージョンFDおよびこれに接続された配線と、切替信号 ϕ_G を伝送する配線との間に生じる寄生容量である。

[0068] 接合容量CJは、N型半導体拡散層領域であるフローティングディフュージョンFDと、フォトダイオードPDのアノードとなるP型半導体領域64とのPN接合部に形成される、接合容量である。

[0069] ゲート容量CGは、変換ゲイン切替トランジスタMGのゲート容量である。

[0070] 次に、図4を参照して、画素2の断面構造の変形例について説明する。

[0071] 図4に記載の画素2は、画素2に備わる画素トランジスタのうち、転送トランジスタMT以外のNMOSトランジスタ（すなわち、変換ゲイン切替トランジスタMG、第2リセットトランジスタMR2、増幅トランジスタMA、選択トランジ

スタMS) が、P型半導体領域64とは電氣的に分離された第2のP型半導体領域64b内に形成されている点が、図3に記載の画素2と異なる。

[0072] 図4において、画素2は、半導体基板12の表面側(図4の下側)に、P型半導体領域64とは異なる第2のP型半導体領域64bを備える。さらに、P型半導体領域64と第2のP型半導体領域64bとの間に、第2のN型半導体領域63bを備える。第2のN型半導体領域63bは、第2のP型半導体領域64bを囲むように配置され、これにより、P型半導体領域64と第2のP型半導体領域64bとを電氣的に分離した、いわゆるウェルインウェル(Well in Well)構造を実現している。そして、第2のP型半導体領域64bは、第2のP型半導体領域64b内に形成されたP型拡散層領域71を介して、第1電圧供給線31へと接続されることで、第1電圧V1が与えられている。なお、図4において、転送トランジスタMTのドレイン領域はP型半導体領域64内に形成され、変換ゲイン切替トランジスタMGのソース領域は第2のP型半導体領域64b内に形成され、転送トランジスタMTのドレイン領域と変換ゲイン切替トランジスタMGのソース領域は配線によって電氣的に接続されている。

[0073] 図3に記載の画素2は、画素トランジスタが形成されているP型半導体領域64の電圧が、光電変換の結果発生した正孔の量の影響を受ける可能性がある。一方、図4に記載の画素2は、画素トランジスタが形成されている第2のP型半導体領域64bの電圧が、光電変換の結果発生した正孔の量によらず一定となる。これにより、画素トランジスタの動作が図3に記載の画素2よりも安定になることが期待される。

[0074] <3. 画素の駆動>

図2と図3を参照して、画素2の動作の概要を説明する。

[0075] 画素2に備わるフォトダイオードPDへ光が入射すると、入射光が光電変換されて電子と正孔が発生する。この光電変換を、第1リセットトランジスタMR1が非導通の状態で行うと、光電変換の結果発生した正孔は、第1キャパシタC1に蓄積される。その結果、第1キャパシタC1の一方の電極であるP型半導体領域64(図2におけるノードN1)の電位が上昇し、これに応じて、フロ

ーティングディフュージョンFDの電位も上昇する。上昇したフローティングディフュージョンFDの電位が信号として読み出される。読み出し後、第1リセットトランジスタMR1が導通状態にされる。これにより、第1キャパシタC1に蓄積された正孔は、第1リセットトランジスタMR1を介して第1電圧供給線31へと排出され、第1キャパシタC1はリセットされ、P型半導体領域64（図2におけるノードN1）の電位は第1電圧V1に固定される。一方、光電変換の結果発生した電子は、フォトダイオードPDに備わるN型半導体領域63内の電位の井戸に蓄積される。上述の蓄積された正孔が読み出された後に、上述の蓄積された電子は、転送トランジスタMTを介してフローティングディフュージョンFDへと転送され、そこで電荷－電圧変換された結果生じた信号が読み出される。読み出し後、フローティングディフュージョンFDに転送された電子と、もしあればN型半導体領域63内の電位の井戸に残留した電子とが、転送トランジスタMTと変換ゲイン切替トランジスタMGと第2リセットトランジスタMR2を介して第2電圧供給配線32へと排出され、フローティングディフュージョンFDとN型半導体領域63内の電位の井戸はリセットされる。以上が、画素2の動作の概要となる。

[0076] 次に、図5のタイミングチャートを参照して、画素2の駆動について説明する。

[0077] 初めに、時刻 t_1 において、画素2へ与える第2電圧V2が、低電圧VDD_Lから、高電圧VDD_Hへと設定される。高電圧VDD_Hの状態は、時刻 t_4 まで維持される。

[0078] 時刻 t_1 から時刻 t_4 の期間内に、フォトダイオードPDに備わるP型半導体領域64とN型半導体領域63の両方と、フローティングディフュージョンFDとが、リセットされる。具体的には、時刻 t_2 から時刻 t_3 の期間に、第1リセット信号 ϕ_{R1} がLowに設定されて第1リセットトランジスタMR1が導通状態とされ、フォトダイオードPDのP型半導体領域64の電位が第1電圧V1へとリセットされる。また、転送信号 ϕ_T がHighに設定されて転送トランジスタMTが導通状態とされ、変換ゲイン切替トランジスタMGおよび第2リセットトラ

ンジスタMR2も導通状態にあるので、フォトダイオードPDのN型半導体領域63とフローティングディフュージョンFDが、高電圧VDD_Hとなっている第2電圧V2へとリセットされる。

[0079] P型半導体領域64とN型半導体領域63のリセット動作が終了する時刻t3以降が、入射光に応じて信号電荷が蓄積される電荷蓄積時間（露光時間）となる。

[0080] 時刻t3において、第1リセット信号φR1がHighに設定されると、第1リセットトランジスタMR1が非導通状態となる。これ以降、フォトダイオードPDで光電変換の結果発生した正孔は、第1キャパシタC1に蓄積される。正孔が第1キャパシタC1に蓄積されるに従って、第1キャパシタC1の一方の電極であるP型半導体領域64（図2におけるノードN1）の電位は、リセット直後の電位よりも上昇する。

[0081] また、時刻t3において、転送信号φTがLowに設定されると、転送トランジスタMTが非導通状態となる。これ以降、フォトダイオードPDで光電変換の結果発生した電子は、N型半導体領域63内の電位の井戸に蓄積される。電子がN型半導体領域63内の電位の井戸に蓄積されるに従って、N型半導体領域63の電位は、リセット直後の電位よりも低下する。

[0082] リセット動作より後の時刻t4に、第2電圧V2が、高電圧VDD_Hから低電圧VDD_Lへと変更される。

[0083] 画素2に蓄積された信号電荷を読み出す読み出し動作に入る前の時刻t11において、第2電圧V2が、低電圧VDD_Lから、再び、高電圧VDD_Hに変更される。

[0084] 次の時刻t12から時刻t13の期間は、正孔の蓄積信号Exp_{Low}4を低変換ゲイン状態で読み出す期間である。

[0085] すなわち、時刻t12において、選択信号φSがHighに変更され、選択トランジスタMSが導通状態とされるとともに、第2リセット信号φR2がLowに変更され、第2リセットトランジスタMR2が非導通状態とされる。これにより、フローティングディフュージョンFDが第2電圧供給配線32から切り離される。

。その結果、正孔が蓄積されることにより上昇したP型半導体領域64（図2におけるノードN1）の電位が、ノードN1に対するFD容量CFD_{toN1}（接合容量C_Jと第2キャパシタC2の合成容量）を介して、フローティングディフュージョンFDに現れる。

[0086] ここで、切替信号φ_Gは次の時刻t₁₃までHighであり、変換ゲイン切替トランジスタMGが導通状態にあるので、低変換ゲイン状態の正孔の蓄積信号Exp_{Low}4が、フローティングディフュージョンFDから、増幅トランジスタMA、選択トランジスタMS、および、垂直信号線9を通して、カラム信号処理回路5に出力される。

[0087] 次の時刻t₁₃から時刻t₁₄の期間は、正孔の蓄積信号Exp_{High}3を高変換ゲイン状態で読み出す期間である。

[0088] すなわち、時刻t₁₃において、切替信号φ_GがLowに変更され、変換ゲイン切替トランジスタMGのゲート容量CGがフローティングディフュージョンFDから切り離されるので、フローティングディフュージョンFDが高変換ゲイン状態に切り替わる。その結果、高変換ゲイン状態の正孔の蓄積信号Exp_{High}3が、フローティングディフュージョンFDから、増幅トランジスタMA、選択トランジスタMS、および、垂直信号線9を通して、カラム信号処理回路5に出力される。

[0089] 次の時刻t₁₄から時刻t₁₅の期間は、正孔の基準信号Ref_{High}3を高変換ゲイン状態で読み出す期間である。

[0090] すなわち、時刻t₁₄において、第1リセット信号φ_{R1}がLowに変更され、第1リセットトランジスタMR1が導通状態とされる。これにより、第1キャパシタC1に蓄積されていた正孔が第1電圧供給線31へと排出され、P型半導体領域64（図2におけるノードN1）の電位が、第1電圧V1へとリセットされる。リセット後のノードN1の電位は、ノードN1に対するFD容量CFD_{toN1}（接合容量C_Jと第2キャパシタC2の合成容量）を介して、フローティングディフュージョンFDに現れる。

[0091] ここで、時刻t₁₅までの間、切替信号φ_GがLowであり、変換ゲイン切替

トランジスタMGが非導通状態にあるので、高変換ゲイン状態の正孔の基準信号 $\text{Ref}_{\text{High}}3$ が、フローティングディフュージョンFDから、増幅トランジスタMA、選択トランジスタMS、および、垂直信号線9を通して、カラム信号処理回路5に出力される。

[0092] 次の時刻 t_{15} から時刻 t_{16} の期間は、正孔の基準信号 $\text{Ref}_{\text{Low}}4$ を低変換ゲイン状態で読み出す期間である。

[0093] すなわち、時刻 t_{15} において、切替信号 ϕG がHighに変更され、変換ゲイン切替トランジスタMGが導通状態に遷移する。これにより、変換ゲイン切替トランジスタMGのゲート容量CGがフローティングディフュージョンFDに追加されるので、フローティングディフュージョンFDが低変換ゲイン状態に切り替わる。その結果、低変換ゲイン状態の正孔の基準信号 $\text{Ref}_{\text{Low}}4$ が、フローティングディフュージョンFDから、増幅トランジスタMA、選択トランジスタMS、および、垂直信号線9を通して、カラム信号処理回路5に出力される。

[0094] 以上の時刻 t_{12} から時刻 t_{16} までの期間で、正孔に関する信号は全て出力されたので、時刻 t_{16} から時刻 t_{17} の期間において、第2リセット信号 $\phi R2$ がHighに制御され、第2リセットトランジスタMR2が導通状態とされる。これにより、フローティングディフュージョンFDが一旦リセットされる。

[0095] 次の時刻 t_{17} から時刻 t_{23} までの期間は、フォトダイオードPDに蓄積された電子を読み出す期間である。

[0096] 最初の時刻 t_{17} から時刻 t_{18} の期間は、低変換ゲイン状態の電子の基準信号 $\text{Ref}_{\text{Low}}2$ を読み出す期間である。

[0097] すなわち、切替信号 ϕG は、時刻 t_{15} から引き続きHighであり、変換ゲイン切替トランジスタMGが導通状態にあるので、低変換ゲイン状態の電子の基準信号 $\text{Ref}_{\text{Low}}2$ が、フローティングディフュージョンFDから、増幅トランジスタMA、選択トランジスタMS、および、垂直信号線9を通して、カラム信号処理回路5に出力される。

[0098] 次の時刻 t_{18} から時刻 t_{19} の期間は、高変換ゲイン状態の電子の基準信号 $\text{Ref}_{\text{High}}1$ を読み出す期間である。

- [0099] すなわち、時刻 t_{18} において、切替信号 ϕG が Low に変更され、変換ゲイン切替トランジスタ MG のゲート容量 CG がフローティングディフュージョン FD から切り離されるので、フローティングディフュージョン FD が高変換ゲイン状態に切り替わる。その結果、高変換ゲイン状態の電子の基準信号 $Ref_{High}1$ が、フローティングディフュージョン FD から、増幅トランジスタ MA、選択トランジスタ MS、および、垂直信号線 9 を通して、カラム信号処理回路 5 に出力される。
- [0100] 次の時刻 t_{19} から時刻 t_{20} の期間は、フォトダイオード PD に蓄積された電子を、高変換ゲイン状態のフローティングディフュージョン FD に転送する転送期間である。
- [0101] 時刻 t_{19} から時刻 t_{20} の期間では、転送信号 ϕT が High に変更され、転送トランジスタ MT が導通状態とされる。切替信号 ϕG は時刻 t_{18} から引き続き Low であり、変換ゲイン切替トランジスタ MG が非導通状態にあるので、フローティングディフュージョン FD は高変換ゲイン状態である。これにより、フォトダイオード PD に蓄積された電子が、高変換ゲイン状態のフローティングディフュージョン FD に転送される。
- [0102] 次の時刻 t_{20} から時刻 t_{21} の期間は、高変換ゲイン状態の電子の蓄積信号 $Exp_{High}1$ を読み出す期間である。
- [0103] 時刻 t_{20} から時刻 t_{21} の期間では、フォトダイオード PD から転送されてきた電子の電荷量に応じて、フローティングディフュージョン FD の電位が変化し、高変換ゲイン状態の電子の蓄積信号 $Exp_{High}1$ が、フローティングディフュージョン FD から、増幅トランジスタ MA、選択トランジスタ MS、および、垂直信号線 9 を通して、カラム信号処理回路 5 に出力される。
- [0104] 次の時刻 t_{21} から時刻 t_{22} の期間は、フローティングディフュージョン FD を高変換ゲイン状態から低変換ゲイン状態へと切り替える期間である。また、高変換ゲイン状態においてフォトダイオード PD からフローティングディフュージョン FD へ転送しきれなかった電子がフォトダイオード PD に残留している事態に備えて、フォトダイオード PD に残留している電子をフローティ

ングディフュージョンFDへ追加で転送するための転送動作を並行して行う期間でもある。

[0105] すなわち、時刻 t_{21} において、切替信号 ϕG が High に変更され、変換ゲイン切替トランジスタ MG が導通状態に遷移する。これにより、フローティングディフュージョンFDは、時刻 t_{19} においてフォトダイオードPDから転送された電子を保持したまま、変換ゲイン切替トランジスタMGのゲート容量CGが追加されて、低変換ゲイン状態へと切り替わる。これと並行して、転送信号 ϕT が High に変更され、転送トランジスタMTが導通状態とされる。これにより、時刻 t_{19} から時刻 t_{20} の期間にフォトダイオードPDから高変換ゲイン状態のフローティングディフュージョンFDへ転送しきれなかった電子がフォトダイオードPDに残留している場合には、その残留していた電子が、フォトダイオードPDから低変換ゲイン状態のフローティングディフュージョンFDに転送される。

[0106] 次の時刻 t_{22} から時刻 t_{23} の期間は、低変換ゲイン状態の電子の蓄積信号 Exp_{Low2} を読み出す期間である。

[0107] 時刻 t_{22} から時刻 t_{23} の期間では、フォトダイオードPDから転送されてきた電子の電荷量に応じて、フローティングディフュージョンFDの電位が変化し、低変換ゲイン状態の電子の蓄積信号 Exp_{Low2} が、フローティングディフュージョンFDから、増幅トランジスタMA、選択トランジスタMS、および、垂直信号線9を通して、カラム信号処理回路5に出力される。

[0108] 以上の時刻 t_{17} から時刻 t_{23} までの期間で、電子に関する信号は全て出力される。

[0109] 時刻 t_{23} において、選択信号 ϕS が Low に変更され、選択トランジスタMSが非導通状態とされるとともに、第2リセット信号 $\phi R2$ が High に変更され、第2リセットトランジスタMR2が導通状態とされる。また、第1リセット信号 $\phi R1$ が High に変更され、第1リセットトランジスタMR1が非導通状態とされる。

[0110] 時刻 t_{23} の後、時刻 t_{24} において、画素2に供給される第2電圧 $V2$ が

、高電圧 VDD_H から、低電圧 VDD_L に変更され、画素2のリセット、信号電荷蓄積、および、信号電荷読み出しに係る一連の動作が終了する。

[0111] 画素2に蓄積された信号電荷の読み出し動作において、出力される信号電荷が正孔であるかまたは電子であるかに着目すると、時刻 t_{12} から時刻 t_{16} までは、正孔の読み出し動作であり、時刻 t_{17} から時刻 t_{23} までは、電子の読み出し動作である。

[0112] また、読み出す信号が基準信号Refであるかまたは蓄積信号Expであるかに着目すると、時刻 t_{12} から時刻 t_{14} までは、正孔の蓄積信号Expの読み出し動作であり、時刻 t_{14} から時刻 t_{16} までは、正孔の基準信号Refの読み出し動作であり、時刻 t_{17} から時刻 t_{19} までは、電子の基準信号Refの読み出し動作であり、時刻 t_{20} から時刻 t_{23} までは、電子の蓄積信号Expの読み出し動作である。

[0113] さらに、フローティングディフュージョンFDが高変換ゲイン状態であるかまたは低変換ゲイン状態であるかに着目すると、時刻 t_{12} から時刻 t_{13} までは低変換ゲイン状態であり、時刻 t_{13} から時刻 t_{15} までは高変換ゲイン状態であり、時刻 t_{15} から時刻 t_{18} までは低変換ゲイン状態であり、時刻 t_{18} から時刻 t_{21} までは高変換ゲイン状態であり、時刻 t_{21} から時刻 t_{23} までは低変換ゲイン状態である。

[0114] また、正孔の蓄積時間は、時刻 t_3 から時刻 t_{14} までの期間であり、電子の蓄積時間は、時刻 t_3 から時刻 t_{20} （高変換ゲイン状態）または時刻 t_{22} （低変換ゲイン状態）までの期間である。

[0115] 画素2は、以上のように駆動して、信号電荷の蓄積および読み出しの一連の動作を行う。

[0116] 電子による高変換ゲインおよび低変換ゲインの画素信号を、それぞれ、Sig1およびSig2、正孔による高変換ゲインおよび低変換ゲインの画素信号を、それぞれ、Sig3およびSig4とすると、電子による高変換ゲインの画素信号Sig1は、基準信号 Ref_{High1} と蓄積信号 Exp_{High1} との差分（ $Sig1 = Exp_{High1} - Ref_{High1}$ ）、電子による低変換ゲインの画素信号Sig2は、基準信号 Ref_{Low2} と蓄積信号 Exp_{Low2}

との差分 ($\text{Sig2} = \text{Exp}_{\text{Low}2} - \text{Ref}_{\text{Low}2}$)、正孔による高変換ゲインの画素信号Sig3は、基準信号 $\text{Ref}_{\text{High}3}$ と蓄積信号 $\text{Exp}_{\text{High}3}$ との差分 ($\text{Sig3} = \text{Exp}_{\text{High}3} - \text{Ref}_{\text{High}3}$)、正孔による低変換ゲインの画素信号Sig4は、基準信号 $\text{Ref}_{\text{Low}4}$ と蓄積信号 $\text{Exp}_{\text{Low}4}$ との差分 ($\text{Sig4} = \text{Exp}_{\text{Low}4} - \text{Ref}_{\text{Low}4}$) で得られる。

[0117] 上述した駆動によれば、固体撮像装置1は、正孔による信号を出力した後、電子による信号を出力する。この場合、電子による信号を読み出す期間、具体的には、時刻 t_{17} から時刻 t_{23} までの期間、第1リセットトランジスタMR1は導通状態とされ、これにより、P型半導体領域64の電位は、第1電圧V1に固定されている。P型半導体領域64内には、フォトダイオードPDのN型半導体領域63だけでなく、転送トランジスタMTも形成されている。このため、上述した駆動によれば、電子による信号を読み出すために転送トランジスタMTを用いて電子を転送する際、転送トランジスタMTが形成されているP型半導体領域64の電位を第1電圧V1に固定した状態で、電子を転送することができる。

[0118] ここで、非特許文献1に開示された駆動、すなわち、まず電子による信号を出力し、次いで正孔による信号を出力する駆動について述べる。この駆動の場合、光電変換の結果発生した正孔を、読み出さずに第1キャパシタC1に蓄積したままの状態、電子による信号を読み出す必要がある。すなわち、正孔の蓄積期間と同様に、第1リセットトランジスタMR1を非導通としたままの状態、かつ、光電変換の結果発生した正孔を第1キャパシタC1に蓄積したままの状態、これにより、P型半導体領域64（図2のノードN1）の電位がリセット時の電圧（すなわち第1電圧V1）よりも高い正の電圧になった状態で、フォトダイオードPDからフローティングディフュージョンFDへ転送トランジスタMTを用いて電子を転送して読み出す必要がある。

[0119] この場合、転送トランジスタMTのチャネルへ十分な電界を印加できず、これによりフォトダイオードPDからフローティングディフュージョンFDへの電子の転送に悪影響がおよぶ懸念がある。一例として、転送トランジスタMTのチャネルに、フォトダイオードPDからフローティングディフュージョンFDへ

の電子の転送を阻害する電位障壁が生じてしまい、フローティングディフュージョンFDへ転送できなかった電子が、フォトダイオードPDに残留してしまう懸念がある。

[0120] これに対して、本技術の駆動によれば、転送トランジスタMTが形成されているP型半導体領域64の電位をリセット時の電圧（すなわち第1電圧V1）に固定した状態で、転送トランジスタMTを用いて電子を転送することができる。その結果、非特許文献1に開示された駆動と比較して、転送トランジスタMTのチャネルへ十分な電界を印加することが可能となり、フォトダイオードPDからフローティングディフュージョンFDへ転送トランジスタMTを用いて電子を転送する性能を向上させることができる。またこれにより、フローティングディフュージョンFDへ転送できなかった電子が、フォトダイオードPDに残留してしまう懸念を低減することができる。したがって、本技術の駆動によれば、光電変換の結果発生した電荷の読み出しを良好に行うことができ、高画質の画像を得ることができる。

[0121] さらに、上述した本技術の駆動によれば、読み出し動作とリセット動作以外の蓄積期間中、具体的には、時刻 t_4 から時刻 t_{11} までの期間、画素2に供給される第2電圧V2が、高電圧 VDD_H から、それよりも低い電圧である低電圧 VDD_L に変更される。上記の期間中、第2電圧V2を、高電圧 VDD_H よりも低い電圧に設定する効果について説明する。

[0122] 本技術の画素2は、第1リセットトランジスタMR1を非導通状態にして、これにより第1キャパシタC1の一方の電極であるP型半導体領域64（図2におけるノードN1）をフローティング状態にしたうえで、電荷の蓄積動作を行う。すなわち、画素2は、蓄積期間中にフォトダイオードPDで発生した正孔を、第1キャパシタC1に蓄積する。

[0123] しかし、第1キャパシタC1の一方の電極であるP型半導体領域64には、これと異なる電位が与えられたN型半導体領域が隣接して配置され、その境界部にPN接合が形成されている。例えば、第2電圧供給配線32が接続されている、第2リセットトランジスタMR2のドレイン領域である図3のN型半導体領

域 6 7 と P 型半導体領域 6 4 との接合部が上記 PN 接合に該当する。この PN 接合の空乏層領域において例えば熱励起によって電子－正孔対が生成すると、生成した正孔は第 1 キャパシタ C1 に蓄積されてしまう。この現象によって蓄積された正孔は、画素 2 の暗電流固定パターンノイズとして、画素 2 の特性を悪化させてしまう可能性がある。

[0124] そこで、第 2 電圧供給配線 3 2 が接続されている N 型半導体領域 6 7 と、第 1 キャパシタ C1 の一方の電極である P 型半導体領域 6 4 と、の間の PN 接合における暗電流の発生を低減するため、固体撮像装置 1 は、第 2 電圧供給配線 3 2 が画素 2 へ与える第 2 電圧 V2 を、画素 2 の動作に合わせて変更するように駆動する。

[0125] 具体的には、フォトダイオード PD とフローティングディフュージョン FD をリセットするために、時刻 t 1 から時刻 t 4 の期間は、第 2 電圧 V2 が高電圧 VDD_H に設定される。リセット動作終了後の時刻 t 4 から、読出し動作開始前の時刻 t 1 1 までの間、第 2 電圧 V2 は低電圧 VDD_L に設定される。この間、画素 2 は蓄積動作を実行している。そして、時刻 t 1 1 以降は、転送および読出し動作を行うため、第 2 電圧 V2 は高電圧 VDD_H に設定される。

[0126] 蓄積動作を実行している時刻 t 4 から時刻 t 1 1 までの間、N 型半導体領域 6 7 に接続している第 2 電圧供給配線 3 2 の第 2 電圧 V2 は低電圧 VDD_L に設定されているため、N 型半導体領域 6 7 と P 型半導体領域 6 4 との間の PN 接合における暗電流の発生を低減することができる。

[0127] 例えば、高電圧 VDD_H は 3.0V、低電圧 VDD_L は 1.5V であるとする、PN 接合にかかる電圧は半分になるため、空乏化している部分にかかる電界も、それに応じて約半分になり、発生する暗電流を効果的に低減することができる。なお、読み出し動作とリセット動作中の第 2 電圧 V2 である高電圧 VDD_H は、第 1 キャパシタ C1 に電荷を最大限蓄積した際に生じる電位変化量だけ、低電圧 VDD_L よりも高く設定すればよい。例えば、読み出し動作とリセット動作以外の蓄積期間中の第 2 電圧 V2 が接地 GND (0V) で、第 1 キャパシタ C1 に正孔を最大限蓄積した結果、P 型半導体領域 6 4 の電位の上昇量が 1.0V である場合、露光期間中の

高電圧 VDD_H は1.0Vに設定することができる。

[0128] <4. 数値例>

画素2が蓄積動作を行い、発生した正孔が第1キャパシタC1に蓄積されると、P型半導体領域64とフローティングディフュージョンFDの電位がどのくらい変化するかを、図2と図6を参照して具体的数値で説明する。

[0129] 図6は、ノードN1とフローティングディフュージョンFDの電位の算出に必要なとなる素子を図2の中から抽出した図である。ここで、ノードN1に対するFD容量 CFD_{toN1} は、フローティングディフュージョンFDとノードN1との間に接続された容量であり、具体的には接合容量CJと第2キャパシタC2の合成容量である。第1電圧V1に対するFD容量 CFD_{toV1} は、フローティングディフュージョンFDと第1電圧V1となる領域との間に接続された容量であり、具体的には第3キャパシタCP3乃至第5キャパシタCP5とこれら以外の第1電圧V1に対する容量を合わせた合成容量である。フローティングディフュージョンFDの総容量CFDは、ノードN1に対するFD容量 CFD_{toN1} と第1電圧V1に対するFD容量 CFD_{toV1} の合成容量である。

[0130] 数値の算出においては、以下の仮定を用いる。フローティングディフュージョンFDの総容量CFDの大きさ $CCFD$ が2.5fFであり、このうち、ノードN1に対するFD容量 CFD_{toN1} の大きさ $CCFD_{toN1}$ が1.36fFであり、そのうち、フローティングディフュージョンFDのPN接合の接合容量CJの大きさ CCJ が0.36fF、第2キャパシタC2の容量の大きさ $CC2$ が1fFと仮定する。なお、第2キャパシタC2の容量の大きさ $CC2$ は、フローティングディフュージョンFDの総容量CFDの大きさ $CCFD$ の2割から8割が好ましい。このためここでは、フローティングディフュージョンFDの総容量CFDの大きさ $CCFD$ を2.5fF、第2キャパシタC2の容量の大きさ $CC2$ を1fFとしている。さらに、切替信号 ϕ_G によってフローティングディフュージョンFDへの接続と分離が制御される変換ゲイン切替トランジスタM_Gのゲート容量CGの大きさ CCG が10fFであると仮定し、第1キャパシタC1の容量の大きさ $CC1$ が100fFであると仮定する。

[0131] また、フォトダイオードPDには電子を最大で30000[e]蓄積でき、第1キャ

パシタC1には正孔を最大で1000000[h]蓄積でき、フローティングディフュージョンFDには、高変換ゲイン状態において電子を最大で10000[e]蓄積できると仮定し、低変換ゲイン状態において電子を30000[e]以上蓄積できると仮定する。

[0132] 変換ゲイン切替トランジスタMGのゲート容量CGをフローティングディフュージョンFDから切り離した高変換ゲイン状態において、フローティングディフュージョンFDの総容量CFDは2.5fFであり、電気素量は $1.6 \times 10^{-19} \text{C}$ であるから、電子読み出しにおける高変換ゲイン（電子1個当りの出力電圧）は、 $1.6 \times 10^{-19} / 2.5 \times 10^{-15} = 64 \mu\text{V}/\text{e}$ である。変換ゲイン切替トランジスタMGのゲート容量CGをフローティングディフュージョンFDに接続した低変換ゲイン状態において、フローティングディフュージョンFDの総容量CFDは12.5fFであるから、電子読み出しにおける低変換ゲイン（電子1個当りの出力電圧）は、 $1.6 \times 10^{-19} / 12.5 \times 10^{-15} = 13 \mu\text{V}/\text{e}$ である。

[0133] 電子を読み出す場合、フローティングディフュージョンFDには高変換ゲイン状態において最大で10000[e]蓄積できることから、高変換ゲイン状態においてフローティングディフュージョンFDには最大で $64 \times 10^{-6} \times 10000 = 640 \text{mV}$ の電位変化が現れる。低変換ゲイン状態においてはフォトダイオードPDに蓄積できる最大の電子数30000[e]をフローティングディフュージョンFDに蓄積できることから、低変換ゲイン状態においてフローティングディフュージョンFDには最大で $13 \times 10^{-6} \times 30000 = 390 \text{mV}$ の電位変化が現れる。

[0134] 正孔に関しては、第1キャパシタC1に最大で1000000[h]が蓄積できることから、フォトダイオードPDにおいて光電変換の結果正孔が発生すると、ノードN1には最大で $1.6 \times 10^{-19} \times 1000000 = 160 \text{fC}$ の電荷が与えられる。第1キャパシタC1の大きさが100fFであるから、ノードN1に現れる電位変化は最大で、 $160 \times 10^{-15} / 100 \times 10^{-15} = 1600 \text{mV}$ となる。

[0135] 正孔を読み出す場合、高変換ゲイン状態においては、フローティングディフュージョンFDの総容量CFDの大きさCCFDは2.5fFであり、ノードN1に対するFD容量CFDtoN1の大きさCCFDtoN1は1.36fFであることから、ノードN1に最大で1

600mVの電位変化が現れる場合、フローティングディフュージョンFDには、最大で $1600 \times 1.36 \times 10^{-15} / 2.5 \times 10^{-15} = 870\text{mV}$ の電位変化が現れる。低変換ゲイン状態においては、フローティングディフュージョンFDの総容量CFDの大きさCCFDは12.5fFであり、ノードN1に対するFD容量CFD_{toN1}の大きさCCFD_{toN1}は1.36fFであることから、ノードN1に最大で600mVの電位変化が現れる場合、フローティングディフュージョンFDには、最大で $1600 \times 1.36 \times 10^{-15} / 12.5 \times 10^{-15} = 170\text{mV}$ の電位変化が現れる。正孔1000000[h]で上記の電位変化が現れることから、正孔読み出しにおける高変換ゲインは、 $870 \times 10^{-3} / 1000000 = 0.87 \mu\text{V/h}$ 、低変換ゲインは、 $170 \times 10^{-3} / 1000000 = 0.17 \mu\text{V/h}$ となる。

[0136] 以上まとめて、フローティングディフュージョンFDには、電子の高変換ゲイン状態で最大640mV、電子の低変換ゲイン状態で最大390mV、正孔の高変換ゲイン状態で最大870mV、正孔の低変換ゲイン状態で最大170mVの電位変化が現れる。

[0137] 図2乃至図4の画素構造によれば、正孔を用いた蓄積動作は、電子を用いた蓄積動作よりも、多くの電荷を蓄積することができる。また、正孔を用いた読み出し動作は、電子を用いた読み出し動作よりも、電荷の変換ゲインを低く抑えることができる。画素2に多くの正孔を蓄積した場合、これを単純に電荷－電圧変換すると、画素2からAD変換回路（カラム信号処理回路5）へ入力する画素信号Vsigの入力レンジが大きくなりすぎてしまう可能性がある。図2乃至図4の画素構造によれば、画素2に多くの正孔を蓄積した場合でも、正孔の変換ゲインを低く抑えることで、AD変換回路への画素信号Vsigの入力レンジを抑えて入力することができる。

[0138] また、図2乃至図4の画素構造によれば、撮影対象とする被写体の中に、被写体の輝度が低い領域と被写体の輝度が高い領域とが混在する場合、高輝度領域を撮影した画素2において、電子の読み出し信号が飽和して階調性を失っても、正孔の読み出し信号が階調性を備えた信号を出力することができる。一方、低輝度領域を撮影した画素2において、正孔の読み出し信号の出力レンジが小さく階調性に乏しくても、電子の読み出し信号は出力レンジが

大きく階調性に富んだ信号を出力することができる。そして、電子の読み出し信号のダークランダムノイズレベル(ノイズフロア)が $1.0[e]$ 、正孔の最大蓄積量が $1000000[h]$ であれば、電子および正孔を同一の蓄積時間設定とした条件でも、入射光に対して $120\text{dB}(=20\log_{10}(1000000[h]/1.0[e]))$ の応答をする高ダイナミックレンジの信号を、現実的なフローティングディフュージョンF Dの電圧振幅範囲(言い換えれば、後段のAD変換回路がAD変換しやすい入力レンジ)で得ることができる。

[0139] <5. 第1リセットトランジスタMR1の詳細構造>

ところで、固体撮像装置において、画素内にNMOSトランジスタとPMOSトランジスタの両方を配置すると、それぞれに対してウェルを形成する必要があるため、画素の集積度が低下してしまう。この集積度の低下を避けるため、固体撮像装置では、一般的に、NMOSトランジスタまたはPMOSトランジスタのどちらか一方のみが用いられる。電子を蓄積するフォトダイオードPDを用いる場合、通常は、NMOSトランジスタが用いられる。

[0140] しかしながら、本技術の固体撮像装置1では、図2を参照して説明したように、第1リセットトランジスタMR1を除く、転送トランジスタMTや増幅トランジスタMAなどにはNMOSトランジスタを用いる一方、第1リセットトランジスタMR1にはPMOSトランジスタを用いている。

[0141] 図7を参照して、第1リセットトランジスタMR1にPMOSトランジスタを用いることの効果を説明する。

[0142] 図7は、画素2内に形成された第1リセットトランジスタMR1の平面図と断面図を示している。図3を参照して説明したように、第1リセットトランジスタMR1は半導体基板12の表面側(図3の下側の面)に形成されている。このため、図7の平面図は、半導体基板12の表面側の平面図であり、図7の断面図は、半導体基板12の表面側近傍の断面図である。

[0143] 図7のAは、第1リセットトランジスタMR1の平面図である。

[0144] 図7のBは図7のAにおけるY-Y線断面図、図7のCは図7のAにおけるX-X線断面図、図7のDは図7のAにおけるY'-Y'線断面図、および、図7のEは図

7のAにおけるX'-X'線断面図である。

[0145] 図7のBのY-Y線断面図は、図3の断面図の第1リセットトランジスタMR1付近と同じである。

[0146] 図7のAの平面図に示されるように、第1リセットトランジスタMR1は、矩形の平面領域を有する画素2の1つの角部に配置される。図7のAでは、矩形の画素2が備える4つの角部のうち右上の角部に、第1リセットトランジスタMR1が配置されている。第1リセットトランジスタMR1の画素境界方向の外側には、トレンチアイソレーション60を構成する絶縁膜62とトレンチ電極61が配置されている。

[0147] 図7のAの平面視において、第1リセットトランジスタMR1は、ゲート電極MR1_Gを挟んだ一方の側にソース領域としてのP型半導体領域64、もう一方の側にドレイン領域としてのP型半導体領域68を備えている。P型半導体領域68の隣りには、高濃度(N+)のN型拡散層領域69'が設けられている。この高濃度(N+)のN型拡散層領域69'は、PMOSである第1リセットトランジスタMR1に備わるN型ウェル(Well)69へ、電位を与えるための電氣的接続を、形成する領域である。

[0148] P型半導体領域64の表面部分の不純物濃度は、図3に示したように、半導体基板12の中心部分よりも高く形成されている。このため、図7のAにおいても、ソース領域としてのP型半導体領域64が高濃度P型半導体領域であることを表すよう、P+と表記してある。ドレイン領域としてのP型半導体領域68も高濃度(P+)のP型半導体領域である。図7のAにおいて、ドレイン領域となるP型半導体領域68は、上側と右側の側面をトレンチアイソレーションの絶縁膜62、左側の側面をゲート電極MR1_G、下側の側面を高濃度(N+)のN型拡散層領域69'によって囲まれることにより、ソース領域としてのP型半導体領域64から電氣的に分離されている。

[0149] 一般的なMOSトランジスタのドレイン領域は、3辺を素子分離領域、1辺をゲート電極で囲まれることにより、ソース領域や他の素子から電氣的に分離される。しかし、図7に記載の第1リセットトランジスタMR1は、一般的なMO

Sトランジスタと異なり、下側の辺にはN型ウェル69への電氣的接続をとるためのN型拡散層領域69'を配置することで、下側の辺に素子分離領域を配置することなく、ドレイン領域であるP型半導体領域68とソース領域であるP型半導体領域64との電氣的分離を達成している。ドレイン領域であるP型半導体領域68に隣接して配置するアイソレーション領域を、ドレイン領域の上側と右側の2辺のみに削減したレイアウトを用いることにより、本技術の第1リセットトランジスタMR1は、一般的なMOSトランジスタよりも面積を小さくする効果を得ている。

[0150] 図7のBないしEの断面図に示されるように、第1リセットトランジスタMR1のドレイン領域であるP型半導体領域68は、N型ウェル69内に配置され、ソース領域であるP型半導体領域64と電氣的に分離されている。

[0151] 第1リセットトランジスタMR1は、P型半導体領域64の中にN型ウェル69を設け、その中にPMOSトランジスタで形成されている。ただし、一般的なPMOSトランジスタと異なり、N型ウェル69の外側に配置されたP型半導体領域64をソース領域として活用している。この構造を用いることで、N型ウェル69の中にソース領域を形成することを不要とし、かつ、ソース領域に電氣的接続を形成するための面積を確保することも不要としている。その結果、一般的なPMOSトランジスタよりも面積を小さくする効果を得ており、かつ、第1リセットトランジスタMR1の面積を小さくすることで、その代わりにフォトダイオードPDや増幅トランジスタMAの面積を大きくすることを可能とし、これにより、画素2の飽和電子数やダークランダムノイズの性能を向上させることを可能としている。

[0152] なお、第1リセットトランジスタMR1は、矩形の平面領域を有する画素2の1つの角部以外の場所、例えば、矩形の所定の一边に配置してもよい。

[0153] <6. 暗電流補正処理>

上述したように、本技術の画素2は、第1キャパシタC1の一方の電極であるP型半導体領域64に隣接して、N型半導体領域である第2リセットトランジスタMR2のドレイン領域が配置されている。そのため、このPN接合部におい

て暗電流が発生する可能性がある。

[0154] そこで、固体撮像装置 1 は、相関 2 重サンプリング (CDS) 処理後の画素信号 Sig1 ないし Sig4 を出力するカラム信号処理回路 5 の後段の信号処理回路 7 において、暗電流を補正する暗電流補正処理を行うことができる。

[0155] 図 8 は、信号処理回路 7 に着目した固体撮像装置 1 のブロック図である。

[0156] 固体撮像装置 1 は、画素アレイ信号出力部 100 の後段に、信号処理回路 7 を備える。

[0157] 画素アレイ信号出力部 100 は、図 1 の画素アレイ部 3、垂直駆動回路 4、カラム信号処理回路 5、水平駆動回路 6 などを含み、カメラレンズで集光された入射光を受光し、相関 2 重サンプリング (CDS) 処理後の各画素 2 の画素信号 Sig1 ないし Sig4 を出力する。

[0158] 信号処理回路 7 は、暗電流補正処理部 111 およびカメラ信号処理部 112 を備える。

[0159] 暗電流補正処理部 111 は、暗電流を補正する暗電流補正処理を行う。暗電流補正処理部 111 の詳細は、この後で説明する。

[0160] カメラ信号処理部 112 は、暗電流補正後の画素信号 Sig1 ないし Sig4 に対して、ホワイトバランス補正処理、ゲイン調整、デモザイク処理等の所定の信号処理を行う。カメラ信号処理部 112 は、信号処理後の画素信号を高ダイナミックレンジ画像として出力する。

[0161] 図 9 は、暗電流補正処理部 111 の詳細な構成例を示すブロック図である。

[0162] 暗電流補正処理部 111 は、信号量判定部 121、補正係数決定部 122、平均処理部 123、フレームバッファ 124、および、補正演算部 125 により構成される。

[0163] 制御回路 8 は、受光量などに応じて各画素 2 の蓄積時間 t_{int} を決定し、画素アレイ信号出力部 100 および暗電流補正処理部 111 に供給する。

[0164] 画素アレイ信号出力部 100 は、制御回路 8 から供給される蓄積時間 t_{int} に基づいて蓄積動作 (撮像動作) を行い、その結果得られる、電子による高変

換ゲインの画素信号Sig1、電子による低変換ゲインの画素信号Sig2、正孔による高変換ゲインの画素信号Sig3、および、正孔による低変換ゲインの画素信号Sig4を、暗電流補正処理部111に供給する。

[0165] また、画素アレイ信号出力部100は、受光時の素子温度 T_c を検出し、暗電流補正処理部111に供給する。

[0166] 信号量判定部121には、画素アレイ信号出力部100から、少なくとも画素信号Sig1（電子による高変換ゲインの画素信号）が供給される。

[0167] 信号量判定部121は、それぞれの画素2が撮影した被写体が、暗い被写体であったか否かを判定する。具体的には、それぞれの画素2が出力した画素信号Sig1（電子による高変換ゲインの画素信号）の大きさが、所定の閾値（言い換えれば、被写体が暗かったと判定するための閾値）よりも小さいか否かを判定する。

[0168] 画素信号Sig1（電子による高変換ゲインの画素信号）の大きさが、所定の閾値よりも小さいと判定された場合には、その信号を出力した画素2は、暗い被写体を撮影したと判断される。

[0169] さらに、信号量判定部121は、画素2が暗い被写体を撮影したと判断した場合、その画素2が出力した画素信号Sig3（正孔による高変換ゲインの画素信号）は、光電変換の結果発生した正孔による信号が無視できる大きさであり、この画素信号Sig3は、その内訳のほとんどが暗電流であると判断する。

[0170] このようにして、信号量判定部121は、それぞれの画素2が出力した画素信号Sig3（正孔による高変換ゲインの画素信号）が、ほぼ暗電流であるとみなせるか否かを判定し、その判定結果を平均処理部123に供給する。

[0171] 補正係数決定部122には、それぞれの画素2が出力した画素信号Sig3（正孔による高変換ゲインの画素信号）と、その信号を得た際の蓄積時間 t_{int} および素子温度 T_c が供給される。

[0172] それぞれの画素2から補正係数決定部122へと入力された画素信号Sig3（正孔による高変換ゲインの画素信号）は、それらの蓄積時間 t_{int} と素子温度

T_c が必ずしも同じではない。そこで、補正係数決定部122は、異なる蓄積時間 t_{int} と素子温度 T_c とで撮像された画素信号 $Sig3$ （正孔による高変換ゲインの画素信号）を、ある基準となる蓄積時間 t_{int} と素子温度 T_c とで撮像された画素信号 $Sig3'$ （素子温度と蓄積時間を補正した、正孔による高変換ゲインの画素信号）へと補正するための、補正係数 K を決定する。

[0173] 例えば、補正係数決定部122は、基準となる素子温度を60℃、蓄積時間を1/30秒とし、かつ、暗電流の大きさは7℃の温度上昇で2倍になると仮定し、かつ暗電流の大きさは蓄積時間に対して比例すると仮定する。これらの仮定を用いて、補正係数決定部122は、例えば撮像時の素子温度 T_c が60℃、蓄積時間 t_{int} が1/15秒である信号については、補正係数 K を2 ($K=2$) に決定する。また例えば、補正係数決定部122は、撮像時の素子温度 T_c が53℃、蓄積時間 t_{int} が1/60秒である信号については、補正係数 K を1/4 ($K=1/4$) に決定する。

[0174] 補正係数決定部122は、画素アレイ信号出力部100から補正係数決定部122へと供給される各画素の画素信号 $Sig3$ （正孔による高変換ゲインの画素信号）に対して、補正係数 K を乗算する。補正係数決定部122は、この乗算処理を行った結果得た信号、すなわち、素子温度 T_c と蓄積時間 t_{int} を補正した後の画素信号 $Sig3'$ を、平均処理部123に供給する。

[0175] 信号量判定部121が画素信号 $Sig3$ （正孔による高変換ゲインの画素信号）を暗電流であるとみなした場合、平均処理部123は、補正係数決定部122から供給された画素信号 $Sig3'$ （素子温度 T_c と蓄積時間 t_{int} を補正した、正孔による高変換ゲインの画素信号）を、複数フレームに渡って平均化処理する。1つのフレームにおける画素信号 $Sig3'$ は、暗電流ショットノイズを含む。平均処理部123は、画素信号 $Sig3'$ を複数フレームに渡って平均化処理することで、暗電流ショットノイズを除去し、暗電流固定パターンノイズ信号 $Sdrk$ を抽出する。平均処理部123は、抽出した暗電流固定パターンノイズ信号 $Sdrk$ を、フレームバッファ124に記憶させる。

[0176] より具体的には、補正係数決定部122から平均処理部123へ供給され

た画素信号Sig3'（素子温度と蓄積時間を補正した、正孔による高変換ゲインの画素信号）のうち、信号量判定部121が暗電流であるとみなした画素の信号について、平均処理部123は、単純移動平均、加重移動平均、指数移動平均等を用いて、上記画素信号Sig3'を複数フレームに渡って平均化処理する（言い換えれば、複数のフレームに渡って平均値を算出する）。この平均化処理を行った結果得た信号が、正孔による暗電流固定パターンノイズ信号Sdrkである。平均処理部123は、この暗電流固定パターンノイズ信号Sdrkをフレームバッファ124に記憶させる。

[0177] 補正演算部125は、画素アレイ信号出力部100から補正演算部125へと供給されるそれぞれの画素2の信号について、暗電流を補正する演算処理を行う。すなわち、補正演算部125へと供給される画素信号Sig3（正孔による高変換ゲインの画素信号）から、フレームバッファ124に記憶されている同一画素の暗電流固定パターンノイズ信号Sdrkを減算する。補正演算部125は、この減算処理を行った結果得た信号、すなわち、暗電流補正後の画素信号Sig3''（暗電流を補正した、正孔による高変換ゲインの画素信号）を出力する。

[0178] 以上のように、暗電流補正処理部111は、画素信号Sig1（電子による高変換ゲインの画素信号）が所定値より小さい場合に、画素信号Sig3（正孔による高変換ゲインの画素信号）を複数フレーム分用いて暗電流固定パターンノイズ信号Sdrk（固定成分）を算出し、これを画素信号Sig3から減算することにより、暗電流固定パターンノイズを除去した画素信号Sig3''（暗電流を補正した、正孔による高変換ゲインの画素信号）を生成する。

[0179] この暗電流補正処理は、車載用カメラのように被写体が絶えず動いており、ある一定時間内に撮像面内全面で必ず十分暗い被写体を捉えるチャンスがある場合の画素信号に適している。

[0180] なお、上述した暗電流補正処理部111の平均処理部123は、複数フレームで平均処理することによって、暗電流固定パターンノイズを算出したが、メディアンフィルタなどの平滑化処理を用いて暗電流固定パターンノイズ

を算出してもよい。

[0181] 図10は、暗電流補正処理部111による暗電流改善効果を説明する図である。

[0182] 図10のAは、暗電流補正処理を行わない場合の各画素の画素信号Sig1ないしSig4のSN比を示しており、図10のBは、暗電流補正処理を行った場合の各画素の画素信号Sig1ないしSig4のSN比を示している。

[0183] 図10のAおよびBの各グラフの横軸は画素へ入射した光の強度（受光量）を表す。そして、図10のAおよびBの各グラフの横軸は、固体撮像装置1における撮像動作の結果、固体撮像装置1から出力すべき信号を、電子を読み出した信号（Sig1、Sig2）から正孔を読み出した信号（Sig3、Sig4）へと切り替える光の強度（受光量）を1とする任意単位で表している。各グラフの縦軸は、SN比を表し、単位はdBである。

[0184] 図10のAおよびBの異なる点は画素信号Sig3である。図10のAに記載の画素信号Sig3は、暗電流補正を行っていない正孔による高変換ゲインの画素信号Sig3であるのに対して、図10のBに記載の画素信号Sig3は、暗電流補正を行った後の画素信号Sig3”である。

[0185] 固体撮像装置1から出力すべき信号を電子による信号（Sig1、Sig2）から正孔による信号（Sig3、Sig4）へと切り替える光の強度（言い換えれば横軸の値が1）において、図10のA（暗電流補正処理前の信号）では、画素信号Sig2と画素信号Sig3とのSN比の段差が大きい。一方、図10のB（暗電流補正処理後の信号）では、この部分における画素信号Sig2と画素信号Sig3”とのSN比の段差が小さくなっている。つまり図10は、暗電流補正処理を行うことで、SN比が改善されていることを示している。

[0186] なお、暗電流補正処理前の画素信号Sig2と画素信号Sig3とのSN比の段差は、フローティングディフュージョンFDの総容量CFDの大きさCCFDに対する第2キャパシタC2の容量の大きさCC2の比（ $CC2/CCFD$ ）によっても変わり得る。

[0187] 先に述べたように、フローティングディフュージョンFDの総容量CFDの大きさCCFDに対する第2キャパシタC2の容量の大きさCC2の比は、0.2倍から0.8倍

の間に設定されることが好ましい。仮に、この容量比を0に近づけるように小さくしていくと、画素信号Sig2と画素信号Sig3とのSN比の段差が大きくなってしまう。一方、画素信号Sig2と画素信号Sig3とのSN比の段差を小さくすることを目的として、上記容量比を1に近づけるように大きくするには、第2キャパシタC2の容量を大きくする必要がある。つまり、フローティングディフュージョンFDの総容量CFDの内訳のほとんどを第2キャパシタC2が占めるようにする必要がある。第2キャパシタC2の容量を大きくすると、これに伴い、フローティングディフュージョンFDの総容量CFDも大きくなってしまう。その結果、高変換ゲインのときの変換ゲインが下がり、全体としてのSN比が悪くなってしまう。そのため、フローティングディフュージョンFDの総容量CFDの大きさCCFDに対する第2キャパシタC2の容量の大きさCC2の比は、0.2倍から0.8倍の間に設定されることが好ましい。

[0188] <7. 電子と正孔の極性を反対にした構造>

上述した実施の形態を第1の実施の形態とすると、第1の実施の形態では、フォトダイオードPDに電子を蓄積し、第1キャパシタC1に正孔を蓄積したが、電子と正孔の極性を反対にした構造も可能である。

[0189] 第1の実施の形態に対して電子と正孔の極性を反対にした構造を、第2の実施の形態として説明する。

[0190] 図11は、第2の実施の形態における画素2の等価回路を示し、図12は、第2の実施の形態における画素2の断面構造を示している。さらに、図13は、第2の実施の形態における画素2の駆動を示すタイミングチャートである。

[0191] 図11の画素回路は、第1の実施の形態における図2の画素回路に対応する。図11の画素回路は、図2の画素回路と比較すると、PMOSトランジスタとNMOSトランジスタが入れ替わっている。したがって、転送トランジスタMT、変換ゲイン切替トランジスタMG、第2リセットトランジスタMR2、増幅トランジスタMA、および、選択トランジスタMSは、PMOSトランジスタで構成され、第1リセットトランジスタMR1は、NMOSトランジスタで構成される。

[0192] 図12の画素断面図は、第1の実施の形態における図3の画素断面図に対応する。図12の画素断面図は、図3の画素断面図と比較すると、半導体領域のP型とN型が入れ替わっている。

[0193] 図13の駆動タイミングチャートは、第1の実施の形態における図5の駆動タイミングチャートに対応する。図13の駆動タイミングチャートは、図5の駆動タイミングチャートと比較すると、各制御信号の極性（HighとLow）が入れ替わっている。また、図13に示されるように、最初に読み出されるのが電子による信号であり、その後に、正孔による信号が読み出される。

[0194] 第2の実施の形態は、上述した点を除いて第1の実施の形態と同様であるので、図11乃至図13の詳細な説明は省略する。第2の実施の形態においても、第1の実施の形態と同様の効果を奏する。

[0195] <8. 画素境界部のその他の構造例>

上述した第1および第2の実施の形態では、隣接する画素2どうしを電氣的に分離するために、画素境界部にトレンチ電極61と絶縁膜62を含むトレンチアイソレーション60を設ける構成が採用された。

[0196] 隣接する画素2どうしを電氣的に分離する画素分離部の構成として、トレンチ電極61と絶縁膜62を含むトレンチアイソレーション60を設ける構成の他、PN接合による分離も可能である。

[0197] 図14は、固体撮像装置1の第3の実施の形態である、画素分離部をPN接合により電氣的に分離した構造を有する画素2の断面構造を示す図である。

[0198] 図14において、図3に示した第1の実施の形態と対応する部分については同一の符号を付してあり、その部分の説明は適宜省略する。

[0199] 図14の第3の実施の形態では、図3に示した第1の実施の形態のトレンチ電極61と絶縁膜62がN型半導体領域141および142に置き換えられている点で、第1の実施の形態と異なり、その他の点では第1の実施の形態と同一である。

[0200] すなわち、図14の第3の実施の形態において、隣接して配置される画素2の境界部分には、第1キャパシタC1の一方の電極となるP型半導体領域64

と、その反導電型となるN型半導体領域141が設けられている。N型半導体領域141は、トレンチアイソレーション60と同様に、半導体基板12を貫通して形成される。N型半導体領域141の基板裏面側界面近傍の一部領域は、コンタクト部として、N型半導体領域141よりも不純物濃度を濃くしたN型半導体領域142が形成されている。コンタクト部としてのN型半導体領域142には第2電圧V2が供給され、N型半導体領域141とP型半導体領域64とのPN接合の逆バイアス状態で電氣的に絶縁分離されている。N型半導体領域141とP型半導体領域64とのPN接合容量が、第1キャパシタC1に相当する。

[0201] <9. まとめ>

以上の固体撮像装置1の各実施の形態に係る画素2は、入射光を光電変換して生成した第1の電荷（例えば電子）をフォトダイオードPDに蓄積し、第2の電荷（例えば正孔）を画素分離部に設けられた第1キャパシタC1に蓄積する。また、フォトダイオードPDのアノードとなるP型半導体領域64は、第2の電荷を蓄積する第1キャパシタC1の一方の電極となっている。さらに、N MOSである転送トランジスタMTも、P型半導体領域64内に形成されている。

[0202] そして、各画素2は、第1キャパシタC1に蓄積された第2の電荷による画素信号を出力した後で、フォトダイオードPDに蓄積された第1の電荷による画素信号を出力する。この読み出し順番を用いることより、転送トランジスタMTを用いて第1の電荷をフォトダイオードPDからフローティングディフュージョンFDへ転送する際、転送トランジスタMTが形成されているP型半導体領域64の電位を、接地GNDに固定することができる。

[0203] このことは、第1の電荷をフォトダイオードPDからフローティングディフュージョンFDへ転送する際、転送トランジスタMTが形成されているP型半導体領域64の電位が接地GNDから正の電位へと上昇してしまっている先行技術と比較して、第1の電荷の転送を良好に行うことができるという効果をもたらす。

[0204] 第2の電荷を蓄積する第1キャパシタC1の一方の電極であるP型半導体領域

64 をリセットするための第1リセットトランジスタMR1は、第2の電荷が正孔である場合にはPMOSトランジスタで構成され、第2の電荷が電子である場合にはNMOSトランジスタで構成される。

[0205] 第2の電荷を蓄積する第1キャパシタC1の一方の電極であるP型半導体領域64と、この第1キャパシタC1をリセットするための第1リセットトランジスタMR1とを、同一の導電型とすることで、この第1キャパシタC1の一方の電極であるP型半導体領域64が第1リセットトランジスタMR1のソース領域を兼ねることが可能となる。これにより第1リセットトランジスタMR1のソース領域の面積を省き、第1リセットトランジスタMR1の面積を小さくすることができる。その結果、画素2の面積を小さくすることや、あるいは、画素2の面積を小さくする代わりにフォトダイオードPDや増幅トランジスタMAの面積を大きくして画素2の特性を向上させることが、可能になるという効果もたらされる。

[0206] また、画素2における電荷の蓄積期間中、画素2へ供給する電源電圧を下げることにより、画素2で発生する暗電流を抑制することができるという効果がもたらされる。

[0207] さらに、固体撮像装置1に備わる信号処理回路7は、各画素2からの第1の電荷の読み出し信号を基にして、各画素2が撮像した被写体が暗かったか否かを判定する。撮像した被写体が暗かったと判定された画素2については、信号処理回路7は、その画素2からの第2の電荷の読み出し信号は、光電変換の結果発生した信号ではなく暗電流であると判断する。そして、信号処理回路7は、暗電流であると判断された信号を用いて、画素2からの第2の電荷の読み出し信号から暗電流を除去する補正処理を行う。これにより、第2の電荷による画素信号のSN比を向上させることができるという効果もたらされる。

[0208] <10. 電子機器への適用例>

本技術は、固体撮像装置への適用に限られるものではない。即ち、本技術は、デジタルスチルカメラやビデオカメラ等の撮像装置や、撮像機能を有す

る携帯端末装置や、画像読取部に固体撮像装置を用いる複写機など、画像取込部（光電変換部）に固体撮像装置を用いる電子機器全般に対して適用可能である。固体撮像装置は、ワンチップとして形成された形態であってもよいし、撮像部と信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。

[0209] 図15は、本技術を適用した電子機器としての、撮像装置の構成例を示すブロック図である。

[0210] 図15の撮像装置200は、レンズ群などからなる光学部201、図1の固体撮像装置1の構成が採用される固体撮像装置（撮像デバイス）202、およびカメラ信号処理回路であるDSP(Digital Signal Processor)回路203を備える。また、撮像装置200は、フレームメモリ204、表示部205、記録部206、操作部207、および電源部208も備える。DSP回路203、フレームメモリ204、表示部205、記録部206、操作部207および電源部208は、バスライン209を介して相互に接続されている。

[0211] 光学部201は、被写体からの入射光（像光）を取り込んで固体撮像装置202の撮像面上に結像する。固体撮像装置202は、光学部201によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この固体撮像装置202として、図1の固体撮像装置1、即ち、電子と正孔の両方を検出することにより高ダイナミックレンジな撮像を実現する固体撮像装置を用いることができる。

[0212] 表示部205は、例えば、LCD(Liquid Crystal Display)や有機EL(Electro Luminescence)ディスプレイ等の薄型ディスプレイで構成され、固体撮像装置202で撮像された動画または静止画を表示する。記録部206は、固体撮像装置202で撮像された動画または静止画を、ハードディスクや半導体メモリ等の記録媒体に記録する。

[0213] 操作部207は、ユーザによる操作の下に、撮像装置200が持つ様々な機能について操作指令を発する。電源部208は、DSP回路203、フレームメモリ204、表示部205、記録部206および操作部207の動作電源

となる各種の電源を、これら供給対象に対して適宜供給する。

[0214] 上述したように、固体撮像装置 202 として、上述した実施の形態を適用した固体撮像装置 1 を用いることで、高ダイナミックレンジな画像を生成することができる。従って、ビデオカメラやデジタルスチルカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュールなどの撮像装置 200 においても、撮像画像の高画質化を図ることができる。

[0215] <イメージセンサの使用例>

図 16 は、上述の固体撮像装置 1 を用いたイメージセンサの使用例を示す図である。

[0216] 上述の固体撮像装置 1 を用いたイメージセンサは、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0217] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0218] < 1 1 . 移動体への応用例 >

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0219] 図 1 7 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0220] 車両制御システム 1 2 0 0 0 は、通信ネットワーク 1 2 0 0 1 を介して接続された複数の電子制御ユニットを備える。図 1 7 に示した例では、車両制御システム 1 2 0 0 0 は、駆動系制御ユニット 1 2 0 1 0、ボディ系制御ユニット 1 2 0 2 0、車外情報検出ユニット 1 2 0 3 0、車内情報検出ユニット 1 2 0 4 0、及び統合制御ユニット 1 2 0 5 0 を備える。また、統合制御ユニット 1 2 0 5 0 の機能構成として、マイクロコンピュータ 1 2 0 5 1、音声画像出力部 1 2 0 5 2、及び車載ネットワーク I / F (i n t e r f a c e) 1 2 0 5 3 が図示されている。

[0221] 駆動系制御ユニット 1 2 0 1 0 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 1 2 0 1 0 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0222] ボディ系制御ユニット 1 2 0 2 0 は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット 1 2 0 2 0 は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この

場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0223] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0224] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0225] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0226] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩

和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0227] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0228] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0229] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図17の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0230] 図18は、撮像部12031の設置位置の例を示す図である。

[0231] 図18では、車両12100は、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

[0232] 撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロ

ントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102, 12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。撮像部 12101 及び 12105 で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0233] なお、図 18 には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112, 12113 は、それぞれサイドミラーに設けられた撮像部 12102, 12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像部 12104 の撮像範囲を示す。例えば、撮像部 12101 ないし 12104 で撮像された画像データが重ね合わせられることにより、車両 12100 を上方から見た俯瞰画像が得られる。

[0234] 撮像部 12101 ないし 12104 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 12101 ないし 12104 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0235] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を基に、撮像範囲 12111 ないし 12114 内における各立体物までの距離と、この距離の時間的变化（車両 12100 に対する相対速度）を求めることにより、特に車両 12100 の進行路上にある最も近い立体物で、車両 12100 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動

加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0236] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0237] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0238] 以上、本開示に係る技術が適用され得る車両制御システムの一例について

説明した。本開示に係る技術は、以上説明した構成のうち、撮像部 1 2 0 3 1 に適用され得る。具体的には、撮像部 1 2 0 3 1 として、上述した各実施の形態に係る固体撮像装置 1 を適用することができる。撮像部 1 2 0 3 1 に本開示に係る技術を適用することにより、高ダイナミックレンジな撮像を実現することができる。また、得られた画像を用いて、ドライバの疲労を軽減したり、ドライバや車両の安全度を高めることが可能になる。

[0239] また、本技術は、可視光の入射光量の分布を検知して画像として撮像する固体撮像装置への適用に限らず、赤外線やX線、あるいは粒子等の入射量の分布を画像として撮像する固体撮像装置や、広義の意味として、圧力や静電容量など、他の物理量の分布を検知して画像として撮像する指紋検出センサ等の固体撮像装置（物理量分布検知装置）全般に対して適用可能である。

[0240] 本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0241] 例えば、上述した複数の実施の形態の全てまたは一部を組み合わせた形態を採用することができる。

[0242] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、本明細書に記載されたもの以外の効果があってもよい。

[0243] なお、本技術は以下のような構成も取ることができる。

(1)

入射光を光電変換するフォトダイオードを有する画素と、
前記画素の駆動を制御する駆動制御部と
を備え、

前記画素は、光電変換により発生する第 1 の電荷を前記フォトダイオードに蓄積し、前記光電変換により発生する第 2 の電荷を画素分離部に設けられた第 1 キャパシタに蓄積し、

前記駆動制御部は、前記第 1 キャパシタに蓄積された前記第 2 の電荷による画素信号を出力した後で、前記フォトダイオードに蓄積された前記第 1 の電荷による画素信号を出力させる

固体撮像装置。

(2)

前記フォトダイオードのPN接合の一方の半導体領域は、前記第1キャパシタの一方の電極を構成し、

前記画素は、

画素外へ出力される電荷を一時的に保持するフローティングディフュージョンと、

前記フローティングディフュージョンと前記半導体領域との間の第2キャパシタと

をさらに有する

前記(1)に記載の固体撮像装置。

(3)

前記第2キャパシタは、前記フローティングディフュージョンの総容量に対して、0.2倍から0.8倍の間に設定されている

前記(2)に記載の固体撮像装置。

(4)

前記画素は、前記半導体領域に蓄積された前記第2の電荷による画素信号を出力する際に、前記半導体領域を固定電位にリセットするトランジスタをさらに有し、

前記トランジスタは、前記第2の電荷が正孔である場合、PMOSトランジスタで構成され、前記第2の電荷が電子である場合、NMOSトランジスタで構成される

前記(1)乃至(3)のいずれかに記載の固体撮像装置。

(5)

前記トランジスタのソース領域は、前記半導体領域で構成される

前記(4)に記載の固体撮像装置。

(6)

前記トランジスタのドレイン領域は、平面視では、ウェル、ゲート電極、

および、前記画素分離部で囲まれ、断面視では、前記ウェルにより前記半導体領域と絶縁分離された構造を有する

前記（４）または（５）に記載の固体撮像装置。

（７）

前記トランジスタは、平面視において、矩形領域の前記画素内の所定の角部に配置される

前記（４）乃至（６）のいずれかに記載の固体撮像装置。

（８）

前記駆動制御部は、読み出し動作時には電源電圧とする供給電圧を、読み出し動作とリセット動作以外の蓄積期間中、異なる電圧に設定する

前記（１）乃至（７）のいずれかに記載の固体撮像装置。

（９）

前記異なる電圧は0Vである

前記（８）に記載の固体撮像装置。

（１０）

前記画素は、前記半導体領域に蓄積された前記第２の電荷による画素信号を出力する際に、前記半導体領域を固定電位にリセットするトランジスタをさらに有し、

前記駆動制御部は、前記異なる電圧を、前記半導体領域に蓄積できる飽和電荷数で変化する電位変化量だけ前記固定電位より高く設定する

前記（８）または（９）に記載の固体撮像装置。

（１１）

前記第１の電荷による画素信号が所定値より小さい場合に、前記第２の電荷による画素信号から、複数フレームを用いて算出された固定成分を減算することにより、前記第２の電荷による画素信号の補正処理を行う補正処理部をさらに備える

前記（１）乃至（１０）のいずれかに記載の固体撮像装置。

（１２）

前記補正処理部は、蓄積時間と温度に応じた補正後の、前記複数フレームの前記第2の電荷による画素信号を用いて、前記固定成分を算出する

前記（11）に記載の固体撮像装置。

（13）

前記画素分離部は、半導体基板を貫通して隣接画素どうしを電氣的に分離する

前記（1）乃至（12）のいずれかに記載の固体撮像装置。

（14）

前記画素分離部は、金属材料またはポリシリコンで形成される固定電位の電極を含む

前記（13）に記載の固体撮像装置。

（15）

前記フォトダイオードのPN接合の一方の半導体領域は、前記第1キャパシタの一方の電極を構成し、

前記画素分離部は、前記半導体領域と反対の導電型の半導体領域で形成され、所定の電圧が印加される

前記（13）に記載の固体撮像装置。

（16）

入射光を光電変換するフォトダイオードを有する画素と、

前記画素の駆動を制御する駆動制御部と

を備える固体撮像装置の、

前記画素が、光電変換により発生する第1の電荷を前記フォトダイオードに蓄積し、前記光電変換により発生する第2の電荷を画素分離部に設けられた第1キャパシタに蓄積し、

前記駆動制御部が、前記第1キャパシタに蓄積された前記第2の電荷による画素信号を出力した後で、前記フォトダイオードに蓄積された前記第1の電荷による画素信号を出力させる

固体撮像装置の駆動方法。

(1 7)

入射光を光電変換するフォトダイオードを有する画素と、
前記画素の駆動を制御する駆動制御部と
を備え、

前記画素は、光電変換により発生する第 1 の電荷を前記フォトダイオード
に蓄積し、前記光電変換により発生する第 2 の電荷を画素分離部に設けられ
た第 1 キャパシタに蓄積し、

前記駆動制御部は、前記第 1 キャパシタに蓄積された前記第 2 の電荷によ
る画素信号を出力した後で、前記フォトダイオードに蓄積された前記第 1 の
電荷による画素信号を出力させる

固体撮像装置

を備える電子機器。

符号の説明

[0244] 1 固体撮像装置, 2 画素, 3 画素アレイ部, 4 垂直駆動回
路, 5 カラム信号処理回路, 7 信号処理回路, PD フォトダイ
オード, FD フローティングディフュージョン, MT 転送トランジスタ,
MA 増幅トランジスタ, MC 切替トランジスタ, MP 接地リセットト
ランジスタ, MR1 第 1 リセットトランジスタ, MR2 第 2 リセットトラ
ンジスタ, MS 選択トランジスタ, PG 画素接地領域, CP 1 第 1 キャパ
シタ, CP 2 第 2 キャパシタ, 6 0 トレンチアイソレーション, 6 1
トレンチ電極, 6 2 絶縁膜, 6 3 N型半導体領域, 6 3 b 第 2
のN型半導体領域, 6 4 b 第 2 のP型半導体領域, 6 9 ウェル, 1
0 0 画素アレイ信号出力部, 1 1 1 暗電流補正処理部, 1 4 1 N型
半導体領域, 1 4 2 N型半導体領域, 2 0 0 撮像装置, 2 0 2 固
体撮像装置

請求の範囲

- [請求項1] 入射光を光電変換するフォトダイオードを有する画素と、
前記画素の駆動を制御する駆動制御部と
を備え、
前記画素は、光電変換により発生する第1の電荷を前記フォトダイオードに蓄積し、前記光電変換により発生する第2の電荷を画素分離部に設けられた第1キャパシタに蓄積し、
前記駆動制御部は、前記第1キャパシタに蓄積された前記第2の電荷による画素信号を出力した後で、前記フォトダイオードに蓄積された前記第1の電荷による画素信号を出力させる
固体撮像装置。
- [請求項2] 前記フォトダイオードのPN接合の一方の半導体領域は、前記第1キャパシタの一方の電極を構成し、
前記画素は、
画素外へ出力される電荷を一時的に保持するフローティングディフュージョンと、
前記フローティングディフュージョンと前記半導体領域との間の第2キャパシタと
をさらに有する
請求項1に記載の固体撮像装置。
- [請求項3] 前記第2キャパシタは、前記フローティングディフュージョンの総容量に対して、0.2倍から0.8倍の間に設定されている
請求項2に記載の固体撮像装置。
- [請求項4] 前記画素は、前記半導体領域に蓄積された前記第2の電荷による画素信号を出力する際に、前記半導体領域を固定電位にリセットするトランジスタをさらに有し、
前記トランジスタは、前記第2の電荷が正孔である場合、PMOSトランジスタで構成され、前記第2の電荷が電子である場合、NMOSトラン

ジスタで構成される

請求項 1 に記載の固体撮像装置。

[請求項5] 前記トランジスタのソース領域は、前記半導体領域で構成される
請求項 4 に記載の固体撮像装置。

[請求項6] 前記トランジスタのドレイン領域は、平面視では、ウェル、ゲート
電極、および、前記画素分離部で囲まれ、断面視では、前記ウェルに
より前記半導体領域と絶縁分離された構造を有する
請求項 4 に記載の固体撮像装置。

[請求項7] 前記トランジスタは、平面視において、矩形領域の前記画素内の所
定の角部に配置される
請求項 4 に記載の固体撮像装置。

[請求項8] 前記駆動制御部は、読み出し動作時には電源電圧とする供給電圧を
、読み出し動作とリセット動作以外の蓄積期間中、異なる電圧に設定
する
請求項 1 に記載の固体撮像装置。

[請求項9] 前記異なる電圧は0Vである
請求項 8 に記載の固体撮像装置。

[請求項10] 前記画素は、前記半導体領域に蓄積された前記第 2 の電荷による画
素信号を出力する際に、前記半導体領域を固定電位にリセットするト
ランジスタをさらに有し、

前記駆動制御部は、前記異なる電圧を、前記半導体領域に蓄積でき
る飽和電荷数で変化する電位変化量だけ前記固定電位より高く設定す
る

請求項 8 に記載の固体撮像装置。

[請求項11] 前記第 1 の電荷による画素信号が所定値より小さい場合に、前記第
2 の電荷による画素信号から、複数フレームを用いて算出された固定
成分を減算することにより、前記第 2 の電荷による画素信号の補正処
理を行う補正処理部をさらに備える

請求項 1 に記載の固体撮像装置。

[請求項12] 前記補正処理部は、蓄積時間と温度に応じた補正後の、前記複数フレームの前記第 2 の電荷による画素信号を用いて、前記固定成分を算出する

請求項 1 1 に記載の固体撮像装置。

[請求項13] 前記画素分離部は、半導体基板を貫通して隣接画素どうしを電氣的に分離する

請求項 1 に記載の固体撮像装置。

[請求項14] 前記画素分離部は、金属材料またはポリシリコンで形成される固定電位の電極を含む

請求項 1 3 に記載の固体撮像装置。

[請求項15] 前記フォトダイオードのPN接合の一方の半導体領域は、前記第 1 キャパシタの一方の電極を構成し、

前記画素分離部は、前記半導体領域と反対の導電型の半導体領域で形成され、所定の電圧が印加される

請求項 1 3 に記載の固体撮像装置。

[請求項16] 入射光を光電変換するフォトダイオードを有する画素と、
前記画素の駆動を制御する駆動制御部と
を備える固体撮像装置の、

前記画素が、光電変換により発生する第 1 の電荷を前記フォトダイオードに蓄積し、前記光電変換により発生する第 2 の電荷を画素分離部に設けられた第 1 キャパシタに蓄積し、

前記駆動制御部が、前記第 1 キャパシタに蓄積された前記第 2 の電荷による画素信号を出力した後で、前記フォトダイオードに蓄積された前記第 1 の電荷による画素信号を出力させる

固体撮像装置の駆動方法。

[請求項17] 入射光を光電変換するフォトダイオードを有する画素と、
前記画素の駆動を制御する駆動制御部と

を備え、

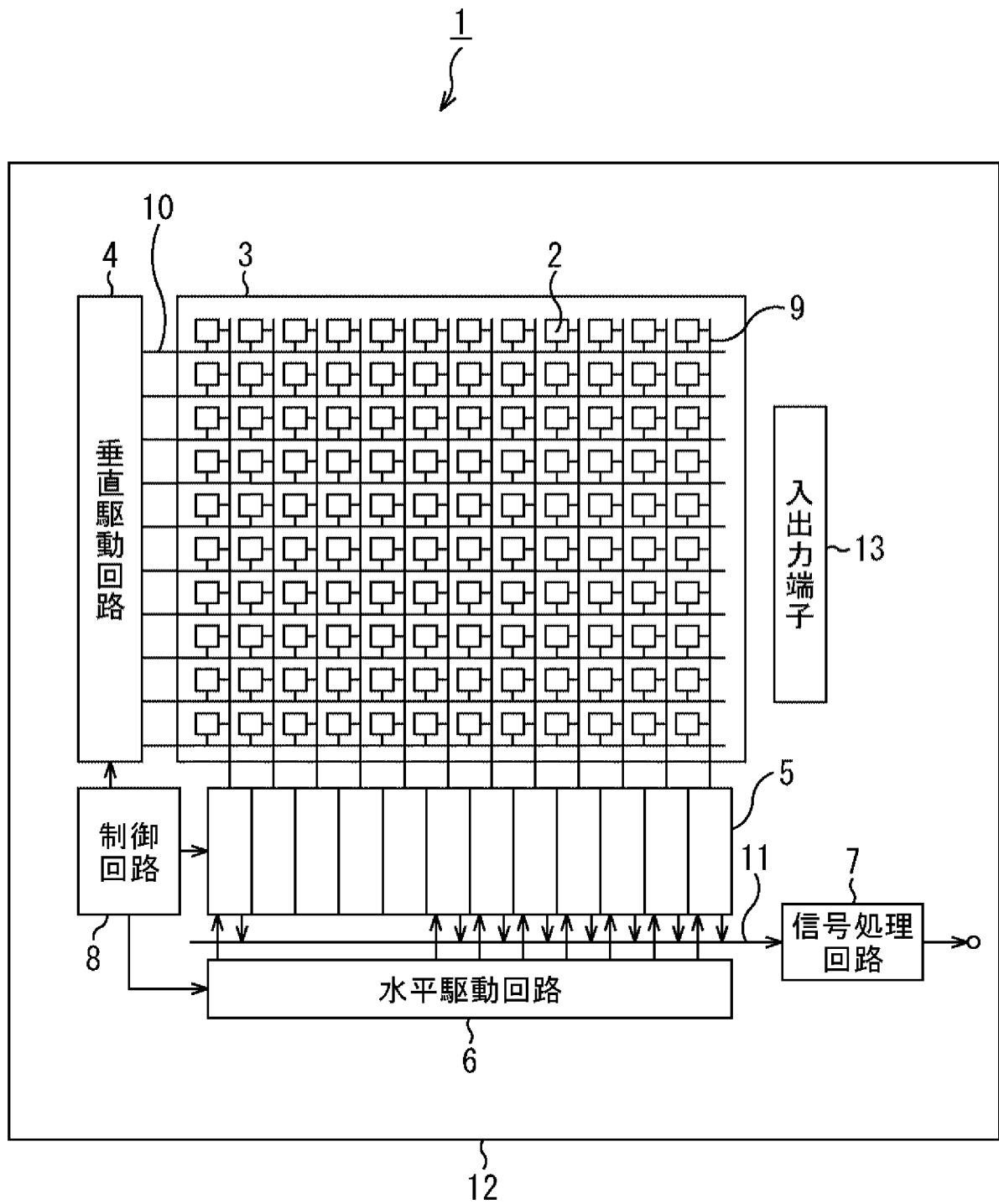
前記画素は、光電変換により発生する第1の電荷を前記フォトダイオードに蓄積し、前記光電変換により発生する第2の電荷を画素分離部に設けられた第1キャパシタに蓄積し、

前記駆動制御部は、前記第1キャパシタに蓄積された前記第2の電荷による画素信号を出力した後で、前記フォトダイオードに蓄積された前記第1の電荷による画素信号を出力させる

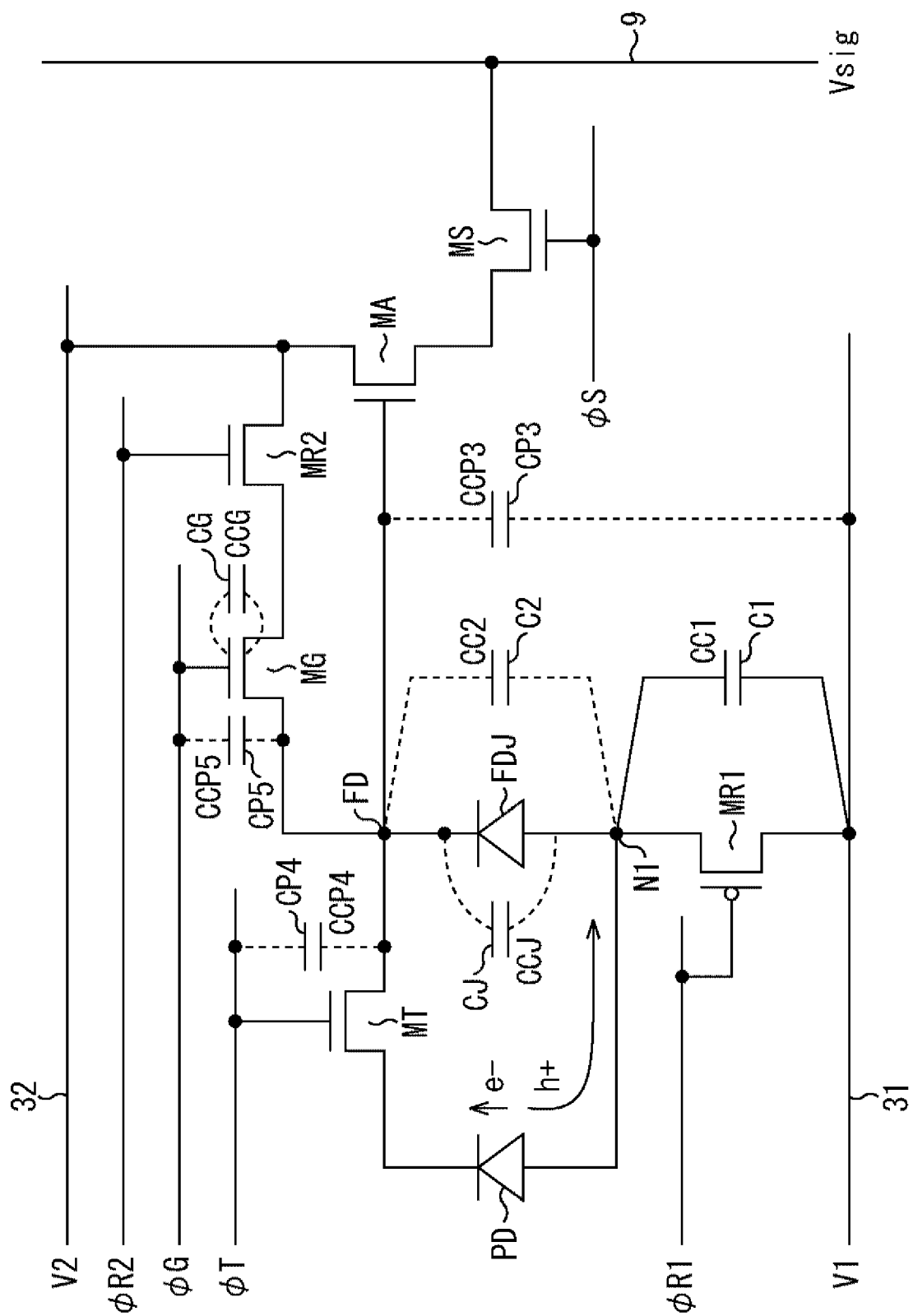
固体撮像装置

を備える電子機器。

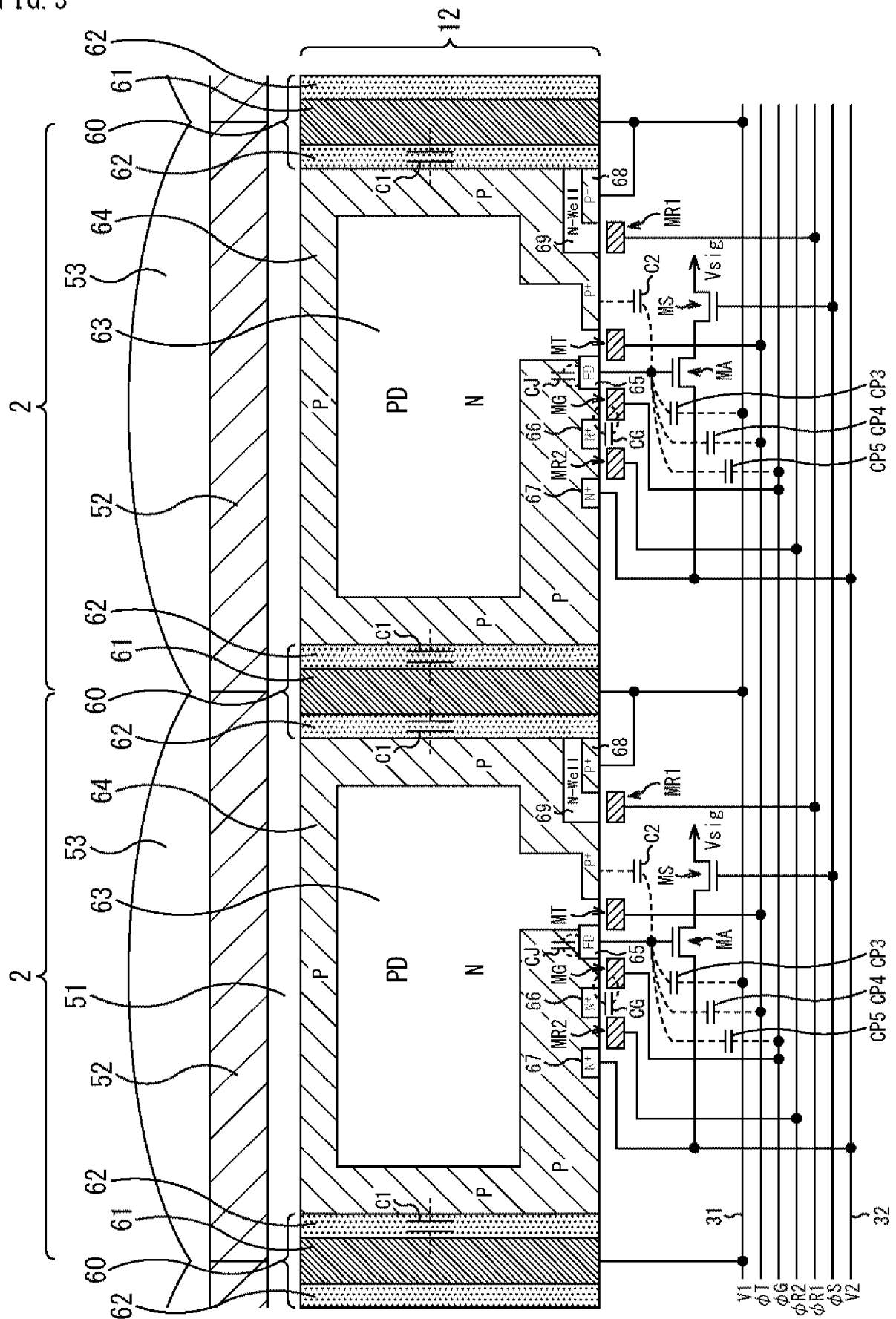
[図1]
FIG. 1



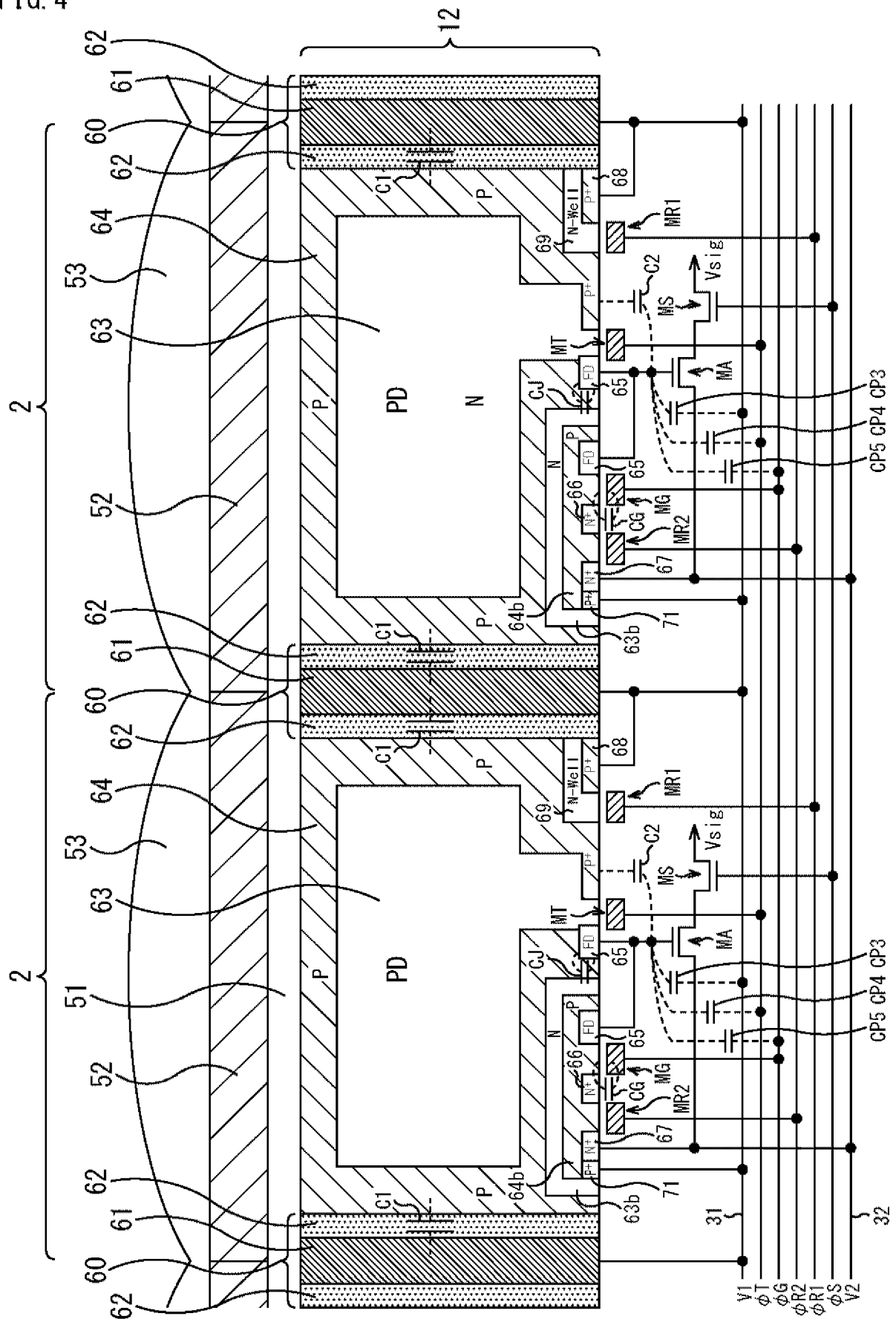
[図2]
FIG. 2



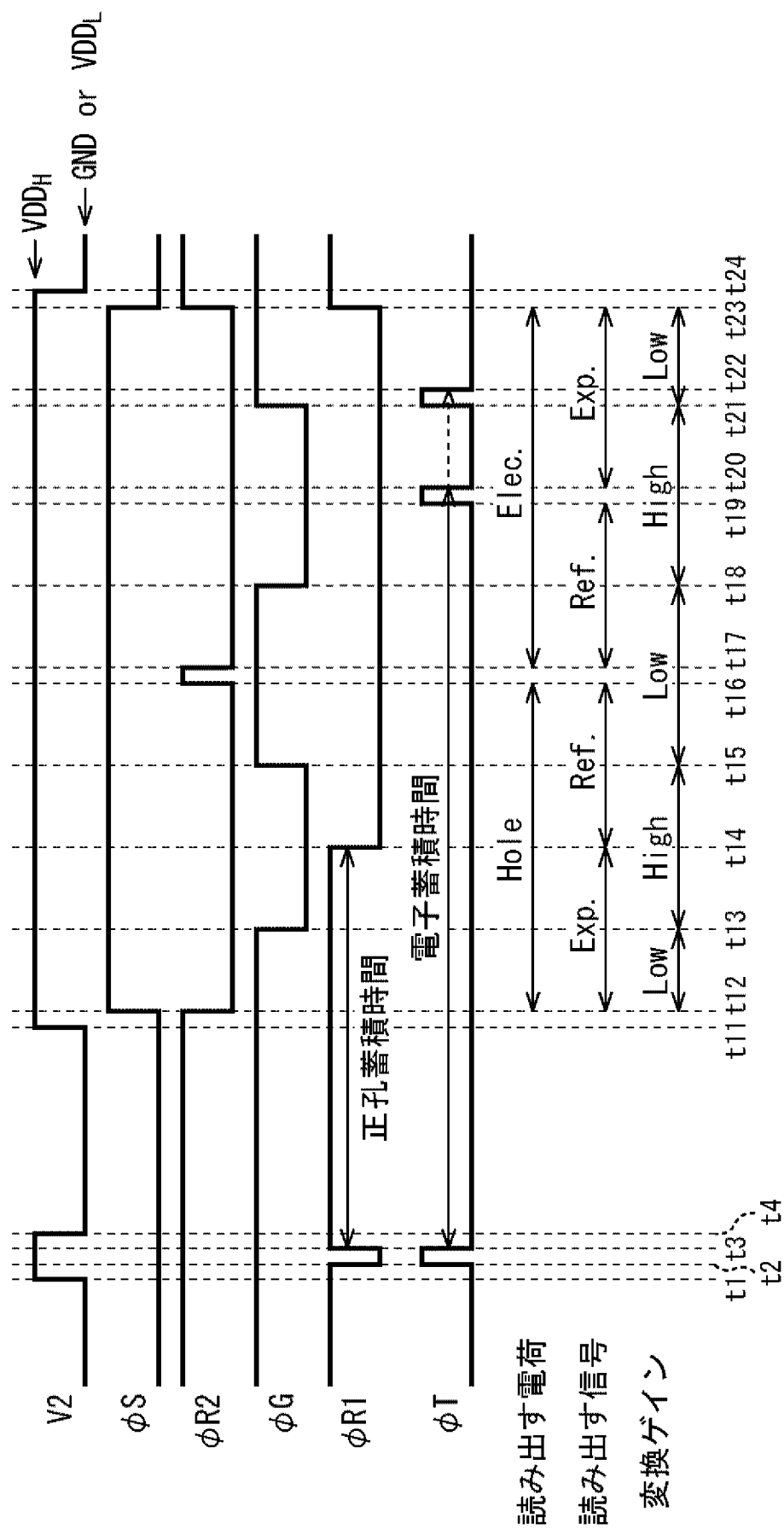
[図3]
FIG. 3



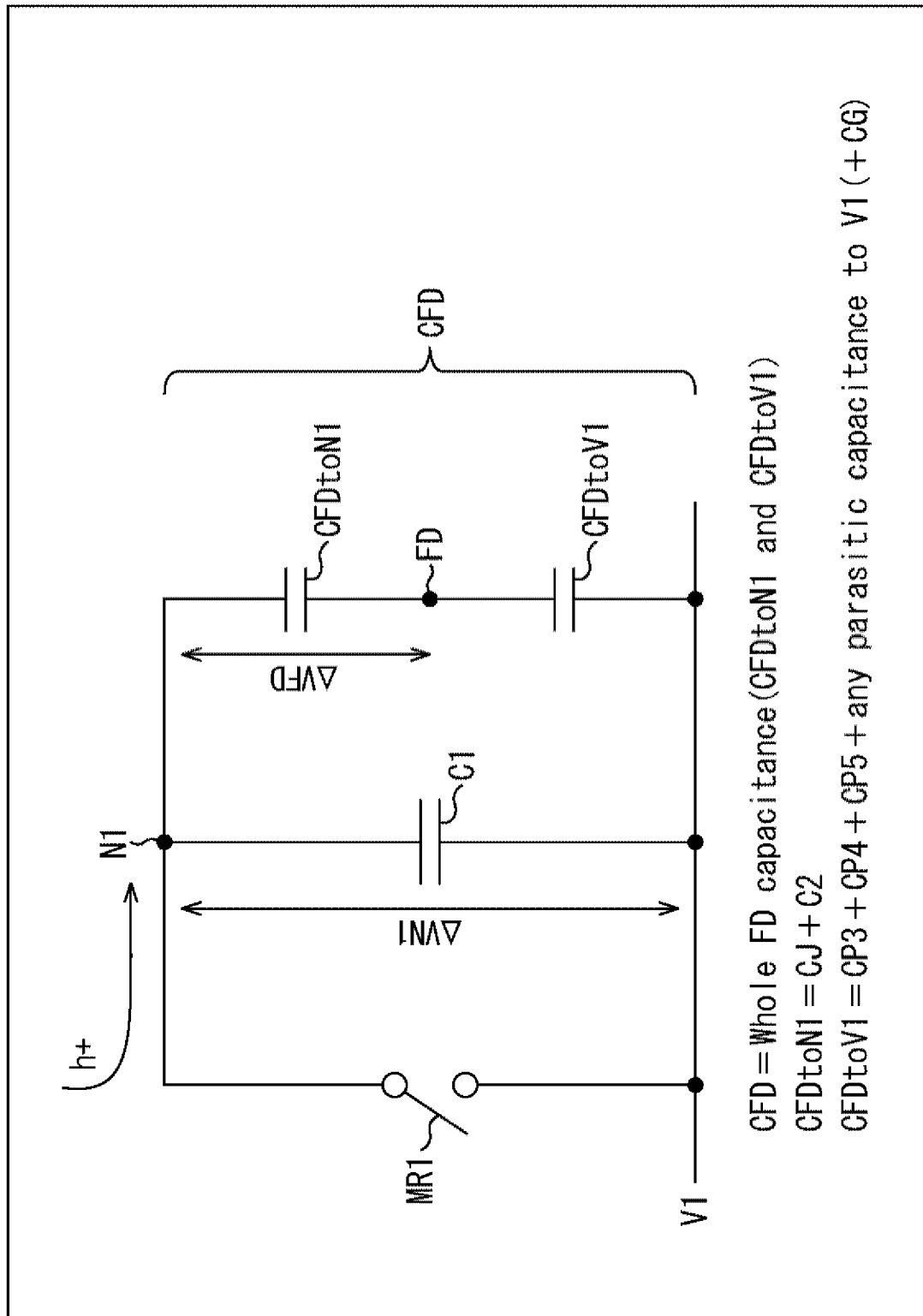
[図4]
FIG. 4

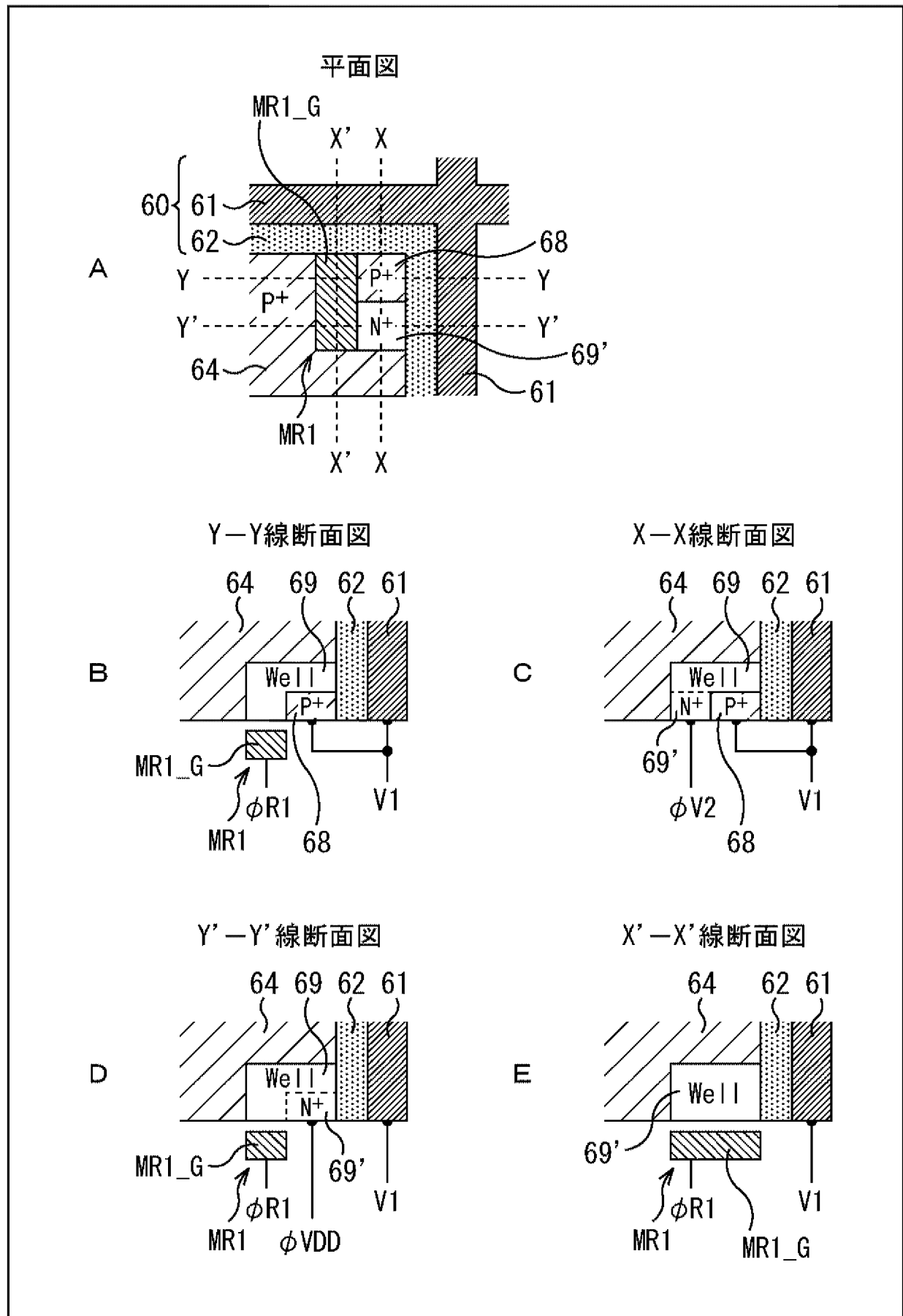


[図5]
FIG. 5

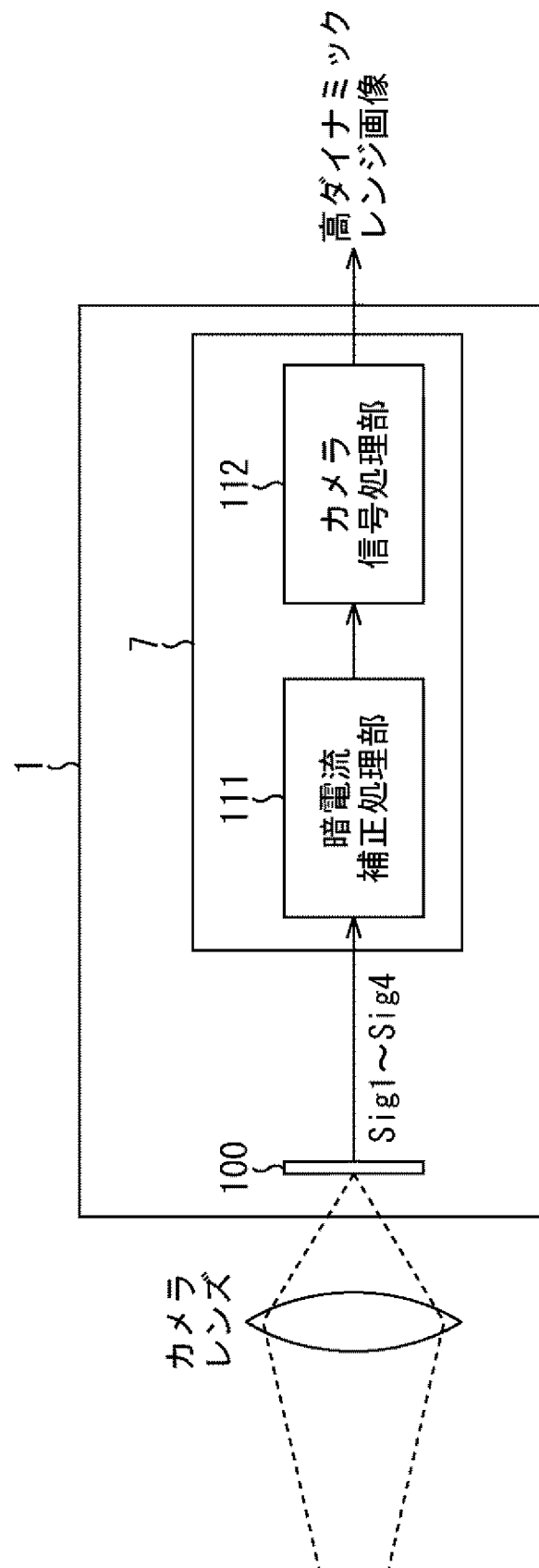


[図6]
FIG. 6

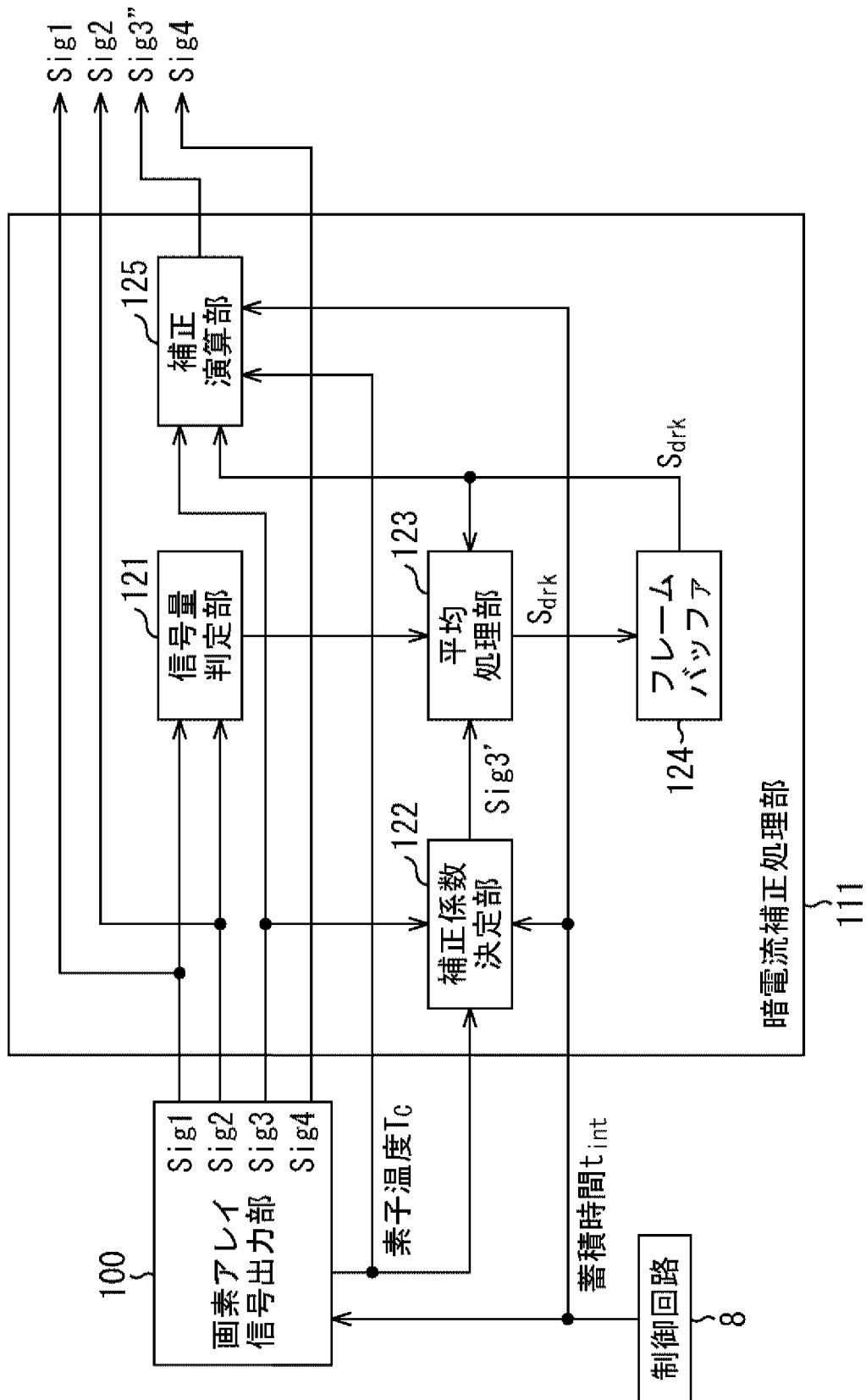


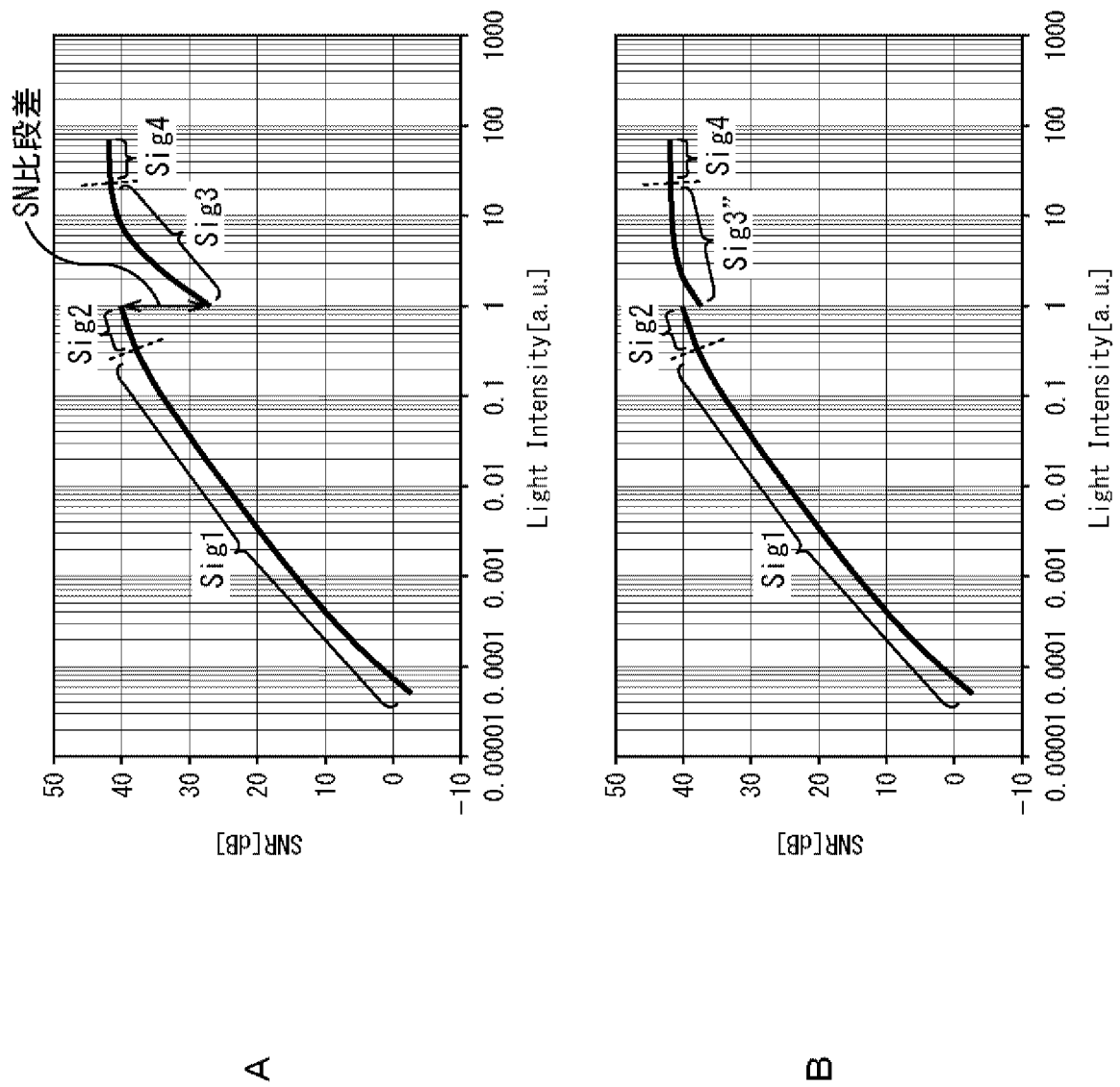


[図8]
FIG. 8

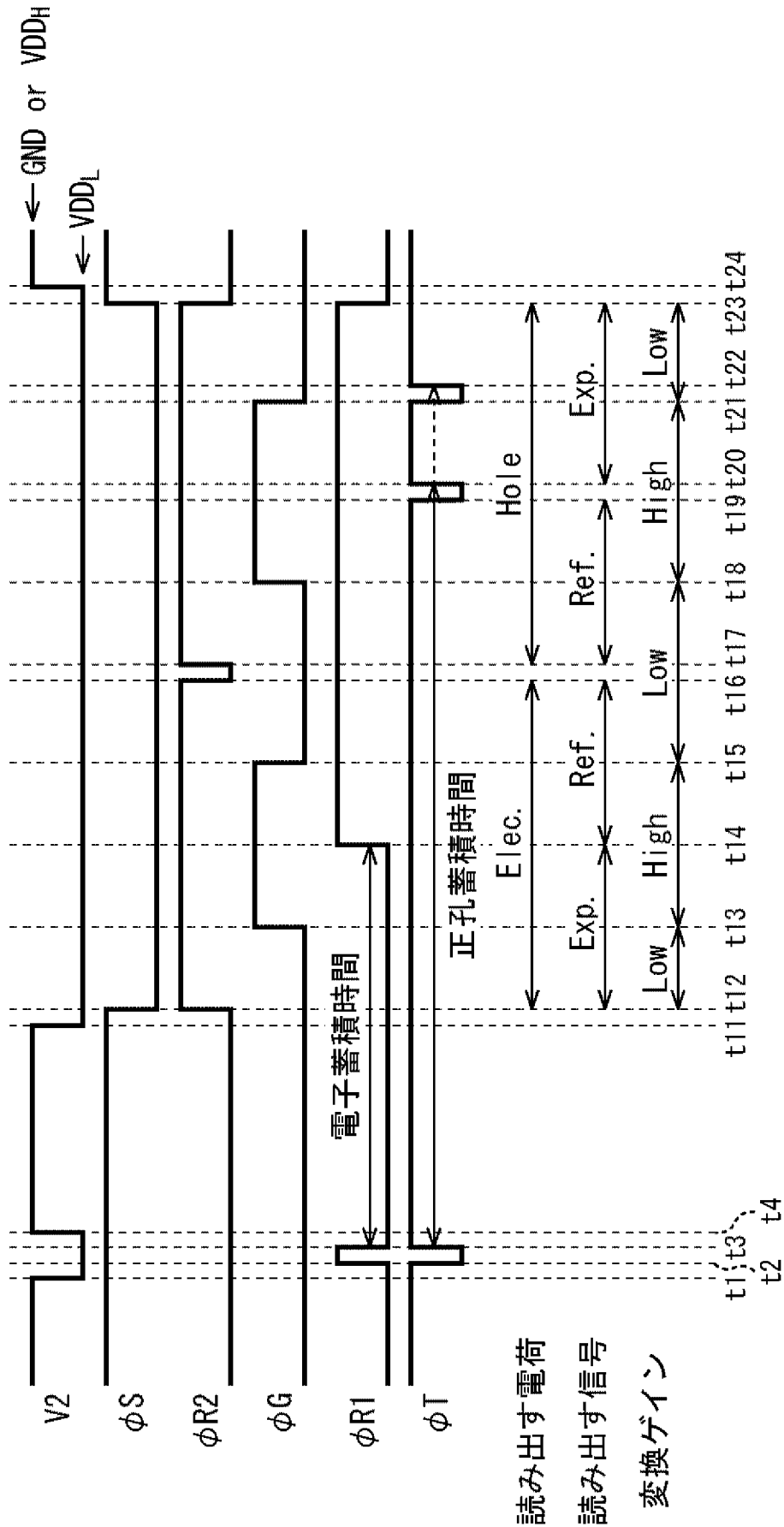


[図9]
FIG. 9

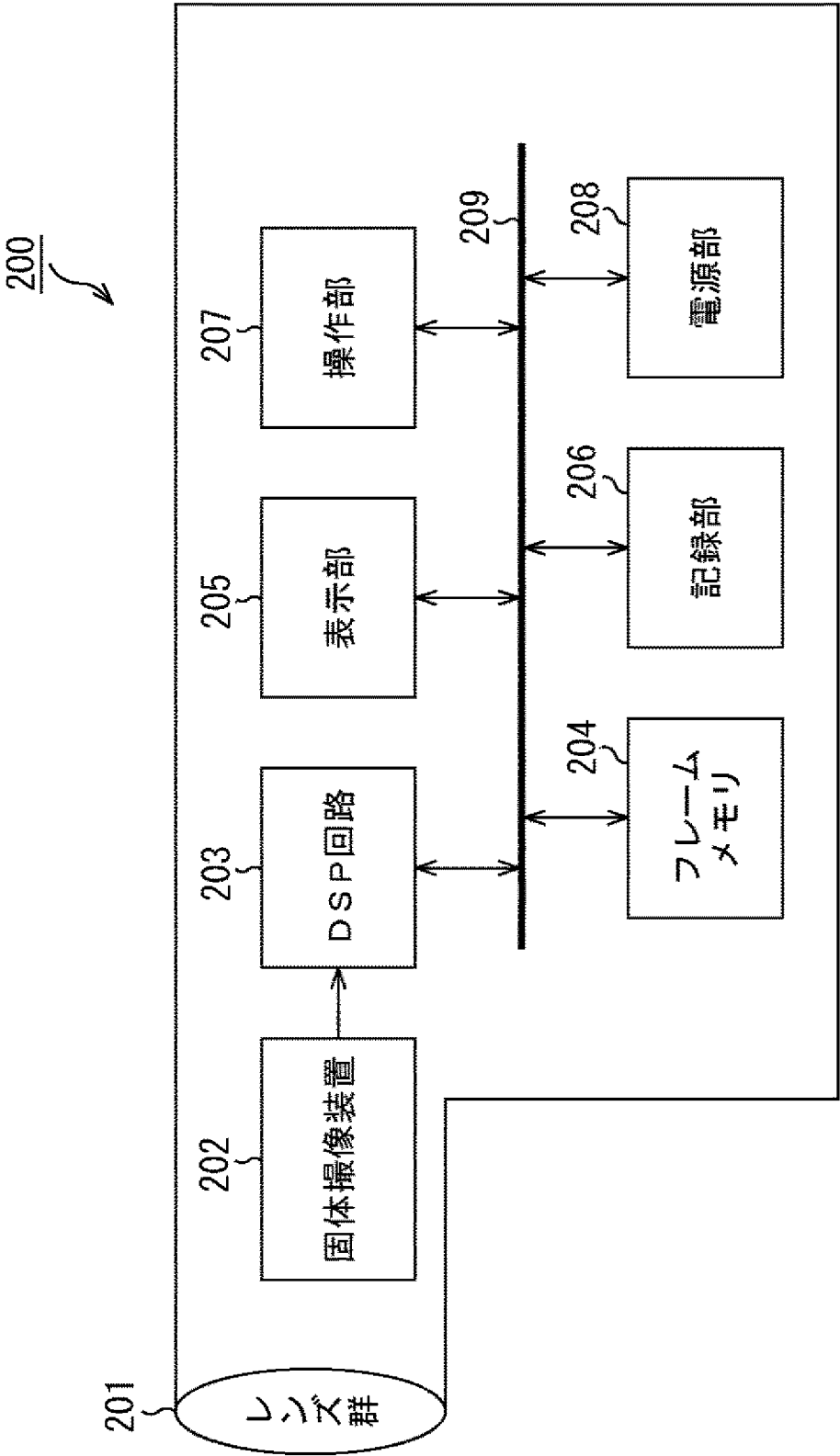


[図10]
FIG. 10

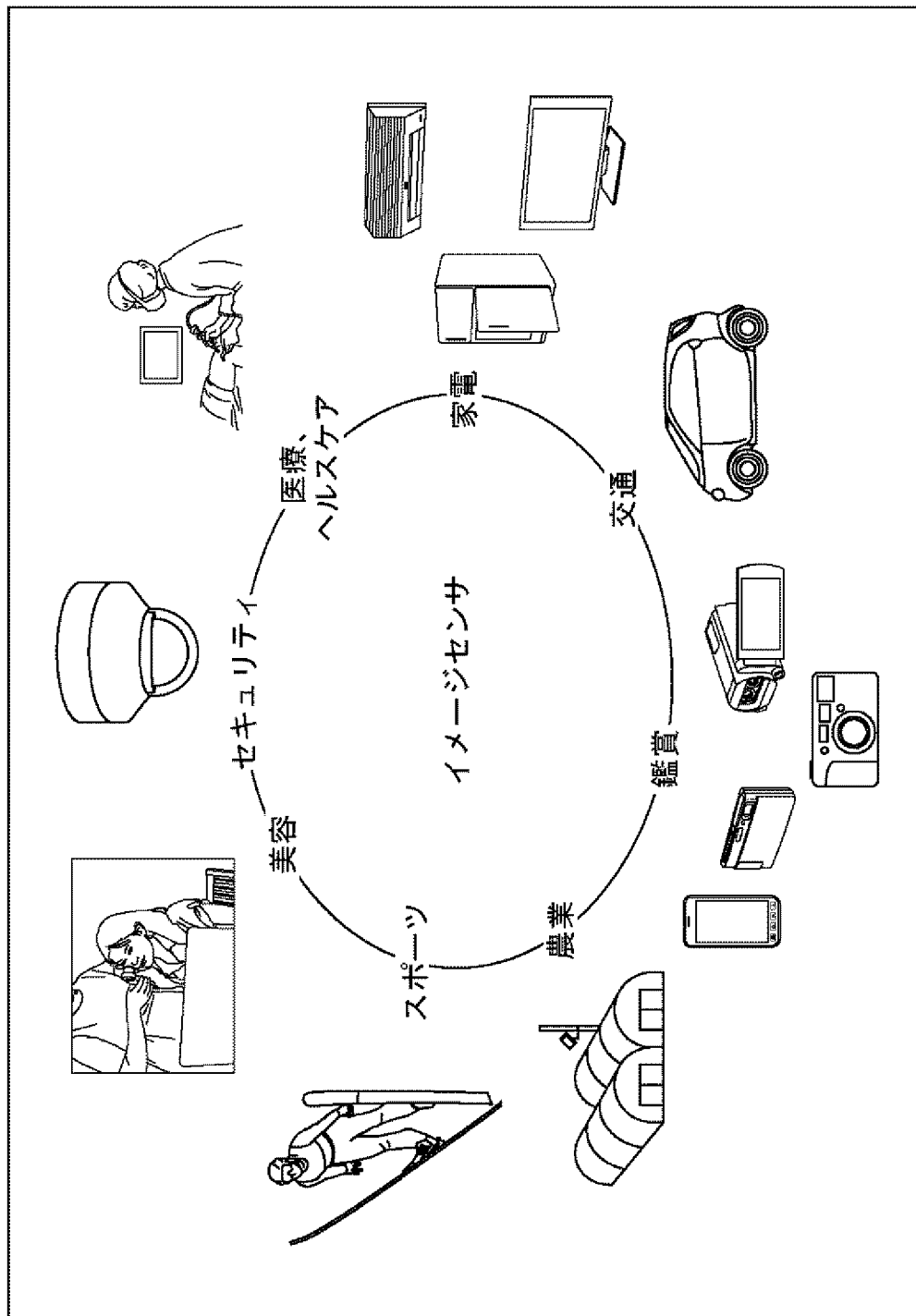
[図13]
FIG. 13



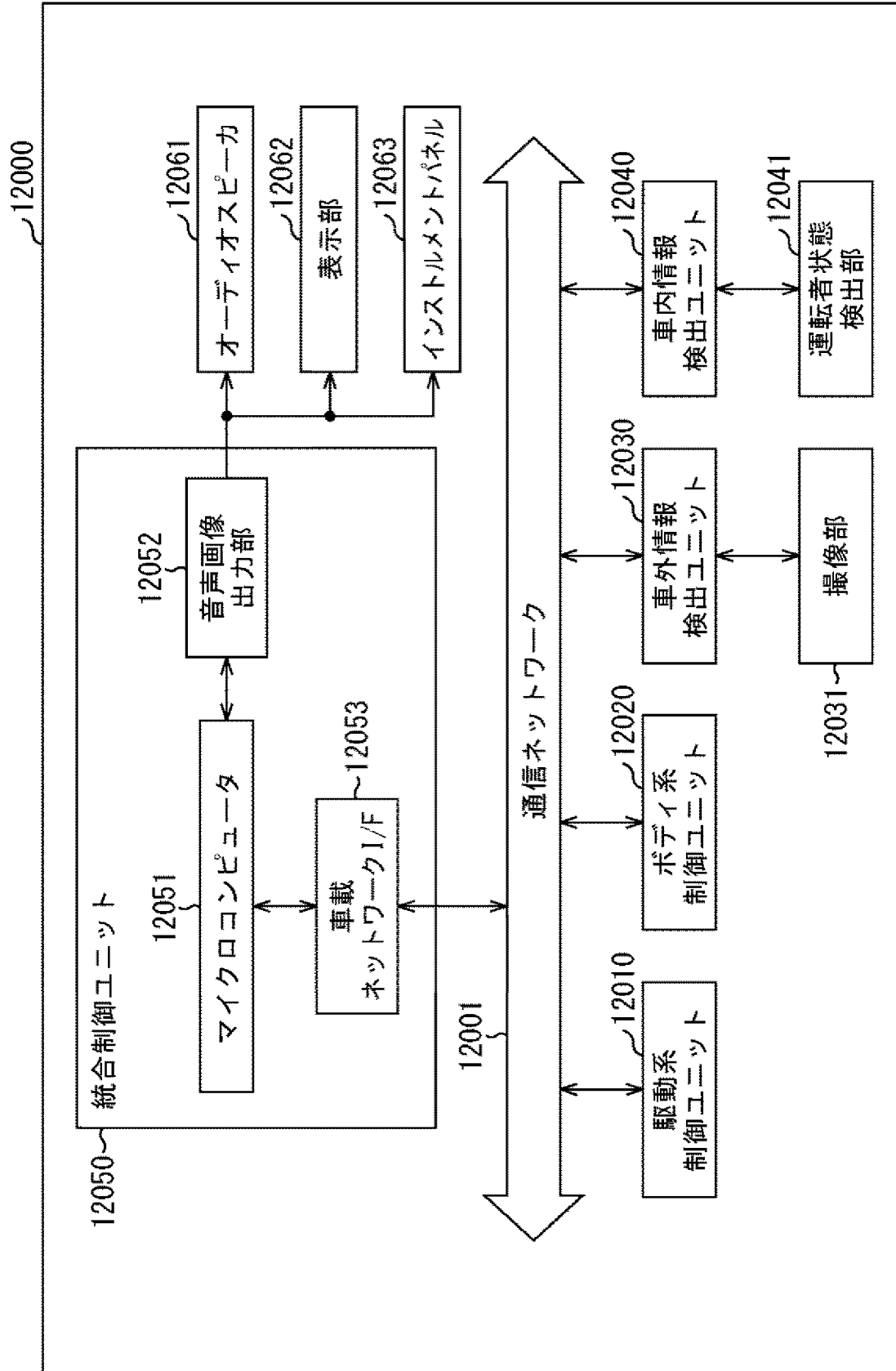
[図15]



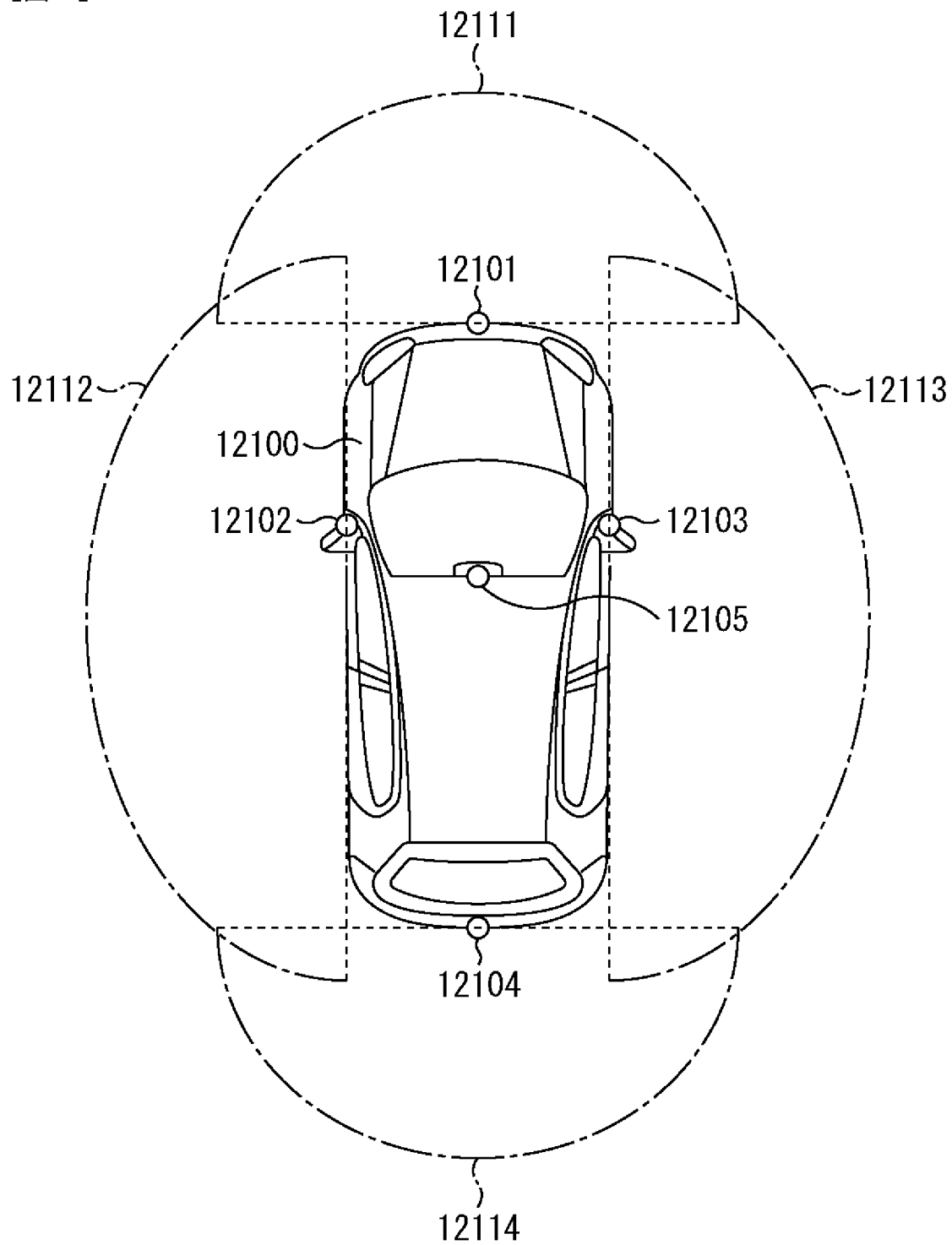
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/032121

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04N5/355 (2011.01) i, H01L27/146 (2006.01) i, H04N5/374 (2011.01) i,
H04N5/3745 (2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04N5/355, H01L27/146, H04N5/374, H04N5/3745

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2017/0186806 A1 (STMICROELECTRONICS (CROLLES 2) SAS) 29 June 2017, paragraphs [0033], [0058], [0059], fig. 2, 5A (Family: none)	1-17
A	US 2012/0193516 A1 (BOGAERTS, Jan) 02 August 2012, paragraph [0041], fig. 6A, 6B & GB 2487740 A	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 October 2019 (09.10.2019)

Date of mailing of the international search report
21 October 2019 (21.10.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H04N5/355(2011.01)i, H01L27/146(2006.01)i, H04N5/374(2011.01)i, H04N5/3745(2011.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H04N5/355, H01L27/146, H04N5/374, H04N5/3745

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2017/0186806 A1 (STMicroelectronics (Crolles 2) SAS) 2017.06.29, 段落 [0033], [0058], [0059], 図 2, 5A (ファミリーなし)	1-17
A	US 2012/0193516 A1 (BOGAERTS Jan) 2012.08.02, 段落 [0041], 図 6A, 6B & GB 2487740 A	1-17

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

09.10.2019

国際調査報告の発送日

21.10.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

鈴木 明

5 V

9185

電話番号 03-3581-1101 内線 3571