

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/822 (2006.01)

H01L 27/08 (2006.01)



# [12] 发明专利说明书

专利号 ZL 02151432.1

[45] 授权公告日 2007 年 5 月 16 日

[11] 授权公告号 CN 1316599C

[22] 申请日 2002.11.19 [21] 申请号 02151432.1

[30] 优先权

[32] 2001.11.20 [33] JP [31] 355053/2001

[73] 专利权人 株式会社日立制作所

地址 日本东京

[72] 发明人 大塚文雄 山本智志 酒井哲

[56] 参考文献

CN1155160A 1997.7.23

US6210999B1 2001.4.3

CN1264166A 2000.8.23

CN1060588C 2001.1.10

审查员 智 月

[74] 专利代理机构 中国国际贸易促进委员会专利  
商标事务所

代理人 李 强

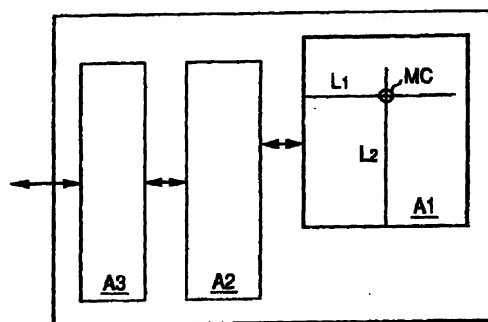
权利要求书 4 页 说明书 16 页 附图 11 页

[54] 发明名称

半导体集成电路器件的制造方法

[57] 摘要

本发明提供一种方法，能在具有由高介电常数绝缘膜制成的栅极绝缘膜的多种类型的 MIS 晶体管的半导体集成电路器件中，在相同的衬底上形成具有高速性能的电路和高可靠性的电路。方法除去了逻辑区和 I/O 区中 MIS 晶体管扩散区上的高介电常数绝缘膜，在扩散区的表面上形成低阻硅化物层。另一方面，在存储区中，在 MIS 晶体管的扩散区上不形成硅化物层，用高介电常数绝缘膜覆盖扩散区，由此防止了形成间隔层、硅化物层以及接触孔期间对半导体衬底的损伤。



1. 一种半导体集成电路器件的制造方法，包括以下步骤：

(a) 在第一导电类型的半导体衬底表面上形成多个沟槽，在该多个沟槽内形成第一绝缘膜；

(b) 在半导体衬底的表面上形成第二绝缘膜，第二绝缘膜的相对介电常数高于第一绝缘膜的相对介电常数；

(c) 在第二绝缘膜上形成第一栅电极，该第一栅电极在半导体衬底的部分上而非在沟槽上；以及

(d) 在第二绝缘膜被留在第一栅电极的两端的区域中的状态下，以栅电极为掩模将与第一导电类型相反的第二导电类型的第一杂质引入到半导体衬底的表面内。

2. 根据权利要求1的半导体集成电路器件的制造方法，在c步骤后还包括以下步骤：

(e) 形成第三绝缘膜覆盖半导体衬底；以及

(f) 对第三绝缘膜进行各向异性腐蚀在第一栅电极的侧壁上形成侧壁绝缘膜。

3. 根据权利要求2的半导体集成电路器件的制造方法，其中第三绝缘膜由氧化膜制成。

4. 根据权利要求2的半导体集成电路器件的制造方法，还包括以下步骤：

(g) 在第二绝缘膜留在半导体衬底表面上的侧壁绝缘膜和第一绝缘膜之间区域中的状态中，引入第二导电类型的第二杂质。

5. 根据权利要求4的半导体集成电路器件的制造方法，还包括以下步骤：

(h) 从半导体衬底表面上的侧壁绝缘膜和第一绝缘膜之间的区域中除去第二绝缘膜；以及

(i) 淀积高熔点金属膜覆盖半导体衬底，在半导体衬底表面上的侧壁绝缘膜和第一绝缘膜之间的区域中选择性地形成硅化物层。

6. 根据权利要求1的半导体集成电路器件的制造方法, 其中第一栅电极具有从下层依次叠置的硅锗膜和硅膜。

7. 一种半导体集成电路器件的制造方法, 包括以下步骤:

(a) 制备第一导电类型的半导体衬底, 在该衬底的表面上具有一个第一区和一个第二区;

(b) 在第一区和第二区中的半导体衬底表面上形成多个沟槽, 在所述多个沟槽内形成第一绝缘膜;

(c) 在第一区和第二区中的半导体衬底表面上形成第二绝缘膜, 第二绝缘膜的相对介电常数高于第一绝缘膜的相对介电常数;

(d) 在第一区中的第二绝缘膜上形成第一栅电极, 在第二区中的第二绝缘膜上形成第二栅电极, 该第一和第二栅电极在半导体衬底的部分上而非在沟槽上;

(e) 在第一栅电极的两端的区域中和第二栅电极的两端的区域中, 以第一和第二栅电极为掩模将与第一导电类型相反的第二导电类型的第一杂质引入到半导体衬底的表面内;

(f) 除去除了至少第一栅电极之下的第二绝缘膜第二区之外的第二绝缘膜;

(g) 淀积覆盖半导体衬底的高熔点金属膜; 以及

(h) 在第一区中, 在半导体衬底表面上的第一栅电极和第一绝缘膜之间的区域中有选择地形成硅化物层。

8. 根据权利要求7的半导体集成电路器件的制造方法, 在步骤(e)和(f)之间还包括以下步骤:

(i) 形成第三绝缘膜覆盖半导体衬底; 以及

(j) 对第三绝缘膜进行各向异性腐蚀以在第一栅电极的侧壁上形成第一侧壁绝缘膜, 在第二栅电极的侧壁上形成第二侧壁绝缘膜。

9. 根据权利要求8的半导体集成电路器件的制造方法, 在步骤(j)和(f)之间还包括以下步骤:

(k) 在半导体衬底表面上的第一侧壁绝缘膜和第一绝缘膜之间的区域中, 以及在第二侧壁绝缘膜和第一绝缘膜之间的区域中, 引入第

二导电类型的第二杂质。

10. 根据权利要求 7 的半导体集成电路器件的制造方法，在步骤 (b) 和 (c) 之间还包括以下步骤：

(1) 在第一区的半导体衬底的表面上形成氧化硅膜；

其中在第一区中，形成第二绝缘膜覆盖半导体衬底，氧化硅膜介于其间，在第二区中，在半导体衬底的表面上形成第二绝缘膜，其间没有氧化硅膜。

11. 根据权利要求 7 的半导体集成电路器件的制造方法，其中第一和第二栅电极具有从下层依次叠置的硅锗膜和硅膜。

12. 根据权利要求 7 的半导体集成电路器件的制造方法，还包括以下步骤：

(m) 在第一和第二区中淀积第三绝缘膜；

(n) 在第一区中腐蚀第三绝缘膜以在第一栅电极和第一绝缘膜之间的区域中形成第一接触孔；

(o) 在第二区中腐蚀第三绝缘膜以在第二栅电极和第一绝缘膜之间的区域中形成第二接触孔；以及

(p) 在第一接触孔中形成第一导电部件，在第二接触孔中形成第二导电部件。

13. 根据权利要求 12 的半导体集成电路器件的制造方法，其中第一区中第一导电部件和第一绝缘膜之间的距离大于第二区中第二导电部件和第一绝缘膜之间的距离。

14. 根据权利要求 13 的半导体集成电路器件的制造方法，其中第二接触孔的部分与第二区中的第一绝缘膜重叠。

15. 根据权利要求 13 的半导体集成电路器件的制造方法，其中第一和第三绝缘膜由氧化硅膜制成。

16. 根据权利要求 12 的半导体集成电路器件的制造方法，其中第三绝缘膜具有从下层依次叠置的氮化硅膜和氧化硅膜。

17. 根据权利要求 12 的半导体集成电路器件的制造方法，其中第一导电部件的平面外形小于第二导电部件的平面外形。

18. 根据权利要求 12 的半导体集成电路器件的制造方法，在步骤 (b) 和 (c) 之间还包括以下步骤：

(1) 在第一区的半导体衬底的表面上形成氧化硅膜；

其中在第一区中，形成第二绝缘膜覆盖半导体衬底，氧化硅膜介于其间，在第二区中，在半导体衬底的表面上形成第二绝缘膜，其间没有氧化硅膜不介于其间。

19. 一种半导体集成电路器件的制造方法，包括以下步骤：

(a) 在第一导电类型的半导体衬底表面上形成多个沟槽，在所述多个沟槽内形成第一绝缘膜；

(b) 在该半导体衬底表面上形成第二绝缘膜，第二绝缘膜的相对介电常数高于第一绝缘膜的相对介电常数；

(c) 在第二绝缘膜上形成第一栅电极，该第一栅电极在半导体衬底的部分上而非在沟槽上；

(d) 在第二绝缘膜被留在第一栅电极的两端的区域中的状态下，以第一栅电极为掩模将与第一导电类型相反的第二导电类型的第一杂质引入到半导体衬底的表面内，以便形成第一导电区；

(e) 形成第三绝缘膜覆盖半导体衬底；

(f) 腐蚀第三和第二绝缘膜以在第一半导体区上形成接触孔；

其中腐蚀步骤 (f) 包括在腐蚀第三绝缘膜的速度高于腐蚀第二绝缘膜速度的条件下腐蚀第三绝缘膜的第一腐蚀，以及在与第一腐蚀不同的条件下腐蚀第二绝缘膜的第二腐蚀。

20. 根据权利要求 19 的半导体集成电路器件的制造方法，其中第一和第三绝缘膜由氧化硅膜制成。

## 半导体集成电路器件的制造方法

### 技术领域

本发明涉及半导体集成电路器件的制造技术，具体涉及能有效地应用于具有栅极长度，即栅电极的宽度小于 $0.1\mu\text{m}$ 的短沟道 MIS（金属绝缘体半导体）的半导体集成电路器件的技术。

### 背景技术

栅极长度小于 $0.07\mu\text{m}$ 的 MIS 晶体管中栅极绝缘膜的膜厚度假定小于 $1.2\text{nm}$ 。然而，使栅极绝缘膜中使用的常规氧化硅膜变薄将使漏电流超过 $10\text{A}/\text{cm}^2$ ，这样便增加了待机电流，产生问题。

因此，进行了试验，使用具有较高相对介电常数的绝缘膜（下文称做高介电常数绝缘膜），例如把相对介电常数约为7到11的氧化铝膜作为栅极绝缘膜，这样减小了有效膜厚度，同时将物理膜厚度保持在 $1.5\text{nm}$ 或以上。这里，有效膜厚度表示考虑到相对介电常数的相应的氧化硅膜厚度。

作为一个例子，IEDM（International Electron Device Meetings “80nm poly-silicon gated n-FETs with ultra-thin  $\text{Al}_2\text{O}_3$  gate dielectric for ULSI applications” 223-226 页,2000）公开了具有栅极长度小于 $0.1\mu\text{m}$ 由氧化铝膜制成的具有栅极绝缘膜的 MIS 晶体管的性能特性。

随着半导体器件集成度的增加，根据比例定律 MIS 晶体管制得越来越小；随之而言的是，栅极、源区和漏区的电阻增加，由此产生了 MIS 晶体管的微结构化不影响高速性能的问题。此外，在栅极长度例如小于 $0.2\mu\text{m}$ 的 MIS 晶体管中，借助硅化形成栅极的导电膜以及形成源区和漏区的半导体区获取高速性能。

例如，为了在形成源区和漏区的半导体区的表面上形成硅化物层，

使用以下方法：借助例如反应腐蚀衬底上与栅极绝缘膜相同层上的绝缘膜，此后借助自对准法在形成源区和漏区的半导体区的表面上形成低阻硅化物层。以上的反应腐蚀是半导体制造中使用的干腐蚀技术的一种，利用化学反应受激催化剂通过化学反应进行腐蚀。该技术将抑制腐蚀损伤从而获得较高的腐蚀选择率。

然而，本发明的发明人研究了使用高介电常数绝缘膜作为栅极绝缘膜的 MIS 器件的制造技术，清楚地确定反应腐蚀很难除去高介电常数绝缘膜，这导致形成源区和漏区的半导体区不能硅化。

作为一种解决以上妨碍制造高速 MIS 器件的问题的方法，检验了能物理地除去形成源区和漏区的半导体区上的高介电常数绝缘膜的溅射腐蚀。结果显示溅射腐蚀有可能损伤衬底，由此降低了 MIS 晶体管的可靠性。例如，对存储单元进行溅射腐蚀产生了增加了结漏电流并导致保留数据错误等问题。

### 发明内容

本发明的一个目的是提供一种技术，它能在具有由高介电常数绝缘膜制成的栅极绝缘膜的多种类型的 MIS 晶体管的半导体集成电路器件中，在相同的衬底上形成具备高速性能的电路和高可靠性的电路。

从下面本说明书的说明部分和附图中，本发明的以上和其它目的和新颖特点将变得显而易见。

在本申请中公开的本发明的代表性的几个方面总结如下：

(1) 一种半导体集成电路器件的制造方法，包括以下步骤：制备第一导电类型的半导体衬底，在它的表面上具有第一区和第二区；在第一区和第二区中的半导体衬底表面上形成多个沟槽，在多个沟槽内形成第一绝缘膜；在第一区和第二区中的半导体衬底表面上形成第二绝缘膜，第二绝缘膜的相对介电常数高于第一绝缘膜的相对介电常数；在第一区中的第二绝缘膜上形成第一导电部件，在第二区中的第二绝缘膜上形成第二导电部件；在第一导电部件两端的区域中和第二导电部件两端的区域中，将与第一导电类型相反的第二导电类型的第一杂

质引入到半导体衬底的表面内；除了至少第一导电部件的下层和第二区，除去第二绝缘膜；淀积高熔点金属膜覆盖半导体衬底；以及在第一区中，在半导体衬底表面上的第一导电部件和第一绝缘膜之间的区域中选择性地硅化物层。

(2)一种半导体集成电路器件的制造方法，除了以上制造方法(1)中的步骤之外，还包括以下步骤：在第一区和第二区中淀积第三绝缘膜；腐蚀第三绝缘膜，以在第一区中第一导电部件和第一绝缘膜之间的区域中形成第一接触孔；腐蚀第三绝缘膜，以在第二区中第二导电部件和第一绝缘膜之间的区域中形成第二接触孔；以及，在第一接触孔中形成第三导电部件，在第二接触孔中形成第四导电部件，其中第一区中第一导电部件和第一绝缘膜之间的距离大于第二区中第二导电部件和第一绝缘膜之间的距离。

#### 附图说明

图 1 为本发明一个实施例的半导体集成电路器件的方框图；

图 2 为在存储区中形成的 DRAM 单元的等效电路；

图 3 为在存储区中形成的 SRAM 单元的等效电路；

图 4 为半导体衬底的主要部分的剖面图，示出了在存储区中形成的 n 沟道 MIS 晶体管；

图 5 为半导体衬底的主要部分的剖面图，示出了在逻辑区中形成的 n 沟道 MIS 晶体管；

图 6 为半导体衬底的主要部分的剖面图，示出了在 I/O 区中形成的 n 沟道 MIS 晶体管；

图 7 为半导体衬底的主要部分的剖面图，示出了形成电容元件的 n 沟道 MIS 晶体管；

图 8 为半导体衬底的主要部分的剖面图，示出了本发明一个实施例的半导体集成电路器件的制造方法；

图 9 为半导体衬底的主要部分的剖面图，示出了本发明一个实施例的半导体集成电路器件的制造方法；



图 10 为半导体衬底的主要部分的剖面图，示出了本发明一个实施例的半导体集成电路器件的制造方法；

图 11 为半导体衬底的主要部分的剖面图，示出了本发明一个实施例的半导体集成电路器件的制造方法；

图 12 为半导体衬底的主要部分的剖面图，示出了本发明一个实施例的半导体集成电路器件的制造方法；

图 13 为半导体衬底的主要部分的剖面图，示出了本发明一个实施例的半导体集成电路器件的制造方法；

图 14 为半导体衬底的主要部分的剖面图，示出了本发明一个实施例的半导体集成电路器件的制造方法；

图 15 为半导体衬底的主要部分的剖面图，示出了本发明一个实施例的半导体集成电路器件的制造方法；

图 16 为半导体衬底的主要部分的剖面图，示出了本发明一个实施例的半导体集成电路器件的制造方法；

图 17 为半导体衬底的主要部分的剖面图，示出了本发明一个实施例的半导体集成电路器件的制造方法；

图 18 为半导体衬底的主要部分的剖面图，示出了本发明一个实施例的半导体集成电路器件的制造方法；

图 19 为半导体衬底的主要部分的剖面图，示出了本发明一个实施例的半导体集成电路器件的制造方法；

图 20 为半导体衬底的主要部分的剖面图，示出了本发明另一个实施例的半导体集成电路器件的制造方法；

图 21 为半导体衬底的主要部分的剖面图，示出了本发明另一个实施例的半导体集成电路器件的制造方法；以及

图 22 为半导体衬底的主要部分的剖面图，示出了在本发明另一个实施例中在存储区中形成 n 沟道 MIS 晶体管。

### 具体实施方式

参考下面附图详细地描述了本发明的各实施例。在显示各实施例

的所有图中，具有相同功能的相同部件采用了相同的标记，并且省略了重复的说明。如果下文介绍的各实施例中不要求，那么不再重复说明相同或类似的部分。

#### [实施例 1]

图 1 示出了本发明一个实施例的半导体集成电路器件的方框图的一个例子。首先，根据附图概述实施例 1 的半导体集成电路器件的构成。

半导体集成电路器件大致分为存储区、逻辑区和 I/O（输入/输出接口）区。

存储区 A1 排列有  $2^{N+M}$  个存储单元 MC（或简称单元），每个单元例如能够存储一位的二进制信息，所有单元能够存储  $2^{N+M}$  位信息。存储单元 MC 以矩阵结构二维地排列，其中通过指定行和列方向中的每个选择线  $L_1, L_2$  选择位于交叉点上的存储单元 MC 来访问一个存储单元 MC。假定行方向中选择线  $L_1$  的数量为  $2^N$ ，列方向中选择线  $L_2$  的数量为  $2^M$ ，驱动存储单元的电路数量为  $2^{N+2M}$ 。存储区 A1 称做存储单元阵列、存储矩阵、存储阵列或简称阵列。此外，行方向中的选择线  $L_1$  称做行线、X 线或字线；列方向中的选择线  $L_2$  称做列线、Y 线或数据线。

逻辑区 A2 为根据到 I/O 区 A3 的控制信号或数据而控制存储区 A1 的相关电路模块，并与存储区 A1 交换数据。一种典型的电路模块是例如译码器。译码器构成逻辑电路组，接收来自 I/O 区 A3 内地址缓冲器的 N 对和 M 对地址信号，在  $2^N$  行线中选择一行线，在  $2^M$  列线中选择一列线。连接到各译码器输出的驱动器对行线和列线进行驱动。它还包括控制数据交换等的 I/O 控制电路。

I/O 区 A3 是将由外部输入的控制信号和写数据转变成内部信号、将结果传送到逻辑区 A2、并将逻辑区 A2 从存储区 A1 取出的读数据输出到外部的电路模块。一种典型的电路模块是例如地址缓冲器。地址缓冲器是接收用于指定存储区 A1 内单元选择地址的 (N+M) 地址输入信号，并产生 N 对和 M 对内部地址信号的电路。它还包括数据

I/O 电路、写控制电路或控制模块电路等。

接下来，作为一个例子介绍设置在存储区 A1 中的存储单元。图 2 示出了 DRAM（动态随机存取存储器）的存储单元的等效电路；图 3 示出了 SRAM（静态随机存取存储器）的存储单元的等效电路。除此之外，还可提到这样的存储单元，其构成具有一个衬底上的存储电路和逻辑电路的逻辑合并（consolidated）存储器，且还可提到非易失存储器等，然而这里省略了对它们的介绍。

如图 2 所示，DRAM 单元由起一部分开关作用的 MIS 晶体管 Q 和存储信息电荷的电容器 C 组成。与二进制信息“1”，“0”相应地，DRAM 单元存储着关于电容器 C 是否保持电荷，即是否电容器 C 上的端电压为高电平或低电平的信息。数据写操作伴随着施加与来自单元之外的数据相应的一个电压。数据读操作包括根据电压的高或低电平将电容器 C 是否保持电荷的信息取出到单元外部，并检查该信息。

如图 3 所示，SRAM 单元由存储数据的触发器电路和两个传送 MIS 晶体管  $Q_t$  组成。通过向字线 WL 施加电压导通传送 MIS 晶体管  $Q_t$ ，数据在数据线对 D， $\bar{D}$  和触发器电路之间交换。触发器电路由两个反相器构成，其中一个反相器的输入连接到另一个反相器的输出，一个反相器的输出连接到另一个的输入。反相器由负载元件  $L_o$  组成，并驱动 MIS 晶体管  $Q_d$ 。负载元件  $L_o$  可以由 MIS 晶体管或电阻元件，例如多晶硅膜制成。

在数据写入期间，高电压（H）被施加到数据线对 D， $\bar{D}$  中的一个，低电压（L）被施加到另一个，以将这些电压供给到一对节点  $N_1$ ， $N_2$ 。供给的这些电压的两种组合（D， $\bar{D}$  分别供给 H，L 或 L，H）与二进制写数据相关。通过根据节点  $N_1$ ， $N_2$  处电压的高和低的组合，检测出现在数据线对 D， $\bar{D}$  上的电压进行数据读取。

下面使用图 4 到 7 示出的半导体衬底主要部分的剖面图，介绍实施例 1 的半导体集成电路器件的一个例子。图 4 示出了存储区中形成的 n 沟道 MIS 晶体管；图 5 示出了逻辑区中形成的 n 沟道 MIS 晶体管；图 6 示出了在 I/O 区中形成的 n 沟道 MIS 晶体管；以及图 7 示出

了形成电容元件的 n 沟道 MIS 晶体管。

首先，结合图 4 介绍在存储区中形成的 n 沟道 MIS 晶体管  $Q_1$ 。作为 n 沟道 MIS 晶体管  $Q_1$  的一个例子，选择 MIS 晶体管 Q 作为图 2 中提到的 DRAM 单元的组成部分，传送 MIS 晶体管  $Q_t$  和驱动 MIS 晶体管  $Q_d$  为图 3 中提到的 SRAM 单元的组成部分。此外，n 沟道 MIS 晶体管  $Q_1$  的阈值电压 ( $V_{th}$ ) 较高，可以认为是例如约 0.4V。使用两种电源电压时，例如施加到 n 沟道 MIS 晶体管  $Q_1$  的工作电压 ( $V_{cc}$ ) 为低电压，可以设置为例如约 0.85 伏。

n 沟道 MIS 晶体管  $Q_1$  形成在有源区中，由 p 型半导体衬底 1 上形成的器件隔离部分环绕。器件隔离部分由形成在半导体衬底 1 上的浅沟槽 2 组成，氧化硅膜 3 嵌入其内。在半导体衬底 1 的表面上，一对 n 型半导体区 12 形成源和漏。

由高介电常数绝缘膜 7 形成的栅绝缘膜 8 形成在半导体衬底 1 上，在其上形成由多晶硅膜 10 形成的栅电极（导电部件）11。高介电常数绝缘膜 7 基本上形成在有源区的整个表面上，器件隔离部分覆盖在半导体衬底 1 上。例如由氧化硅膜制成的间隔层（侧壁绝缘膜）13 形成在栅电极 11 的侧壁上，硅化物层 14 形成在栅电极 11 上。

要基本上覆盖半导体衬底 1 的整个表面，SAC（自对准接触）绝缘膜 15 和层间绝缘膜 16 依次形成在下层上。SAC 绝缘膜 15 可以由例如氮化硅膜制成；层间绝缘膜 16 可以由例如氧化硅膜制成。SAC 绝缘膜 15 起层间绝缘膜 16 的腐蚀终止层的作用。

然而，如果高介电常数绝缘膜 7 可以用做层间绝缘膜 16 的腐蚀终止层，那么就不需要形成 SAC 绝缘膜 15。

接触孔 17a 穿过层间绝缘膜 16、绝缘膜 15 以及与栅极绝缘膜 8 处于相同层上的高介电常数绝缘膜 7 而到达一对 n 型半导体区 12。布线 19 穿过埋置在接触孔 17a 中的栓塞（导电部件）18 连接到一对 n 型半导体区 12。作为一种掩埋栓塞 18 的孔的形状，由于需要减少寄生电容，因此优选圆形接触孔。然而，可以采用槽形来桥接形成源和漏的 n 型半导体区 12 和器件隔离区。在此情况下，埋置在该槽中的导

电膜也可以用做局部布线。

接下来，参考图 5 介绍在逻辑区中形成的 n 沟道 MIS 晶体管  $Q_2$ 。n 沟道 MIS 晶体管  $Q_2$  的阈值电压 ( $V_{th}$ ) 较低，可以认为是例如约 0.1 伏。在使用例如两种电源电压时，施加到 n 沟道 MIS 晶体管  $Q_2$  的工作电压 ( $V_{cc}$ ) 为低电压，可以设置为例如约 0.85 伏。

以与 n 沟道 MIS 晶体管  $Q_1$  的相同方式，n 沟道 MIS 晶体管  $Q_2$  形成在有源区中，由 p 型半导体衬底 1 上形成的器件隔离部分环绕。在半导体衬底 1 的表面上，一对 n 型半导体区 12 形成源和漏。此外，由高介电常数绝缘膜 7 形成的栅绝缘膜 8 形成在半导体衬底 1 上，在其上形成由多晶硅膜 10 形成的栅电极 11。间隔层 13 和硅化物层 14 分别形成在栅电极 11 的侧壁上和栅电极 11 上。

然而，高介电常数绝缘膜 7 仅形成在由栅电极 11、间隔层 13 以及半导体衬底 1 环绕的区域中，组成了栅极绝缘膜 8。降低电阻的硅化物层 14 形成在一对 n 型半导体区 12 上。

要基本上覆盖半导体衬底 1 的整个表面，SAC 绝缘膜 15 和层间绝缘膜 16 依次形成在下层上。接触孔 17 通过层间绝缘膜 16 和绝缘膜 15，从而到达一对 n 型半导体区 12 上的硅化物层 14。布线 19 穿过埋置在接触孔 17 中的栓塞 18 连接到一对 n 型半导体区 12 上的硅化物层 14。

下面，参考图 6 介绍在 I/O 区中形成的 n 沟道 MIS 晶体管  $Q_3$ 。n 沟道 MIS 晶体管  $Q_3$  的阈值电压 ( $V_{th}$ ) 较高，可以认为是例如约 0.4 伏。在使用例如两种电源电压时，施加到 n 沟道 MIS 晶体管  $Q_3$  的工作电压 ( $V_{cc}$ ) 为高电压，其可以设置为例如约 1.5 伏。

以与 n 沟道 MIS 晶体管  $Q_1$  的相同方式，n 沟道 MIS 晶体管  $Q_3$  被形成由 p 型半导体衬底 1 上形成的器件隔离部分所环绕的有源区中。在半导体衬底 1 的表面上，一对 n 型半导体区 12 形成源和漏。

然而，由具有氧化硅膜 6 和高介电常数绝缘膜 7 所形成的叠置结构的栅极绝缘膜 9 被形成在半导体衬底 1 上。多晶硅膜 10 的栅电极 11 被形成在栅极绝缘膜 9 上。此外，叠置层（氧化硅膜 6 和高介电常

数绝缘膜 7) 仅形成在由栅电极 11、间隔层 13 以及半导体衬底 1 环绕的区域中, 组成了栅极绝缘膜 9。硅化物层 14 形成在一对 n 型半导体区 12 上。

要基本上覆盖半导体衬底 1 的整个表面, SAC 绝缘膜 15 和层间绝缘膜 16 被依次形成在下层上。接触孔 17 通过层间绝缘膜 16 和绝缘膜 15 而形成, 以到达一对 n 型半导体区 12 上的硅化物层 14。布线 19 穿过埋置在接触孔 17 中的栓塞 18 连接到一对 n 型半导体区 12 上的硅化物层 14。

下面, 参考图 7 描述形成电容元件的 n 沟道 MIS 晶体管  $Q_4$ 。在使用例如两种电源电压, 施加到 n 沟道 MIS 晶体管  $Q_2$  的工作电压 ( $V_{cc}$ ) 为低电压, 并可以设置为例如约 0.85 伏。

n 沟道 MIS 晶体管  $Q_4$  具有与 n 沟道 MIS 晶体管  $Q_1$  基本相同的结构。然而, 在形成 n 沟道 MIS 晶体管  $Q_4$  的有源区中, 除了与半导体衬底 1 相同导电类型的 p 阱之外, 可以形成 n 阱 4a。此外, 工作电压 ( $V_{cc}$ ) 施加到栅电极 11, 一对 n 型半导体区 12 连接到地电压。

[表 1]

	I/O 区	逻辑区	存储区	电容元件
$V_{cc}$	1.5V	0.85V	0.85V	0.85V
$V_{th}$	高 (0.4V)	低 (0.1V)	高 (0.4V)	---
栅极绝缘膜	高 k/SiO	高 k	高 k	高 k
硅化物层	包括	包括	不包括	包括
SAC 绝缘膜	SiN (可选)	SiN (可选)	SiN 或高 k	SiN (可选)
接触孔的形状	圆形	圆形	圆形或槽形	圆形

高 k: 高介电常数膜

SiO: 氧化硅膜

SiN: 氮化硅膜

表 1 简要总结了存储区中 MIS 晶体管、逻辑区中 MIS 晶体管、I/O 区中 MIS 晶体管以及形成电容元件的 MIS 晶体管的结构。

在存储区中的 MIS 晶体管、逻辑区中的 MIS 晶体管、I/O 区中的

MIS 晶体管以及与两种电源电压相应地施加了一个低电压的形成电容元件的 MIS 晶体管中，栅极绝缘膜由高介电常数绝缘膜制成；在 I/O 区的 MIS 晶体管中，栅极绝缘膜由氧化硅膜和高介电常数绝缘膜组成的叠层膜制成。

此外，硅化物层被形成在一对 n 型半导体区的上表面上，该对 n 型半导体区形成了逻辑区中 MIS 晶体管的源区和漏区、I/O 区中的 MIS 晶体管的源区和漏区、以及形成电容元件的 MIS 晶体管的源区和漏区；然而，硅化物层没有被形成在形成存储区中 MIS 晶体管源区和漏区的一对 n 型半导体区的上表面上。

当需要允许接触孔和栅电极之间对准错位的 SAC 技术时，SAC 绝缘膜形成在层间绝缘膜之下，SAC 绝缘膜相对于层间绝缘膜具有高腐蚀选择率，起腐蚀终止层的作用。例如，层间绝缘膜由氧化硅膜形成，SAC 绝缘膜由氮化硅膜形成。当不需要 SAC 技术（实施例 2 中所介绍的）时，不形成 SAC 绝缘膜，然而与栅绝缘膜为相同层的高介电常数绝缘膜可以用做腐蚀终止层。

作为一种埋置栓塞的孔的形状，由于需要减少任何 MIS 晶体管中的寄生电容，因此优选圆形接触孔。然而，存储区也可以采用槽形。

接下来，参考图 8 到图 19 示出的半导体衬底的主要部分的剖面图按工艺顺序介绍实施例 1 的半导体集成电路器件的制造方法的一个例子。假设向半导体电路器件提供两种电源电压，存储区和逻辑区被提供了一个低电压，I/O 区被提供了一个高电压。

如图 8 所示，首先用约  $10\Omega$  电阻率的 p 型单晶硅制造半导体衬底 1，浅沟槽 2 形成在半导体衬底 1 的主表面上。此后，对半导体衬底 1 进行热氧化处理，在半导体衬底 1 上淀积氧化硅膜。然后，借助 CMP（化学机械抛光）抛光淀积的层，由此在浅沟槽 2 中留下氧化硅膜 3，由此形成器件隔离部分。接下来，在约  $1000^\circ\text{C}$  下对半导体衬底 1 进行热处理，从而使嵌在器件隔离部分中的氧化硅膜 3 固定。

随后，将硼离子注入到半导体衬底 1 内，作为 p 型杂质形成 p 型阱 4。接着，注入杂质离子形成夹断（punch-through）终止层 5，由

此限制了短沟道效应。此外，用氢氟酸系统的水溶液清洗半导体衬底 1 的表面之后，厚度约 1.5nm 的氧化膜 6 形成在半导体衬底 1 的表面上。借助热氧化法或热 CVD（化学汽相淀积）法形成氧化硅膜 6。

接下来，如图 9 所示，通过构图的抗蚀剂膜作为掩模，从存储区 A1 和逻辑区 A2 除去氧化硅膜，由此在 I/O 区 A3 上留下氧化硅膜 6。

此后，如图 10 所示，形成高介电常数绝缘膜 7，例如氧化铝膜或氧化钛膜，以覆盖半导体衬底 1。借助溅射法淀积高介电常数绝缘膜 7。设置覆盖半导体衬底 1 的高介电常数绝缘膜 7 的厚度，使它的有效厚度约 1nm。在氧化铝膜或氧化钛膜的情况下，根据相对介电常数而淀积约 2nm 厚的膜。由此，在施加低电压的存储区 A1 和逻辑区 A2 中形成有效厚度约 1nm 的高介电常数绝缘膜 7 制成的栅极绝缘膜 8；在施加高电压的 I/O 区 A3 中形成有效膜厚度约 2.5nm 的高介电常数绝缘膜 7 和氧化膜 6 的叠层膜组成的栅极绝缘膜 9。

接着，如图 11 所示，借助 CVD 法淀积填加杂质的多晶硅膜 10，覆盖半导体衬底 1。多晶硅膜 10 的厚度约为 140nm，表面电阻约为  $100\Omega/\square$ 。接下来，使用构图的抗蚀剂膜作为掩模腐蚀多晶硅膜 10，在存储区 A1、逻辑区 A2 以及 I/O 区 A3 中形成 MIS 晶体管的栅电极 11。此后，对半导体衬底 1 进行约 800℃ 的干氧化处理。

之后，如图 12 所示，使用栅电极 11 作为掩模对 p 阱 4 进行离子注入 n 型杂质，例如砷，由此形成构成存储区 A1、逻辑区 A2 以及 I/O 区 A3 中的 MIS 晶体管的源区和漏区的部分的扩散区 12a。在 3keV 的能量和  $1 \times 10^{15}\text{cm}^{-2}$  的剂量下注入砷离子。虽然这里没有示出，但可以用栅电极 11 作为掩模对 p 阱 4 进行 p 型杂质，例如硼的离子注入，由此在扩散区 12a 下形成袋（pocket）区，限制源区和漏区中耗尽层的膨胀，从而防止抑制夹断。

此后，通过 CVD 法淀积氧化硅膜覆盖半导体衬底 1，然后通过等离子体腐蚀对氧化硅膜进行回蚀，由此在存储区 A1、逻辑区 A2 以及 I/O 区 A3 中的 MIS 晶体管的栅电极 11 的侧壁上形成间隔层 13。在等离子体腐蚀中，高介电常数绝缘膜 7 起腐蚀阻挡层的作用，以防止了



对半导体衬底 1 的损伤。

然后，如图 13 所示，用栅电极 11 和间隔层 13 作掩模对 p 阱 4 进行 n 型杂质（例如砷）的离子注入，从而形成构成存储区 A1、逻辑区 A2 以及 I/O 区 A3 中的 MIS 晶体管的源区和漏区的其它部分的扩散区 12b。在 45 keV 的能量和  $2 \times 10^{15} \text{cm}^{-2}$  的剂量下注入砷离子。

随后，如图 14 所示，用抗蚀剂膜覆盖存储区 A1 之后，逻辑区 A2 中的高介电常数绝缘膜 7 暴露在半导体衬底 1 上，通过溅射腐蚀除去 I/O 区 A3 中氧化膜 6 和高介电常数绝缘膜 7 组成的叠层膜。由此，露出在逻辑区 A2 和 I/O 区 A3 中的扩散区 12b 的表面。不对存储区 A1 中的高介电常数绝缘膜 7 进行过溅射腐蚀，从而将它留在半导体衬底 1 上，由此防止了对存储区 A1 中半导体衬底 1 的损伤。

此外，除去抗蚀剂膜之后，通过溅射淀积高熔点金属膜，例如约 10 到 20nm 厚的钴膜覆盖半导体衬底 1。

接下来，如图 15 所示，对半导体衬底 1 进行 500 到 600 衬底的热处理，在存储区 A1 中 MIS 晶体管的栅电极 11 的表面上、逻辑区 A2 中 MIS 晶体管的栅电极 11 和扩散区 12b 的表面上以及 I/O 区 A3 中 MIS 晶体管的栅电极 11 和扩散区 12b 的表面上选择性地形成硅化物层 14。该处理之后，通过湿腐蚀除去未腐蚀的钴膜；随后对半导体衬底 1 进行 700 到 800℃ 的热处理以减少硅化物层 14 的电阻。热处理之后的硅化物层 14 的厚度约 30nm，表面电阻约  $4\Omega/\square$ 。为在逻辑区 A2 和 I/O 区 A3 中的扩散区 12b 的表面上形成硅化物层 14 来降低扩散区 12b 的电阻，使得特别是逻辑区 A2 中逻辑电路的工作速度迅速增加。另一方面，不在存储区 A1 中扩散区 12b 的表面上形成硅化物层，防止了对存储区 A1 中半导体衬底 1 的损伤。

此后，如图 16 所示，通过等离子体 CVD 法淀积 SAC 绝缘膜 15，例如氮化硅膜覆盖半导体衬底 1。当器件隔离部分和在随后的工艺中形成的接触孔的对准余量不够时，使用了允许对准错位的 SAC 技术。

之后，如图 17 所示，形成层间绝缘膜 16（例如氧化硅膜），以覆盖半导体衬底 1。随后，使用形成图案的抗蚀剂膜做掩模腐蚀层间

绝缘膜 16 并使用绝缘膜 15 作腐蚀终止层。该腐蚀采用层间绝缘膜 16 的腐蚀速度高于绝缘膜 15 的腐蚀速度的腐蚀条件之后，绝缘膜 15 被腐蚀。该腐蚀采用了绝缘膜 15 的腐蚀速度高于高介质绝缘膜 7 的腐蚀速度的腐蚀条件，并且使高介电常数绝缘膜 7 作为存储区 A1 中的腐蚀终止层。

由此，在逻辑区 A2 和 I/O 区 A3 中形成了接触孔 17，它到达 MIS 晶体管的扩散区 12b 表面上形成的硅化物层 14，且接触孔 17 达到存储区 A1 中的高介电常数绝缘膜 7。接触孔可被制成圆形，它的直径约  $0.14\mu\text{m}$ 。

虽然没有示出，但同时形成接触孔达到存储区 A1、逻辑区 A2 和 I/O 区 A3 中 MIS 晶体管的栅电极 11 上的硅化物层 14。

接下来，如图 18 所示，用抗蚀剂膜覆盖逻辑区 A2 和 I/O 区 A3 之后，通过溅射腐蚀除去存储区 A1 中接触孔 17 底部上的高介电常数绝缘膜 7，由此形成达到 MIS 晶体管的扩散区 12b 的接触孔 17a。

现在，在不同的工艺中形成逻辑区 A2 和 I/O 区 A3 中的接触孔 17 和存储区 A1 中的接触孔 17a。以下面的工艺为例。用形成图案的抗蚀剂作掩模，依次腐蚀逻辑区 A2 和 I/O 区 A3 中的层间绝缘膜 16 和绝缘膜 15，从而形成接触孔 17；然后，依次腐蚀存储区 A1 中的层间绝缘膜 16、绝缘膜 15 以及高介电常数绝缘膜 7，从而形成接触孔 17a。

此后，如图 19 所示，除去以上的抗蚀剂膜之后；通过例如 CVD 法，淀积氮化硅膜，从而覆盖包括接触孔 17,17a 的内部的整个半导体衬底 1。此外，形成埋置接触孔 17,17a 的金属膜，例如钨膜。通过 CVD 法或溅射法淀积钨膜。随后，例如通过 CMP 法去除接触孔 17,17a 之外区域中的氮化钛膜和金属膜，在接触孔 17,17a 内形成栓塞 18。

随后，形成金属膜（例如钨膜）以覆盖半导体衬底 1 之后，用形成图案的抗蚀剂作掩模，腐蚀该金属膜，由此形成布线 19。在该阶段，基本上完成了实施例 1 的半导体集成电路器件。此外，根据需要形成上层布线。

由此，根据实施例 1，除去了逻辑区 A2 和 I/O 区 A3 中 MIS 晶体

管的扩散区 12b 上的高介电常数绝缘膜 7，在它的表面上，形成硅化物层 14，由此降低了扩散区 12b 的电阻，增加了工作速度。另一方面，硅化物层 14 没有形成在存储区 A1 中 MIS 晶体管的扩散区 12b 上，扩散区 12b 被高介电常数绝缘膜 7 覆盖，可以防止形成间隔层 13、硅化物层 14 以及接触孔 17 期间对半导体衬底 1 的损伤，降低了流过存储单元的结漏电流。

#### [实施例 2]

使用图 20 和 21 示出的半导体衬底的主要部分的剖面图介绍实施例 2 的半导体集成电路器件的另一个例子。

图 20 示出了存储区 A1、逻辑区 A2 和 I/O 区 A3 中的 n 沟道 MIS 晶体管，已通过自对准工艺形成了硅化物层 14。在实施例 2 的半导体集成电路器件中，以与结合图 1 到 15 的实施例 1 中已介绍的制造方法的相同方式形成栅极绝缘膜 8,9、栅电极 11、n 型半导体区（扩散区）12a,12b、间隔层 13 以及硅化物层 14。

然而，可以将从间隔层 13 到逻辑区 A2 和 I/O 区 A3 中 MIS 晶体管的器件隔离部分的距离  $L_b$  设置大于从间隔层 13 到要求具有更高集成度的存储区 A1 中 MIS 晶体管的器件隔离部分的距离  $L_a$ ，设置接触孔 17 与逻辑区 A2 和 I/O 区 A3 中器件隔离部分之间具有较大的对准余量。

因此，通过与间隔层 13 自对准形成存储区 A1、逻辑区 A2 和 I/O 区 A3 中 MIS 晶体管的扩散区 12b；由此，逻辑区 A2 和 I/O 区 A3 中 MIS 晶体管的扩散区 12b 的宽度大于存储区 A1 中 MIS 晶体管扩散区 12b 的宽度。由于间隔层 13 的宽度与存储区 A1、逻辑区 A2 和 I/O 区 A3 中 MIS 晶体管中的相同，因此从栅电极 11 到逻辑区 A2 和 I/O 区 A3 中 MIS 晶体管的器件隔离部分的距离大于从栅电极 11 到存储区 A1 中 MIS 晶体管的器件隔离部分的距离。

图 21 示出了存储区 A1、逻辑区 A2 和 I/O 区 A3 中的 MIS 晶体管，通过随后的工艺形成了布线 19。

如图所示，不使用 SAC 技术，即，不形成作为逻辑区 A2 和 I/O

区 A3 中层间绝缘膜 16 的腐蚀终止层的绝缘膜( 实施例 1 中的绝缘膜 ), 在层间绝缘膜 16 中形成接触孔 17。另一方面, 用与栅极绝缘膜 8 相同层上的高介电常数绝缘膜 7 作为层间绝缘膜 16 的腐蚀终止层形成接触孔 17。此后, 通过溅射腐蚀除去接触孔 17 底部上覆盖的高介电常数绝缘膜 7 形成达到 MIS 晶体管扩散区 12b 的接触孔 17a。

由此, 根据实施例 2, 在接触孔 17 和器件隔离部分之间的对准余量比逻辑区 A2 和 I/O 区 A3 中的大时, 不可在半导体衬底 1 上形成 SAC 绝缘膜 15。另一方面, 在存储区 A1 中, 由于与栅极绝缘膜 8 相同层上的高介电常数绝缘膜 7 作为层间绝缘膜 16 的腐蚀终止层, 因此, 即使部分接触孔 17 形成在形成器件隔离部分的氧化硅膜 3 上, 由于存储区 A1 中的对准余量较小, 因此可以防止氧化硅膜 3 被削减。

#### [实施例 3]

使用图 22 示出的半导体衬底的主要部分的剖面图来介绍实施例 3 的半导体集成电路器件的另一个例子。

图 22 示出了半导体集成电路器件的存储区 A1 中的 n 沟道 MIS 晶体管。

在器件隔离部分环绕的有源区中用与图 4 中示出的实施例 1 中的 n 沟道 MIS 晶体管  $Q_1$  相同的方式形成 n 沟道 MIS 晶体管  $Q_5$ 。一对 n 型半导体区 12 形成了 n 沟道 MIS 晶体管  $Q_5$  的源区和漏区, 高介电常数绝缘膜 7 形成了栅极绝缘膜 8。形成了穿过与栅极绝缘膜 8 相同的层上的基本上覆盖半导体衬底 1 的整个表面的高介电常数绝缘膜 7、绝缘膜 15 以及层间绝缘膜 16 的接触孔 17a。布线 19 连接到通过嵌在接触孔 17a 中的栓塞 18 连接到一对 n 型半导体区 12。

在其中硅锗层 20 和多晶硅膜 21 依次从下层淀积的叠层结构中, 形成栅电极 11。

硅锗导电杂质 ( 例如 p 型杂质的硼 ) 的固溶度高于硅的; 因此, 为了增加硅锗层 20 中的载流子密度可以防止栅电极 11 中的载流子耗尽, 并减少了接触电阻。此外, 在硅锗层 20 的上层上形成多晶硅膜 21 可以促进硅化反应, 并在栅电极 11 上形成硅化物层。

实施例3描述了本发明应用于存储区A1中的MIS晶体管的情况；然而，还可以将本发明应用于逻辑区A2和I/O区A3中的MIS晶体管，并在其中硅锗层20和多晶硅膜21依次淀积的结构中形成栅电极11。

如上所述，根据各实施例具体介绍了本发明。然而，本发明不限于以上各实施例；应该理解，在不脱离本发明的精神和范围可以进行各种修改和变形。

例如，本发明适用于以上各实施例的n沟道MIS晶体管；然而，它也可以使用于p沟道MIS晶体管。

下面简要介绍本申请中公开的本发明得到的典型效果。

在需要高速性能的电路区中，例如，逻辑区和I/O区中，可以通过除去形成MIS晶体管的源区和漏区上的高介电常数绝缘膜7，在半导体区的表面上形成低阻硅化物层获得高速性能。另一方面，在需要高可靠性的电路中，例如，存储区中，通过不在形成MIS晶体管的源区和漏区的半导体区上形成硅化物层，并用高介电常数绝缘膜7覆盖半导体区，可以防止形成间隔层、硅化物层以及接触孔的处理期间对半导体衬底的损伤，获得高可靠性。

图1

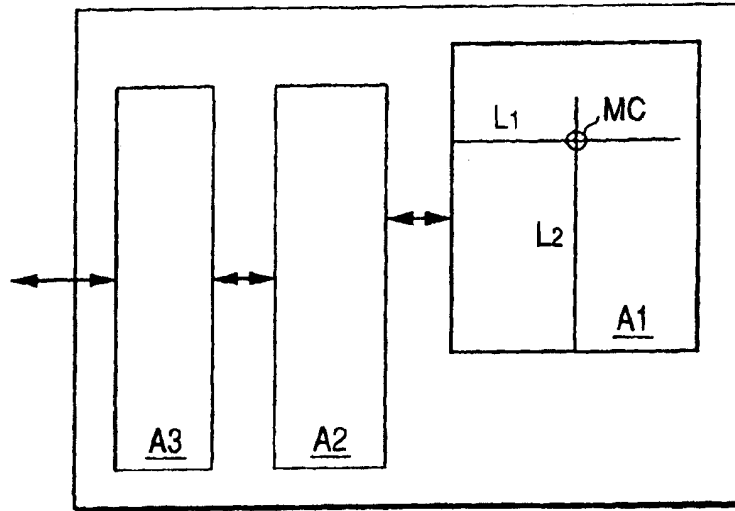


图2

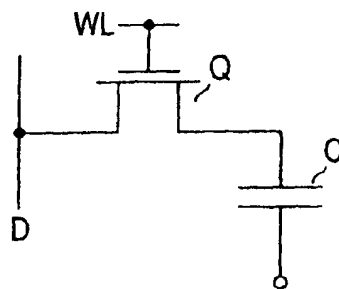


图3

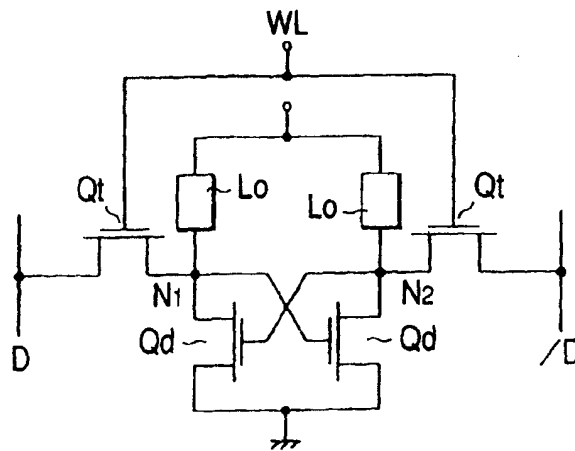


图4

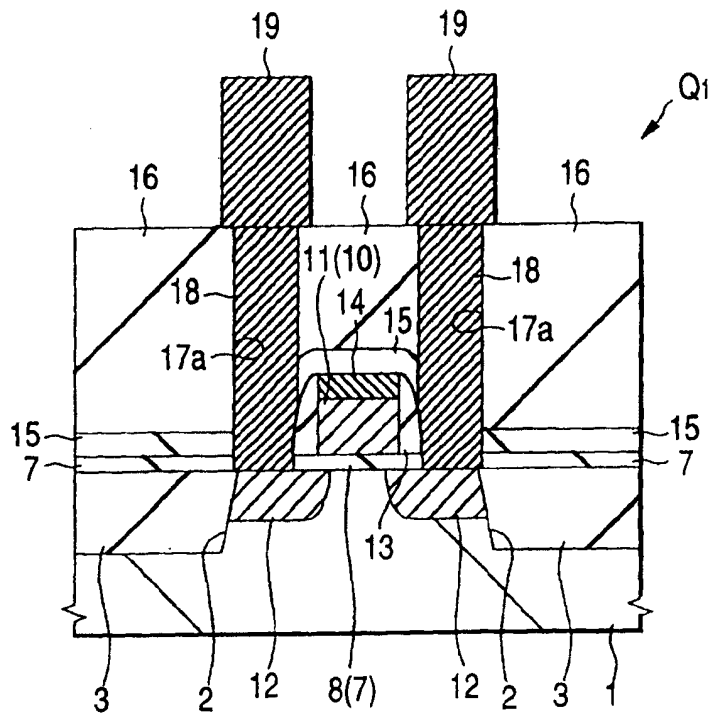


图5

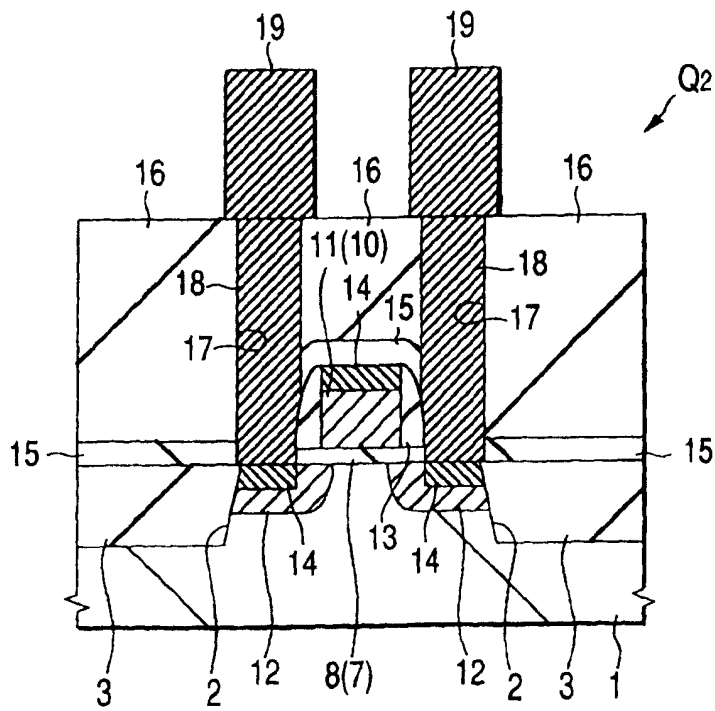


图6

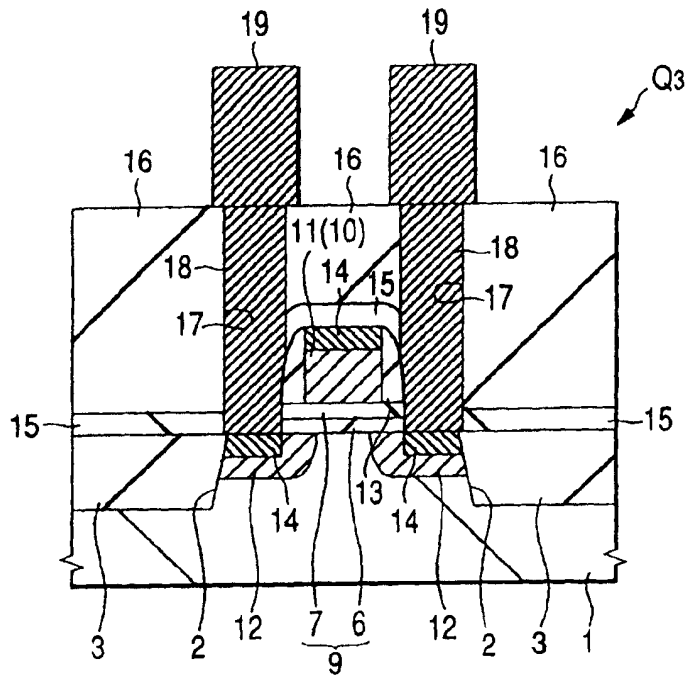


图7

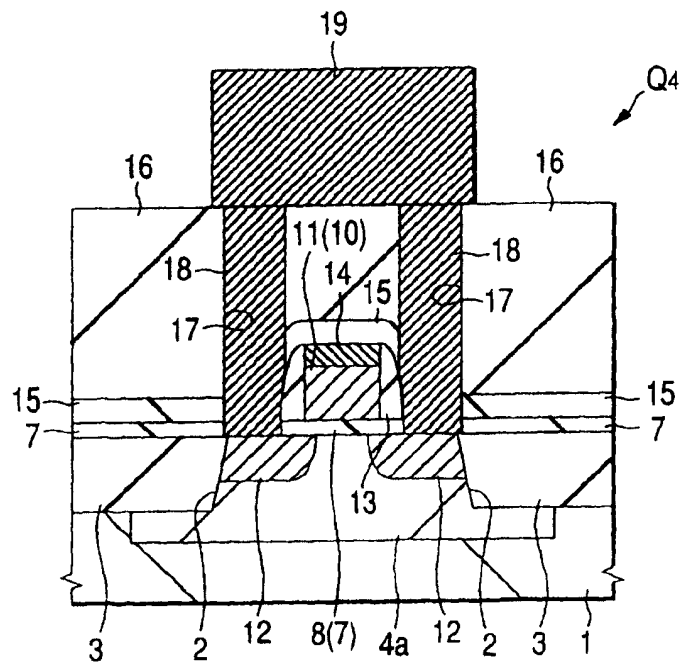




图8

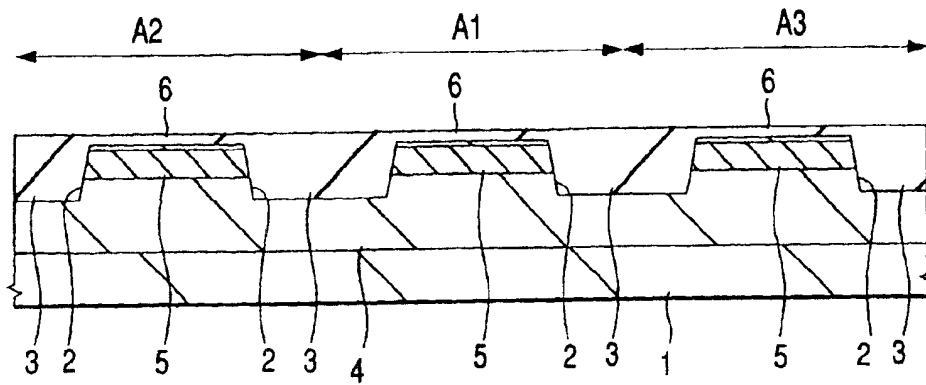


图9

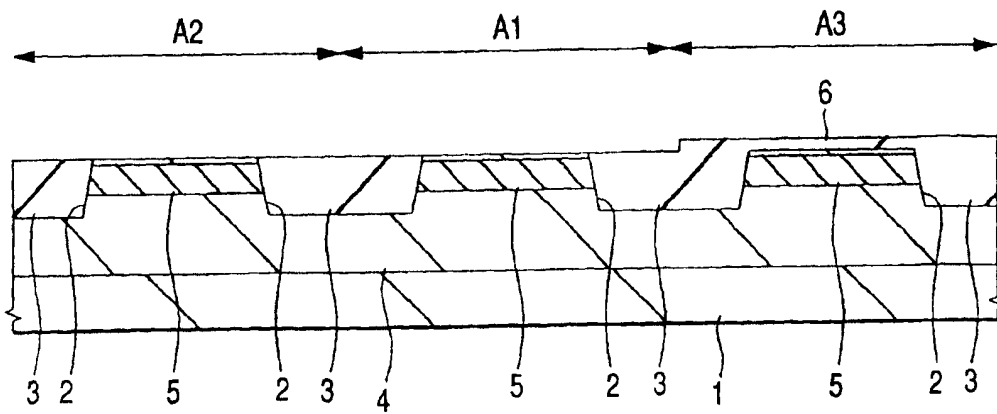


图10

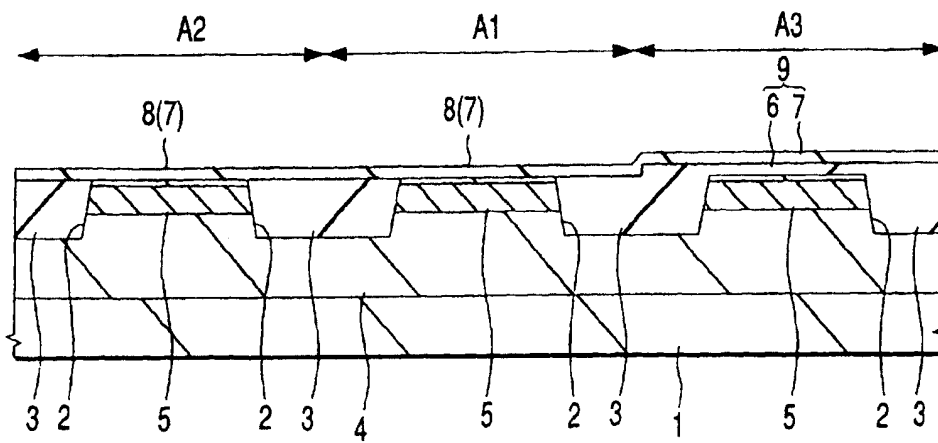


图11

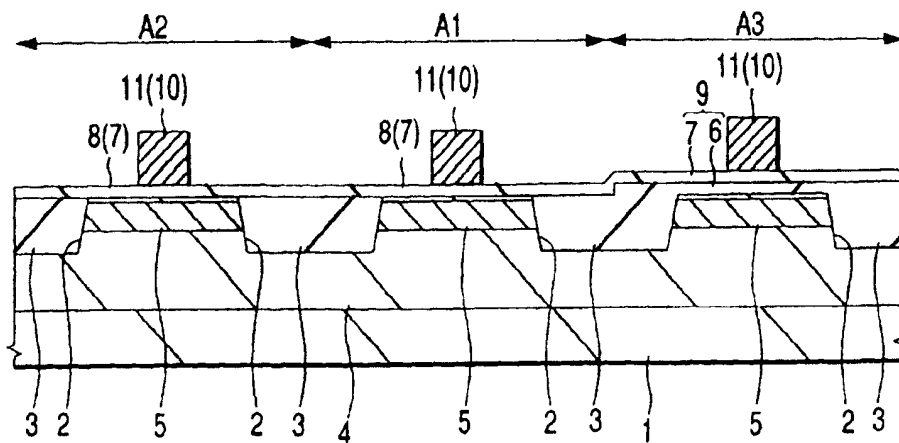


图12

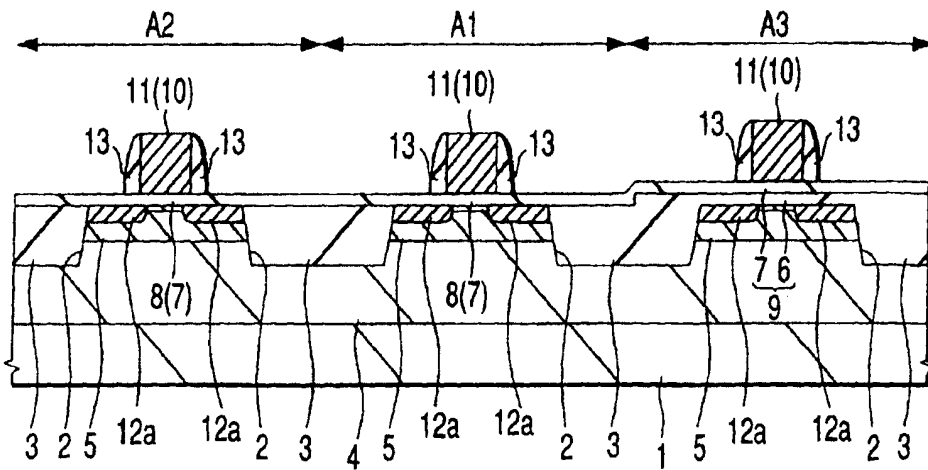


图13

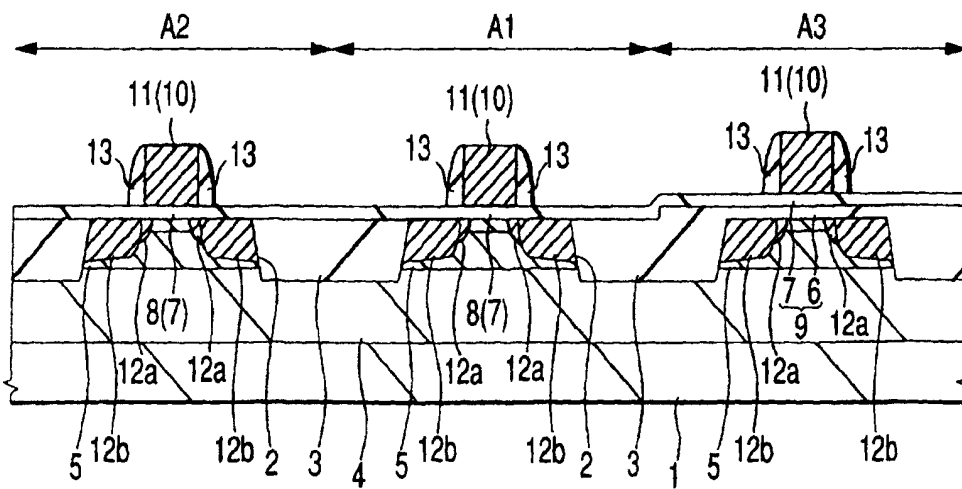


图14

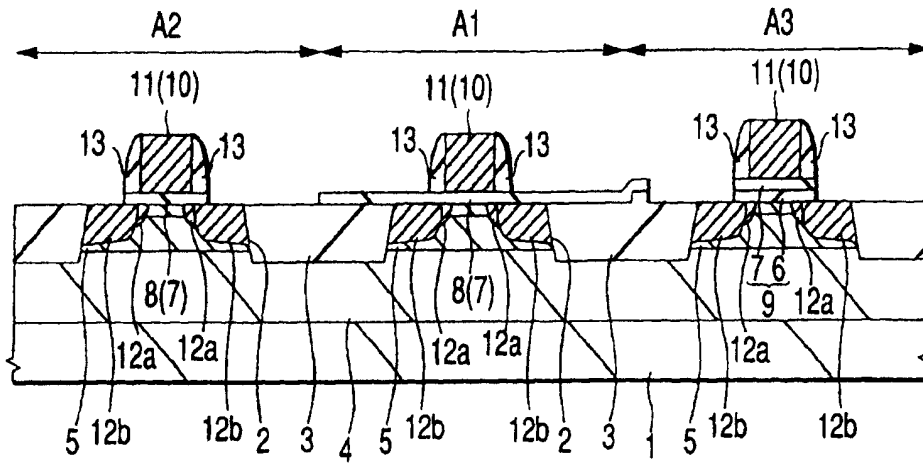


图15

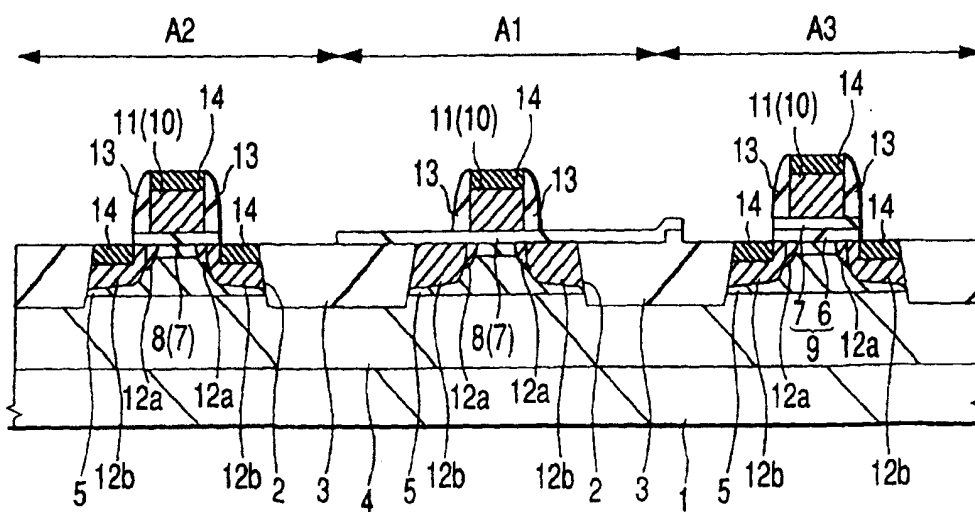


图16

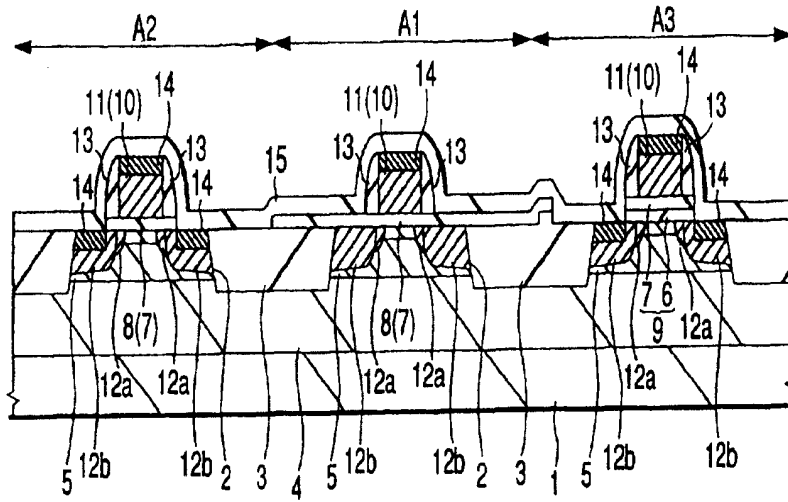


图17

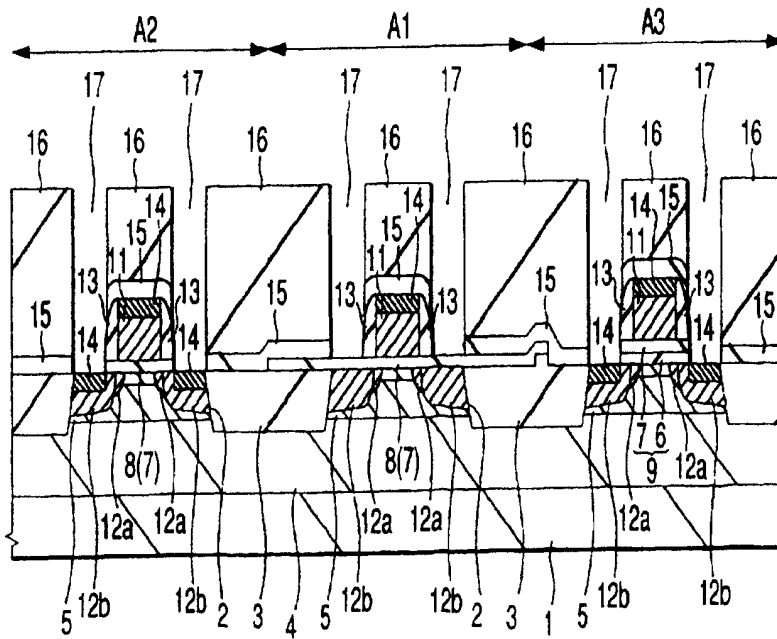


图18

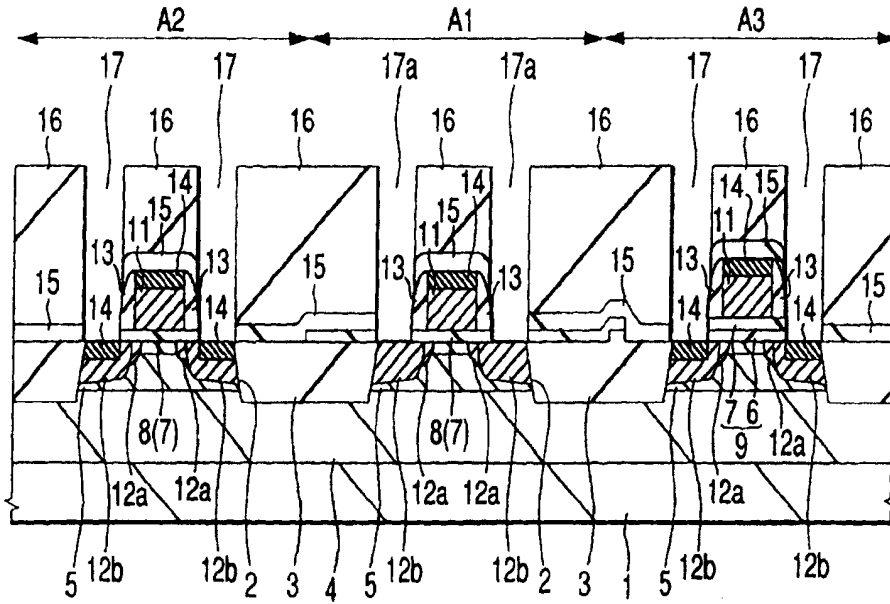


图19

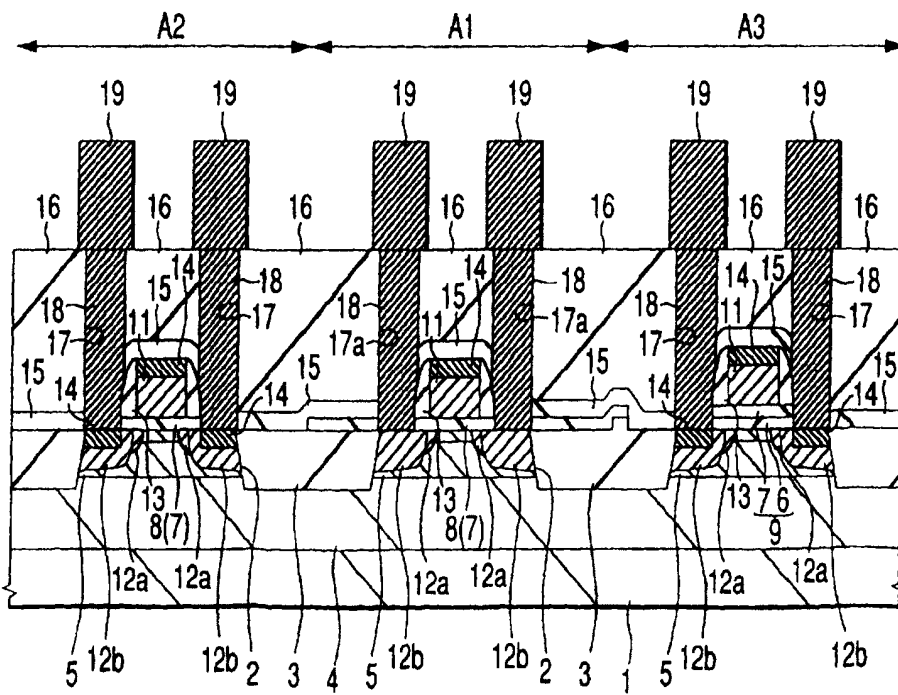


图20

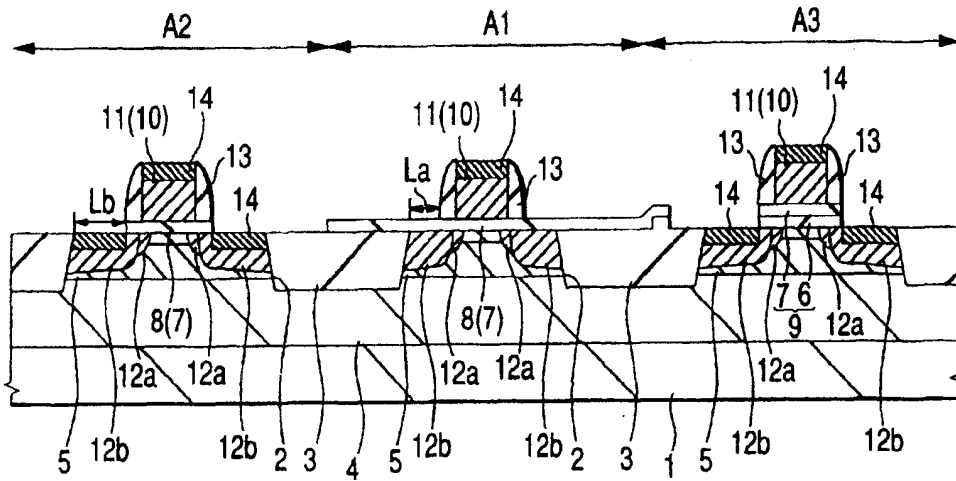


图21

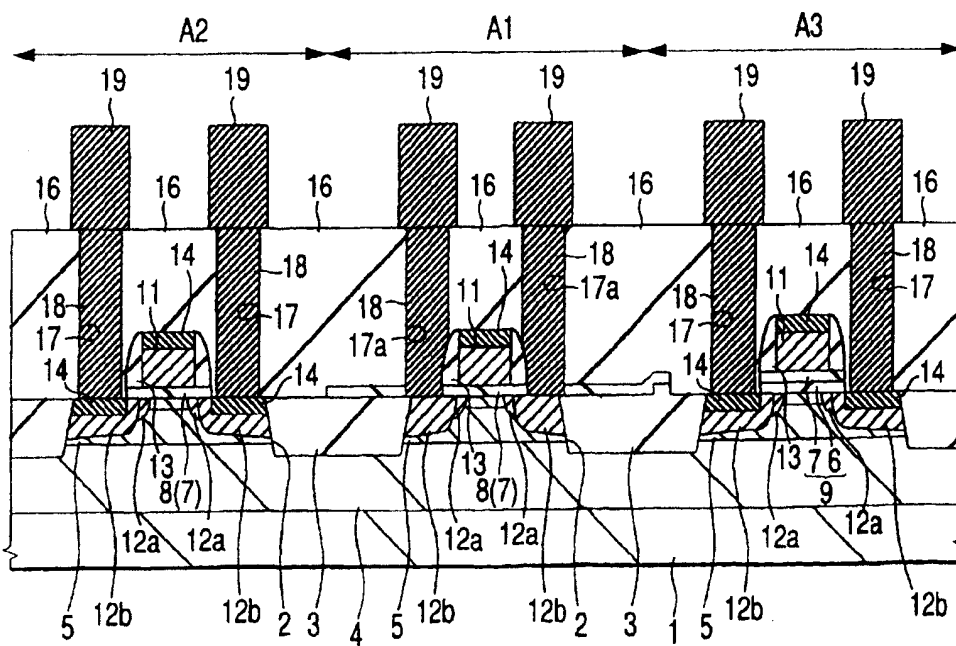


图22

