(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
H01L 33/00

(11) 공개번호 10-2004-0029165
(43) 공개일자 2004년04월03일

(21) 출원번호 10-2004-7003488 (분할)
(22) 출원일자 2004년03월09일
(62) 원출원 특허 10-2000-7010025
원출원일자 : 2000년09월08일 심사청구일자 2004년03월09일
번역문 제출일자 2004년03월09일
(86) 국제출원번호 PCT/JP1999/001140 (87) 국제공개번호 WO 1999/46822
(86) 국제출원출원일자 1999년03월10일 (87) 국제공개일자 1999년09월16일

(30) 우선권주장
JP-P-1998-00060233 1998년03월12일 일본(JP)
JP-P-1998-00161452 1998년05월25일 일본(JP)
JP-P-1998-00284345 1998년10월06일 일본(JP)
JP-P-1998-00326281 1998년11월17일 일본(JP)
JP-P-1998-00348762 1998년12월08일 일본(JP)
JP-P-1998-00368294 1998년12월25일 일본(JP)
JP-P-1999-00023048 1999년01월29일 일본(JP)
JP-P-1999-00023049 1999년01월29일 일본(JP)

(71) 출원인
니치아 카가쿠 고교 가부시키가이샤
일본 도쿠시마켄 아난시 가미나카쵸 오카 491반치 100

(72) 발명자
타니자와코지
일본도쿠시마켄아난시가미나카쵸오카491반치100니치아카가쿠고교가부시키가이샤내

미타니토모쯔구
일본도쿠시마켄아난시가미나카쵸오카491반치100니치아카가쿠고교가부시키가이샤내

나카가와요시노리
일본도쿠시마켄아난시가미나카쵸오카491반치100니치아카가쿠고교가부시키가이샤내

타카기히로노리
일본도쿠시마켄아난시가미나카쵸오카491반치100니치아카가쿠고교가부시키가이샤내

마루이히로미쯔
일본도쿠시마켄아난시가미나카쵸오카491반치100니치아카가쿠고교가부시키가이샤내

푸쿠다요시카쯔
일본도쿠시마켄아난시가미나카쵸오카491반치100니치아카가쿠고교가부시키가이샤내

이케가미타케시
일본도쿠시마켄아난시가미나카쵸오카491반치100니치아카가쿠고교가부시키가이샤내

(74) 대리인
강용복
김용인
김용주

심사청구 : 있음

(54) 질화물 반도체 소자

요약

다중 양자 우물구조의 활성층을 이용하고 그 특성을 충분히 발휘하여 발광출력을 향상시키고 질화물 반도체 발광 소자 각각의 응용제품에 적용범위 확대를 위해서, 복수의 질화물 반도체층을 갖는 n측 영역과 복수의 질화물 반도체층을 갖는 p측 영역과의 사이에 활성층을 갖는 질화물 반도체 소자에 있어서, n측 영역 또는 p측 영역의 적어도 어느 것 하나에 2 종류의 질화물 반도체막이 적층되는 다층막층을 형성했다.

대표도

도 1

색인어

질화물반도체, 발광소자

명세서

도면의 간단한 설명

도 1은 본 발명의 제1실시형태에 따른 질화물 반도체 소자(LED 소자)의 구조를 보여주는 개략 단면도이고,

도 2는 본 발명의 실시예 2의 LED 소자의 구성을 나타내는 모식 단면도이고,

도 3은 본 발명의 실시예 16의 질화물 반도체 발광 소자(LD 소자)의 구성을 나타내는 투시도이고,

도 4는 본 발명의 실시형태 2의 질화물 반도체 소자(LED 소자)의 구조를 나타내는 모식 단면도이고,

도 5는 본 발명의 실시형태 3의 질화물 반도체 발광 소자의 구성을 나타내는 모식 단면도이고,

도 6a은 본 발명의 실시형태 4의 질화물 반도체 발광 소자에 의한 p측 콘택트층의 구성을 모식적으로 보여주는 단면도이고,

도 6b는 도 6a의 In 조성을 모식적으로 나타내는 그래프이고,

도 7은 본 발명의 다층막(p측 콘택트층)의 파장에 대한 광흡수율을 표시한 그래프이고,

도 8은 본 발명의 실시형태 5의 질화물 반도체 소자(LED 소자)의 구성을 나타내는 모식단면도이고,

도 9a는 실시형태 5에 따른 질화물 반도체 소자의 언도핑된 상층(305c)의 막두께에 대한 P0 및 Vf의 상대값을 보여주는 그래프이고,

도 9b는 실시형태 5에 따른 질화물 반도체 소자의 언도핑된 상층(305c)의 막두께에 대한 정전내압 상대값을 표시한 그래프이고,

도 10a는 실시형태 5에 따른 중간층 305b의 막두께에 대한 P0 및 Vf의 상대값을 나타낸 그래프이고,

도 10b는 실시형태 5에 따른 중간층(305b)의 막두께에 대한 정전내압 상대값을 표시하는 그래프이고,

도 11a는 실시형태 5에 따른 언도핑된 하층(305a)의 막두께에 대한 Pi 및 Vf의 상대값을 나타낸 그래프이고, 및

도 11b는 실시형태 5에 따른 언도핑된 상층(305a)의 막두께에 대한 정전내압 상대값을 표시한 그래프이다.

* 주요 도면부호의 부호설명

1 : 기판 2 : 제1버퍼층

3 : 제2버퍼층 4 : n측 콘택트층

5 : 제3버퍼층 6 : n측 다층막층

6a : 제1질화물 반도체막 6b : 제2질화물 반도체막

7 : 활성층 8 : p측 다층막층

8a : 제3질화물 반도체막 8b : 제4질화물 반도체막

9 : p측 콘택트층 10 : p전극

11 : p전극 12 : n전극

18 : p측 클래드층 30, 130 : n측 영역

40 : p측 영역 41, 140 : p측 영역

102 : 버퍼층 103 : 언도핑 GaN층

105 : n측 제1다층막층 105a, 105b : 질화물 반도체층

106a : 제1질화물 반도체층 106b : 제2질화물 반도체층

108 : 클래드층 108a : 제3질화물 반도체층

108b : 제4질화물 반도체층 202 : 버퍼층

203 : 제1n측 질화물 반도체층 204 : 제2n측 질화물 반도체층

205 : 제3n측 질화물 반도체층 208 : p측 콘택트층

208a : 제1질화물 반도체막 208b : 제2질화물 반도체막

208c : 조성경사층 230 : n측 영역

240 : p측 영역 305 : n측 제1다층막층

305a : 언도핑 하층 305b : n형 불순물 도핑 중간층

305c : 언도핑 상층 306 : n측 제2다층막층

306a : 제1질화물 반도체막 306b : 제2질화물 반도체막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 발광 다이오드(LED), 레이저다이오드(LD), 태양전지, 광센서 등의 발광소자, 수광소자, 또는 트랜지스터와 파워디바이스 등의 전자디바이스에 사용되는 질화물 반도체 소자($In_XAl_YGa_{1-X-Y}N$, $0 \leq X$, $0 \leq Y$, $X+Y \leq 1$)에 관한 것이다.

질화물 반도체는 풀칼라 LED 디스플레이, 교통신호 및 이미지 스캐너의 광 공급원을 제작하기 위한 높은 야광성 청색 및 순수 녹색 LED의 물질로서 실질적으로 연구되어왔다. 상기 LED 소자는 기본적으로 사파이어 기판상에 GaN으로 이루어진 버퍼층, Si 도핑 GaN으로 이루어진 n측 콘택트층, 단일 양자 우물(SQW) 구조의 InGaN 또는 InGaN을 함유하는 다중 양자 우물(MQW) 구조의 활성층, Mg 도핑 AlGaN으로 이루어진 p측 클래드층, Mg 도핑 GaN으로 이루어진 p측 콘택트층이 차례로 형성된 기본 구조를 갖는다. 상기 LED 소자는 20mA에 있어서, 발광파장 450㎚의 청색 LED에서 5㎽, 외부 양자 효율 9.1%, 520㎚의 녹색 LED에서 3㎽, 외부 양자 효율 6.3%로 우수한 특성을 갖는다.

상기 질화물 반도체 발광 디바이스는 InGaN으로 이루어진 우물층(well layer)을 갖는 단일 양자 우물 또는 다중 양자 우물 구조의 활성층을 갖는 이중 헤테로 구조를 채용할 수 있다.

또한 상기 질화물 반도체 발광 디바이스에 있어서, 다중 양자 우물 구조는 다수개의 미니 밴드를 갖고 효율이 좋으며, 작은 전류에서도 발광이 가능하므로, 단일 양자 우물 구조보다 발광 출력이 높게 되는 등의 소자특성의 향상이 기대되고 있다.

예를들면 다중 양자 우물 구조의 활성층을 사용한 LED 소자로서, 특개평 10-135514호 공보에서는, 발광효율 및 발광광도를 좋게 하기 위하여, 적어도 언도핑 GaN으로 이루어진 장벽층, 언도핑 InGaN으로 이루어진 우물층으로 이루어진 다중 양자 우물 구조의 발광층, 더우기 발광층의 장벽층보다도 넓은 밴드갭(band gap)을 갖는 클래드층을 포함하는 질화물 반도체 소자가 개시되어 있다.

발명이 이루고자 하는 기술적 과제

그러나, 활성층을 다중 양자 우물 구조로하면, 단일 양자 우물 구조일때와 비교하여 활성층 전체의 두께가 두껍기 때문에, 종방향의 직렬저항이 높게 되고, 예를들면 LED 소자는 Vf(순방향전압)이 높아지는 경향이 있다.

예를들면, 특개평 9-298341호는 Vf를 저하시키는 기술로서 활성층 위의 p측 광전파층, 콘택트층 등을 InAlGaN층을 포함하는 초격자(superlattice)층으로 하는 레이저 소자를 개시한다. 상기 기술은 p형 질화물 반도체층을 In을 함유하는 질화물 반도체층을 포함하는 초격자 구조로 사용함으로써, p층의 캐리어 농도를 증가시키고 레이저 소자의 임계전류를 저감시킬 수 있다.

그러나 현재에는 InAlGaN과 같은 4원소 화합물의 질화물 반도체는 결정성이 나쁘고, 또한 In을 함유하는 질화물 반도체는 p형이 되기 어렵기 때문에, 실제적으로 LED 소자 또는 LD 소자를 제조하는 것이 곤란하다.

상술된 바와 같이, 발광출력의 비약적인 향상이 기대됨에도 불구하고 다중 양자 우물 구조의 활성층은 상기 효과를 실현하는 것이 어려웠다.

상기 LD 소자에 있어서, 본 발명의 출원인은 질화물 반도체 상에 활성층을 갖는 질화물 반도체 레이저 소자를 제작하여 세계 최초의 연속발진 10000시간 이상 을 달성하는 것을 발표했다(ICNS' 97 Subscript, October, 27-31, 1997, P444 내지 446, 및 Jpn.J.Appl.Phys.Vol.36(1997) pp.L1568 내지 1571, Part 2, No.12A, 1 December 1997).

그러나, 예를들면 LED 소자를 조명용 광원, 직접적으로 햇빛에 노출되는 실외 디스플레이 등에 사용하기 위해서는, 더욱 Vf가 낮고 동시에 발광효율이 높은 소자가 요구되고 있다. 또한, LD 소자에 있어서, 광 픽업 등의 광원에 사용하기 위해서는 더욱 임계전류를 낮추어 장수명을 갖도록하는 등, 보다 한층의 개선이 필요하다.

최근에는, 질화물 반도체를 사용한 발광소자에 있어서, 종래 GaN이 이용된 p측 전극이 형성된 p형 콘택트층을, 특허평 8-97468호 공보에 개시된 바와 같이, 밴드갭 에너지가 GaN과 비교하여 작은 InGaN을 사용하여 형성하는 것이 검토되고 있다. 즉, 밴드갭 에너지가 작은 InGaN을 사용하는 것보다, p형 콘택트층과 p측 전극과의 간격을 낮게 하여 좋은 오믹 접촉(ohmic contact)을 얻도록 하는 것이다.

그러나, InGaN은 결함이 적고 결정성이 좋은 막을 성장하도록 하는 것이 어려워서, 만족할만하게 낮은 접촉저항이 기대한 만큼 거의 얻어질 수 없다. 또한 상기 성장된 InGaN 층들의 접촉 저항성은 상기 InGaN 층의 결정성의 발산으로 인하여 안정하지 않다는 문제점이 있다. 따라서, InGaN으로 이루어진 p형 콘택트층을 구비한 종래의 질화물 반도체 소자는, 충분히 낮고 안정한 동작전압과 높은 출력을 얻는 것이 곤란하다. 이 때문에, 예를들면 InGaN으로 이루어진 콘택트층을 사용하는 LED 소자를 구성하는 경우, 20㎃에 있어서 순방향전압(Vf)은 3.4 내지 3.8V로 충분히 낮지

않고 또한 상기 전압의 발산이 크다는 문제점이 있다.

또한, 질화물 반도체로 이루어진 소자는 그것의 구조상 인체에서 느끼는 정전기보다 훨씬 약한 100V의 전압으로도 손상될 가능성이 있어 취급에 유의할 필요가 있다. 따라서, 질화물 반도체 소자의 신뢰성을 보다 높이기 위해서는 정전내압(electrostatic withstand voltage)의 향상 또한 요구되어진다.

본 발명은 이러한 상황에서 이루어진 것으로, 본 발명의 목적은 LED 및 LD 소자와 같은 질화물 반도체 소자의 출력을 향상시킴과 함께, Vf 및 임계값을 저하시켜 소자의 발광효율을 향상시키는 것에 있다. 상기 발광 효율을 향상시키는 것은 나아가서는 수광소자 등의 질화물 반도체를 사용한 다른 전자 디바이스의 효율도 향상시키게 되는 것이다.

또한, 본 발명은 다중 양자 우물 구조의 활성층을 사용하여 그 특성을 충분히 발전시킴으로써 발광출력의 향상을 도모하고, 각종 응용 제품에 질화물 반도체 발광소자의 적용범위를 확대하는 것을 목적으로 한다.

또한, 본 발명은 p측 전극과 p형 콘택트층 사이에 낮은 접촉저항을 갖고 안정한 낮은 작동전압으로 높은 출력이 얻어지는 질화물 반도체 소자를 제공하는 것을 목적으로 한다.

또한, 본 발명은 발광출력을 향상할 수 있고 작동내압이 좋은 질화물 반도체 발광소자를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명의 제1질화물 반도체 소자는 다음의 구성에 의하여 Vf, 임계값을 저 하시킴으로써 발광효율을 향상할 수 있다.

즉, 본 발명의 제1질화물 반도체 소자는 복수개의 질화물 반도체층을 갖는 n측 영역, 복수개의 질화물 반도체층을 갖는 p측 영역, 및 상기 n측 영역 및 p측 영역 사이에 활성층을 포함한다. 상기 n측 영역의 적어도 하나의 질화물 반도체층은 In을 함유하는 제1질화물 반도체막, 및 상기 제1질화물 반도체막과 다른 조성을 갖는 제2질화물 반도체막이 적층된 n측 다층막층을 갖는다. 상기 제1질화물 반도체막 또는 제2질화물 반도체막 내의 적어도 한쪽의 막두께가 100옹스트롬 이하인 것을 특징으로 한다.

본 발명의 상기 제1질화물 반도체 소자에서, 상기 제1 및 제2질화물 반도체막의 두께는 바람직하게 100옹스크롬 이하이고, 보다 바람직하게 70옹스크롬 이하이며, 가장 바람직하게 50옹스트롬 이하이다. 상기와 같이 막을 얇게 함으로써 다층막층이 초격자 구조로 되어 다층막층의 결정성을 개선할 수 있으므로 출력을 향상시킬 수 있다. 활성층은 적어도 In을 포함하는 질화물 반도체, 바람직하게는 InGaN으로 이루어진 우물층을 갖는 단일 양자 우물 구조, 또는 다중 양자 우물 구조로 하는 것이 바람직하다.

또한, 본 발명의 제1질화물 반도체 소자에 있어서, 제1질화물 반도체막은 $In_{X}Ga_{1-X}N(0<x<1)$으로 구성되고 제2질화물 반도체막은 $In_{y}Ga_{1-y}N(0\leq y<1, y<x)$으로 구성되는 것이 가장 바람직하다.

또한, 본 발명의 제1질화물 반도체 소자는 상기 제1질화물 반도체막 또는 제2질화물 반도체막 중 어느 한쪽의 막두께가 인접한 제1질화물 반도체막 또는 제2질화물 반도체막끼리 서로 다를 수 있다. 즉, 제1질화물 반도체막 또는 제2질화물 반도체막을 복수층으로 적층한 다층막층을 형성하는 경우, 제2질화물 반도체막(제1질화물 반도체막)을 끼운 2개의 제1질화물 반도체막(제2질화물 반도체막)의 막두께가 서로 다를 수 있다.

또한, 본 발명의 제1질화물 반도체 소자는 상기 제1질화물 반도체막 또는 제2질화물 반도체막 중 적어도 한쪽이 3족 원소의 조성이고, 인접한 제1질화물 반도체막 또는 제2질화물 반도체막이 동일한 3족 원소의 조성으로 서로 다를 수 있다. 즉, 제1질화물 반도체막 또는 제2질화물 반도체막을 복수층적층한 다층막층을 형성하는 경우, 제2질화물 반도체막(제1질화물 반도체막)을 끼운 제1질화물 반도체막(제2질화물 반도체막)의 3족 원소의 조성비가 서로 다를 수 있다.

또한, 본 발명의 제1질화물 반도체 소자는 n측 다층막층이 활성층과 떨어지게 형성될 수 있으나, 출력을 보다 향상시키기 위해서는 활성층과 접하도록 형성하는 것이 바람직하다.

또한, 본 발명의 제1질화물 반도체 소자에 있어서, 상기 제1질화물 반도체막 및 제2질화물 반도체막이 도핑되지 않을 수 있다. 이때, '도핑되지 않는'의 용어는 고의적으로 불순물을 도핑하지 않는 상태를 나타내고 상기 상태는 예를들면 인접한 질화물 반도체층으로부터 확산에 의하여 혼입되는 불순물도 본 발명은 도핑되지 않은 것으로 한다. 그리고, 확산에 의하여 혼입된 불순물은 층내에 있어서 불순물 농도로 구배가 생기는 경우가 많다.

또한, 본 발명의 제1질화물반도체소자는 제1질화물 반도체막 또는 제2질화물 반도체막의 어느 한쪽에, n형 불순물이 도핑되는 것이 좋다. 이것은 변조 도핑이라 칭하고 변조 도핑함으로써 출력을 향상시킬 수 있다. n형 불순물은 Si, Ge, Sn 및 S 등의 IV족 및 VI족 원소로부터 선택될 수 있고 바람직하게는 Si 또는 Sn을 사용한다.

또한, 본 발명의 제1질화물 반도체 소자에서, n형 불순물은 제1질화물 반도체막 및 제2질화물 반도체막 모두에 n형 불순물이 도핑되는 것이 좋다. 상기 n형 불순물이 도핑되는 경우, 불순물 농도는 5×10^{21} /㎤ 이하, 바람직하게 1×10^{20} /㎤ 이하으로 조정한다. 5×10^{21} /㎤ 보다 큰경우, 상기 질화물 반도체층의 결정성이 나빠지고 역으로 출력이 저하하는 경향이 있다. 또한 이 농도는 변조도핑의 경우에도 같다.

또한, 본 발명의 제1질화물 반도체 소자는, 상기 p측 영역의 질화물 반도체로서, Al을 함유하는 제3질화물 반도체막 및 상기 제3질화물 반도체와 다른 조성을 갖는 제4질화물 반도체막이 적층되는 p측 다층막층을 갖는다. 상기 제3질화물 반도체막, 또는 상기 제4질화물 반도체 중 적어도 한쪽의 막두께가 100옹스트롬 이하임이 바람직하다. 또한, 더욱 바람직하게는 제3질화물 반도체막, 및 제4질화물 반도체막 양쪽을 100옹스트롬 이하, 더욱 바람직하게는 70옹스트롬 이하, 가장 바람직하게는 50옹스트롬 이하로 한다. 이러한 막두께를 얇게함에 의하여, 다층막층이 초격자 구조로 되어 다층막층의 결정성이 좋게 되므로, 출력을 향상시킬 수 있다.

또한, 본 발명의 제1질화물 반도체 소자는 바람직하게는, 제3질화물 반도체막이 $Al_aGa_{1-a}N(0<a\leq1)$으로 구성되고 제4질화물 반도체막은 $In_bGa_{1-b}N(0\leq b<1, b<a)$으로 구성된다. 보다 바람직하게는, 상기 제4질화물 반도체 필름은 GaN으로 구성된다.

또한, 본 발명의 제1질화물 반도체 소자는, 상기 제3질화물 반도체막 또는 제4질화물 반도체막 중 적어도 한쪽의 막두께가 인접한 제3질화물 반도체막 또는 제4질화물 반도체막들이 서로 다른 것이 좋다. 즉, 제3질화물 반도체막 또는 제4질화물 반도체막을 여러 가지 복수개의 층을 사용하여 적층하는 경우에, 제3질화물 반도체막(제4질화물 반도체막)을 끼워넣은 제4질화물 반도체막(제3질화물 반도체막)의 막두께는 서로 다를 수 있다.

또한, 본 발명의 제1질화물 반도체 소자는, 상기 제3질화물 반도체막 또는 제4질화물 반도체막 중 적어도 한쪽의 3족 원소 조성이 인접한 제3질화물 반도체막 또는 제4질화물 반도체막과 동일한 3족 원소의 조성들과 서로 다를 수 있다. 즉, 제3질화물 반도체막 또는 제4질화물 반도체막을 복수개의 층으로 적층한 다층막층을 형성하는 경우, 제3질화물 반도체막(제4질화물 반도체막)을 끼운 제4질화물 반도체막(제3질화물 반두체막)의 3족 원소의 조성비가 서로 다를 수 있다.

더욱이, 본 발명의 제1질화물 반도체소자는 p측 다층막층은 n측 다층막층과 동일하게 활성층과 떨어져 형성될 수 있고 바람직하게는 활성층에 접하여 형성되도록 한다. 이와 같은 활성층에 접하여 형성함으로써 출력을 향상시킬 수 있다.

또한, 본 발명의 제1질화물 반도체소자는, 제3질화물 반도체막 및 제4질화물 반도체막이 도핑되지 않을 수 있다. p측의 다층막층을 도핑하지 않는 경우, 막두께는 0.1㎛ 이하로 하는 것이 바람직하다. 상기 두께가 0.1㎛ 이상인 경우, 정공이 주입되기 어려워 출력이 감소되는 경향이 있다. ' 언도핑'의 정의는 n측 다층막층과 동일하다.

또한, 본 발명의 제1질화물 반도체 소자는, 제3질화물 반도체막 및 제4질화물 반도체막 중 어느 하나에 p형 불순물이 도핑될 수 있다. 이와 같이 변조 도핑함으로써, 출력이 향상되기 쉽다. 또한, p형 불순물로서는 Mg, Zn, Cd, Be, 및 Ca와 같은 2족원소에서 선택될 수 있고 바람직하게 Mg 또는 Be를 사용한다.

또한, 본 발명의 제1질화물 반도체 소자는 제3 질화물 반도체막 및 제4질화물 반도체막 모두에 p형 불순물이 도핑될 수 있다. p형 불순물을 도핑하는 경우, 불순물 농도는 1×10^{22} /㎤ 이하, 바람직하게 5×10^{20} /㎤ 이하로 조정된다. 1×10^{22} /㎤ 보다 큰 경우, 질화물 반도체층의 결정성이 나빠지므로 출력이 감소되는 경향이 있다. 또한 이것은 변조도핑의 경우에 대해서도 같다.

본 명세서에서 설명된 바와 같이 본 발명의 제2 내지 제5질화물 반도체막은 이하의 구성에 의하여 다중 양자 우물 구조의 활성층을 사용한 질화물 반도체 소자의 발광 출력을 향상시킬 수 있고 질화물 반도체 소자의 응용제품의 적용범위를 확대시키는 것이다.

즉, 본 발명의 제2질화물 반도체막은 복수개의 질화물 반도체층을 갖는 n측 영역, 복수개의 질화물 반도체막을 갖는 p측 영역, 및 상기 n측 영역과 p측 영역 사이에 활성층을 갖는 질화물 반도체 소자에 있어서, 상기 n측 영역의 질화물 반도체 층 중 적어도 하나는 n형 불순물이 서로 다른 농도로 도핑되고, 서로 다른 밴드갭 에너지를 갖는 적어도 2종류의 질화물 반도체막이 적층된 n측 제1다층막층이고, 상기 p측 영역의 적어도 하나의 질화물 반도체층은 각각 p형 불순물이 도핑되고 또 상호 밴드갭 에너지가 다른 제3과 제4질화물 반도체막이 적층된 p측 다층막 클래드층이고, 상기 활성층은 $In_aGa_{1-a}N(0\leq a<1)$으로 이루어진 다중 양자 우물 구조인 것을 특징으로 한다.

본 발명의 제3질화물 반도체 소자는 복수개의 질화물 반도체층을 갖는 n측 영역, 복수개의 질화물 반도체층을 갖는 p측 영역, 및 상기 n측 영역과 p측 영역 사이에 활성층을 갖는 질화물 반도체 소자에 있어서, 상기 n측 영역의 적어도 하나의 질화물 반도체 층은, n형 불순물이 서로 다른 농도로 도핑되는 동일 조성을 갖는 적어도 2 종류의 질화물 반도체 막이 적층되는 n측 제1다층막층이고, 상기 p측 영역의 적어도 1개의 질화물 반도체층은 여러 가지의 p형 불순물이 도핑되고 서로 밴드갭 에너지가 다른 제3 및 제4질화물 반도체막이 적층되는 p측 다층막 클래드층이고, 상기 활성층은 $In_aGa_{1-a}N(0\leq a<1)$으로 이루어진 다중 양자 우물 구조인 것을 특징으로 한다.

또한 본 발명의 제2 및 제3의 질화물 반도체 소자는 상기 제3질화물 반도체막의 p형 불순물 농도와 제4질화물 반도체막의 p형 불순물 농도가 서로 다르거나 같을 수 있다.

또한 본 발명의 제4질화물 반도체 소자는 복수개의 질화물 반도체층을 갖는 n측 영역, 복수개의 질화물 반도체층을 갖는 p측 영역, 및 상기 n측 영역과 p측 영역 사이에 활성층을 갖는 질화물 반도체 소자이다. 이때, 상기 n측 영역의 적어도 하나의 질화물 반도체층은 n형 불순물이 서로 다른 농도로 도핑되어 있는 동일한 조성을 갖는 적어도 2종류의 질화물 반도체막이 적층된 n측 제1다층막층이고, 상기 p측 영역의 적어도 1개의 질화물 반도체층은 p형 불순물을 함유하는 $Al_bGa_{1-b}N(0\leq b\leq 1)$으로 이루어진 p측 단일 막 클래드층이고, 상기 활성층은 $In_aGa_{1-a}N(0\leq a<1)$으로 이루어진 다중 양자 우물 구조인 것을 특징으로 한다.

또한, 제3 및 제4질화물 반도체 소자에서 상기 n측 제1다층막층은 여러 가지의 GaN으로 이루어진 n형 불순물이 서로 다른 농도로 도핑된 2종류의 질화물 반도체막이 적층되어 이루어지는 것이 바람직하다.

더욱이, 본 발명의 제5질화물 반도체 소자는, 복수개의 질화물 반도체층을 갖는 n측 영역, 복수개의 질화물 반도체층을 갖는 p측 영역 및 상기 n측 영역과 p측 영역 사이에 활성층을 갖는 질화물 반도체 소자이다. 이때, 상기 n측 영역의 적어도 1개의 질화물 반도체층은 n형 불순물이 서로 다른 농도로 도핑되고 동시에 밴드갭 에너지가 다른 적어도 2종류의 질화물 반도체막이 적층되어 이루어진 n측 제1다층막층이고, 상기 p측 영역의 적어도 1개의 질화물 반도체층은 p형 불순물을 함유하는 $Al_bGa_{1-b}N(0\leq b\leq 1)$으로 이루어진 p측 단일막 클래드층이고, 상기 활성층은 $In_aGa_{1-a}N(0\leq a<1)$으로 이루어진 다중 양자 우물 구조인 것을 특징으로 한다.

또한 제2 내지 제5질화물 반도체 소자는 상기 n측 제1다층막층과 활성층 사이에 In을 포함하는 제1질화물 반도체막 및 상기 제1질화물 반도체막과 다른 조성을 갖는 제2질화물 반도체막이 적층된 n측 제2다층막층을 갖는 것이 바람직하다.

더욱이, 제2 내지 제5질화물 반도체 소자는, 상기 n측 영역에 상기 n측 제1다층막층으로부터 기판측에 n형 불순물을 함유하는 n측 콘택트층을 형성하도록 할 수 있다.

더욱이, 제2 내지 제5질화물 반도체 소자는 상기 n측 콘택트층이 언도핑 GaN층의 위에 형성되는 것이 바람직하다.

또한 제2 내지 제5질화물 반도체 소자에 있어서, 상기 언도핑 GaN층이 저온성장되는 $Ga_dAl_{1-d}N(0<d\leq 1)$으로 이루어진 버퍼층 위에 형성되는 것이 바람직하고 상기 p측 다층막 클래드측 또는 p측 단일막 클래드측 위에 p형 불순물로서 Mg를 포함하는 p측 GaN 콘택트층을 형성할 수 있다.

즉, 본 발명의 제2 내지 제5질화물 반도체 소자는, 다중 양자 우물 구조의 발광층을 끼우도록 n측에 n형 불순물 농도가 다른 2종류 이상의 질화물 반도체층으로 이루어진 n측 제1다층막층 및 p측에 제3 및 제4질화물 반도체막으로 이루어진 p측 다층막 클래드층을 조합하여 형성함으로써 발광효율을 향상시킨다.

이와 같이, 특정의 조성과 구조 등을 갖는 복수개의 질화물 반도체층을 조합함으로써 다중 양자 구조의 활성층의 성능을 효율 좋게 발휘할 수 있다. 또한, 다 중 양자 우물 구조의 활성층과의 조합으로 바람직한 다른 질화물 반도체층을 이하에 기재한다.

본 발명의 제2 내지 제5질화물 반도체 소자에 있어서, 상기 n측 제1다층막층과 활성층사이에, In을 포함하는 제1질화물 반도체막, 상기 제1질화물 반도체막과 다른 조성을 갖는 제2질화물 반도체막이 적층된 n측 제2다층막층을 가지면 더욱 발광효율을 향상시킬 수 있으며 또한, Vf를 저하시켜 발광효율을 향상시킬 수 있다.

더우기, 본 발명의 제2 내지 제5질화물 반도체 소자에 있어서, 상기 n측 제1다층막층으로부터 기판에, n형 불순물을 포함하는 n측 콘택트층을 형성하면 발광출력을 향상시킬 수 있으며, 동시에 Vf를 저하시킬 수 있다.

또한 본 발명의 제2 내지 제5질화물 반도체 소자에 있어서, 상기 n측 콘택트층이 언도핑 GaN층의 위에 형성되면, 상기 GaN층은 결정성이 좋은 층이므로 n전극을 형성하는 층으로 이루어진 n측 콘택트층의 결정성을 향상시키고, n측 콘택트층 위에 형성되는 활성층과 같은 n측 콘택트층에 형성된 다른 질화물 반도체 층들의 결정성이 향상하므로 발광

출력을 보다 향상시킬 수 있다.

또한, 본 발명의 제2 내지 제5질화물 반도체 소자에 있어서, 상기 언도핑층이 저온성장된 $Ga_dAl_{1-d}N(0<d\leq1)$으로 이루어진 버퍼층 위에 형성되면 언도핑 GaN층의 결정성이 더욱 좋아지고, n측 콘택트층 등의 결정성도 보다 좋아지므로, 발광출력이 향상될 수 있고 더욱이, p측 다층막 클래드층 또는 p측 단일막 클래드층 위에 Mg 도핑 p측 GaN 콘택트층을 형성하면, 좋은 p형 도전성을 얻을 수 있고 동시에 상 기 p측 GaN 콘택트층이 그 위에 형성되는 p전극과 좋은 오믹 접촉을 가지므로 보다 더욱 발광효율을 향상시킬 수 있다.

또한 본 발명의 제6질화물 반도체 소자는 In을 포함하는 p형 콘택트층을 초격자 구조로 함으로써 결함이 적어 결정성이 좋은 p형 콘택트층을 형성할 수 있다는 것을 알아내어 완성되는 것으로, 상기 소자는 낮은 동작전압으로 안정하고 높은 출력이 얻어지는 질화물 반도체 소자이다.

즉, 본 발명의 제6질화물 반도체 소자는, p형 콘택트층을 포함하는 복수개의 질화물 반도체층을 갖는 p측 영역과 복수개의 질화물 반도체층으로 이루어진 n측 영역, 및 상기 p측 영역과 n측 영역 사이의 활성층을 구비한 질화물 반도체 소자이다. 이때, 상기 p형 콘택트층은 상호 조성이 다른 제1 및 제2질화물 반도체막을 포함하는 막이 순차적으로 적층된 초격자 구조를 갖고, 상기 2개의 질화물 반도체막 중 적어도 하나의 질화물 반도체막은 In을 포함하는 것을 특징으로 한다.

따라서, 상기 p전극과 상기 p형 콘택트층 사이에 접촉 저항성을 감소시킬 수 있으므로 높은 출력이 저동작 전압에서 얻어질 수 있다.

또한, 본 발명의 제6질화물 반도체 소자는 제1질화물 반도체 막과 제2질화물 반도체막 사이에, 상기 제1질화물 반도체막의 조성으로부터 상기 제2질화물 반도체막의 조성으로 연속적으로 변화하는 조성경사층을 형성할 수 있고 이것에 의해, 상기 p측 콘택트층의 결정성이 더욱 향상될 수 있다.

또한, 본 발명의 제6질화물 반도체 소자는 상기 제1질화물 반도체막의 In 함유량을 상기 제2질화물 반도체막의 In 함유량과 비교하여 크게 하는 것이 바람직하 다. 이렇게 함으로써, p형 콘택트층의 저항성을 보다 낮게 할 수 있다.

또한, 본 발명의 제6질화물 반도체 소자는, 2개의 질화물 반도체층 중 적어도 한쪽을 In을 포함하는 층으로 할 경우, 한쪽의 상기 제1질화물 반도체막은 $In_xGa_{1-x}N$으로 구성되는 층이고, 다른 제2질화물 반도체막은 $Al_yGa_{1-y}N$ $(0\leq y<1)$으로 구성되는 것이 바람직하다.

더욱이, 본 발명의 제6질화물 반도체 소자에 있어서, 상기 제1질화물 반도체막 및 제2질화물 반도체막 중 하나는 p형 불순물로 도핑되고 다른 한쪽은 p형 불순물로 도핑되지 않을 수 있다.

또한 본 발명의 제6질화물 반도체 소자에 있어서, 상기 제1 및 제2질화물 반도체막에 여러 가지의 p형 불순물을 도핑하는 경우, 한쪽의 질화물 반도체층에는 바람직하게 1×10^{19} /㎤ 내지 5×10^{21} /㎤ 범위의 p형 불순물을 도핑하고 다른 쪽의 질화물 반도체층은 5×10^{18} /㎤ 내지 5×10^{19} /㎤ 범위의 p형 불순물로 도핑되며, 상기 전자에서 p형 불순물의 함량은 후자의 함량보다 더 높다.

또한 본 발명의 제6질화물 반도체 소자에 있어서, 상기 제1질화물 반도체막이 가장 표면에 형성되고 동시에 상기 p측 전극이 상기 표면 경계에 형성되는 해당 질화물 반도체층에 접하게 형성되는 것이 바람직하다. 또한, 이 경우, 상기 제1질화물 반도체막의 p형 불순물 농도가, 상기 제2질화물 반도체막 보다 바람직하게 크다.

본 발명의 제6질화물 반도체 소자에 있어서, 상기 활성층과 상기 p형 콘택트 층과의 사이에 Al을 포함하는 질화물 반도체로 이루어진 p형 콘택트층이 구비될 수 있다.

본 발명의 제6질화물 반도체 소자에 있어서, 상기 p형 클래드층은 $Al_xGa_{1-x}N(0<x\leq1)$으로 이루어진 층과 $In_yGa_{1-y}N(0\leq y<1)$으로 이루어진 층이 교대로 적층된 초격자 구조를 가진다.

이상과 같이, 본 발명의 제6질화물 반도체 소자는, 서로 조성이 다른 제1 및 제2질화물 반도체막이 교대로 적층된 초격자 구조를 갖고, 상기 2개의 질화물 반도체 층 중 적어도 하나는 In을 포함하는 p형 콘택트층을 구비한다. 따라서, 결함이 적어 결정성이 좋은 p형 콘택트층을 형성할 수 있고, p형 콘택트층 자시의 저항치를 낮게 함과 동시에 p측 전극과 p형 콘택트층과의 접촉저항을 작게 할 수 있으므로 안정한 낮은 동작전압으로 높은 출력이 얻어진다.

또한, 본 발명의 제7 및 제8질화물 반도체 소자는 이하의 구성에 의해 다중 양자 우물 구조의 활성층을 사용한 질화물 반도체 소자의 발광 효율을 향상시키고 동시에 정전내압을 좋게 할 수 있으며, 다중 양자 우물 구조의 활성층을 이용한 질화물 반도체 소자의 적용범위를 확대한다.

즉, 본 발명의 제7질화물 반도체 소자는, 복수개의 질화물 반도체층을 갖는 n측 영역, 복수개의 질화물 반도체층을 갖는 p측 영역, 및 상기 n측 영역과 p측 영역 사이에 활성층을 갖는 질화물 반도체 소자이다. 이때, 상기 n측 영역의 적어도 하나의 질화물 반도체층은 언도핑 질화물 반도체막으로 이루어진 하층, n형 불순물 이 도핑된 질화물 반도체 막으로 이루어진 중간층, 및 언도핑 질화물 반도체막으로 이루어진 하층의 적어도 3층이 순서대로 적층되어 이루어진 n측 제1다층막층이고, 상기 p측 영역의 적어도 1개의 질화물 반도체층은, 여러 가지의 p형 불순물이 도핑되어 이루어지고 동시에 서로 밴드갭 에너지가 다른 제3 및 제4질화물 반도체막이 적층된 p측 다층막 클래드층이고, 상기 활성층은 $In_aGa_{1-a}N(0\leq a<1)$으로 이루어진 다중 양자 우물 구조인 것을 특징으로 한다.

또한, 본 발명의 제7질화물 반도체 소자에 있어서, 상기 제3질화물 반도체막의 p형 불순물 농도와 상기 제4질화물 반도체막의 p형 불순물 농도가 서로 다르거나 같을 수 있다.

또한, 본 발명의 제8질화물 반도체 소자는 복수개의 질화물 반도체층을 갖는 n측 영역과, 복수개의 질화물 반도체층을 갖는 p측 영역 사이에 활성층을 갖는 질화물 반도체 소자이다. 이때, 상기 n측 영역의 적어도 1개의 질화물 반도체층은 언도핑 질화물 반도체로 이루어진 하층, n형 불순물이 도핑된 질화물 반도체로 이루어지는 중간층, 및 언도핑 질화물 반도체로 이루어진 상층의 적어도 3층으로 순서대로 적층되어 이루어진 n측 제1다층막층이고, 상기 p측 영역의 적어도 1개의 질화물 반도체층은, p형 불순물을 함유하는 $Al_bGa_{1-b}N(0\leq b\leq 1)$으로 이루어진 p측 단일막 클래드층이고, 상기 활성층은 $In_aGa_{1-a}N(0\leq a<1)$을 함유하는 다중 양자 우물 구조인 것을 특징으로 한다.

더욱이, 본 발명의 제7 및 제8질화물 반도체 소자는 상기 n측 제1다층막층이 막두께 100 내지 10000옹스트롬의 언도핑 질화물 반도체로 이루어진 하층, 막두께 50 내지 1000옹스트롬의 n형 불순물이 도핑된 질화물 반도체로 이루어진 중간층, 및 막두께 25 내지 1000옹스트롬의 언도핑 질화물 반도체로 이루어진 상층으로 이루어지는 것을 특징으로 한다.

본 발명의 제7 및 제8질화물 반도체 소자는, 상기 n측 제1다층막층과 활성층 사이에 In을 함유하는 제1질화물 반도체막 및 상기 제1질화물 반도체막과 다른 조성을 갖는 제2질화물 반도체막이 적층된 n측 제2다층막층을 갖는 것이 바람직하다.

더욱이, 본 발명의 제7 및 제8질화물 반도체막에 있어서, 상기 n측 질화물 반도체층에 상기 n측 제1다층막층(변조 도핑)으로부터 기판측으로, n형 불순물을 함유하는 n측 콘택트층을 가질 수 있다. 본 발명의 제7 및 제8의 질화물 반도체소자에 있어서, 상기 n측 콘택트층이 언도핑 GaN층의 위에 형성될 수 있다.

또한 본 발명의 제7 및 제8질화물 반도체 소자에 있어서, 상기 언도핑 GaN층이 저온성장된 $Ga_dAl_{1-d}N(0<d\leq 1)$으로 이루어진 버퍼층 위에 형성되게 하여, 상기 p측 다층막 클래드층 또는 p측 단일막 클래드층 상에 p형 불순물로서 Mg를 함유하는 p측 GaN 콘택트층을 형성할 수 있다.

결국, 본 발명의 제7 및 제8질화물 반도체 소자는, 다중 양자 우물 구조의 활성층을 끼우도록, n측 영역에 언도핑 하층, n형 불순물 도핑의 중간층, 및 언도핑의 상층의 측정한 층구성으로 이루어진 n측 제1다층막층과, p측 영역에 제3 및 제4질화물 반도체막으로 이루어진 p측 다층막 클래드층 또는 p형 불순물을 포함하 는 AlbGa1-bN(0≤b≤1)으로 이루어진 p측 단일막 클래드층을 조합하여 형성함으로써 발광효율이 향상한 발광출력이 양호하고, 더욱기 정전내압이 양호한 질화물 반도체 소자를 얻을 수 있다.

이와 같이 특정의 조성과 층구조 등을 갖는 복수개의 질화물 반도체층을조합함에 의해, 다중 양자 우물 구조의 활성층의 성능을 효율좋게 발휘하게 할 수 있도록 함과 동시에 정전내압을 좋게 할 수 있다.

더욱이 본 발명은 n측 제1다층막층을 구성하는 가층의 막도께를 특정 범위의 조합에 의해 좋은 발광출력과 함께 정전내압을 보다 좋게할 수 있다.

본 발명에 있어서, 언도핑은 의도적으로 불순물을 도핑하지 않고 형성한 층을 표시하고, 인접한 층으로부터의 불순물의 확산, 원료또는 장치로부터의 컨태미네이션에 의해 불순물이 혼입하는 층임에도 불구하고 의도적으로 불순물을 도핑하지 않는 경우에는 언도핑층으로 한다. 확산에 의하여 혼입한 불순물은 층내에 있어서 불순물 농도에 구배가 생기는 경우가 있다.

또한 다중 양자 우물 구조의 활성층과 조합시킴에 있어서, 바람직한 다른 질화물 반도체층을 이하에 기재한다.

본 발명에 있어서, 상기 n측 제1다층막층과 활성층 사이에 In을 포함하는 제1질화물 반도체막, 상기 제1질화물 반도체막과 다른 조성을 갖는 제2질화물 반도체막이 적층된 n측 제2다층막층을 가지면, 더욱 발광효율을 향상시킬 수 있음과 함께, 순방향전압(이하, Vf로 함)을 저하시킴으로써 발광효율을 향상시킬 수 있다.

더욱이, 본 발명에 있어서, 상기 n측 제1다층막층으로부터 기판측으로, n형 불순물을 포함하는 n측 콘택트층을 가지면, 발광출력을 향상시켜 Vf를 저하시킬 수 있다.

또한 본 발명에 있어서, 상기 n측 콘택트층이 언도핑 GaN층의 위에 형성되면, 상기 언도핑 GaN층은 결정성이 좋은 층으로 얻어지므로, n전극을 형성한 층으로 이루어진 n측 콘택트층의 결정성이 좋아지고, n측 콘택트층 위에 형성된 활성층 등의 다른 질화물 반도체층의 결정성도 좋아져 발광출력을 향상시킬 수 있다.

또한, 본 발명에 있어서, 상기 언도핑 GaN층이 저온성장된 $Ga_dAl_{1-d}N(0<d\leq1)$으로 이루어진 버퍼층 위에 형성되면 언도핑 GaN층의 결정성이 더욱 좋아지고, n측 콘택트층 등의 결정성도 보다 좋아져 발광출력이 더욱 향상될 수 있다. 또한, p측 다층막 클래드층 또는 p측 단일막 클래드층 위에 Mg 도핑 p측 GaN 콘택트층을 형성하면 좋은 p형 특성을 용이하게 얻을 수 있고, p측 GaN 콘택트층과 그위에 형성된 p전극과의 좋은 오믹접촉이 얻어지므로 발광출력을 보다 향상시킬 수 있다.

또한, 본 발명의 제9 내지 제11질화물 반도체 소자는 n측 영역과 p측 영역에 여러 가지의 다층막층을 구비하고, n측 영역의 다층막층과 p측 영역의 다층막층을 조성 또는 층수 면에서 비대칭으로 함으로써 발광출력과 정전내압을 높게 하고 또 Vf를 낮추어, 각종의 응용제품으로 적용범위가 확대된다.

즉, 본 발명의 제9질화물 반도체 소자는, 복수개의 질화물 반도체층을 갖는 n측 영역과 복수개의 질화물 반도체층을 갖는 p측 영역 사이에 활성층을 갖는 질화불 반도체이다. 이때, 상기 n측 영역의 적어도 1개의 질화물 반도체층은 복수개의 질화물 반도체막이 적층되는 n형 다층막층이고, 상기 p측 영역의 적어도 1개의 질화물 반도체층은 복수개의 질화물 반도체막이 적층되는 p형 다층막층이고, 한편 상기 n형 다층막층을 구성하는 조성과 p형다층막층을 구성하는 조성이 서로 다른 것을 특징으로 한다.

또한, 본 발명의 제10질화물 반도체 소자는, 복수개의 질화물 반도체층을 갖는 n측 영역과 복수개의 질화물 반도체층을 갖는 p측 영역 사이에 활성층을 갖는 질화물 반도체 소자이다.

상기 n측 영역의 적어도 1개의 질화물 반도체층은, 복수개의 질화물 반도체막이 적층되는 n형 다층막층이고, 상기 p측 영역의 적어도 1개의 질화물 반도체층은 복수개의 질화물 반도체막이 적층되는 p형 다층막층이고 한편, 상기 n형 다층막층을 구성하는 질화물 반도체막의 적층수와 p형 다층막층을 구성하는 질화물 반도체막의 적층수가 다른 것을 특징으로 한다.

더욱이, 본 발명의 제11질화물 반도체 소자는, 복수개의 질화물 반도체층을 갖는 n측 영역과 복수개의 질화물 반도체층을 갖는 p측 영역 사이에 활성층을 갖는 질화물 반도체 소자이다. 이때, 상기 n측 영역의 적어도 1개의 질화물 반도체층은 복수개의 질화물 반도체막이 적층되는 n형 다층막층이고, 상게 p측 영역의 적어도 1개의 질화물 반도체층은 복수개의 질화물 반도체막이 적층되는 p형 다층막층이고 동시에 상기 n형 다층막층을 구성하는 조성과 p형 다층막층을 구성하는 조성이 다르고 동시에 상기 n형 다층막층을 구성하는 질화물 반도체막의 적층수와 p형 다층막층을 구성하는 질화물 반도체막의 적층수와 다른 것을 특징으로 한다.

또한 본 발명의 제9 내지 제11질화물 반도체 소자에 있어서, 상기 p형 다층막층을 구성하는 질화물 반도체층의 층수는 n형 다층막층을 구성하는 질화물 반도체층의 층수 보다 작은 것이 바람직하다.

또한 본 발명의 제9 내지 제11질화물 반도체 소자는, 상기 n형 다층막층이 $Al_zGa_{1-z}N(0\leq z<1)$ 및 $In_pGa_{1-p}N(0<p<1)$을 함유하고, 상기 p형 다층막층이 $Al_xGa_{1-x}N(0<x<1)$ 및 $In_yGa_{1-y}N(0\leq y<1)$을 함유하게 되는 것이 바람직하다.

더욱이, 본 발명의 제9 내지 제11질화물 반도체 소자는, 상기 p형 다층막층 및/또는 n형 다층막층이 변조 도핑되는 것이 바람직하다.

결국, 본 발명의 제9 내지 제11질화물 반도체 소자는 상술한 바와 같이, 활성층을 끼우도록 n형과 p형의 조성 및/또는 층수가 다른 n형 다층막층과 p형 다층막층을 형성하고, 소자 구조의 활성층 부근의 층구성을 특정함으로써 발광출력을 향상시키고 Vf를 저하시키고, 정전내압이 좋은 질화물 반도체 소자를 제공할 수 있다.

양자 우물 구조의 활성층은, 발광출력을 향상시키는 가능성을 갖고 있으나, 종래 소자는 양자 우물 구조의 가능성을 충분히 충족할 수 있는 정도로 발휘시키는 것이 어려웠다.

이와 비교하여, 본 발명자들은 양자 우물 구조의 활성층의 성능을 충분히 발휘시키도록 각종 경우를 연구한 결과, 활성층에 접하거나 또는 인접하며 서로 조성 및/또는 층수가 다른 n형 다층막층과 p형 다층막층을 형성함으로써 활성층의 성능 을 좋게 이끌어, 발광출력의 향상과 동시에 Vf의 저하, 및 정전내압의 향상을 달성할 수 있다.

상기 이유는 정해지지는 않지만, 아마도 다층막으로 함으로써 결정성이 향상하고, 활성층의 결정성과 p전극을 형성하는 층의 결정성을 향상시키며, 더우기 조성 및/또는 층수를 다르게 함으로써 n형 다층막층과 p형 다층막층의 다른 결정 성질이 상승적으로 작용하여 소자 전체에 좋은 영향을 끼치고, 소자 성증(발광출력, Vf, 정전내압 등)을 향상시킨다고 이해된다.

본 발명의 제9 내지 제11질화물 반도체 소자에 있어서, '다층막층'이란 적어도 조성이 다른 2종류 이상의 단일 질화물 반도체층을 적어도 2층 이상 적층시켜 이루어진 층으로, 상기 다층막층은 인접한 단일 질화물 반도체층들이 서로 조성이 다르도록 단일 질화물 반도체층을 복수개의 층을 적층하여 이루어진다.

또한, 본 발명의 제9 내지 제11질화물 반도체 소자에 있어서, n형 다층막층을 구성하는 질화물 반도체의 조성과, p형 다층막층을 구성하는 질화물 반도체의 조성이 다르다는 것은 여러 가지 다층막층을 구성하는 단일 질화물 반도체의 조성이 동일한 것이 좋으나, 단일 질화물 반도체층을 복수개 적층하여 이루어지는 다층막층의 전체의 층구성(전체 조성)이 일치하지 않는 것을 의미한다. 결국, n형 다층막층과 p형 다층막층은 그것들을 구성하는 조성이 부분 일치 하여도 좋으나 완전 일치하지 않도록 질화물 반도체층의 조성이 조정된다.

예를들면, 조성이 다르다는 것은 질화물 반도체를 구성하는 원소(예를들면 2원 혼합물 또는 3월 혼합물의 원소 종류), 원소의 조성비, 또는 밴드갭이 다른 것 을 의미한다. 상기 수치는 다층막층의 평균값으로 한다.

또한 본 발명에 있어서, 적층된 층수가 다른 경우, p형 또는 n형의 어느 한쪽이 적어도 한층 이상 많게 적층되는 것이 좋다.

더욱이, 본 발명의 제9 내지 제11질화물 반도체 소자에 있어서, p형 다층막층을 구성하는 질화물 반도체층의 층수가 n형 다층막층을 구성하는 질화물 반도체층의 층수 보다 적은 경우가 발광출력, Vf 및 정전내압의 특성 모두 좋게 하므로 바람직하다.

더욱, 본 발명의 제9 내지 제11질화물 반도체 소자에 있어서, p형 다층막층이 적층된 층수가 n형 다층막층이 적층된 층수보다 적어도 1층 적을 것이 좋다.

더욱이, 본발명의 제9 내지 제11질화물 반도체 소자는, n형 다층막층이 $Al_zGa_{1-z}N(0\leq z<1)$과 $In_pGa_{1-p}N(0<p<1)$을 포함하고 p형 다층막층이 $Al_xGa_{1-x}N(0<x<1)$과 $In_pGa_{1-p}N(0\leq y<1)$을 포함함으로써 보다 좋은 발광출력, Vf 및 정전내압을 얻을 수 있다.

또한, 본 발명의 제9 내지 제11질화물 반도체 소자는 p형 다층막층 및/또는 n형 다층막층이 변조도핑되면, 발광출력, Vf 및 정전내압을 향상히킬 수 있다.

또한, 본 발명의 제9 내지 제11질화물 반도체 소자에 있어서, 변조 도핑이라는 것은 다층막층을 형성한 단일 질화물 반도체층에 있어서, 인접하는 질화물 반도체 층들의 불순물 농도가 다른 것이 좋고, 다층막층을 구성하는 인접한 한쪽의 질화물 반도체층이 언도핑으로, 다른쪽은 불순물을 도핑시켜도 좋다. 또한, 인접한 양쪽의 질화물 반도체층에 불순물이 도핑되는 경우에, 인접한 질화물 반도체들에서 불순물 농도가 다를 수 있다.

또한 본 발명의 제9 내지 제11질화물 반도체 소자에 있어서, n형 다층막층과 p형 다층막층과의 조성이 다른 경우, n형 다층막층을 구성하는 복수개와 p형 다층막을 구성하는 복수개는 같거나 달라도 좋고, 바람직하게는 층수가 다르고, 보다 바람직하게는 p형 다층막층의 층수가 n형 다층막층의 층수보다 작은 것이, 발광출력, Vf, 정전내압의 점에서 좋다.

또한, 본 발명에 있어서, n형 다층막층과 p형 다층막층과의 층수가 다른 경우, n형 다층막층의 조성과 p형 다층막층의 조성은 같거나 다를수 있고, 바람직하게는 조성이 다를 때 상기 본 발명의 효과를 얻기에 바람직하다.

또한, 본 발명에 있어서, n형 다층막층과 p형 다층막층의 층수가 다른 경우, n형과 p형의 층수의 조합은 특정하게 산정되어 있지는 않지만, p형 다층마긍과 n형 다층막층의 층수가 다르게 된다면, 어떠한 조합도 좋지만, 바람직하게는 상술된 바와 같이, p형 다층막층의 층수가 n형 다층막층의 층수보다 작도록 하는 것이 상기 본 발명의 효과를 얻기에 바람직하다.

[실시예]

실시 형태 1

도 1은 본 발명의 실시형태 1의 질화물 반도체 소자(LED 소자)의 구조를 나타낸 모식적인 단면도이다. 상기 LED 소자는 사파이어 기판(1)의 위에 GaN으로 이루어진 제1버퍼층(2), 언도핑된 GaN으로 이루어진 제2버퍼층(3), Si 도핑된 GaN으 로 이루어진 n측 콘택트층(4), 언도핑된 GaN층으로 이루어진 제3버퍼층(5), InGaN/GaN 초격자 구조로 이루어진 n측 다층막층(6), InGaN/GaN으로 이루어진 다중 양자 우물 구조의 활성층(7), AlGaN/GaN 초격자 구조로 이루어진 p측 다층막층(8), 및 Mg 도핑된 GaN으로 이루어진 p측 콘택트층(9)이 순서대로 적층된 구조를 갖는다.

즉, 실시형태 1의 LED 소자는 사파이어 기판(1)의 위에 다중 양자 우물 구조의 활성층(7)이 제1버퍼층(2), 제2버퍼층(3), n측 콘택트층(4), 제3버퍼층(5) 및 n측 다층막층(6)으로 이루어진 n측 영역(30)과, p측 다층막층(8) 및 p측 콘택트층(9)으로 이루어진 p측 영역 사이에 끼워지게 된다.

본 실시형태 1의 질화물 반도체 소자는 도1에 나타낸 바와 같이, 활성층(7)의 하부에, n측 영역(30)에 In을 포함하는 제1질화물 반도체막(6a) 및 상기 제1질화물 반도체막(6a)과 다른 조성을 갖는 제2질화물 반도체막(6b)이 적층된 n측 다층막층(6)을 갖고 있다. 상기 n측 다층막층(6)에 있어서, 제1질화물 반도체막(6a) 및 제2질화물 반도체막(6b)은 각각 적어도 한층 이상 형성하고, 전체로 3층 이상, 더욱 바람직하게는 각각 적어도 2층 이상 적층하고 합계 4층 이상 적층하는 것이 좋다. n측 다층막층(6)이 활성층(7)에 접하여 형성되는 경우, 활성층의 최초 층(우물층, 또는 장벽층)과 인접한 다층막층은 제1질화물 반도체막(6a) 또는 제2질화물 반도체막(6b)일 수 있고, n측 다층막층의 적층 순서는 특정하게 문제되지 않는다. 또한, 도 1에서는, n측 다층막층(6)이 활성층(7)에 인접하여 형성되지만, 본 실시형태 1에서는 상기 다층막층(6)과 활성층(7) 사이에 다른 n형 질화물 반도체로 이루 어진 층을 갖도록 할 수 있다. 또한, 상기 n측 다층막층(6)을 구성하는 제1질화물 반도체막(6a) 또는 제2질화물 반도체막(6b)의 적어도 한쪽의 막두께는 100옹스트롬 이하, 바람직하게는 70옹스트롬 이하, 가장 바람직하게는 50옹스트롬 이하로 설계된다. 상술된 범위의 막두께일 경우, 상기 막은 임계 탄성두께보다 얇기 때문에, 상기 박막에 적층된 제1 또는 제2질화물 반도체막의결정성이 향상될 수 있고 따라서 n측 다중막층의 결정성이 전체적으로 향상되어 소자의 출력을 향상시킬 수 있다.

제1질화물 반도체막(6a)은 In을 함유하는 질화물 반도체, 바람직하게는 3원 화합물인 $In_XGa_{1-X}N(0<X<1)$으로 구성되고 이때 X가 바람직하게 0.5 이하, 가장 바람직하게 X는 0.1이하이다. 한편, 제2질화물 반도체막(6b)은 제1질화물 반도체막(6a)과 조성이 다른 질화물 반도체인 것이 좋고, 특정하게 한정하지는 않지만, 결정성이 좋은 제2질화물 반도체(6b)를 성장시키기 위해 제1질화물 반도체(6a)보다도 밴드갭 에너지가 큰 2원소 화합물 또는 3원소 화합물의 질화물 반도체를 성장시킨다. 이중 GaN으로 하는 경우, 전체에 결정성이 좋은 다층막층이 성장할 수 있다. 따라서, 가장 바람직한 조합은 제1질화물 반도체막(6a)으로서 X가 0.5 이하인 $In_XGa_{1-x}N$을 이용하고 제2질화물 반도체막(6b)으로서 GaN을 사용하는 조합이다.

바람직한 양태로서, 제1 및 제2질화물 반도체막 중 어느 하나의 막두께를 100옹스트롬 이하, 바람직하게는 70옹스트롬 이하, 가장 바람직하게는 50옹스트롬 이하로 한다. 이와 같이, 제1 및 제2질화물 반도체막 각각의 두께를 100옹스트롬 이하로 함으로써 제1 및 제2질화물 반도체막의 어느 쪽이 탄성 임계 막두께 이하의 막두께가 되므로 두꺼운 막두께로 되는 경우와 비교하여 뛰어난 결정성을 갖는 질화물 반도체가 성장될 수 있다. 또한 양쪽의 막두께를 70옹스트롬 이하로 하면, 다층막층이 초격자 구조가 되고 결정성이 좋은 상기 초격자 구조의 다층막층 위에 활성층을 성장시키면, 다층막층이 버퍼와 같은 작용을 하여 활성층을 결정성 좋게 성장시킬 수 있다.

또한 본 실시형태 1은 상기 제1 또는 제2질화물 반도체막 중 적어도 한쪽의 막두께를 인접한 제1 또는 제2질화물 반도체 막들과 서로 다르도록 할 수 있다. 예를들면, 제1질화물 반도체막을 InGaN으로 하고 제2질화물 반도체막을 GaN으로 한 경우, GaN층과 GaN층 사이에 위치한 InGaN층의 막두께를 활성층에 인접하게 되는 순서로 두껍게 하거나 또는 얇게 하여 다층막층 안쪽 부분의 굴절률을 변화시키기 때문에, 굴절률이 차례로 변화하는 층을 형성할 수 있다. 즉, 실직적으로 조성의 경사가 있는 조성물을 형성하는 것과 동일한 효과가 얻어진다. 이 때문에, 예를들면 레이저 소자와 같은 광도파관을 필요로하는 소자에 있어서, 상기 다층막층으로 광도파관을 형성하여 레이저광의 모드를 조정할 수 있다.

또한, 제1 또는 제2질화물 반도체막 중 적어도 한쪽의 3족 원소의 조성을 인접한 제1질화물 반도체막 사이 또는 제2질화물 반도체막 사이에서 서로 다르게 할 수 있다. 예를들면, 제1질화물 반도체막을 InGaN으로 하고, 제2질화물 반도체막을 GaN으로 하는 경우, GaN층과 GaN층의 사이에 위치하는 InGaN층의 In 조성을 활성층에 접하도록 하는 순서로 많이 하거나 또는 적게 하여, 막두께를 순차적으로 변하 게 하는 경우와 동일하고, 다층막층 내부에 있어서 굴절률을 변하도록 하여 실질적으로 조성의 경사가 있는 질화물 반도층을 형성할 수 있다. 즉, In 조성이 감소하는 것과 함께 굴절률이 감소하는 경향이 있다.

또한, 실시형태 1은, 제1 및 제2질화물 반도체막 중 하나 또는 모두는 n형 불순물로 도핑되거나 언도핑될 수 있다. 결정성을 향상시키기 위해, 상기 제1 및 제2질화물 반도체막은 가장 바람직하게 언도핑되고, 다음에 변도도핑, 그 다음 n형 불순물로 도핑된다. 즉, 상기 제1 및 제2질화물 반도체막 모두에 n형 불순물을 도핑하는 경우, 제1질화물 반도체막의 n형 불순물 농도와, 제2질화물 반도체막의 n형 불순물 농도는 다를 수 있다.

더욱이, 본 실시형태 1은, 도1에 나타낸 바와 같이, 활성층(7)을 끼워서 상부에 있는 p측 영역에, Al을 포함하는 제3 질화물 반도체막(8a) 및 상기 제2질화물 반도체막(8a)과 다른 조성을 갖는 제4질화물 반도체막(8b)이 적층된 p측 다층막층(8)을 갖는다. p측 다층막층(8)에 있어서, n측 다층막층(6)과 동일하게 제3질화물 반도체막(8a), 제4질화물 반도체막(8b) 각각을 적어도 한층 이상 형성하여 전체 3층이상, 더욱이 바람직하게는 각각 적어도 2층 이상 적층하여 전체 4층 이상 적층하는 것이 바람직하다. 더욱이, p측 영역에도 다층막층을 설계하는 경우, n측 다층막층보다도 막의 두께를 얇게 하는 것이 소자의 Vf, 임계전류가 저하하도록 하기에 용이하다. 도 1에서 보여지는 바와 같이, p측 다층막층(8)이 활성층(7)에 접하여 형성되는 경우, 활성층의 최종층(우물층 또는 장벽층)과 접하는 p측 다층막층은 제3 질화물 반도체막(8a) 또는 제4질화물 반도체막(8b) 중 어느 하나 일 수 있다.

또한, 본 실시형태는 제3 및 4질화물 반도체막 중 적어도 하나의 막두께는 인접하는 제3 또는 제4질화물 반도체들의 막두께와 상호 다르도록 할 수 있다. 예를들면, 제3질화물 반도체막을 AlGaN으로 구성하고 제4질화물 반도체막을 GaN으로 구성하는 경우, 인접하는 GaN층들 사이의 AlGaN층의 막두께를 활성층에 접근하는 거리의 감소에 따라 증가하거나 또는 감소하는 막두께를 가질 수 있으므로, 실질적으로 굴절률이 차례로 변하는 층을 형성할 수 있다. 즉, 실질적으로 조성의 경사가 있는 질화물 반도체층을 형성하는 것과 동일한 효과가 얻어진다. 따라서, 예를들어 레이저 소자와 같은 광도파관, 광유폐층을 필요로하는 소자에 있어서, 이러한 다층막층으로 광도파관, 유폐층을 겸용하여 레이저 광의 모드를 조정할 수 있다.

또한, 제3 또는 제4질화물 반도체막 중 하나, 또는 양쪽 모두의 3족 원소의 조성을 인접한 제3 또는 제4질화물 반도체막에서 서로 다르도록 할 수 있다. 예를들면, 제3질화물 반도체막을 AlGaN으로 구성하고, 제4질화물 반도체막을 GaN으로 구성하는 경우, GaN층들 사이에서 AlGaN층의 Al 조성은 활성층에 접근하는 거리가 감소함에 따라 증가하거나 감소될 수 있다. 그러한 경우, 상술된 바와 같이, 다층막층 내부에 있어서 굴절률을 변화시켜 실질적으로 조성의 경사가 있는 질화물 반도체층을 형성할 수 있다. 즉, Al 조성이 증가함에 따라 굴절률은 작아진다. 따라서, 목적에 따라 이러한 조성의 경사가 있는 층을 p층 측에 배치할 수 있다.

제3질화물 반도체막(8a)은 Al을 포함하는 질화물 반도체, 마람직하게는 3원 화합물인 $Al_aGa_{1-a}N(0<a<1)$으로 구성되고, 가장 바람직하게는 a값이 0.5 이하인 $Al_aGa_{1-a}N$으로 한다. a값은 0.5를 넘으면 결정성이 나빠져 크랙 형성이 용이해지는 경향이 있다. 한편, 제4질화물 반도체막(8b)은 제3질화물 반도체막(8a)과 조성이 다른 질화물 반도체막이 좋고 특히 한정하지는 않지만, 결정성이 좋은 제4질화물 반도체(8b)를 성장시키기 위해서는 제3질화물 반도체막 보다도 밴드갭 에너지가 작은 2원 화합물 또는 3원 화합물인 질화물 반도체를 성장시킨다. 이중 GaN으로 성장시키면 전체적으로 결정성이 좋은 다층막층이 성장할 수 있다. 따라서, 가장 바람직한 조합으로는 제3질화물 반도체막(8a)에서의 a값이 0.5 이하인 $Al_aGa_{1-a}N$과, 제4질화물 반도체막(8b)에서의 GaN의 조합이다.

더욱이, 제3질화물 반도체막(8a)의 막두께를 100옹스트롬 이하, 바람직하게는 70옹스트롬 이하, 가장 바람직하게는 50옹스트롬 이하로 한다. 동일하게 제4질화물 반도체막(8b)의 막두께도 100옹스트롬 이하, 바람직하게는 70옹스트롬 이하, 가장 바람직하게는 50옹스트롬 이하로 한다. 이와 같이 제3 및 제4질화물 반도체막의 막두께를 100옹스트롬 이하로 함으로써 상기 질화물 반도체의 탄성임계막두께 이하로 되는 막두께로 성장되는 경우에 두꺼운 막두께로 성장되는 경우와 비교하여 결정성이 좋은 질화물 반도체가 성장될 수 있다. 또한, 질화물 반도체층의 결정성이 좋아지므로, p형 불순물을 첨가한 경우에 캐리어 농도가 크고 저항율이 작은 p층이 얻어지고 소자의 Vf, 임계전류등을 저하시킬 수 있다.

제3질화물 반도체막(8a) 및 제4질화물 반도체막(8b)은 양쪽 모두 언도핑할 수 있고 양쪽 모두 p형 불순물이 도핑될 수도 있다. 또한 어느 한쪽에 p형 불순물이 도핑될 수 있다. 캐리어 농도가 높은 p층을 얻기 위해서는 변조도핑이 가장 바람직하다. 즉, 가장 먼저 설명된 언도핑의 경우는 막두께를 0.1㎛ 이하, 바람직하게는 700옹스트롬 이하, 보다 바람직하게는 500옹스트롬 이하로 한다. 양쪽 모두에 p형 불순물을 도핑하는 경우, 제3질화물 반도체막(8a)의 p형 불순물 농도와 제4질화물 반도체막(8b)의 p형 불순물 농도가 다를 수 있다.

이상의 실시형태1의 질화물 반도체소자는, p측 영역(40)에 p측 다층막층(8)을 형성하였지만, 본 발명은 이것에 한정되지 않고, 도2에 제시된 바와 같이 p측 다층막층(8)에 대신하여 단층의 p측 클래드층(18)과 p측 콘택트층(9)에 의해 정의된 p측 영역(41)이 구성된다.

변형예

이상의 실시형태 1은, LED 소자를 예로 설명하고 있으나, 본 발명은 이에 한정되지 않고 레이저 다이오드에 적용하여도 실시형태 1과 동일한 효과가 얻어지므로 더욱이 이하의 변형이 가능하다.

즉, LD 소자에 있어서, 예를들면 n측 다층막층은 InGaN으로 이루어진 제1질화물 반도체막과 GaN으로 이루어진 제2질화물 반도체막을 상호 적층함으로써 구성되고, 상기 제1질화물 반도체막의 막두께는 활성층에 대한 거리의 감소에 따라 순차적으로 증가하도록 구성된다. n측 다층막층을 이와 같이 구성함으로써 n측 다층막층에 있어서, 활성층에 가

까워 짐에 따라 GaN 보다 굴절률이 큰 InGaN의 비율을 증가시켜 n측 다층막층은 활성층에 대한 거리가 감소함에 따라 점차적으로 굴절률 이 커지는 굴절률 경사를 갖는다.

또한, LD 소자에 있어서, p측 다층막층을, AlGaN으로 이루어진 제3질화물 반도체막과 GaN으로 이루어진 제4질화물 반도체막을 서로 적층함으로 구성되고, 제3질화물 반도체막의 막두께를 활성층에 대한 거리가 감소함에 따라 점차적으로 더 얇아지도록 구성한다. p측 다층막층을 이와같이 구성함으로써, p측 다층막층에 있어서 활성층에 가까워 짐에 따라 굴절률이 적은 AlGaN의 비율을 감소시키고, p측 다층막층을 활성층에 가까워 짐에 따라 굴적율이 커지도록하는 굴절률 경사를 갖는 층으로 할 수 있다.

이상과 같이 구성된 LD 소자는, 실시형태 1과 같이, 각 질화물 반도체층의 결정성을 좋게 할 수 있으므로, 임계전압을 낮추고 동시에 출력을 향상시킬 수 있다.

또한 LD 소자는 활성층을 끼우도록 배치하는 n측 다층막 및 p측 다층막 모두, 활성층에 가까워 짐에 따라 굴절률이 커지게 되는 굴절률 경사를 갖는 층이 될 수 있으므로, 좋은 광도파관을 형성할 수 있고, 레이저광의 모드를 용이하게 효과적으로 조정할 수 있다.

이상의 예로서 LD 소자는, 제1 또는 제3질화물 반도체막의 막두께를 변화시킴에 의해 n측 및 p측 다층막층을 굴절률 경사층으로 하지만, 본 발명은 이것에 한정되지 않고 제2 및 제4질화물 반도체막의 막두께를 점차 변화시킴으로써 굴절률 경사층으로 할 수 있다.

또한, 본 발명에서, 제1 또는 제2질화물 반도체막 중 적어도 한쪽의 3족 원 소의 조성을, 인접한 제1 또는 제2질화물 반도체막과 같은 3족 원소의 조성을 순차적으로 변화시킴으로써 굴절률의 경사를 갖도록 할 수 있다. 예를들면, 제1 질화물 반도체막을 InGan으로 구성하고 제2질화물 반도체막을 GaN으로 구성하는 경우, 제1질화물 반도체막의 In의 비율을 활성층에 접근함에 따라 점차 많아지도록 하여, 활성층에 가까워 짐에 따라 굴절률을 크게할 수 있고, 마찬가지로 굴절률의 경사를 갖는 질화물 반도체층을 형성할 수 있다. 또한, GaInN에 있어서, In 조성이 증가함에 따라 굴절률이 커진다.

또한, p측 다층막층에서는, 제3 또는 제4질화물 반도체막중 적어도 한쪽의 3족 원소의 조성을 인접한 제3 또는 제4질화물 반도체막 사이에서 다르게 함으로써 굴절률 경사층을 형성할 수 있다. 예를들면, 제3질화물 반도체막을 AlGaN으로 구성하고 제4질화물 반도체막을 GaN으로 구성하는 경우, GaN 층들 사이에 AlGaN층의 Al 조성을 활성층에 인접함에 따라 점차 작아지도록 하여 p측 다층막층 내부에 있어서 굴절률을 점차 변화시키고 실질적으로 조성의 경사가 있는 질화물 반도체층을 형성할 수 있다. 또한, Al조성이 증가함에 따라 굴절률은 작아진다. 따라서 목적에 의하여, 이러한 조성의 경사가 있는 층을 p층측에 배치할 수 있다.

실시형태 2

이하, 도 4를 참고로 하여, 본 발명에 관한 실시형태 2의 질화물 반도체 소자에 대해 설명한다.

본 발명에 관한 실시형태 2의 질화물 반도체 소자는 기판 1위에, 각각의 복수개의 질화물 반도체층으로 구성된 n측 영역(130), p측 영역(140) 및 상기 n측 영 역(130)과 p측 영역(140) 사이에 끼운 다중 양자 우물 구조의 활성층(7)을 구비한 더블 헤테로구조의 광방출 소자이다.

보다 상세하게, 본 실시형태 2에 따른 질화물 반도체 소자에서, 상기 n측 영역 (130)은 도 4에 도시된 바와 같이, 버퍼층(102), 언도핑 GaN층(103), n형 불순물을 포함하는 n측 콘택트층(4), n형 불순물을 포함하는 n측 제1다층막층(105), 제1질화물 반도체막(106a), 및 제2질화물 반도체막(106b)으로 이루어진 n측 제2다층막층으로 이루어진다. 상기 p측 영역(140)은 다층막 또는 단층으로 이루어진 p측 클래드 층(108)과 Mg 도핑 p측 GaN 콘택트층(9)으로 이루어진다. 또한, 실시형태 2의 질화물 반도체 소자에 있어서, n측 콘택트층(4) 위에 n전극(12), p측 콘택트층(9) 위에 p전극(11)이 각각 형성된다.

더욱이, 도4에서는, p측 클래드층(108)으로서, 제3질화물 반도체(108a) 및 제4질화물 반도체막(108b)이 적층된 다층막을 사용하는 예를 보이고 있다.

본 발명에 있어서, 기판(1)으로서는, 사파이어 C면, R면 또는 A면을 주면으로 한 사파이어, 이외에 스핀넬($MgAl_2O_4$)과 같은 절연성 기판 또는 SiC(6H, 4H, 3C를 포함함), Si ZnO, GaAs, GaN 등의 반도체 기판을 이용할 수 있다.

본 발명에 있어서, 버퍼층(102)은 $Ga_dAl_{1-d}N$(d는 $0<d\leq1$)으로 이루어진 질화물 반도체로 구성된다. Al의 비율이 작을수록 결정성이 현저하게 개선되므로 Al이 작은 질화물 반도체의 사용이 바람직하고 따라서 버퍼층(102)을 위한 물질로서 GaN의 사용이 가장 바람직하다.

상기 버퍼층(102)의 막두께는 0.002 내지 0.5㎛, 바람직하게는 0.005 내지 0.2㎛, 보다 바람직하게는 0.01 내지 0.02㎛의 범위로 조정한다. 버퍼층(102)의 막두께가 상기 범위에 있다면, 질화물 반도체의 결정 몰포로지(morphology)가 좋아지고, 버퍼층(102) 위에 성장시킨 질화물 반도체의 결정성이 개성된다.

버퍼층(102)의 성장온도는, 200 내지 900℃이고, 바람직하게는 400 내지 800℃의 범위로 조정한다. 성장온도가 상기 범위라면 상기 버퍼층(102)은 좋은 다결정이 되고, 상기 다결정은 종결정으로서 사용되어 버퍼층(102) 위에 성장되는 질화물 반도체의 결정성을 좋게 할 수 있다.

또한, 이와 같이 저온에서 성장되는 버퍼층(102)은 기판의 종류, 성장방법 등에 대해서는 생략하여도 좋다.

다음, 본 실시형태 2에 있어서는, 언도핑 GaN층(103)은 성장하는 동안 n형 불순물을 첨가하지 않고 성장시킨 층이다. 버퍼층(102) 위에 상기 언도핑 GaN층(103)을 성장시키면 언도핑 GaN층(103)의 결정성이 좋아지고, 언도핑 GaN층(103) 위에 성장시킨 n측 콘택트층(4) 등의 결정성을 좋게 할 수 있다. 언도핑 GaN층(103)의 막두께는 0.01㎛ 이상, 바람직하게는 0.5㎛이상이고, 보다 바람직하게는 1㎛ 이상이다. 상기 언도핑된 GaN층(103)이 상기 특정된 막두께이면, 상기 언도핑 GaN층(103) 위에 연속적으로 성장되는 다양한 층이 좋은 결정성을 가질 수 있다. 온도핑된 GaN층(103)의 막두께에 대한 상측한계는 필수적이지 않으므로 특정되지 않음에도 불구하고, 제조효율면에서 적절히 선택되어야 한다.

다음, 본 실시형태 2에 있어서, n형 불순물을 포함하는 n측 콘택트층(4)는 n 형 불순물을 3×10^{18} /㎤ 이상, 바람직하게는 5×10^{18} /㎤ 이상의 농도로 포함한다. 이와 같이 n형 불순물을 많이 도핑하여 상기 층을 n측 콘택트층으로 사용하면, Vf 및 임계전류를 저하시킬 수 있다. 불순물 농도가 상기 범위를 벗어나면 Vf가 거의 낮아지지 않을 것이다. 또한, n측 콘택트층(4)은, n형 불순물 농도가 작은 결정성 좋은 언도핑된 GaN층(103) 위에 형성되면, 고농도의 n형 불순물을 함유함에도 불구하고 좋은 결정성을 가질 수 있다. 본 발명이 n측 콘택트층(4)에서 n형 불순물의 농도의 상한을 한정하지 않았음에도 불구하고 좋은 콘택트층으로서의 기능을 갖도록 결정성을 보유하기 위해서 상기 상한은 5×10^{21} /㎤ 이하로 하는 것이 바람직하다.

상기 n측 콘택트층(4)은 한정되지는 않지만 $In_eAl_fGa_{1-e-f}N(0\leq e, 0\leq f, e+f\leq 1)$으로 구성할 수 있다. 그러나, GaN 또는 f는 0.2 보다 크지 않은 $Al_fGa_{1-f}N$을 사용하면 최소화된 결정결함을 갖는 질화물 반도체층이 용이 하게 얻어질 수 있다는 잇점이 있다. 상기 n측 콘택트층(4)은 한정되지는 않지만 결과적으로 n측 전극이 적층되는 베이스를 제공하므로, 상기 n측 콘택트층의 막두께는 0.1 내지 20㎛, 바람직하게는 0.5 내지 10㎛, 및 보다 바람직하게는 1 내지 5㎛이다. 상기 n측 콘택트층(4)의 막두께가 상기 범위 내에 있다면, 저항이 낮아질 수 있고 따라서 발광소자의 순방향 전압을 낮게 할 수 있다.

또한, n측 콘택트층(4)은, 후술하는 n측 제2다층막층(105)을 비교적 두꺼운 막으로 형성하여 콘택트층으로 사용하는 경우는, 생략할 수 있다.

다음, 본 실시형태 2에 있어서, n측 제1다층막층(105)은, 각각 다른 농도로 n형 불순물로 도핑되는 적어도 두 개의 질화물 반도체막을 포함하는 적층구조이다. 이때, 상기 적어도 두 개의 질화물 반도체막은 서로 다른 각각의 밴드갭이거나 동일 조성일 수 있다. 상기 n측 제1다층막층(105)의 막두께는 2㎛ 이하, 바람직하게는 1.5㎛이하, 보다 바람직하게는 0.9㎛이하이다. 상기 n측 제1다층막층(105)의 막두께가 상기 범위이면, 발광출력이 향상될 수 있다. 또한 하한이 특정하게 한정되지는 않지만, 예를들면 0.05㎛ 이상이다.

상기 다층막층을 구성하는 질화물 반도체층의 서로 불순물 농도가 다른 것을 변조도핑이라 칭하고, 이 경우, 한쪽층이 불순물을 도핑되지 않은 상태, 즉 언도핑이 바람직하다.

또한, 상기 n측 제1다층막층(105)이 서로 밴드갭 에너지가 다른 적어도 2종류의 질화물 반도체층을 적층하여 이루어진 다층막인 경우에 대하여 설명한다.

n측 제1다층막층(105)의 다층막층을 구성하는 밴드갭 에너지가 큰 질화물 반도체층(105a) 및 밴드갭 에너지가 작은 질화물 반도체층(105b)의 막두께는 100옹스트롬 이하, 보다 바람직하게는 70옹스트롬 이하, 가장 바람직하게는 10 내지 40옹스트롬 범위의 막두께로 조정한다. 100옹스트롬 보다도 두꺼우면 밴드갭 에너지가 큰 질화물 반도체층 및 밴드갭 에너지가 작은 질화물 반도체층이 임계탄성두께 이상의 두께로 되고 막 중 매우 작은 크랙 또는 결정 결함의 발생이 용이한 경향이 있다. 밴드갭 에너지가 큰 질화물 반도체층, 밴드갭 에너지가 작은 질화물 반도체 층의 막두께의 하한은 특정하게 한정되지는 않지만 1원자층 이상에 해당하는 값이거나 보다 바람직하게는 상술된 바와 같이 10옹스트롬 이상일 수 있다.

상기와 같이 n측 제1다층막층(105)은 각각의 막두께가 얇은 다층막 구조로 이루어지면, 상기 다층막층을 구성하는 질화물 반도체층의 각막 두께를 탄성임계두께 이하로 할 수 있고 결정결함이 최소화된 질화물 반도체가 성장할 수 있

다. 더욱이, 상기 다층막층에서 기판으로부터 언도핑된 GaN층(103) 및 n측 콘택트층(4)을 통하여 발생하는 결정결함을 어느 정도 한정할 수 있고, 다층막층의 위에 성장된 n측 제2다층막층(106)의 결정성을 좋게 할 수 있다. 더욱이, HEMT와 유사한 효과도 있다.

밴드갭 에너지가 큰 질화물 반도체층(105a)은, 적어도 Al을 포함하는 질화물 반도체, 바람직하게는 $Al_gGa_{1-g}N(0<g\leq1)$을 성장시킨 질화물 반도체가 바람직하다. 한편, 밴드갭 에너지가 작은 질화물 반도체(105b)는 밴드갭 에너지가 큰 질화물 반도체(105a) 보다 밴드갭 에너지가 작은 질화물 반도체로 이루어지도록 하는 것이 좋으나, 바람직하게는 $Al_hGa_{1-h}N(0\leq h<1, g>h)$, $In_jGa_{1-j}N(0\leq j<1)$과 같은 2원 화합물, 3원 화합물의 질화물 반도체가 성장하기 용이하고 또한 결정성이 좋은 것이 얻어진다. 그중에도 특히 바람직하게는 밴드갭 에너지가 큰 질화물 반도체(105a)는 실질적으로 In을 함유하지 않는 $Al_gGa_{1-g}N(0<g<1)$으로 구성되고, 밴드갭 에너지가 작은 질화물 반도체(105b)는 실질적으로 Al을 함유하지 않는 $In_jGa_{1-j}N(0\leq j<1)$으로 구성된다. 이중에도 결정성이 우수한 다층막층을 얻기 위해서는, Al의 혼성비(g값)가 0.3이하의 $Al_gGa_{1-g}N(0<g\leq0.3)$과 GaN의 조합이 가장 바람직하다.

또한, n측 제1다층막층(105)이 광유폐층 및 캐리어유폐층으로 사용될 수 있는 클래드 층으로 기능하는 경우, 활성층의 우물층보다도 밴드갭 에너지가 큰 질화물 반도체를 성장시킬 필요가 있다. 더 큰 밴드갭 에너지를 갖는 질화물 반도체층은 Al 조성비가 더 높은 질화물 반도체이다. 종래 Al 조성비가 높은 질화물 반도체를 막두께로 성장시키면 크랙이 용이하게 발생하기 때문에 결정성장이 어려웠다. 그러나, 본 발명에 따른 n측 제1다층막층(10)을 다층막층으로 하면, 다층막층을 구성하는 각각의 질화물 반도체층(105a, 105b)을 Al 조성비가 다소높은 층으로 하여도, 탄성임계 막두께 이하의 막두께로 성장되기 때문에 크랙이 발생하지 않는다. 이러한 이유로, Al 조성비가 높은 층을 결정성이 좋게 성장시킴으로써 광유폐층, 캐리어 유폐 효과를 높게 하고, 레이저 소자에서는 임계 전압, LED 소자에서는 Vf(순방향 전압)를 저하시킬 수 있다.

더욱이, 상기 n측 제1다층막층(105)의 밴드갭 에너지가 큰 질화물 반도체층(105a)과 밴드갭 에너지가 작은 질화물 반도체층(105b) 사이의 n형 불순물 농도는 다른 것이 바람직하다. 이것은 소위 변조 도핑이라고 칭하므로, 한쪽층의 n형 불순물 농도를 조금, 바람직하게는 불순물을 도핑하지 않은 상태(언도핑)로서, 더욱 한쪽을 고농도로 도핑한면, 임계전압, Vf 등을 저하시킬 수 있다. 이것은 다층막층 내에 낮은 불순물 농도층을 포함함으로써 상기 층의 전자이동도가 증가하기에 효과적이고 다중막층에 불순물 농도가 고농도인 층도 동시에 존재함으로써 캐리 어 농도가 높은 다층막층의 형성을 향상시키기 때문이다. 즉, 불순물 농도가 낮고 이동도가 높은 층, 불순물 농도가 높고 캐리어 농도가 큰 층이 동시에 존재함에 의해 캐리어 농도가 크고 이동도가 큰 층이 클래드 층으로 역할하므로, 임계 전압, Vf의 저하에 기여한다.

밴드갭 에너지가 큰 질화물 반도체층(105a)에 n형 불순물을 많이 도핑하는 경우, 밴드갭 에너지가 큰 질화물 반도체층(105a)에 바람직한 도핑양은, $1\times10^{17}/㎤$ 내지 $1\times10^{20}/㎤$, 보다 바람직하게는 $1\times10^{18}/㎤$ 내지 $5\times10^{19}/㎤$ 범위로 조정한다. $1\times10^{17}/㎤$ 보다 작으면, 밴드갭 에너지가 작은 질화물 반도체층과의 차가 작아져, 캐리어 농도가 큰 층이 얻어지는 경향이 있고 또한 $1\times10^{20}/㎤$ 보다 크면, 소자 자체의 리크 전류가 많아지기 쉬운 경향이 있다. 한편, 밴드갭 에너지가 작은 질화물 반도체층의 n형 불순물 농도는 밴드갭 에너지가 큰 질화물 반도체층보다 작은 것이 좋고, 바람직하게는 1/10 이상 작은 것이 바람직하다. 가장 바람직하게는 언도핑하면 이동도가 가장 높은 층이 얻어지지만, 막두께가 너무 얇아서 상기 질화물 반도체막(105a)는 밴드갭 에너지가 큰 질화물 반도체측으로부터 내부로 확산되는 n형 불순물을 포함할 것이고, 상기 불순물의 양은 $1\times10^{19}/㎤$ 이상이 바람직하다. 상기 n형 불순물로는, 막두께가 Si, Ge, Si O 등의 주기율표 제IV B족, VI B족 원소를 선택하고, 바람직하게는 Si, Ge, S를 n형 불순물로 한다. 상기 작용은, 밴드갭 에너지가 큰 질화물 반도체층에 n형 불순물을 작게 도핑하고, 밴드갭 에너지가 작은 질화물 반도체층에 n형 불순물을 많이 도핑하는 경우도 같다.

이상, 다층막층에 불순물을 바람직하게 변조도핑하는 경우에 대하여 설명하였지만, 밴드갭 에너지가 큰 질화물 반도체층(105a)과 밴드갭 에너지가 작은 질화물 반도체층(105b)의 불순물의 농도를 같게 할 수 있다.

더욱이 n측 제1다층막층(105)의 다층막을 구성하는 질화물 반도체층(105a, 105b)에 있어서, 불순물이 고농도로 도핑되는 층은, 두께방향을 따라 반도체층 중심부 근처에서 불순물 농도가 크고 양단부 근처에서 불순물 농도가 작게 되는 것(더욱 바람직하게는 언도핑)이 바람직하다. 구체적으로 설명하면, 예를들면, n형 불순물로는 Si를 도핑한 AlGaN과 언도핑된 GaN층으로 다층막층을 형성하는 경우, AlGaN은 Si로 도핑되어 있어 도너로서 전자를 도전대로 내보내지만, 이 전자는 포텐셜이 AlGaN보다 낮은 GaN의 도전대로 떨어진다. GaN 결정 중에는 도너 불순물을 도핑하지 않기 때문에, 캐리어는 불순물 존재시 산란되지 않을 것이다. 이러한 이유로, 상기 전자는 GaN 결정에서 실질적으로 높은 전자 이동도로 용이하게 움직일 수 있다. 이러한 현상은 2차원 전자 가스에서 발생하는 것과 유사하고 전자이동도를 측면 방향에서 더 높게하고 저항력을 더 낮게 한다. 또한, 밴드갭 에너지가 큰 AlGaN의 중심영역에 n형 불순물을 고농도로 도핑하면 효과가 더욱 커진다. 즉, GaN막에서 이동하는 전자는 AlGaN에 함유된 n형 불순물 이온(이 경우 Si)의 산란에 의해 영향받을 것이다. 그러나, AlGAN층의 막두께 방향에 대한 양단부를 언도핑하면 Si의 산란을 받게 되므로, 언도핑된 GaN층의 전자 이동도가 향상될 수 있다.

다음, n측 제1다층막층(105)이, 동일 조성의 질화물 반도체층이 적층되어 이 루어지고 n형 불순물이 상기 질화물 반도체 층 사이에 다른 농도로 도핑되는 경우에 대하여 설명한다.

우선, n측 제1다층막층(105)을 구성하는 질화물 반도체로서는, 특정한 조성으로 한정되는 것은 아니지만, 동일 조성인 것이 좋고, 바람직한 재료로는 GaN이 있다. n측 제1다층막층(105)이 GaN으로 구성되면, 2원 화합물인 GaN은 3원 화합물일 때 보다 결정성이 좋게 성장할 수 있어 결과적으로 성장된 질화물 반도체의 결정성에도 기여할 수 있다.

본 실시형태 2에 있어서, n측 다층막층(105)은 n형 불순물을 함유하는 GaN으로 이루어진 질화물 반도체층(105a)과 상기 질화물 반도체층(105a)과 다른 n형 불순물 농도를 갖는 GaN으로 이루어진 질화물 반도체층(105b)을 적층하여 다층막을 이용할 수 있다. 이 경우, 질화물 반도체층(105a, 105b) 중 어느 한층이 언도핑되는 것이 바람직하다.

이와 같이 동일한 조성으로 n형 불순물의 도핑량이 서로 다르게 변조도핑한 2종류의 질화물 반도체층으로 이루어진 n측 제1다층막층을 이용하여도, 밴드갭 에너지가 다르고 동시에 변조 도핑된 적어도 2종류의 층으로 구성된 n측 제1다층막층(105)의 경우와 동일한 작용 효과가 얻어진다.

n측 불순물의 농도는 1×10^{17} 내지 1×10^{21} /㎤, 바람직하게는 1×10^{18} 내지 1×10^{19} /㎤, 보다 바람직하게는 3×10^{18} 내지 7×10^{18} /㎤이다. 또한, 본발명에 있어서, n측 제1다층막층(105)의 막두께는 특별하게 한정되지는 않지만, 1000내지 4000옹스 트롬, 바람직하게는2000 내지 3000옹스트롬으로 한다. 또한 다층막층을 구성하는 각층의 막두께는 500옹스트롬 이하, 바람직하게는 200옹스트롬 이하, 보다 바람직하게는 100옹스트롬 이하로 한다. 또한, 다층막을 구성하는 각층의 막두께의 하한은 특정하게 한정되지는 않으나, 1원자층 이상으로 하는 것이 좋고, 10옹스트롬 이상으로 하는 것이 바람직하다. 상기와 같은 막두께라면, 결정성이 좋게 성장될 수 있고 발광출력을 향상시킬 수 있다.

또한, 이상 설명한 바와 같이, 밴드갭 에너지가 다르거나 또는 동일 조성이고 불순물 농도가 다른 2종류 이상의 층으로 이루어진 n측 제1다층막층(105)은 n측 콘택트층을 겸할 수 있다. 이 경우, n측 제1다층막층(105)의 막두께는 0.5 내지 4㎛, 바람직하게는 1 내지 3㎛, 보다 바람직하게는 2 내지 2.8㎛로 한다.

이경우의 n측 제1다층막층(105)의 막두께는 상기 적어도 2종류 이상의 질화물 반도체층이 적층된 수 및/또는 상기 적층된 질화물 반도체막 각각의 막두께에 의해 조정된다. 또한, 이경우의 n측 제1다층막층(105)을 구성하는 각 질화물 반도체막 두께는, 상기 범위의 두께를 갖는 박막층으로 구성될 수 있고, 또는 전체 막두께가 n측 콘택트층으로 역할하는 n측 제1다층막층(105)에 대해 상술된 바와 같이 상기 막두께의 범위라면 각 막두께는 적어도 2종류의 질화물 반도체막 각각의 수와 두께에 의해 조정될 수 있다.

또한, 본 실시형태에서는, 도 4에 나타낸 바와 같이, 활성층(7)의 하부에 위치한 n측 영역(130)에, In을 포함하는 제1질화물 반도체막(106)과 상기 제1질화물 반도체막(106a)과 다른 조성을 갖는 제2질화물 반도체막(106b)이 적층된 n측 제2다 층막층(106)을 갖는다. n측 제2다층막층(106)에 있어서, 제1질화물 반도체막(106a), 제2질화물 반도체막(106b)은 각각 적어도 한층 이상 형성하여 전체 2층 이상, 바람직하게는 3층 이상, 보다 바람직하게는 각각 적어도 2층 이상 적층하여 전체 4층 이상 적층하는 것이 바람직하다.

n측 제2다층막층(106)이 활성층(7)에 접하게 형성되는 경우, 활성층(7)의 최초 층(우물층, 또는 장벽층)과 접하는 층은 제1질화물 반도체막(106a) 및 제2질화물 반도체막(106b) 중 어느 하나일 수 있고, n측 제2다층막층(106)의 적층 순서는 임의적으로 선택될 수 있다. 또한, 도4에서는 n측 제2다층막층(106)이 활성층(7)에 접하여 형성되지만, 상기 n측 제2다층막층(106)과 활성층(7) 사이에 다른 n형 질화물 반도체로 이루어진 층을 가질 수 있다.

본 실시형태 2에 있어서, n측 제2다층막층(106)에 있어서, 상기 제1질화물 반도체막(106a), 또는 상기 제2질화물 반도체막(106b) 중 적어도 한쪽의 막두께는 100옹스트롬 이하로 하는 것이 바람직하다. 또한, 보다 바람직하게는 제1질화물 반도체막(106a) 및 제2질화물 반도체막(106b) 모두를 100옹스트롬 이하, 더욱 바람직하게는 70옹스트롬 이하, 가장 바람직하게는 50옹스트롬 이하로 한다. 이와 같이 막두께를 얇게 함으로써, n측 제2다층막층(106)이 초격자 구조로 되어 n측 제2다층막층(106)의 결정성을 좋게 할 수 있으므로, 출력을 향상시킬 수 있다.

이와 같이, 상기 n측 제1다층막층(105)과, 상기 n측 제2다층막층(106)을 조합하면, 바람직하게 발광출력을 보다 향상시킬 수 있고 순방향전압(Vf)을 보다 저하시킬 수 있다. 그 이유는 아직 분명하게 정해지지는 않았지만, n측 제2다층막층(106) 위에 성장된 활성층의 결정성을 보다 좋게 할 수 있기때문으로 생각된다.

제1질화물 반도체막은 In을 포함하는 질화물 반도체, 바람직하게는 3원 화합물인 $In_kGa_{1-k}N(0<k<1)$으로 구성하고, 더욱 바람직하게는 k가 0.5 이하인 $In_kGa_{1-k}N$, 가장 바람직하게는 k가 0.2 이하인 $In_kGa_{1-k}N$으로 구성한다. 한편, 제2질화물 반도체막은 제1질화물 반도체막과 조성이 다른 질화물 반도체가 좋고, 특정하게 한정되지는 않지만, 결정성이 좋은 제2질화물 반도체를 성장시키기 위해서, 제1질화물 반도체보다 밴드갭 에너지가 큰 2원소 화합

물 또는 3원소 화합물의 질화물 반도체를 성장시킨다. n측 제2다층막층(106)에 있어서, 제2질화물 반도체막(106b)은 바람직하게는 $In_mGa_{1-m}N(0\leq m<1, m<k)$으로 구성하고, 전체 결정성이 좋은 다층막층을 성장시키기 위해서 가장 바람직하게는 GaN으로 구성한다. 따라서, 가장 바람직한 조합은 제1질화물 반도체막으로 k가 0.5이하인 $In_kGa_{1-k}N$를 사용하고, 제2질화물 반도체막으로는 GaN과 조합하여 구성된다.

또한, 상기 제1질화물 반도체막(106a) 또는 상기 제2질화물 반도체막(106b) 중 적어도 하나의 막두께는 인접한 제1질화물 반도체막(106a) 또는 제2질화물 반도체막(106b)들이 서로 다르거나 같아도 좋다. 또한, 막두께가 인접한 층들끼리 서로 다르면제1질화물 반도체막(106a) 또는 제2질화물 반도체막(106b)을 복수개 층으로 적층한 다층막층을 형성하는 경우에, 제2질화물 반도체막(106b)(제1질화물 반도체막(106a))을 끼운 제1질화물 반도체막(106a)(제2질화물 반도체막(106b)의 막두께가 서로 다르다는 것을 의미한다.

예를들면, 제1질화물 반도체막(106a)을 InGaN으로 구성하고, 제2질화물 반도체막(106b)을 GaN으로 구성한 경우, GaN층 사이의 InGaN층의 막두께가 활성층에 접근하면서 점차로 두꺼워지거나 또는 얇아짐에 의해 다층막층 내부의 굴절률이 변화하기 때문에, 실질적으로 굴절률이 점차 변화하는 층을 형성할 수 있다. 즉, 실질적으로 조성의 경사가 있는 질화물 반도체층을 형성하는 것과 동일한 효과를 얻을 수 있다. 이러한 이유로, 레이저 소자와 같이 광도파관을 필요로 하는 소자에 있어서, 상기 다층막층에 광도파관을 형성하여 레이저광의 모드를 조정할 수 있다.

또한, 상기 제1질화물 반도체막(106a) 또는 상기 제2질화물 반도체막(106b) 중 적어도 어느 하나의 3족 원소의 조성이 인접한 제1질화물 반도체막(106a) 또는 제2질화물 반도체막(106b)의 조성과 다를 수 있다. 이것은 제1질화물 반도체막(106a) 또는 제2질화물 반도체막(106b)을 복수개 층으로 적층하여 다층막층을 형성한 경우에, 제2질화물 반도체막(106b)(제1질화물 반도체막(106a))을 끼운 제1질화물 반도체막(106a)(제2질화물 반도체막(106b)) 의 3족 원소의 조성비가 서로 다르다는 것을 의미한다.

예를들면, 동일한 3족 원소가 다른 조성으로 사용되면, 제1질화물 반도체막(106a)이 InGaN으로 구성되고 제2질화물 반도체막(106b)가 GaN으로 구성되는 경우, GaN층 사이에 끼워진 InGaN층의 In 조성을 활성층에 가까워 짐에 따라 점차 커지거나 작아지도록 함에 의해, 상술한 것과 동일한 방법으로 다층막층 내부에 굴절률을 변화시켜 실질적으로 조성 경사가 있는 질화물 반도체층을 형성할 수 있 다. 즉, In 조성이 감소함에 따라 굴절률은 작아지는 경향이 있다.

또한 n측 제2다층막층(106)에 있어서, 제1질화물 반도체막(106a) 및 제2질화물 반도체막(106b)은 모두 언도핑될 수도 있고, n형 불순물이 도핑될 수도 있으며, 또는 어느 한쪽에 불순물이 도핑될 수도 있다. 결정성을 좋게 하여 출력을 향상시키기 위해서는, 언도핑이 가장 바람직하고, 다음 제1질화물 반도체막(106a) 또는 제2질화물 반도체막(106b) 중 한쪽에 n형 불순물이 도핑되는 변조도핑이 바람직하며, 그 다음은 양쪽 모두 도핑하는 순서이다.

n형 불순물이 상기 막 모두에 도핑되는 경우, 제1질화물 반도체막(106a)의 n형 불순물 농도와 제2질화물 반도체막(106b)의 n형 불순물 농도는 서로 다를 수 있다.

n형 불순물로는, 바람직하게는 Si, Ge, Sn, S 등의 IV족, VI족 원소를 선택하고 보다 바람직하게는 Si, Sn을 사용한다.

'언도핑' 용어는 의도적으로 불순물을 도핑하지 않는 상태를 지적하는 것으로, 예를들면 인접한 질화물 반도체층으로부터 확산에 의해 혼입되는 불순물도 본 발명에서는 언도핑이라고 한다. 즉, 확산에 의해 혼입되는 불순물은 층 내에서 불순물 농도에 구배가 생기는 경우가 많다.

또한, 제1질화물 반도체막(106a) 및/또는 제2질화물 반도체막(106b)에 n형 불순물을 도핑하는 경우, 불순물 농도는 $5\times10^{21}/cm^3$ 이하, 바람직하게는 $1\times10^{20}/cm^3$ 이하로 조정한다. $5\times10^{21}/cm^3$ 보다 많으면 질화물 반도체층의 결정성이 나빠지고, 출력이 저하하는 경향이 있다. 이것은 변조도핑으 경우에도 같다.

더욱이, n측 제2다층막층(106)에 있어서, 제1 및 제2질화물 반도체막의 막두께를 100옹스트롬 이하, 바람직하게는 70옹스트롬 이하, 보다 바람직하게는 50옹스트롬 이하로 한다. 단일 질화물 반도체층의 막두께를 100옹스트롬 이하로 함으로써, 질화물 반도체 단일 층이 탄성임계막두께 이하의 두께를 가지므로, 두꺼운 막과 비교하여 좋은 결정성을 갖는 질화물 반도체가 성장될 수 있다. 또한, 상기 막의 두께를 모두 70옹스트롬이하로 하면, n측 제2다층막층(6)이 초격자(다층막) 구조로 되고 이러한 결정성이 좋은 다층막 구조의 위에 활성층을 성장시키면, n측 제2다층막층(6)이 버퍼층과 같은 작용을 하여, 활성층이 결정성 좋게 성장할 수 있다.

본 실시형태 2에 있어서, 다중 양자 우물 구조의 활성층(7)은 In 및 Ga을 포함하는 질화물 반도체, 바람직하게는 $In_aGa_{1-a}N(0\leq a<1)$으로 형성되고, n형 또는 p형 불순물로 도핑될 수 있으나, 언도핑(불순물 첨가안함)에 의해 밴드와 밴드간 강한 발광이 얻어져서 발광 파장의 반치폭이 좁게 되어 바람직하다. 활성층(7)에 p형 불순물을 도핑하면, 밴드 사이 발광 피크 파장 보다 약 0.5eV 낮은 에너지쪽으로 피크 파장을 쉬프트 시킬 수 있으나, 폭이 절반 증가할 것이다. 활성층에 p형 불순물과 n형 불순물 모두를 도핑하면, 상술한 p형 불순물 만을 도핑한 활성층의 발광 강도를 더욱 크

게 할 수 있다. 특히 p형 도펀트를 도핑한 활성층을 형성하는 경우, 활성층의 도전형은 Si 등의 n형 도펀트를 도핑함으로써 전체를 n형으로 하는 것이 바람직하다. 결정성이 좋은 활성층을 성장시키기 위해서는 전혀 도핑하지 않는 것이 바람직하다.

활성층(7)의 장벽층과 우물층의 적층순서는 특정하게 정해지지는 않으나 우물층부터 적층하여 우물층으로 끝날 수도 있고, 우물층부터 적층하여 장벽층으로 끝날 수도 있다. 또한, 장벽층부터 적층하여 장벽층으로 끝날 수도 있고, 장벽층부터 적층하여 우물층으로 끝날 수도 있다. 우물층의 막두께는 100옹스트롬 이하, 바람직하게는 70옹스트롬 이하, 보다 바람직하게는 50옹스트롬 이하로 조정한다. 본 발명에 있어서, 우물층의 막두께의 하한은 특정하게 한정되지는 않지만, 1원자층 이상, 바람직하게는 10옹스트롬 이상으로 한다. 우물층이 100옹스트롬 보다 두꺼우면 출력이 향상이 어려운 경향이 있다.

한편, 장벽층의 막두께는 2000옹스트롬 이하, 바람직하게는 500옹스트롬 이하, 보다 바람직하게는 300옹스트롬 이하로 조정한다. 본 발명은 장벽층의 막두께의 하한을 한정하지는 않지만, 1원자층 이상, 바람직하게는 10옹스트롬 이상으로 한다. 장벽층이 상기 범위이면 출력 향상이 용이하다. 더욱이, 본 발명은 활성층(7) 전체의 막두께를 특정하게 한정하지는 않지만, LED 소자 등의 바람직한 파장 등을 고려하여, 장벽층 및 우물층의 각 적층수와 적층 순서를 조정하여 활성층(7)의 총막두께를 조정한다.

본 실시형태 2에 있어서, p측 클래드층은, 밴드갭 에너지가 큰 제3질화물 반도체막(108a)과 제3질화물 반도체막(108a)보다 밴드갭 에너지가 적은 제4질화물 반도체막(108b)이 적층되고, 상기 제3질화물 반도체막과 제4질화물 반도체막은 p형 불순물을 서로 같거나 다른 농도로 포함한다. 그러나, 본 발명에서 p형 클래드층은 p형 불순물을 포함하는 $Al_bGa_{1-b}N(0\leq b\leq 1)$으로 이루어진 단일 층의 형태로 사용될 수 있다.

p측 클래드층이 다층막구조(초격자구조)를 갖는 p측 다층막 클래드층(108)의 경우에 대하여 다음에 설명한다.

p측 다층막 클래드층(108)의 다층막층을 구성하는 제3 및 제4질화물 반도체막(108a, 108b)의 막두께는 100옹스트롬 이하, 보다 바람직하게는 70옹스트롬 이하, 가장 바람직하게는 10 내지 40옹스트롬 이하의 막두께로 조정되며, 상기 제3 및 제4질화물 반도체막(108a, 108b)의 막두께를 서로 다르거나 다를 수 있다. 다층막 구조의 각각의 막두께가 상기 범위이면, 각 질화물 반도체의 막두께가 탄성 임게 두께 이하로 되고, 두꺼운 막으로 성장시킨 경우와 비교하여 결정성이 좋은 질화물 반도체가 성장할 수 있고 또한 질화물 반도체층의 결정성이 향상되므로, p형 불순물을 첨가한 경우에 캐리어 농도가 커져 저항율이 작은 p층이 얻어지고, 소자의 Vf, 임계전류가 쉽게 낮아지는 경향이 있다. 이러한 막두께의 2 종류의 층을 한쌍으로 하여 복수회 적층하여 다층막층을 형성한다. 따라서, p측 다층막 클래드층(108)의 전체 막두께의 조정은 상기 제3 및 제4질화물 반도체막의 각각의 막두께를 조정하고 적층회수를 조정함으로써 행해진다. p측 다층막 클래드층(108)의 전체 막두께는 특정하게 한정되지는 않지만, 2000옹스트롬 이하, 바람직하게는 1000옹스트롬 이하, 보다 바람직하게는 500옹스트롬 이하로 하고, 전체 막두께가 이범위이면, 발광출력을 높게 할 수 있고 순방향전압(Vf)을 낮출 수 있다.

제3질화물 반도체(108a)는 적어도 Al을 함유하는 질화물 반도체, 바람직하게는 $Al_nGa_{1-n}N(0<n\leq 1)$을 성장시키고, 제4질화물 반도체(108b)는 바람직하게는 $Al_pGa_{1-p}N(0\leq p<1, n>p)$, $In_rGa_{1-r}N(0\leq r\leq 1)$ 등의 2원 화합물, 3원 화합물 반도체를 성장시킬 수 있다.

p측 클래드층을 초격자 구조인 p측 다층막 클래드층(108)으로 하면, 결정성을 좋게 할 수 있고, 저항률을 저하시킬 수 있으며, Vf를 저하시킬 수 있다.

p측 다층막 클래드층(108)의 제3질화물 반도체막(108a)과 제4질화물 반도체막(108b)의 p형 불순물 농도는 다르고, 한쪽 층의 불순물 농도를 크게, 다른 한층의 농도를 작게한다. n측 제1다층막층(5)과 같이, 밴드갭 에너지가 큰 제3질화물 반도체막(108a)의 p형 불순물 농도를 크게 하여, 밴드갭 에너지가 작은 제4질화물 반도체막(108b)의 p형 불순물 농도를 작게 또는 언도핑하면, 임계전압, Vf 등을 저하시킬 수 있다. 또한 그 반대도 가능하다. 결국, 밴드갭 에너지가 큰 제3질화물 반도체막(108a)의 p형 불순물 농도를 작게하여 밴드갭 에너지가 작은 제4질화물 반도체막(108b)의 p형 불순물 농도를 크게 할 수도 있다.

제3질화물 반도체막(108a)에 바람직한 도핑량은 1×10^{18} /㎤ 내지 1×10^{21} /㎤, 보다 바람직하게는 1×10^{19} /㎤ 내지 5×10^{20} /㎤ 범위로 조정한다. 1×10^{18} /㎤보다 작으면, 제4질화물 반도체막(108b)과의 차이가 작아서, 캐리어 농도가 큰 층이 얻어 지기 어려운 경향이 있다. 또한, 1×10^{21} /㎤ 보다 크면, 결정성이 나빠지는 경향이 있다. 한편, 제4질화물 반도체막(108b)의 p형 불순물 농도는 제3질화물 반도체막(108a)보다 작은 것이 좋고, 바람직하게는 1/10 이상 작은 것이 좋다. 가장 바람직하게는 언도핑한다면 가장 이동도가 높은 층이 얻어지지만,막두께가 얇아서 제3질화물 반도체측으로부터 확산되어 들어오는 p형 불순물이 발생한다. 그리고 상기 p형 불순물의 양은 바람직하게는 1×10^{18} /㎤ 이하이다. 또한 밴드갭 에너지가 큰 제3질화물 반도체막(108a)에 p형 불순물을 조금 도핑하고 밴드갭 에너지가 작은 제4질화물 반도체막(108b)에 p형 불순물을 많이 도핑하는 경우도 마찬가지이다.

p형 불순물로는, Mg, Zn, Ca, Be 등의 주기율표 ⅡA족, ⅡB족 원소를 선별할 수 있고, 바람직하게는 Mg, Ca 등을 p형 불순물로 한다.

또한, 다층막을 구성하는 질화물 반도체층에 있어서 불순물이 고농도로 도핑된층은 두께 방향을 따라 반도체층 중심부 부근에서 불순물의 농도가 크고, 양단부 근처에서 불순물 농도가 작은 것이(바람직하게는 언도핑) 바람직하므로, 저항율이 저하될 수 있다.

다음, p측 클래드층이 p형 불순물을 포함하는 $Al_bGa_{1-b}N(0\leq b\leq 1)$으로 이루어진 단일 층으로 구성된 경우, 이러한 p측 단일막 클래드층의 막두께는 2000옹스트롬 이하, 바람직하게는 1000옹스트롬 이하이고, 보다 바람직하게는 500 내지 1000옹스트롬 이하이다. 막두께가 상기 범위이면, 바람직하게 발광출력이 향상되고 Vf 가 저하된다. p측 단일막 클래드층의 조성은 $Al_bGa_{1-b}N(0\leq b\leq 1)$이다.

또한, 단일 막층의 클래드층은, 상기 다층막구조의 p측 클래드층과 비교하여 결정성은 다소 나빠짐에도 불구하고, 상기 단일 막층의 클래드층을 상기 n측 제1다층막층(105)과 조합함으로써 결정성이 좋게 성장시킬 수 있고, 임계전류와 Vf를 저하시킬 수 있다. 이러한 조합은 소자특성의 저하를 억제하기에 효과적일 뿐 아니라, 단일 막층이기 때문에 제조공정이 단순해질 수 있다.

상기 단일 막층의 클래드층의 p형 불순물 농도는 1×10^{18} /㎤ 내지 1×10^{21} /㎤, 바람직하게는 5×10^{18} /㎤ 내지 5×10^{20} /㎤, 보다 바람직하게는 5×10^{19} /㎤ 내지 1×10^{20} /㎤이다. 불순물 농도가 상기 범위이면, 결정성이 좋은 p형 막이 성장될 수 있다.

다음, 본 실시형태에 있어서, Mg 도핑된 p측 GaN콘택트층(9)은, 단층인 경우, In, Al을 포함하지 않는 2원 조성으로 이루어진다. 상기 p콘택트층(9)이 In 또는 Al을 포함하면 좋은 오믹 접촉이 거의 얻어질 수 없으므로 발광효과가 감소된다. p측 콘택트층(9)의 막두께는 0.001 내지 0.5㎛, 바람직하게는 0.01 내지 0.3㎛, 보다 바람직하게는 0.05 내지 0.2㎛로 한다. 막두께가 0.001㎛보다 얇으면, p형 GaAlN 클래드층과 전기적으로 단락되기 쉬워 콘택트층으로 작용하기 어렵다. 또한, 3원 화합물인 GaAlN 클래드층의 위에 조성이 다른 2원 화합물인 GaN 콘택트층을 적층하기 때문에, 반대로 그 두께를 0.5㎛ 보다 두껍게 하면, 결정 사이의 부정 합(misfit)에 의한 격자 결함이 p측 GaN 콘택트층(9)에 발생하기 쉽고 결정성이 저하하는 경향이 있다. 즉, 콘택트층의 막두께가 얇으면, Vf를 저하시켜 발광효율을 향상시킬 수 있다. 또한, p형 GaN콘택트층(9)의 p형 불순물이 Mg 이면 p형 특성이 얻어지기 용이하고, 오믹 접촉이 얻어지기 용이하다. Mg의 농도는 1×10^{18} /㎤ 내지 1×10^{21} /㎤, 바람직하게는 5×10^{19} /㎤ 내지 3×10^{20} /㎤, 보다 바람직하게는 1×10^{20} /㎤정도이다. Mg 농도가 이 범위이면 좋은 p형 막이 얻어지기 용이하고 Vf를 저하시킬 수 있다.

또한, n전극(12)은 n측 콘택트층(4)위에, p전극(11)은 Mg 도핑된 p측 GaN콘택트층(9) 위에, 각각 형성된다. n전극(12) 및 p전극(11)의 재료는 한정되지는 않지만, 예를들면 n전극(12)으로는 W/Al, p전극(11)으로는 Ni/Au 등을 사용할 수 있다.

실시형태 3

이하, 도 5를 참고하여 본 발명에 관한 실시형태 3을 설명한다.

본 발명의 실시형태 3의 질화물 반도체 소자는, 도 5에 나타낸 바와 같이, 예를들면 사파이어로 이루어진 기판(1) 위에 버퍼층(202)을 개입시켜서 제1n측 질화물 반도체층(203), 제2n측 질화물 반도체층(204), 제3n측 질화물 반도체층(205), 활성층(7), p측 클래드층(108) 및 p측 콘택트층(208)이 차례로 형성되어 구성된다. 더욱이, 본 실시형태 3에 있어서, p측 콘택트층(208) 윗면의 거의 전면에는, 투광성의 p전극(10)이 형성되고, p전극 상의 일부에 본딩용의 p패드 전극(11)이 형성 된다. 또한, 발광소자의 단측부에서, 제2n측 질화물 반도체층(204)의 표면이 노출되고, 상기 노출부분에는 n전극(12)이 형성된다.

도 5에 나타난 바와 같이, 실시형태 3에 따른 질화물 반도체 발광소자는 버퍼층(202), 제1n측 질화물 반도체층(203), 제2n측 질화물 반도체층(204), 및 제3n측 질화물 반도체막(205)을 갖는 n측 영역(230)과 p측 클래드층(108) 및 p측 콘택트층(208)을 갖는 p측 영역(240)을 포함한다.

여기서, 특히 본 실시형태 3에서는 p측 콘택트층(208)이 서로 조성이 다른 제1질화물 반도체막(208a)과 제2질화물 반도체막(208b)이 서로 적층된 초격자 구조를 가지고, 상기 2개의 질화물 반도체중 적어도 한쪽의 제1질화물 반도체막(208a)이 In을 포함하고 있고, 또 제1질화물 반도체막(208a)과 제2질화물 반도체막(208b)이 서로 적층된 초격자 구조로 함으로써 극히 결함이 적고 결정성이 양호한 p측 콘택트층(208)을 형성할 수 있다. 이것에 의해 초격자 구조가 아닌 단층의 InGaN으로 이루어지는 종래예에 비교하여 그 자신의 저항치가 적고 또 p전극(10)과 양호한 오믹 접촉시킬수 있는 p측 콘택트층(208)이 형성될 수 있다.

또한, 상세하게 설명하면, 본 실시형태 3에 있어서, p측 콘택트층(208)은 예를들면, 이하 표 1에 나타낸 제1질화물 반도체막(208a)과 제2질화물 반도체막(208b)을 조합함으로써 구성할 수 있다.

[표 1]

	제1질화물 반도체막(208a)	제2질화물 반도체막(208b)
1	$In_xGa_{1-x}N$	GaN
2	$In_xGa_{1-x}N$	$In_yGa_{1-y}N(x>y)$
3	$In_xGa_{1-x}N$	$Al_zGa_{1-z}N(0<z<1)$

이때, 본 실시형태 3에 있어서, 결정결함이 작은 제1질화물 반도체(8a)를 형성하기 위해 표1의 $In_xGa_{1-x}N$은 바람직하게는 $x<0.5$로 설정되고, 보다 바람직하게는 $x<0.4$, 더욱 바람직하게는 $x<0.3$으로 설정된다.

또한, 본 발명에 있어서, p형 콘택트층의 막두께는 두께가 두꺼워지는 방향의 저항값이 높아지기 때문에, 바람직하게는 0.1㎛ 이하, 보다 바람직하게는 500Å 이하, 더욱 바람직하게는 200Å 이하로 설정한다. 또한, p형 콘택트층을 구성하는 제1 및 제2질화물 반도체막의 막두께는 각각 바람직하게느 100Å 이하, 보다 바람직하게는 70Å이하, 더욱 바람직하게는 50Å 이하로 설정한다. 가장 바람직하게는 10 내지 40Å의 범위로 설정한다.

p측 콘택트층(208)을 구성하는 제1 및 제2질화물 반도체막(208a, 208b)의 막두께를 100Å 이하로 설정하는 것은, 제1 및 제2질화물 반도체막(208a, 208b)의 막두께가 100Å 보다 두꺼울 경우, 탄성임계두께 보다 더 커져 막중심에 미소한 크랙 또는 결정결함이 발생하기 쉬워 초격자구조의 효과를 저하시킨다. 또한, 본 발명에 있어서 제1 및 제2질화물 반도체막(208a, 208b)은 적어도 1원자층 이상의 두께이지만, 바람직하게 10Å 이하로 설정한다.

또한 본 발명은 제1질화물 반도체막(208a)과 제2질화물 반도체막(208b)의 적어도 어느 하나에 Mg 등의 p형 불순물이 첨가되어 p측 콘택트층(208)은 전체적으로 p형 도전성을 나타낼 수 있다. 또한, 제1 및 제2질화물 반도체막(208a, 208b) 모두에 p형 불순물을 도핑하는 경우, 한쪽의 질화물 반도체층의 p형 불순물 농도를 다 른 질화물 반도체층의 불순물 농도와 비교하여 바람직하게 높게(이하 변조도핑이라고 함)한다.

이와 같이, 제1 및 제2질화물 반도체막(208a, 208b) 중 한쪽의 불순물 농도를 다른쪽과 비교하여 높게 설정함으로써, 불순물 농도가 높은 쪽의 질화물 반도체층에 캐리어가 많이 발생할 수 있고, 불순물 농도가 낮은 다른 질화물 반도체층의 이동도를 다른 질화물 반도체층 보다 높게 할 수 있다. 따라서, 제1 및 제2질화물 반도체막(208a, 208b)이 적층된 전체 초격자층으로서 캐리어 농도와 이동도를 동시에 높일 수 있으므로, p측 콘택트층(208)의 저항값을 낮출 수 있다. 따라서, 본 실시형태 3의 질화물 반도체 발광소자는 p측 콘택트층(208)에서 상술한 변조도핑으로 인하여 소정의 전류값에서 순방향전압을 낮출 수 있다.

또한, 변조도핑이 사용되는 경우, 한쪽의 질화물 반도체층에는 1×10^{19}/㎤ 내지 5×10^{21}/㎤ 범위의 p형 불순물을 도핑하고 다른 질화물 반도체층은 5×10^{18}/㎤ 내지 5×10^{19}/㎤ 범위임과 동시에 한쪽의 질화물 반도체층보다 작은 양의 p형 불순물이 바람직하게 도핑된다. 질화물 반도체층에 대하여 5×10^{21}/㎤ 보다 많은 양의 p형 불순물을 첨가하면 결정성이 나빠져 저항값이 높아짐과 동시에 좋은 오믹값을 얻기가 어렵게 되고, 5×10^{18}/㎤ 보다 작은 양의 불순물이 질화물 반도체막에 첨가되는 경우, 캐리어 농도가 충분하지 않아 발광출력이 감소된다.

또한, 본 발명에 있어서, p측 콘택트층(208)에 있어서, 제1질화물 반도체막(208a) 또는 제2질화물 반도체막(208b) 중 어느 한층을 최상층으로 할 수 있고 p 클래드층(108)과 접촉할 수 있다. 그러나, 본 발명에 따라서, In을 포함하는 제1질화물 반도체막(208a)을 최상층으로 하고, p측 전극(10)은 제1질화물 반도체막(208a)에 형성된다. 이와 같이 하여, 상기 p콘택트층(208)과 p전극(10) 사이의 오믹 접촉 저항을 감소시킬 수 있다.

즉, 제1질화물 반도체막(208a)은 In을 포함하거나 또는 제2질화물 반도체막(208b) 보다 In을 많이 포함하므로, 제1질화물 반도체막(208a)은 제2질화물 반도체막(208b) 보다 작은 밴드갭을 갖는다. 따라서, p전극을 구성하는 금속의 전도대 하단의 에너지 준위와 제1질화물 반도체막(208a)의 가전자대 상단의 에너지 준위의 차이를 작게 할 수 있으므로, 오믹 접촉저항을 작게 할 수 있다.

또한, 실시형태 3의 질화물 반도체 소자에 있어서, 상기 p형 클래드층은 $Al_xGa_{1-x}N(0<x\leq1)$으로 이루어진 층과 $In_yGa_{1-y}N(0\leq y<1)$으로 이루어진 층을 교대로 적층한 초격자 층이다.상기 p클래드층을 구성하는 각 막의 두께는

탄성 임계 두께 이하인 100옹스트롬 이하, 바람직하게는 70옹스트롬 이하, 보다 바람직하게는 50옹스트롬 이하, 가장 바람직하게는 10 내지 40옹스트롬이다. 따라서, p클래드층(108)의 저항은 초격자 구조의 p형 클래드층을 형성함으로써 감소될 수 있다. p클래드층(108)의 전체 두께는 100옹스트롬 내지 2㎛ 범위, 보다 바람직하게는 500옹스트롬 내지 1㎛로 설정된다. 상기 범위 내의 층두께를 설정함으로써 상기 p클래드층(108)은 좋은 캐리어 유폐층으로 작용할 수 있고 전체적으로 저항을 비교적 감 소시킬 수 있다.

실시 형태 4

본 발명에 관한 실시 형태 4의 질화물 반도체 소자는, 도 6A와 같이, p측 콘택트층(208)에 있어서, 제1 질화물 반도체막(208a)과 제2 질화물 반도체막(208b) 사이에 조성경사층(208c)을 형성시킨 점에서 실시 형태 3과 상이한 것 이외에, 실시 형태 3과 동일한 형태로 이루어진다. 여기서, 조성경사층(208c)은, 제1 질화물 반도체막(208a)의 조성에서 제2 질화물 반도체막(208b)의 조성까지 서서히 변화하도록 두께 방향으로 조성을 연속적으로 변화시킨 층이다. 예를 들면, 제1 질화물 반도체막(208a)을 $In_xGa_{1-x}N$로 하고 제2 질화물 반도체막(208b)을 GaN으로 하는 경우, 조성경사층(208c)은 도 6B와 같이 제1 질화물 반도체막(208a)에 접하는 면에서 제2 질화물 반도체막(208b)에 접하는 면을 향하여 두께 방향으로 In의 조성비(x)가 서서히 감소하는 층이다.

본 실시 형태 2에 있어서, 조성경사층(208c)은 그 조성비가 서서히 감소하는 층이면 좋고, 반드시 도 6B와 같이 두께에 대해 조성이 직선적으로 변화할 필요는 없다.

이상과 같이 구성된 실시 형태 2의 질화물 반도체소자는, 제1 질화물 반도체막(208a)과 제2 질화물 반도체막(208b)의 경계에서 조성이 불연속하게 변화하지 않기 때문에, 층의 성장시에 제1 질화물 반도체막(208a)과 제2 질화물 반도체막(208b)의 경계에 특정한 원소의 분리를 방지할 수 있다. 이와 같이, 특정 원소의 분리를 방지 할 수 있는 결과, 결정 결함이 보다 적은 제1 질화물 반도체막(208a)과 제2 질화물 반도체막(208b)을 성장시킬 수 있다. 상술한 제1 질화물 반도체막(208a)을 $In_xGa_{1-x}N$로 하고 제2 질화물 반도체막(208b)을 GaN으로 하는 경우, 제1 질화물 반도체막(208a)과 제2 질화물 반도체막(208b) 사이에 In의 분리를 방지할 수 있고, 결정성을 양호하게 할 수 있다.

실시 형태 5

이하, 본 발명에 관한 실시 형태 5의 질화물 반도체 소자에 관하여, 그 모식적 단면도인 도 8을 이용하여 설명한다.

실시 형태 5의 질화물 반도체 소자는, 도 8과 같이 기판(1)위에 버퍼층(102), 언도핑 GaN층(103), n형 불순물을 포함하는 n측 콘택트층(4), 언도핑 하층(305a), n형 불순물 도핑 중간층(305b) 및 언도핑 상층(305c)의 3층으로 이루어진 n측 제1 다층막층(305), 제1 질화물 반도체막(306a) 및 제2 질화물 반도체막(305b)으로 이루어진 n측 제2 다층막층(306), 다중 양자 우물구조의 활성층(7), 제3 및 제4 질화물 반도체막으로 이루어진 p측 다층막 클래드층(8) 또는 p측 단일막 클래드층(8), Mg도핑된 p측 GaN 콘택트층(9)이 순서대로 적층된 구조를 갖는다. 또한 n측 콘택트층(4)위에 n전극(12), p측 GaN 콘택트층(9)위에 p전극(11)이 각각 형성되어 있다.

여기서, 실시 형태의 질화물 반도체 소자에 있어서, 버퍼층(102), 언도핑 GaN층(103), n측 콘택트층(4), n측 제1 다층막층(305) 및 n측 제2 다층막층(306)에 의해 n측 영역(330)이 구성되고, p측 클래드층(108) 및 p측 GaN 콘택트층(9)에 의해 P측 영역이 구성된다.

본 실시형태 5에 있어서, 기판(1)은 사파이어 C면, R면 또는 A면을 주면으로 하는 사파이어, 그 외에 스피넬($MgAl_2O_4$)과 같은 절연성 기판 외에, SiC(6H, 4H, 3C를 포함), Si, ZnO, GaAs, GaN등의 반도체 기판을 사용할 수 있다.

본 실시 형태 5에 있어서, 버퍼층(102)은, $Ga_dAl_{1-d}N$(단 $0< d \leq 1$)으로 이루어진 질화물 반도체이고, 바람직하게는 Al이 적게 포함된 조성으로 결정성이 현저히 개선되거나, 보다 바람직하게는 GaN으로 이루어진 버퍼층(2)이다.

버퍼층(102)의 막두께는, 0.002 내지 0.5 ㎛, 바람직하게는 0.005 내지 0.2 ㎛, 보다 바람직하게는 0.01 내지 0.02 ㎛의 범위로 조정한다. 버퍼층(102)의 막두께가 상기범위이면, 질화물 반도체의 결정형태가 개선되고, 버퍼층(102) 위에 성장되는 질화물 반도체의 결정성이 개선된다.

버퍼층(102)의 성장온도는, 200 내지 900 ℃이고, 바람직하게는 400 내지 800 ℃ 범위로 조정한다. 성장온도가 상기범위이면 좋은 다결정이 되고, 상기 다결정이 종결정(seed crystal)으로서 버퍼층(102)위에 성장되는 질화물 반도체의 결정성을 향상시킬 수 있다.

또한, 이와 같은 저온에서 성장시키는 버퍼층(102)은, 기판 종류, 성장방법등에 따라 생략해도 무방하다.

또한, 본 실시 형태 5에 있어서, 언도핑 GaN층(103)은, 성장하는 경우에 n형 불순물을 첨가하지 않고 성장되는 층을 나타낸다. 버퍼층(102)상에 언도핑 GaN층(103)을 성장시키면 언도핑 GaN층(103)의 결정성이 양호하게 되고, 언도핑 GaN층(103)상에 성장시키는 n측 콘택트층(4)의 결정성도 향상된다. 언도핑 GaN층(103)의 막두께는, 0.01㎛ 이하이고, 바람직하게는 0.5㎛ 이하이며, 보다 바람직하게는 1 ㎛이하이다. 막 두께가 상기 범위이면 n측 콘택트층(4)이하 층을 결정성 좋게 성장시킬 수 있다. 또한 언도핑 GaN층(103)의 막 두께의 상한은 특히 한정되지 않지만, 제조 효율등을 고려하여 적절히 조절한다.

또한, 본 실시 형태 5에 있어서, n형 불순물을 포함하는 n측 콘택트층(4)은, n형 불순물을 $3 \times 10^{18}/cm^3$ 이상, 바람직하게는 $5 \times 10^{18}/cm^3$ 이상의 농도로 포함한다. 이와 같이 n형 불순물을 많이 도핑하고, 그 층을 n측 콘택트층으로 하면, Vf 및 임계전류를 저하시킬 수 있다. 또한 n측 콘택트층(4)이 n형 불순물 농도가 작은 결정성이 양호한 언도핑 GaN층(103)위에 형성되면, 고농도의 n형 불순물을 갖고 있어도 관계없이 결정성을 양호하게 형성할 수 있다. n측 콘택트층(4)의 n형 불순물 농도의 상한은 특히 한정되지 않지만, 콘택트층으로서의 기능을 보유하는 한계는 $5 \times 10^{21}/cm^3$ 이하가 요망된다.

n측 콘택트층(4)의 조성은, $In_eAl_fGa_{1-e-f}N(0 \leq e, 0 \leq f, e+f \leq 1)$으로 구성할 수 있고, 그 조성은 특히 한정되지 않지만, 바람직하게는 GaN, f값이 0.2이하의 $Al_fGa_{1-f}N$으로 하면 결정 결함이 적은 질화물 반도체층이 얻어지기 쉽다. n측 콘택트 층(4)의 막두께는 특히 한정되지 않지만, n전극을 형성하는 층이므로 0.1 내지 20 ㎛, 바람직하게는 0.5 내지 10 ㎛, 보다 바람직하게는 1 내지 5 ㎛이다. 막 두께가 상기 범위이면 저항치를 저하할 수 있고, 발광소자의 Vf를 저하시킬 수 있다.

또한, n측 콘택트층(4)은 종래 n측 제1 다층막층(305)을 두꺼운 막으로 형성하는 경우 생략할 수 있다.

다음, 본 실시 형태 5에 있어서, n측 제1 다층막층(305)은, 기판측에서 언도핑 하층(305a), n형 불순물 도핑 중간층(305b), 언도핑 상층(305c)의 적어도 3층으로 구성되어 있다.

n측 제1 다층막층(305)을 구성하는 각층은, 각각 단독은 정전내압등의 소자특성에 직접 영향을 미치지 않는 경우도 있지만, 각층을 조합하여 n측 제1 다층막층(305)으로 하는 것에 의해 전체의 소자특성, 특히 발광출력 및 정전내압을 현저히 향상시킬 수 있어 특유의 기능을 갖는다. 이와 같은 효과는 실제로, 각층을 적층시킨 소자를 제조하고 처음으로 얻어진 예상외의 효과로, 말하자면 본 발명은 상기 효과를 발견하는 것에 의해 완성됐다.

여기서, n측 제1 다층막층(305)에는 상기 하층(305a) 내지 상층(305c) 이외의 층을 갖는 것도 좋다. 또한 n측 제1 다층막층(305)은 활성층과 접하고 있어도, 활성층 사이에 다른 층을 갖고 있어도 좋다.

상기 하층(305a) 내지 상층(305c)을 구성하는 질화물 반도체는, $In_gAl_hGa_{1-g-h}N(0 \leq g < 1, 0 \leq h < 1)$으로 표시되는 조성의 질화물 반도체를 사용할 수 있고, 바람직 하게는 GaN으로 이루어진 조성이 사용될 수 있다. 또한 제1 다층막층(5)의 각층은 조성이 동일해도 상이해도 좋다.

n측 제1 다층막층(305)의 막 두께는, 특히 한정되는 것은 아니나, 175 내지 12000 옹스트롬이고, 바람직하게는 1000 내지 10000 옹스트롬이고, 보다 바람직하게는 2000 내지 6000 옹스트롬이다. 제1 다층막층(5)의 막 두께가 상기 범위에 있으면 Vf의 최적화와 정전내압이 향상되는 점에서 바람직하다.

상기 범위의 막 두께를 갖는 제1 다층막층(5)의 막 두께의 조정은 하층(305a), 중간층(305b), 및 상층(305c)의 각 막 두께를 적절히 조정하고, 제1 다층막층(5)의 총 막두께를 상기 범위로 하는 것이 바람직하다.

또한, 본 실시 형태 5는, n측 제1 다층막층(305)을 구성하는 하층(305a), 중간층(305b) 및 상층(305c)의 각 막 두께에 한정되는 것은 아니지만, 본 발명에 있어서 각 막 두께의 바람직한 범위를 발견하기 위해 이하의 실험을 했다.

(1) 실험 1

하층(5a)의 막 두께를 3000 옹스트롬 으로 하고, 중간층(5b)의 막 두께를 350 옹스트롬 으로 하고, 상층(5c)의 막 두께를 순차로 변화시킨 LED 소자를 제작하고, 각 소자(각 막 두께)에 순방향 전압, 발광출력 및 정전내압 특성을 측정했다.

그 결과는 도 9A 및 도 9B에 나타나 있다.

(2) 실험 2

하층(5a)의 막 두께를 3000 옹스트롬 으로 하고, 상층(5c)의 막 두께를 50 옹스트롬 으로 하고, 중간층(5b)의 막 두께를 순차로 변화시킨 LED 소자를 제작하고, 각 소자(각 막 두께)에 순방향 전압, 발광출력 및 정전내압 특성을 측정했다.

그 결과는 도 10A 및 도 10B에 나타나 있다.

(3) 실험 3

중간층(5b)의 막 두께를 350 옹스트롬 으로 하고, 상층(5c)의 막 두께를 50 옹스트롬 으로 하고, 하층(5a)의 막 두께를 순차로 변화시킨 LED 소자를 제작하고, 각 소자(각 막 두께)에 순방향 전압, 발광출력 및 정전내압 특성을 측정했다.

그 결과는 도 11A 및 도 11B에 나타나 있다.

즉, 본 실험에서 제작한 LED 소자는, n측 제1 다층막층의 각 막두께 이외에는 후술하는 실시예 34과 동일한 형태의 조건으로 제작했다. 또한, 도 9A 내지 도 11B에 나타난 특성은, 실시예 34와의 비교로 사용한 종래예의 LED 소자로 했다. 즉, 도 9A SOW 도 11B에 있어서, Pom는 발광출력을 나타내고, Vf는 순방향 전압을 나타낸다.

이상의 검토 결과를 기초로 고찰하면, 언도핑 하층(305a)의 막 두께는 100 내지 10000 옹스트롬, 바람직하게는 500 내지 8000 옹스트롬, 보다 바람직하게는 1000 내지 5000 옹스트롬이다. 언도핑 하층(305a)은, 도 11A 및 도 11B와 같이, 막 두께를 서서히 두껍게 하면 정전내압이 상승하지만, 10000 옹스트롬 부근에서 Vf가 급상승하고, 한편, 언도핑 하층(305a)의 막 두께를 얇게 하면 Vf는 저하하지만, 정전내압의 저하가 커지게 되고 100 옹스트롬 미만에서는 정전내압의 저하에 따라서 생산성의 저하가 크게 되는 경향이 있다.

또한, 상층(5a)은, n형 불순물을 포함하는 n측 콘택트층(4)의 결정성 저하의 영향을 개선하는 것으로 생각되기 때문에, 결정성의 개선이 양호하게 되는 막 두께로 성장시키는 것이 바람직하다.

n형 불순물 도핑 중간층(305b)의 막 두께는 50 내지 1000 옹스트롬, 바람직하게는 100 내지 500 옹스트롬, 보다 바람직하게는 150 내지 400 옹스트롬이다. 상기 불순물이 도핑된 중간층(305b)은, 캐리어 농도를 충분히 하여 발광출력에 비교적 크게 작용하는 층이고, 그 층을 형성하지 않으면 현저히 발광출력이 저하하는 경향이 있다. 또한, 도 10A에서는, 막 두께를 25 옹스트롬 정도까지 얇게 해도 발광출력의 저하가 조금 있는 정도로 되는것은, 중간층(305b)의 막 두께가 50 옹스트롬에서도 발광출력이 저하하지 않도록 고려하여 그 외의 층의 막 두께등을 조정하여 행했기 때문이다.

또한 도 10A와 같이, 막 두께가 1000 옹스트롬을 초과하면 발광출력이 크게 저하하는 경향이 있다. 한편, 정전내압만을 보면, 도 10B와 같이, 중간층(508b)의 막 두께가 두꺼우면 정전내압은 양호하지만, 막 두께가 50 옹스트롬 미만에서는 정전내압의 저하가 크게 되는 경향이 있다.

언도핑 상층(305c)의 막 두께는 25 내지 1000 옹스트롬, 바람직하게는 25 내지 500 옹스트롬, 보다 바람직하게는 25 내지 15000 옹스트롬이다. 상기 언도핑 상층(305c)은 제1 다층막 중에서 활성층에 접하여 또는 가장 근접하여 형성되어서 누설전류의 방지에 크게 관여하지만, 상층(305c)의 막 두께가 25 옹스트롬 미만에서는 누설전류가 증가하는 경향이 있다. 또한, 도 9A 및 도 9B와 같이, 상층(305c)의 막 두께가 1000 옹스트롬을 초과하면 Vf가 상승하고 정전내압은 저하한다.

이상과 같이, 하층(305a) 내지 상층(305c)의 막 두께는, 상기와 같이 각층의 막 두께의 변동에 의해 영향받기 쉬운 소자 특성을 주목하고, 또한 하층(305a), 중간층(305b) 및 상층(305c)을 조합한 경우, 모든 소자특성이 대략 균일하고 양호하게 되고, 특히 발광출력 및 정전내압이 양호하게 되어 비교적 높은 요구 규격을 만족할 수 있어, 상기 범위에 각 막 두께를 규정하는 것에 의해 보다 양호한 발광출력을 얻을 수 있고 상품의 신뢰성 향상을 달성할 수 있다.

또한, 제1 다층막층(305)의 각층의 막 두께를 조합은, 발광파장의 종류에 의한 활성층 조성의 변화와, 전극, LED 소자의 형상과 같은 조건에 의해, 가장 양호한 효과를 얻기 위해 적절히 조정된다. 각층의 막 두께의 조합에 따른 성능은, 상기 범위의 막 두께로 적절히 조합한 것에 의해서, 종래와 비교하여 양호한 발광출력 및 양호한 정전내압을 얻을 수 있다.

상기 제1 다층막층을 구성하는 각 층의 조성은, $In_gAl_hGa_{1-g-h}N(0\leq g<1, 0\leq h<1)$으로 표시되는 조성이면 좋고, 각 층의 조성이 동일해도 상이해도 좋고, 바람직하게는 In 및 Al이 적게 포함된 조성이고, 보다 바람직하게는 GaN으로 이루어진 층이다.

상기 제1 다층막층(305)의 n형 불순물이 도핑된 중간층(305b)의 n형 불순물의 도핑량은 특히 한정되지 않지만, 3 × 10^{18} /cm^3 이상, 바람직하게는 5 ×10^{18} /cm^3 이상의 농도를 포함한다. n형 불순물의 상한은, 특히 한정되지 않지만, 결정성이 나 쁘게 되지 않는 정도의 상한은 5 ×10^{21} /cm^3 이하가 요망된다. 제1 다층막층의 중간층의 불순물 농도가 상기 범위이면, 발광출력의 향상과 Vf가 저하되는 점에서 바람직하다.

n형 불순물로서는 Si, Ge, Se, S, O등의 4B족, 6B족 원소를 선택하는 것이 바람직하고, 보다 바람직하게는 Si, Ge,S를 사용한다.

또한, 상기 제1 다층막층(305)의 계면에 있어서, 각각의 층은 각각의 층 및 소자의 기능을 해하지 않는 범위로 양쪽의 층으로 작용한다.

다음에, 본 실시형태 5에 있어서, n측 제2 다층막층(306)은, In을 포함하는 제1 질화물 반도체막(306a)과 이 제1 질화물 반도체막(306a)과 상이한 조성을 갖는 제2 질화물 반도체막(306b)이 적층된 다층막으로 이루어진다. 상기 제1 질화물 반도체막(306a), 또는 제2 질화물 반도체막(306b)중의 적어도 한쪽의 막 두께가, 바람직하게는 양쪽의 막 두께가, 100 옹스트롬 이하, 보다 바람직하게는 70 옹스트롬 이하, 보다 더욱 바람직하게는 50 옹스트롬 이하로 한다. 이와 같이, 막 두께를 얇게 하는 것에 의해, 다층막층이 초격자 구조로 되고, 다층막층의 결정성이 좋게 되기 때문에 출력이 향상되는 경향이 있다.

제1 질화물 반도체막(306a) 또는 제2 질화물 반도체막(306b)의 적어도 하나의 막 두께가 100 옹스트롬 이하이어도, 막 두께가 탄성임계 막 두께이하로 되어 결정성이 좋게 되고, 그 위에 적층하는 제1 질화물 반도체막(306a), 또는 제2 질화물 반도체막(306b)의 결정성이 좋게 되어, 다층막층 전체의 결정성이 양호하게 되 기 때문에 소자의 출력이 향상된다.

또한, 제1 질화물 반도체막(306a) 및 제2 질화물 반도체막(306b)의 막 두께가 모두 100 옹스트롬 이하이면 질화물 반도체 단일층의 탄성임계 막 두께 이하로 되고, 두꺼운 막으로 성장시키는 경우와 제1 질화물 반도체막(306a) 또는 제2 질화물 반도체막(306b) 중 한쪽이 100 옹스트롬 이하인 경우와 비교하여 결정성이 좋은 질화물 반도체가 성장할 수 있다. 또한, 양쪽을 70 옹스트롬 이하로 하면, n측 제2 다층막층(306)이 초격자 구조로 되고, 그 결정성이 좋은 다층막 구조위에 활성층을 성장시키면, n측 제2 다층막층(306)이 버퍼층과 같은 작용을 하여, 활성층이 보다 결정성이 좋게 성장할 수 있다.

본 실시 형태 5에 있어서, n측 영영(330)에, 상기 n측 제1 다층막층(305)과 상기 n측 제2 다층막층(306)을 조합하면, 발광출력이 향상하고, Vf가 저하한다. 상기 이유는 정확하지는 않지만, n측 제2 다층막층(306)위에 성장시킨 활성층의 결정성이 양호하게 되기 때문이라고 생각된다.

또한, n측 제2 다층막층(306)의 상기 제1 질화물 반도체막(306a) 또는 상기 제2 질화물 반도체막(306b) 중의 적어도 한쪽의 막 두께는, 근접하는 제1 질화물 반도체막(306a) 또는 제2 질화물 반도체막(306b) 사이에 서로 상이해도, 동일해도 좋다. 바람직하게는, 제1 질화물 반도체막(306a) 또는 제2 질화물 반도체막(306b) 중의 적어도 한쪽의 막 두께는, 근접하는 제1 질화물 반도체막(306a) 또는 제2 질화물 반도체막(306b) 사이에 서로 상이한 것이 바람직하다.

막 두께가 근접하는 층 사이에 서로 상이하면, 제1 질화물 반도체막(306a) 및 제2 질화물 반도체막(306b)을 복수층 적층시킨 다층막층을 형성한 경우에, 제2 질화물 반도체막(306b)(제1 질화물 반도체막(306a))의 막 두께와 그것을 사이에 둔 제1 질화물 반도체막(306a)(제2 질화물 반도체막(306b))의 막두께가 서로 상이한 것을 의미한다.

예를 들면, 제1 질화물 반도체막(306a)을 InGaN으로 하고, 제2 질화물 반도체막(306b)을 GaN으로 하는 경우, GaN층과 GaN층과의 사이에 InGaN의 막 두께는, 활성층에 접근함에 따라 점점 두꺼워 지거나, 또는 얇아지는 것에 의해, 다층막층 내부에 굴절률이 변화하기 때문에 실질적으로 굴절률이 변화하는 층을 형성할 수 있다. 따라서, 실질적으로 조성경사한 질화물 반도체층을 형성하는 것과 동일한 효과가 얻어진다. 따라서 예를 들면 레이저 소자와 같은 도파관(waveguide)을 필요로 하는 소자에 있어서는 상기 다층막층에 도파관을 형성하고, 레이저광의 모드를 조정할 수 있다.

또한, 제1 또는 제2 질화물 반도체막 중의 적어도 한쪽의 3족 원소의 조성이, 근접하는 제1 또는 제2 질화물 반도체막의 동일한 3족 원소의 조성 사이에 서로 상이하거나, 또는 동일해도 좋다. 바람직하게는, 제1 또는 제2 질화물 반도체막 중의 적어도 한쪽의 3족 원소의 조성이, 근접하는 제1 또는 제2 질화물 반도체막의 동일한 3족 원소의 조성 사이에 서로 상이한 것이 바람직하다. 상기 서로 상이하면, 제1 질화물 반도체막 또는 제2 질화물 반도체막을 복수층 적층시킨 다층막층을 형성한 경우에, 제2 질화물 반도체막(제1 질화물 반도체막)의 3족 원소의 조성비와 그것을 사이에 둔 제1 질화물 반도체막(제2 질화물 반도체막)의 3족 원소의 조성비 가 서로 상이한 것을 의미한다.

예를 들어, 동일한 3족 원소의 조성이 서로 상이하게 되면, 제1 질화물 반도체막을 InGaN으로 하고, 제2 질화물 반도

체막을 GaN으로 하는 경우, GaN층과 GaN층과의 사이에 InGaN의 In 조성을 활성층에 접근함에 따라 점점 많아지거나, 또는 적어지는 것에 의해, 다층막층 내부에 굴절률이 변화하고, 실질적으로 조성경사한 질화물 반도체층을 형성할 수 있다. 즉 In조성이 감소하는 것에 따라 굴절률은 작아지게 되는 경향이 있다.

상기 n측 제2 다층막층(306)은, 예로 도 8과 같이, 활성층(7)을 사이에 두고 하부에 있는 n측 질화물 반도체층에, In을 포함하는 제1 질화물 반도체막과 그 제1 질화물 반도체막과 상이한 조성을 갖는 제2 질화물 반도체막이 적층된 n측 제2 다층막층(306)을 갖고 있다. n측 제2 다층막층(306)에 있어서, 제1 질화물 반도체막, 제2 질화물 반도체막은 각각 적어도 1층 이상 형성하고, 합계 2층 이상, 바람직하게는 3층 이상, 보다 바람직하게는 각각 적어도 2층 이상 적층하여 합계 4층 이상 적층한 것이 요망된다.

n측 제2 다층막층(306)은 활성층과 떨어져 형성되는 것도 좋지만, 가장 바람직하게는 활성층에 접하여 형성되도록 한다. 활성층에 접하여 형성하는 것이 보다 출력이 향상되기 쉬운 경향이 있다.

n측 제2 다층막층(306)이 활성층에 접하여 형성되는 경우, 활성층의 최초층(우물층, 또는 장벽층)과 접하는 다층막층은 제1 질화물 반도체막이나, 제2 질화물 반도체막의 어느것이어도 좋고, n측 제2 다층막층(306)의 적층순서는 특히 한정되 지 않는다. 또한, 도 8에는 n측 제2 다층막층(306)이, 활성층(7)에 접하여 형성되어 지지만, 그 n측 제2 다층막층(306)과 활성층과의 사이에, 다른 n형 질화물 반도체로 이루어진 층을 갖는 것도 좋다.

제1 질화물 반도체막은 In을 포함하는 질화물 반도체, 바람직하게는 3원 화합물의 $In_kGa_{1-k}N(0 < k <1)$으로 하고, 보다 바람직하게는 k값이 0.5 이하의 $In_kGa_{1-k}N$, 가장 바람직하게는 k값이 0.2 이하의 $In_kGa_{1-k}N$으로 한다. 한편, 제2 질화물 반도체막은 제1 질화물 반도체막과 조성이 상이한 질화물 반도체이면 좋고, 특히 제한하는 것은 아니나, 결정성이 좋은 제2 질화물 반도체를 성장시키기 위해서는, 제1 질화물 반도체보다도 밴드갭(band gap) 에너지가 큰 2원 화합물 또는 3원 화합물의 $In_mGa_{1-m}N(0 \leq m <1, m < k)$을 성장시키고, 바람직하게는 GaN이다. 제2 질화물 반도체를 GaN으로 하면, 전체 결정성이 좋은 다층막층이 성장될 수 있다. 바람직한 조합은, 제1 질화물 반도체를 $In_kGa_{1-k}N(0 < k <1)$으로 하고, 제2 질화물 반도체를 $In_mGa_{1-m}N(0 \leq m <1, m < k)$, 바람직하게는 GaN으로 하는 것이다. 또한 바람직한 조합에 있어서는, 제1 질화물 반도체막의 k값이 0.5 이하의 $In_kGa_{1-k}N$이고, 제2 질화물 반도체막은 GaN의 조합이다.

제1 및 제2 질화물 반도체막은 양쪽 모두 언도핑해도, 양쪽에 n형 불순물이 도핑되어도, 또는 어느 것 한쪽에 불순물이 도핑(변조 도핑)되어도 좋다. 결정성을 좋게 하기 위해서는, 양쪽이 언도핑된 것이 가장 바람직하고, 다음에 변조도핑, 그 다음에 양쪽 도핑의 순서이다. 또한, 양쪽에 n형 불순물을 도핑하는 경우, 제1 질화물 반도체막의 n형 불순물 농도와 제2 질화물 반도체막의 n형 불순물 농도는 상이해도 좋다.

또한, 제1 질화물 반도체막 또는 제2 질화물 반도체막의 어느 것 한쪽에, n형 불순물이 도핑되는 것을 변조도핑이라 칭하고, 이와 같은 변조도핑을 하는 것에 의해, 출력이 향상되기 쉬운 경향이 있다.

또한 n형 불순물로서는, Si, Ge, Se, Sn, S등의 4족, 6족 원소를 선택하는 것이 바람직하고, 보다 바람직하게는 Si, Sn을 사용한다.

n형 불순물을 도핑한 경우, 불순물 농도는 $5 \times 10^{21}/cm^3$ 이하, 바람직하게는 $1 \times 10^{20}/cm^3$ 이하로 조정한다. $5 \times 10^{21}/cm^3$ 보다도 많으면 질화물 반도체층의 결정성이 나쁘게 되고, 역으로 출력이 저하하는 경향이 있다. 이것은 변조도핑의 경우에도 마찬가지이다.

본 실시 형태 5에 있어서, 다중 양자 우물구조의 활성층(7)은, In 및 Ga를 포함하는 질화물 반도체, 바람직하게는 $In_aGa_{1-a}N(0 \leq a <1)$으로 형성되고, n형, p형 어느 것도 좋지만, 언도핑(불순물 무첨가)으로 하는 것에 의해 강한 밴드간의 발광을 얻고, 발광파장의 반치폭(half width)이 좁게 된다. 활성층(7)에 n형 불순물 및/또는 p형 불순물을 도핑해도 좋다. 활성층(7)에 n형 불순물을 도핑하면 언도핑한 것과 비교하여 밴드간 발광 강도를 특히 강하게 할 수 있다. 활성층(7)에 p형 불순물을 도핑하면 밴드간 발광의 피크 파장보다도 약 0.5eV 낮은 에너지측에 피크 파장을 이동시킬 수 있지만, 반치폭은 넓게 된다. 활성층에 p형 불순물과 n형 불순물 양쪽을 도핑하면, 전술한 p형 불순물만 도핑한 활성층의 발광강도를 보다 크게 할 수 있다. 특히 p형 불순물을 도핑한 활성층을 형성하는 경우, 활성층의 도전형은 Si 등의 n형 불순물을 도핑해서 전체를 n형으로 하는 것이 바람직하다. 결정성이 좋은 활성층을 성장시키기에는 언도핑이 가장 바람직하다.

활성층(7)의 장벽층과 우물층과의 적층순서는, 특히 제한되지 않지만 우물층에서 적층하고 우물층에서 끝나거나, 우물층에서 적층하고 장벽층에서 끝나거나, 장벽층에서 적층하고 장벽층에서 끝나거나, 또는 장벽층에서 적층하고 우물층에서 끝나도 좋다. 우물층의 막 두께에 있어서는 100 옹스트롬 이하, 바람직하게는 70 옹스트롬 이하, 보다 바람직하게는 50 옹스트롬 이하로 조정한다. 우물층의 막 두께의 상한은, 특히 한정되지 않지만 1원자층 이상, 바람직하게는 10 옹스트롬 이상이다. 우물층이 100 옹스트롬 보다도 두꺼우면, 출력이 향상하기 어려운 경향이 있다.

한편, 장벽층의 막 두께는 2000 옹스트롬 이하, 바람직하게는 500 옹스트롬 이하, 보다 바람직하게는 300 옹스트롬 이하로 조정한다. 장벽층의 막 두께의 상한은, 특히 한정되지 않지만 1원자층 이상, 바람직하게는 10 옹스트롬 이상이다. 장벽층이 상기 범위에 있으면 바람직하게 출력이 향상되기 쉽다. 또한 활성층(7) 전체의 막 두께는 특히 제한되지 않지만, LED 소자의 어떤 소정의 파장등을 고려해서, 장벽층 및 우물층의 각 적층수와 적층 순서를 조정하여 활성층(7)의 총 막 두께를 조정한다.

본 실시 형태 5에 있어서, p측 클래드층(8)은, 밴드갭 에너지가 큰 제3 질화물 반도체막과 제3 질화물 반도체막보다 밴드갭 에너지가 적은 제4 질화물 반도체막이 적층되며, 서로 p형 불순물 농도가 상이하거나 또는 동일한 다층막층, 또는 p형 불순물을 포함하는 $Al_bGa_{1-b}N(0\leq b\leq 1)$으로 이루어진 단일층이다.

우선, p측 클래드층(8)이 다층막구조(초격자구조)를 갖는 p측 다층막 클래드층의 경우에 대하여 이하 설명한다.

p측 다층막 클래드층(17)의 다층막을 구성하는 제3, 제4 질화물 반도체막의 막 두께는, 100 옹스트롬 이하, 보다 바람직하게는 70 옹스트롬 이하, 가장 바람직하게는 10 내지 40 옹스트롬의 막 두께로 조정되고, 제3 질화물 반도체막과 제4 질화물 반도체막의 막 두께는 동일해도 상이해도 좋다. 다층막 구조의 각 막 두께가 상기 범위이면, 질화물 반도체의 탄성임계 막 두께 이하로 되고, 두꺼운 막으로 성장시키는 경우와 비교하여 결정성이 좋은 질화물 반도체를 성장시킬 수 있고, 또한 질화물 반도체층의 결정성이 좋게 되기 때문에 p형 불순물을 첨가한 경우에 캐리어 농도가 크고 저항률이 작은 p층이 얻어지고, 소자의 Vf, 임계 전류가 저하하기 쉬운 경향이 있다. 이와 같은 막 두께의 2종류의 층을 한 쌍으로 하고 여러 번 적층하여 다층막층을 형성한다. 그리고, p측 다층막 클래드층(8)의 총 막 두께의 조정은, 그 제3 및 제4 질화물 반도체막의 각 막 두께를 조정하여 적층회수를 조정하는 것에 의해 행한다. p측 다층막 클래드층(8)의 총 막 두께는, 특히 한정되지 않지만, 2000 옹스트롬 이하, 바람직하게는 1000 옹스트롬 이하, 보다 바람직하게는 500 옹스트롬 이하이고, 총 막두께가 상기 범위이면 발광출력이 크고, Vf가 저하한다.

제3 질화물 반도체막은 적어도 Al을 포함하는 질화물 반도체, 바람직하게는 $Al_nGa_{1-n}N(0< n \leq 1)$을 성장시키는 것이 요망되고, 제4 질화물 반도체막은 바람직하게는 $Al_pGa_{1-p}N(0 \leq p < 1, n > p)$, $In_rGa_{1-r}N(0 \leq p \leq 1)$과 같은 2원 화합물, 3원 화합물의 질화물 반도체를 성장시키는 것이 요망된다. p측 클래드층(8)을 초격자 구조로 하면, 결정성이 좋게 되고, 저항률이 저하하여 Vf가 저하하는 경향이 있다.

p측 다층막 클래드층(8)의 제3 질화물 반도체막과 제4 질화물 반도체막의 p형 불순물 농도가 상이하여, 일측 층의 불순물 농도를 크게하거나, 또는 일측 층의 불순물 농도를 작게 한다. n측 클래드층(12)과 동일 형태로, 밴드 갭 에너지가 큰 제3 질화물 반도체막 쪽의 p형 불순물 농도를 크게 하고 밴드 갭 에너지가 작은 제4 질화물 반도체막의 p형 불순물 농도를 작게 하거나, 바람직하게는 언도핑으로 하면 임계 전류, Vf등을 저하시킬 수 있다. 또한 상기와 역으로 해도 좋다. 결국 밴드 갭 에너지가 큰 제3 질화물 반도체막의 p형 불순물 농도를 작게 하고 밴드 갭 에너지가 작은 제4 질화물 반도체막의 p형 불순물 농도를 크게 해도 좋다.

제3질화물 반도체막에의 바람직한 도핑양은 $1\times10^{18}/cm^3$ 내지 $1\times10^{21}/cm^3$, 보다 바람직하게는 $1\times10^{19}/cm^3$ 내지 $5\times10^{20}/cm^3$ 범위로 조정한다. $1\times10^{18}/cm^3$ 보다도 적은 경우, 같은 형태에 제4질화물 반도체막과의 차가 적게 되고, 같은 형태 에 캐리어 농도가 큰 층이 얻어지기 어려운 경향이 있고, 또한 $1\times10^{21}/cm^3$ 보다도 많은 경우, 결정성이 나빠지는 경향이 있다. 한편, 제4질화물 반도체막의 p형 불순물농도는 제3질화물 반도체막보다도 적으면 좋고, 바람직하게는 1/10이상 적은 것이 요망된다. 가장 바람직하게는 언도핑하면 가장 이동도가 높은 층이 얻어지나, 막의 두께가 얇기 때문에 제3질화물 반도체측에서부터 확산되어 오는 p형 불순물이 있고, 그 양은 $1\times10^{20}/cm^3$ 이하가 바람직하다. 또한, 밴드갭(bandgap) 에너지가 큰 제3질화물 반도체막에 p형 불순물을 적게 도핑하고, 밴드갭 에너지가 작은 제4질화물 반도체막에 p형 분순물을 많게 도핑하는 경우도 동일 형태이다.

p형 분순물로는 Mg, Zn, Ca, Be 등의 주기율표 제 2A족, 2B족 원소를 선택하고, 바람직하게는 Mg, Ca등을 p형 분순물로 한다.

또한, 다층막을 구성하는 질화물 반도체층에 있어서, 불순물이 고농도로 도핑되는 층은, 두께방향에 대하여 반도체층 중심부 근방의 불순물 농도가 크고 양단부 근방의 불순물 농도가 작게(바람직하게는 언도핑)하는 것이 저항률을 저하시키는데 좋다.

다음, p측 클래드층(8)이 p형 불순물을 함유한 $Al_bGa_{1-b}N(0\leq b\leq 1)$ 단일층으로 이루어진 경우, p측 단일막 클래드층(8)의 막두께는 2000 옹스트롬 이하, 바람직하게는 1000 옹스트롬 이하이고, 보다 바람직하게는 500 내지 100 옹스트롬 범위내이다. 막 두께가 상기 범위인 경우, 바람직하게 발광출력이 향상되고, Vf가 저하 된다. p측 단일막 클래드층(8)의 조성은 $Al_bGa_{1-b}N(0\leq b\leq 1)$이다.

또한, 단일막층의 클래드층은 상기 다층막 구조의 p측 클래드층에 비하여 결정성은 조금씩 떨어지지만, 상기 제1 다층막층(4)과의 조합에 의해, 결정성이 좋게 성장시키는 것이 가능하고, 임계 전류(threshold current) 및 Vf의 저하가

가능하게 된다. 또한, 이와 같이 단일막에 있어서도 그 다른 층 구성과 조합하는 것에 의해 소자의 성능저하를 적게 하고, 더욱이 단일막이 있기 때문에, 제조공정의 간이화가 가능하게 되고 양산하는 경우에 바람직하다.

p측 단일막 클래드층(8)의 p형 불순물 농도는 1×10^{18} 내지 1×10^{21} /cm ^{3} 이고, 바람직하게는 5×10^{18} 내지 5×10^{20} /cm ^{3}, 보다 바람직하게는 5×10^{19} 내지 1×10^{20} /cm ^{3} 이다. 불순물 농도가 상기 범위인 경우 좋은 p형막이 얻어질 수 있다.

다음, 본 실시예 5에 따르면, Mg 도핑 p측 GaN 콘택트층(9)은, 그 조성을 In, Al을 함유하지 않는 2원 화합물의 질화물 반도체로 한다. 반대로 In, Al을 함유하고 있으면, p전극(11)의 오믹(ohmic) 접촉이 얻어질 수 없게 되어, 발광효율이 저하된다. p측 콘택트층(9)의 막두께는 0.001 내지 0.5㎛, 바람직하게는 0.1 내지 0.3㎛, 보다 바람직하게는 0.05 내지 0.2㎛이다. 막두께가 0.001㎛ 보다도 얇은 경우 p형 GaAlN 클래드층과 전기적으로 단락하기 쉽게 되고, 콘택트층으로서 작용하기 어렵다. 또한, 3원 화합물의 GaAlN 클래드층 위에, 조성이 상이한 2원 화합물의 GaN 콘택트 층을 적층하기 때문에, 반대로 그 막두께를 0.5㎛보다도 두껍게 하면 결정간의 부정합에 의해 격자 결함이 P측 GaN 콘택트 층(9)중간에 발생하기 쉽고, 결정성이 저하하는 경향이 있다. 또한, 콘택트 층의 막두께가 얇아짐에 따라 Vf를 저하시키고 발광효율을 향상시키는 것이 가능하다. 또한 그 p형 GaN 콘택트 층(9)의 p형 불순물이 Mg이면 p형 특성이 얻어지기 쉽고, 오믹접촉이 얻어지기 쉽게 된다. Mg의 농도는 1×10^{18} 내지 1×10^{21} /cm ^{3} 이고, 바람직하게는 5×10^{18} 내지 3×10^{20} /cm ^{3}, 보다 바람직하게는 1×10^{20} /cm ^{3} 정도이다. Mg농도가 그 범위에 있으면 좋은 p형막이 얻어지기 쉽고, Vf가 바람직하게 저하된다.

또한, n전극(12)은 n측 콘택트 층(4)위에, p전극은 Mg도핑 p측 GaN콘택트 층(9)위에 각각 형성되어 있다. n전극 및 p전극의 재료에 있어서는 특히 한정하지 않지만, 예를 들면 n전극은 W/Al, p전극은 Ni/Au을 사용하는 것이 가능하다.

실시형태 6

다음, 본 발명과 관련된 실시형태 6의 질화물 반도체 소자에 대해 설명한다. 실시형태 6의 질화물 반도체 소자는 n형 다층막층 및 p형 다층막층을 갖는 질화물 반도체이고, 기본 구성은 실시형태 1과 같은 형태이기 때문에 도 1을 참조하여 설명한다.

실시형태 6의 질화물 반도체 소자는, 사파이어(sapphire) 기판(1)위에, GaN으로 이루어진 버퍼층(2), 언도핑 GaN층(3), Si 도핑 GaN으로 이루어진 n형 콘택트 층(4), 언도핑 GaN층(5), n형 다층막층(6), InGaN/GaN으로 이루어진 다중 양자 우물구조 활성층(7), p형 다층막층(8), Mg 도핑 GaN으로 이루어진 P형 콘택트 층(9) 이 순서대로 적층되어 구성되고, 상기 n형 다층막층(6) 및 p형 다층막층(8)을 구성하는 각각의 질화물 반도체 조성, 및/또는 층수가 n측과 p측에서 상이한 점이 실시 형태 1과 다르다. 또한 본 실시형태 6의 질화물 반도체소자에는 n형 다층막층(6) 및 p형 다층막층(8)으로서, 실시형태 1 내지 5에서 설명한 종류의 다층막층을 사용할 수 있다.

여기서, 도 1에는 n형 질화물 반도체로서 n형 다층막층을 1층 그리고 p형 질화물 반도체로서 p형 다층막층을 1층 설치하고 있지만, n측 영역 및 p측 영역에 각각 다층막층을 2층이상 설치하는 것도 좋다. 예를 들면, 상기 언도핑 GaN층(5)을, 기판측에서 언도핑 질화물 반도체로 이루어진 하층, n형 불순물이 도핑되어 있는 질화물 반도체로 이루어진 중간층, 및 언도핑 질화물 반도체로 이루어진 상층을 순서대로 적층하여이루어진 다층막층으로 하면, 발광출력, Vf 및 정전내압이 보다 바람직하게 향상될 수 있다. 이와 같이, n측 영역에 2종의 n형 다층막층이 있는 경우, 2종의 n형 다층막층의 어느것 인가가 p형 다층막층의 층수보다 많다면 좋다.

우선, 다층막층에 대하여 설명한다.

본 실시예 6에 따라, n형 다층막층(6)은, 조성이 다른 적어도 2종류 이상의 질화물 반도체로 구성되면 좋고, 바람직한 조성은, $Al_zGa_{1-z}N(0 \leq z < 1)$[제1 질화물 반도체막]과 $In_pGa_{1-p}N(0 < p < 1)$[제2 질화물 반도체막]과의 2종류 조성이다.

제1 질화물 반도체막의 바람직한 조성은, 상기 제1 질화물 반도체막을 나타내는 화학식의 z값이 작아짐에 따라 결정성이 좋게 되고, 보다 바람직하게는 z값이 0을 나타내는 GaN이다.

또한, 제2 질화물 반도체막의 바람직한 조성은, 상기 제2 질화물 반도체막을 나타내는 화학식의 p값이 0.5이하의 $In_pGa_{1-p}N$, 보다 바람직하게는 p값이 0.1이하의 $In_pGa_{1-p}N$ 이다.

본 발명에 있어서, 제1 질화물 반도체막과 제2 질화물 반도체막과의 바람직한 조합은, 제1 질화물 반도체막이 GaN이고, 제2 질화물 반도체막이 X값 0.5이하의 $In_xGa_{1-x}N$ 인 조합이다.

또한, 상기 조성으로 이루어진 n형 다층막층(6)은, 제1 질화물 반도체막 및 제2 질화물 반도체막을 각각 적어도 1층 이상 형성하고, 합하여 2층 이상 또는 3층 이상, 바람직하게는 각각 적어도 2층 이상 적층하고, 합하여 4층 이상 적층하고, 바람직하게는 각각 적어도 7층 이상 적층하고, 합하여 14층 이상 적층한다.

제1 질화물 반도체막과 제2 질화물 반도체막의 적층수의 상한은 특히 한정되지 않지만, 예를 들면 500층 이하이다. 500층을 초과하면, 적층하는 시간이 지나치게 걸려 조작이 번잡하게 되고, 소자특성이 점점 저하하는 경향이 있다.

n형 다층막(6)을 구성하는 단일 질화물 반도체층의 막두께는, 특히 한정되지 않지만 2종 이상의 질화물 반도체층의 적어도 1 종의 단일 질화물 반도체층의 막두께를 100 옹스트롬 이하, 바람직하게는 70 옹스트롬 이하, 보다 바람직하게는 50 옹스트롬 이하로 한다.

이와 같이 n형 다층막층(6)을 구성하는 단일 질화물 반도체층의 막두께를 얇 게 하는 것에 의해, 다층막층이 초격자 구조로 되고, 다층막층의 결정성이 좋게되기 때문에 출력이 향상되는 경향이 있다.

n형 다층막층(6)이 제1 질화물 반도체막과 제2 질화물 반도체막으로 구성되는 경우, 적어도 한쪽의 막두께를 100 옹스트롬 이하, 바람직하게는 70 옹스트롬 이하, 가장 바람직하게는 50 옹스트롬 이하로 한다.

제1 질화물 반도체막 및 제2 질화물 반도체막의 적어도 한쪽이 100 옹스트롬 이하의 박막층으로 되면, 단일 질화물 반도체층은 각각 탄성임계막두께 이하로 되어 결정이 좋게 된다. 상기 결정성이 개선된 질화물 반도체층위에 다시 탄성임계막두께 이하의 질화물 반도체를 성장시키면, 보다 결정성이 개선된다. 상기로부터 제1 및 제2 질화물 반도체막의 결정성이 적층됨에 따라서 향상되고, 결과는 n형 다층막층(6) 전체의 결정성이 향상된다. 상기 n형 다층막층(6)의 전체 결정성이 향상되는 것에 의해, 소자의 발광출력이 향상된다.

제1 질화물 반도체막 및 제2 질화물 반도체막의 바람직한 막두께는 양쪽 모두 100 옹스트롬 이하, 보다 바람직하게는 70 옹스트롬 이하, 가장 바람직하게는 50 옹스트롬 이하이다.

n형 다층막층(6)을 구성하는 제1 및 제2 질화물 반도체막의 막두께가 양쪽 모두 100 옹스트롬 이하로 되면, 단일 질화물 반도체 막두께가 탄성임계막두께 이하로 되고, 두꺼운 막으로 성장되는 경우와 비교하여 결정성이 향상되는 질화물 반도체가 성장될 수 있다.

또한, n형 다층막층(6)의 제1 및 제2 질화물 반도체막의 양쪽 막두께를 70 옹스트롬 이하로 하면, 다층막층이 초격자 구조로 되어 결정성이 향상되고, 상기 결정성이 향상되는 초격자 구조 위에 활성층을 성장기키면 n형 다층막층(6)이 버퍼층과 같이 작용하여 결정성이 좋게 활성층을 성장시킬 수 있다.

n형 다층막층(6)의 막두께는, 특히 한정되지 않지만 25 내지 10000 옹스트롬이고, 바람직하게는 25 내지 5000 옹스트롬이고, 보다 바람직하게는 25 내지 1000 옹스트롬이다. 막두께가 상기 범위이면, 결정성이 좋고 소자의 출력이 향상한다.

n형 다층막층(6)은 형성되는 위치는 특히 한정되지 않고, 활성층(7)에 접하여 형성되어도, 활성층(7)과 떨어져서 형성되어도 좋고, 바람직하게는 n형 다층막층(6)이 활성층(7)에 접하여 형성되어지는 것이 바람직하다.

n형 다층막층(6)이 활성층(7)에 인접하여 형성되어지는 경우, 활성층(7)의 최초 층인 우물층 또는 장벽층과 접하는 n형 다층막층(6)을 구성하는 질화물 반도체로서는, 제1 질화물 반도체막 이라도, 제2 질화물 반도체막 이라도 좋다. 이와 같이 n형 다층막층(6)을 구성하는 제1 질화물 반도체막과 제2 질화물 반도체막과의 적층순서는 특히 한정되는 것은 아니다. 결국, 제1 질화물 반도체에서 적층을 시작하고 제1 질화물 반도체에서 끝나도, 제1 질화물 반도체에서 적층을 시작하고 제2 질화물 반도체에서 끝나도, 제2 질화물 반도체에서 적층을 시작하고 제1 질화물 반도체에서 끝나도, 또한 제2 질화물 반도체에서 적층을 시작하고 제2 질화물 반도체에서 끝나도 좋다.

도 1에서는, n형 다층막층(6)은, 활성층(7)에 접하여 형성되어있지만, 상기와 같이, n형 다층막층(6)이 활성층(7)과 떨어져서 형성되어 있는 경우, n형 다층 막층(6)과 활성층(7)과의 사이에, 다른 n형 질화물 반도체로 되는 층이 형성되어 있는 것도 좋다.

본 실시형태 6에 있어서, n형 다층막층(6)을 구성하는 단일 질화물 반도체층, 예를 들면 제1 및 제2 질화물 반도체막은, 언도핑되어 있어도, n형 불순물이 도핑되어 있어도 좋다.

본 실시형태 6에 있어서, 언도핑은, 의도적으로 불순물을 도핑하지 않은 상태를 말하여, 예를 들면 인접하는 질화물 반도체층에서 확산에 의해 혼입되어지는 불순물도 본 발명에는 언도핑이라 말한다. 다시 말하면, 확산에 의해 혼입되어지는 불순물로 인해 불순물 농도는 층내에 경사농도를 갖는다.

n형 다층막층(6)을 구성하는 단일 질화물 반도체층이, 제1 질화물 반도체막 및 제2 질화물 반도체막으로 이루어진 경우, 제1 및 제2 질화물 반도체막은 양쪽 모두 언도핑되어도 좋고, 양쪽에 n형 불순물이 도핑되어도 좋고, 또한 어느 것 한쪽에 불순물이 도핑되어도 좋다.

제1 질화물 반도체막 및 제2 질화물 반도체막의 어느 것 한쪽에 n형 불순물을 도핑하는 것 또는 양쪽에 n형 불순물이 도핑되어 인접하는 질화물 반도체층 사이에 농도가 다른 것을 변조 도핑이라 하고, 변조 도핑하는 것에 의해 출력을 향사하기 쉬운 경향이 있다.

또한, 제1 질화물 반도체막 및 제2 질화물 반도체막의 양쪽에 n형 불순물이 도핑되어 있는 경우, 인접하는 단일 질화물 반도체층에 불순물 농도가 달라도 동일해도 좋고, 바람직하게는 다른 것이 선택된다.

결정성을 좋게 하기 위해, 언도핑이 가장 바람직하고, 다음으로 인접하는 한쪽이 언도핑 되는 변조도핑, 그 다음으로 인접하는 양쪽에 도핑되는 변조도핑이 바람직하다.

또한, 제1 질화물 반도체막 및 제2 질화물 반도체막의 양쪽에 n형 불순물이 도핑되어 있는 경우, 불순물 농도는 어느 층의 농도가 높아도 좋다.

n형 불순물을 도핑하는 경우의 불순물 농도는 특히 한정되지 않지만, $5 \times 10^{21}/cm^3$ 이하, 바람직하게는 $1 \times 10^{20}/cm^3$ 이하, 하한은 $5 \times 10^{16}/cm^3$ 로 조정한다. $5 \times 10^{21}/cm^3$ 보다도 많으면 질화물 반도체층의 결정성이 악화되고, 역으로 출력이 저하하는 경향이 있다. 이것은 변조 도핑의 경우에도 같은 형태이다.

본 발명에 있어서, n형 불순물은 Si, Ge, Sn, S 등의 4족, 6족 원소를 선택하는 것이 바람직하고, 더욱 바람직하게는 Si, Sn을 사용한다.

다음, p형 다층막층(8)에 대해서 설명한다.

본 실시형태 6에 따라, p형 다층막층(8)은, 조성이 다른 적어도 2종류 이상의 질화물 반도체로 구성되면 좋고, 바람직한 조성은, $Al_xGa_{1-x}N(0< x <1)$[제3 질화물 반도체막]과 $In_yGa_{1-y}N(0\leq y<1)$[제4 질화물 반도체막]과의 2종류 조성이다.

제3 질화물 반도체막의 바람직한 조성은, 상기 제3 질화물 반도체막을 나타내는 화학식의 x값이 0.5이하의 $Al_xGa_{1-x}N$ 이다. x값이 0.5를 초과하면 결정성이 악화되어 크랙(crack)이 생기기 쉬운 경향이 있다.

또한, 제4 질화물 반도체막의 바람직한 조성은, 상기 제4 질화물 반도체막을 나타내는 화학식의 y값이 0(제로)인 GaN이다. y값은 제로이면 전체적으로 결정성이 좋은 다층막층이 성장되기 쉬운 경향이 있다.

본 실시형태 6에 있어서, n형 다층막층(8)을 구성하는 질화물 반도체의 바람직한 조합은, 제3 질화물 반도체막이 x값 0.5이하의 $Al_xGa_{1-x}N$ 이고, 제4 질화물 반도체막이 GaN과의 조합이다.

또한, 상기 조성으로 이루어진 p형 다층막층(8)은, 제3 질화물 반도체막 및 제4 질화물 반도체막을 각각 적어도 1층 이상 형성하고, 합하여 2층 이상 또는 3층 이상, 바람직하게는 각각 적어도 2층 이상 적층하고 합하여 4층 이상 적층한 것이다.

제3 질화물 반도체막과 제4 질화물 반도체막의 적층 상한은 특히 한정되지 않지만, 적층시간 등 제조공정과 소자특성 등을 고려하면, 예로 100층 이하이다.

p형 다층막층(8)의 막두께는, 특히 한정되지 않지만 25 내지 10000 옹스트롬이고, 바람직하게는 25 내지 5000 옹스트롬이고, 보다 바람직하게는 25 내지 1000 옹스트롬이다. 막두께가 상기 범위이면, 결정성이 좋고 소자의 출력이 향상한다.

또한 본 발명에 있어서, p형 다층막층(8)은 상기 범위의 막두께 내에 비교적 막두께를 얇게 형성하지만, 소자의 Vf, 임계 전류가 저하하기 쉽게 되는 경향이 있다.

p형 다층막층(8)을 구성하는 단일 질화물 반도체층의 막두께는, 특히 한정되 는 것은 아니나, 2종류 이상의 질화물 반도체층의 적어도 1종류 질화물 반도체층의 단일 질화물 반도체층의 막두께를 100 옹스트롬 이하, 바람직하게는 70 옹스트롬 이하, 보다 바람직하게는 50 옹스트롬 이하로 한다.

이와 같이 p형 다층막층(8)을 구성하는 단일 질화물 반도체층의 막두께를 얇게 하는 것에 의해, 다층막층이 초격자 구조로 되고, 다층막층의 결정성이 좋게되기 때문에, p형 불순물을 첨가한 경우 캐리어 농도가 크고 저항율이 작은 p형이 얻어지고, 소자의 Vf 와 임계전류등이 저하하기 쉬운 경향이 있다. 또한, 저소비 전력에 바람직한 발광출력을 얻을 수 있다.

p형 다층막층(8)이 제3 질화물 반도체막과 제4 질화물 반도체막으로 구성되는 경우, 적어도 한쪽의 막두께를 100 옹스트롬 이하, 바람직하게는 70 옹스트롬 이하, 가장 바람직하게는 50 옹스트롬 이하로 한다.

제3 질화물 반도체막 및 제4 질화물 반도체막의 적어도 한쪽이 100 옹스트롬 이하의 박막층으로 하면, 단일 질화물 반도체층은 각각 탄성임계막두께 이하로 되어 결정이 좋게 된다. 상기 결정성이 개선된 질화물 반도체층위에 다시 탄성임계막두께 이하의 질화물 반도체를 성장시키면, 보다 결정성이 개선된다. 상기로부터 제3 및 제4 질화물 반도체막의 결정성이 적층됨에 따라서 향상되고, 결과는 p형 다층막층(8) 전체의 결정성이 향상된다. 상기 p형 다층막층(8)의 전체 결정성이 향상되는 것에 의해, p형 불순물을 첨가한 경우 캐리어 농도가 크고 저항율이 작은 p형층이 얻어지고, 소자의 Vf 와 임계전류등이 저하하기 쉬운 경향이 있다. 또한, 저소비 전력에 바람직한 발광출력을 얻을 수 있다.

제3 질화물 반도체막 및 제4 질화물 반도체막의 바람직한 막두께는 양쪽 모두 100 옹스트롬 이하, 보다 바람직하게는 70 옹스트롬 이하, 가장 바람직하게는 50 옹스트롬 이하이다.

p형 다층막층(8)을 구성하는 제3 및 제4 질화물 반도체막의 막두께가 양쪽 모두 100 옹스트롬 이하로 하면, 단일 질화물 반도체 막두께가 탄성임계막두께 이하로 되고, 두꺼운 막에 성장되는 경우와 비교하여 결정성이 향상되는 질화물 반도체가 성장될 수 있다.

또한, p형 다층막층(8)의 제3 및 제4 질화물 반도체막의 양쪽 막두께를 70 옹스트롬 이하로 하면, 다층막층이 초격자 구조로 되어 결정성이 향상되거나, 소자의 Vf 와 임계전류등이 저하하기 쉽게 되거나, 바람직하게 발광출력을 향상시킨다.

p형 다층막층(8)은 형성되는 위치는 특히 한정되지 않고, 활성층(7)에 접하여 형성되어도, 활성층(7)과 떨어져 형성되어도 좋고, 바람직하게는 p형 다층막층(8)이 활성층(7)에 접하여 형성되어지는 것이 바람직하다. p형 다층막층(8)이 활성층(7)에 접하여 형성되어지면 바람직하게 발광출력이 향상되기 쉽다.

p형 다층막층(8)이 활성층(7)에 인접하여 형성되어지는 경우, 활성층(7)의 최초 층인 우물층 또는 장벽층과 접하는 p형 다층막층(8)을 구성하는 질화물 반도체는, 제3 질화물 반도체막 이라도, 제4 질화물 반도체막 이라도 좋다. 이와 같이 p형 다층막층(8)을 구성하는 제3 질화물 반도체막과 제4 질화물 반도체막과의 적층순서는 특히 한정되는 것은 아니다. 결국, 제3 질화물 반도체에서 적층을 시작하고 제3 질화물 반도체에서 끝나도, 제3 질화물 반도체에서 적층을 시작하고 제4 질화물 반도체에서 끝나도, 제4 질화물 반도체에서 적층을 시작하고 제3 질화물 반도체에서 끝나도, 또한 제4 질화물 반도체에서 적층을 시작하고 제4 질화물 반도체에서 끝나도 좋다.

도 1에서는, p형 다층막층(8)은, 활성층(7)에 접하여 형성되어있지만, 상기와 같이, p형 다층막층(8)이 활성층(7)과 떨어져서 형성되어 있는 경우, p형 다층막층(8)과 활성층(7)과의 사이에, 다른 p형 질화물 반도체로 되는 층이 형성되어 있는 것도 좋다.

또한, 본 실시예 6에 있어서, 제3 질화물 반도체막 및 제4 질화물 반도체막은, 양쪽 모두 언도핑 되어도, 어느 것 한쪽에 p형 불순물이 도핑되어도 좋고, 양쪽에 p형 불순물이 도핑되어도 좋다.

p형 다층막층(8)을 구성하는 제3 및 제4 질화물 반도체막은, 양쪽 모두에 언도핑인 경우, p형 다층막층(8)의 막두께를 0.1㎛ 이하, 바람직하게는 700 옹스트롬 이하, 보다 바람직하게는 500 옹스트롬 이하로 한다. 막두께가 0.1㎛ 보다도 두꺼운 경우, 활성층에 정공(electron hole)이 주입되기 어려워 발광출력이 저하하기 쉬운 경향이 있다. 또한, 막두께가 0.1㎛를 초과하면, 언도핑층의 저항치가 높게 되는 경향이 있다.

또한, 제3 및 제4 질화물 반도체막의 어느 한쪽에, p형 불순물이 도핑되어 변조 도핑을 하면, 발광출력이 향상하기 쉬운 경향이 있다. 또한, 변조 도핑하면 캐리어 농도가 높은 p층이 바람직하게 얻어지기 쉽다.

또한, 제3 및 제4 질화물 반도체막의 양쪽에 p형 불순물을 도핑하면 한쪽이 언도핑되는 경우와 비교하여, 캐리어 농도가 높게 되어 Vf가 저하된다. 제3 및 제4 질화물 반도체막의 양쪽에 p형 불순물을 도핑하는 경우, 인접하는 질화물 반도체층에 불순물 농도가 달라도 동일해도 좋지만, 다른 것이 바람직하다.

본 실시형태 6에 있어서, p형 다층막층(8)에 p형 불순물을 도핑하는 경우, p형 불순물은 Mg, Zn, Cd, Be, Ca 등의 2족 원소가 바람직하고, 보다 바람직하게는 Mg, Be를 사용한다.

p형 불순물을 도핑하는 경우, 불순물 농도는 $1 \times 10^{22}/cm^3$ 이하, 바람직하게는 $5 \times 10^{20}/cm^3$ 이하로 조정한다. $1 \times 10^{22}/cm^3$ 보다도 크면 질화물 반도체층의 결정성이 악화되고, 발광출력이 저하하는 경향이 있다. p형 불순물의 도핑량의 하한은 특히 한정되지 않지만, $5 \times 10^{16}/cm^3$ 이상이다.

이하에, 도 1에 나타난 n형 다층막층(6) 및 p형 다층막층(8)이외의 다른 소자구조를 형성하는 각층에 대하여 설명하지만, 본 발명은 여기에 한정되는 것은 아니다.

기판(1)은 C면, R면 또는 A면을 주면으로 하는 사파이어, 또는 스피넬(spinel)($MgAl_2O_4$)과 같은 절연성 기판외에, SiC(6H, 4H, 3C를 포함), Si, ZnO, GaAs, GaN등의 반도체 기판을 사용할 수 있다.

버퍼층(2)으로서는, $Ga_dAl_{1-d}N$(단 $0< d \leq 1$)으로 이루어진 질화물 반도체이고, 바람직하게는 Al이 적게 포함된 조성일수록 결정성이 개선이 현저하고, 보다 바람직하게는 GaN으로 이루어진 버퍼층(2)이다.

버퍼층(2)의 막두께는, 0.002 내지 0.5 ㎛, 바람직하게는 0.005 내지 0.2 ㎛, 보다 바람직하게는 0.01 내지 0.02 ㎛의 범위로 조정한다. 버퍼층(2)의 막두께가 상기범위이면, 질화물 반도체의 결정형태가 개선되고, 버퍼층(2)위에 성장되는 질화물 반도체의 결정성이 개선된다.

버퍼층(2)의 성장온도는, 200 내지 900 ℃이고, 바람직하게는 400 내지 800 ℃ 범위로 조정한다. 성장온도가 상기범위이면 좋은 다결정이 되고, 상기 다결정이 종결정(seed crystal)으로서 버퍼층(2)위에 성장되는 질화물 반도체의 결정성을 향상시킬 수 있다. 또한, 이와 같은 저온에서 성장시키는 버퍼층(2)은 기판 종류, 성장방법등에 따라 생략해도 무방하다.

언도핑 GaN층(3)은, 이전에 성장시킨 버퍼층(2)보다도 고온, 예를 들면 900℃ 내지 1100℃에서 성장시키고, $In_fAl_gGa_{1-f-g}N$($0 \leq f$, $0 \leq g$, $f+g \leq 1$)으로 구성될 수 있고, 그 조성은 특히 한정되지 않지만, 바람직하게는 GaN, g값이 0.2이하의 $Al_gGa_{1-g}N$으로 하면 결정 결함이 적은 질화물 반도체층이 얻어지기 쉽다. 또한 막두께는 특히 한정되지 않지만, 버퍼층보다도 두꺼운 막, 통상 0.1 ㎛이상의 막두께로 성장시킬 수 있다.

Si 도핑 GaN으로 이루어진 n형 콘택트층(4)은, 언도핑 GaN층(3)과 같은 형 태, $In_fAl_gGa_{1-f-g}N$($0 \leq f$, $0 \leq g$, $f+g \leq 1$)으로 구성될 수 있고, 그 조성은 특히 한정되지 않지만, 바람직하게는 GaN, g값이 0.2이하의 $Al_gGa_{1-g}N$으로 하면 결정 결함이 적은 질화물 반도체층이 얻어지기 쉽다. 막두께는 특히 한정되지 않지만, n전극을 형성하는 층이기 때문에 1 ㎛이상의 막두께로 성장시키는 것이 요망된다. 더욱이 n형 불순물 농도는 질화물 반도체의 결정성을 악화하지 않는 정도로 고농도 도핑하는 것이 요망되는데, $1 \times 10^{18}/cm^3$ 이상, $5 \times 10^{21}/cm^3$ 이하의 범위로 도핑하는 것이 요망된다.

언도핑 GaN층(5)은, 상기와 같은 형태, $In_fAl_gGa_{1-f-g}N$($0 \leq f$, $0 \leq g$, $f+g \leq 1$)으로 구성될 수 있고, 그 조성은 특히 한정되지 않지만, 바람직하게는 GaN, g값은 0.2 이하의 $Al_gGa_{1-g}N$, 또한 f값은 0.1 이하의 $In_fGa_{1-f}N$으로 하면 결정 결함이 적은 질화물 반도체층이 얻어지기 쉽다. 상기 언도핑 GaN층을 성장시키는 것에 의해, 고농도로 불순물을 도핑시킨 n형 콘택트층(4)의 위에 직접 다음 층을 성장시키는 것과 달리, 밑의 결정성이 좋게 되기 때문에, 다음에 성장시키는 n형 다층막층(6)이 성장시기 쉽게 되어, n형 다층막층위에 활성층(7)을 성장시키면 성장하기 쉽고 결정성이 양호하게 된다. 이와 같이, 언도핑 질화물 반도체층으로 이루어진 언도핑 GaN층(3)위에, 고농도로 n형 불순물을 도핑한 질화물 반도체로 이루어진 n형 콘택트층(4), 다음 언도핑 질화물 반도체로 이루어진 언도핑 GaN층(5)을 적층하고, 다시 상기 n형 다층막층(6)을 적층한 구조로 하면, LED소자에 한 경우에 Vf가 저하되 기 쉬운 경향이 있다. n형 다층막층(6)을 언도핑 하는 경우에 언도핑 GaN층(5)을 생략할 수 있다.

또한, 본 실시형태 6에 따르면, 상기 언도핑 GaN층(5) 대신에, 실시형태 5와 같은 형태, 언도핑 하층(305a), n형 불순물이 도핑된 중간층(305b), 언도핑 상층(305c)으로 이루어진 다층막층으로 하는 것도 좋다.

상기 하층(305a) 내지 상층(305c)을 구성하는 질화물 반도체는, $In_gAl_hGa_{1-g-h}N$($0 \leq g< 1$, $0 \leq h< 1$)으로 표현되는 어떤 조성의 질화물 반도체를 사용할 수 있고, 바람직하게는 GaN으로 이루어진 조성물이 사용된다. 또한 다층막층의 각층은 조성이 동일해도 상이해도 상관없다.

다층막층의 막두께는, 특히 한정되지 않지만, 175 내지 12000 옹스트롬이고, 바람직하게는 1000 내지 10000 옹스트롬이고, 보다 바람직하게는 2000 내지 6000 옹스트롬이다. 다층막층의 막두께가 상기 범위이면 바람직하게 Vf의 최적화와 정전내압의 향상이 도모된다.

상기 범위의 막두께를 갖는 다층막층의 막두께는, 하층(305a), 중간층(305b), 및 상층(305c)의 각 막 두께를 적절히 조정하고, 다층막층의 총 막 두께를 상기 범위로 하는 것이 바람직하다.

다층막층을 구성하는 하층(305a), 중간층(305b), 및 상층(305c)의 각 막두께는, 특히 한정되는 것은 아니나, 다층막층 중에 적층되는 위치에 의해 소자성능의 제특성에 미치는 영향이 상이하기 때문에, 각층의 소자성능에 크게 관여하는 특성 에 특히 주목하고, 어느 2층의 막두께를 고정하고, 나머지 1층의 막두께를 단계적으로 변화시켜 특성이 좋게 되는 범위의 막두께를 특정하고, 다시 각층과의 조정에 의해 막두께의 범위를 특정하고 있다.

다층막층의 각층은, 각 정전내압에 직접 영향을 미치지 않는 경우도 있으나, 각층을 조합하여 다층막층으로 하는 것에 의해, 전체로서 소자특성이 양호하게됨과 동시에, 특히 발광출력 및 정전내압이 현저히 좋게 된다.

언도핑 하층(305a)의 막두께는, 100 내지 10000 옹스트롬, 바람직하게는 500 내지 8000 옹스트롬, 보다 바람직하게는 1000 내지 5000 옹스트롬이다. 언도핑 하층(305a)은, 막두께를 서서히 두껍게 하면 정전내압이 상승하지만 10000 옹스트롬 부근에서 Vf가 급상승하고, 한쪽 막두께를 얇게 하면 Vf는 저하하지만 정전내압의 저하가 크게 되고, 100 옹스트롬 미만에서는 정전내압의 저하에 따라 생산성의 저하가 크게 되는 경향이 보인다. 또한, 상층(305a)은, n형 불순물을 포함하는 n측 콘택트층(4)의 결정성 저하의 영향을 개선하는 것으로 생각되어 지기 때문에, 결정성이 개선되는 정도의 막두께에서 성장되는 것이 바람직하다.

n형 불순물 도핑의 중간층(305b)의 막두께는 50 내지 1000 옹스트롬, 바람직하게는 100 내지 500 옹스트롬, 보다 바람직하게는 150 내지 400 옹스트롬이다. 상기 불순물이 도핑된 중간층(305b)은, 캐리어 농도를 충분히 하여 발광출력에 비교적 크게 작용하는 층이고, 상기 층을 형성시키지 않으면 현저하게 발광출력이 저하하는 경향이 있다. 막두께가 1000 옹스트롬을 초과하면 발광출력은 상품이 되기 어려운 정도까지 크게 저하하는 경향이 있다. 한편, 중간층(305b)의 막두께가 두꺼우 면 정전내압은 좋지만, 막두께가 50 옹스트롬 미만에서 정전내압의 저하가 크게 되는 경향이 있다.

언도핑 상층(305c)의 막두께는 25 내지 1000 옹스트롬, 바람직하게는 25 내지 500 옹스트롬, 보다 바람직하게는 25 내지 150 옹스트롬이다. 상기 언도핑 상층(305c)은, 제1 다층막의 가운에 활성층에 접하거나 또는 가장 근접하여 형성되고 누전 방지에 크게 관여하지만, 상층(305c)의 막두께가 25 옹스트롬 미만에서는 누전이 증가하는 경향이 있다. 또한, 상층(305c)의 막두께가 1000 옹스트롬을 초과하면 Vf가 상승하고 정전내압도 저하하는 경향이 있다.

이상에서와 같이, 하층(305a) 내지 상층(305c)의 각 막두께는, 각층의 막두께의 변동에, 보다 많은 영향을 받는 소자특성에 주목하고, 다시 하층(305a), 중간층(305b) 및 상층(305c)을 조합한 경우, 모든 소자특성이 양호하게 되고, 특히 발광출력 및 정전내압이 양호하게 되도록 각 막두께를 규정하는 것에 의해, 양호한 발광출력 및 양호한 정전내압을 얻을 수 있고 상품의 신뢰성 향상을 달성할 수 있다.

또한, 다층막층의 각층의 막 두께의 조합은, 발광파장의 종류에 의한 활성층의 조성의 변화와, 전극, LED 소자 형상의 어느 조건에 의해, 가장 양호한 효과를 얻도록 적절히 조정된다. 각 층의 막 두께의 조합에 따른 성능은 상기 범위의 막 두께에서 적절히 조합한 것에 의해 종래와 비교하여 양호한 발광출력 및 양호한 정전내압을 얻을 수 있다.

다층막층을 구성하는 각층 305a, 305b, 305c의 조성은, $In_mAl_gGa_{1-m-n}N(0\leq m< 1, 0\leq n< 1)$으로 표현되는 조성이 있다면 좋고, 각층의 조성은 동일해도 상이해도 좋고, 바람직하게는 In 및 Al의 비율이 적은 조성이, 보다 바람직하게는 GaN으로 이루어진 층이 바람직하다.

상기 n형 불순물 도핑의 중간층(305b)의 n형 불순물의 도핑양은, 특히 한정되지 않지만, $3 \times 10^{18}/cm^3$ 이상, 바람직하게는 $5 \times 10^{18}/cm^3$ 이상의 농도를 포함한다. n형 불순물의 상한은 특히 한정되지 않지만 결정성이 악화되지 않도록 하는 정도의 한계는 $5 \times 10^{21}/cm^3$ 이하가 요망된다. 제1 다층막층의 중간층의 불순물 농도가 상기 범위이면, 바람직하게 발광출력의 향상과 Vf가 저하된다.

n형 불순물은 Si, Ge, Se, S, O등 주기율표 제4B족, 제6B족 원소, 바람직하게는 Si, Ge, S로 한다.

또한, 다층막층의 계면에 있어서는, 각각의 층 및 소자의 기능을 해하지 않는 범위로 양쪽의 층을 겸한다.

다음, 활성층(7)은, 적어도 In을 포함하여 이루어진 질화물 반도체, 바람직하게는 $In_jGa_{1-j}N(0\leq j \leq 1)$을 포함하여 이루어진 우물층을 갖는 단일양자 우물구조, 또는 다중 양자 우물 구조물을 갖는다.

활성층(7)의 적층순서는, 우물층에서 적층하고 우물층에서 끝나도 좋고, 우물층에서 적층하고 장벽층에서 끝나도 좋고, 또는 장벽층에서 적층하고 우물층에서 끝나도 좋고, 적층순서는 특히 한정되지 않는다. 우물층의 막두께는 100 옹스트롬 이하, 바람직하게는 70 옹스트롬 이하, 보다 바람직하게는 50 옹스트롬 이하로 조정된다. 100 옹스트롬 보다도 두꺼우면, 출력이 향상되기 어려운 경향이 있다. 한편, 장벽층의 두께는 300 옹스트롬 이하, 바람직하게는 250 옹스트롬 이하, 가장 바람직하게는 200 옹스트롬 이하로 조정한다.

다음, Mg 도핑 GaN으로 이루어진 p형 콘택트층(9)은, 상기와 같은 형태 $In_fAl_gGa_{1-f-g}N(0\leq f, 0\leq g, f+g\leq 1)$으로 구성될 수 있고, 그 조성은 특히 한정되지 않지만, 바람직하게는 GaN으로 하면 결정 결함이 적은 질화물 반도체층이 얻어지기 쉽고, 또한 p전극재료와 바람직한 오믹 접촉이 얻어지기 쉽다.

또한, 본 발명에 있어 p전극 및 n전극은, 특히 한정되지 않고, 종래 공지된 전극등, 예를 들면 실시예에 기재된 전극이 사용될 수 있다.

이하, 본 발명에 속하는 실시예에 대해 설명하지만, 본 발명이 이하의 실시예에 한정되는 것은 아니다.

실시예 1

실시예 1은, 도 1에 게시된 본 발명에 따른 실시형태 1에 관한 것이다.

본 실시예 1은, 사파이어(C면)로이루어진 기판(1)을 MOVPE의 반응용기내에 셋팅했고, 수소를 흐르게 하여, 기판의 온도를 1050℃까지 상승시켜, 기판의 크리닝을 행한 후 이하의 각층을 형성했다. 기판(1)에는 사파이어 C면 외에, R면, A면을 주면으로 하는 사파이어, 그 외에 스피넬($MgAl_2O_4$)과 같은 절연성 기판 이외에, SiC(6H, 4H, 3C를 포함), Si, ZnO, GaAs, GaN등의 반도체 기판을 사용할 수 있다.

(제1 버퍼층(2))

그 후, 온도를 510 ℃까지 내리고, 캐리어 가스로서 수소, 원료 가스로서 암모니아와 TMG(트리메틸가리움)을 사용하여, 기판(1)상에 GaN으로 이루어진 버퍼층(202)을 약 200 옹스트롬의 막 두께로 성장시켰다. 상기 온도에서 성장시킨 제1 버퍼층(2)은 기판의 종류, 성장방법등에 따라서 생략할 수 있다.

(제2 버퍼층(3))

버퍼층(2) 성장 후, TMG만을 멈추고, 온도를 1050℃까지 상승시켰다.

1050℃에서, 원료가스로서 TMG, 암모니아가스를 사용하여 같은 방식으로, 언도핑 GaN으로 이루어진 제2 버퍼층(3)을 1㎛ 의 막두께로 성장시켰다. 제2 버퍼층은 미리 성장시킨 제1 버퍼층(2)보다도 고온, 예로 900℃ 내지 1100℃에서 성장시켰고, $In_XAl_YGa_{1-X-Y}N(0\leq X, 0\leq Y, X+Y\leq 1)$으로 구성할 수 있고, 그 조성은 특히 한정되지 않지만, 바람직하게는 GaN, X값이 0.2이하의 $Al_XGa_{1-X}N$으로 하면 결정 결함이 적은 질화물 반도체층이 얻어지기 쉽다. 또한 막두께는 특히 한정되지 않고, 버퍼층 보다도 두꺼운 막으로 성장시킬수 있는데, 통상 0.1 ㎛이상의 막두께로 성장시킬 수 있다.

(n측 콘택트층(4))

그 후, 1050℃에서, 원료가스로서 TMG, 암모니아가스, 불순물가스로서 시란(silane)가스를 사용하여 동일한 방법으로, Si를 $3\times10^{19}/cm^3$ 도핑한 GaN으 로 이루어진 n측 콘택트층을 3 ㎛의 막두께로 성장시켰다. 상기 n측 콘택트층(4)도 제2 버퍼층(3)과 같은 형태, $In_XAl_YGa_{1-X-Y}N(0\leq X, 0\leq Y, X+Y\leq 1)$으로 구성할 수 있고, 그 조성은 특히 한정되지 않지만, 바람직하게는 GaN, X값이 0.2이하의 $Al_XGa_{1-X}N$으로 하면 결정 결함이 적은 질화물 반도체층이 얻어지기 쉽다. 막두께는 특히 한정되지 않지만, n전극을 형성하는 층이 있기 때문에 1 ㎛이상의 막두께로 성장시키는 것이 요망된다. 또한 n형 불순물 농도는 질화물 반도체의 결정성을 악화시키지 않는 정도의 농도, $1\times10^{18}/cm^3$ 이상, $5\times10^{21}/cm^3$ 이하의 범위로 도핑하는 것이 요망된다.

(제3 버퍼층(5))

다음에 시란가스만을 멈추고, 1050℃에서 같은 형태로 언도핑 GaN으로 이루어진 제3 버퍼층(5)을 100 옹스트롬의 막 두께로 성장시켰다. 상기 제3 버퍼층(5)도 $In_XAl_YGa_{1-X-Y}N(0\leq X, 0\leq Y, X+Y\leq 1)$으로 구성할 수 있고, 그 조성은 특히 한정되지 않지만, 바람직하게는 GaN, X값이 0.2이하의 $Al_XGa_{1-X}N$, 또한 Y값이 0.1 이하의 $In_YGa_{1-Y}N$으로 하면 결정 결함이 적은 질화물 반도체층이 얻어지기 쉽다. 상기 언도핑 GaN층을 성장시키는 것에 의해, 고농도로 불순물을 도핑한 n측 콘택트층(4)상에 직접 활성층을 성장시키는 것과 달리, 아래의 결정성이 향상되기 때문에 다음에 성장시키는 질화물 반도체를 성장시키기 쉽게 된다. 이와 같이, 언도핑 질화물 반도체층으로 이루어진 제2 버퍼층(3)상에, 고농도로 n형 분순물을 도핑한 질화물 반도 체로 이루어진 n측 콘택트 층(4), 다음에 언도핑 질화물 반도체(n측 다층막층도 포함)로 이루어진 제3 버퍼층(5)을 적층한 3층 구조로 하면, LED 소자에 한 경우 Vf가 저하되기 쉬운 경향이 있다. 또한 n측 다층막층(6)을 언도핑하는 경우는 제3 버퍼층(5)을 생략할 수 있다.

(n측 다층막층(6))

다음, 온도를 800℃로 하고, TMG, TMI, 암모니아를 사용하여, 언도핑 $In_{0.03}Ga_{0.97}N$으로 이루어진 제1 질화물 반도체막을 25 옹스트롬 성장시키고, 그 후 온도를 상승시키고, 그 위에 GaN으로 이루어진 제2 질화물 반도체막을 25 옹스트롬 성장시켰다. 그리고 상기 조작을 반복하고, 제1 + 제2 의 순서로 교대로 10층씩 적층한 초격자 구조로 이루어진 n측 다층막을 500 옹스트롬의 막 두께로 성장시켰다.

(활성층(7))

다음, 언도핑 GaN으로 이루어진 장벽층을 200 옹스트롬의 막두께로 성장시키고, 그 후 온도를 800℃로 하고, TMG, TMI, 암모니아를 사용하여 언도핑 $In_{0.4}Ga_{0.6}N$으로 이루어진 우물층을 30옹스트롬의 막두께로 성장시켰다. 그리고 장벽 + 우물 + 장벽 + 우물 .....+ 장벽의 순서로 장벽층을 5층, 우물층을 4층 교대로 적층하고, 총 막 두께를 1120 옹스트롬의 다중 양자 우물구조로된 활성층(7)을 성장시켰다. 활성층(7)은 장벽층부터 적층하지만, 적층순서는 우물층부터 적층하고 우물층에서 끝나도 좋고, 또한 우물층부터 적층하고 장벽층에서 끝나도 좋고, 장벽층부터 적층하고 우물층에서 끝나도 좋으며, 적층순서는 특히 문제되지 않는다. 우물층의 막 두께는 100 옹스트롬 이하, 바람직하게는 70 옹스트롬 이하, 보다 바람직하게는 50 옹스트롬 이하로 조정했다. 100 옹스트롬 보다도 두꺼우면 출력이 향상하기 어려운 경향이 있다. 한편, 장벽층의 두께는 300 옹스트롬 이하, 바람직하게는 250 옹스트롬 이하, 가장 바람직하게는 200 옹스트롬 이하로 조정했다.

(p측 다층막층(8))

다음, TMG, TMA, 암모니아, Cp2Mg(시클로펜타디에닐 마그네슘)을 사용하여, Mg를 $5 \times 10^{19}/cm^3$ 도핑한 p형 $Al_{0.05}Ga_{0.95}N$으로 이루어진 제3 질화물 반도체막을 25 옹스트롬의 막 두께로 성장시키고, 그 후 Cp2Mg, TMA를 정지하고 언도핑 GaN으로 된 제4 질화물 반도체막을 25 옹스트롬의 막 두께로 성장시켰다. 그리고 상기 조작을 반복하고, 제3 + 제4 순서로 교대로 4층씩 적층한 초격자로 된 p측 다층막층(8)을 200 옹스트롬의 막 두께로 성장시켰다.

(p측 콘택트층(9))

그 후, 1050℃에서, TMG, 암모니아, Cp2Mg을 사용하여, Mg를 $1 \times 10^{20}/cm^3$ 도핑한 p형 GaN으로 된 p측 콘택트층(208)을 700 옹스트롬의 막 두께로 성장시켰다. p측 콘택트층(208)도 $In_XAl_YGa_{1-X-Y}N$($0 \leq X$, $0 \leq Y$, $X+Y \leq 1$)으로 구성될 수 있고, 그 조성은 특히 한정되지 않지만, 바람직하게는 GaN으로 하면 결정 결함이 적은 질화물 반도체층이 얻어지기 쉽고, 또한 p전극 재료와 바람직한 오믹 접촉이 얻어지기 쉽다.

반응 종료 후, 온도를 실온까지 낮추고, 또한 질소 분위기하에, 워이퍼(wafer)를 반응용기 내에서, 700℃에서 아닐링(annealing)을 행하여 p형층을 더욱 저저항화한다.

아닐링후, 웨이퍼를 반응용기에서 제거하고, 최상층의 p측 콘택트층(9) 표면에 소정 형상의 마스크를 형성하고, RIE(반응성 이온 에칭)장치에 p측 콘택트층측에서 에칭을 행하여 도 1과 같은 n측 콘택트층(4)의 표면을 노출시켰다.

에칭후, 최상층에 있는 p측 콘택트층의 대략 전면에 막 두께 200 옹스트롬의 Ni와 Au를 포함하는 투광성 p전극(10)과, 상기 p전극(10)상에 결합용 Au로 된 p 패드(pad)전극(11)을 0.5㎛ 의 막 두께로 형성했다.

한편, 에칭에 의해 노출시킨 n측 콘택트층(4)의 표면에는 W와 Al을 함유하는 n전극(12)을 형성하여 LED소자로 했다.

상기 LED소자는 순방향전압 20mA에서, 520nm의 순녹색발광을 나타내고, Vf는 단지 3.2V이며, 종래 다중 양자 우물구조의 LED소자와 비교하여 Vf는 거의 0.8V 낮고 출력은 2배 이상 향상됐다. 따라서, 10mA에서 종래의 LED소자와 거의 동등한 특성을 갖는 LED가 얻어졌다.

본 실시예에 있어서, n측 다층막층을 구성하는 제2 질화물 반도체막은 GaN으로 구성했지만, 다른 $In_XAl_YGa_{1-X-Y}N$($0 \leq X$, $0 \leq Y$, $X+Y \leq 1$), 바람직하게는 In 조성이 제1 질화물 반도체보다도 작은 InGaN으로 구성할 수 있다. 또한, p측 다층막층을 구성하는 제4 질화물 반도체막은 GaN으로 구성했지만, 다른 $In_XAl_YGa_{1-X-Y}N$($0 \leq X$, $0 \leq Y$, $X+Y \leq 1$), 바람직하게는 제3 질화물 반도체보다도 Al 조성이 작은 AlGaN으로 구성할 수 있다.

한편, 종래 LED소자의 구성은, GaN으로 된 제1 버퍼층상에 언도핑 GaN으로 된 제2 버퍼층, Si도핑 GaN으로 된 n측 콘택트층, 실시예 1과 동일한 다중 양자 우물구조로 된 활성층, 단일 Mg 도핑 $Al_{0.1}Ga_{0.9}N$층, Mg 도핑 GaN으로 이루어진 p측 콘택트층을 순서대로 적층한 것이다.

실시예 2

실시예 2는, 도 2와 같은 LED소자에 관한 것이다. 상기 실시예의 LED소자는, 실시예 1에 있어서 제3 버퍼층(5)을 성장시키지 않고 또한 p측 다층막층(8)을 초격자구조로 하지 않고, Mg를 5 ×10 ^{19} /cm ^{3} 도핑시킨 p측 Al $_{0.1}$ Ga $_{0.9}$ N층으로 된 p측 클래드층(108)을 200 옹스트롬의 막 두께로 성장시키는 것 외에, 실시예 1과 같은 형태로 LED소자를 제조했고, 같은 20mA에서 Vf 3.3V로 극도로 양호한 값을 나타내고, 출력도 1.8배 이상으로 향상했다.

실시예 3

실시예 1에서, n측 다층막층(6)을 성장한 경우, 제2 질화물 반도체막만을 Si를 1 ×10 ^{18} /cm ^{3} 도핑한 GaN으로 했다. 또한, p측 다층막층을 초격자구조로 하지 않고, Mg를 5 ×10 ^{19} /cm ^{3} 도핑한 p측 Al $_{0.1}$ Ga $_{0.9}$ N층으로 이루어진 p측 클래드층(108)을 200 옹스트롬으로 성장시켜 같은 형태로 하여 LED 소자를 제작하여, 실시예 2와 거 의 동등한 특성을 갖는 LED소자를 얻었다.

실시예 4

실시예 1에서, n측 다층막층(6)을 성장한 경우, 제1 질화물 반도체막을, Si를 1 ×10 ^{18} /cm ^{3} 도핑한 In $_{0.03}$ Ga $_{0.97}$ 으로 했고, 제2 질화물 반도체막을, Si를 5 ×10 ^{18} /cm ^{3} 도핑한 GaN으로 했다. 또한, p측 다층막층을 초격자구조로 하지 않고, Mg를 5 ×10 ^{19} /cm ^{3} 도핑한 p측 Al $_{0.1}$ Ga $_{0.9}$ N층으로 이루어진 p측 클래드층(108)으로 하여 같은 형태로, LED 소자를 제작하여, 20mA에서 Vf 3.4V, 출력은 종래와 비교하여 1.5배 이상으로 높아졌다.

실시예 5

실시예 1에서, 제3 버퍼층(5)을 성장시키지 않고, p측 다층막층(8)을 성장하는 경우, 제4 질화물 반도체막에 Mg를 1 ×10 ^{19} /cm ^{3} 도핑한 p형 GaN층을 성장시켜 같은 형태로 한 LED 소자를 제작하여, 실시예 1와 거의 동등한 특성을 갖는 LED소자가 얻어졌다.

실시예 6

실시예 1에서, 제3 버퍼층(5)을 성장시키지 않고, 또한 p측 다층막층(8)을 성장하는 경우, 언도핑 Al $_{0.05}$ Ga $_{0.95}$ N으로 된 제3 질화물 반도체막을 25 옹스트롬, 언도핑 GaN으로 된 제4 질화물 반도체막을 25 옹스트롬으로 각각 2층씩 교대로 적층 하여 총 막 두께 100 옹스트롬으로 하여 같은 형태로 LED소자를 제작하여, 실시예 4와 거의 동등한 특성을 갖는 LED소자가 얻어졌다.

실시예 7

실시예 1에서, n측 다층막층(6)을 성장시킨 경우, 언도핑 In $_{0.03}$ Ga $_{0.97}$ N으로 된 제1 질화물 반도체막을 50 옹스트롬 성장시키고, 다음에 언도핑 GaN으로 된 제2 질화물 반도체막을 25 옹스트롬 성장시켰다. 그 후, 언도핑 In $_{0.03}$ Ga $_{0.97}$ N층을 45 옹스트롬 성장시키고, 그 후 언도핑 GaN층을 25옹스트롬 성장시키고, 다음에 언도핑 In $_{0.03}$ Ga $_{0.97}$ N층을 40 옹스트롬 성장시켰다. 이와 같은 제1 질화물 반도체막만을 5 옹스트롬씩 얇게 하고, 5 옹스트롬까지 성장시켜, 제1 층과 제2 층과를 교대로 10층씩 적층시킨 초격자 구조로 된 n측 다층막을 합계 525 옹스트롬의 막 두께로 성장시켰다.

한편, 실시예 1과 동일하게, p측 다층막층(8)을 성장시킨 경우, Mg를 5 ×10 ^{19} /cm ^{3} 도핑한 p측 Al $_{0.05}$ Ga $_{0.95}$ N층으로 이루어진 제3 질화물 반도체막을 40 옹스트롬의 막 두께로 성장시키고, 다음에 언도핑 GaN으로 된 제4 질화물 반도체막을 25 옹스트롬의 막 두께로 성장시키고, 다음에 Mg를 동량 도핑한 p형 Al $_{0.05}$ Ga $_{0.95}$ N층을 35 옹스트롬, 다음에 언도핑 GaN을 25 옹스트롬 성장시켰다. 이와 같은 제3 질화물 반도체막만을 5 옹스트롬 얇게 하여, 20 옹스트롬 까지 성장시키고, 제3층과 제4층과를 교대로 5층씩 적층시킨 초격자구조로 된 p측 다층막을 합계 275 옹스트롬의 막 두께로 성장시켰다.

그외 실시예 1과 같은 형태의 LED소자를 얻는 경우에 실시예 1의 것과 거의 동등한 특성을 갖는 소자가 얻어졌다. 본 실시예에서, n측 다층막(6)을 구성하는 제1 질화물 반도체막만의 막 두께를 변경하고 있지만, 제2 질화물 반도체막의 막 두께를 변경하여도 동일한 형태의 효과가 얻어졌다. 또한 p측 다층막(8)을 구성하는 제3 질화물 반도체막만의 막 두께를 변경하고 있지만, 제4 질화물 반도체막의 막 두께를 변경하여도 동일한 형태의 효과가 얻어졌다.

실시예 8

실시예 1에서, n측 다층막층(6)을 성장시킨 경우, 언도핑 In $_{0.03}$ Ga $_{0.97}$ N으로 된 제1 질화물 반도체막을 25 옹스트롬 성장시키고, 다음에 언도핑 GaN으로 된 제2 질화물 반도체막을 25 옹스트롬 성장시켰다. 그 후, 조금 더 많은 In의 몰비를 갖는 InGaN층을 25 옹스트롬 성장시키고, 그 후 언도핑 GaN층을 25옹스트롬 성장시켰다. 이와 같은 제1 질

화물 반도체막의 In 조성을 서서히 증가시켜 성장시키고, 제1 층과 제2 층과를 교대로 10층씩 적층시켜, 최종적으로 제1 층이 $In_{0.3}Ga_{0.7}N$으로 되도록 하여, 총 막 두께 500 옹스트롬의 n측 다층막을 성장시켰다.

한편, 실시예 1과 동일하게, p측 다층막층(8)을 성장시킨 경우, Mg를 $5 \times 10^{19}/cm^3$ 도핑한 p측 $Al_{0.05}Ga_{0.95}N$층으로 된 제3 질화물 반도체막을 25 옹스트롬의 막 두께로 성장시키고, 다음에 언도핑 GaN으로 된 제4 질화물 반도체막을 25 옹스트롬의 막 두께로 성장시키고, 다음에 Mg를 동량 도핑하고, Al의 조성비를 약간 많 게 한 p형 AlGaN층을 25 옹스트롬, 다음에 언도핑 GaN을 25 옹스트롬 성장시켰다. 이와 같은 제3 질화물 반도체막의 Al 조성을 서서히 많게 하여 성장시키고, 제3층과 제4층과를 교대로 4층씩 적층시켜, 최종적으로 제3 층이 $Al_{0.2}Ga_{0.8}N$으로 되도록 하여, 총 막 두께 500 옹스트롬의 p측 다층막을 성장시켰다.

그 외 실시예 1과 같은 형태의 LED소자를 얻는 경우에 실시예 1의 것과 거의 동등한 특성을 갖는 소자가 얻어졌다. 본 실시예에서, n측 다층막(6)을 구성하는 제1 질화물 반도체막만의 3족 원소 조성을 변경하고 있지만, 제2 질화물 반도체막을 3원 화합물, 4원 화합물의 질화물 반도체로 하고, 상기 3족 원소의 조성을 변경하여도 동일한 형태의 효과가 얻어졌다. 또한 p측 다층막(8)을 구성하는 제3 질화물 반도체막만의 3족 원소의 조성을 변경하고 있지만, 제4 질화물 반도체막을 3원 화합물, 4원 화합물의 질화물 반도체로 하고, 상기 3족 원소의 조성을 변경하여도 동일한 형태의 효과가 얻어졌다.

실시예 9

p측 다층막층(8)을 다층막층으로 하지 않고, Mg를 $5 \times 10^{19}/cm^3$ 도핑한 p측 $Al_{0.1}Ga_{0.9}N$층으로 된 p측 클래드층(108)을 200 옹스트롬의 막 두께로 성장시킨 것 이외에, 실시예 7과 동일한 형태로 한 LED소자를 제작하였고, 실시예 2와 거의 동등한 특성을 갖는 LED 소자가 얻어졌다.

실시예 10

p측 다층막층(8)을 다층막층으로 하지 않고, Mg를 $5 \times 10^{19}/cm^3$ 도핑한 p측 $Al_{0.1}Ga_{0.9}N$층으로 된 p측 클래드층(108)을 200 옹스트롬의 막 두께로 성장시킨 것 이외에, 실시예 8과 동일한 형태로 한 LED소자를 제작하였고, 실시예 2와 거의 동등한 특성을 갖는 LED 소자가 얻어졌다.

실시예 8에서, n측 다층막을 구성하는 제1 질화물 반도체의 In조성을 실시예 8과는 역으로 하였고, 또한 p측 다층막을 구성하는 제3 질화물 반도체의 Al 조성을 역으로 했다. 결국 제1 질화물 반도체막의 In을 활성층에 접근함에 따라 적게 하고, 제3 질화물 반도체막의 Al조성을 활성층에서 떨어짐에 따라 적게 하도록 하는 것 이외에 동일 형태로 한 LED소자를 제작했고, 실시예 8과 거의 동등한 특성을 갖는 LED 소자가 얻어졌다.

실시예 12

실시예 1에서, n측 다층막층(6)을 성장시킨 경우, 언도핑 $In_{0.2}Ga_{0.8}N$으로 된 제1 질화물 반도체막을 25 옹스트롬 성장시키고, 다음에 언도핑 $In_{0.05}Ga_{0.95}N$으로 된 제2 질화물 반도체막을 25 옹스트롬 성장시킨 것 외에, 실시예 1과 동일 형태로 한 LED소자를 제작했고, 실시예 1과 거의 동등한 특성을 갖는 소자가 얻어졌다.

실시예 13

실시예 1에서, p측 다층막층(8)을 성장시킨 경우, Mg 도핑 $Al_{0.05}Ga_{0.95}N$으로 된 제1 질화물 반도체막을 25 옹스트롬 성장시키고, 다음에 언도핑 $In_{0.1}Ga_{0.9}N$으로 된 제2 질화물 반도체막을 25 옹스트롬 성장시킨 것 외에, 실시예 1과 동일 형태로 한 LED소자를 제작했고, 실시예 1과 거의 동등한 특성을 갖는 소자가 얻어졌다.

실시예 14

실시예 1에서, n측 다층막층(6)을 성장시킨 경우, 언도핑 $In_{0.03}Ga_{0.97}N$으로 된 제1 질화물 반도체막을 200 옹스트롬 성장시키고, 다음에 언도핑 GaN으로 된 제2 질화물 반도체막을 25 옹스트롬 성장시킨 것 외에, 즉 실시예 1에 있어서 제1 질화물 반도체막의 막 두께를 200 옹스트롬으로 하는 것 이외에, 실시예 1과 동일 형태로 한 LED소자를 제작했고, 실시예 1과 거의 동등한 특성을 갖는 소자가 얻어졌다.

실시예 15

실시예 1에서, p측 다층막층(8)을 성장시킨 경우, Mg 도핑 $Al_{0.05}Ga_{0.95}N$으로 된 제1 질화물 반도체막의 막 두께를 200 옹스트롬으로 한 것 이외에, 실시예 1과 동일 형태로 한 LED소자를 제작했고, 실시예 1과 거의 동등한 특성을 갖는 소자가 얻어졌다.

실시예 16

본 발명에 관한 실시예 16의 질화물 반도체 소자는 도 3과 같은 p측 영역(80)과 n측 영역(70)과의 사이에 활성층(56)을 갖는 레이저 다이오드이다.

본 실시예 16의 레이저 다이오드는 80 ㎛ 두께의 GaN기판(50)위에,

(1) 3 ㎛ 두께의 Si 도핑 GaN으로 이루어진 n형 GaN층(52),

(2) 0.1 ㎛ 두께의 $In_{0.1}Ga_{0.9}N$층(53),

(3) $In_{x}Ga_{1-x}N$/n형 GaN으로 이루어진 초격자구조의 n측 클래드층(54),

(4) Si가 도핑된 0.1 ㎛ 두께의 n형 GaN 광가이드(beam guide)층(55),

(5) $In_{0.4}Ga_{0.6}N/In_{0.02}Ga_{0.98}N$ 다중 양자 우물구조의 활성층(56),

(6) Mg가 도핑된 200 옹스트롬 두께의 $Al_{0.2}Ga_{0.8}N$층(57),

(7) Mg가 도핑된 0.1 ㎛ 두께의 p형 GaN 광가이드(beam guide)층(58),

(8) $Al_{y}Ga_{1-y}N$/p형 GaN으로 이루어진 초격자 구조의 p측 클래드층(59),

(9) Mg가 도핑된 0.05 ㎛ 두께의 p형 GaN 콘택트층(60),

이상의 각층을 성장시켜 제작하였다.

n측 클래드층(54)은, 25 옹스트롬 두께를 갖고 Si가 도핑된 GaN 막과 25 옹스트롬 두께를 갖고 언도핑 $In_{x}Ga_{1-x}N$막이, 각 240층 교대로 적층되어 전체가 n형 도전성을 나타낸다. 여기서, n측 클래드층(54)에 있어서, 언도핑 $In_{x}Ga_{1-x}N$막은 활성층에 근접함에 따라 In의 양이 많게 되도록, x값을 0.01 내지 0.3의 범위로 순차로 변화시켜 n측 클래드층(54)의 조성을 변경시키고 있다.

또한, 활성층(56)은, 각각 20 옹스트롬 두께를 갖고 Si가 도핑된 4층$In_{0.15}Ga_{0.85}N$ 우물층이, 50 옹스트롬 두께를 갖고 Si가 도핑된 $In_{0.02}Ga_{0.98}N$ 장벽층과 교대로 설치되어 형성됐다.

또한, p측 클래드층(59)은, 25 옹스트롬 두께를 갖고 Mg가 도핑된 GaN 막과 25 옹스트롬 두께를 갖고 언도핑 $Al_{y}Ga_{1-y}N$막이, 각 120층 교대로 적층되어 전체가 p형 도전성을 나타낸다. 여기서, p측 클래드층(59)에 있어서, 언도핑 $Al_{y}Ga_{1-y}N$막은 활성층에 근접함에 따라 Al의 양이 적게 되도록, y값을 0.01 내지 0.2의 범위로 순차로 변화시켜 p측 클래드층(59)의 조성을 변경시키고 있다.

본 실시예 16은 상술한 (1) 내지 (9)의 각층을 형성시킨 후, 에칭에 의해 폭 3㎛, 길이 450㎛의 릿지(ridge) 형상으로 하고, p측 콘택트층(60)상에 Ni/Au로 이루어진 p측 전극(61)을 형성하고, 릿지의 한 면에 위치하는 n형 GaN층에 Ti/Al으로 이루어진 n측 전극을 형성한다.

실시예 16의 레이저 다이오드에 있어서, 릿지의 양 단면은 TiO_{2}/SiO_{2}를 2쌍 형성하여 양 단면의 반사계수를 50%로 했다.

이와 같이 제작된 실시예 16의 반도체 레이저 다이오드에 있어서, 임계 전류가 작은 실온에서 연속발진이 얻어졌다.

이상과 같이, 다층막층(초격자층)을 활성층에서 분리하여 형성시켜도 본 실시예 16과 같은 양호한 결과가 얻어졌다.

실시예 17

실시예 17은 도 4와 같이 실시 형태 2에 관한 것이다.

본 실시예는, 사파이어(C면)로 이루어진 기판(1)을 MOVPE의 반응용기내에 셋팅하고, 수소를 흐르게 하고, 기판 온도를 1050℃까지 상승시켜, 기판의 크리닝을 행했다.

(버퍼층(102))

그 후, 온도를 510 ℃까지 내리고, 캐리어 가스로서 수소, 원료 가스로서 암모니아와 TMG(트리메틸가리움)을 사용하여, 기판(1)상에 GaN으로 이루어진 버퍼층(102)을 약 150 옹스트롬의 막 두께로 성장시켰다.

(언도핑 GaN층(103))

버퍼층(102) 성장 후, TMG만을 멈추고, 온도를 1050℃까지 상승시켰다. 1050℃에서, 원료가스로서 TMG, 암모니아 가스를 사용하여 같은 방식으로, 언도핑 GaN층(103)을 1.5㎛ 의 막두께로 성장시켰다.

(n측 콘택트층(4))

그 후, 1050℃에서, 원료가스로서 TMG, 암모니아가스, 불순물가스로서 시란(silane)가스를 사용하여 동일한 방법으로, Si를 4.5×10^{18} /cm ^{3} 도핑한 GaN으로 이루어진 n측 콘택트층(4)을 2.25 ㎛의 막두께로 성장시켰다.

(n측 제1 다층막층(105))

다음에 시란가스만을 멈추고, 1050℃에서 TMG, 암모니아를 사용하여, 언도핑 GaN층을 75 옹스트롬의 막 두께로 성장시키고, 그 후 동일 온도에서 시란가스를 추가하여 Si를 4.5×10^{18} /cm ^{3} 도핑한 GaN층을 25 옹스트롬의 막 두께로 성장시켰다. 이와 같이 하여, 75 옹스트롬의 언도핑 GaN으로 이루어진 A층과, Si 도핑 GaN층을 갖는 25 옹스트롬의 B층으로 이루어진 쌍을 성장시켰다. 그리고 쌍을 25층 적층하고 2500 옹스트롬 두께로 하여 초격자 구조의 다층막으로 이루어진 n측 제1 다 층막층(105)을 성장시켰다.

(n측 제2 다층막층(106))

다음, 동일한 온도에서, 언도핑 GaN으로 이루어진 제2 질화물 반도체막(106)을 40 옹스트롬 성장시키고, 그 후 온도를 800℃로 하고 TMG, TMI, 암모니아를 사용하여, 언도핑 $In_{0.13}Ga_{0.87}N$으로 이루어진 제1 질화물 반도체막(106)을 20 옹스트롬 성장시켰다. 그리고 상기 조작을 반복하고, 제2 + 제1의 순서로 교대로 10층씩 적층하고, 최후로 GaN으로 이루어진 제2 질화물 반도체막(106)을 40 옹스트롬 성장시킨 초격자 구조의 다층막으로 이루어진 n측 제2 다층막층(106)을 640 옹스트롬의 막 두께로 성장시켰다.

(활성층(7))

다음, 언도핑 GaN으로 이루어진 장벽층을 200 옹스트롬의 막두께로 성장시키고, 그 후 온도를 800℃로 하고, TMG, TMI, 암모니아를 사용하여 언도핑 $In_{0.4}Ga_{0.6}N$으로 이루어진 우물층을 30옹스트롬의 막두께로 성장시켰다. 그리고 장벽 + 우물 + 장벽 + 우물 .....+ 장벽의 순서로 장벽층을 5층, 우물층을 4층 교대로 적층하고, 총 막 두께를 1120 옹스트롬의 다중 양자 우물구조로된 활성층(7)을 성장시켰다.

(p측 다층막 클래드층(108))

다음, 온도 1050℃에서 TMG, TMA, 암모니아, Cp2Mg(시클로펜타디에닐 마그네슘)을 사용하여, Mg를 1×10^{20} /cm ^{3} 도핑한 p형 $Al_{0.2}Ga_{0.8}N$으로 이루어진 제3 질화물 반도체막(108a)을 40 옹스트롬의 막 두께로 성장시키고, 그 후 온도를 800℃로 하 고 TMG, TMI, 암모니아, Cp2Mg를 사용하여 Mg를 1×10^{20} /cm ^{3} 도핑한 $In_{0.03}Ga_{0.97}N$으로 이루어진 제4 질화물 반도체막(108b)을 25 옹스트롬의 막 두께로 성장시켰다. 그리고 상기 조작을 반복하고, 제3 + 제4 순서로 교대로 5층씩 적층하고, 최후로 제3 질화물 반도체막(108a)을 40 옹스트롬의 막 두께로 성장시킨 초격자구조의 다층막으로 이루어진 p측 다층막 클래드층(108)을 365 옹스트롬의 막 두께로 성장시켰다.

(p측 GaN 콘택트층(9))

그 후 1050℃에서, TMG, 암모니아, Cp2Mg을 사용하여, Mg를 1×10^{20} /cm ^{3} 도핑한 p형 GaN으로 이루어진 p측 콘택트층(9)을 700 옹스트롬의 막 두께로 성장시켰다.

반응 종료 후, 온도를 실온까지 낮추고, 또한 질소 분위기하에서, 워이퍼(wafer)를 반응용기 내에서 700℃에서 아닐링(annealing)을 행하여 p형층을 더욱 저항화 하지 않게 했다.

에칭후, 최상층에 있는 p측 콘택트층의 대략 전면에 막 두께 200 옹스트롬의 Ni와 Au를 포함하는 투광성 p전극(11)과, 상기 p전극(11)상에 결합용 Au로이루어진 p 패드(pad)전극(11)을 0.5㎛ 의 막 두께로 형성했다.

한편, 에칭에 의해 노출시킨 n측 콘택트층(4)의 표면에는 W와 Al을 함유하는 n전극(12)을 형성하여 LED소자로 했다.

상기 LED소자는 순방향전압 20mA에서, 520nm의 순녹색발광을 나타내고, Vf는 3.5V이며, 종래 다중 양자 우물구조의 LED소자와 비교하여 Vf는 1.0V 가까이 낮고, 출력은 2배 이상 향상됐다. 따라서, 10mA에서 종래의 LED소자와 거의 동등한 특성을 갖는 LED가 얻어졌다.

한편, 종래 LED소자의 구성은, GaN으로 이루어진 제1 버퍼층상에, 언도핑 GaN으로 이루어진 제2 버퍼층, Si도핑 GaN으로 이루어진 n측 콘택트층, 실시예 12와 동일한 다중 양자 우물구조로 이루어진 활성층, 단일 Mg 도핑 $Al_{0.1}Ga_{0.9}N$층, Mg 도핑 GaN으로 이루어진 p측 콘택트층을 순서대로 적층한 것이다.

실시예 18

실시예 17에서, 활성층(7)을 이하와 같이 변경하는 것 외에 동일한 형태로 한 LED 소자를 제작했다.

(활성층(7))

다음에, 언도핑 GaN으로 이루어진 장벽층을 250 옹스트롬의 막 두께로 성장시키고, 그 후 온도를 800 ℃로 하여, TMG, TMI, 암모니아를 사용하여 언도핑 $In_{0.3}Ga_{0.7}N$으로 이루어진 우물벽을 30 옹스트롬의 막 두께로 성장시켰다. 그리고 장벽 + 우물 + 장벽 + 우물 .....+ 장벽의 순서로 장벽층을 7층, 우물층을 6층 교대로 적층하고, 총 막 두께를 1930 옹스트롬의 다중 양자 우물구조로된 활성층(7)을 성장시켰다.

얻어진 LED 소자는, 순방향전류 20mA에서 470nm의 순청색발광을 나타내고, 실시예 17과 동일한 형태로 양호한 결과가 얻어졌다.

실시예 19

실시예 17에서, 활성층(7)을 이하와 같이 변경하는 것 외에 동일한 형태로 한 LED 소자를 제작했다.

(활성층(7))

다음에, 언도핑 GaN으로 이루어진 장벽층을 250 옹스트롬의 막 두께로 성장시키고, 그 후 온도를 800 ℃로 하여, TMG, TMI, 암모니아를 사용하여 언도핑 $In_{0.3}Ga_{0.7}N$으로 된 우물벽을 30 옹스트롬의 막 두께로 성장시켰다. 그리고 장벽 + 우물 + 장벽 + 우물 .....+ 장벽의 순서로 장벽층을 6층, 우물층을 5층 교대로 적층하고, 총 막 두께를 1650 옹스트롬의 다중 양자 우물구조로된 활성층(7)을 성장시켰다.

얻어진 LED 소자는, 순방향전류 20mA에서 470nm의 순청색발광을 나타내고, 실시예 17과 동일한 형태로 양호한 결과가 얻어졌다.

실시예 20

실시예 17에서, 활성층(7)을 이하와 같이 변경하는 것 외에 동일한 형태로 한 LED 소자를 제작했다.

(활성층(7))

다음에, 언도핑 GaN으로 된 장벽층을 250 옹스트롬의 막 두께로 성장시키고, 그 후 온도를 800 ℃로 하여, TMG, TMI, 암모니아를 사용하여 언도핑 $In_{0.35}Ga_{0.65}N$으로 된 우물층을 30 옹스트롬의 막 두께로 성장시켰다. 그리고 장벽 + 우물 + 장벽 + 우물 .....+ 장벽의 순서로 장벽층을 7층, 우물층을 6층 교대로 적층하고, 총 막 두께를 1930 옹스트롬의 다중 양자 우물구조로된 활성층(7)을 성장시켰다.

얻어진 LED 소자는, 순방향전류 20mA에서 500nm의 청녹색 발광을 나타내고, 실시예 17과 동일한 형태로 양호한 결과가 얻어졌다.

실시예 21

실시예 17에서, 활성층(7)을 이하와 같이 변경하는 것 외에 동일한 형태로 한 LED 소자를 제작했다.

(활성층(7))

다음에, 언도핑 GaN으로 된 장벽층을 250 옹스트롬의 막 두께로 성장시키고, 그 후 온도를 800 ℃로 하여, TMG, TMI, 암모니아를 사용하여 언도핑 $In_{0.35}Ga_{0.65}N$으로 된 우물층을 30 옹스트롬의 막 두께로 성장시켰다. 그리고 장벽 + 우물 + 장벽 + 우물 .....+ 장벽의 순서로 장벽층을 4층, 우물층을 3층 교대로 적층하고, 총 막 두께를 1090 옹스트롬의 다중 양자 우물구조로된 활성층(7)을 성장시켰다.

얻어진 LED 소자는, 순방향전류 20mA에서 500nm의 청녹색 발광을 나타내고, 실시예 17과 동일한 형태로 양호한 결과가 얻어졌다.

실시예 22

실시예 17에서, n측 2번째 다층막층(6)을 성장시키지 않는 것 이외에 동일한 형태로 한 LED소자를 제작했다.

얻어진 LED 소자는, 실시예 17과 비교하여 소자특성 및 발광출력이 조금 저 하되나, 종래 LED 소자와 비교하면 양호한 발광출력을 갖고 있다.

실시예 23

실시예 17에서, p측 다층막 클래드층(8)을 이하와 같이 변경하는 것 이외에 같은 형태로 한 LED 소자를 제작했다.

(p측 단일막 클래드층(18))

온도 1050°C에서 TMG, TMA, 암모니아, Cp2Mg(시클로펜타디에닐 마그네슘)을 사용하여, Mg를 $1 \times 10^{20}/cm^3$ 도핑한 p형 $Al_{0.16}Ga_{0.84}N$으로 된 p측 단일막 클래드층을 300 옹스트롬의 막 두께로 성장시켰다.

얻어진 LED 소자는 클래드층을 초격자로 하지 않고 단일층으로 하여 성장시키지만, 그 이외의 층 구성과의 조합에 의해, 실시예 1보다 조금 성능이 나쁘나 거의 동일한 양호한 결과가 얻어졌다. 또한, 단일층으로 하면, 다층막층으로 하는 경우와 비교하여 제조공정을 간이하게 할 수 있다.

실시예 24

실시예 17에서, n측 제1 다층막층(105)을 이하와 같이 변경하는 것 이외에 같은 형태로 한 LED 소자를 제작했다.

(n측 제1 다층막층(105))

언도핑 GaN층으로 된 A층을 100 옹스트롬의 막 두께로 성장시키고, Si를 $1 \times 10^{18}/cm^3$ 도핑한 $Al_{0.1}Ga_{0.9}N$으로된 B층을 25 옹스트롬의 막 두께로 성장시켜 된 A 층과 B층의 1쌍을 20층 적층하고 2500 옹스트롬 두께로 하여 n측 제1 다층막층(105)을 성장시켰다.

얻어진 LED 소자는 실시예 17과 거의 동일한 특성을 갖고 양호한 결과가 얻어졌다.

실시예 25

실시예 17에서, n측 콘택트층(4)을 이하와 같이 변경하는 것 이외에 같은 형태로 한 LED 소자를 제작했다.

(n측 콘택트층(4))

1050°C에서, 원료가스로서 TMG, 암모니아가스, 불순물가스로서 시란가스를 사용하여, Si를 $4.5 \times 10^{18}/cm^3$ 도핑한 GaN으로 된 n측 콘택트층(4)을 6 ㎛의 막 두께로 성장시켰다.

얻어진 LED 소자는 실시예 17과 거의 동등한 특성을 갖고 양호한 결과가 얻어졌다.

실시예 26

실시예 26은, 도 5와 같은 실시형태 3에 관한 것이다.

본 실시예 26은, 사파이어(표면이 C면이 되도록 잘려진 것)로 된 기판(1)을 반응용기내에 셋팅하고, 용기내를 수소로 충분히 치환한 후, 수소를 흐르게 하여, 기판의 온도를 1050°C까지 상승시켜, 기판의 크리닝을 행했다. 기판(1)에는 사파이어 C면 외에, R면, A면을 주면으로 하는 사파이어, 그 외에 스피넬($MgAl_2O_4$) 와 같 은 절연성 기판 이외에

, SiC(6H, 4H, 3C를 포함), Si, ZnO, GaAs, GaN등의 반도체 기판을 사용할 수 있다.

(버퍼층(202))

그 후, 온도를 510 ℃까지 내리고, 캐리어 가스로서 수소, 원료 가스로서 암모니아와 TMG(트리메틸가리움)을 사용하여, 기판(1)상에 GaN으로 된 버퍼층(202)을 약 200 옹스트롬의 막 두께로 성장시켰다.

(제1n측 질화물 반도체층(203))

버퍼층(202) 성장 후, TMG만을 멈추고, 온도를 1050℃까지 상승시켰다. 1050℃에서, 원료가스로서 TMG, 암모니아 가스를 사용하여 같은 방식으로, 언도핑 GaN으로 된 제1 n측 질화물 반도체층(203)을 5㎛ 의 막두께로 성장시켰다. 제1 n측 질화물 반도체층(203)은 버퍼층(202)보다도 고온, 예로 900℃ 내지 1100℃에서 성장시키는 것이 바람직하고, GaN 이외에도, $In_XAl_YGa_{1-X-Y}N$(0≤X, 0≤Y, X+Y≤1)으로 구성할 수 있지만, 바람직하게는 GaN 또는, X값이 0.2이하의 $Al_XGa_{1-X}N$을 사용하면 보다 결정 결함이 적은 질화물 반도체층이 얻어지기 쉽다. 또한 버퍼층보다도 두꺼운 막으로 성장시키는 것이 바람직한데, 통상 0.1 ㎛이상의 막두께로 성장시킨다. 상기 층은 통상 언도핑층으로 하므로 그 성질은 고유 반도체에 가깝고, 저항률은 0.2 Ω · cm 보다 크지만, Si, Ge등의 n형 불순물을 제2 n측 질화물 반도체 보다도 적은 양으로 도핑하여 저항률을 저하시킨 층으로 해도 좋다.

(제2n측 질화물 반도체층(204))

다음에 1050℃에서 TMG, 암모니아가스를 사용하여, 언도핑 GaN층을 20 옹스트롬의 막 두께로 성장시키고, 그 후 시란 가스를 추가하여 Si를 $1 \times 10^{19}/cm^3$ 도핑한 GaN층을 20 옹스트롬의 막 두께로 성장시켰고, 그리고 Si를 멈추고 언도핑 GaN층을 20 옹스트롬의 막 두께로 성장시켰다. 이와 같이 하여, 20 옹스트롬의 언도핑 GaN으로 이루어진 A층과, Si 도핑 GaN층을 20 옹스트롬의 B층으로 이루어진 쌍을 성장시켰다. 그리고 쌍을 적층하고, 변조 도핑 GaN으로 된 1 ㎛ 두께의 제2 질화물 반도체층(204)을 성장시켰다.

(제3 n측 질화물 반도체층(205))

다음에 시란 가스만을 멈추고, 1050℃에서 동일한 형태로 하고 언도핑 GaN으로 된 제3 n측 질화물 반도체층(205)을 100 옹스트롬의 막 두께로 성장시켰다. 상기 제3 n측 질화물 반도체층(205)도 GaN이외에 $In_XAl_YGa_{1-X-Y}N$(0≤X, 0≤Y, X+Y≤1)으로 구성할 수 있고, 그 조성은 특히 한정되지 않지만, 바람직하게는 GaN 또는, X값이 0.2이하의 $Al_XGa_{1-X}N$, y값이 0.1 이하의 $In_yGa_{1-y}N$으로 하면 보다 결정 결함이 적은 질화물 반도체층이 얻어지기 쉽다. InGaN을 성장시키고 그 위에 Al을 포함하는 질화물 반도체를 성장시키는 경우에, Al을 포함하는 질화물 반도체층에 크랙(crack)이 형성되는 것을 방지할 수 있다.

(활성층(7))

다음, 온도를 800℃로 하고, 캐리어가스를 질소로 교체하고, TMG, TMI(트리메틸린디움), 암모니아를 사용하여 언도핑 $In_{0.4}Ga_{0.6}N$층을 30 옹스트롬의 막 두께로 성장시켜 단일양자 우물 구조를 갖는 활성층(7)을 성장시켰다. 또한 그 층은 InGaN으로 된 우물층을 갖는 다중량 우물 구조로 하여도 좋다.

(p측 클래드층(108))

다음, 온도 1050℃에서 TMG, TMA, 암모니아, Cp2Mg(시클로펜타디에닐 마그네슘)을 사용하여, Mg를 $1 \times 10^{20}/cm^3$ 도핑한 p형 $Al_{0.1}Ga_{0.9}N$으로 된 층을 20 옹스트롬의 막 두께로 성장시킨 후, TMG, 암모니아, Cp2Mg를 사용하여 Mg를 $1 \times 10^{19}/cm^3$ 도핑한 p형 GaN으로 된 층을 20 옹스트롬의 막 두께로 성장시켰다. 이하 동일한 태양의 공정을 반복 조작하여, 총 막두께 0.8㎛ 의 초격자로 이루어진 p측 클래드층을 형성했다.

(p측 콘택트층(208))

다음, 800℃에서, 언도핑 $In_{0.1}Ga_{0.9}N$으로 된 제1 질화물 반도체막을 30 옹스트롬 , 그 후 TMI를 정지하고 Mg를 $1 \times 10^{20}/cm^3$ 도핑한 GaN으로 된 제2 질화물 반도체막을 30 옹스트롬 성장시켰다. 그리고 교대로 적층하고 총 막두께를 600 옹스트롬 의 p측 콘택트층(208)을 성장시켰다.

반응 종료 후, 온도를 실온까지 내리고, 또한 질소분위기하에 웨이퍼를 반응용기내에서 700℃에서 아닐링하고, p측의 각층을 더욱 저저항화했다.

아닐링후, 웨이퍼를 반응용기에서 제거하고, 최상층의 p측 콘택트층(208) 표면에 소정 형상의 마스크를 형성하고, RIE(반응성 이온 에칭)장치에 p측 콘택트층 측에서 에칭을 행하여 도 5과 같은 제2 n측 질화물 반도체층(204)의 표면을 노출시켰다.

에칭후, 최상층에 있는 p측 콘택트층의 대략 전면에 막 두께 200 옹스트롬의 Ni와 Au를 포함하는 투광성 p전극(10)과, 상기 p전극(10)상에 결합용 Au로 된 p 패드(pad)전극(10)을 0.5㎛ 의 막 두께로 형성했다.

한편, 에칭에 의해 노출시킨 제2 n측 질화물 반도체층(204)의 표면에는 W와 Al을 함유하는 n전극(12)을 형성했다. 최후에 p전극(10)의 표면을 보호하기 위해 SiO_2 로 된 절연막을 도 5와 같이 형성시킨 후, 웨이퍼를 스크라이브(scribe)에 의하여 분리하고 350㎛ 각의 LED소자로 했다.

상기 LED소자는 20mA에서, 순방향 전압 3.2V, 520nm의 순녹색발광을 나타내고, 20mA에서 Vf를 0.2 내지 0.3V 낮출 수 있고, 출력을 10% 이상 향상시킬 수 있었다. 또한, 실시예 21과 같은 LED소자를 100개 제작하고, 20mA에서 순방향 전압 Vf를 측정한 결과, Vf는 3.2 내지 3.3V의 극히 적은 분포범위를 보였다.

실시예 27

실시예 26에서, p측 콘택트 층을 성장시키는 경우, 언도핑 $In_{0.1}Ga_{0.9}N$층과, Mg를 $1 \times 10^{20}/cm^3$ 도핑한 GaN과의 적층순서를 바꾼 것 이외에, 실시예 26과 동일한 형태로 한 LED소자를 제작했다.

실시예 28

실시예 26에서, p측 콘택트 층을 성장시키는 경우, 제2 질화물 반도체막의 조성을 $In_{0.05}Ga_{0.95}N$ 층으로 하는 것 이외에, 실시예 26과 동일한 형태로 한 LED소자를 제작했다.

실시예 29

실시예 26에서, p측 콘택트 층을 성장시키는 경우, 제2 질화물 반도체막을 Mg를 $1 \times 10^{20}/cm^3$ 도핑한 $In_{0.05}Ga_{0.95}N$ 층으로 하는 것 이외에, 실시예 26과 동일한 형태로 한 LED소자를 제작했다.

실시예 30

실시예 26에서, p측 콘택트 층을 성장시키는 경우, 제2 질화물 반도체막을 Mg를 $1 \times 10^{20}/cm^3$ 도핑한 $Al_{0.05}Ga_{0.95}N$ 층으로 하는 것 이외에, 실시예 26과 동일한 형태로 한 LED소자를 제작했다.

실시예 31

실시예 26에서, p측 콘택트 층을 성장시키는 경우, 제1 질화물 반도체막을 Mg를 $1 \times 10^{19}/cm^3$ 도핑한 것 이외에, 실시예 26과 동일한 형태로 한 LED소자를 제작했다.

실시예 32

실시예 26에서, p측 콘택트 층(208)을 형성하는 경우, 언도핑 $In_{0.1}Ga_{0.9}N$으로 된 제1 질화물 반도체막 대신에 Mg를 $1 \times 10^{20}/cm^3$ 도핑한 $In_{0.1}Ga_{0.9}N$으로 이루어진 제1 반도체막을 사용하고, Mg를 $1 \times 10^{20}/cm^3$ 도핑한 GaN으로 된 제2 질화물 반도체막 대신에 Mg를 $1 \times 10^{19}/cm^3$ 도핑한 GaN으로 된 제2 질화물 반도체을 사용하고, 또한 제1 질화물 반도체막을 최상층에 형성한 것 이외에 실시예 26과 동일한 형태로 한 LED소자를 제작했다.

실시예 33

실시예 26에서, p측 콘택트 층(208)을 이하와 같이 형성하는 것 이외에 실시예 26과 동일한 형태로 한 LED소자를 제작했다.

즉, 800 ℃에서 언도핑 $In_{0.1}Ga_{0.9}N$으로 된 제1 질화물 반도체막을 30 옹스트롬 형성시킨 후, 그 후 TMI를 서서히 감소시키고, 조성이 두께방향에 $In_{0.1}Ga_{0.9}N$에서 GaN까지 서서히 변화하는 조성경사층을 형성하고, TMI가 0이 된 후, Mg를 $1 \times 10^{20}/cm^3$ 도핑한 GaN으로 된 제2 질화물 반도체막을 30 옹스트롬 성장시켰다. 그리고, TMI를 서서히 증가시키고, 조성이 두께방향에 GaN 에서 $In_{0.1}Ga_{0.9}N$까지 서서히 변화하는 조성경사층을 형성하고, TMI가 0이 된 후, Mg를 $1 \times 10^{20}/cm^3$ 도핑한 GaN으로 된 제2 질화물 반도체막을 30 옹스트롬 성장시켰다. 그리고, TMI를 서서히 증가시켜, 조성이 두께 방향에 GaN에서 $In_{0.1}Ga_{0.9}N$까지 서서히 변화하는 조성경사층을 형성

한 후, 언도핑 $In_{0.1}Ga_{0.9}N$으로 된 제1 질화물 반도체막을 30 옹스트롬 형성했다. 제1 질화물 반도체막 및 제2 질화물 반도체막이 각각 10층이 될 때까지 반복하여, p측 콘택트층(208)을 성장시켰다.

이상의 실시예 27 내지 33의 LED소자도, 실시예 26과 같은 형태, 종래예와 비교하여 양호한 발광특성이 얻어졌다.

또한, 종래 InGaN으로 이루어진 p측 콘택트층은, InGaN이 비교적 파장이 짧은 영역에서 빛 흡수가 크기 때문에, 그 p측 콘택트층이 황색으로 착색되고, 활성층에서 발생한 빛의 파장이 장파장측으로 이동하는 문제가 있었다. 그러나, 본 발명의 p측 콘택트층은 초격자 구조로 하기 때문에, 단층 구성한 종래의 InGaN으로 이루어진 p측 콘택트층과 비교하여, 파장이 짧은 빛의 흡수율을 작게 할 수 있다. 따라서, 본 발명에 있어서 p측 콘택트층은 빛의 장파장측으로의 이동을 방지할 수 있고, 빛의 투과율도 향상시킬 수 있다.

도 7은, GaN 과 InGaN으로 이루어진 본 발명의 초격자 구조의 다층막에서, 파장에 대한 빛의 투과율을 나타낸 것이다. 그 다층막은, GaN(20 옹스트롬) 과 InGaN(20 옹스트롬)가 교대로 30주기 적층되어, Mg가 도핑된 $4 \times 10^{18}/cm^3$ 의 캐리어 농도를 갖는 p형 층이다. 또한, 도7은, 비교하기 위해 단층의 $In_{0.15}Ga_{0.85}N$(막 두께는 0.12㎛)으로 이루어진 종래의 광투과율을 나타낸다. 도7과 같이, 본 발명의 초격자 구조의 다층막과 종래의 단층막과는 파장이 400 nm부근의 빛에 대하여 흡수율이 현저히 상이하고, 본 발명의 초격자 구조의 다층막은 파장이 400 nm부근의 빛에 대하여 투과율이 좋다는 것을 알 수 있다. 도 7에 나타난 본 발명의 초격자 구조의 다층막과 종래의 단층막의 각 저효율 ρ는 둘 다 0.5 Ω · cm 였다. 또한, 도 7에 서 투과율은 사파이어 기판의 빛의 투과율을 100%로 한 경우에 상대값이다.

실시예 34

실시예 34는 도 8에 나타난 실시 형태 5에 관한 것이다.

실시예 34에서는 사파이어(C면)로 된 기판(1)을 MOVPE의 반응용기내에 셋팅하고, 수소를 흐르게 하여, 기판의 온도를 1050℃까지 상승시켜, 기판의 크리닝을 행했다.

(버퍼층(102))

그 후, 온도를 510 ℃까지 내리고, 캐리어 가스로서 수소, 원료 가스로서 암모니아와 TMG(트리메틸가리움)을 사용하여, 기판(1)상에 GaN으로 된 버퍼층(102)을 약 150 옹스트롬의 막 두께로 성장시켰다.

(언도핑 GaN층(103))

버퍼층(102) 성장 후, TMG만을 멈추고, 온도를 1050℃까지 상승시켰다. 1050℃에서, 원료가스로서 TMG, 암모니아 가스를 사용하여 같은 방식으로, 언도핑 GaN층(103)을 1.5㎛ 의 막두께로 성장시켰다.

(n측 콘택트층(4))

그 후, 1050℃에서, 원료가스로서 TMG, 암모니아가스, 불순물가스로서 시란(silane)가스를 사용하여 동일한 방법으로, Si를 $4.5 \times 10^{18}/cm^3$ 도핑한 GaN으로 된 n측 콘택트층(4)을 2.25 ㎛의 막두께로 성장시켰다.

(n측 제1 다층막층(305))

다음에 시란가스만을 멈추고, 1050℃에서 TMG, 암모니아를 사용하여, 언도핑 GaN으로 이루어진 하층(305a)을 2000 옹스트롬의 막 두께로 성장시키고, 그 후 동일 온도에서 시란가스를 추가하여 Si를 $4.5 \times 10^{18}/cm^3$ 도핑한 GaN으로 이루어진 중간층(305b)을 300 옹스트롬의 막 두께로 성장시키고, 다시 그 후 시란가스만을 멈추고, 동일 온도에서 언도핑 GaN으로 이루어진 상층(305c)을 50 옹스트롬의 막 두께로 성장시켜, 3층으로 이루어진 총 막 두께 2350 옹스트롬의 제1 다층막층(5)을 성장시켰다.

(n측 제2 다층막층(106))

다음, 동일한 온도에서, 언도핑 GaN으로 된 제2 질화물 반도체막을 40 옹스트롬 성장시키고, 그 후 온도를 800℃로 하고 TMG, TMI, 암모니아를 사용하여, 언도핑 $In_{0.13}Ga_{0.87}N$으로 된 제1 질화물 반도체막을 20 옹스트롬 성장시켰다. 그리고 상기 조작을 반복하고, 제2 + 제1의 순서로 교대로 10층씩 적층하고, 최후로 GaN으로 된 제2 질화물 반도체막을 40 옹스트롬 성장시킨 초격자 구조의 다층막으로 된 n측 제2 다층막층(306)을 640 옹스트롬의 막 두께로 성장시켰다.

(활성층(7))

다음, 언도핑 GaN으로 된 장벽층을 200 옹스트롬의 막두께로 성장시키고, 그 후 온도를 800℃로 하고, TMG, TMI, 암모니아를 사용하여 언도핑 $In_{0.4}Ga_{0.6}N$으로 된 우물층을 30옹스트롬의 막두께로 성장시켰다. 그리고 장벽 + 우물 + 장벽 + 우물 .....+ 장벽의 순서로 장벽층을 5층, 우물층을 4층 교대로 적층하고, 총 막 두께를 1120 옹스트롬의 다중 양자 우물구조로된 활성층(7)을 성장시켰다.

(p측 다층막 클래드층(108))

다음, 온도 1050℃에서 TMG, TMA, 암모니아, Cp2Mg(시클로펜타디에닐 마그네슘)을 사용하여, Mg를 $1 \times 10^{20}/cm^3$ 도핑한 p형 $Al_{0.2}Ga_{0.8}N$으로 된 제3 질화물 반도체막을 40 옹스트롬의 막 두께로 성장시키고, 그 후 온도를 800℃로 하고 TMG, TMI, 암모니아, Cp2Mg를 사용하여 Mg를 $1 \times 10^{20}/cm^3$ 도핑한 $In_{0.03}Ga_{0.97}N$으로 된 제4 질화물 반도체막을 25 옹스트롬의 막 두께로 성장시켰다. 그리고 상기 조작을 반복하고, 제3 + 제4 순서로 교대로 5층씩 적층하고, 최후로 제3 질화물 반도체막을 40 옹스트롬의 막 두께로 성장시킨 초격자구조의 다층막으로 된 p측 다층막 클래드층(8)을 365 옹스트롬의 막 두께로 성장시켰다.

(p측 GaN 콘택트층(9))

그 후 1050℃에서, TMG, 암모니아, Cp2Mg을 사용하여, Mg를 $1 \times 10^{20}/cm^3$ 도핑한 p형 GaN으로 된 p측 콘택트층(9)을 700 옹스트롬의 막 두께로 성장시켰다.

반응 종료 후, 온도를 실온까지 낮추고, 또한 질소 분위기하에, 워이퍼(wafer)를 반응용기 내에서, 700℃에서 아닐링(annealing)을 행하여 p형층을 더욱 저항화 하지 않게 했다.

아닐링후, 웨이퍼를 반응용기에서 제거하고, 최상층의 p측 콘택트층(9) 표면에 소정 형상의 마스크를 형성하고, RIE(반응성 이온 에칭)장치에 p측 콘택트층측 에서 에칭을 행하여 도 8과 같은 n측 콘택트층(4)의 표면을 노출시켰다.

에칭후, 최상층에 있는 p측 콘택트층의 대략 전면에 막 두께 200 옹스트롬의 Ni와 Au를 포함하는 투광성 p전극(11)과, 상기 p전극(11)상에 결합용 Au로 된 p 패드(pad)전극(11)을 0.5㎛ 의 막 두께로 형성했다.

한편, 에칭에 의해 노출시킨 n측 콘택트층(4)의 표면에는 W와 Al을 함유하는 n전극(12)을 형성하여 LED소자로 했다.

상기 LED소자는 순방향전압 20mA에서, 520nm의 순녹색발광을 나타내고, Vf는 3.5V이며, 종래 다중 양자 우물구조의 LED소자와 비교하여 Vf는 1.0V 가까이 낮고, 출력은 2배 이상 향상됐다. 따라서, 10mA에서 종래의 LED소자와 거의 동등한 특성을 갖는 LED가 얻어졌다. 또한, 얻어진 LED의 정전내압을 LED 소자의 n층 및 p층의 각 전극에 역방향으로 서서히 전압을 가해 측정한 결과 종래의 1.5배 이상이 되는 양호한 결과를 얻었다.

한편, 종래 LED소자의 구성은, GaN으로 된 제1 버퍼층상에, 언도핑 GaN으로 된 제2 버퍼층, Si도핑 GaN으로 된 n측 콘택트층, 실시예 27과 동일한 다중 양자 우물구조로 된 활성층, 단일 Mg 도핑 $Al_{0.1}Ga_{0.9}N$층, Mg 도핑 GaN으로 이루어진 p측 콘택트층을 순서대로 적층한 것이다.

실시예 35

실시예 34에서, 활성층(7)을 이하와 같이 변경하는 것 외에 동일한 형태로 한 LED 소자를 제작했다.

(활성층(7))

다음에, 언도핑 GaN으로 된 장벽층을 250 옹스트롬의 막 두께로 성장시키고, 그 후 온도를 800 ℃로 하여, TMG, TMI, 암모니아를 사용하여 언도핑 $In_{0.3}Ga_{0.7}N$으로 된 우물벽을 30 옹스트롬의 막 두께로 성장시켰다. 그리고 장벽 + 우물 + 장벽 + 우물 .....+ 장벽의 순서로 장벽층을 7층, 우물층을 6층 교대로 적층하고, 총 막 두께를 1930 옹스트롬의 다중 양자 우물구조로된 활성층(7)을 성장시켰다.

얻어진 LED 소자는, 순방향전류 20mA에서 470nm의 순청색발광을 나타내고, 실시예 34와 동일한 형태로 양호한 결과가 얻어졌다.

실시예 36

실시예 34에서, 활성층(7)을 이하와 같이 변경하는 것 외에 동일한 형태로 한 LED 소자를 제작했다.

(활성층(7))

다음에, 언도핑 GaN으로 된 장벽층을 250 옹스트롬의 막 두께로 성장시키고, 그 후 온도를 800 ℃로 하여, TMG, TMI, 암모니아를 사용하여 언도핑 $In_{0.3}Ga_{0.7}N$으로 된 우물벽을 30 옹스트롬의 막 두께로 성장시켰다. 그리고 장벽 + 우물 + 장벽 + 우물 .....+ 장벽의 순서로 장벽층을 6층, 우물층을 5층 교대로 적층하고, 총 막 두께를 1650 옹스트롬의 다중 양자 우물구조로된 활성층(7)을 성장시켰다.

얻어진 LED 소자는, 순방향전류 20mA에서 470nm의 순청색발광을 나타내고, 실시예 34와 동일한 형태로 양호한 결과가 얻어졌다.

실시예 37

실시예 34에서, 활성층(7)을 이하와 같이 변경하는 것 외에 동일한 형태로 한 LED 소자를 제작했다.

(활성층(7))

다음에, 언도핑 GaN으로 된 장벽층을 250 옹스트롬의 막 두께로 성장시키고, 그 후 온도를 800 ℃로 하여, TMG, TMI, 암모니아를 사용하여 언도핑 $In_{0.35}Ga_{0.65}N$으로 된 우물층을 30 옹스트롬의 막 두께로 성장시켰다. 그리고 장벽 + 우물 + 장벽 + 우물 .....+ 장벽의 순서로 장벽층을 7층, 우물층을 6층 교대로 적층하고, 총 막 두께를 1930 옹스트롬의 다중 양자 우물구조로된 활성층(7)을 성장시켰다.

얻어진 LED 소자는, 순방향전류 20mA에서 500nm의 청녹색 발광을 나타내고, 실시예 34와 동일한 형태로 양호한 결과가 얻어졌다.

실시예 38

실시예 34에서, 활성층(7)을 이하와 같이 변경하는 것 외에 동일한 형태로 한 LED 소자를 제작했다.

(활성층(7))

다음에, 언도핑 GaN으로 된 장벽층을 250 옹스트롬의 막 두께로 성장시키고, 그 후 온도를 800 ℃로 하여, TMG, TMI, 암모니아를 사용하여 언도핑 $In_{0.35}Ga_{0.65}N$으로 된 우물층을 30 옹스트롬의 막 두께로 성장시켰다. 그리고 장벽 + 우물 + 장벽 + 우물 .....+ 장벽의 순서로 장벽층을 4층, 우물층을 3층 교대로 적층하고, 총 막 두께를 1090 옹스트롬의 다중 양자 우물구조로된 활성층(7)을 성장시켰다.

얻어진 LED 소자는, 순방향전류 20mA에서 500nm의 청녹색 발광을 나타내고, 실시예 34와 동일한 형태로 양호한 결과가 얻어졌다.

실시예 39

실시예 34에서, n측 2번째 다층막층(306)을 성장시키지 않는 것 이외에 동일한 형태로 한 LED소자를 제작했다.

얻어진 LED 소자는, 실시예 34와 비교하여 소자특성 및 발광출력이 조금 저하되나, 정전내압은 실시예 27과 거의 동일하게 양호했다.

실시예 40

실시예 34에서, p측 다층막 클래드층(8)을 이하와 같이 변경하는 것 이외에 같은 형태로 한 LED 소자를 제작했다.

(p측 단일막 클래드층(8))

온도 1050℃에서 TMG, TMA, 암모니아, Cp2Mg(시클로펜타디에닐 마그네슘)을 사용하여, Mg를 $1 \times 10^{20}/cm^3$ 도핑한 p형 $Al_{0.16}Ga_{0.84}N$으로 된 p측 단일막 클래드층(8)을 300 옹스트롬의 막 두께로 성장시켰다.

얻어진 LED 소자는 클래드층을 초격자로 하지 않고 단일층으로 하여 성장시키지만, 그 이외의 층 구성과의 조합에 의해, 실시예 27보다 조금 발광출력의 어느 성능이 나쁘나, 정전내압이 거의 동일한 양호한 결과가 얻어졌다. 또한,

단일층으로 하면, 다층막층으로 하는 경우와 비교하여 제조공정을 간이하게 할 수 있다.

실시예 41

실시예 34에서, n측 제1 다층막층(305)을 이하와 같이 각 막 두께를 변경하는 것 이외에 같은 형태로 한 LED 소자를 제작했다.

(n측 제1 다층막층(305))

다음 시란가스만을 정지하고, 1050°C에서, TMG, 암모니아가스를 사용하여 언도핑 GaN으로 이루어진 하층(305a)층을 3000 옹스트롬의 막 두께로 성장시키고, 그 후 동일 온도에서 시란가스를 추가하고 Si를 $4.5 \times 10^{18}/cm^3$ 도핑한 GaN으로 이루어진 중간층(305b)을 300 옹스트롬의 막 두께로 성장시키고 다시 그후 시란가스만을 정지하고, 동일 온도에서 언도핑 GaN으로 이루어진 상층(305c)을 50 옹스트롬의 막두께로 성장시켜 3층으로 이루어진 총 막 두께 3350 옹스트롬의 제1 다층막층(5)을 성장시켰다.

얻어진 LED 소자는 실시예 34와 거의 동일한 특성을 갖고 양호한 결과가 얻어졌다.

실시예 42

실시예 41에서, n측 제1 다층막층(305)을 이하와 같이 한 것 이외에 실시예 41과 동일한 형태로 한 LED 소자를 제작했다.

즉, 하층(305a)은, 언도핑 $Al_{0.1}Ga_{0.9}N$을 3000 옹스트롬의 막 두께로 성장시키고, 중간층(305b)은 Si를 $4.5 \times 10^{18}/cm^3$ 도핑한 $Al_{0.1}Ga_{0.9}N$을 300 옹스트롬의 막 두께로 성장시키고, 상층(305c)은 언도핑 $Al_{0.1}Ga_{0.9}N$을 50 옹스트롬의 막 두께로 성장시켰다. 이상과 같이 얻어진 LED소자는 실시예 41과 거의 동등한 특성을 갖고, 양호한 결과가 얻어졌다.

비교예 1

실시예 34에서, n측 제1 다층막층(305)을 구성하는 언도핑 GaN으로 이루어진 하층(305a)을 형성하지 않는 것 이외에 동일한 형태로 한 LED소자를 제작했다.

얻어진 LED소자는 실시예34와 비교할 때, 정전내압이 현저하게 저하하고, 누설 전류 및 Vf와 관련된 특성도 충분히 만족할 만하지 못했다.

비교예 2

실시예 34에서, n측 제1 다층막층(305)을 구성하는 Si 도핑 GaN으로 이루어진 중간층(305b)을 형성하지 않는 것 이외에 동일한 형태로 한 LED소자를 제작했다.

얻어진 LED소자는 실시예34와 비교할 때, 발광 출력 및 정전내압이 크게 저하하고, 상기 이외의 특성도 충분히 만족할 만하지 못했다.

비교예 3

실시예 34에서, n측 제1 다층막층(305)을 구성하는 언도핑 GaN으로 이루어진 상층(305c)을 형성하지 않는 것 이외에 동일한 형태로 한 LED소자를 제작했다.

얻어진 LED소자는 실시예34와 비교할 때, 누설 전류가 증가하고, 상기 이외의 특성도 충분히 만족할 만하지 못했다.

실시예 43

실시예 43은 본 발명에 관한 실시 형태 6에 관한 것이다.

(기판(1))

사파이어(C면)로 된 기판(1)을 MOVPE의 반응용기내에 셋팅하고, 수소를 흐르게 하여, 기판의 온도를 1050°C까지 상승시켜, 기판의 크리닝을 행했다.

(버퍼층(2))

그 후, 온도를 510 ℃까지 내리고, 캐리어 가스로서 수소, 원료 가스로서 암모니아와 TMG(트리메틸가리움)을 사용하여, 기판(1)상에 GaN으로 된 버퍼층(102)을 약 200 옹스트롬의 막 두께로 성장시켰다. 또한 상기 저온에서 성장시킨 제1 버퍼층(2)은 기판의 종류, 성장방법등에 따라서 생략할 수 있다.

(언도핑 GaN층(3))

버퍼층(2) 성장 후, TMG만을 멈추고, 온도를 1050℃까지 상승시켰다. 1050℃에서, 원료가스로서 TMG, 암모니아가스를 사용하여 같은 방식으로, 언도핑 GaN층(3)을 1㎛ 의 막두께로 성장시켰다.

(n형 콘택트층(4))

그 후, 1050℃에서, 원료가스로서 TMG, 암모니아가스, 불순물가스로서 시란(silane)가스를 사용하여 동일한 방법으로, Si를 3×10^{19} /cm ^{3} 도핑한 GaN으로 된 n형 콘택트층(4)을 3 ㎛의 막두께로 성장시켰다.

(언도핑 GaN층(5))

다음 시란가스만을 멈추고, 1050℃에서 동일한 형태로 하여 언도핑 GaN층(5)을 100 옹스트롬의 막 두께로 성장시켰다.

(n형 다층막층(6))

다음, 온도를 800℃로 하고, TMG, TMI, 암모니아를 사용하여, 언도핑 $In_{0.03}Ga_{0.97}N$으로 된 제2 질화물 반도체막을 25 옹스트롬 성장시키고, 그 후 온도를 상승시키고, 그 위에 언도핑 GaN으로 된 제1 질화물 반도체막을 25 옹스트롬 성장시켰다. 그리고 상기 조작을 반복하고, 제2 + 제1의 순서로 교대로 10층씩 적층한 초격자 구조로 된 n측 다층막을 500 옹스트롬의 막 두께로 성장시켰다.

(활성층(7))

다음, 언도핑 GaN으로 된 장벽층을 200 옹스트롬의 막두께로 성장시키고, 그 후 온도를 800℃로 하고, TMG, TMI, 암모니아를 사용하여 언도핑 $In_{0.4}Ga_{0.6}N$으로 된 우물층을 30옹스트롬의 막두께로 성장시켰다. 그리고 장벽 + 우물 + 장벽 + 우물 .....+ 장벽의 순서로 장벽층을 5층, 우물층을 4층 교대로 적층하고, 총 막 두께를 1120 옹스트롬의 다중 양자 우물구조로된 활성층(7)을 성장시켰다.

(p형 다층막층(8))

다음, TMG, TMA, 암모니아, Cp2Mg(시클로펜타디에닐 마그네슘)을 사용하여, Mg를 5×10^{19} /cm ^{3} 도핑한 p형 $Al_{0.1}Ga_{0.9}N$으로 된 제3 질화물 반도체막을 25 옹스트롬의 막 두께로 성장시키고, 그 후 Cp2Mg, TMA를 정지하고 언도핑 GaN으로 된 제4 질화물 반도체막을 25 옹스트롬의 막 두께로 성장시켰다. 그리고 상기 조작을 반복하 고, 제3 + 제4 순서로 교대로 4층씩 적층한 초격자로 된 p형 다층막층(8)을 200 옹스트롬의 막 두께로 성장시켰다.

(p형 콘택트층(9))

그 후, 1050℃에서, TMG, 암모니아, Cp2Mg을 사용하여, Mg를 1×10^{20} /cm ^{3} 도핑한 p형 GaN으로 된 p형 콘택트층(8)을 700 옹스트롬의 막 두께로 성장시켰다.

반응 종료 후, 온도를 실온까지 낮추고, 또한 질소 분위기하에, 워이퍼(wafer)를 반응용기 내에서, 700℃에서 아닐링(annealing)을 행하여 p형층을 더욱 저항화 하지 않게 했다.

아닐링후, 웨이퍼를 반응용기에서 제거하고, 최상층의 p형 콘택트층(9) 표면에 소정 형상의 마스크를 형성하고, RIE(반응성 이온 에칭)장치에 p형 콘택트층측에서 에칭을 행하여 도 1과 같은 n형 콘택트층(4)의 표면을 노출시켰다.

에칭후, 최상층에 있는 p형 콘택트층의 대략 전면에 막 두께 200 옹스트롬의 Ni와 Au를 포함하는 투광성 p전극(10)과, 상기 p전극(10)상에 결합용 Au로 된 p 패드(pad)전극(11)을 0.5㎛ 의 막 두께로 형성했다.

한편, 에칭에 의해 노출시킨 n형 콘택트층(4)의 표면에는 W와 Al을 함유하는 n전극(12)을 형성하여 LED소자로 했다.

상기 LED소자는 순방향전압 20mA에서, 520nm의 순녹색발광을 나타내고, Vf는 단지 3.5V이며, 종래 다중 양자 우물구조의 LED소자와 비교하여 Vf는 거의 0.5V 낮고, 출력은 2배 이상 향상됐다. 따라서, 10mA에서 종래의 LED소자와 거의 동등한 특성을 갖는 LED가 얻어졌다. 다시 얻어진 소자는, 정전내압이 종래의 소자와 비교하여 약 1.2배 이상 양호하게 됐다.

한편, 종래 LED소자의 구성은, GaN으로 된 제1 버퍼층상에, 언도핑 GaN으로 된 제2 버퍼층, Si도핑 GaN으로 된 n형 콘택트층, 실시예 1과 동일한 다중 양자 우물구조로 된 활성층, 단일 Mg 도핑 $Al_{0.1}Ga_{0.9}N$층, Mg 도핑 GaN으로 이루어진 p형 콘택트층을 순서대로 적층한 것이다.

실시예 44

실시예 43에서, n형 다층막층(6)을 성장시키는 경우, 제1 질화물 반도체막만을 Si를 $5 \times 10^{18}/cm^3$ 도핑한 GaN으로 하는 것 이외에 동일한 형태로 한 LED소자를 제작했다. 얻어진 LED 소자는 실시예 43과 거의 동등한 양호한 소자 특성이 있었다.

실시예 45

실시예 43에서, n형 다층막층(6)을 성장시키는 경우, 제2 질화물 반도체막을 Si를 $1 \times 10^{18}/cm^3$ 도핑한 $In_{0.03}Ga_{0.97}$ 으로 하고, 제1 질화물 반도체막을 Si를 $5 \times 10^{18}/cm^3$ 도핑한 GaN으로 하는 것 이외에 동일한 형태로 한 LED소자를 제작했다. 얻어진 LED 소자는 20mA에서 Vf는 3.4V, 출력은 종래와 비교할 때 1.5배 이상 높았다. 또한 정전내압은 실시예 43과 동일하게 양호했다.

실시예 46

실시예 43에서, p형 다층막층(8)을 성장시키는 경우, 제4 질화물 반도체막에 서 Mg를 $5 \times 10^{19}/cm^3$ 도핑한 p형 GaN층을 성장시키는 것 이외에 동일한 형태로 한 LED소자를 제작하여 실시예 43과 거의 동등한 특성을 갖는 LED 소자를 얻었다.

실시예 47

실시예 43에서, p형 다층막층(8)을 성장시키는 경우, 언도핑 $Al_{0.1}Ga_{0.9}N$으로 된 제3 질화물 반도체막을 25옹스트롬, 언도핑 GaN으로 된 제4 질화물 반도체막을 25옹스트롬으로 각각 2층씩 교대로 적층하여 총 막 두께를 100 옹스트롬으로 하는 것 이외에 동일한 형태로 한 LED 소자를 제작하여, 실시예 43과 거의 동등한 특성을 갖는 LED소자를 얻었다.

실시예 48

실시예 43에서, 언도핑 GaN층(5)을 대신해서 다층막층을 형성하고, 또한 이하에 나타난 각층을 이하와 같이 변경하는 것 이외에 동일한 형태로 하여 LED 소자를 제작했다.

(n측 콘택트층(4))

그 후, 1050℃에서, 원료가스로서 TMG, 암모니아가스, 불순물가스로서 시란(silane)가스를 사용하여 동일한 방법으로, Si를 $6 \times 10^{18}/cm^3$ 도핑한 GaN으로 된 n측 콘택트층(4)을 2.25 ㎛의 막두께로 성장시켰다.

(다층막층)

다음 시란 가스만을 정지하고, 1050℃에서, TMG, 암모니아가스를 사용하여, 언도핑 GaN으로 이루어진 하층(305a)을 2000 옹스트롬의 막 두께로 성장시키고, 그 후 동일 온도에서 시란 가스를 추가하고 Si를 $6 \times 10^{18}/cm^3$ 도핑한 GaN으로 이루어진 중간층(305b)을 300 옹스트롬의 막 두께로 성장시키고, 다시 그 후 시란 가스만을 정지하고, 동일 온도에서 언도핑 GaN으로 이루어진 상층(305c)을 50 옹스트롬의 막 두께로 성장시켜, 3층으로 된 총 막두께 2350옹스트롬의 다층막층을 성장시켰다.

(n형 다층막층(6))

다음, 동일한 온도에서, 언도핑 GaN으로 된 제1 질화물 반도체막을 40 옹스트롬 성장시키고, 그 후 온도를 800℃로 하고 TMG, TMI, 암모니아를 사용하여, 언도핑 $In_{0.02}Ga_{0.98}N$으로 된 제1 질화물 반도체막을 20 옹스트롬 성장시켰다. 그리고 상기 조작을 반복하고, 제1 + 제2의 순서로 교대로 10층씩 적층하고, 최후로 GaN으로 된 제1 질화물

반도체막을 40 옹스트롬 성장시킨 초격자 구조의 다층막으로 된 n형 다층막층(6)을 640 옹스트롬의 막 두께로 성장시켰다.

(p형 다층막층(8))

다음, 온도 1050°C에서 TMG, TMA, 암모니아, Cp2Mg(시클로펜타디에닐 마그네슘)을 사용하여, Mg를 5 ×10 ^{19} /cm ^{3} 도핑한 p형 $Al_{0.2}Ga_{0.8}N$으로 된 제3 질화물 반도체막을 40 옹스트롬의 막 두께로 성장시키고, 그 후 온도를 800°C로 하고 TMG, TMI, 암모니아, Cp2Mg를 사용하여 Mg를 5 ×10 ^{19} /cm ^{3} 도핑한 $In_{0.02}Ga_{0.98}N$으로 된 제4 질화 물 반도체막을 25 옹스트롬의 막 두께로 성장시켰다. 그리고 상기 조작을 반복하고, 제3 + 제4 순서로 교대로 5층씩 적층하고, 최후로 제3 질화물 반도체막을 40 옹스트롬의 막 두께로 성장시킨 초격자구조의 다층막으로 된 p측 다층막층(8)을 365 옹스트롬의 막 두께로 성장시켰다.

얻어진 LED소자는 실시예 43과 거의 동일한 양호한 발광출력 및 Vf를 나타내고, 다시 LED소자의 n층 및 p층의 각 전극에 역방향으로 서서히 전압을 가하여 정전내압을 측정하여, 실시예 43의 비교를 위해 사용한 종래의 소자와 비교하여 1.5배 이상이 되고, 실시예 43보다 정전내압은 양호한 결과가 얻어졌다.

이상의 실시예에서, LED소자인 질화물 반도체 발광소자를 사용하여 설명했지만, 본 발명은 LED소자에 한정되는 것은 아니고, 레이저 다이오드 소자등의 다른 발광소자에 적용될 수 있다.

또한, 본 발명은 발광소자에 한정되는 것은 아니고, 질화물 반도체를 사용하여 구성하는 태양전지, 광센서등의 수광소자, 혹은 트랜지스터, 파워디바이스 등의 전자 장지등에도 적용될 수 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따른, 질화물 반도체소자, 특히 질화물 반도체 발광소자는 저전류에서 종래의 LED 소자와 동등 또는 그 이상의 출력이 얻어지고, 발광출력의 향상도 가능하다.

또한, 본 발명에 따라, 정전내압 특성을 향상시키는 것이 가능하고, 신뢰성이 높은 질화물 반도체소자를 제공할 수 있고, 적용가능한 응용제품의 범위를 확대 시킬 수 있다.

또한, 본 발명은 발광소자에 한정되지 않고, 수광소자, 태양전지등 질화물 반도체를 이용한 모든 전자장치에 이용될 수 있다.

(57) 청구의 범위

청구항 1.

n측 질화물 반도체층과 p측 질화물 반도체층의 사이에 활성층을 갖는 질화물 반도체 소자에 있어서,

상기 활성층은, $In_{a}Ga_{1-a}N(0\leq a<1)$층을 갖는 다중 양자 우물구조이고,

상기 n측 질화물 반도체층은, n형 불순물이 도핑되어 있는 질화물 반도체층과, 이 질화물 반도체층과 동일 조성을 갖고 또한 n형 불순물이 도핑되어 있지 않은 언도핑 질화물 반도체층을 포함하는 적어도 2종류의 질화물 반도체층이 적층되어 이루어지고, 상기 n측 콘택트층 위에 형성된 n측 다층막층을 포함하는 것을 특징으로 하는 질화물 반도체 소자.

청구항 2.

제 1항에 있어서,

상기 n형 불순물이 도핑되어 있는 질화물 반도체층과 상기 n형 불순물이 도핑되어 있지 않은 언도핑 질화물 반도체층은, 각각 GaN층인 것을 특징으로 하는 질화물 반도체 소자.

청구항 3.

제 1항에 있어서,

상기 n측 콘택트층은, 언도핑 GaN층 위에 형성되어 있는 것을 특징으로 하는 질화물 반도체 소자.

청구항 4.
제 1항 내지 제 3항 중 어느 한 항에 있어서,

상기 p측 질화물 반도체층은, 서로 밴드갭 에너지가 다르고, 또 p형 불순물 농도가 다르거나 또는 동일한 제3과 제4 질화물 반도체층이 적층되어 이루어지는 p측 다층막 클래드층을 포함하는 것을 특징으로 하는 질화물 반도체 소자.

청구항 5.
제 4항에 있어서,

상기 p측 클래드층은 초격자 구조를 갖고, 상기 제3질화물 반도체층은 $Al_nGa_{1-n}N(0<n\leq1)$으로 이루어지고, 상기 제4질화물 반도체층은 $Al_pGa_{1-p}N(0<p\leq1, p<n)$ 또는 $In_rGa_{1-r}N(0\leq r\leq1)$으로 이루어지는 것을 특징으로 하는 질화물 반도체 소자.

청구항 6.
제 5항에 있어서,

상기 질화물 반도체 소자에 있어서, 상기 언도핑 GaN층은 저온성장시킨 $Ga_dAl_{1-d}N(0<d\leq1)$으로 이루어진 버퍼층위에 형성되고, 또 상기 p측 다층막 클래드층 위에 p형 불순물로서 Mg를 포함하는 p측 GaN 콘택트층이 형성된 것을 특징으로 하는 질화물 반도체 소자.

청구항 7.
n측 질화물 반도체층과 p측 질화물 반도체층의 사이에 활성층을 갖는 질화물 반도체 소자에 있어서,

상기 활성층은, $In_aGa_{1-a}N(0\leq a<1)$층을 갖는 다중 양자 우물구조이고,

상기 n측 질화물 반도체층은, n형 불순물이 서로 다른 농도로 도핑되어 있는 동일 조성을 갖는 적어도 2종류의 질화물 반도체층이 적층되어 이루어지는 n측 다층막층을 포함하는 것을 특징으로 하는 질화물 반도체 소자.

청구항 8.
제 7항에 있어서,

상기 n형 불순물이 서로 다른 농도로 도핑되어 있는 동일 조성을 갖는 2종류의 질화물 반도체층은 각각 GaN층인 것을 특징으로 하는 질화물 반도체 소자.

청구항 9.
제 7항에 있어서,

상기 n측 콘택트층은, 언도핑 GaN층위에 형성되어 있는 것을 특징으로 하는 질화물 반도체 소자.

청구항 10.
제 7항 내지 제 9항 중 어느 한 항에 있어서,

상기 p측 질화물 반도체층은, 서로 밴드갭 에너지가 다르고 또 p형 불순물 농도가 다르거나 또는 동일한 제3과 제4질화물 반도체층이 적층되어 이루어지는 p측 다층막 클래드층을 포함하는 것을 특징으로 하는 질화물 반도체 소자.

청구항 11.
제 10항에 있어서,

상기 p측 다층막 클래드층은 초격자 구조를 갖고, 상기 제3질화물 반도체층은 $Al_nGa_{1-n}N(0<n\leq1)$으로 이루어지고, 상기 제4질화물 반도체층은 $Al_pGa_{1-p}N(0<p\leq1, p<n)$ 또는 $In_rGa_{1-r}N(0\leq r\leq1)$으로 이루어지는 것을 특징으로 하는 질화물 반도체 소자.

청구항 12.
제 11항에 있어서,

상기 질화물 반도체 소자에 있어서, 상기 언도핑 GaN층은 저온성장시킨 $Ga_dAl_{1-d}N(0<d\leq1)$으로 이루어진 버퍼층위에 형성되고, 또 상기 p측 다층막 클래드층 위에 p형 불순물로서 Mg를 포함하는 p측 GaN 콘택트층이 형성된

것을 특징으로 하는 질화물 반도체 소자.

청구항 13.
복수의 질화물 반도체층을 갖는 n측 영역과, 복수의 질화물 반도체층을 갖는 p측 영역의 사이에 활성층을 갖는 질화물 반도체 소자에 있어서,

상기 n측 영역의 적어도 하나의 질화물 반도체층은, 언도핑의 질화물 반도체막으로 이루어진 하층, n형 불순물이 도핑되어 있는 질화물 반도체막으로 이루어진 중간층, 및 언도핑의 질화물 반도체막으로 이루어진 상층의 적어도 3층이 순서대로 적층되어 이루어진 n측 제1다층막층이고,

또 상기 n측 제1다층막층과 활성층의 사이에, In을 포함하는 제1질화물 반도 체막과 이 제1질화물 반도체막과 다른 조성을 갖는 제2질화물 반도체막이 적층된 n측 제2다층막층을 갖고,

상기 p측 영역의 적어도 하나의 질화물 반도체층은, 각각 p형 불순물이 도핑되어 이루어지고 또 서로 밴드갭 에너지가 다른 제3과 제4질화물 반도체막이 적층되어 이루어지는 p측 다층막 클래드층이며,

상기 활성층은, $In_{a}Ga_{1-a}N(0\leq a<1)$으로 이루어진 다중 양자 우물 구조인 것을 특징으로 하는 질화물 반도체 소자.

청구항 14.
복수의 질화물 반도체층을 갖는 n측 영역과, 복수의 질화물 반도체층을 갖는 p측 영역의 사이에 활성층을 갖는 질화물 반도체 소자에 있어서,

상기 n측 영역의 적어도 하나의 질화물 반도체층은, 언도핑의 질화물 반도체로 이루어진 하층, n형 불순물이 도핑되어 있는 질화물 반도체로 이루어진 중간층, 및 언도핑의 질화물 반도체로 이루어진 상층의 적어도 3층이 순서대로 적층되는 n측 제1다층막층이고,

상기 p측 영역의 적어도 하나의 질화물 반도체층은, p형 불순물을 포함하는 $Al_{b}Ga_{1-b}N(0\leq b\leq 1)$으로 이루어진 p측 단일막 클래드층이고,

상기 활성층은, $In_{a}Ga_{1-a}N(0\leq a<1)$을 포함하여 이루어지는 다중 양자 우물구조인 것을 특징으로 하는 질화물 반도체 소자.

청구항 15.
기판위에, 버퍼층을 개입하여 형성시킨 n측 질화물 반도체층, 활성층 및 p측 질화물 반도체층을 갖는 질화물 반도체 소자에 있어서,

상기 n측 질화물 반도체층은, 막 두께가 100 내지 10000 옹스트롬의 언도핑의 질화물 반도체로 이루어진 하층, n형 불순물이 도핑된 질화물 반도체로 이루어진 중간층, 언도핑의 질화물 반도체로 이루어진 상층의 적어도 3층이 순서대로 적층되어 이루어진 n측 제1다층막층을 포함하는 것을 특징으로 하는 질화물 반도체 소자.

청구항 16.
제 13항 내지 제 15항 중 어느 한 항에 있어서,

상기 n측 영역에 있어서, 상기 n측 제1다층막층과 기판 사이에, n형 불순물을 포함하는 n측 콘택트층을 갖는 것을 특징으로 하는 질화물 반도체 소자.

청구항 17.
제 16항에 있어서,

상기 n측 콘택트층은, 언도핑 GaN층 위에 형성되어 있는 것을 특징으로 하는 질화물 반도체 소자.

청구항 18.
제 17항에 있어서,

상기 질화물 반도체 소자에 있어서, 상기 언도핑 GaN층은 저온성장시킨 $Ga_{d}Al_{1-d}N(0< d\leq 1)$으로 이루어진 버퍼층 위에 형성된 것을 특징으로 하는 질화물 반도체 소자.

청구항 19.
제 13항 내지 제 15항 중 어느 한 항에 있어서,

상기 n측 제1다층막층은, 막 두께가 100 내지 10000 옹스트롬의 언도핑 질화물 반도체로 이루어진 하층, 막 두께가 50 내지 1000 옹스트롬의 n형 불순물이 도핑되어 있는 질화물 반도체로 이루어진 중간층, 및 막 두께가 25 내지 1000 옹스트롬의 언도핑 질화물 반도체로 이루어진 상층으로 이루어진 것을 특징으로 하는 질화물 반도체 소자.

청구항 20.
제 19항에 있어서,

상기 n측 제1다층막층의 하층 막두께가, 500 옹스트롬 ~ 8000 옹스트롬인 것을 특징으로 하는 질화물 반도체 소자.

청구항 21.
제 20항에 있어서,

상기 n측 질화물 반도체층에 있어서, 상기 n측 제1다층막층보다 기판측에, n형 불순물을 포함하는 n측 콘택트층을 갖는 것을 특징으로 하는 질화물 반도체 소자.

청구항 22.
제 14항 또는 제 15항에 있어서,

상기 n측 제1다층막층과 활성층 사이에, In을 포함하는 제1질화물 반도체층 과, 이 제1질화물 반도체층과 다른 조성을 갖는 제2질화물 반도체층이 적층된 n측 제2다층막층을 갖는 것을 특징으로 하는 질화물 반도체 소자.

청구항 23.
제 22항에 있어서,

상기 n측 질화물 반도체층에 있어서, 상기 n측 제1다층막층보다 기판측에 n형 불순물을 포함하는 n측 콘택트층을 갖는 것을 특징으로 하는 질화물 반도체 소자.

청구항 24.
제 13항 내지 제 15항 중 어느 한 항에 있어서,

상기 p측 질화물 반도체층은, 서로 밴드갭 에너지가 다르고 또 서로 p형 불순물 농도가 다른 제3과 제4질화물 반도체층이 적층되어 이루어진 p측 다층막 클래드층, 또는 서로 밴드갭 에너지가 다르고 또 p형 불순물 농도가 동일한 제3과 제4질화물 반도체층이 적층되어 이루어진 p측 다층막 클래드층을 포함하는 것을 특징으로 하는 질화물 반도체 소자.

청구항 25.
제 13항 내지 제 15항 중 어느 한 항에 있어서,

상기 p측 질화물 반도체층은, p형 불순물을 포함하는 $Al_{b}Ga_{1-b}N(0 \leq b \leq 1)$으로 이루어진 p측 단일막 클래드층을 포함하는 것을 특징으로 하는 질화물 반도체 소자.

청구항 26.
제 24항에 있어서,

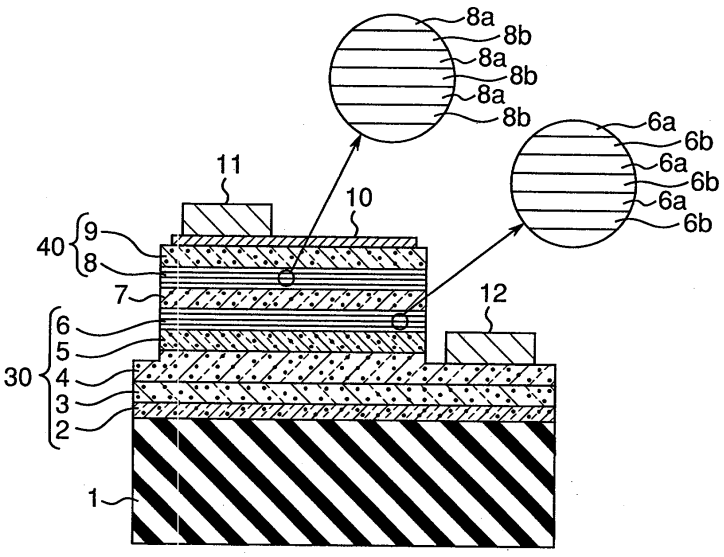
상기 p측 다층막 클래드층 또는 p측 단일막 클래드층 위에 p형 불순물로서 Mg를 포함하는 p측 GaN 콘택트층을 형성한 것을 특징으로 하는 질화물 반도체 소자.

청구항 27.
제 25항에 있어서,

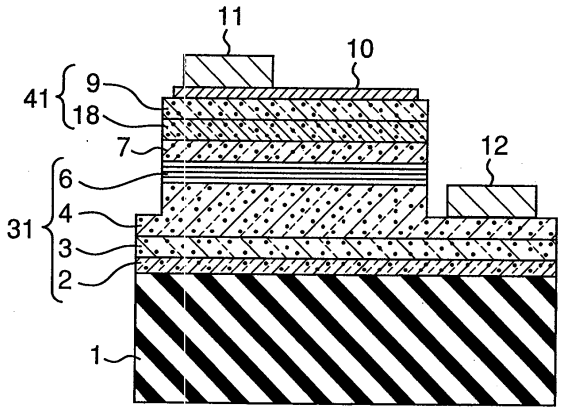
상기 p측 다층막 클래드층 또는 p측 단일막 클래드층상에 p형 불순물로서 Mg를 포함하는 p측 GaN 콘택트층을 형성한 것을 특징으로 하는 질화물 반도체 소자.

도면

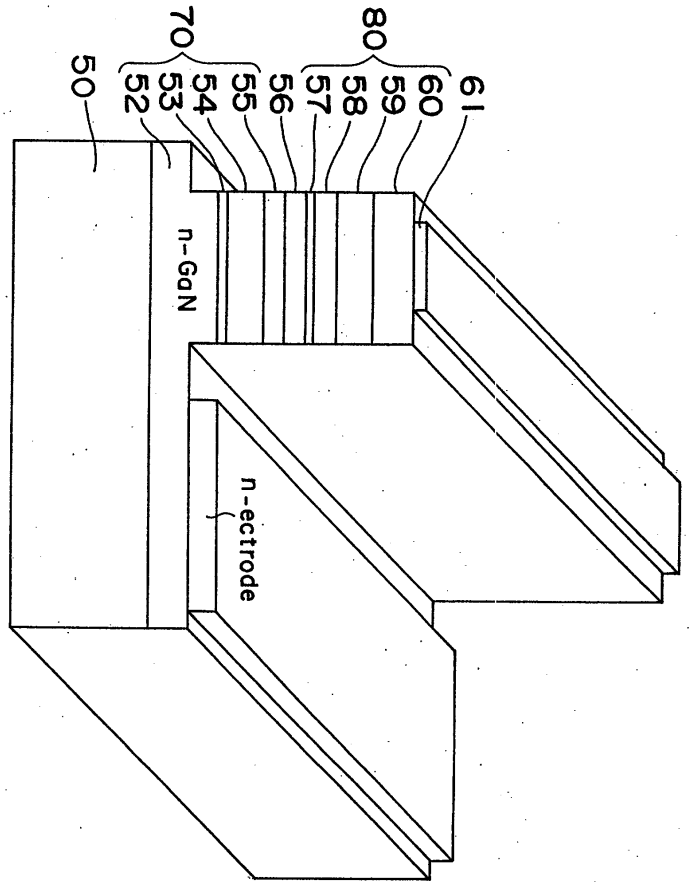
도면1


8a
8b
8a
8b
8a
8b
6a
6b
6a
6b
6a
6b
11
10
9
40
8
7
12
6
5
30
4
3
2
1

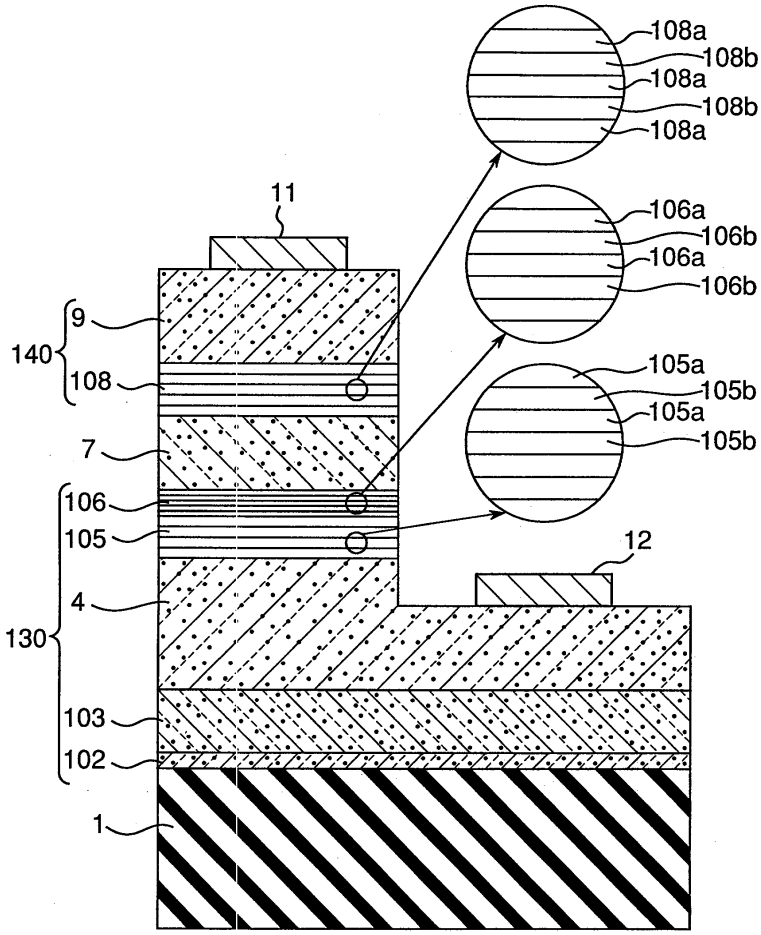
도면2


11
10
41
9
18
7
12
6
4
31
3
2
1

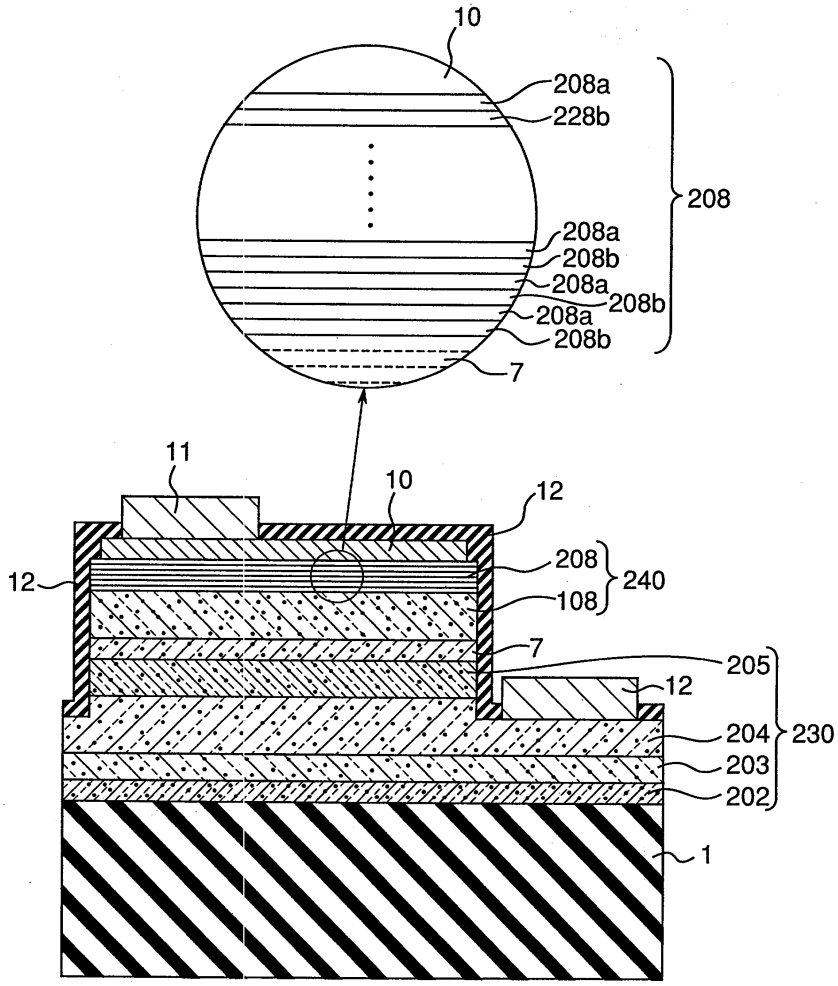
도면3



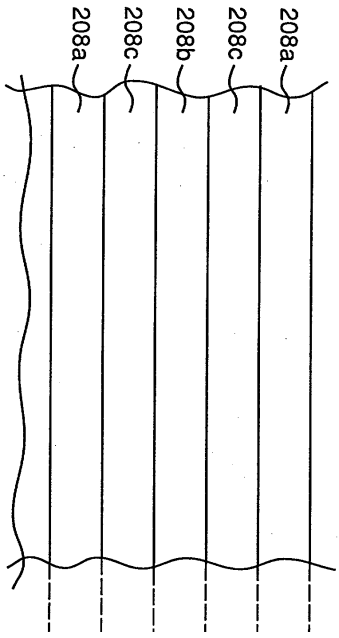
도면4


108a
108b
108a
108b
108a
11
106a
106b
106a
106b
9
140
105a
105b
105a
105b
108
7
106
105
12
4
130
103
102
1

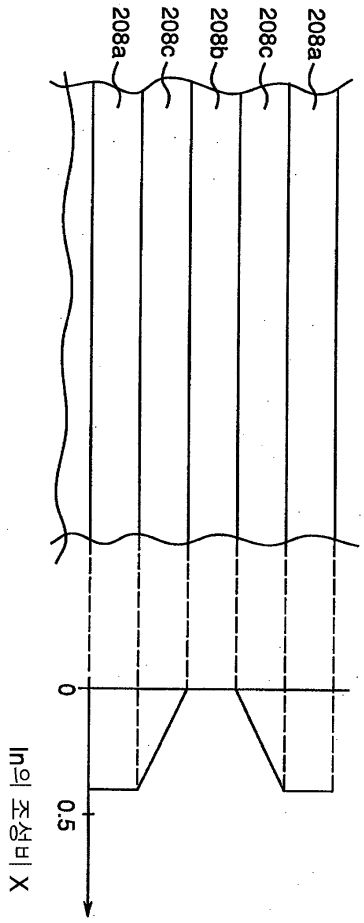
도면5


10
208a
228b
208
208a
208b
208a
208b
208a
208b
7
11
10
12
12
208
240
108
7
205
12
204
230
203
202
1

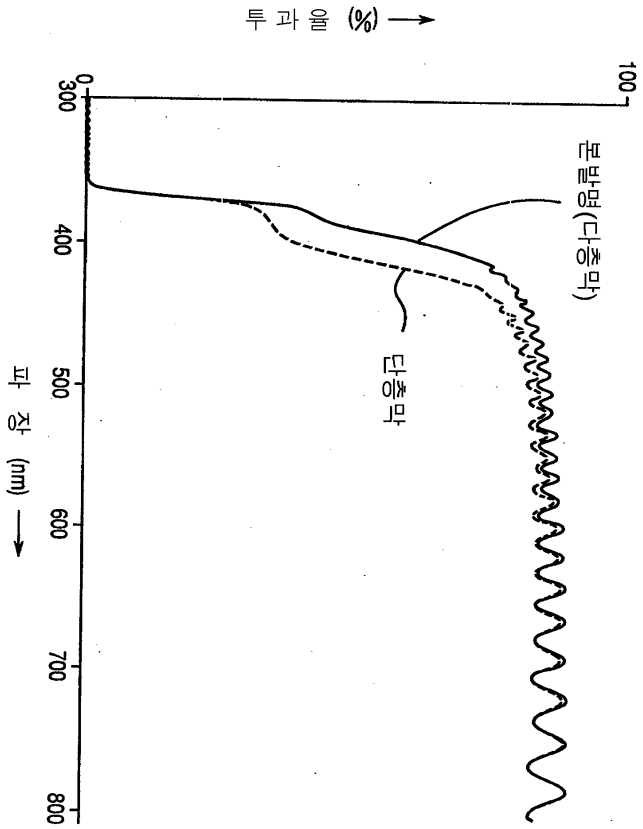
도면6a


208a
208c
208b
208c
208a

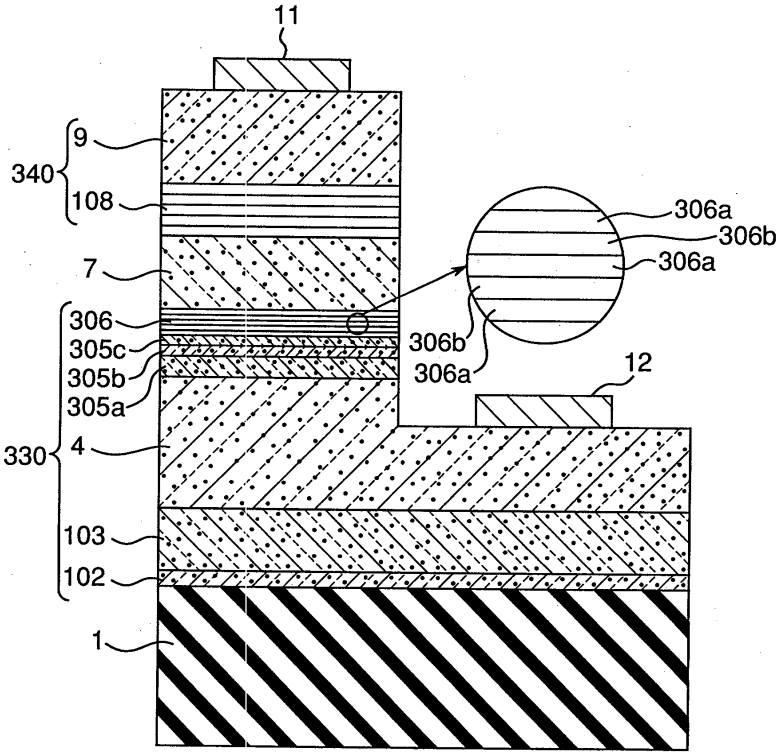
도면6b


208a
208c
208b
208c
208a
0
0.5
In의 조성비 X

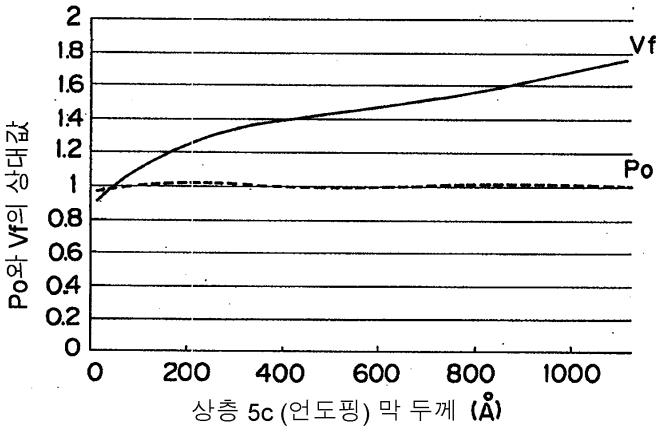
도면7


투과율 (%)
0
100
300
400
500
600
700
800
파장 (nm)
분말형(다층막)
단층막

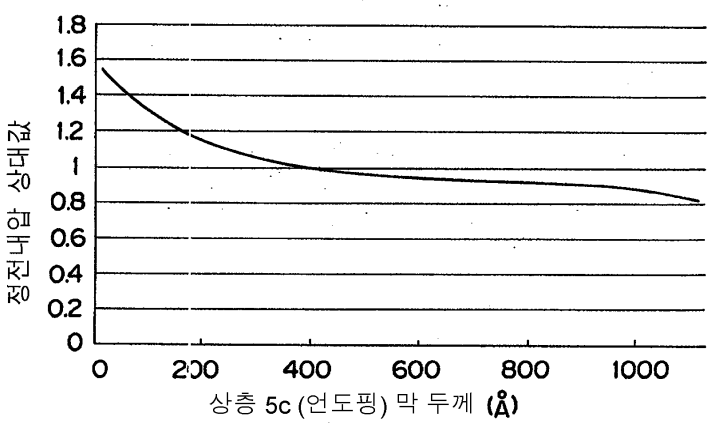
도면8



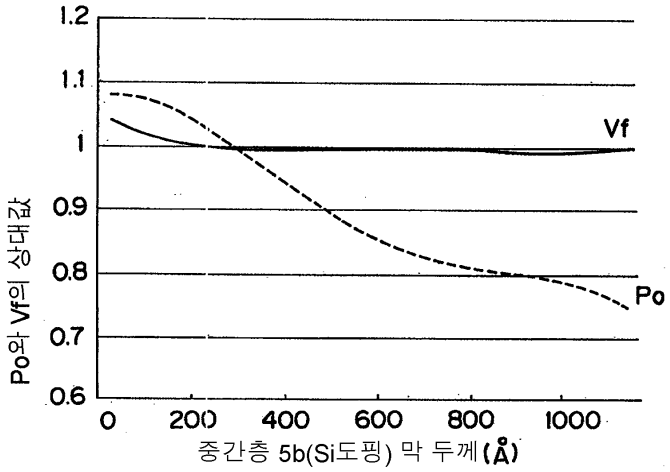
도면9a



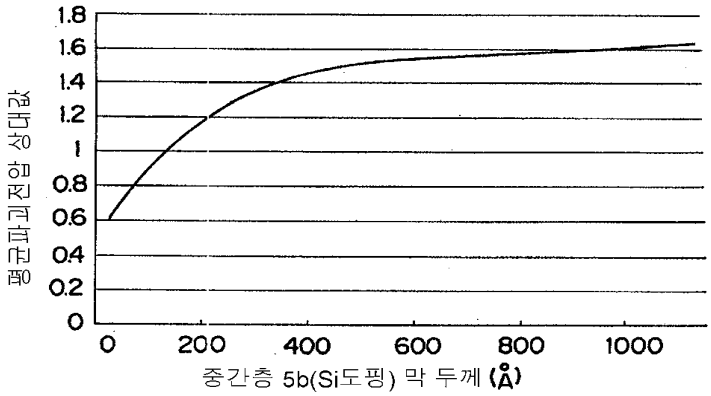
도면9b



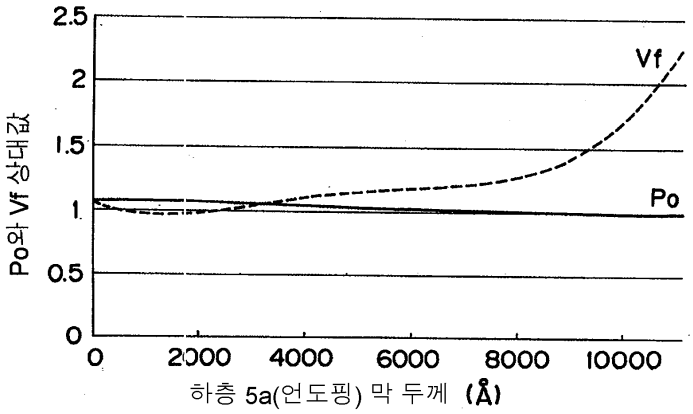
도면10a



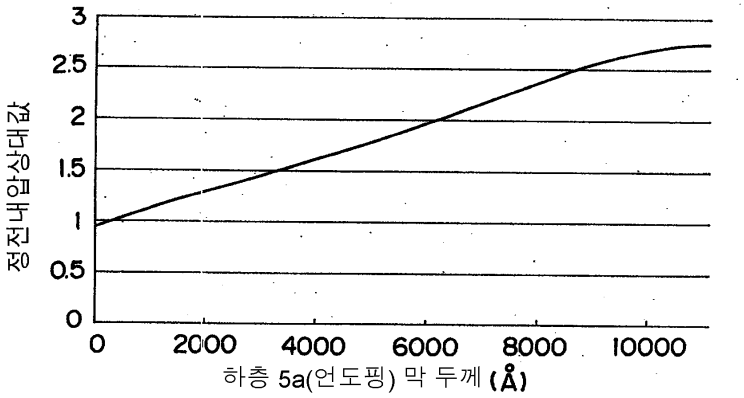
도면10b



도면11a



도면11b


3
2.5
2
1.5
1
0.5
0
정전내압상대값
0
2000
4000
6000
8000
10000
하층 5a(언도핑) 막 두께 (Å)