



# (12) 发明专利

(10) 授权公告号 CN 1884038 B

(45) 授权公告日 2011.08.03

(21) 申请号 200610093250.X

10 行至第 23 栏第 20 行、附图 3-23.

(22) 申请日 2006.06.23

JP 9-162462 A, 1997.06.20, 全文.

(30) 优先权数据

审查员 武方

183181/05 2005.06.23 JP

(73) 专利权人 索尼株式会社

地址 日本东京都

(72) 发明人 御手洗俊 池田浩一 多田正裕

秋叶朗 盛田伸也

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 陶凤波 侯宇

(51) Int. Cl.

B81B 3/00(2006.01)

H01L 29/10(2006.01)

(56) 对比文件

JP 2004-221285 A, 2004.08.05, 全文.

US 5326726 A, 1994.07.05, 说明书第 7 栏第

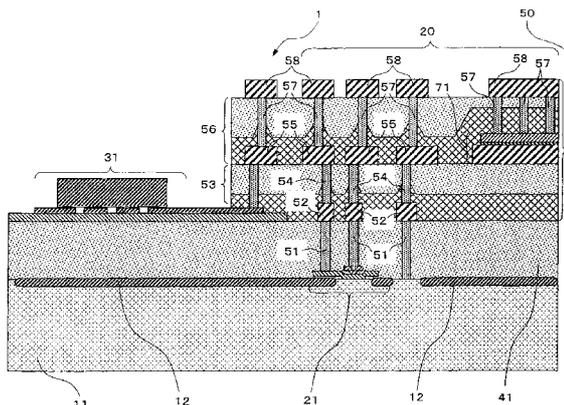
权利要求书 1 页 说明书 10 页 附图 10 页

(54) 发明名称

半导体复合装置及其制造方法

(57) 摘要

一种半导体复合装置及其制造方法。在将半导体元件和微机电装置于不同的基板上制作并且将它们复合化的模块中,会产生由芯片间的连接导致的电力损失或寄生电容增大等的特性恶化问题。另外,也成为阻碍模块的布局设计及尺寸缩小的原因。为了解决所述问题,本发明的半导体复合装置(1)包括:形成在基板(11)上的半导体元件(21);覆盖所述半导体元件(21)且形成在所述基板(11)上的绝缘膜(41);形成在所述绝缘膜(41)上的微机电装置(31);与所述半导体元件(21)和所述微机电装置(31)连接的配线层(50)。



1. 一种半导体复合装置,其特征在于,包括:  
形成在基板上的半导体元件;  
覆盖所述半导体元件并形成在所述基板上的绝缘膜;  
形成在所述绝缘膜上的微机电装置;  
与所述半导体元件和所述微机电装置连接的配线层,  
所述配线层具有配线层间绝缘膜和形成在该绝缘膜上的配线,形成于所述微机电装置上的所述配线层间的绝缘膜被除去。
2. 如权利要求 1 所述的半导体复合装置,其特征在于,所述微机电装置露出。

## 半导体复合装置及其制造方法

### 技术领域

[0001] 本发明涉及易于将微机电装置 (MEMS) 和半导体元件形成在同一基板上的半导体复合装置及其制造方法。

### 背景技术

[0002] 从 1970 年代开始的对微机电装置 (MEMS:Micro Electro Mechanic AI Systems) 的研究开发, 目前已经开展到了传感器元件、驱动器、光学元件、生物元件、RF 元件以及功率元件等各个领域, 加速度传感器及微镜器件等一部分器件已经被商品化, 在日常生活中也可以见到。

[0003] 与此同时, 近年来所谓复合器件化的进展也很活跃。例如, 在目前为止为单功能的 MEMS 器件上装入周边电路而使之具备作为系统的功能, 或是在其他器件上装入 MEMS 以提高附加值等。这是因为, MEMS 基本上以半导体工艺为基础, 而现在还可以利用目前为止被利用在其他的半导体器件的复合化中的 SiP(System in Package: 系统封装) 或 SoC(System on Chip: 系统芯片) 的方法。特别地, 关于 SoC, 适用尖端工艺的 MEMS 器件近年来逐渐减少, 在安装时的操作方面也很有利。例如, 在近年来快速研究·开发的 RF-MEMS 等中, 最终必须要在通信功能上进行模块化, 所以容易在 SoC 的单芯片化中受益。

[0004] 但是, 在将 MEMS 元件和其他器件作为 SoC 而形成在同一块晶片上时, 由于 MEMS 元件的材料或尺寸而使得制造方法受到很大的限制。特别是, 在现有的标准化了的工艺中混载 MEMS 的情况下, MEMS 工艺的插入及现有工序的改变成为电路的特性变动的因素。在今后的高性能化电路形成工艺中其影响也很大, 会成为 MEMS 元件和尖端半导体器件的混载的障碍。

[0005] 因此, 目前为止有很多利用 SiP 或与其类似的方法 (晶片彼此的接合等) 试着进行功能复合化的例子。例如, 通过构成可将形成有半导体元件的层在事后从基板分离的结构, 实现了抑制膜厚增加的 MEMS 晶片和半导体元件晶片的接合 (例如专利文献 1)。但是, 例如接合时需要配合余量等的、与 SiP 类似的方法, 不能充分地激发以尖端工序制造的 MEMS 和半导体器件的复合器件的性能。

[0006] 另一方面, 作为假定 SoC 的制造方法, 主要是使用可在对配线层不造成损伤的低温区域形成的材料, 将 MEMS 元件形成在电路的配线上的方法。但是, 若该低温材料不能在其他工序中共用, 则相应地耗费成本, 并且材料常量上也不会得到规定的特性, 可靠性也会变差。理论上可以进行混载, 但考虑到成本和可靠性, 在实用性上不得不具体问题具体分析。

[0007] 另外, 也提案有如下的制造方法, 即, 预先由保护膜包覆电路形成部, 在形成 MEMS 元件后除去保护膜, 然后形成电路, 由配线将二者连接 (例如, 参照专利文献 2)。但是, 由于在 MEMS 元件残留有较大的阶梯差的状态下, 进行尺寸控制严格的电路制作的前半工序 (FEOL: Front End Of Line), 故显然会产生光刻法的尺寸不均或蚀刻残留等问题。并且必须对每个混载 MEMS 之前的电路的制造工序进行改良, 所以存在不可能向多个品种开展

等的缺点。

[0008] 专利文献 1 :特开 2004-221285 号公报

[0009] 专利文献 2 :特开平 9-162462 号公报

## 发明内容

[0010] 本发明需要解决的问题点是 :由于微机电装置 (MEMS) 和由晶体管、电容器等半导体元件以及配线构成的半导体电路没有装入同一基板上,故作为复合模块的特性不充分。

[0011] 在本发明的半导体复合装置及其制造方法的课题在于 :在同一基板上制作半导体元件和微机电装置,然后形成连接半导体元件和微机电装置的配线,由此,可将半导体元件和微机电装置搭载于同一基板上。

[0012] 本发明的半导体复合装置包括 :形成在基板上的半导体元件 ;包覆所述半导体元件,并形成在所述基板上的绝缘膜 ;形成在所述绝缘膜上的微机电装置 ;与所述半导体元件和所述微机电装置连接的配线层。

[0013] 在该半导体复合装置中,由于将半导体元件和微机电装置形成于同一基板上,并且形成有连接半导体元件和微机电装置的配线层,从而使目前为止为单一功能元件的微机电装置具备了复合化了的功能。

[0014] 本发明的半导体复合装置包括 :形成在基板上的半导体元件 ;形成在所述基板上的微机电装置 ;与所述半导体元件和所述微机电装置连接的配线层,所述微机电装置经由空间层被保护膜包围,所述半导体元件和所述电机装置被绝缘膜覆盖。

[0015] 在该半导体复合装置中,由于在同一基板上搭载有半导体元件和微机电装置,故将半导体元件和微机电装置形成于同一基板上,并且形成有连接半导体元件和微机电装置的配线层,从而使目前为止为单一功能元件的微机电装置具备复合化了的功能。另外,由于微机电装置经由空间层被保护膜包围,所以微机电装置不会露出。因此,提高了可靠性并且不需要气密性封装。

[0016] 本发明的半导体复合装置的制造方法,包括 :在基板上形成半导体元件的工序 ;在所述基板上形成包覆所述半导体元件的绝缘膜的工序 ;在所述绝缘膜上形成微机电装置的工序 ;形成与所述半导体元件和所述微机电装置连接的配线层的工序。

[0017] 在该半导体复合装置的制造方法中,由于将半导体元件和微机电装置形成于同一基板上,并且形成有连接半导体元件和微机电装置的配线层,从而使目前为止为单一功能元件的微机电装置具备复合化了的功能。另外,在形成半导体元件后,形成包覆半导体元件的绝缘膜,由此可通过通常的工序形成半导体元件。另外,在形成了包覆半导体元件的绝缘膜后,可以在该绝缘膜上形成微机电装置,所以可以通过通常的工序形成微机电装置。然后,形成与半导体元件和微机电装置连接的配线层,故在半导体元件的制造工序和微机电装置的制造工序中,可进行具有配线层耐热温度以上的温度的工序。

[0018] 本发明的半导体复合装置的制造方法,包括 :在基板上形成半导体元件的工序 ;在所述基板上形成微机电装置的工序 ;包覆所述半导体元件而在所述基板上形成绝缘膜的工序 ;在所述绝缘膜上形成与所述半导体元件和所述微机电装置连接的配线层的工序。

[0019] 在该半导体复合装置的制造方法中,将半导体元件和微机电装置形成于同一基板上,形成连接半导体元件和微机电装置的配线层,由此使目前为止为单一功能元件的微机

电装置具备复合化了的功能。另外,由于将半导体元件和微机电装置在不同工序中形成,故可由通常的工艺形成半导体元件,另外,可以由通常的工艺形成微机电装置。然后,由于形成将半导体元件和微机电装置连接的配线层,故在半导体元件的制造工序及微机电装置的制造工序中,可进行具有配线层的耐热温度以上的温度的工序。另外,由于在与半导体元件大致相同的层上形成微机电装置,故在微机电装置的阶梯差大等情况下是有效的。

[0020] 本发明的半导体复合装置,由于将半导体元件和微机电装置搭载于同一基板上,故具有使目前为止为单一功能元件的微机电装置具备复合化了的功能的优点。例如,以往将分立零件组合而制成的 RF(高频)调谐器模块等,通过将滤波器或开关、混频器、振荡器等高频零件作为 MEMS 在芯片上制作,从而可利用一个芯片实现与模块相同的功能。由此,可以得到大幅度地缩小模块尺寸或抑制耗电、降低制造成本、扩大商品设计的自由度等的优点。另外,由于微机电装置经由空间层被保护膜包围,微机电装置不会露出,故提高了可靠性并且不需要气密性封装。

[0021] 本发明的半导体复合装置的制造方法,由于将半导体元件和微机电装置形成于同一基板上,故具有使目前为止为单一功能元件的微机电装置赋予复合化了的功能的优点。例如,以往将分立零件组合而制成的 RF(高频)调谐器模块等,通过将滤波器或开关、混频器、振荡器等高频零件作为 MEMS 在芯片上制作,从而可利用一个芯片实现与模块相同的功能。由此,可以得到大幅度地缩小模块尺寸或抑制耗电、降低制造成本、扩大商品设计的自由度等的优点。另外,由于微机电装置经由空间层被保护膜包围,微机电装置不会露出,故提高了可靠性并且不需要气密性封装。

#### 附图说明

[0022] 图 1 是表示本发明的半导体复合装置的一实施方式的第 1 例的概略结构剖面图;

[0023] 图 2 是表示本发明的半导体复合装置的一实施方式的第 2 例的概略结构剖面图;

[0024] 图 3 是表示本发明的半导体复合装置的一实施方式的第 3 例的概略结构剖面图;

[0025] 图 4 是表示本发明的半导体复合装置制造方法的一实施方式的第 1 例的制造工序剖面图;

[0026] 图 5 是表示本发明的半导体复合装置制造方法的一实施方式的第 1 例的制造工序剖面图;

[0027] 图 6 是表示本发明的半导体复合装置制造方法的一实施方式的第 1 例的制造工序剖面图;

[0028] 图 7(1) 是横梁型 MEMS 谐振器的概略结构立体图,图 7(2) 是使用了横梁型 MEMS 谐振器的高频带通滤波器的平面布局图;

[0029] 图 8 是表示由本发明的制造方法形成的横梁型谐振器的谐振特性的图;

[0030] 图 9 是表示作为单独的器件制作的横梁型谐振器的谐振特性的图;

[0031] 图 10 是表示与微机电装置 (MEMS) 混载的射极输出器 (E/F:EmitterFollower) 电路的输出特性的图。

[0032] 符号说明:

[0033] 1:半导体复合装置;11:基板;21:半导体元件;31:微机电装置;41:绝缘膜;50:配线层

## 具体实施方式

[0034] 利用图 1 的概略结构剖面图说明本发明的半导体复合装置的一实施方式的第一例。

[0035] 如图 1 所示,在基板 11 上形成有半导体元件 21。该半导体元件 21 例如由晶体管、电容器、晶闸管等半导体构成的元件构成。在图示的一例中,表示了通过形成于基板 11 上的元件分离区域 12 分离的元件形成区域 13 上形成的晶体管。另外,所述半导体元件 21 被绝缘膜 41 包覆。在所述绝缘膜 41 上形成有微机电装置 31。在所述绝缘膜 41 上形成有与所述半导体元件 21、基板 11 等连接的第 1 插塞 51。

[0036] 所述半导体元件 21 和所述微机电装置 31 通过配线层 50 的配线、插塞等而连接。另外,直接与所述半导体元件 21 和所述微机电装置 31 连接的配线没有图示,但在图上没有表示的部分上利用配线、插塞等连接。

[0037] 所述配线层 50 例如为 3 层配线结构。配线层 50 例如包括:所述第 1 插塞 51;形成在所述绝缘层 41 上,与所述第 1 插塞 51 连接的第 1 配线 52;包覆该第 1 配线 52 的第 1 层间绝缘膜 53;形成在该第 1 层间绝缘膜 53 上,与所述第 1 配线 52、所述微机电装置 31 等连接的第 2 插塞 54;形成在所述第 1 层间绝缘膜 53 上,与所述第 2 插塞 54 连接的第 2 配线 55;包覆该第 2 配线 55 的第 2 层间绝缘膜 56;形成在第 2 层间绝缘膜 56 上,与第 2 配线 55 连接的第 3 插塞 57;形成在第 2 层间绝缘膜 56 上,与第 3 插塞 57 连接的第 3 配线 58。

[0038] 所述微机电装置 31 通过所述配线层 50 的第 1 层间绝缘膜 53 以及第 2 层间绝缘膜 56 而露出。例如通过将形成于所述微机电装置 31 上的、构成所述配线层 50 的第 1 层间绝缘膜 53 以及第 2 层间绝缘膜 56 除去,使所述微机电装置 31 露出。如后述的制造方法中详细说明地,在除去第 1 层间绝缘膜 53 以及第 2 层间绝缘膜 56 时,通过将形成微机电装置 31 时所使用的牺牲膜也去除掉,从而形成了微机电所需要的空间(图上空心部分)。

[0039] 在该半导体复合装置 1 中,由于在同一基板 11 上形成半导体元件 21 和微机电装置 31,并且形成有与半导体元件 21 和微机电装置 31 连接的配线层 50,因此具有如下的优点,即可使目前为单一功能元件的微机电装置 31 具备复合化了的功能,例如具备由半导体元件 21 以及所述配线层 50 构成的半导体电路 20 的功能。例如,以往将分立零件组合而制成的 RF(高频)调谐器模块等,通过将滤波器或开关、混频器、振荡器等高频零件作为微机电装置在芯片上制作,由此可利用一个芯片实现与模块相同的功能。由此,可以得到大幅度地缩小模块尺寸或抑制耗电、降低制造成本、扩大商品设计的自由度等的优点。

[0040] 下面,利用图 2 的概略结构剖面图说明本发明的半导体复合装置的一实施方式的第二例。

[0041] 如图 2 所示,基板 11 上形成有半导体元件 21。该半导体元件 21 例如由晶体管、电容器、晶闸管等半导体构成的元件构成。在图示的一例中,表示了通过形成于基板 11 上的元件分离区域 12 分离的元件形成区域 13 上形成的晶体管。在所述绝缘膜 41 上形成有微机电装置 31。另外,在所述绝缘膜 41 上形成有与所述半导体元件 21、基板 11 等连接的第 1 插塞 51。

[0042] 所述半导体元件 21 和所述微机电装置 31 通过配线层 50 的配线、插塞等而连接。另外,直接将所述半导体元件 21 和所述微机电装置 31 连接的配线未作图示,但在图上没有

表示的部分上利用配线、插塞等连接。

[0043] 所述配线层 50 例如为 3 层配线结构。配线层 50 例如包括：所述第 1 插塞 51；形成在所述绝缘层 41 上，与所述第 1 插塞 51 连接的第 1 配线 52；包覆该第 1 配线 52 的第 1 层间绝缘膜 53；形成在该第 1 层间绝缘膜 53 上，与所述第 1 配线 52、所述微机电装置 31 等连接的第 2 插塞 54；形成在所述第 1 层间绝缘膜 53 上，与所述第 2 插塞 54 连接的第 2 配线 55；包覆该第 2 配线 55 的第 2 层间绝缘膜 56；形成在第 2 层间绝缘膜 56 上，与第 2 配线 55 连接的第 3 插塞 57；形成在第 2 层间绝缘膜 56 上，与第 3 插塞 57 连接的第 3 配线 58。

[0044] 所述微机电装置 31，一部分经由空间 32 被保护膜 33 包围。在保护膜 33 上形成有所述第 1 层间绝缘膜 53。

[0045] 在该半导体复合装置 2 中，由于在同一基板 11 上形成半导体元件 21 和微机电装置 31，并且形成有与半导体元件 21 和微机电装置 31 连接的配线层 50，因此具有如下优点，即可使目前为单一功能元件的微型电机机械装置 31 具备复合化了的功能，例如，可具备由半导体元件 21 以及所述配线层 50 构成的半导体电路 20 的功能。例如，以往将分立零件组合而制成的 RF（高频）调谐器模块等，通过将滤波器或开关、混频器、振荡器等高频零件作为微机电装置在芯片上制作，由此可利用一个芯片实现与模块相同的功能。由此，可以得到大幅度地缩小模块尺寸或抑制耗电量、降低制造成本、扩大商品设计的自由度等的优点。另外，由于微机电装置 31 经由空间层 32 被保护膜 33 包围，故微机电装置 31 不会露出，提高了可靠性并且不需要气密性封装。

[0046] 下面，利用图 3 的概略结构剖面图说明本发明的半导体复合装置的一实施方式第 3 例。

[0047] 如图 3 所示，在基板 11 上形成有半导体元件 21。该半导体元件 21 例如由晶体管、电容器、晶闸管等半导体构成的元件构成。在图示的一例中，表示了通过形成于基板 11 上的元件分离区域 12 分离的元件形成区域 13 上形成的晶体管。

[0048] 另外，在所述基板 11 上形成有微机电装置 31。所述微机电装置 31，一部分经由空间 32 被保护膜 33 包围。

[0049] 所述半导体元件 21 和所述保护膜 33 被绝缘膜 41 包覆。另外，在所述绝缘膜 41 上形成有第 1 插塞 51，该第 1 插塞 51 连接所述半导体元件 21、基板 11、微机电层间绝缘膜 31 等。

[0050] 所述半导体元件 21 和所述微机电装置 31 通过配线层 50 的配线、插塞等而连接。另外，直接将所述半导体元件 21 和所述微机电装置 31 连接的配线未作图示，但在图上没有表示的部分上利用配线、插塞等连接。

[0051] 所述配线层 50 例如为 3 层配线结构。配线层 50 例如包括：所述第 1 插塞 51；形成在所述绝缘层 41 上，与所述第 1 插塞 51 连接的第 1 配线 52；包覆该第 1 配线 52 的第 1 层间绝缘膜 53；形成在该第 1 层间绝缘膜 53 上，与所述第 1 配线 52、所述微机电装置 31 等连接的第 2 插塞 54；形成在所述第 1 层间绝缘膜 53 上，与所述第 2 插塞 54 连接的第 2 配线 55；包覆该第 2 配线 55 的第 2 层间绝缘膜 56；形成在第 2 层间绝缘膜 56 上，与第 2 配线 55 连接的第 3 插塞 57；形成在第 2 层间绝缘膜 56 上，与第 3 插塞 57 连接的第 3 配线 58。

[0052] 在该半导体复合装置 3 中，由于在同一基板 11 上形成有半导体元件 21 和微机电装置 31，并且形成有与半导体元件 21 和微机电装置 31 连接的配线层 50，因此具有如下优

点,即可使目前为止为单一功能元件的微型电机机械装置 31 具备复合化了的功能,例如由半导体元件 21 以及所述配线层 50 构成的半导体电路 20 的功能。例如,以往将分立零件组合而制成的 RF(高频)调谐器模块等,通过将滤波器或开关、混频器、振荡器等高频零件作为微机电装置在芯片上制作,由此可利用一个芯片实现与模块相同的功能。由此,可以得到大幅度地缩小模块尺寸或抑制耗电量、降低制造成本、扩大商品设计的自由度等的优点。另外,由于微机电装置 31 经由空间层 32 被保护膜 33 包围,故微机电装置 31 不会露出,提高了可靠性并且不需要气密性封装。进而,由于将微机电装置 31 混载在与半导体元件 21 大致相同的层上,所以在微机电装置 31 的阶梯差大等情况下是有效的。

[0053] 下面利用图 4~图 6 的制造工序剖面图来说明本发明的半导体复合装置的制造方法的一实施方式的第 1 例。在此,作为一例,表示由所述图 1 说明的半导体复合装置 1 的制造工序。

[0054] 如图 4 所示,在基板 11 上形成元件分离区域 12,划分元件形成区域 13。接着在所述元件形成区域 13 上形成半导体元件 21。该半导体元件 21 例如由晶体管、电容器、电阻以及晶闸管等构成。在图示的一例中,所述半导体元件 21 由晶体管构成。所述半导体元件 21 的制造方法可以采用现有的制造方法。接着,利用绝缘膜 41 包覆所述半导体元件 21。

[0055] 然后,如图 5 所示,在所述绝缘膜 41 上形成微机电装置 31。该微机电装置 31 可以采用现有的制造方法。此时,至少在形成微机电装置 31 的空间的部分上形成牺牲膜 61。该牺牲膜 61 在后面的工序中被除去,在微机电装置 31 上形成必要的空间。另外,将微机电装置 31 的形成区域以外的构成微机电装置 31 的零件除去。

[0056] 在本实施例中,可利用作为杂质添加有磷(P)的多晶硅构成所述微机电装置 31 以及半导体元件 21 的信号线路。该情况下,为了多晶硅的活性化而需要进行高温热处理,但由于是在下面说明的配线层形成之前,故不会有制造上的问题。

[0057] 下面,如图 6 所示,形成有与所述半导体元件 21 和所述微机电装置 31 连接的配线层 50。配线层 50 可以由通常的多层配线技术形成。在此,例如利用 3 层配线结构形成所述配线层 50。

[0058] 首先,在所述绝缘膜 41 上形成与所述半导体元件 21、基板 11 等连接的第 1 插塞 51。接着,在所述绝缘膜 41 上形成与所述第 1 插塞 51 连接的第 1 配线 52。然后形成包覆所述第 1 配线 52 的第 1 层间绝缘膜 53。

[0059] 然后,在所述第 1 层间绝缘膜 53 上形成与所述第 1 配线 52 以及所述微机电装置 31 等连接的第 2 插塞 54。接着在所述第 1 层间绝缘膜 53 上形成与所述第 2 插塞 54 连接的第 2 配线 55。另外,利用所述第 2 配线 55 的一部分形成 MIM 电容器 71。接着形成包覆该第 2 配线 55、MIM 电容器 71 等的第 2 层间绝缘膜 56。

[0060] 然后,在所述第 2 层间绝缘膜 56 上形成与所述第 2 配线 55 连接的第 3 插塞 57。接着在所述第 2 层间绝缘膜 56 上形成与所述第 3 插塞 57 连接的第 3 配线 58。

[0061] 所述第 1、第 2、第 3 插塞 51、54、57 可以利用现有的插塞形成技术制造。例如,可以利用钨插塞或多晶硅插塞等形成。所述第 1、第 2、第 3 配线 52、55、58 可以利用现有的配线形成技术制造。例如可使用铝、铝合金等金属配线、多晶硅配线等。所述第 1、第 2 层间绝缘膜 53、56 可以利用现有的层间绝缘膜的成膜技术制造。例如利用化学的气相成长法制得的氧化硅膜形成。另外,为了降低配线间电容,可采用比氧化硅膜的介电常数低的材料构成

的、所谓低介电常数膜。另外，也可以是低介电常数膜和氧化膜等无机膜的层叠膜。另外，直接与所述半导体元件 21 和所述微机电装置 31 连接的配线未作图示，但在图上没有表示的部分上利用配线、插塞等连接。

[0062] 之后，除去微机电装置 31 上以及其周围的牺牲膜 61（参照所述图 5）、第 1、第 2 层间绝缘膜 53、56 等，形成微机电装置 31 的必要空间 34。该除去加工，在利用氧化硅系的膜形成所述牺牲膜 61、第 1、第 2 层间绝缘膜 53、56 等的情况下，例如可通过氢氟酸系的湿式蚀刻进行。

[0063] 在该半导体复合装置 1 的制造方法中，由于在同一基板 11 上形成有半导体元件 21 和微机电装置 31，因此具有可使目前为止为单一功能元件的微机电装置 31 具备复合化了的功能的优点。例如，以往将分立零件组合而制成的 RF（高频）调谐器模块等，通过将滤波器或开关、混频器、振荡器等高频零件作为微机电装置在芯片上制作，由此可利用一个芯片实现与模块相同的功能。由此，可以得到大幅度地缩小模块尺寸或抑制耗电、降低制造成本、扩大商品设计的自由度等的优点。

[0064] 下面利用所述图 4、所述图 2 说明本发明的半导体复合装置的制造方法的一实施方式第 2 例。在此，作为一例，说明所述图 2 所示的半导体复合装置 2 的制造工序。

[0065] 如图 4 所示，在基板 11 上形成元件分离区域 12，划分元件形成区域 13。接着在所述元件形成区域 13 上形成半导体元件 21。该半导体元件 21 例如由晶体管、电容器、电阻以及晶闸管等形成。在图示的一例中，所述半导体元件 21 由晶体管构成。所述半导体元件 21 的制造方法可以采用现有的制造方法。接着，利用绝缘膜 41 包覆所述半导体元件 21。

[0066] 然后，如所述图 2 所示，在所述绝缘膜 41 上形成有微机电装置 31。该微机电装置 31 可以采用现有的制造方法。此时，至少在形成微机电装置 31 的空间的部分上形成牺牲膜（未图示）。另外，经由牺牲膜（未图示）在微机电装置 31 上形成保护膜 33。之后，将保护膜 33 的一部分开口，除去所述各牺牲膜，在微机电装置 31 上形成必要的空间 34，并且在微机电装置 31 和保护膜 33 之间形成空间 32。在利用氧化硅系的膜形成所述牺牲膜的情况下，例如可通过氢氟酸系的湿式蚀刻进行。

[0067] 在本实施例中，可利用作为杂质添加有磷（P）的多晶硅构成所述微机电装置 31 以及半导体元件 21 的信号线路。此时，为了多晶硅的活性化而需要进行高温热处理，但由于是在下面说明的配线层形成之前，故不会有制造上的问题。

[0068] 接着，形成与所述半导体元件 21 和所述微机电装置 31 连接的配线层 50。配线层 50 可以由通常的多层配线技术形成。在此，例如利用 3 层配线结构形成所述配线层 50。

[0069] 首先，在所述绝缘膜 41 上形成与所述半导体元件 21、基板 11 等连接的第 1 插塞 51。接着，在所述绝缘膜 41 上形成与所述第 1 插塞 51 连接的第 1 配线 52。然后形成包覆所述第 1 配线 52、保护膜 33 等的第 1 层间绝缘膜 53。

[0070] 然后，在所述第 1 层间绝缘膜 53 上形成与所述第 1 配线 52 以及所述微机电装置 31 等连接的第 2 插塞 54。接着在所述第 1 层间绝缘膜 53 上形成与所述第 2 插塞 54 连接的第 2 配线 55。另外，利用所述第 2 配线 55 的一部分形成 MIM 电容器 71。接着形成包覆该第 2 配线 55、MIM 电容器 71 等的第 2 层间绝缘膜 56。

[0071] 然后，在所述第 2 层间绝缘膜 56 上形成与所述第 2 配线 55 连接的第 3 插塞 57。接着在所述第 2 层间绝缘膜 56 上形成与所述第 3 插塞 57 连接的第 3 配线 58。

[0072] 所述第 1、第 2、第 3 插塞 51、54、57 可以利用现有的插塞形成技术制造。例如，可以利用钨插塞或多晶硅插塞等形成。所述第 1、第 2、第 3 配线 52、55、58 可以利用现有的配线形成技术制造。例如利用铝、铝合金等金属配线、多晶硅配线等。所述第 1、第 2 层间绝缘膜 53、56 可利用现有的层间绝缘膜的成膜技术制造。例如由基于化学的气相成长法制得的氧化硅膜形成。另外，为了降低配线间电容，也可以采用比氧化硅膜的介电常数低的材料构成的、所谓低介电常数膜。另外，也可以形成低介电常数膜和氧化硅等无机膜的层叠膜。另外，直接与所述半导体元件 21 和所述微机电装置 31 连接的配线未作图示，但在图上没有表示的部分上利用配线、插塞等连接。

[0073] 在该半导体复合装置 2 的制造方法中，由于在同一基板 11 上形成有半导体元件 21 和微机电装置 31，故具有可使目前为止为单一功能元件的微机电装置 31 具备复合化了的功能的优点。例如，以往将分立零件组合而制成的 RF（高频）调谐器模块等，通过将滤波器或开关、混频器、振荡器等高频零件作为微机电装置在芯片上制作，由此可利用一个芯片实现与模块相同的功能。由此，可以得到大幅度地缩小模块尺寸或抑制耗电量、降低制造成本、扩大商品设计的自由度等的优点。

[0074] 另外，由于微机电装置 31 经由空间层 32 被保护膜 33 包覆，所以微机电装置 31 不会露出，提高了可靠性，并且不需要气密性封装。

[0075] 接着，利用所述图 4、所述图 3 说明本发明的半导体复合装置的制造方法的一实施方式第 3 例。在此，作为一例，说明所述图 3 所示的半导体复合装置 3 的制造工序。

[0076] 如所述图 4 所示，在基板 11 上形成元件分离区域 12，划分元件形成区域 13。接着在所述元件形成区域 13 上形成半导体元件 21。该半导体元件 21 例如由晶体管、电容器、电阻以及晶闸管等构成。在图示的一例中，所述半导体元件 21 由晶体管构成。所述半导体元件 21 的制造方法可采用现有的制造方法。

[0077] 然后，如所述图 3 所示，在所述基板 11 上形成微机电装置 31。该微机电装置 31 可以采用现有的制造方法。此时，至少在形成微机电装置 31 的空间的部分上形成牺牲膜（未图示）。并且，经由牺牲膜（未图示）在微机电装置 31 上形成保护膜 33。之后，将保护膜 33 的一部分开口，除去所述各牺牲膜，在微机电装置 31 上形成必要的空间 34，并且在微机电装置 31 和保护膜 33 之间形成空间 32。在利用氧化硅系的膜形成所述牺牲膜的情况下，例如可通过氢氟酸系的湿式蚀刻进行。

[0078] 在本实施方式例子中，可利用作为杂质添加有磷（P）的多晶硅构成所述微机电装置 31 以及半导体元件 21 的信号线路。此时，为了多晶硅的活性化而需要进行高温热处理，但是由于是在下面说明的配线层形成之前，故不会有制造上的问题。

[0079] 然后，形成包覆所述半导体元件 21 以及保护膜 33 的绝缘膜 41。

[0080] 接着，形成与所述半导体元件 21 和所述微机电装置 31 连接的配线层 50。配线层 50 可以由通常的多层配线技术形成。在此，例如利用 3 层配线结构形成所述配线层 50。

[0081] 首先，在所述绝缘膜 41 上形成与所述半导体元件 21、基板 11、微机电装置 31 等连接的第 1 插塞 51。接着，在所述绝缘膜 41 上形成与所述第 1 插塞 51 连接的第 1 配线 52。然后形成包覆所述第 1 配线 52 的第 1 层间绝缘膜 53。

[0082] 然后，在所述第 1 层间绝缘膜 53 上形成与所述第 1 配线 52 连接的第 2 插塞 54。接着在所述第 1 层间绝缘膜 53 上形成与所述第 2 插塞 54 连接的第 2 配线 55。另外，利用

所述第 2 配线 55 的一部分形成 MIM 电容器 71。接着,形成覆盖该第 2 配线 55、MIM 电容器 71 等的第 2 层间绝缘膜 56。

[0083] 然后,在所述第 2 层间绝缘膜 56 上形成与所述第 2 配线 55、MIM 电容器 71 连接的第 3 插塞 57。接着,在所述第 2 层间绝缘膜 56 上形成与所述第 3 插塞 57 连接的第 3 配线 58。

[0084] 所述第 1、第 2、第 3 插塞 51、54、57 可以利用现有的插塞形成技术制造。例如,可以利用钨插塞或多晶硅插塞等形成。所述第 1、第 2、第 3 配线 52、55、58 可以利用现有的配线形成技术制造。例如利用铝、铝合金等金属配线、多晶硅配线等。所述第 1、第 2、层间绝缘膜 53、56 可以利用现有的层间绝缘膜的成膜技术制造。例如可由基于化学的气相成长法制得的氧化硅膜形成。另外,为了降低配线间电容,也可采用由低于氧化硅的介电常数低材料构成的、所谓低介电常数膜。并且,也可以形成低介电常数膜和氧化硅等无机膜的层叠膜。另外,直接与所述半导体元件 21 和所述微机电装置 31 连接的配线未作图示,但在图上没有表示的部分上利用配线、插塞等连接。

[0085] 在该半导体复合装置 2 的制造方法中,由于在同一基板 11 上形成有半导体元件 21 和微型电机机械装置 31,因此具有可使目前为止为单一功能元件的微型电机机械装置 31 具备复合化了的功能的优点。例如,以往将分立部件组合而制成的 RF(高频)调谐器模块等,通过将滤波器或开关、混频器、振荡器等高频零件作为微机电装置 31 在芯片上制作,由此可利用一个芯片实现与模块相同的功能。由此,可以得到大幅度地缩小模块尺寸或抑制耗电、降低制造成本、扩大商品设计的自由度等的优点。

[0086] 另外,微机电装置 31 经由空间层 32 被保护膜 33 包围,所以微机电装置 31 不会露出,提高了可靠性,并且不需要气密性封装。另外,由于在与半导体元件 21 大致相同的层上形成微机电装置 31,在微机电装置 31 的阶梯差大等情况下是有效的。

[0087] 下面,作为基于所述各实施方式中说明的结构的应用例之一,通过图 7(1) 的横梁型 MEMS 谐振器的概略结构立体图以及图 7(2) 的使用了横梁型 MEMS 谐振器的高频带通滤波器的布局图,对使用了横梁型 MEMS 谐振器的高频带通滤波器进行说明。

[0088] 图 7(1) 所示的横梁型 MEMS 谐振器 131 包括:输入线 132、与该输入线 132 平行设置的输出线 133、与所述输入线 132 以及所述输出线 133 间隔规定的空间 134 而两端被支承的振子电极 135,在向所述输入线 132 施加有高频输入信号的情况下,经由空间 134 设于所述输出线 133 上的振子电极 135 的横梁(振动部)135a 与固有振动频率一致的高频信号而被激励机械共振,在输出线 133 和横梁(振动部)135a 之间的空间 134 构成的电容器的容量变化,其作为滤波后的信号从输出线 133 被输出。

[0089] 图 7(2) 所示的使用了横梁型 MEMS 谐振器的高频带通滤波器中,从图左侧焊盘 111 输入的信号在通过晶格型连接的 MEMS 谐振器 131 构成的微机电装置(高频带通滤波器 141) 时被滤波,在后段的半导体电路(放大器 151) 被放大后向图中右侧的焊盘 171 输出。以往,分别制造由该放大器 151 和 MEMS 谐振器 131 构成的高频带通滤波器 141,在安装时利用引线结合等进行连接,但通过本发明,可以作为将它们混载在一个芯片上的器件而进行制造。

[0090] 图 8 表示经由所述图 4~图 6 说明的制造工序后与其他的器件混载的横梁型谐振器的谐振特性。另外,图 9 表示了作为单独的器件而制造的谐振器的谐振特性。比较图 8

以及图 9 所示的谐振特性可知,可得到谐振频率、透过特征等同等的特征。另外,图 8、图 9 的纵轴的 S21 表示信号的电力透过电平,横轴表示频率。

[0091] 并且,图 10 表示与微机电装置 (MEMS)31 混载的射极输出器 (E/F:Emitter Follower) 电路的输出特性,表示出可以得到如设计值大小的增益,即使经过高温的微机电装置 31 的形成工序也几乎不会影响混载的半导体电路 20。另外,图 10 的纵轴的 S21 表示了信号的电力透过水平,横轴表示了频率。

[0092] 如所述说明,本发明的半导体复合装置 1~3 的特征在于:半导体电路 20 和微机电装置 (MEMS)31 混载在同一个基板 11 上,可以对应于混载的半导体电路 20 或半导体元件 21、微机电装置 31 的各特征或各尺寸而适当地改变布局。

[0093] 另外,所述说明的微机电装置 31,除了所述说明的作为谐振器使用的高频带通滤波器之外,还可以构成高频向模拟元件,具体说接线器、振荡器、混频器、电感器,可变电容器等。

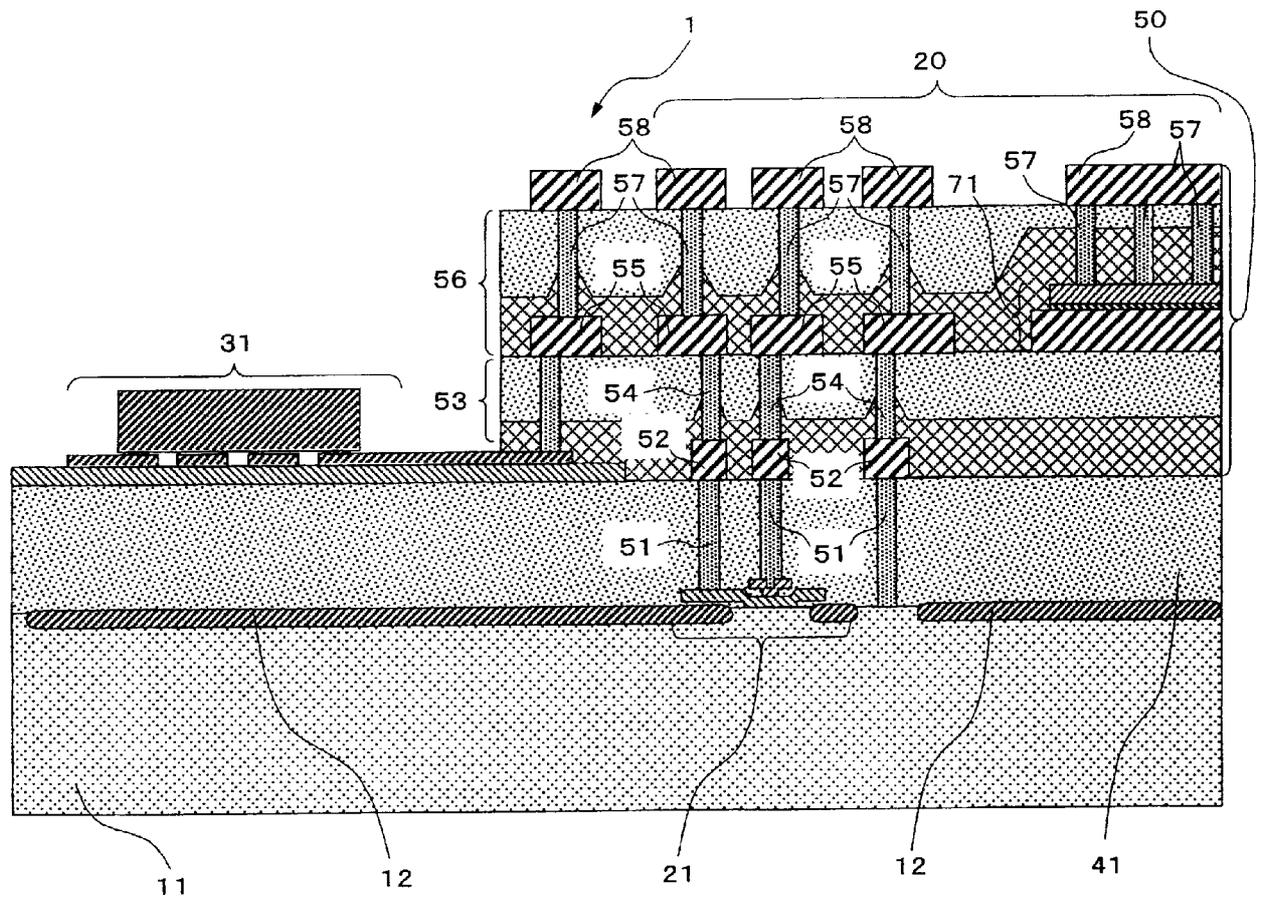


图 1

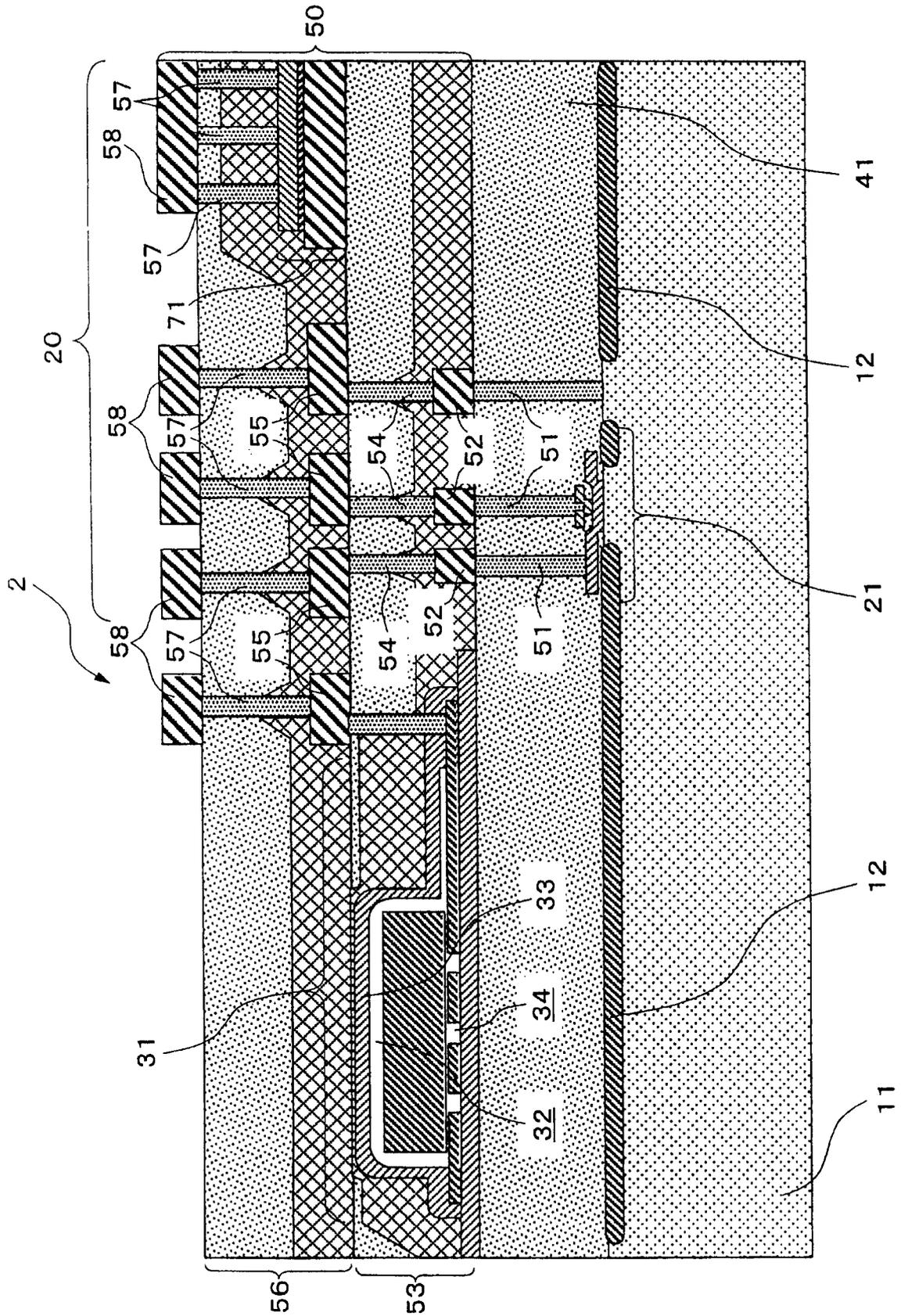


图 2



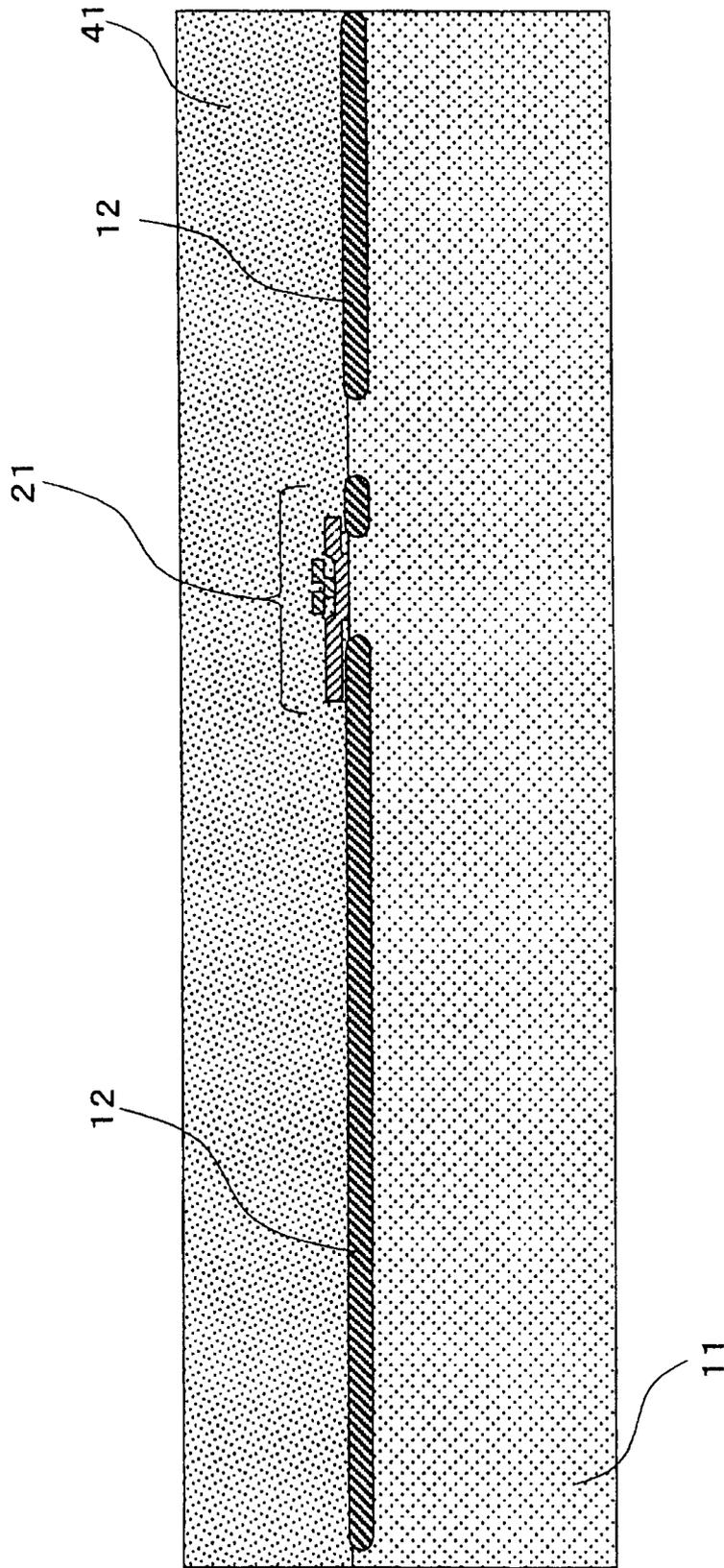


图 4

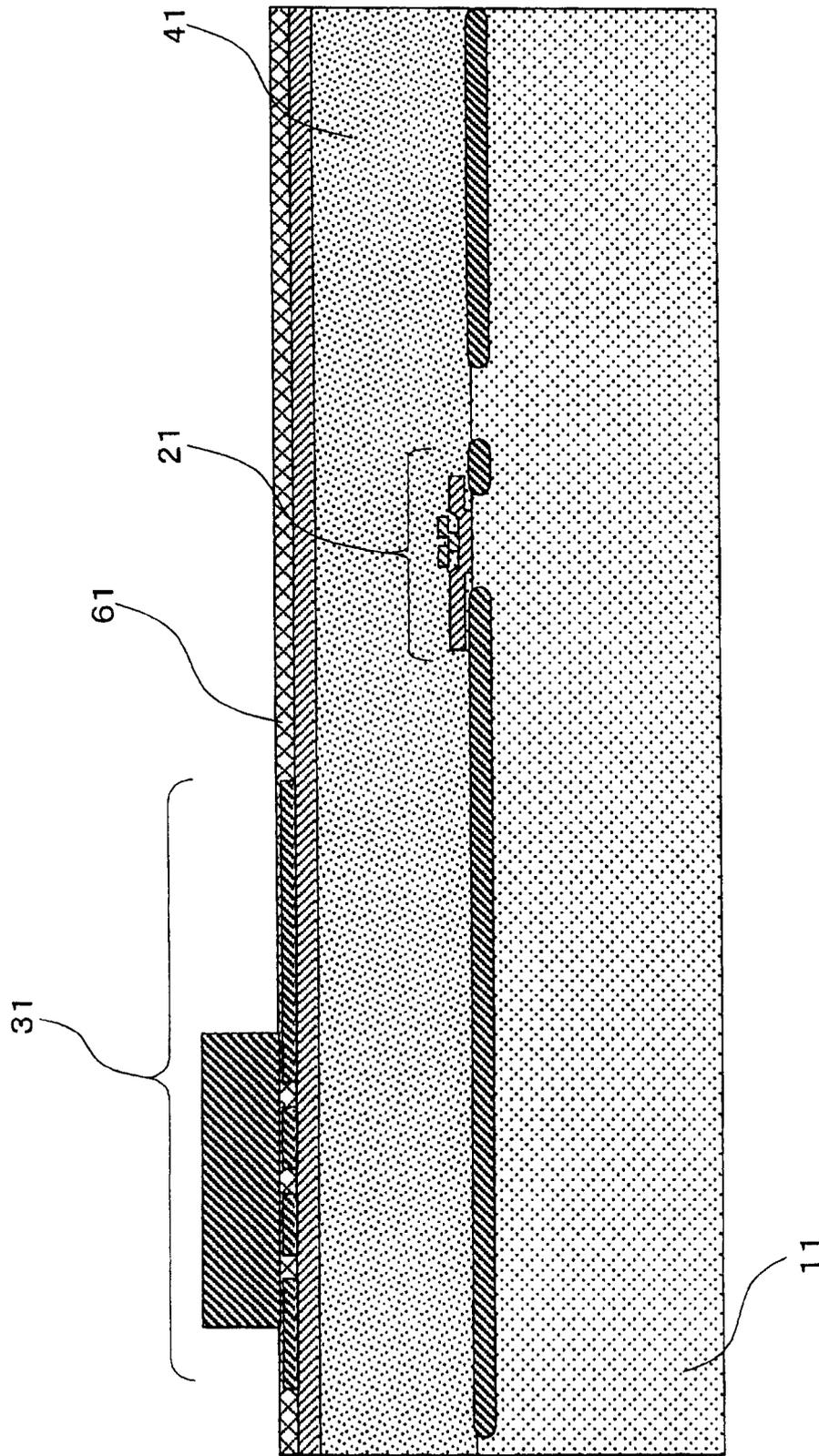


图 5

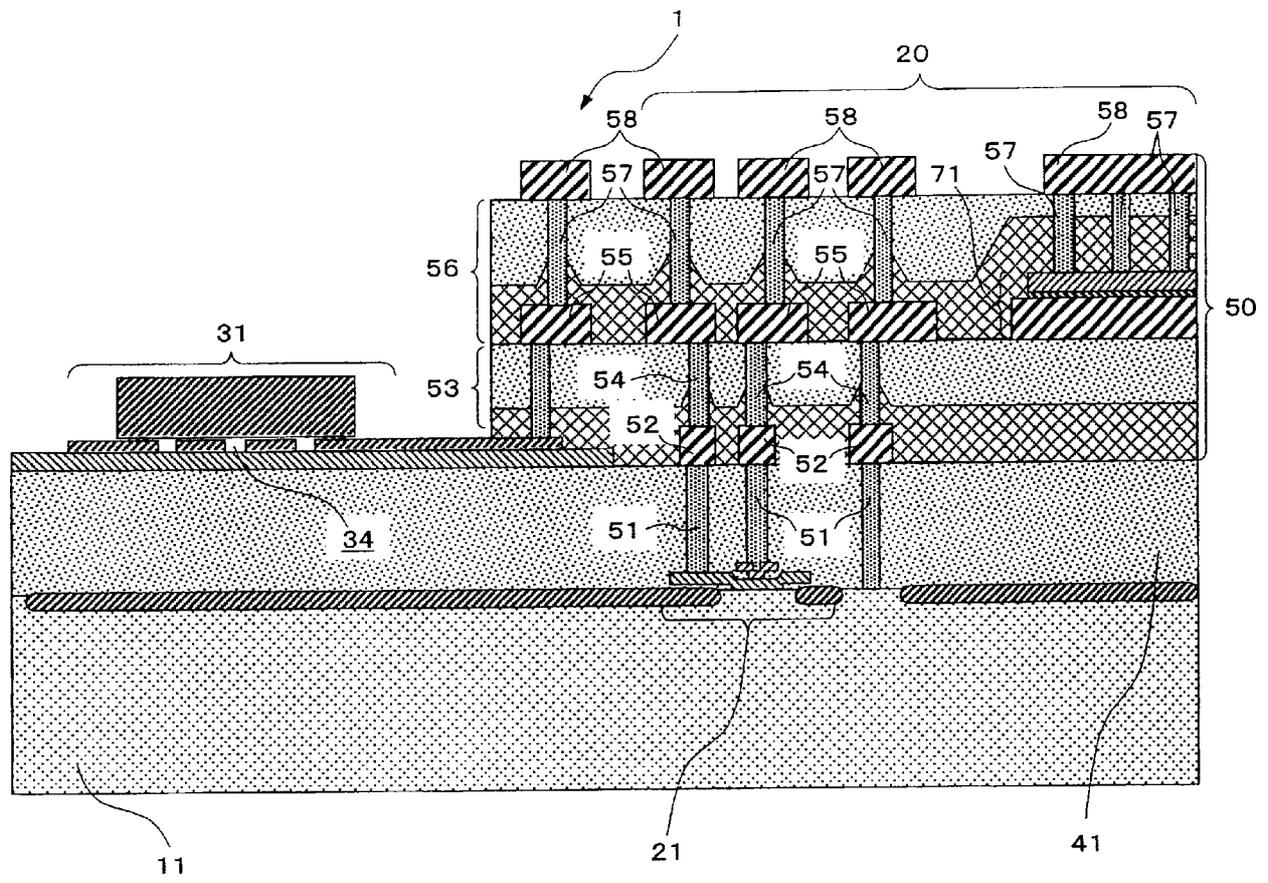


图 6

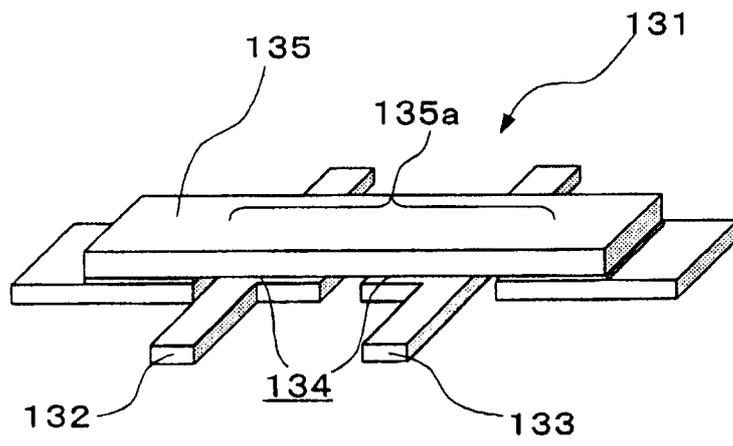


图 7(1)

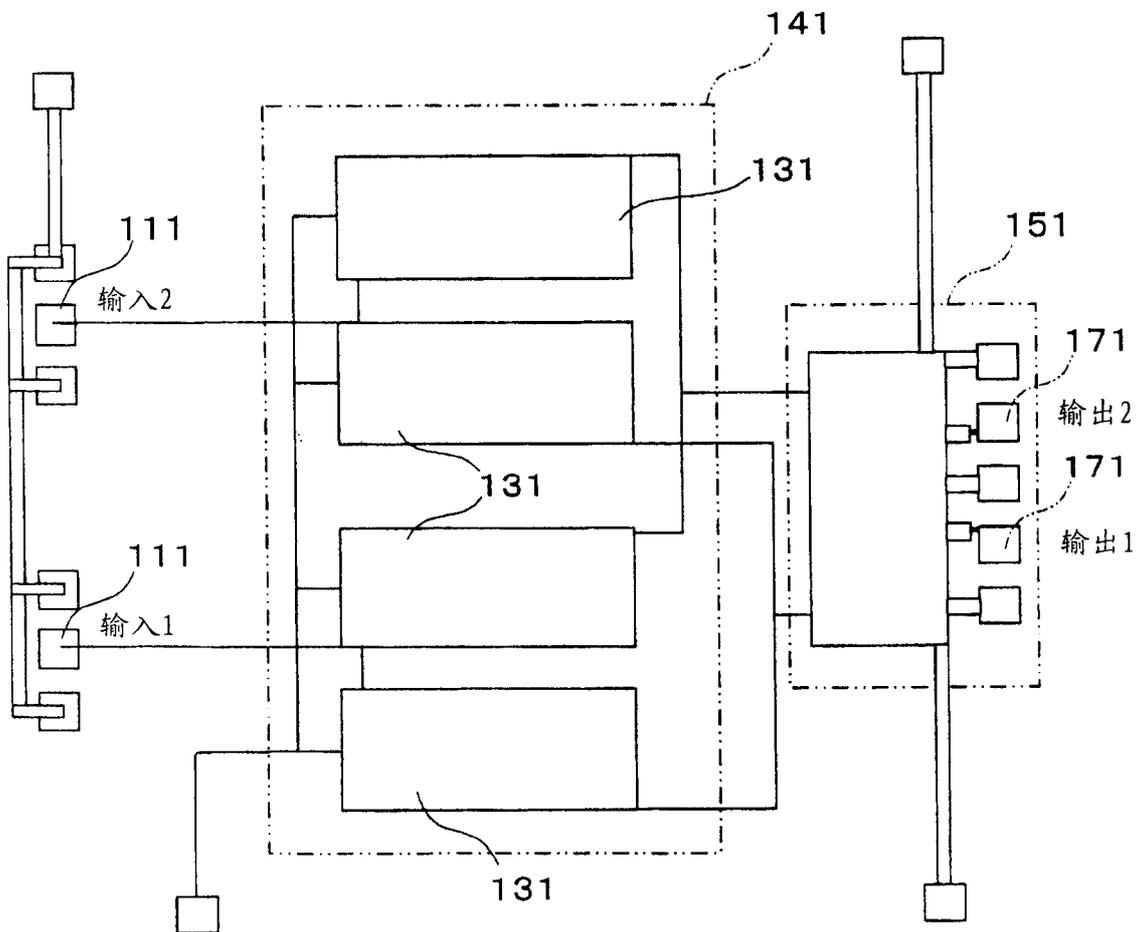


图 7(2)

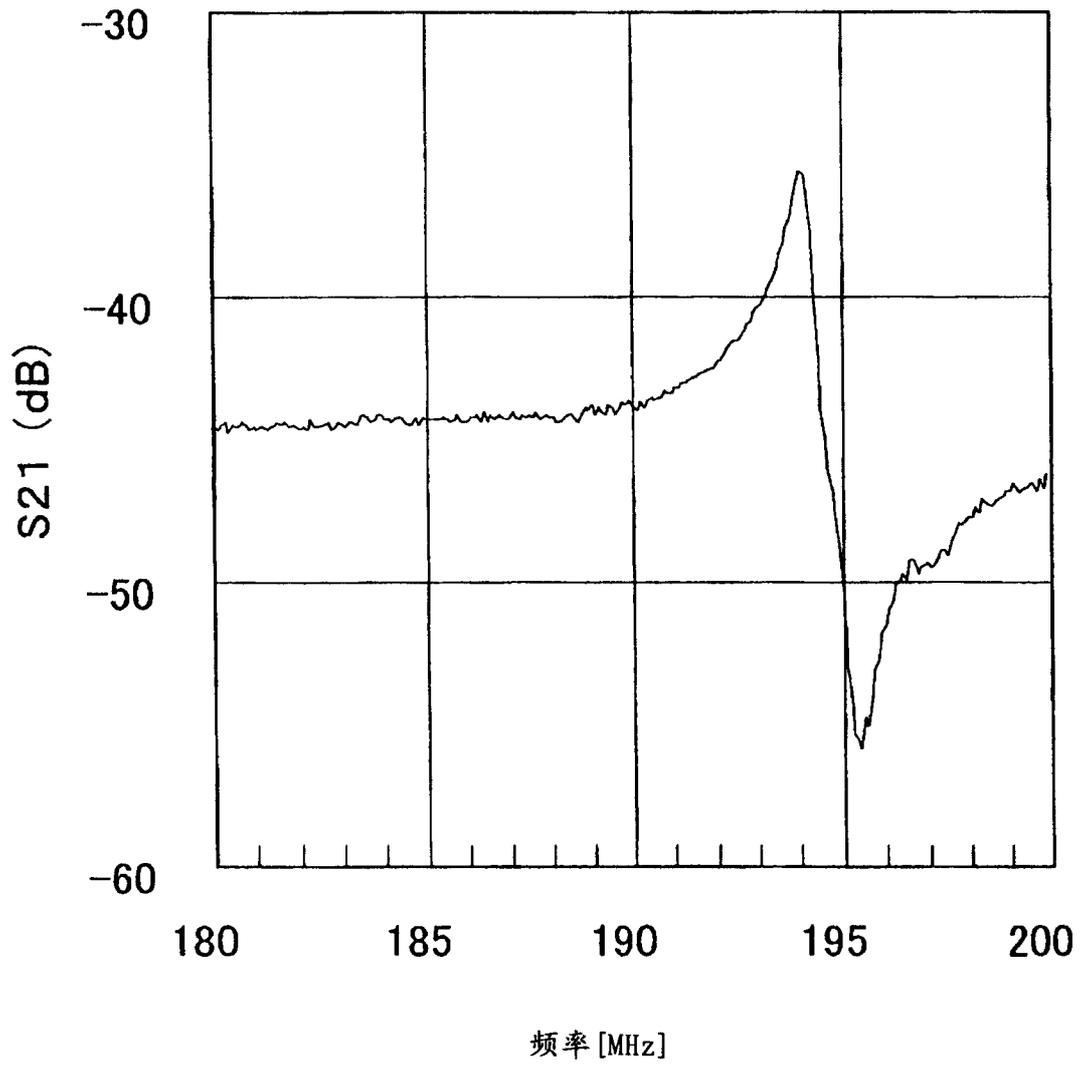


图 8

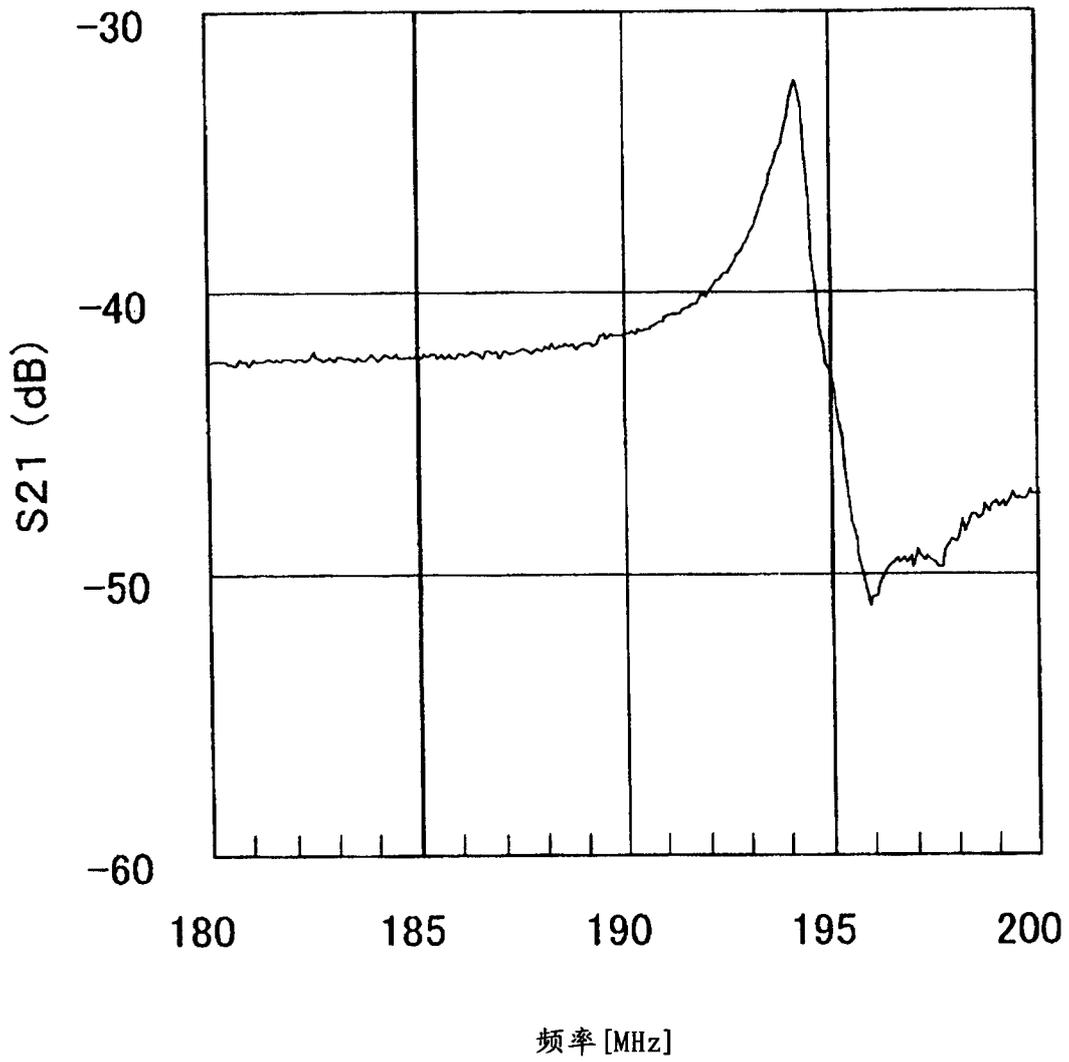


图 9

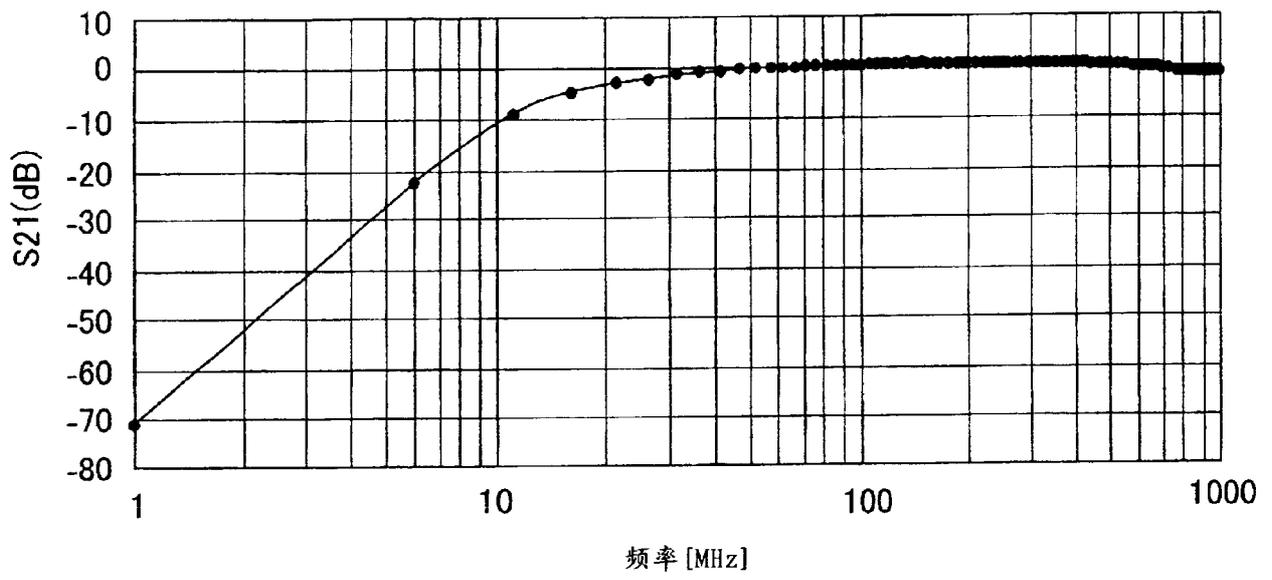


图 10