

414941

申請日期	88 年 5 月 15 日
案 號	88107933
類 別	H01L 27/027

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

414941

一、發明 名稱	中 文	半導體裝置及圖型形成方法
	英 文	
二、發明 人	姓 名	(1) 關口知紀 (2) 田中稔彦 (3) 山中俊明
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都國分寺市西恋ヶ窪四一四一六 日立第四協心寮 (2) 日本國東京都世田谷區砧六二六一一四 (3) 日本國埼玉縣入間市春日町二一一二二二三 〇一
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地
	代 表 人 姓 名	(1) 庄山悅彦

裝

訂

線

414941

申請日期	88 年 5 月 15 日
案 號	88107933
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	
	英 文	
二、發明 人	姓 名	(4) 阪田健 (5) 木村勝高
	國 籍	(4) 日本 (5) 日本 (4) 日本國東京都小平市小川西町四-七-一一- 四〇一
	住、居所	(5) 日本國東京都昭島市昭和町一-五-一八
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

414941

(由本局填寫)

承辦人代碼：

大 類：

I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

日本

1998 年 7 月 3 日 10-188518

☒有主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 ()

〔技術領域〕

本發明關於形成微細圖型之光蝕刻，特別關於製造半導體裝置時之曝光方法。

〔習知技術〕

半導體記憶體或微處理器之高集積化，高速化，L L S I 之微細化為必要。因此，其最重要課題為光蝕刻之微細化。現在，光蝕刻中形成曝光裝置之光波長以下之圖型。例如，1 G b D R A M，以使用波長 0 . 2 4 8 μ m 之 K r F 激光雷射為光源之曝光裝置，形成 0 . 1 6 μ m 寬之字元線，資料線為必要。

如上述欲形成波長以下尺寸圖型，使用移相法或變形照明等超解像技術。超解像技術，對記憶體之字元線，資料線般單純之直線來回之 L & S (Line & Space) 圖型極有效。此乃為，令通過相鄰之線圖型之相位偏移 1 8 0 度，使在線圖型之境界部光互相抵消，以形成間隙 (Space) 圖型。超解像技術中，相關係數為 0 . 3 左右，較一般曝光為小，可提昇光之干擾性。

〔欲解決之問題〕

L & S 圖型中，藉上述手法，可對波長以下尺寸進行圖型化。但是，記憶體陣列與記憶體之周邊電路之連接部分等，與 L & S 是偏離之圖型會有問題。配線之端部，彎曲部，會引起光繞射，干擾等，因此，阻劑圖型較掩罩圖

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

型爲更細，ひどい場合時會有斷線情況。以下說明本發明人檢討之結果。

模式圖示於圖 1 4。圖 1 4 (a) 爲 D R A M 之記憶體陣列與副字元驅動器 (S W D) 或字元分支領域 (Shunt) 之境界部中之字元線 (W L) 之習知掩罩圖型。於 S W D 部，爲得接觸孔之餘裕，而增大 W L 使成彎曲狀 (dog bone) 圖型。此例中如後述般令 S W D 對記憶體陣列呈交互配置，W L 0，3，4，7 相對於陣列連接於左側之 S W D，W L 1，2，5，6 則接右側之 S W D。

(a) 之圖型，以光源波長 $\lambda = 0.248 \mu\text{m}$ 之 K r F 激光雷射，鍔鏡開口數 $N A = 0.6$ ，相關係數 $\lambda = 0.3$ ，縮小率 $K = 1/5$ 之曝光裝置進行光蝕刻時所得阻劑圖型之概念圖示於 (b)。在相鄰之 W L 之端部互爲短路，狗骨狀附近之配線被斷線。此乃光干擾帶來之不良影響。

以現象以光學模擬表示，本模擬中係計算以掩罩圖型及曝光裝置之光學常數爲依據在阻劑上所得之光強度之等高線。圖 1 5 (a) 爲習知字元線端之掩罩圖型。字元線寬，間隙均爲 $0.16 \mu\text{m}$ 。光學常數假設爲， $\lambda = 0.248 \mu\text{m}$ ， $N A = 0.6$ ， $\sigma = 0.3$ ，散焦 = $-0.5 \mu\text{m}$ ，球面像差。本模擬中使用移相光蝕刻，以 (a) 之附加右上昇斜線之圖型爲 0 度相位，附加右下降斜線之圖型爲 180 度相位。又，原理上即使變形照明光蝕刻亦可得類似結果。以後之模擬中均假設同樣之光學條

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 §)

件。光蝕刻中使用縮小投影曝光，縮小率 K ($K < 1$) 之曝光中實際之電路圖，阻劑圖型成為掩罩圖型之 K 倍尺寸。例如， $K = 1/5$ ，為得配線寬 $0.16 \mu m$ 之掩罩之線寬為 $0.8 \mu m$ ，但以下為求簡化，將掩罩圖型縮小為和電路圖型，阻劑圖型同尺寸之表示。相對於此圖型，計算所得光學像之光強度分布示於 (b)。

表示光之相對強度 0.18 ， 0.32 ， 0.53 之等高線，光強度十分大之圖型中之光之透過率定義之 1 。以下之全光學模擬結果中表示同樣之 3 條等高線。

圖 15 (b) 中表示光強度 0.32 之等高線實際所得之阻劑圖型，在十分遠離端之處，字元線以等間隔形成。但是，在前端部分，光強度 0.18 之等高線 (圖型最外側之等高線) 於相鄰字元線間呈分離。此乃因光之干擾效果，使該部分之光強度未充分下降之故。因此，顯像時阻劑殘留，字元線極有可能短路。

又，觀察彎曲狀部分，發現光強度 0.53 之等高線為斷線，此部分之光強弱顯示較弱。因此，顯像時阻劑膜減少，配線斷線之可能性高。

圖 16 (a) 為習知第 2 字元線端掩罩圖型。此例中 SWD 或分支領域配置於記憶體陣列左側，全字元線接左側之 SWD。此場合下，在前端部分，光強度 0.18 之等高線 (圖型最外側之高線) 於相鄰字元線間未呈分離，故字元線有短路之可能性高。

本發明目的在防止於 L & S 圖型端部等所生短路或斷

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

線。

〔解決問題之手段〕

達成上述目的之半導體裝置為，記憶體之字元線，資料線等多數配線以等間隔配置之場合，令相鄰配線之端部位置，向長邊方向偏移。如此，則配線圖型化時，配線端部所生繞射光之干擾效果可減弱，短路或斷線可防止。

此配線，可藉令相鄰圖型之端部位置向長邊方向偏移之掩罩之使用，曝光而得。例如，圖11(a)之掩罩圖型為令兩相鄰圖型之端部位置，朝長邊方向互相偏移之構成。使用此掩罩曝光時，成為圖11(b)之光強度分布。由圖11(b)可知，圖型之斷線可能性小，且各為分離，短路之可能性小。

又，相鄰配線之端部位置之長度不同設為配線節矩之一半以上。若為配線節矩之一半以上，短路或斷線之防止效果變大。又，此端部位置之長度差異，設為配線節矩以下。如此則無用面積可抑制在最小限。

又，DRAM，SRAM，FLASH，掩罩ROM之記憶體之字元線，資料線適用本發明時，製程中之短路，斷線不易產生。

又，使圖型端部之角去掉，隨終端部之接近，圖型寬變小，使用圖型之短邊，長邊具未平行之邊之掩罩曝光。依此，繞射光之干擾效果更降低。例如，圖10(a)之掩罩圖型為，令相鄰圖型端部朝長邊方向互相偏移，去掉

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 6)

圖型端部之角的構成。使用此掩罩曝光時，如圖 10 (b) 所示，成為斷線，短路不發生之光強度分布。如此般，使用去掉圖型端部之角的掩罩，可減低斷線，或短路之可能性。又，圖 10 為掩罩圖型亦朝長邊方向偏移者，但是，未朝長度方向偏移，設為等長，且僅去掉圖型角部，亦可某種程度降低繞射光之干擾效果，減少短路或斷線。

又，曝光裝置之曝光波長為 λ ，開口數為 NA ，特別是配線節矩為 $\lambda (NA)$ 以下之場合，配線端部之短路或斷線為問題，故使用以上之掩罩，曝光具效果。

本發明使用於 DRAM，SRAM，FLASH，掩罩 ROM 之記憶體，則 (1) 記憶體陣列與字元線驅動器之境界領域之字元線圖型，(2) 記憶體陣列與字元線之分支領域之境界領域之字元線圖型，(3) 記憶體陣列與感測放大器之境界領域之資料線圖型之短路或斷線不易產生。又，閘極陣列中，適用 MOS 電晶體之閘極前端部分可得同樣效果。

[發明之實施形態]

(實施例 1)

圖 1 為本發明第 1 非對稱字元線端。於 SWD 與記憶體陣列之境界部，變化相鄰字元線 (WL 1 與 WL 2 或 WL 5 與 WL 6) 之長度，令字元線端向橫向偏移。又，使字元線端之角 な α めた 去掉。此圖型曝光時之阻劑圖型

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

之概念圖示於 (b) 。字元線端，於角之部分產生繞線光，習知圖型中此光互相干擾成為短路或斷線原因。另一方面，使用本發明之掩罩圖型時，角之位置互朝橫向偏移，繞射光干擾減弱，故可得 W L 前端之短路，W L 0，3，4，7 之境界部之斷線防止效果。又，曝光裝置之波長為 λ ，開口數為 N A，W L 1 與 W L 2 或 W L 5 與 W L 6 之長度差異為 $\lambda / (2 N A)$ 以上時，上述效果大。此乃因光蝕刻時，使 $P / 2$ 及 $\lambda / (2 N A)$ 成為同程度般決定 λ ，N A。但是，前端偏移量設為非必要之大時，將導致晶片面積增加，故 λ / N 以下或 P 以下為較好。

又，W L 前端設為斜向時，如圖示般於 W L 前端殘留稍許與 W L 垂直之邊使不成為銳角，則掩罩資料作成時之圖型處理容易。不使用階層字元線方式，令字元線以金屬配線分支時，字元線之分支領域與記憶體陣列之境界部可使用同樣圖型。

本發明之圖型效果以光學模擬表示。圖 2 (a) 為本發明第 1 非對稱字元線端之掩罩圖型。字元線寬，間隙均為 $0.16 \mu m$ 。光學常數假設 $\lambda = 0.248 \mu m$ ， $N A = 0.6$ ， $\sigma = 0.3$ ，散焦 = $-0.5 \mu m$ ，球面像差。本模擬中使用移相光蝕刻。(a) 之附加右上昇斜線之圖型為 0 度相位，附加右下降斜線之圖型為 180 度之相位。又，原理上變形照明光蝕刻亦可得類似結果。以下之模擬均假設相同光學條件。以下，為求簡化，掩罩圖型縮小為與電路圖型，阻劑圖型同尺寸。對此圖型，計算

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()

所得光學像示於 (b) 。表示光之相對強度 0 . 1 8 , 0 . 3 2 , 0 . 5 3 之等高線。光強度十分大之圖型中之光之透過率定義為 1 。以下之全光學模擬結果亦表示同樣之 3 條等高線。

使用此掩罩圖型，則習知短路之 0 . 1 8 之等高線 (圖型最外側之等高線) 於相鄰字元線間呈分離。此表示，藉圖型之改善，使光干擾效果減弱，顯像時字元線短路可能性減低。又，習知斷路之彎曲部分之光強度 0 . 5 3 之等高線呈連續，此部分之光強度降低被抑制。因此，顯像時斷線可能性降低。

(實施例 2)

本例中為本發明適用 D R A M 之一例。

於 D R A M 中，圖 1 之圖不僅在字元線端，亦在資料線端發生。圖 3 為 D R A M 晶片之構成圖。在晶片中央，長邊方向，接合焊墊與間接周邊電路並列。於此配置位址，資料之輸出入電路，電源電路，再生控制電路，主放大器等。短邊方向配置進行 S W D 或感測放大器 (S A) 之控制之陣列控制電路。晶片由上述電路大分為 4 個方塊，各個以輸出字元線 (M W L B) 之行解碼器，及輸出列選擇線 (Y S) 之列解碼器包圍。各方塊，於行方向以 S A 列，於列方向以 S W D 列分割，S A 列及 S W D 列包圍之記憶格配置成陣列狀部分稱為記憶體陣列。

圖 4 為交互配置階層字元線驅動器 (W D) 方式之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

S W D 列，S A 列，記憶體陣列之構成圖。在字元線 (W L) 與資料線 (D L) 之交點配置記憶格 (M C)。W L 由 S W D 驅動。D L 之 2 條輸入 1 個 S A，放大來自 M C 之信號。S W D，S A 同時相對記憶體陣列呈交互配置。即，W L 每隔 2 條交互連接左、右之 S W D，D L 亦每 2 條交互連接上下之 S A。

圖 5 為 S W D，S A，M C 之電路圖。動作如下。待機時全 M W L B 為 V_{pp} (較資料線之高位準 V_{DL} 高之電壓)，F X 為 V_{ss} (接地電位)，S W D 對 W L 輸出 V_{ss} 。於 M C，選擇電晶體為 O F F，於電容器，依資訊寫入 V_{DL} 或 V_{ss} 之電壓。於 S A，S H R U，S H R D 為 V_{pp} ，C S P，C S N 為 V_{BLR} ，B L E Q 為 V_{cc} (較 V_{DL} 高，較 V_{pp} 低之電壓)，Y S 為 V_{ss} ，P L 預充電為 V_{BLR} 。一般， $V_{BLR} = V_{DL} / 2$ 。

於 D R A M 輸入指令，位址上之記憶體陣列被選擇之場合，首先，S H R D，B L E Q 降為 V_{ss} ，之後，1 條 M W L B 為 V_{ss} ，1 條 F X 為 V_{pp} ，於 S W D 選擇之 W L 能動化為 V_{pp} 。此則能動化之 W L 連接之 M C 之選擇電晶體成為 O N，於 D L 或 D L B 輸出信號。之後，令 C S P 昇至 V_{DL} ，C S N 降至 V_{ss} ，此信號於 S A 放大。讀出時，在成對之 D L 之電位差充分大時，Y S 昇至 V_{cc} ，資料被讀至 S I O，S I O B。寫入場合，則將資料由 S I O，S I O B 寫入。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

圖 6 所示為 S W D，S A 與記憶體陣列之境界部中之本發明之字元線端，資料線端之佈局包含記憶格者。M 1 為第 1 金屬配線層，A C T 為 M O S 電晶體之能動領域，C O N T 為 M 1 與 W L 或 A C T 之接觸孔，S N C T 為連接 M C 之電容器與選擇電晶體之接觸孔，D L C T 為連接 M C 之選擇電晶體與 D L 之接觸孔。

(a) 為本發明之 S W D 與記憶體陣列之境界部。

S W D 相對記憶體陣列呈交互配置。因此，觀察 S W D 與記憶體陣列之境界部時，W L 為通過境界部進入 S W D 者 (W L 0, 3, 4, 7)，及於境界部終了者 (W L 1, 2, 5, 6) 以每隔 2 條重複進行者。和圖 1 同樣地數變 W L 1 與 W L 2 或 W L 5 與 W L 6 之長度使前端偏移，再使 W L 前端傾斜。藉此種掩罩圖型之使用，可有效防止 W L 前端之短路，或 W L 0, 3, 4, 7 之境界部之斷線。又，W L 1 與 W L 2 或 W L 5 與 W L 6 之長度差設為 λ ($2 N A$) 以上時上述效果變大。僅著眼於圖型時，字元線之重複節矩設為 P，W L 之前端，於 W L 1 與 W L 2 或 W L 5 與 W L 6 偏移 $P / 2$ 以上，則上述效果變大。但是，前端偏移量設為非必要之大量，將導致晶片面積增加，故設為 $\lambda / N A$ 以下或 P 以下較好。

又，令 W L 前端傾斜時，如圖示般令於 W L 前端殘留稍許與 W L 垂直之邊使不成為銳角，則掩罩資料作成時之圖型處理容易。不使用階層字元線方式，令字元線以金屬配線分支時，字元線之分支領域與記憶體陣列之境界部可

五、發明說明 (10)

使用同樣之圖型。

又，於此圖型中，在沖孔 $W L 0, 3, 4, 7$ 之接觸孔之彎曲部附加補助圖型 $C P 1 \sim 4$ 。藉此種圖型之附加，更能提昇防止在 $W L 0, 3, 4, 7$ 之境界部之斷線效果。補助圖型，當資料線方向之尺寸為 $\lambda / (10 N A)$ 以上 $\lambda / (2 N A)$ 以下，字元線方向之尺寸為 $\lambda / (2 N A)$ 以上時防止斷線之效果更高。補助圖型之於資料線方向之尺寸，過度小時掩罩檢查困難，大於解像界限之 $\lambda / (2 N A)$ 以上時補助圖型本身被解像，因此於上述範圍較好。關於字元線方向，大於解像界限，則顯現補助圖型之效果。僅著眼於圖型時，補助圖型，資料線方向之尺寸為 $P / 10$ 以上 $P / 2$ 以下，在字元線方向之尺寸為 $P / 2$ 以上時，防止斷線之效果變高。

(b) 為本發明之 $S A$ 與記憶體陣列之境界部， $S A$ 相對記憶體陣列呈交互配置。因此，觀察 $S A$ 與記憶體陣列之境界部時， $D L$ 為通過境界部進入 $S A$ 者 ($D L 0 B, D L 2, D L 2 B, D L 4$)，及於境界部終了者 ($D L 1, D L 1 B, D L 3, D L 3 B$) 以每隔 2 條重複。

改變 $D L 1$ 與 $D L 1 B$ 或 $D L 3$ 與 $D L 3 B$ 之長度使前端偏移，再令 $D L$ 前端傾斜。藉此種掩罩圖型之使用，可有效防止 $D L$ 前端之短路，或 $D L 0 B, D L 2, D L 2 B, D L 4$ 之境界部之斷線。又， $D L 1$ 與 $D L 1 B$ 或 $D L 3$ 與 $D L 3 B$ 之長度差設為 $\lambda / (2 N A)$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (41)

) 以上時效果變大。僅著眼於圖型時，資料線之重複節矩設為 $P D$ ， $D L$ 之前端於 $D L 1$ 與 $D L 1 B$ 或 $D L 3$ 與 $D L 3 B$ 偏移 $P D / 2$ 以上，則上述效果更大。但是，前端偏移量設為非必要大量時，將導致晶片面積增加，故 $\lambda N A$ 以下或 $P D$ 以下為較好。

又，令 $D L$ 前端傾斜時，如圖示般於 $D L$ 前端殘留稍許與 $D L$ 垂直之邊使不成為銳角，則掩罩資料作成時之圖型處理容易。

又，本圖型中，在沖孔 $D L O B$ ， $D L 2$ ， $D L 2 B$ ， $D L 4$ 之接觸孔之彎曲部附加補助圖型 $C P 1 \sim 4$ 藉此種圖型之附加，可更提昇防止 $D L O B$ ， $D L 2$ ， $D L 2 B$ ， $D L 4$ 之境界部之斷線。補助圖型，於字元線方向之尺寸為 $\lambda (10 N A)$ 以上 $\lambda / (2 N A)$ 以下，資料線方向之尺寸為 $\lambda / (2 N A)$ 以上時斷線防止效果更高。僅著眼於圖型時，補助圖型，在字元線方向之尺寸為 $P D / 10$ 以上 $P D / 2$ 以下，在資料線方向之尺寸為 $P D / 2$ 以上時斷線防止效果變高。

另一方面， $D L 1$ 及 $D L 1 B$ 等資料線對中，資料線長互異時，資料線容量有不平衡現象， $S A$ 之感度將降低。但是，本發明中必要資料線長度差相對於資料線本身長度為極小，不平衡幾乎可忽視。例如，資料線節矩 $0.32 \mu m$ ， $1 S A$ 連接 512 位元之記憶格之場合，資料線長為 $163.84 \mu m$ 。另外，本發明之必要資料線長度差，當 $\lambda = 0.248 \mu m$ ， $N A = 0.6 \mu m$ 時

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

，為 $\lambda / (2NA) = 0.21 \mu m$ ，不平衡約為 0.1 % 程度。

(實施例 3)

圖 7 (a) 為本發明第 2 非對稱字元線端。

圖 7 (a) 將 SWD 相對記憶體陣列交互配置，令 WL 每隔 1 條連接左右之 SWD。因此，觀察 SWD 與記憶體陣列之境界部時，WL 為通過境界部進入 SWD 者 (WL 0, 2, 4, 6)，及止於境界部者 (WL 1, 3, 5, 7) 以每隔一條重複。此種圖型中亦如習知般令 WL 之長度相等時，於 WL 端之繞射光之干擾，導致 WL 前端之短路或境界部之斷線之問題。

本發明之圖型中，令止於境界部之 WL 每隔 1 條改變其長度，偏移前端部，使 WL 前端傾斜。藉此種掩罩圖型之使用，可有效防止 WL 前端之短路，或 WL 0, 2, 4, 6 之境界部之斷線。又，WL 1 與 WL 3 或 WL 5 與 WL 7 之長度差設為 $\lambda / (2NA)$ 以上時上述效果變大。僅著眼於圖型時，令字元線之重複節矩為 P，WL 前端於 WL 1 與 WL 3 或 WL 5 與 WL 7 偏移 $P/2$ 以上，則上述效果更大。但是，前端偏移量設為非必要大量時，造成晶片面積增加，故設為 λ / NA 以下或 P 以下較好。又 WL 前端傾斜時，如圖示般於 WL 前端殘留稍許與 WL 垂直之邊使不成為銳角，如此則掩罩資料作成時之圖型處理容易。不使用階層字元線方式，字元線以金屬配線分支時

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

，字元線之分支領域及記憶體陣列之境界部可用同樣圖型。

(實施例 4)

圖 7 (b) 為本發明第 3 非對稱字元線端。圖 7 (b) 為將 S W D 配置於記憶體陣列之單側，金 W L 連接左側 S W D 之情況。此情況下，在記憶體陣列左側金 W L 終止。圖 16 之習知第 2 字元線前端所示般，令 W L 長度相等，則 W L 前端全部短路之問題存在。本發明之圖型中，每隔 1 條改變 W L 長度，偏移前端，使 W L 前端傾斜。使用此種掩罩圖型，則有防止 W L 前端短路之效果。又，W L 0 與 W L 1 或 W L 2 與 W L 3 之長度差為 $\lambda / (2 N A)$ 以上時效果更大。僅著眼於圖型時，令字元線之重複節矩為 P，W L 前端於 W L 1 與 W L 3 或 W L 5 與 W L 7 偏移 $P / 2$ 以上，則上述效果更大。但是，前端偏移量設為非必要大量時，造成晶片面積增加，故設為 $\lambda / N A$ 以下或 P 以下較好。又 W L 前端傾斜時，如圖示般於 W L 前端殘留稍許與 W L 垂直之邊使不成為銳角，如此則掩罩資料作成時之圖型處理容易。不使用階層字元線方式，字元線以金屬配線分支時，字元線之分支領域及記憶體陣列之境界部可用同樣圖型。

此圖型之效果以光學模擬表示。圖 8 (a) 為本發明之第 3 非對稱字元線端之掩罩圖型。字元線寬，間隙均為 $0.16 \mu m$ 。如圖 8 (b) 所示，藉此掩罩圖型之使用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

，使習知短路之 0 . 1 8 等高線（圖型最外側之等高線）於相鄰字元線間呈相當分離。稍許短路殘留部分存在，但和圖 1 6 之習知圖型比較，短路之可能性減低。

（實施例 5）

圖 9（a）為本發明第 4 非對稱字元線端。和圖 7（b）同樣為令 S W D 配置於記憶體陣列單側，全 W L 撐左側之 S W D 之情況。本發明之圖型中以 4 條為周期變化 W L 長度，依 W L 0，1，2，3 之順序加長，W L 前端為傾斜。使用此種掩罩圖型時，和每隔 1 條變化長度之場合比較需較多面積，但 W L 前端短路防止效果更高。又，W L 0 與 W L 1 或 W L 2 與 W L 3 之長度差設為 $\lambda / (2 N A)$ 以上時上述效果變大。僅著眼於圖型時，令字元線之重複節矩為 P，W L 前端於 W L 1 與 W L 3 或 W L 5 與 W L 7 偏移 $P / 2$ 以上，則上述效果更大。但是，前端偏移量設為非必要大量時，造成晶片面積增加，故設為 $\lambda / N A$ 以下或 P 以下較好。又本質上 4 條 W L 之長為互異，故以 W L 0 ~ 4 之任意 2 條取代之圖型亦有效。又，周期之條數為 2 或 4 條以外之值亦有效。又，W L 前端傾斜時，如圖示般於 W L 前端殘留稍許與 W L 垂直之邊使不成為銳角，如此則掩罩資料作成時之圖型處理容易。不使用階層字元線方式，字元線以金屬配線分支時，字元線之分支領域及記憶體陣列之境界部可用同樣圖型。

此圖型之效果以光學模擬表示。圖 1 0（a）為本發

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(15)

明之第 3 非對稱字元線端之掩罩圖型。字元線寬，間隙均為 $0.16 \mu m$ 。(b) 所示為光強度分布，藉此掩罩圖型之使用，使習知短路之 0.18 等高線（圖型最外側之等高線）於相鄰字元線間呈相當分離。和圖 16 之習知圖型，圖 7 (b) 之圖型比較，短路之可能性更減低。

(實施例 6)

圖 9 (b) 為本發明第 5 非對稱字元線端。在 S W D 與記憶體陣列之境界部，變化相鄰字元線 (W L 1 與 W L 2 或 W L 5 與 W L 6) 之長度，使字元線端朝橫向偏移。此圖型中 W L 端之角未去掉。圖 11 (a) 為本發明之掩罩圖型，(b) 為光學模擬結果，和去掉角之場合比較，繞射光干擾之抑制效果小，W L 前端之短路不存在，但彎曲部之斷線存在。但是，此圖型例如可適用於，線較間隙寬，斷線不成為問題之場合，可得短路防止效果。又，曝光裝置之波長為 λ ，開口數為 N A 時，W L 1 與 W L 2 或 W L 5 與 W L 6 之長度差設為 $\lambda / (2 N A)$ 以上則效果更大。

僅著眼於圖型時，令字元線之重複節矩為 P，W L 前端於 W L 1 與 W L 2 或 W L 5 與 W L 6 偏移 $P / 2$ 以上，則上述效果更大。但是，前端偏移量設為非必要大量時，造成晶片面積增加，故設為 $\lambda / N A$ 以下或 P 以下較好。

又，W L 前端未傾斜，圖型資料之損點數少，如此則掩罩資料作成時之圖型處理容易。不使用階層字元線方式

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

，字元線以金屬配線分支時，字元線之分支領域及記憶體陣列之境界部可用同樣圖型。

(實施例 7)

圖 12 (a) 為本發明第 1 非對稱資料線。SA 相對記憶體陣列呈交互配置。因此，視察 SA 與記憶體陣列之境界部時，DL 為通過境界部進入 SA 者 (DL 0 B, DL 2, DL 2 B, DL 4)，及終止於境界部者 (DL 1, DL 1 B, DL 3, LD 3 B)，以每隔 2 條重複。

本發明中改變 DL 1 與 DL 1 B 或 DL 3 與 DL 3 B 之長度，使前端偏移，令 DL 前端傾斜。藉此種掩罩圖型之使用，可有效防止 DL 前端之短路，或 DL 0 B, DL 2, DL 2 B, DL 4 之境界部之斷線。又，DL 1 與 DL 1 B 或 DL 3 與 DL 3 B 之長度差設為 $\lambda / (2N_A)$ 以上時上述效果變大。僅著眼於圖型時，令資料線之重複節矩為 P，DL 前端於 DL 1 與 DL 1 B 或 DL 3 與 DL 3 B 偏移 $PD / 2$ 以上，則上述效果更大。但是，前端偏移量設為非必要大量時，造成晶片面積增加，故設為 λ / N_A 以下或 PD 以下較好。又 DL 前端傾斜時，如圖示般於 DL 前端殘留稍許與 DL 垂直之邊使不成為銳角，如此則掩罩資料作成時之圖型處理容易。

本發明中，每隔 2 條資料線，改變 DL 1 與 DL 1 B 或 DL 3 與 DL 3 B 之長度，使前端偏移，令 DL 前端傾

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (47)

斜。藉此種掩罩圖型之使用，可有效防止 D L 前端之短路，或 D L 0 B，D L 2，D L 2 B，D L 4 之境界部之斷線。又，D L 1 與 D L 1 B 或 D L 3 與 D L 3 B 之長度差設為 $\lambda / (2 N A)$ 以上時上述效果變大。僅著眼於圖型時，令資料線之重複節矩為 P，D L 前端於 D L 1 與 D L 1 B 或 D L 3 與 D L 3 B 偏移 $P D / 2$ 以上，則上述效果更大。但是，前端偏移量設為非必要大量時，造成晶片面積增加，故設為 $\lambda / N A$ 以下或 P D 以下較好。又 W L 前端傾斜時，如圖示般於 D L 前端殘留稍許與 D L 垂直之邊使不成為銳角，如此則掩罩資料作成時之圖型處理容易。

(實施例 8)

圖 1 2 (b) 為本發明第 2 非對稱資料線，S A 相對記憶體陣列呈交互配置。此例中，觀察 S A 與記憶體陣列之境界部，D L 為通過境界部進入 S A 者 (D L 0 B，D L 2，D L 2 B，D L 4)，及終止於境界部者 (D L 1，D L 1 B，D L 3，D L 3 B) 以每隔 1 條重複。此種資料線配置於以下情況較 (a) 之配置有利。以移相光蝕刻形成資料線時，0 相位之線圖型與 $\emptyset$ 相位之線圖型交互配置，但因光學條件或掩罩加工問題，0 相位圖型與 $\emptyset$ 相位圖型之線寬存在誤差。即使此種場合，(b) 之資料線配置中同樣地 S A 連接之資料線對 (D L 1 與 D L 1 B，D L 2 與 D L 2 B 等) 分配為同相，因此對內

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

之線寬相等，資料線容量不存在不平衡為其優點。

又，關於資料線容量之不平衡，如上述本發明中必要之資料線長度差相對於資料線本身長度為極小，故不平衡幾乎可忽視。

以上實施例中，以 D R A M 為例作說明，但本發明之字元線，資料線適用於其他種類記憶體，例如快閃記憶體，E E P R O M，掩罩 R O M，S R A M 等。

(實施例 9)

圖 1 3 為本發明之使用非對稱閘之閘陣列之基本格。基本格區分為配置 P M O S 電晶體之領域，及配置 N M O S 電晶體之領域，P M O S 形成於 N 型井中。F G 為 O M S 電晶體之閘極，A C T 為 M O S 電晶體之能動領域，C N T 為 F G 與未圖示之第 1 層金屬配線 M 1 間之接觸孔，C N T L 為 M 1 與 A C T 間之接觸孔。

閘極陣列中準備有如圖示作成之基本格，使用者佈設 M 1 或 M 1，第 2 層金屬配線 M 2，M 1 - M 2 間之接觸孔以實現所要之電路之設計方式。基本格為，A C T 以橫向連接，F G 以規則配置。F G 之間配置有 C N T L。元件分離之場合，N M O S 將閘極接 V s s，P M O S 則將閘極接 V c c。

本例中假設閘極微細化使配置 F G 之節矩短縮之情況，接觸孔之彎曲領域由 A C T 之上下起交互配置，採用此方法，則彎曲領域之佈局容易為其優點。另一方面，此種

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(19)

規則配置之閘極端部，和上述記憶體之WL之場合同樣，短路或斷線之問題存在。

因此，本發明之閘極陣列之基本格中，改變相鄰FG之長度，偏移前端，使FG前端傾斜，藉此種掩罩圖型之使用，可得防止FG前端短路，或彎曲部之斷線之效果。又，FG長度差設為 $\lambda / (2NA)$ 以上時效果更大。僅著眼於圖型時，FG之重複節矩設為PG，FG前端偏移 $PG / 2$ 以上，則效果更大。但是，前端偏移量為非必要量大時，導致晶片面積增加，故設為 λ / NA 以下或PG以下較好。又，FG前端傾斜時，如圖示般於FG前端殘留稍許與FG垂直之邊使不成為銳角，則掩罩資料作成時之圖型處理容易。

[發明之效果]

藉本發明之非對稱字元線端之使用，以光蝕刻形成具曝光波長以下寬之微細字元線時，在SWD與記憶體陣列之境界部，或字元線之分支領域與記憶體陣列之境界部，可減少字元線端短路之可能性。又，在字元線沖孔接觸孔之彎曲部圖型可減少斷線之可能性。

同樣地，藉本發明之非對稱資料線端之使用，以光蝕刻形成具曝光波長以下寬之微細資料線時，在SA與記憶體陣列之境界部，資料線端短路之可能性減少。又，於資料線沖孔接觸孔之彎曲圖型之斷線可能性減少。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (20)

〔圖面之簡單說明〕



圖 1 本發明之第 1 非對稱字元線端。

圖 2 本發明之第 1 非對稱字元線端之光學模擬結果。

圖 3 : D R A M 之晶片構成圖。

圖 4 : 交互配置階層 W D 方式陣列之構成圖。

圖 5 : 交互配置階層 W D 方式陣列之電路圖。



圖 6 本發明之非對稱字元線端及資料線端。

圖 7 本發明之第 2 , 第 3 非對稱字元線端。

圖 8 本發明之第 3 非對稱字元線端之光學模擬結果。



圖 9 本發明之第 4 , 5 非對稱字元線端。

圖 1 0 本發明之第 4 非對稱字元線端之光學模擬結果。



圖 1 1 本發明之第 5 非對稱字元線端之光學模擬結果。

圖 1 2 本發明之第 1 非對稱資料線端。

圖 1 3 : 使用本發明之非對稱閘極之閘極陣列。

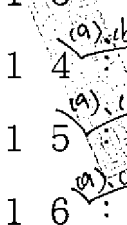


圖 1 4 習知字元線端。

圖 1 5 習知字元線前端之光學模擬結果。

圖 1 6 習知第 2 字元線前端之光學模擬結果。

〔符號說明〕

W L 字元線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

總

五、發明說明 (21)

S W D	副字元線驅動器
S h u n t	字元線分支領域
S A	感測放大器
M C	記憶格
M W L B	主字元線
F X	副字元驅動選擇線
S H R U , S H R D	共用 S A 選擇線
C S P P M O S	共源極
C S N N M O S	共源極
B L E Q	資料線等化線
U B L R	資料線參照電源
S I O , S I O B	副 I / O 線
M 1	配線層
C O N T	接觸孔
A C T	M O S 電晶體之能動領域
C P	補助圖型
S N C T	電容器用接觸孔
D L C T	資料線用接觸孔
F G	M O S 電晶體之閘極
N W E L	N 型井領域
C N T	閘極用接觸孔
C N T L	擴散層用接觸孔。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱： 半導體裝置及圖型形成方法)

記憶體中對具波長以下線寬之微細字元線或資料線進行圖型化時，在記憶體陣列與副字元線驅動器或感測放大器之境界部，因圖型端部所生繞射光干擾致字元線或資料線端短路，或斷線等問題產生。

解決方法為，於對字元線或資料線圖型化處理之掩罩圖型 (a) 中，改變終端部之相鄰字元線之長度使前端偏移，再令字元線端傾斜去掉角部。

效果：阻劑圖型內之分離或圖型間之接觸可防止，圖型化時之配線斷線或配線短路可防止。

英文發明摘要 (發明之名稱：)

公告本

PP107933
90年9月25日更正本

A8
B8
C8
D8

更正
414941
90年9月25日修正補充

六、申請專利範圍

1. 一種半導體裝置，係具有

由記憶區塊部起向其外側延伸，在上述記憶區塊部外側之境界部終止，平行配置之第1及第2配線；

上述第1及第2配線之終端部，係於上述第1及第2配線之長度方向偏移形成。

2. 如申請專利範圍第1項之半導體裝置，其中

上述第1配線及第2配線之終端部，係偏移上述第1配線及第2配線之間距之 $1/2$ 以上，上述第1配線及第2配線之間距部分以下而形成。

3. 如申請專利範圍第1項之半導體裝置，其中

上述第1配線及第2配線係相鄰形成。

4. 一種半導體裝置，係具有：

與第1方向平行之第1複數條配線；及

配置於與上述第1方向交叉之第2方向之第2複數條配線；

在上述第1複數條配線之中之第1配線及第2配線之一端側配置接觸孔，

在與上述一端側相反之另一端側，上述第1配線及第2配線其上述第1方向之長度係不同而終止。

5. 如申請專利範圍第4項之半導體裝置，其中

上述長度係相差上述第1配線與上述第2配線之間距的 $1/2$ 以上。

6. 如申請專利範圍第4項之半導體裝置，其中

上述第1配線與第2配線係相鄰設置，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

項請委員明示，本案修正後是否變更原實質內容

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1. 一種半導體裝置，係具有：
由記憶區塊部起向其外側延伸，在上述記憶區塊部外側之境界部終止，平行配置之第 1 及第 2 配線；
上述第 1 及第 2 配線之終端部，係於上述第 1 及第 2 配線之長度方向偏移形成。
2. 如申請專利範圍第 1 項之半導體裝置，其中
上述第 1 配線及第 2 配線之終端部，係以上述第 1 配線及第 2 配線之節矩之 $1/2$ 以上，上述第 1 配線及第 2 配線之節矩分以下偏移形成。
3. 如申請專利範圍第 1 項之半導體裝置，其中
上述第 1 配線及第 2 配線之終端部，係以上述第 1 配線及第 2 配線之節矩之 $1/2$ 以上，上述第 1 配線及第 2 配線之節矩分以下係相鄰形成。
4. 一種半導體裝置，係具有：
與第 1 方向平行之第 1 多數配線；及
配置於與上述第 1 方向交叉之第 2 方向之第 2 多數配線；
在上述第 1 多數配線之中之第 1 配線及第 2 配線之一端側配置接觸孔，
在與上述一端側相反之另一端側，上述第 1 配線及第 2 配線，上述第 1 方向之長度終止於不同長度。
5. 如申請專利範圍第 4 項之半導體裝置，其中
上述長度，係相差上述第 1 配線與第 2 配線之節矩之 $1/2$ 以上。

六、申請專利範圍

6. 如申請專利範圍第4項之半導體裝置，其中

上述第1配線與第2配線係相鄰設置，

在上述接觸孔與第1配線之連接部設補助圖型，

上述第1配線與第2配線之間隔設為P時，上述補助圖型之第1方向之長度為 $P/2$ 以上，第2方向之長度為 $P/10$ 以上 $P/2$ 以下。

7. 一種半導體裝置，係具有分別平行相鄰之第1，第2，第3，第4配線，

在上述第1配線及第2配線之一端側配置接觸孔，

在上述第3配線及第4配線之上述一端側之相反之另一端側配置接觸孔，

上述第1，第2配線，在上述另一端側，上述第1及第2配線以不同長度終止，

而且，上述第3，第4配線，在上述一端側，上述第3及第4配線以不同長度終止。

8. 如申請專利範圍第7項之半導體裝置，其中

上述第1配線及第2配線之終端部，係以上述第1配線及第2配線之節矩之 $1/2$ 以上，上述第1配線及第2配線之節矩分以下偏移形成。

9. 一種半導體裝置，係具有分別平行相鄰之第1，第2，第3，第4配線，

在上述第1配線及第3配線之一端側配置接觸孔，

在上述第2配線及第4配線之上述一端側之相反之另一端側配置接觸孔，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

上述第 1，第 3 配線，在上述另一端側，上述第 1 及第 3 配線以不同長度終止，

而且，上述第 2，第 4 配線，在上述一端側，上述第 2 及第 4 配線以不同長度終止。

10．如申請專利範圍 9 項之半導體裝置，其中

上述第 1 配線及第 3 配線之終端部，係以上述第 1 配線及第 3 配線之節矩之 $1/2$ 以上，上述第 1 配線及第 3 配線之節矩分以下偏移形成。

11．一種半導體裝置，係具有分別平行相鄰之第 1，第 2，第 3，第 4 配線，

在上述第 1 配線及第 4 配線之一端側配置接觸孔，

在上述第 2 配線及第 3 配線之上端側之相反之另一端側配置接觸孔，

上述第 1，第 4 配線，在上述另一端側，上述第 1 及第 4 配線以不同長度終止，

而且，上述第 2，第 3 配線，在上述一端側，上述第 2 及第 3 配線以不同長度終止。

12．如申請專利範圍第 11 項之半導體裝置，其中

上述第 1 配線及第 4 配線之終端部，係以上述第 1 配線及第 4 配線之節矩之 $1/2$ 以上，上述第 1 配線及第 4 配線之節矩分以下偏移形成。

13．一種半導體裝置，係具有：

與第 1 方向平行之第 1 多數配線形成之字元線；

與上述字元線交叉，且平行於第 2 方向之多數資料線

六、申請專利範圍

；及

配置於上述字元線與資料線之交叉點，具電晶體之多數記憶格；

在上述第 1 多數配線之中，在第 1 配線及第 2 配線之一端側配置接觸孔，

在與上述一端側相反之另一端側，上述第 1 配線與第 2 配線，其上述第 1 方向之長度以不同長度終止。

1 4 . 如申請專利範圍第 1 3 項之半導體裝置，其中上述字元線，係連接上述電晶體之閘極。

1 5 . 如申請專利範圍第 1 3 項之半導體裝置，其中上述資料線係連接上述電晶體之源極或汲極。

1 6 . 如申請專利範圍第 1 3 項之半導體裝置，其中上述記憶格具有 M I S 電晶體及電容器。

1 7 . 如申請專利範圍第 1 3 項之半導體裝置，其中上述記憶格包含具有浮動閘極之 M I S 電晶體。

1 8 . 如申請專利範圍第 1 3 項之半導體裝置，其中上述記憶格具有第 1 及第 2 反相器電路，

上述第 1 反相器電路之輸出端接第 2 反相器電路之輸入端，

上述第 2 反相器電路之輸出端接第 2 反相器電路之輸入端。

1 9 . 如申請專利範圍第 1 3 項之半導體裝置，其中與上述第 1 方向平行之多數配置為 M I S 電晶體之閘極，長邊具有平行於上述第 2 方向之多數 M I S 電晶體之

六、申請專利範圍

能動領域。

20. 一種半導體裝置，係具有：

互相平行之第1及第2字元線；

與上述字元線交叉之資料線；及

配置於上述字元線與資料線之交叉點的記憶格；

在上述第1及第2字元線之一端接上述字元線驅動電路，在與上述一端側相反之另一端側，上述第1及第2字元線以不同長度終止。

21. 如申請專利範圍第20項之半導體裝置，其中上述第1及第2字元線，係以上述第1及第2字元線之節矩之 $1/2$ 以上，上述第1及第2字元線之節矩分以下偏移終止。

22. 一種半導體裝置，係具有：

互為平行且相鄰之第1，第2，第3，第4字元線；

與上述字元線交叉之多數資料線；

配置於上述多數字元線與多數資料線之特定交叉點之多數記憶格；

在上述第1及第2字元線之一端部，驅動上述第1及第2字元線之各個字元線驅動電路；及

在上述第3及第4字元線之與上述一端側相反之另一端側，驅動上述第3及第4字元線之字元線驅動電路；

在上述第1，第2字元線之上端側，上述第1及第2字元線係於長邊方向呈偏移終止，

在上述第3，第4字元線之上端側，上述第3及

六、申請專利範圍

第 4 字元線係於長邊方向呈偏移終止。

23. 一種半導體裝置，係具有：

字元線；

與上述字元線交叉，且互為平行之第 1 及第 2 資料線

；

配置於上述字元線與資料線之交叉點的記憶格；及

在上述第 1 及第 2 資料線之一端側，放大上述資料線上之信號的第 1 及第 2 感測放大器。

在與上述一端側相反之另一端側，上述第 1 及第 2 資料線係以特定長度差終止。

24. 如申請專利範圍第 23 項之半導體裝置，其中上述第 1 及第 2 資料線，係以上述第 1 及第 2 資料線之節矩之 $1/2$ 以上，上述第 1 及第 2 資料線之節矩分以下偏移終止。

25. 一種半導體裝置，係具有：

字元線及

與上述字元線交叉，相鄰且互為平行之第 1，第 2，第 3，第 4 資料線；

在上述第 1 及第 2 資料線之一端部分別接感測放大器

，

在上述第 3 資料線及第 4 資料線之與上述一端部為相反之另一端部分別接感測放大器，

在上述第 1，第 2 資料線之上端另一端部，上述第 1 及第 2 資料線之長邊方向之長度以不同長度終止，

六、申請專利範圍

在上述第 3，第 4 資料線之上端部，上述第 3 及第 4 資料線之長邊方向長度以不同長度終止。

26. 一種半導體裝置，係具有：

字元線及

與上述字元線交叉，相鄰且互為平行之第 1，第 2，第 3，第 4 資料線；

在上述第 1 及第 3 資料線之一端部分別接感測放大器

在上述第 2 資料線及第 4 資料線之與上述一端部為相反之另一端部分別接感測放大器，

在上述第 1，第 3 資料線之上端部，上述第 1 及第 3 資料線之長邊方向之長度以不同長度終止，

在上述第 2，第 4 資料線之上端部，上述第 2 及第 4 長邊方向長度以不同長度終止。

27. 一種圖型形成方法，其特徵為使用具備對從記憶區塊部向其外側延伸，在上述記憶區塊外側之境界部終止，且平行形成之第 1 及第 2 配線進行圖型化處理用之上述第 1 配線所對應第 1 開口部及第 2 配線所對應第 2 開口部，上述第 1 開口部及第 2 開口部之終端部係於上述第 1 及第 2 開口部之長度方向偏移形成之掩罩，對阻劑膜進行圖型化曝光處理。

28. 如申請專利範圍第 27 項之圖型形成方法，其中

上述曝光光之波長設為 λ ，開口數為 NA ，縮小率為

六、申請專利範圍

K 時，上述第 1 開口部與第 2 開口部之間隔為 $\lambda / (N A \cdot K)$ 以下。

29. 如申請專利範圍第 27 項之圖型形成方法，其中

上述開口部，係形成為寬度朝該開口部之終端方向變小。

30. 如申請專利範圍第 27 項之圖型形成方法，其中

上述開口部，該開口部之終端部係具有分別不平行於上述開口部之長邊方向及短邊方向之邊。

31. 如申請專利範圍第 27 項之圖型形成方法，其中

上述第 1 開口部與第 2 開口部，實質上係照射逆相位之光。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

公告本

PP107933
90年9月25日更正本

A8
B8
C8
D8

更正
90年9月25日
修正
補充
41,494/

六、申請專利範圍

1. 一種半導體裝置，係具有

由記憶區塊部起向其外側延伸，在上述記憶區塊部外側之境界部終止，平行配置之第1及第2配線；

上述第1及第2配線之終端部，係於上述第1及第2配線之長度方向偏移形成。

2. 如申請專利範圍第1項之半導體裝置，其中

上述第1配線及第2配線之終端部，係偏移上述第1配線及第2配線之間距之 $1/2$ 以上，上述第1配線及第2配線之間距部分以下而形成。

3. 如申請專利範圍第1項之半導體裝置，其中

上述第1配線及第2配線係相鄰形成。

4. 一種半導體裝置，係具有：

與第1方向平行之第1複數條配線；及

配置於與上述第1方向交叉之第2方向之第2複數條配線；

在上述第1複數條配線之中之第1配線及第2配線之一端側配置接觸孔，

在與上述一端側相反之另一端側，上述第1配線及第2配線其上述第1方向之長度係不同而終止。

5. 如申請專利範圍第4項之半導體裝置，其中

上述長度係相差上述第1配線與上述第2配線之間距的 $1/2$ 以上。

6. 如申請專利範圍第4項之半導體裝置，其中

上述第1配線與第2配線係相鄰設置，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

項請委員明示，本案修正後是否變更原實質內容

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

在上述接觸孔與第 1 配線之連接部配設補助圖型，

上述第 1 配線與第 2 配線之間隔設為 P 時，上述補助圖型之第 1 方向之長度為 $P / 2$ 以上，第 2 方向之長度為 $P / 10$ 以上 $P / 2$ 以下。

7. 一種半導體裝置，係具有分別平行相鄰之第 1，第 2，第 3，第 4 配線，

在上述第 1 配線及第 2 配線之一端側配置接觸孔，

在上述第 3 配線及第 4 配線之與上述一端側相反側之另一端側配置接觸孔，

上述第 1、第 2 配線在上述另一端側，上述第 1 及第 2 配線的長度不同而終止，

而且，上述第 3、第 4 配線在上述一端側，第 3 及第 4 配線的長度不同而終止。

8. 如申請專利範圍第 7 項之半導體裝置，其中

上述第 1 配線及第 2 配線之終端部，係偏移上述第 1 配線及第 2 配線之間距的 $1 / 2$ 以上，上述第 1 配線及上述第 2 配線之間距部分以下而形成。

9. 一種半導體裝置，係具有分別平行相鄰之第 1、第 2、第 3、第 4 配線，

在上述第 1 配線及上述第 3 配線之一端側配置接觸孔，

在上述第 2 配線及上述第 4 配線之與上述一端側相反側之另一端側配置接觸孔，

上述第 1、第 3 配線在上述另一端側，上述第 1 及第

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

3 配線的長度不同而終止，

而且，上述第 2、第 4 配線在上述一端側，第 2 及第 4 配線的長度不同而終止。

10．如申請專利範圍 9 項之半導體裝置，其中
上述第 1 配線及上述第 3 配線之終端部，係偏移上述
第 1 配線及上述第 3 配線之間距的 $1/2$ 以上，上述第 1
配線及上述第 3 配線之間距部分以下而形成。

11．一種半導體裝置，係具有分別平行相鄰之第 1
、第 2、第 3、第 4 配線，

在上述第 1 配線及第 4 配線之一端側配置接觸孔，

在上述第 2 配線及第 3 配線之與上述一端側之相反側
的另一端側配置接觸孔，

上述第 1、第 4 配線在上述另一端側，上述第 1 及第
4 配線的長度不同而終止，

而且，上述第 2、第 3 配線在上述一端側，第 2 及第
3 配線的長度不同而終止。

12．如申請專利範圍第 11 項之半導體裝置，其中
上述第 1 配線及上述第 4 配線之終端部，係偏移上述
第 1 配線及第 4 配線之間距的 $1/2$ 以上，上述第 1 配線
及上述第 4 配線之間距部分以下而形成。

13．一種半導體裝置，係具有：

由與第 1 方向平行之第 1 複數條配線所構成之字元線

；

與上述字元線交叉，且平行於第 2 方向之複數條資料

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

線；及

配置於上述字元線與上述資料線之交叉點，具有電晶體之複數個記憶格；

在上述第 1 複數條配線之中的第 1 配線及第 2 配線之一端側配置接觸孔，

在與上述一端側相反側之另一端側，上述第 1 配線與第 2 配線，其上述第 1 方向之長度不同而終止。

14．如申請專利範圍第 13 項之半導體裝置，其中上述字元線係連接於上述電晶體之閘極。

15．如申請專利範圍第 13 項之半導體裝置，其中上述資料線係連接於上述電晶體之源極或汲極。

16．如申請專利範圍第 13 項之半導體裝置，其中上述記憶格具有 M I S 電晶體及電容器。

17．如申請專利範圍第 13 項之半導體裝置，其中上述記憶格包含具有浮動閘極之 M I S 電晶體。

18．如申請專利範圍第 13 項之半導體裝置，其中上述記憶格具有第 1 及第 2 反相器電路，

上述第 1 反相器電路之輸出端子連接於上述第 2 反相器電路之輸入端，

上述第 2 反相器電路之輸出端子連接於上述第 1 反相器電路之輸入端。

19．如申請專利範圍第 13 項之半導體裝置，其中與上述第 1 方向平行之複數條配線為 M I S 電晶體之閘極，長邊具有平行於上述第 2 方向之複數個 M I S 電晶

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

體之能動領域。

20. 一種半導體裝置，係具有：

互相平行之第1及第2字元線；

與上述字元線交叉之資料線；及

配置於上述字元線與上述資料線之交點的記憶格；

在上述第1及第2字元線之一端連接上述字元線驅動電路，在與上述一端側相反側之另一端側，上述第1及第2字元線係偏移而終止。

21. 如申請專利範圍第20項之半導體裝置，其中上述第1及第2字元線係偏移上述第1及第2字元線之間距的 $1/2$ 以上，上述第1及第2字元線之間距部分以下而終止。

22. 一種半導體裝置，係具有：

互為平行且相鄰之第1、第2、第3、第4字元線；

與上述字元線交叉之複數條資料線；

配置於上述複數條字元線與上述複數條資料線之預定交點之複數個記憶格；

在上述第1及第2字元線之一端部，驅動上述第1及第2字元線的每一條之各個字元線驅動電路；及

在上述第3及第4字元線之與上述一端側相反之另一端側，驅動上述第3及第4字元線的每一條之字元線驅動電路；

在上述第1，第2字元線之上述另一端側，上述第1及第2字元線係於縱向偏移而終止，

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

在上述第 3，第 4 字元線之上端側，上述第 3 及第 4 字元線係於縱向偏移而終止。

23．一種半導體裝置，係具有：
字元線；

與上述字元線交叉，互相平行之第 1 及第 2 資料線；
配置於上述字元線與上述資料線之交點的記憶格；及
在上述第 1 及第 2 資料線之一端側，放大上述資料線
上之信號的第 1 及第 2 感測放大器。

在與上述一端側相反側之另一端側，上述第 1 及第 2
資料線係特定長度不同而終止。

24．如申請專利範圍第 23 項之半導體裝置，其中
上述第 1 及第 2 資料線係偏移上述第 1 及第 2 資料線
之間距的 1 / 2 以上，上述第 1 及上述第 2 資料線之間距
部分以下而終止。

25．一種半導體裝置，係具有：
字元線及

與上述字元線交叉，相鄰且互平行之第 1、第 2、第
3、第 4 資料線；

在上述第 1 及上述第 2 資料線之一端部分別連接感測
放大器，

在上述第 3 資料線及上述第 4 資料線之與上述一端部
為相反側之另一端部分別連接感測放大器，

在上述第 1、第 2 資料線之上端另一端部，上述第 1
及第 2 資料線之縱向之長度係互相不同而終止，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

在上述第 3、第 4 資料線之上端部，上述第 3 及第 4 資料線之縱向長度係互相不同而終止。

26. 一種半導體裝置，係具有：

字元線及

與上述字元線交叉，相鄰且互相平行之第 1、第 2、第 3、第 4 資料線；

在上述第 1 及上述第 3 資料線之一端部分別連接感測放大器，

在上述第 2 資料線及上述第 4 資料線之與上述一端部為相反側之另一端部分別連接感測放大器，

在上述第 1、第 3 資料線之上端部，上述第 1 及第 3 資料線之縱向之長度係互相不同而終止，

在上述第 2、第 4 資料線之上端部，上述第 2 及第 4 資料線之縱向長度係互相不同而終止。

27. 一種圖型形成方法，其特徵為具備用以對從記憶區塊部向其外側延伸，在上述記憶區塊外側之境界部終止，平行地形成之第 1 及第 2 配線形成圖型之上述第 1 配線所對應的第 1 開口部及第 2 配線所對應的第 2 開口部，使用上述第 1 開口部及第 2 開口部之終端部係於上述第 1 及第 2 開口部之長度方向偏移而形成之掩罩對阻劑膜進行圖型化曝光處理。

28. 如申請專利範圍第 27 項之圖型形成方法，其中

上述曝光光之波長設為 λ ，開口數為 NA ，縮小率為

六、申請專利範圍

K 時，上述第 1 開口部與上述第 2 開口部之間隔為 $\lambda / (N A \cdot K)$ 以下。

29. 如申請專利範圍第 27 項之圖型形成方法，其中

上述開口部，係形成朝該開口部之終端方向寬度小。

30. 如申請專利範圍第 27 項之圖型形成方法，其中

上述開口部其該開口部的終端部係在前述開口部的長邊方向具有分別不平行及短邊方向的邊。

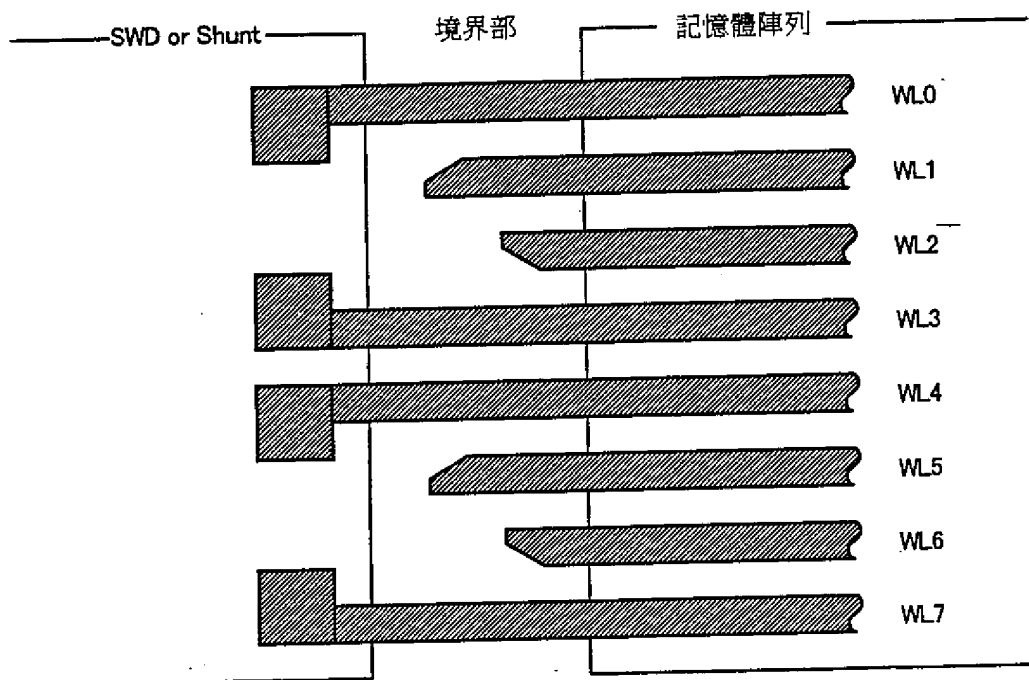
31. 如申請專利範圍第 27 項之圖型形成方法，其中

上述第 1 開口部與上述第 2 開口部實質上係被照射反相位之光。

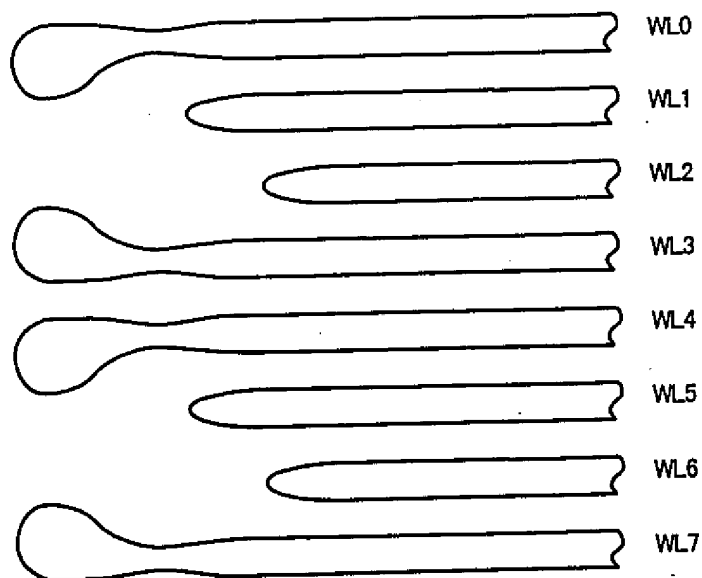
(請先閱讀背面之注意事項再填寫本頁)

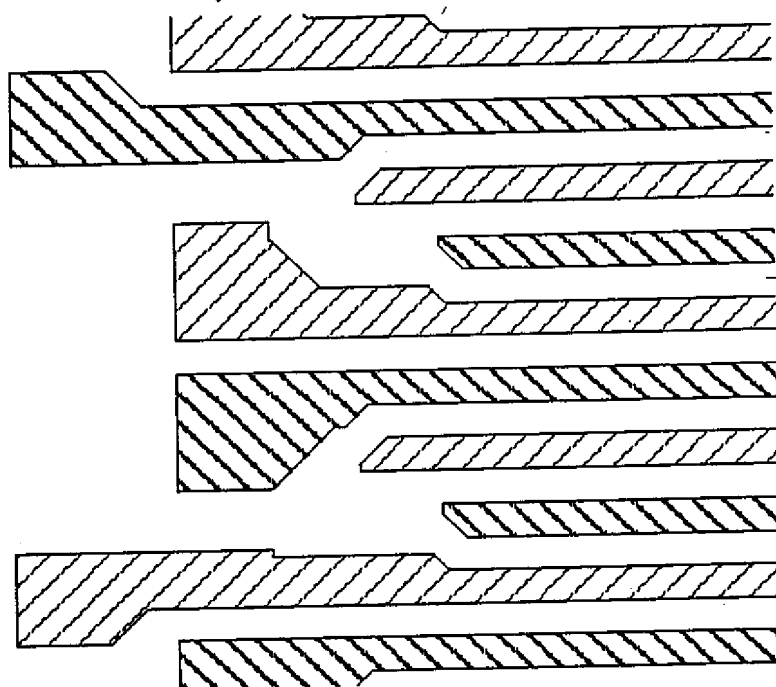
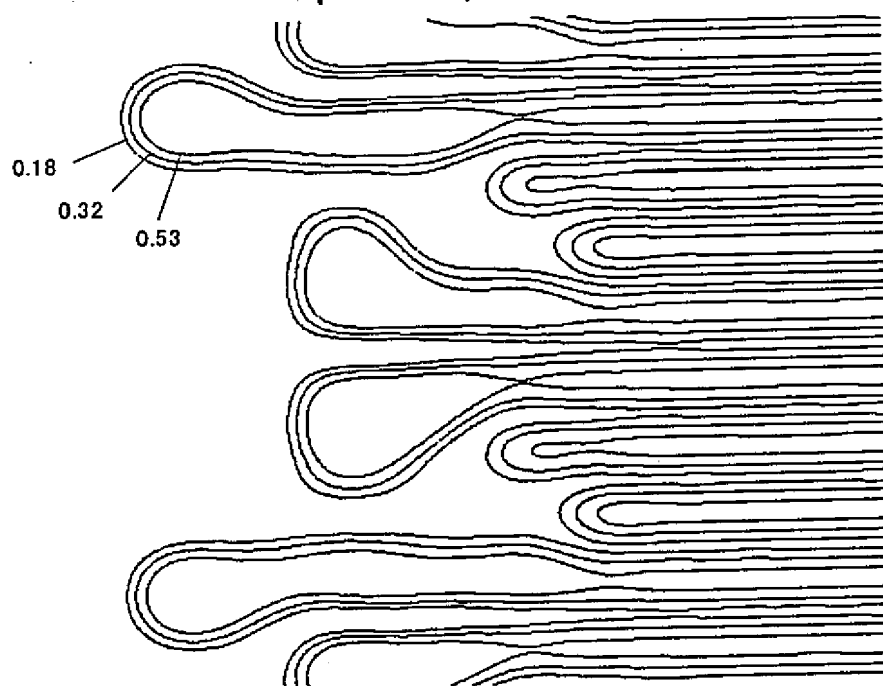
訂

第 1 圖(a)

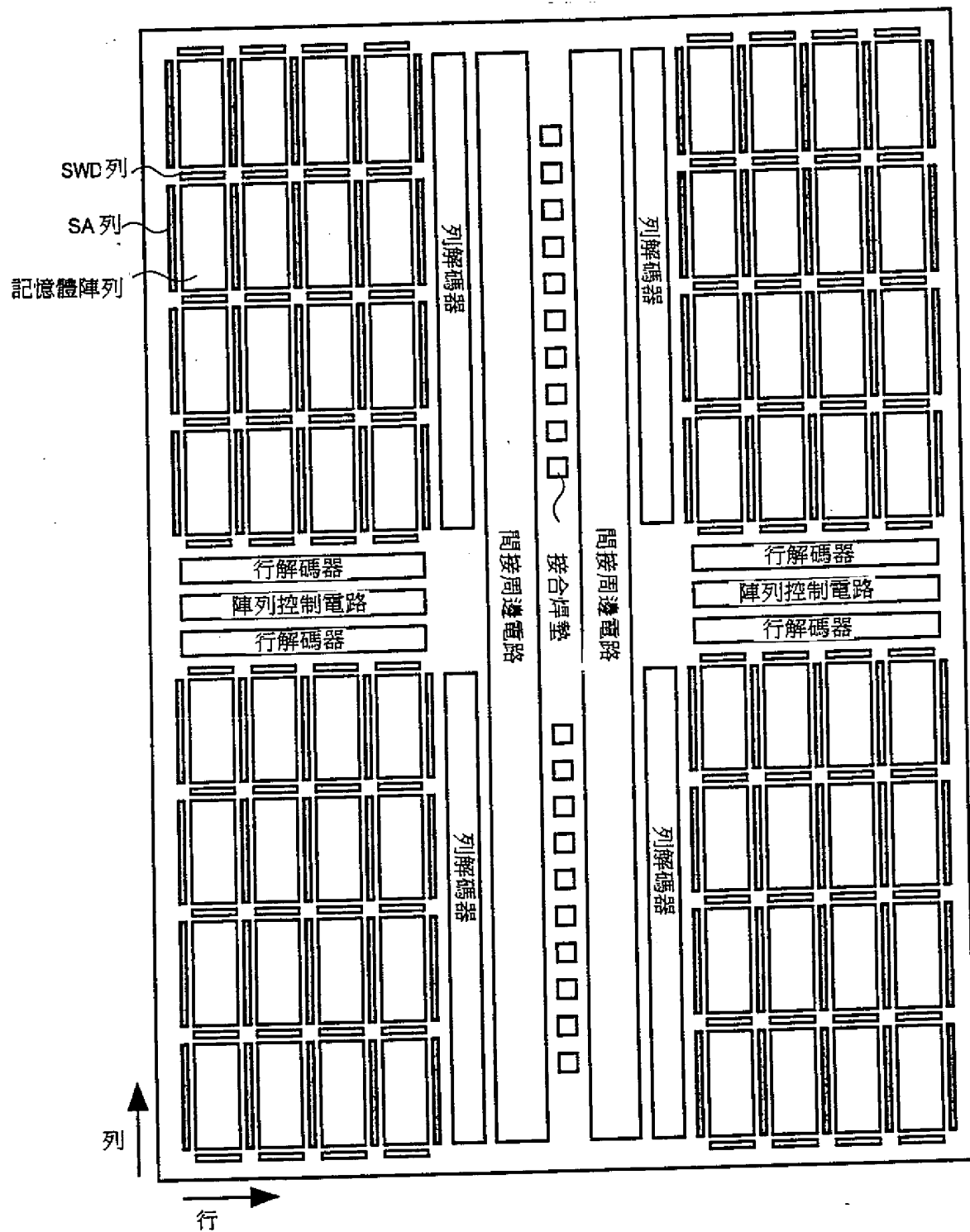


第 1 圖(b)

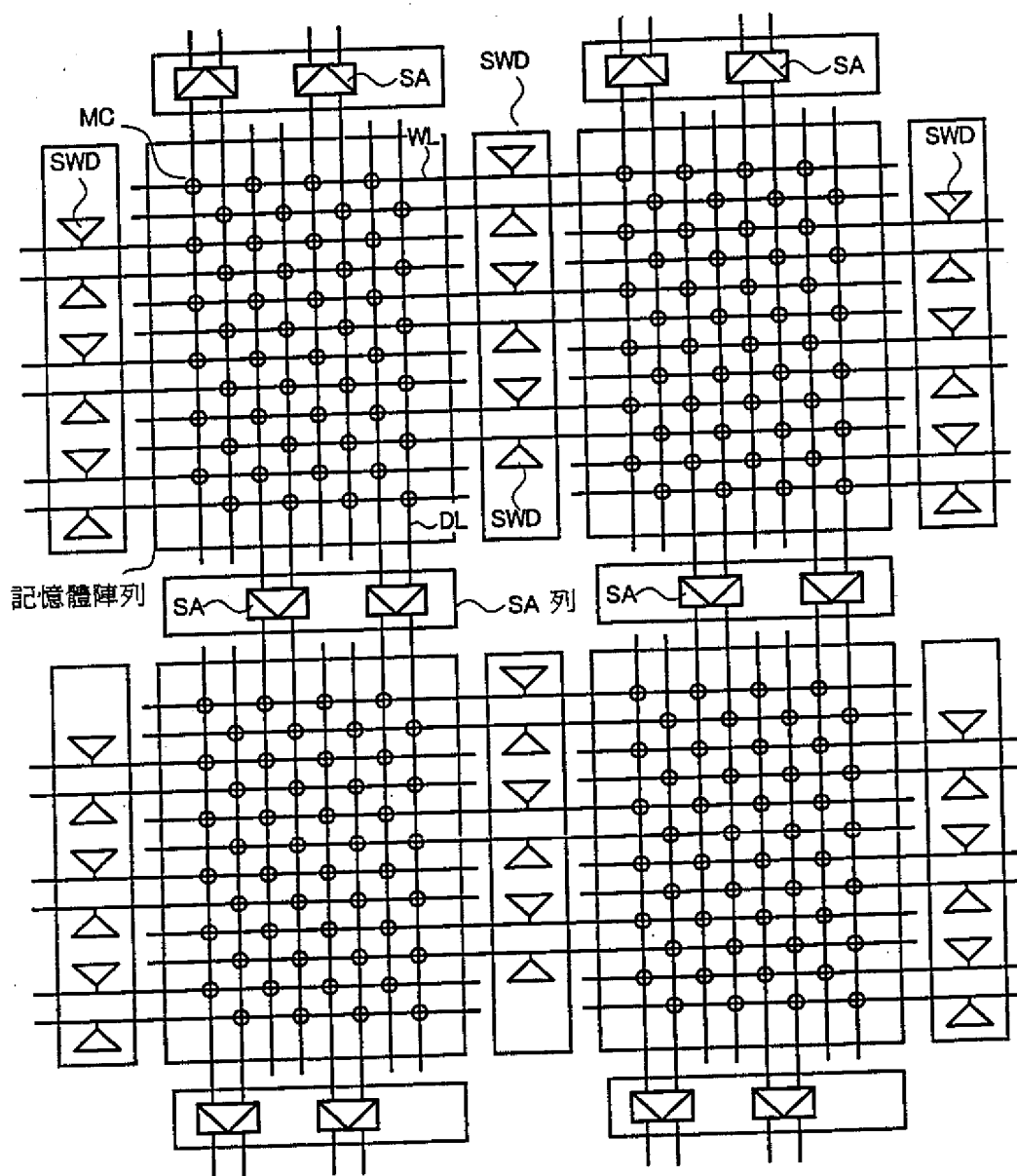


第 2 圖_(a)第 2 圖_(b)

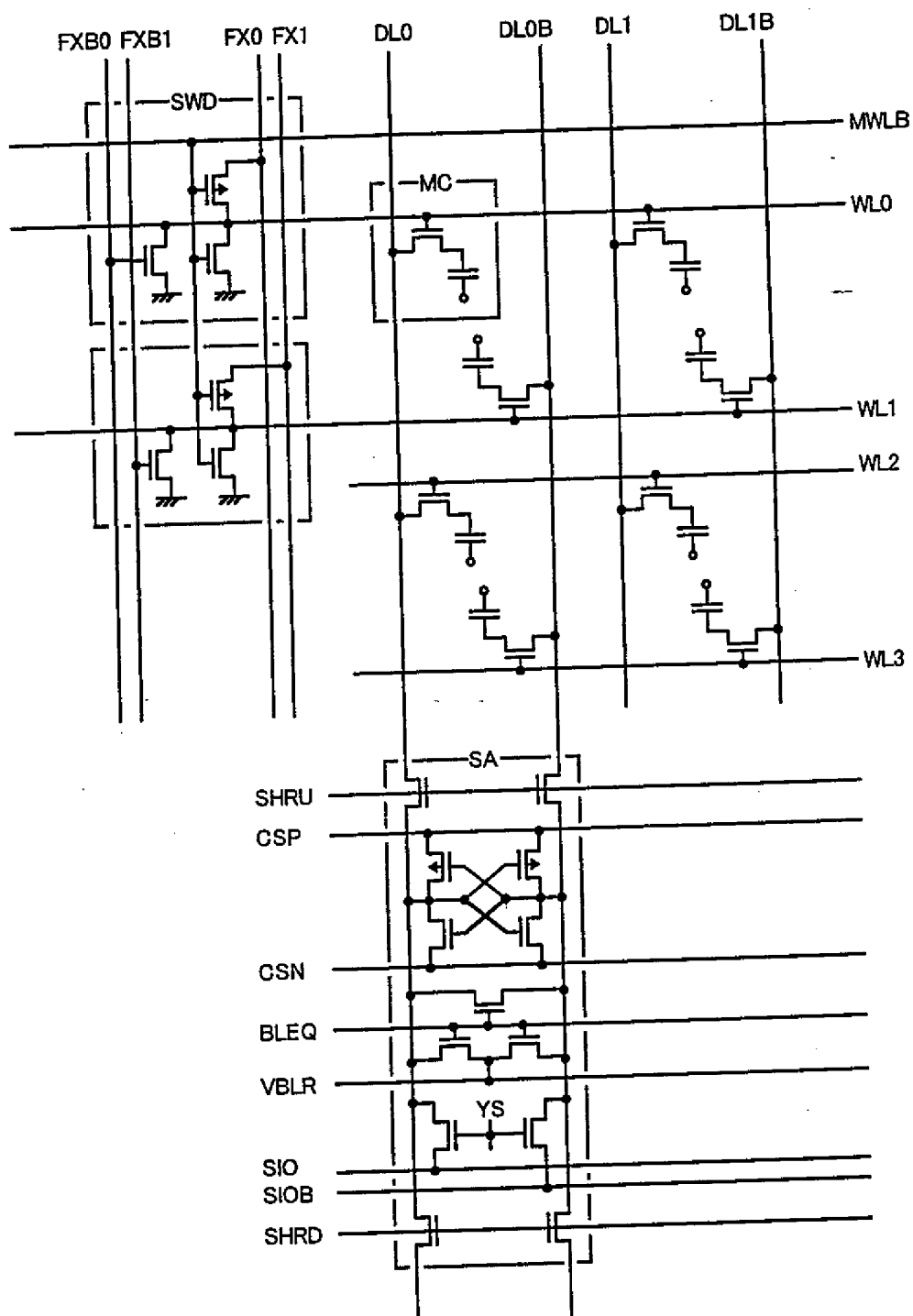
第 3 圖



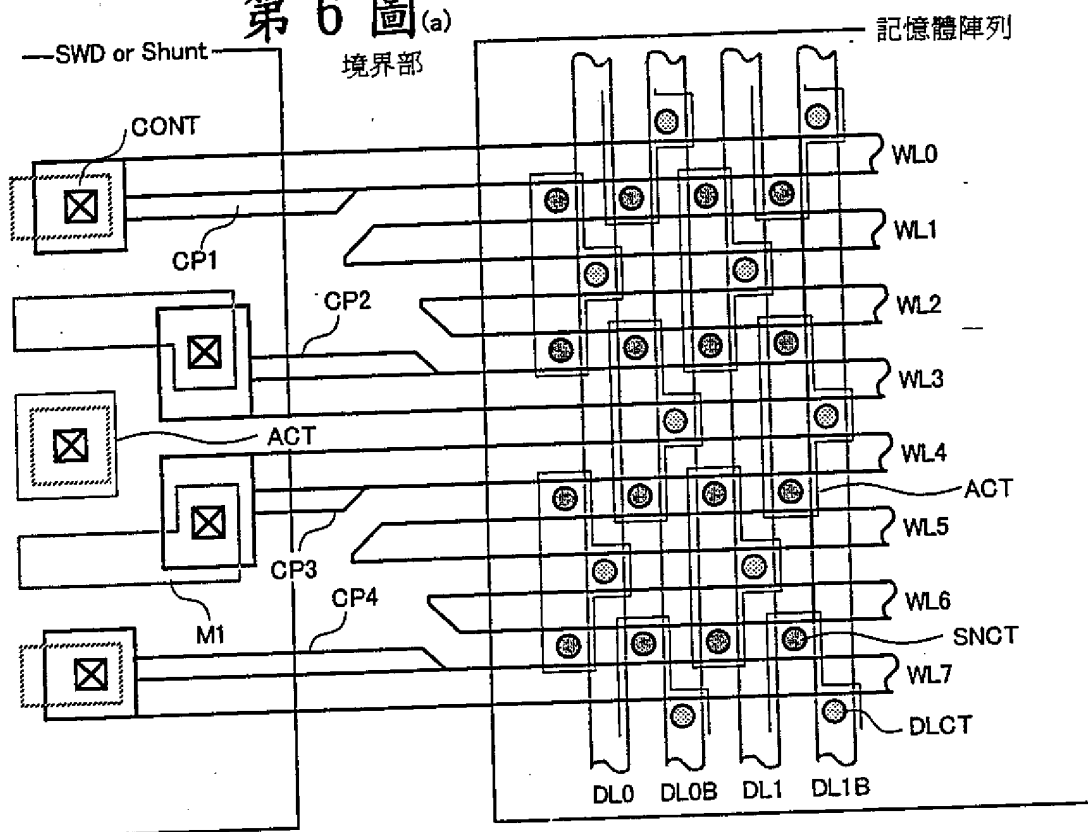
第 4 圖



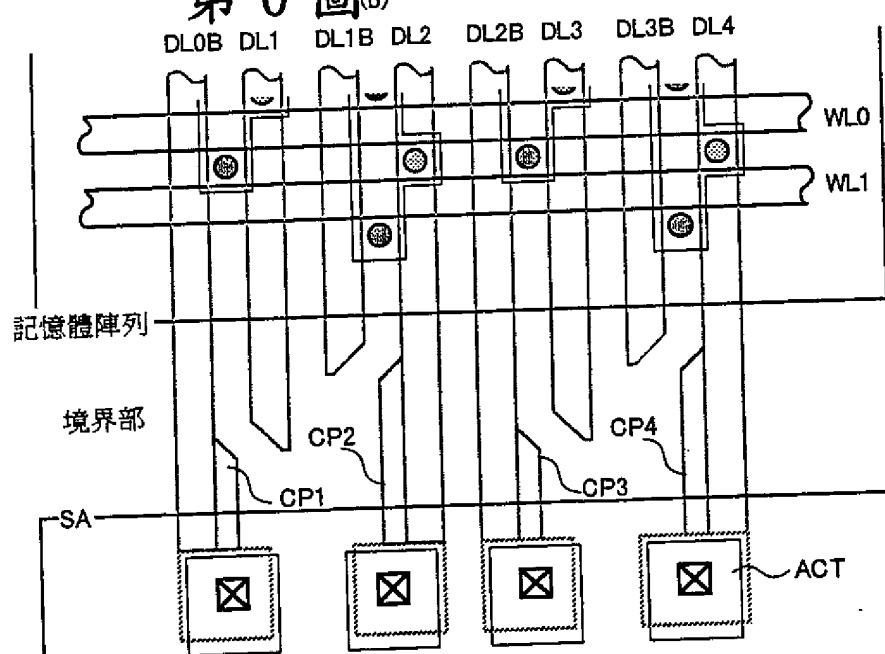
第 5 圖



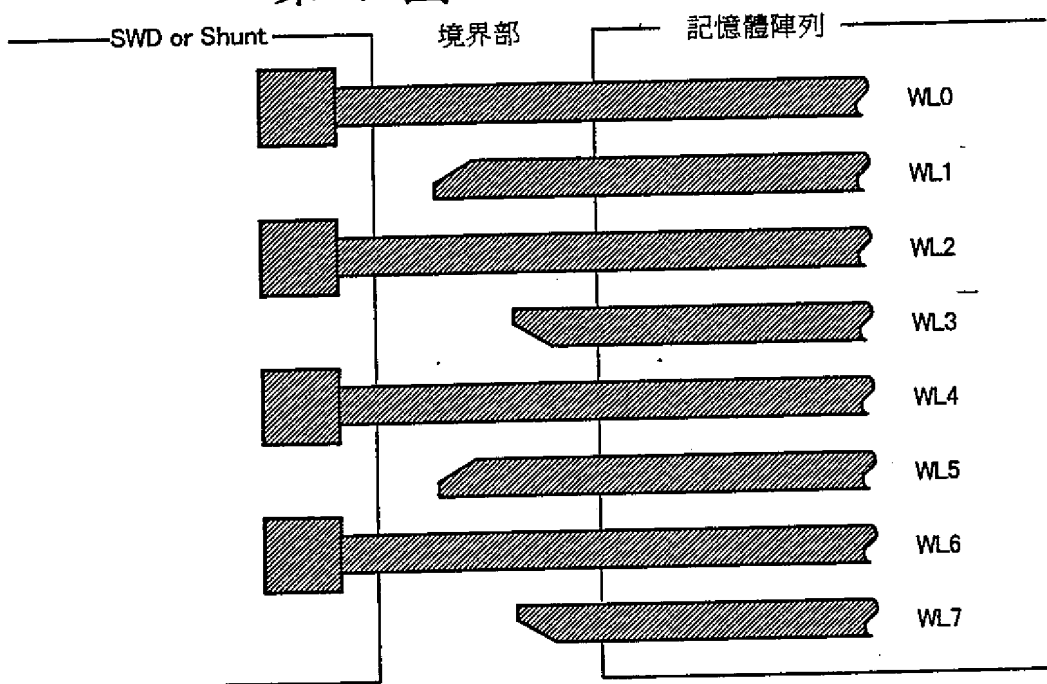
第 6 圖(a)



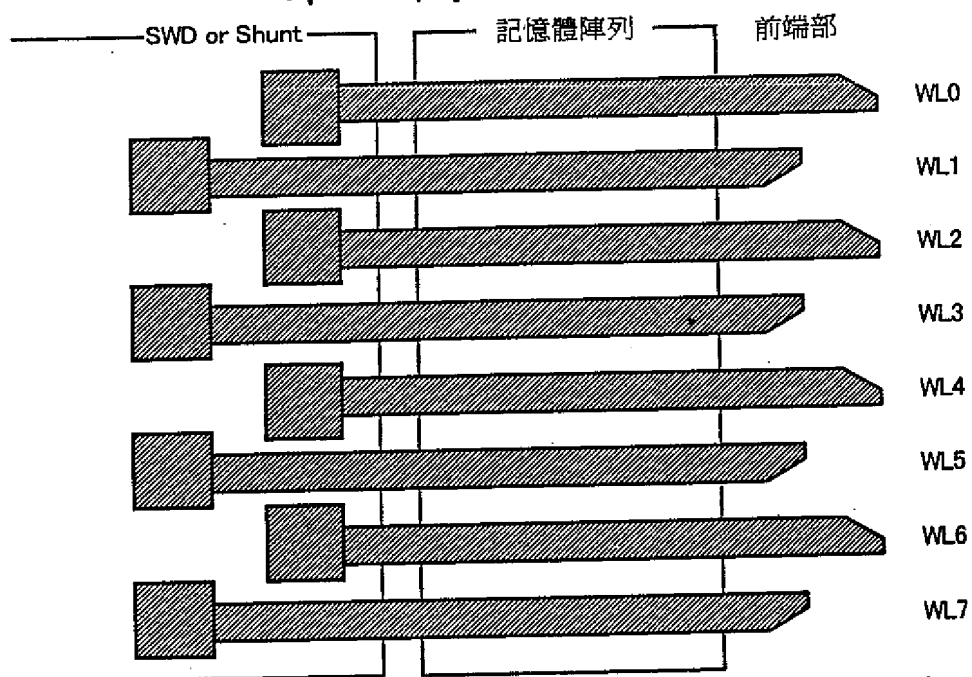
第 6 圖(b)



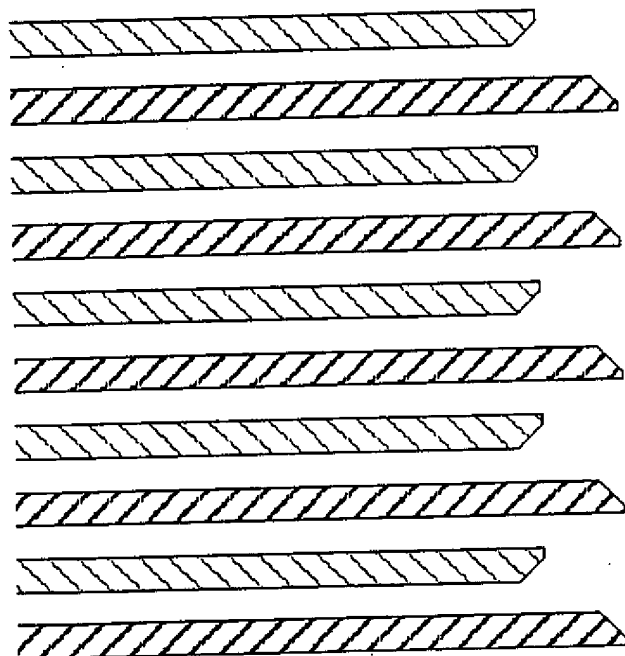
第 7 圖 (a)



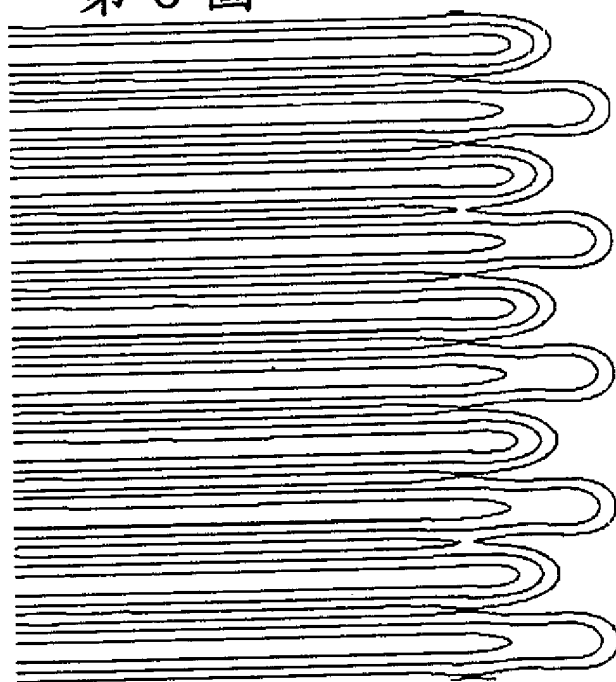
第 7 圖 (b)



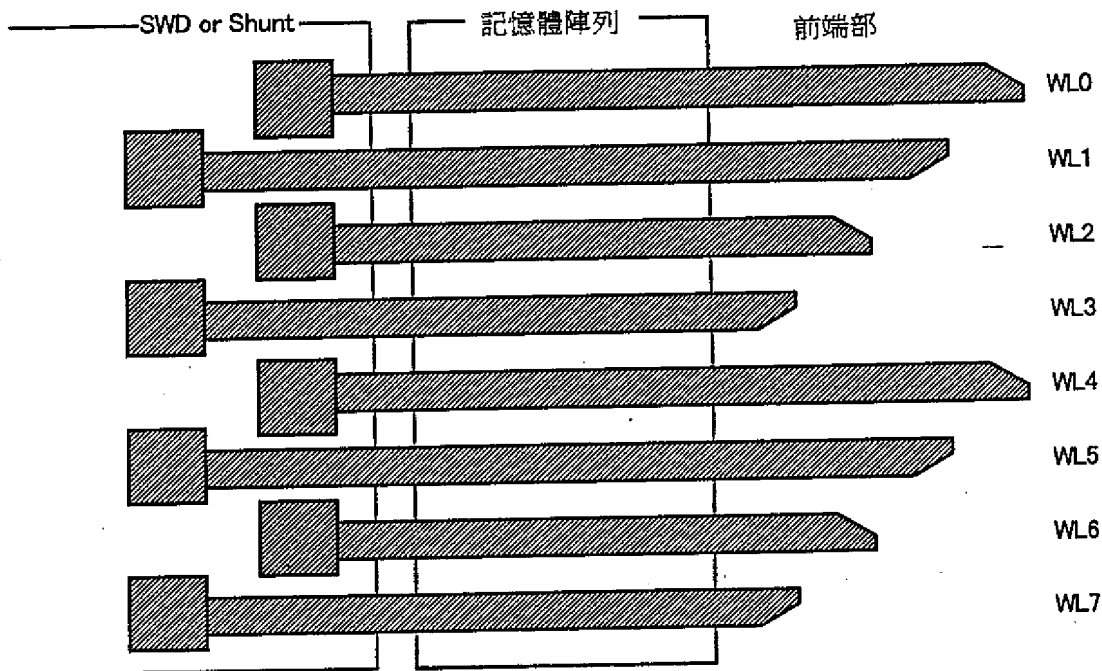
第 8 圖 (a)



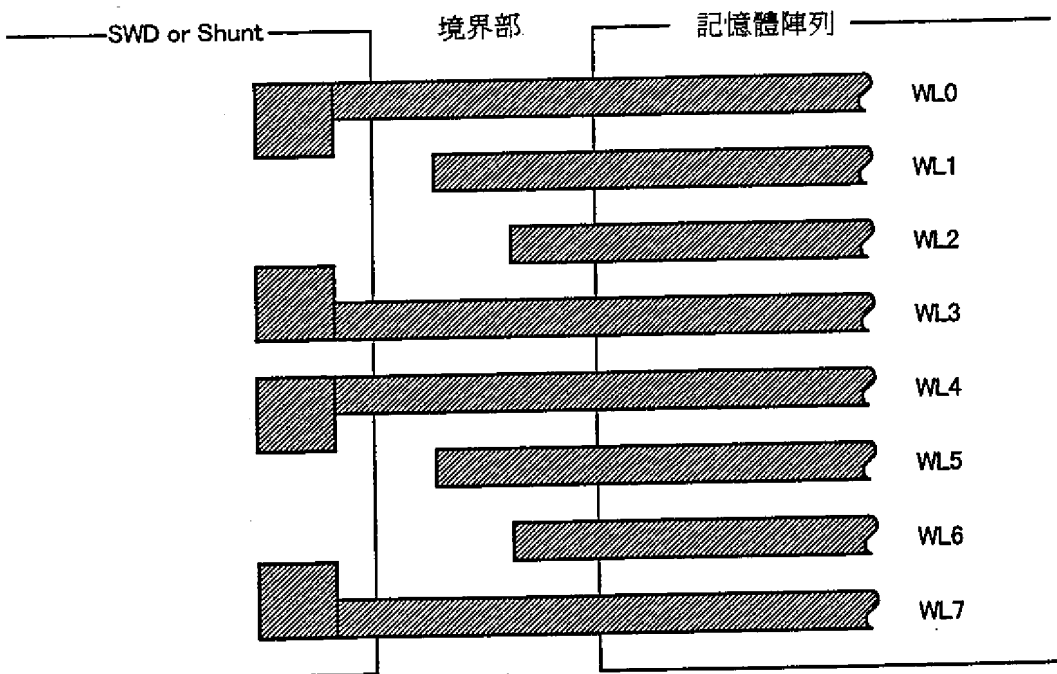
第 8 圖 (b)



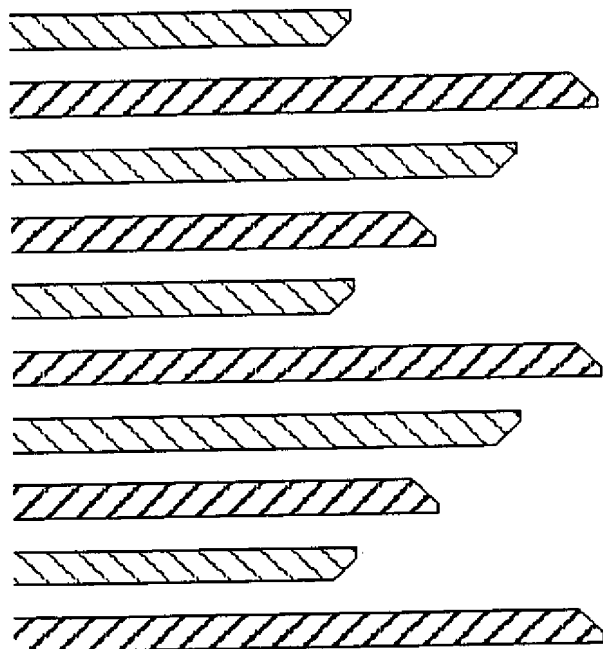
第 9 圖 (a)



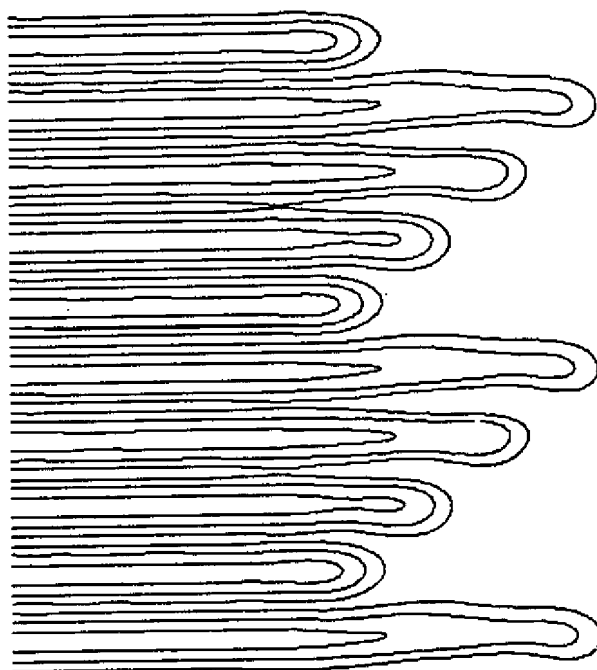
第 9 圖 (b)



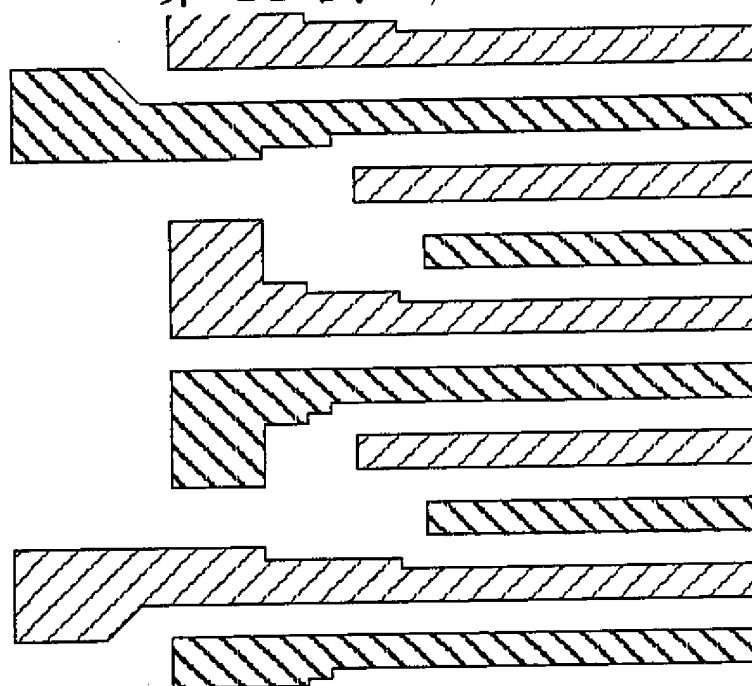
第 10 圖^(a)



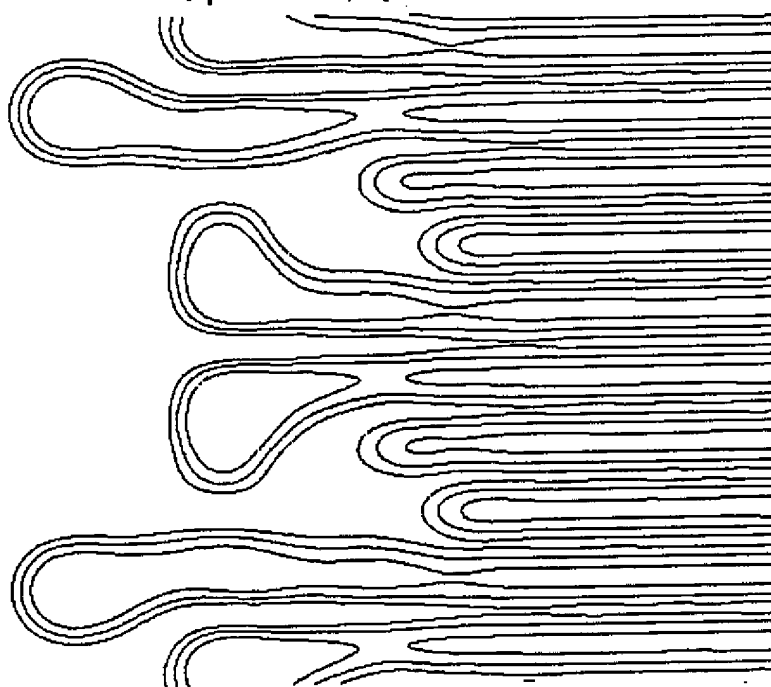
第 10 圖^(b)



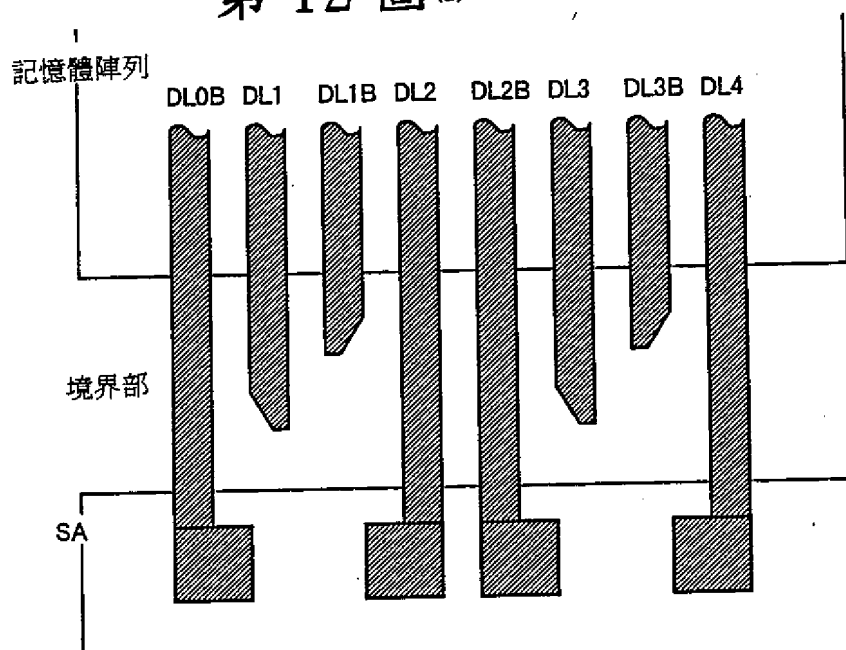
第 11 圖 (a)



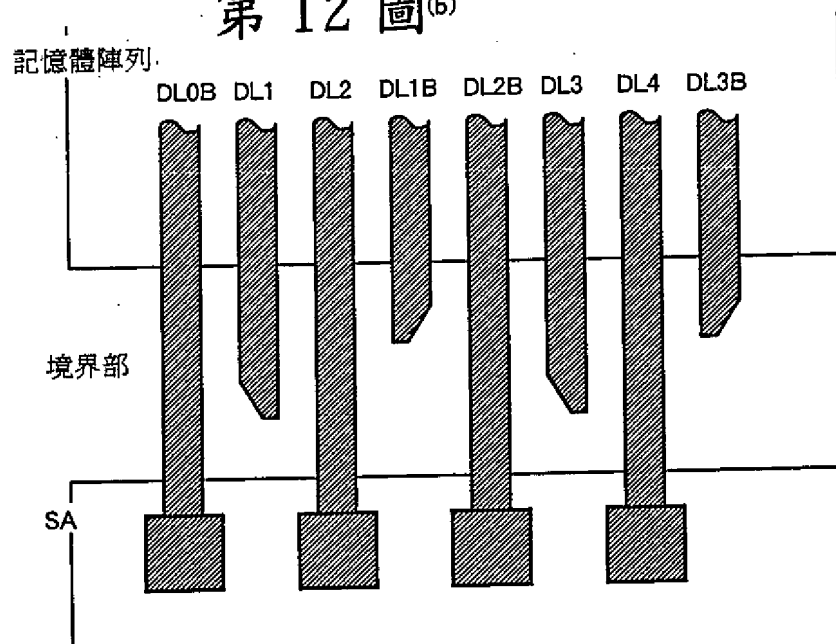
第 11 圖 (b)



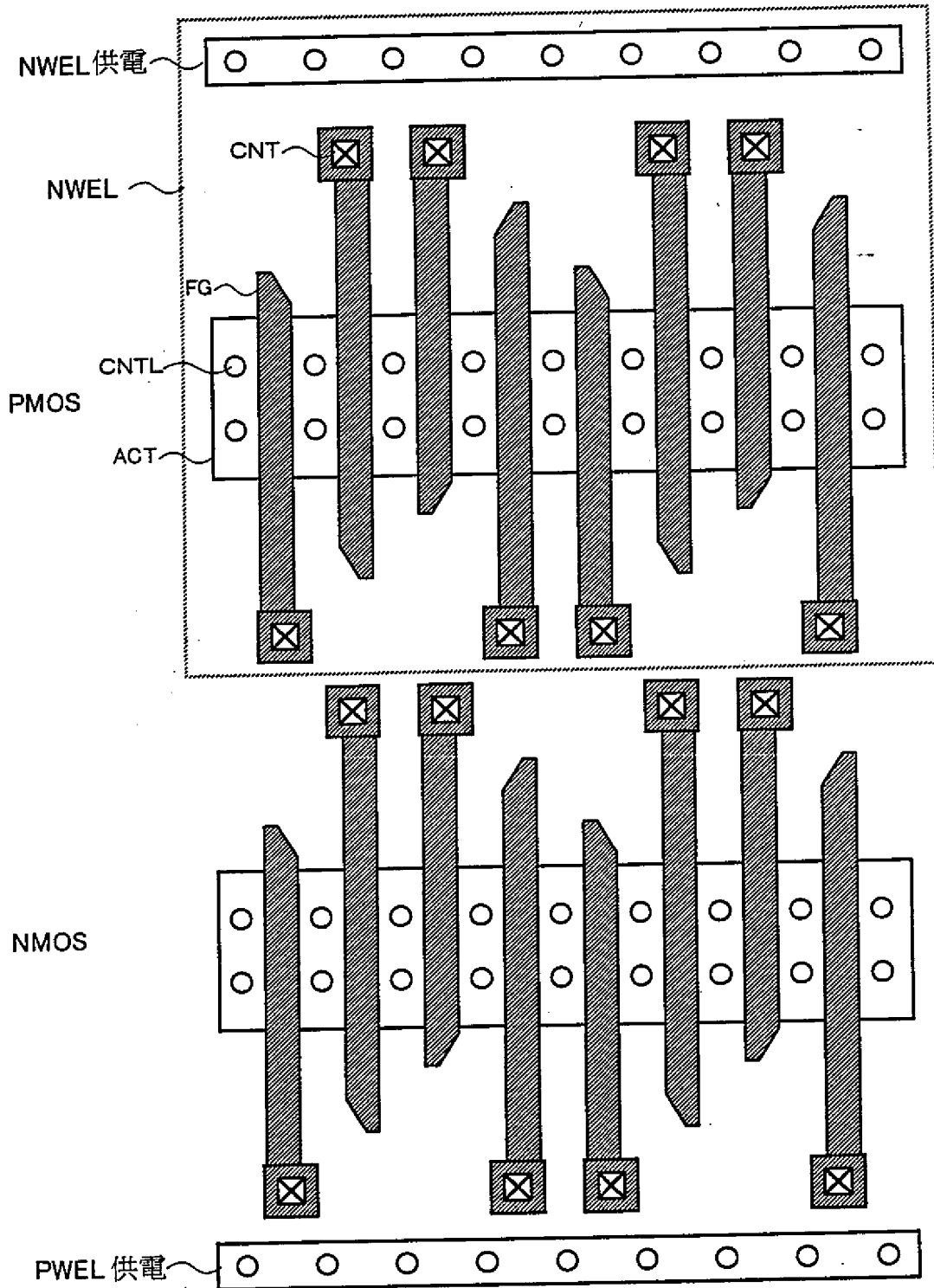
第 12 圖 (a)



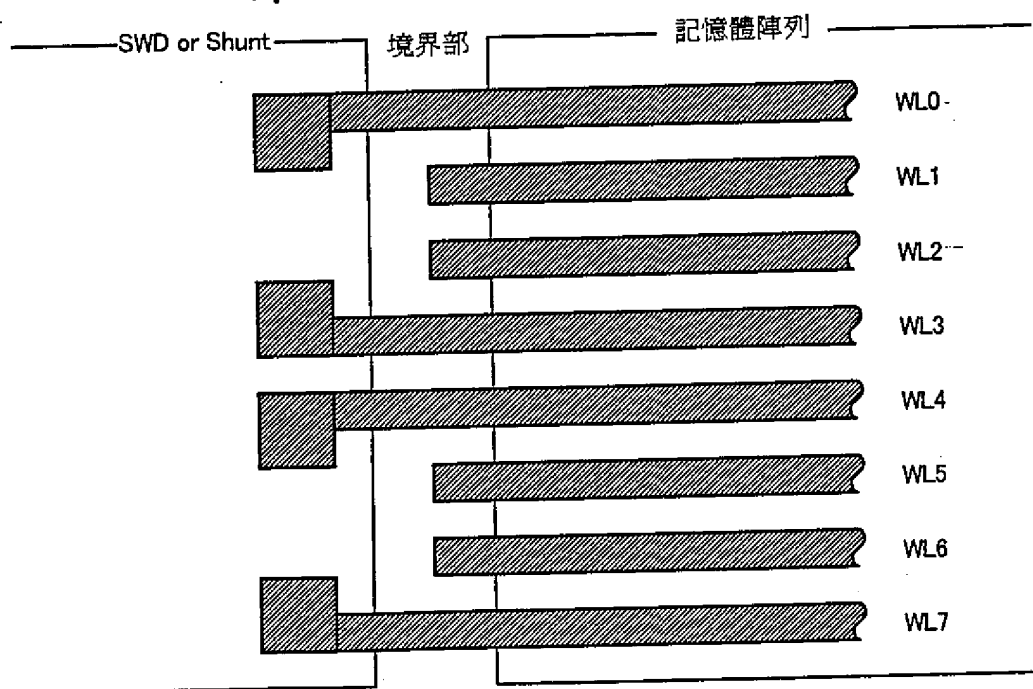
第 12 圖 (b)



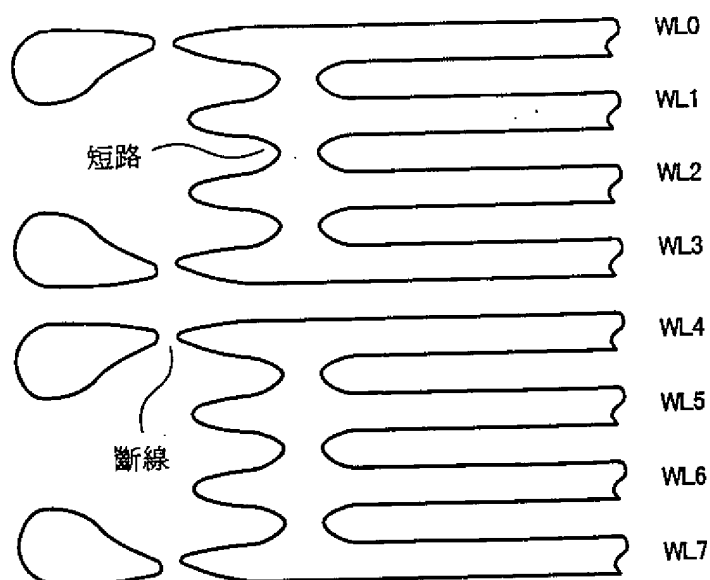
第 13 圖



第 14 圖 (a)

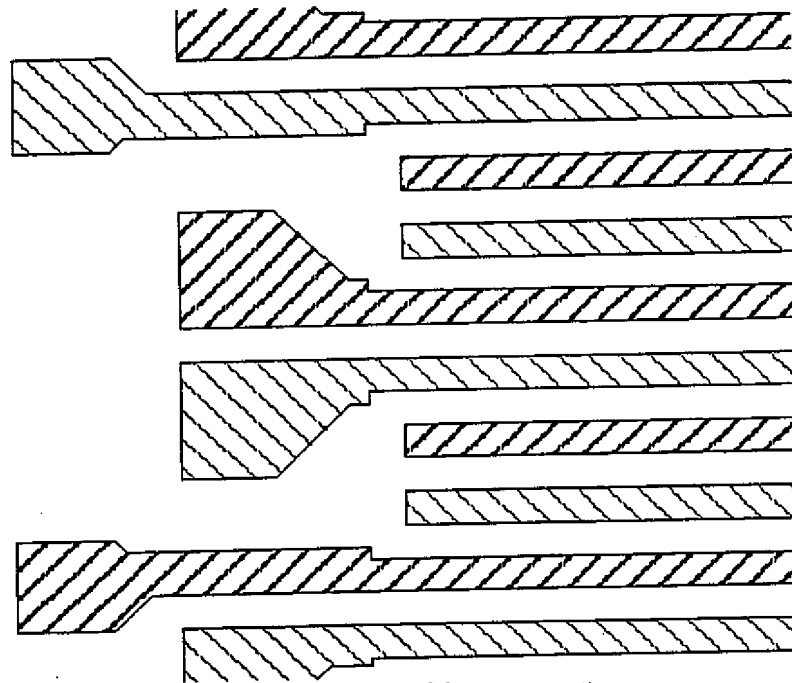


第 14 圖 (b)

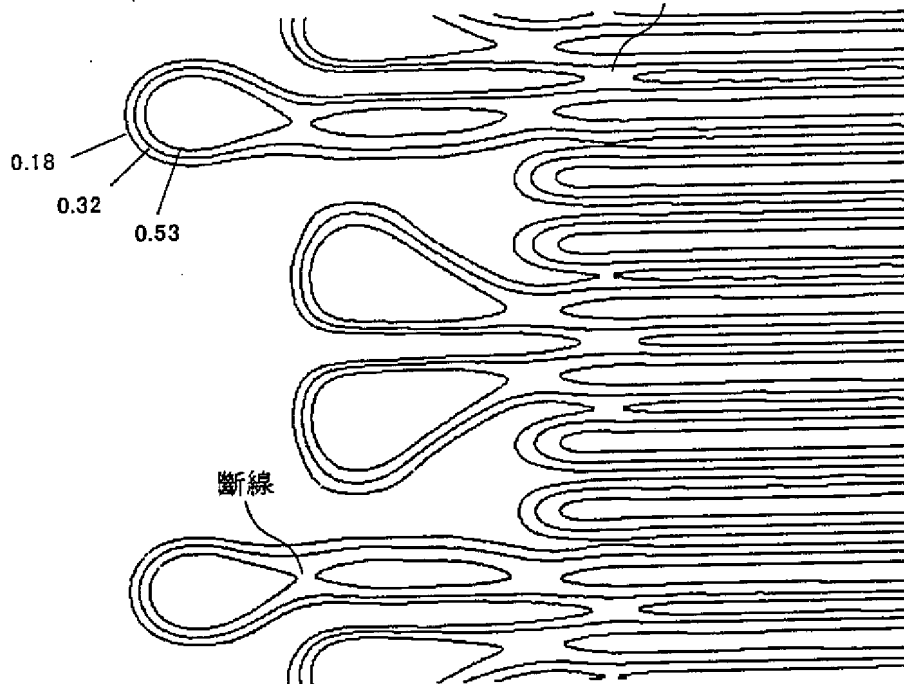


第 15 圖

(a)

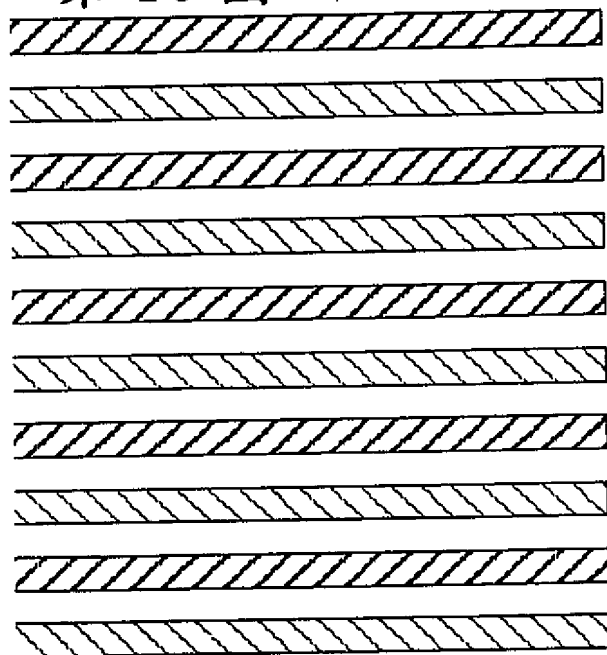


(b) 短路



414941

第 16 圖 (a)



第 16 圖 (b)

