

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成30年4月19日(2018.4.19)

【公表番号】特表2017-513239(P2017-513239A)

【公表日】平成29年5月25日(2017.5.25)

【年通号数】公開・登録公報2017-019

【出願番号】特願2017-501143(P2017-501143)

【国際特許分類】

H 01 L 21/331 (2006.01)

H 01 L 29/732 (2006.01)

H 01 L 21/8222 (2006.01)

H 01 L 27/06 (2006.01)

【F I】

H 01 L 29/72 P

H 01 L 27/06 101D

【手続補正書】

【提出日】平成30年3月9日(2018.3.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

セグメント化されたバイポーラトランジスタであって、
半導体表面を有する基板と、

前記半導体表面におけるpベースであって、少なくとも1つのpベースフィンガーを含み、前記pベースフィンガーがベース金属/シリサイドスタックを含み、前記ベース金属/シリサイドスタックが、前記pベースフィンガーの前記半導体表面上のシリサイド層に接するベース金属ラインを含む、前記pベースと、

前記半導体表面における前記pベースの下のn+埋め込み層と、

コレクタであって、前記半導体表面から前記n+埋め込み層まで延在する前記pベースの横のn+シンカー拡散を含み、前記n+シンカー拡散がコレクタフィンガーを含み、前記コレクタフィンガーがコレクタ金属/シリサイドスタックを含み、前記コレクタ金属/シリサイドスタックが、前記コレクタフィンガーの前記半導体表面上のシリサイド層に接するコレクタ金属ラインを含む、前記コレクタと、

前記pベースの一部内のn+エミッタであって、少なくとも1つのエミッタフィンガーを含み、前記エミッタフィンガーがエミッタ金属/シリサイドスタックを含み、前記エミッタ金属/シリサイドスタックが、前記エミッタフィンガーの前記半導体表面上のシリサイド層に接するエミッタ金属ラインを含む、前記n+エミッタと、

を含み、

前記エミッタ金属/シリサイドスタックがセグメント化を含み、当該セグメント化が、前記エミッタ金属ラインにおける、又は、前記エミッタの前記半導体表面上の前記シリサイド層における、エミッタギャップを含み、或いは、前記コレクタ金属/シリサイドスタックがセグメント化を含み、当該セグメント化が、前記コレクタ金属ラインにおける、又は、前記コレクタフィンガーの前記半導体表面上の前記シリサイド層における、コレクタギャップを含む、トランジスタ。

【請求項2】

請求項 1 に記載のトランジスタであって、

前記エミッタギャップを介して前記エミッタの前記半導体表面上に電流を流すために、前記エミッタギャップが、前記エミッタ金属ラインにおける前記エミッタギャップの下にある前記エミッタの前記半導体表面上の前記エミッタ金属ラインと前記シリサイド層との両方を介する、トランジスタ。

【請求項 3】

請求項 2 に記載のトランジスタであって、

前記コレクタギャップを介して前記コレクタの前記半導体表面上に電流を流すために、前記コレクタギャップが、前記コレクタ金属ラインにおける前記コレクタギャップの下にある前記コレクタの前記半導体表面上の前記コレクタ金属ラインと前記シリサイド層との両方にある、トランジスタ。

【請求項 4】

請求項 1 に記載のトランジスタであって、

前記少なくとも 1 つのベースフィンガーが複数のベースフィンガーを含み、前記少なくとも 1 つのエミッタフィンガーが、前記複数のベースフィンガーと互いに組み合わされる複数のエミッタフィンガーを含む、トランジスタ。

【請求項 5】

請求項 1 に記載のトランジスタであって、

前記エミッタと直列のエミッタ減衰抵抗器を更に含む、トランジスタ。

【請求項 6】

請求項 5 に記載のトランジスタであって、

前記エミッタ減衰抵抗器が、前記半導体表面上の能動エリアの或る領域に直接的に接する、ドープされたポリシリコンを含む、トランジスタ。

【請求項 7】

請求項 1 に記載のトランジスタであって、

直列にスタックされる前記セグメント化されたバイポーラトランジスタのアレイを更に含み、前記セグメント化が、前記アレイを介する横方向電流フロー経路に対する耐性を附加するように配置される、トランジスタ。

【請求項 8】

請求項 1 に記載のトランジスタであって、

前記半導体表面がシリコンを含む、トランジスタ。

【請求項 9】

請求項 1 に記載のトランジスタであって、

前記半導体表面がシリコン / ゲルマニウムを含み、前記基板がシリコンを含む、トランジスタ。

【請求項 10】

集積回路 (I C) であって、

半導体表面を有する基板と、

或る機能性を実現して実施するように構成される前記半導体表面を用いて形成され、少なくとも第 1 の端子と接地端子とを含む複数の端子を有する、機能性回路要素と、

前記半導体表面に形成される前記 I C のための静電放電 (E S D) 保護デバイスとして構成される少なくとも 1 つのセグメント化されたバイポーラトランジスタと、

を含み、

前記セグメント化されたバイポーラトランジスタが、

前記半導体表面における p ベースであって、少なくとも 1 つのベース金属 / シリサイドスタックを含み、前記ベース金属 / シリサイドスタックが、前記 p ベースフィンガーの前記半導体表面上のシリサイド層に接するベース金属ラインを含む、前記 p ベースと、

前記半導体表面における前記 p ベースの下の n + 埋め込み層と、

コレクタであって、前記半導体表面から前記 n + 埋め込み層まで延在する前記 p ベースの横の n + シンカー拡散を含み、前記シンカー拡散がコレクタフィンガーを含み、前記コ

レクタフィンガーがコレクタ金属／シリサイドスタックを含み、前記コレクタ金属／シリサイドスタックが、前記コレクタフィンガーの前記半導体表面上のシリサイド層に接するコレクタ金属ラインを含む、前記コレクタと、

前記pベースの一部内のn+エミッタであって、少なくとも1つのエミッタフィンガーを含み、前記エミッタフィンガーがエミッタ金属／シリサイドスタックを含み、前記エミッタ金属／シリサイドスタックが、前記エミッタフィンガーの前記半導体表面上のシリサイド層に接するエミッタ金属ラインを含む、前記n+エミッタと、

を含み、

前記エミッタ金属／シリサイドスタックがセグメント化を含み、当該セグメント化が、前記エミッタ金属ラインにおける、又は、前記エミッタの前記半導体表面上の前記シリサイド層における、エミッタギャップを含み、或いは、前記コレクタ金属／シリサイドスタックがセグメント化を含み、当該セグメント化が、前記コレクタ金属ラインにおける、又は、前記コレクタフィンガーの前記半導体表面上の前記シリサイド層における、コレクタギャップを含む、I.C。

【請求項11】

請求項10に記載のI.Cであって、

前記エミッタギャップを介して前記エミッタの前記半導体表面に電流を流すために、前記エミッタギャップが、前記エミッタ金属ラインにおける前記エミッタギャップの下にある前記エミッタの前記半導体表面上の前記エミッタ金属ラインと前記シリサイド層との両方を介する、I.C。

【請求項12】

請求項11に記載のI.Cであって、

前記コレクタギャップを介して前記コレクタの前記半導体表面に電流を流すために、前記コレクタギャップが、前記コレクタ金属ラインにおける前記コレクタギャップの下にある前記コレクタの前記半導体表面上の前記コレクタ金属ラインと前記シリサイド層との両方にある、I.C。

【請求項13】

請求項11に記載のI.Cであって、

前記少なくとも1つのベースフィンガーが複数のベースフィンガーを含み、前記少なくとも1つのエミッタフィンガーが、前記複数のベースフィンガーと互いに組み合わされる複数の前記エミッタフィンガーを含む、I.C。

【請求項14】

請求項10に記載のI.Cであって、

前記エミッタと直列のエミッタ減衰抵抗器を更に含む、I.C。

【請求項15】

請求項14に記載のI.Cであって、

前記エミッタ減衰抵抗器が、前記半導体表面上の能動エリアの或る領域に直接的に接する、ドープされたポリシリコンを含む、I.C。

【請求項16】

請求項10に記載のI.Cであって、

直列にスタッカされる前記セグメント化されたバイポーラトランジスタのアレイを更に含み、前記セグメント化が、前記アレイを介する横方向電流フロー経路に対する耐性を付加するように配置される、I.C。

【請求項17】

請求項10に記載のI.Cであって、

前記半導体表面がシリコンを含む、I.C。

【請求項18】

請求項10に記載のI.Cであって、

前記半導体表面がシリコン／ゲルマニウムを含み、前記基板がシリコンを含む、I.C。