



(12) 发明专利

(10) 授权公告号 CN 111630655 B

(45) 授权公告日 2025. 05. 16

(21) 申请号 201980009702.7
 (22) 申请日 2019.01.22
 (65) 同一申请的已公布的文献号
 申请公布号 CN 111630655 A
 (43) 申请公布日 2020.09.04
 (30) 优先权数据
 62/620,777 2018.01.23 US
 16/028,862 2018.07.06 US
 (85) PCT国际申请进入国家阶段日
 2020.07.23
 (86) PCT国际申请的申请数据
 PCT/US2019/014521 2019.01.22
 (87) PCT国际申请的公布数据
 W02019/147558 EN 2019.08.01
 (73) 专利权人 德克萨斯仪器股份有限公司
 地址 美国德克萨斯州

(72) 发明人 贾骄 Z·冯 H·林 刘运龙
 M·贾因
 (74) 专利代理机构 北京纪凯知识产权代理有限公司 11245
 专利代理师 李英
 (51) Int.Cl.
 H10D 1/60 (2025.01)
 (56) 对比文件
 CN 107004632 A, 2017.08.01
 US 2002160594 A1, 2002.10.31
 US 2007254430 A1, 2007.11.01
 US 2010244189 A1, 2010.09.30
 US 6803640 B1, 2004.10.12
 审查员 陆然

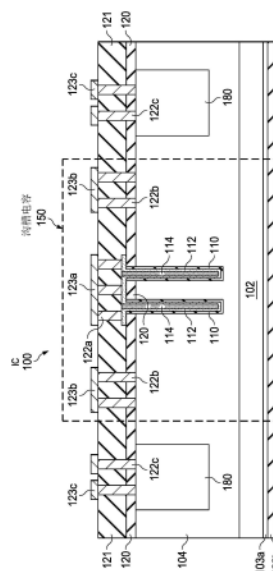
权利要求书3页 说明书6页 附图9页

(54) 发明名称

翘曲减少的沟槽电容

(57) 摘要

沟槽电容 (150) 包括基底 (102) 的掺杂半导体表层 (104) 中的沟槽。至少一个介电层 (110) 给沟槽的表面加衬。掺杂的第二多晶硅层 (114) 位于填充沟槽的介电层 (110) 上的第一多晶硅层 (112) 上。与第一多晶硅层 (112) 相比, 第二多晶硅层 (114) 具有更高的掺杂水平。



1. 一种形成沟槽电容的方法,所述方法包括:
在基底的掺杂半导体表面层中形成多个沟槽;
形成给所述多个沟槽的表面加衬的介电层;
在所述介电层上沉积未掺杂的第一多晶硅层;
在未掺杂的所述第一多晶硅层上沉积第二多晶硅层以填充所述多个沟槽;
掺杂所述第二多晶硅层;
使用掩蔽层图案,进行顶面多晶硅蚀刻,以在横向于所述多个沟槽的区域中回刻所述第一多晶硅层,并且留下所述第一多晶硅层的剩余部分,所述剩余部分将所述多个沟槽中的第一沟槽内的所述第二多晶硅层的第一部分电连接到所述多个沟槽中的第二沟槽内的所述第二多晶硅层的第二部分;以及
还包括在沉积所述第二多晶硅层之后,从所述基底的背面去除所述第一多晶硅层和所述第二多晶硅层。
2. 根据权利要求1所述的方法,其中沉积所述第二多晶硅层及所述第二多晶硅层的掺杂均在原位掺杂多晶硅沉积工艺中提供。
3. 根据权利要求1所述的方法,其中形成所述介电层包含生长热氧化物层。
4. 根据权利要求1所述的方法,还包括在从所述基底的背面去除所述第一多晶硅层和所述第二多晶硅层之后,在所述基底的所述背面之上沉积介电盖层,在900°C至1050°C之间的温度的温度下对所述第一多晶硅层和所述第二多晶硅层进行退火,去除所述介电盖层,以及在所述顶面多晶硅蚀刻之前在所述第一多晶硅层上对所述第二多晶硅层进行部分顶面蚀刻。
5. 根据权利要求1所述的方法,其中所述掺杂半导体表面层是包括多个所述沟槽电容的块状基底材料的一部分。
6. 根据权利要求1所述的方法,还包括在所述基底的所述背面上沉积背面金属层。
7. 根据权利要求1所述的方法,其中所述多个沟槽的深度为10 μm 至50 μm 。
8. 一种沟槽电容,包括:
在基底的掺杂半导体表面层中的多个沟槽;
给所述多个沟槽的表面加衬的介电层;和
第二多晶硅层,其掺杂在填充所述多个沟槽的所述介电层上的第一多晶硅层上,与所述第一多晶硅层相比,所述第二多晶硅层具有更高的掺杂水平,和
所述第一多晶硅层的一部分,其将所述多个沟槽中的第一沟槽内的所述第二多晶硅层的第一部分电连接到所述多个沟槽中的第二沟槽内的所述第二多晶硅层的第二部分。
9. 根据权利要求8所述的沟槽电容,其中所述第一多晶硅层在与所述第二多晶硅层的交接处具有其最高的掺杂浓度。
10. 根据权利要求8所述的沟槽电容,其中所述掺杂半导体表面层是块状基底材料的一部分,还包括在所述块状基底材料的底面上的背面金属层。
11. 根据权利要求8所述的沟槽电容,其中所述掺杂半导体表面层包括至少一个外延层。
12. 根据权利要求8所述的沟槽电容,其中所述介电层包括热氧化物层。
13. 根据权利要求12所述的沟槽电容,其中所述热氧化物层的厚度为10nm至50nm。

14. 根据权利要求8所述的沟槽电容,其中所述多个沟槽的深度为 $10\mu\text{m}$ 至 $50\mu\text{m}$ 。

15. 一种封装的半导体器件,包括:

引线框架的晶粒垫;

第一晶粒,其包括在所述晶粒垫上的功率晶体管;以及

第二晶粒,其包括在所述晶粒垫上的沟槽电容,所述沟槽电容包括:基底的掺杂半导体表面层中的多个沟槽,所述基底上具有提供第一电极触点的背面金属层;给所述多个沟槽的表面加衬的介电层;第二多晶硅层,其掺杂在填充所述多个沟槽的所述介电层上的第一多晶硅层上;和所述第一多晶硅层的一部分,其将所述多个沟槽中的第一沟槽内的所述第二多晶硅层的第一部分电连接到所述多个沟槽中的第二沟槽内的所述第二多晶硅层的第二部分,以及提供第二电极触点的金属,所述第二电极触点耦合至接触所述第二多晶硅层的填充触点;

与所述第一多晶硅层相比,所述第二多晶硅层具有更高的掺杂水平;和

所述第一电极触点耦合到所述功率晶体管的第一端子,并且所述第二电极触点耦合到所述功率晶体管的第二端子。

16. 根据权利要求15所述的封装的半导体器件,其中所述封装的半导体器件包括四方扁平无引脚封装即QFN封装。

17. 根据权利要求15所述的封装的半导体器件,其中所述掺杂半导体表面层包括至少一个外延层。

18. 根据权利要求15所述的封装的半导体器件,其中所述多个沟槽的深度是 $10\mu\text{m}$ 至 $50\mu\text{m}$ 。

19. 一种形成沟槽电容的方法,包括:

在基底的掺杂半导体表面层中形成多个沟槽;

形成给所述多个沟槽的表面加衬的介电层;

在所述介电层上沉积未掺杂的第一多晶硅层;

在未掺杂的所述第一多晶硅层之上沉积第二多晶硅层以填充所述多个沟槽;

掺杂所述第二多晶硅层;以及

使用掩蔽层图案,进行顶面多晶硅蚀刻,以在横向于所述多个沟槽的区域中回刻所述第一多晶硅层,并且留下所述第一多晶硅层的剩余部分,所述剩余部分将所述多个沟槽中的第一沟槽内的所述第二多晶硅层的第一部分电连接到所述多个沟槽中的第二沟槽内的所述第二多晶硅层的第二部分。

20. 根据权利要求19所述的方法,其中沉积所述第二多晶硅层及所述第二多晶硅层的掺杂均在原位掺杂多晶硅沉积工艺中提供。

21. 根据权利要求19所述的方法,其中形成所述介电层包含生长热氧化物层。

22. 根据权利要求19所述的方法,还包括在沉积所述第二多晶硅层之后,从所述基底的背面去除所述第一多晶硅层和所述第二多晶硅层。

23. 根据权利要求22所述的方法,还包括在从所述基底的背面去除所述第一多晶硅层和所述第二多晶硅层之后,在所述基底的所述背面之上沉积介电盖层,在 900°C 至 1050°C 之间的范围的温度下对所述第一多晶硅层和所述第二多晶硅层进行退火,去除所述介电盖层,以及在所述顶面多晶硅蚀刻之前在所述第一多晶硅层上对所述第二多晶硅层进行部分

顶面蚀刻。

24. 根据权利要求22所述的方法,还包括在所述去除之后,在所述基底的所述背面上沉积背面金属层。

25. 根据权利要求19所述的方法,其中所述多个沟槽的深度在10 μm 至50 μm 之间的范围内。

26. 一种形成沟槽电容的方法,包括:

在基底的掺杂半导体表面层中形成多个沟槽;

形成给所述多个沟槽的表面加衬的介电层;

在所述介电层之上和所述基底的背面之上形成未掺杂的第一多晶硅层;

在所述沟槽内的所述未掺杂的第一多晶硅层之上和所述基底的所述背面之上形成掺杂的第二多晶硅层;

从所述表面层之上去除所述第一多晶硅层和所述第二多晶硅层,留下所述多个沟槽中的第一沟槽内的所述第二多晶硅层的第一剩余部分和所述多个沟槽中的第二沟槽内的所述第二多晶硅层的第二剩余部分,以及将所述第一剩余部分与所述第二剩余部分电连接的所述第一多晶硅层的剩余部分;以及

从所述基底的背面之上去除所述第一多晶硅层和所述第二多晶硅层。

27. 根据权利要求26所述的方法,其中当形成所述第二多晶硅层时,未掺杂所述第一多晶硅层,并且所述方法还包括掺杂所述第二多晶硅层。

28. 根据权利要求27所述的方法,其中所述第二多晶硅层在形成期间被原位掺杂。

29. 根据权利要求26所述的方法,还包括在从所述基底的背面之上去除所述第一多晶硅层和所述第二多晶硅层之后,在所述背面之上形成氧化硅盖层。

30. 根据权利要求29所述的方法,还包括在形成所述盖层之后对所述第一多晶硅层和所述第二多晶硅层进行热退火。

31. 根据权利要求29所述的方法,还包括形成对所述第一多晶硅层的所述剩余部分的第一金属连接,以及形成对所述掺杂半导体表面层的第二金属连接。

翘曲减少的沟槽电容

技术领域

[0001] 本发明涉及集成沟槽电容和包括封装器件的半导体器件,封装器件包括集成沟槽电容。

背景技术

[0002] 集成沟槽电容以高密度电容器设计著称。集成沟槽电容的形成通常涉及在高掺杂硅基底中形成深沟槽型结构,用至少一个介电层(通常为氧化硅)在沟槽侧壁和底部做衬里,然后多晶硅填充沟槽(即原位或沉积后掺杂),然后对多晶硅层进行图案化。

发明内容

[0003] 阐述的内容包括集成沟槽电容,其包括在基底的掺杂半导体表面层中的沟槽。至少一个介电层在沟槽的底部和侧壁表面加衬。掺杂的第二多晶硅层位于填充沟槽的介电层上的第一多晶硅层上。与第一多晶硅层相比,第二多晶硅层具有更高的掺杂水平。

附图说明

[0004] 图1是根据示例方面,包括描述的沟槽电容的示例性集成电路(IC)的截面图。

[0005] 图2A-2L是根据示例方面,示出形成集成沟槽电容的示例方法的处理进展的截面图。

[0006] 图3A显示一个示例性封装设备,该设备包括同步降压变换器,该变换器包括封装中的所述沟槽电容以及控制器IC和一些堆叠的垂直场效应晶体管(FET),所有这些都显示在一个共同的晶粒垫上。

[0007] 图3B示出一个简化的垂直金属氧化物半导体场效应晶体管(MOSFET)的例子,该垂直金属氧化物半导体场效应晶体管(MOSFET)被示为可用于描述的封装器件中的场效应晶体管的截面描述。

具体实施方式

[0008] 附图不一定按比例绘制。在附图中,类似的附图编号表示相似或等效的元件。示出的行为或事件的顺序不受限制,因为某些行为或事件可能以不同的顺序发生和/或与其他行为或事件同时发生。此外,一些示出的行为或事件可以是可选的,以实现符合该说明书的方法。

[0009] 本文中使用的术语“耦合到”或“与……耦合”(及类似词语)描述间接或直接的电气连接,没有进一步限定。因此,如果第一设备“耦合”到第二设备,则该连接可以通过路径中只有寄生效应的直接电气连接,或者通过经由干预其他设备和连接的间接电气连接。对于间接连接,干预项通常不修改信号的信息,但可以调整其电流电平、电压电平和/或功率电平。

[0010] 为了获得高密度集成沟槽电容以大体提供nF范围的电容,集成沟槽电容通常使用

高密度深沟工艺来增加有效电容器面积,形成数万或数十万个沟槽,这些沟槽的深度一般为 $10\mu\text{m}$ 至 $50\mu\text{m}$,以提供高电容(比如 10nF 到 50nF)。为了提供低等效串联电阻(ESR),在作为沟槽电容顶板的沟槽的电介质衬里之后,传统的集成沟槽电容使用高掺杂基底和高掺杂多晶硅层来填充沟槽。

[0011] 然而,深槽工艺和多晶硅填充工艺都改变了晶片的应力分布,这使得晶片翘曲变差。发现直径为 200mm 的晶片的后掺杂多晶硅沉积(每个晶粒上约有20万个沟槽,深度约为 $27\mu\text{m}$)遭受高翘曲,翘曲超过 $400\mu\text{m}$ 。这种高翘曲导致晶片被用于后续加工的加工工具(如多晶硅干蚀刻工具)拒收,并且无法继续进行后续处理。光刻、蚀刻和薄膜工具通常都需要晶片翘曲小于 $100\mu\text{m}$ 才能正常工作。

[0012] 图1是根据示例方面,包括描述的沟槽电容150的示例性IC 100的截面图。尽管在IC 100上示出,但是描述的沟槽电容也可以是独立的(互不相连的)电容器,包括数万个或数十万个沟槽,它们通常是 $10\mu\text{m}$ 到 $50\mu\text{m}$ 深,具体取决于对电容密度的需要。示出包括功能电路180的IC 100,该功能电路180简单地示出为块,该块包括用于节点接触的填充通孔122b上的金属123b。功能电路180包括电路元件(包括晶体管,以及一般的二极管、电阻器、电容器等),该电路元件通常形成在与沟槽电容一起配置的大块基底(基底)102上的至少一个外延层104中,通常用于至少实现电路功能。示例电路功能包括模拟(例如,放大器、功率转换器或功率场效应晶体管)、射频(RF)、数字或非易失性存储器功能。功能电路180提供的电路功能还可以用于为沟槽电容150提供顶侧接地,使得图1中所示的金属123b和填充通孔122b是可选的。

[0013] 基底102和/或这些外延层104可包含硅、锗化硅或另一种半导体材料。尽管未示出,但如本领域所知,在IC的情况下,IC通常包括场氧化物,例如用于隔离相邻器件的外延层104中的浅沟槽隔离(STI)或硅的局部氧化(LOCOS)。

[0014] 外延层104可以包括在包含p+基底的基底102上生长的轻掺杂p型外延层或在包含n+基底的基底102上生长的轻掺杂n型外延层。可以存在具有相同或不同掺杂水平的多个外延层。在基底的底侧,两层分别显示为103a和103b,可以分别包括背面多晶硅层和氧化硅层,其作用是作为密封剂,以防止掺杂剂从基底102的底侧逸出,该基底102具有高掺杂性,可在可用于形成电容器的介电层的加工设备(譬如栅极氧化炉)中引起交叉污染问题。

[0015] 沟槽电容150包括完全形成在外延层104中的沟槽。沟槽深度通常为 $10\mu\text{m}$ 至 $50\mu\text{m}$,其小于外延层104的厚度。与基底102中的掺杂度相比,外延层104具有更低的掺杂度。介电层110可以包括用于IC上的金属氧化物半导体(MOS)晶体管的给沟槽表面加衬的同样热生长的栅极氧化层。

[0016] 介电层110的厚度范围通常为100埃(\AA)至500埃,这通常取决于对电容密度的需要和功率要求。还可以沉积具有不同于氧化硅的介电常数的介电层110。沟槽包括第二多晶硅层114,该第二多晶硅层114掺杂在第一多晶硅层112上,该第一多晶硅层112通常无掺杂地沉积在填充沟槽的介电层110上。在所有重要的热循环期间,第一多晶硅层112通常接收来自第二多晶硅层114的掺杂。第一多晶硅层112和第二多晶硅层114通常都掺杂有与外延层104和基底102中的掺杂匹配的掺杂类型。

[0017] 在第一多晶硅层112和介电层110之间可能存在约 $1\mu\text{m}$ 或更小的金属衬层。与第一多晶硅层相比,第二多晶硅层114具有更高的掺杂水平,第一多晶硅层通常无掺杂地沉积,

但是通常在制造期间接收到的显著热处理期间从第二多晶硅层114接收掺杂。因此,第一多晶硅层112通常在与第二多晶硅层114的交接处具有其最高掺杂浓度。

[0018] 所示的沟槽电容150包括沟槽电容150的顶板和底板的顶侧触点。该触点包括通过预金属电介质(PMD)层121形成的填充通孔上的金属,包括到第二多晶硅层114的填充通孔122a(例如,W填充的)上的金属123a以提供顶板接触,以及填充通孔122b上的金属123b,该金属122b通过外延层104提供底板接触。功能电路180在填充通孔122c上还具有金属123c。

[0019] 这个沟槽电容触点设置只是至少两种可能接触设置中的一种。如图1所示,第二沟槽电容接触设置具有连接到金属123a的顶板,但是到底板的接触涉及去除(例如,通过晶片背面研磨)层103b和103a,然后沉积背面金属(BSM)以提供可焊接晶粒附接金属堆,以确保与芯片背面的良好电接触(欧姆接触)或芯片到其安装盒的正确接合。背面金属层可包含镍上的金或钛上的银。

[0020] 所描述沟槽电容的深宽比(AR)通常取决于设计需要,但对于高密度深沟电容,深宽比通常大于10。例如,深宽比可以是18到30。

[0021] 图2A-2L是根据示例方面,示出形成集成沟槽电容的示例方法的处理进展的截面图。图2A示出基底102上的外延层104。在基底102的底面上,各层包括背面多晶硅层103a,其上具有氧化硅层103b(如上所述),氧化硅层103b用于密封掺杂剂以避免从基底102的背面逸出。

[0022] 图2B显示了覆盖光刻胶层124,其被创建并图案化以便可以形成沟槽。为了便于说明,图中只显示了两个深沟槽,但通常会形成两个以上的沟槽(例如数万或几十万个沟槽)。光刻胶层124覆盖介电层120,该介电层120通常是保护晶粒表面的氧化硅层120。尽管未示出,但是光刻胶层124可位于硬掩模(HM)层的顶部,例如在介电层120上形成的高密度等离子体(HDP)氧化物HM层。当光刻胶层124薄或沟槽足够深时,可使用氧化物HM层,使得光刻胶层124在沟槽蚀刻过程中会被完全破坏。

[0023] 图2C示出了在使用各向异性蚀刻形成穿过氧化物HM(如果使用的话),介电层120并进入外延层104但未到达基底102的深沟槽111之后的处理过程中的沟槽电容。虽然光刻胶层124在沟槽蚀刻之后显示为保持完整,但是大部分光刻胶层124可能已经被沟槽蚀刻工艺移除。

[0024] 至少在一个方面,采用圆形沟槽布局,以消除尖角,沟槽宽度约为 $0.5\mu\text{m}$ 至 $3\mu\text{m}$,并且沟槽间距约为 $0.3\mu\text{m}$ 至 $1.5\mu\text{m}$ 。当然,根据应用的需要,沟槽111的深度可以更深或更浅,并适合于电容器集成的工艺参数,例如外延层104的厚度和任何阱的驱动条件。然后移除光刻胶层124并清洁晶片。

[0025] 如图2D所示,在沟槽111的侧壁和底部生长或沉积介电层110。在一方面,介电层110完全是氧化硅。例如,氧化硅层可以是 200\AA 到 2000\AA 厚,例如对于13.2V的预期工作电压, 500\AA 厚。如上所述,还可以沉积介电层110。在一特定方面,介电层110包含氧化物氮化物氧化物(ONO)层堆叠。

[0026] 如图2E所示,然后沉积作为第一多晶硅层112的未掺杂多晶硅层,通常通过低压化学气相沉积(LPCVD)工艺来部分填充沟槽111,其厚度显著小于沟槽宽度的1/2,以避免填充沟槽。如图2F中的处理过程中的沟槽电容所示,然后将作为第二多晶硅层114的至少一个掺杂多晶硅层沉积在作为第一多晶硅层112的未掺杂多晶硅层上,通常再次通过LPCVD工艺来

完全填充以及过度填充沟槽111。

[0027] 第二多晶硅层114可包含原位掺杂层(用于p型外延层的p+多晶硅作为外延层104和p型基底作为基底102;以及用于n型外延层的n+多晶硅作为外延层104和n型基底作为基底102)或经炉内掺杂,通常沉积到0.8 μm 到1.1 μm 的厚度,并且具有 $5 \times 10^{18}/\text{cm}^3$ 到 $1 \times 10^{20}/\text{cm}^3$ 的掺杂水平。沉积掺杂的多晶硅层以完全填充以及过度填充沟槽。在最终电容器中,第一多晶硅层112通常是压应力层,作为相对高掺杂多晶硅层的第二多晶硅层114通常是拉应力层。

[0028] 可选地,在形成掺杂多晶硅层之后,例如使用炉内掺杂工艺掺杂,第一多晶硅层112和第二多晶硅层114通常从基底102的背面移除,例如使用湿法蚀刻工艺。在背面多晶硅去除后,可沉积介电盖层。图2G所示为产生的处理过程中的沟槽电容,其上的介电盖层如126所示。盖层126通常为60nm至100nm,其可为沉积于约680 $^{\circ}\text{C}$ 下的四乙氧基硅烷(TEOS)衍生的氧化物层,但也可使用其它低应力盖层膜。在沉积盖层126之后,可以执行熔炉退火过程,例如在900 $^{\circ}\text{C}$ 至1050 $^{\circ}\text{C}$ 的温度下,时间范围为10分钟至30分钟。也可以使用快速热退火。此可选附加退火有助于在多晶硅蚀刻之前松弛(减少)晶片翘曲,并且还可以降低ESR,因为第二多晶硅层114扩散到第一多晶硅层112中。

[0029] 所述方面通过工艺循环平衡总应力,特别是对于沟槽多晶硅回路,通过改变沟槽间隙填充膜堆叠至第一多晶硅层112,该第一多晶硅层通常是沟槽底部上的压应力层,103a上的晶片背面薄膜堆叠103b,添加额外的盖层退火以便放松翘曲,这通常会在多晶硅蚀刻之前将300mm晶片的晶片翘曲从约400 μm 减小到小于100 μm ,如以下示例所述。在退火处理之后,移除介电盖层126,然后可选地使用部分正面多晶硅蚀刻(例如蚀刻约总多晶硅层114/112厚度的60%),该蚀刻通常包括铺盖式干蚀刻。多晶硅部分刻蚀可以降低单元和刻线区薄膜台阶高度,并且方便后续光刻工艺。在图2H中示出了在介电盖层126移除和部分正面多晶硅蚀刻之后产生的处理过程中的沟槽电容,其中示出了沟槽侧面的第二多晶硅层114的全部厚度被完全移除。

[0030] 如图2I中处理过程中的沟槽电容示出的,创建并图案化覆盖光刻胶层124以便多晶硅层可以被图案化,因为上述部分正面多晶硅蚀刻,所示仅图案化第二多晶硅层114。图2J示出第二多晶硅层114的图案化后的处理过程中的沟槽电容。

[0031] 图2K示出在图案化的多晶硅层和图案化的多晶硅层侧面的介电层120上沉积PMD层121之后的处理过程中的沟槽电容。PMD层121可以包括TEOS衍生的氧化硅层。用于非等离子体沉积工艺的TEOS沉积可包括在约300mTorr的压力和约700 $^{\circ}\text{C}$ 的温度下的LPCVD。然而,也可使用包括沉积的硅氧化物的其它介电层,例如包含有机硅酸盐玻璃(OSG)、低k电介质(即相对于二氧化硅较小的介电常数),掺杂的介电层,例如掺氟石英玻璃(FSG),或SiN层或其变体(例如,SiON)。PMD层121的厚度范围通常为600nm至800nm。

[0032] 图2L示出在PMD层121中形成填充的接触通孔,然后在PMD层121上沉积金属层,然后图案化金属层以在第二多晶硅层114上形成填充通孔122a上的金属123a以接触沟槽电容的顶板,以及填充通孔122b上的金属123b至外延层104以提供与电容器底板的接触之后的处理过程中的沟槽电容。金属层可包含铝铜合金,通常含有0.5%至4%重量的铜。或者,金属层可仅包含铜,在这种情况下,通常执行镶嵌工艺。随后可能会有一个或更多个金属层,然后是钝化处理,以暴露顶部金属层中的焊盘。

[0033] 图3A显示了一个示例性封装设备300,其包括一个示例性同步降压变换器,该变换器包括封装中显示为150'的沟槽电容以及通常还包括集成栅极驱动器的控制器IC 320,以及一些堆叠的垂直场效应晶体管,包括在低侧(LS)垂直场效应晶体管330上的堆叠高侧(HS)垂直场效应晶体管325,这些晶体管全部位于引线框架的晶粒垫350上。图中所示的沟槽电容150'包括提供底板接触的背面金属(BSM)层151,该底板接触是由填充通孔122b上的金属123b为沟槽电容150提供的前侧底板接触的替代。否则,沟槽电容器150'与图1和图2L中所示的沟槽电容150的结构相同。

[0034] 所示为金属夹,包括高侧垂直场效应晶体管325上的高侧夹360和高侧场效应晶体管325和低侧场效应晶体管330之间的低侧夹365。高电流VIN(高侧场效应晶体管325漏极)和电压开关(VSW)连接使用夹式接合技术,该技术通常用实心铜桥代替导线接合连接。与导线接合相比,这种布置大大降低了导通电阻 R_{DS} (ON)和传导损耗,并且通常提供优良的热性能。

[0035] 沟槽电容150位于同一晶粒垫350上的场效应晶体管堆叠和控制器IC 320的侧面。所示的接合线包括从控制器IC 320到耦合到高侧场效应晶体管325和低侧场效应晶体管330的相应栅极的接合垫的接合线337和338。在同步降压变换器,如封装设备300中,场效应晶体管325和330的垂直电流使其成为用于堆叠的理想选择。对于NMOS场效应晶体管,高侧场效应晶体管325源极端位于低侧场效应晶体管330漏极端子的正上方,实际上消除了这些器件之间的电阻和寄生电感,从而实现了更快的切换。此外,低侧场效应晶体管330源极端处于地电位,并且具有可以直接焊接到封装的外露焊盘上的合适BSM层,以实现高效的热传递。

[0036] 图3B示出了一个简化的示例垂直MOSFET 170,其显示为可用于描述的封装器件中的MOSFET的截面描述。虽然显示为平面栅器件,但也可以使用沟槽栅MOSFET。实际功率MOSFET的实际结构通常更复杂,并且包括例如用于栅极或场极板的各种包括沟槽的其他结构。垂直MOSFET 170包括形成于基底105中的P阱177中的N+源极178。

[0037] 显示为D的MOSFET器件170的漏极是从栅极电介质176上的栅极电极175下的中心区域到其上具有BSM层151的晶粒的底部。所示的沟道171在栅极电介质176上的栅极电极175下是水平的,但是与传统的MOSFET相比它更短,并且所示的在BSM层151处的沟道171和漏极触点之间的电流是垂直的。提供的短沟道171意味着低导通电阻,这是功率器件的特性。

[0038] 上述方面克服了集成沟槽电容的高晶片翘曲,高晶片翘曲是由传统沟槽和沟槽间隙填充工艺造成的。沟槽越深,沟槽密度越大,引起的晶片翘曲越高。减少翘曲的传统解决方案是减小沟槽深度和沟槽密度。高密度沟槽电容的关键性能指标是高电容密度。电容密度取决于沟槽深度和沟槽密度。

[0039] 较深的沟槽和较高的沟槽密度可以提高电容密度。所描述的方法包括使用未掺杂和掺杂的多晶硅的应力特性来补偿膜应力,该膜应力可以保持沟槽深度和沟槽密度高,同时减少翘曲。掺杂多晶硅是一个拉应力层,而在沟槽底部的未掺杂多晶硅层是压应力层,它们共同可以平衡晶片翘曲。沉积态未掺杂多晶硅层作为最底层多晶硅层有助于避免工具污染。

[0040] 高密度电容器的另一个关键性能指标是低ESR,其中多晶硅层作为顶板,并且较低

的多晶硅电阻有助于实现低ESR。上述多晶硅蚀刻前的附加退火可以使掺杂多晶硅向未掺杂多晶硅扩散以降低未掺杂多晶硅的电阻,同时也可以降低晶片翘曲。

[0041] 所描述的沟槽电容可以与IC芯片封装在一起作为其输入和输出过滤网络,或者作为离散的高密度电容器。具有所述沟槽电容的半导体晶粒可包括其内的各种元件和/或其上的层,包括势垒层、介电层、器件结构、有源元件和无源元件,这些元件包括源极区、漏极区、位线、基极、发射极、集电极、导电线、导电通孔等。此外,半导体晶粒可以由各种工艺形成,包括双极、绝缘栅双极晶体管(IGBT)、CMOS、BiCMOS和MEMS。

[0042] 在权利要求书的范围内,在所描述的实施例中可以进行修改,并且其他实施例也是可能的。

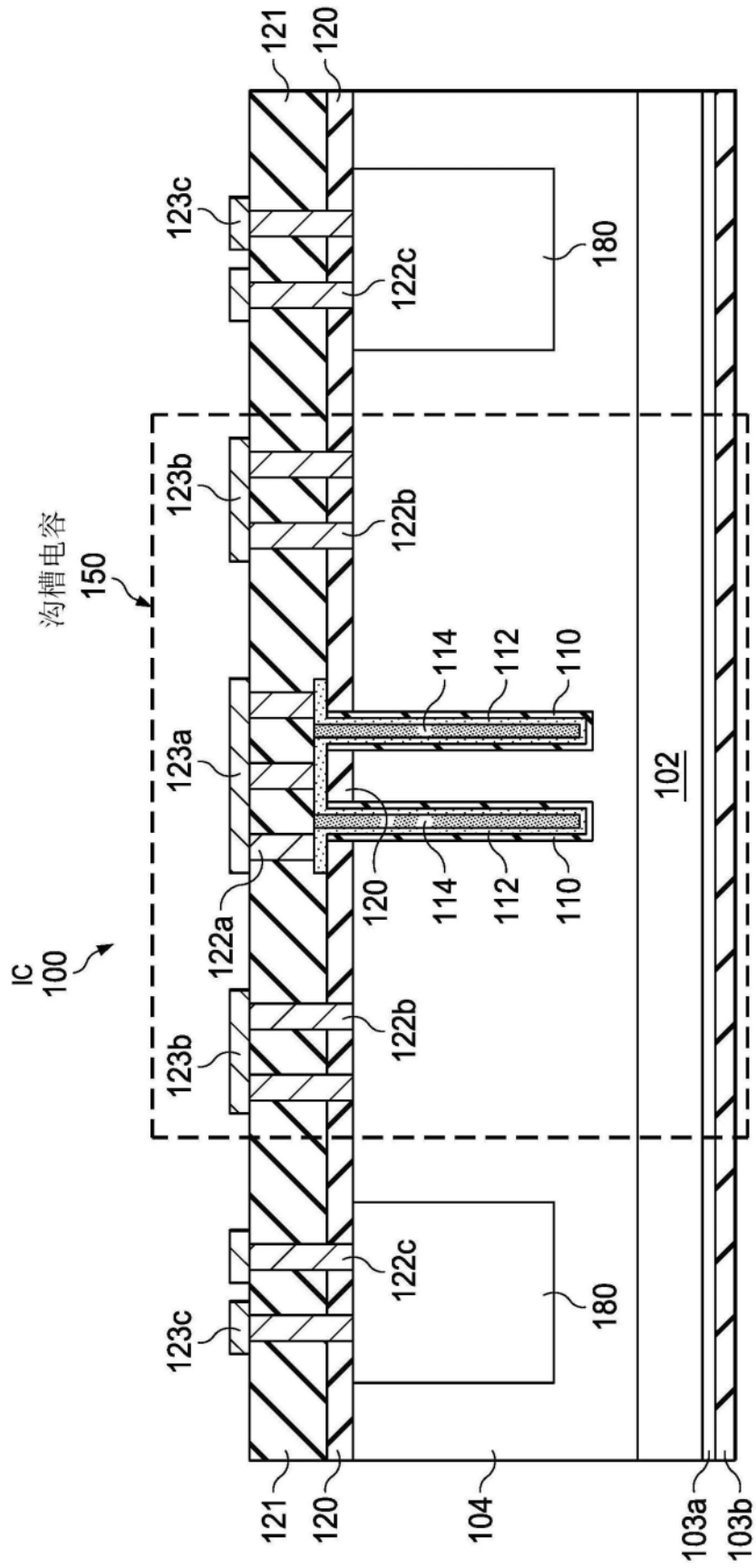


图1

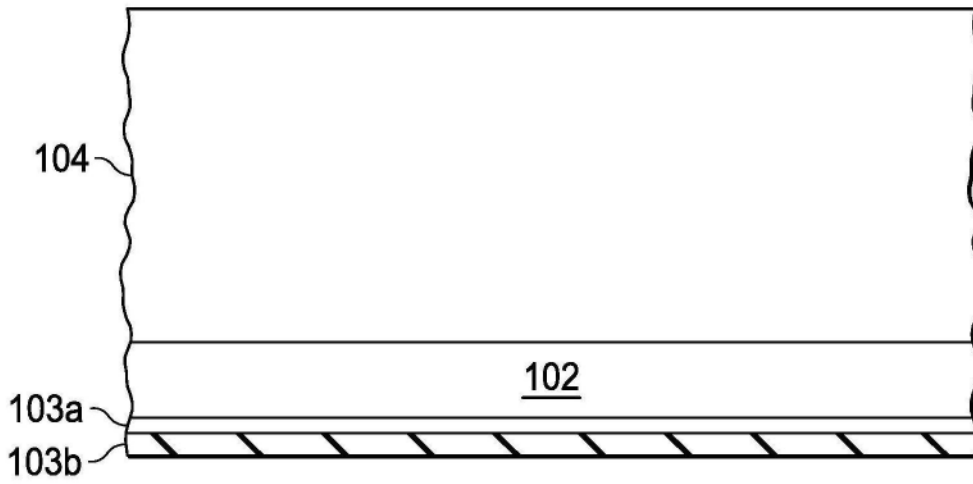


图2A

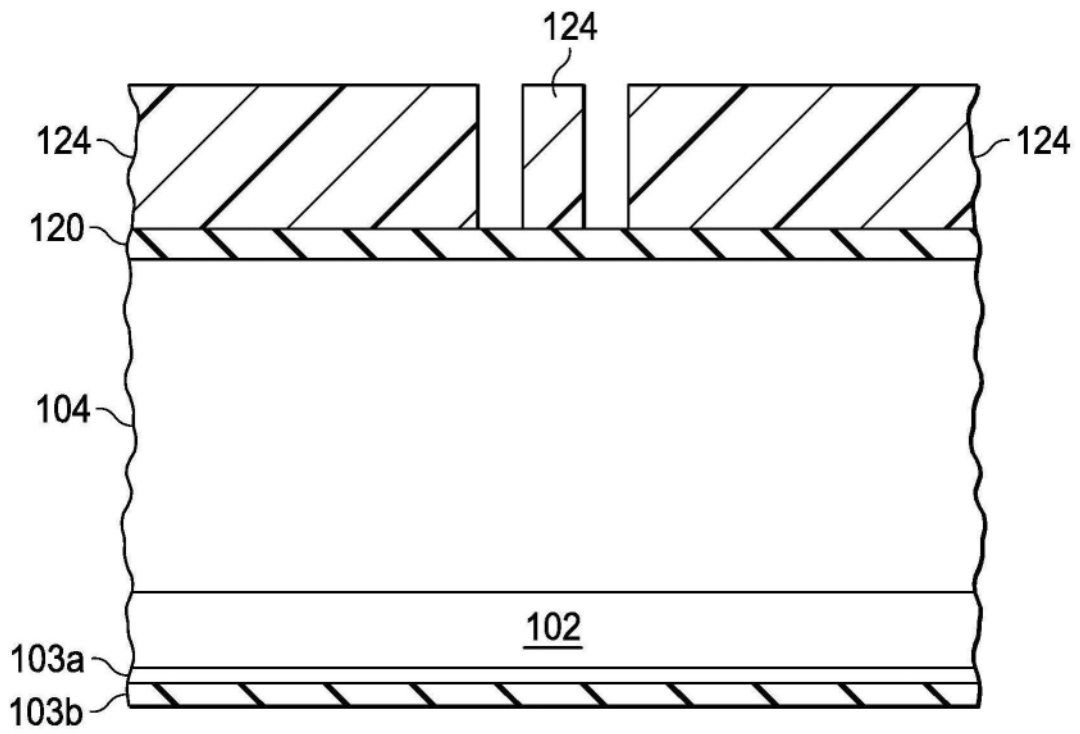


图2B

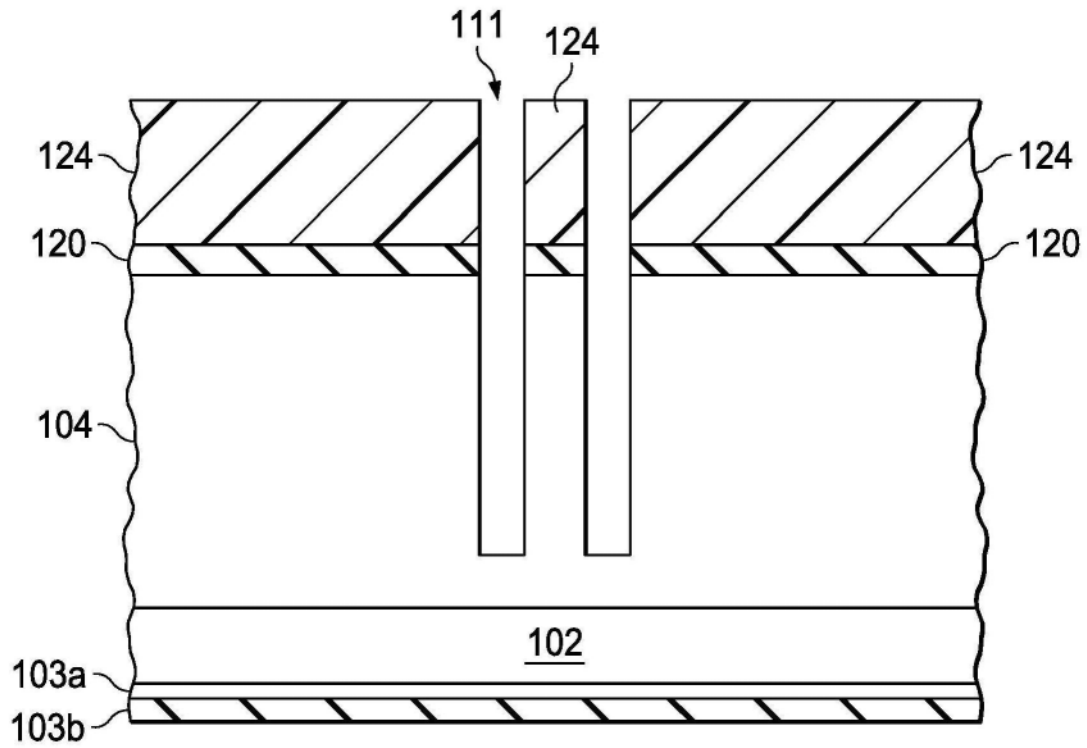


图2C

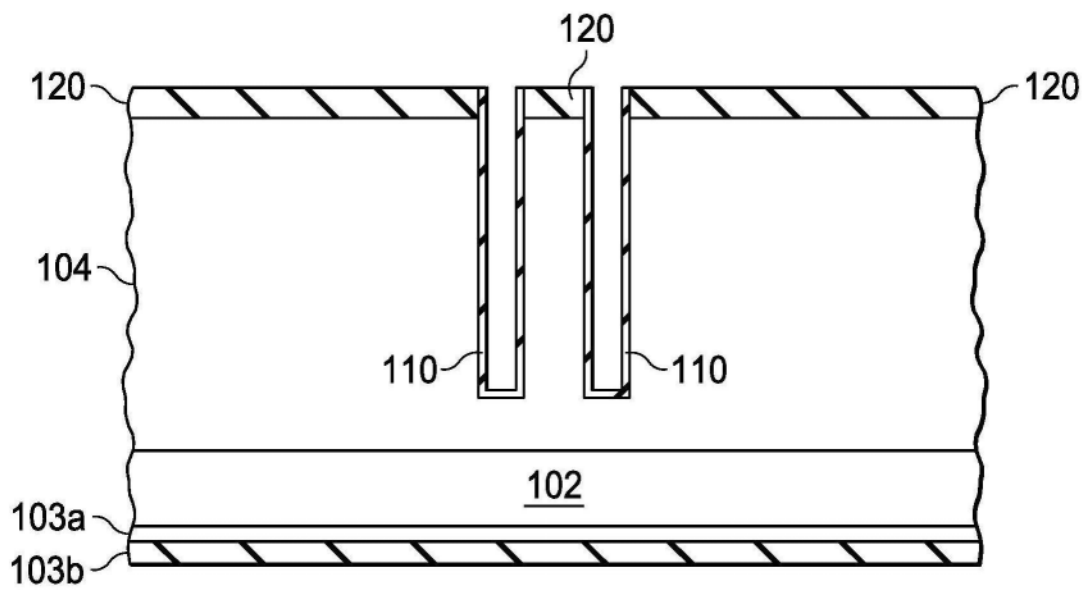


图2D

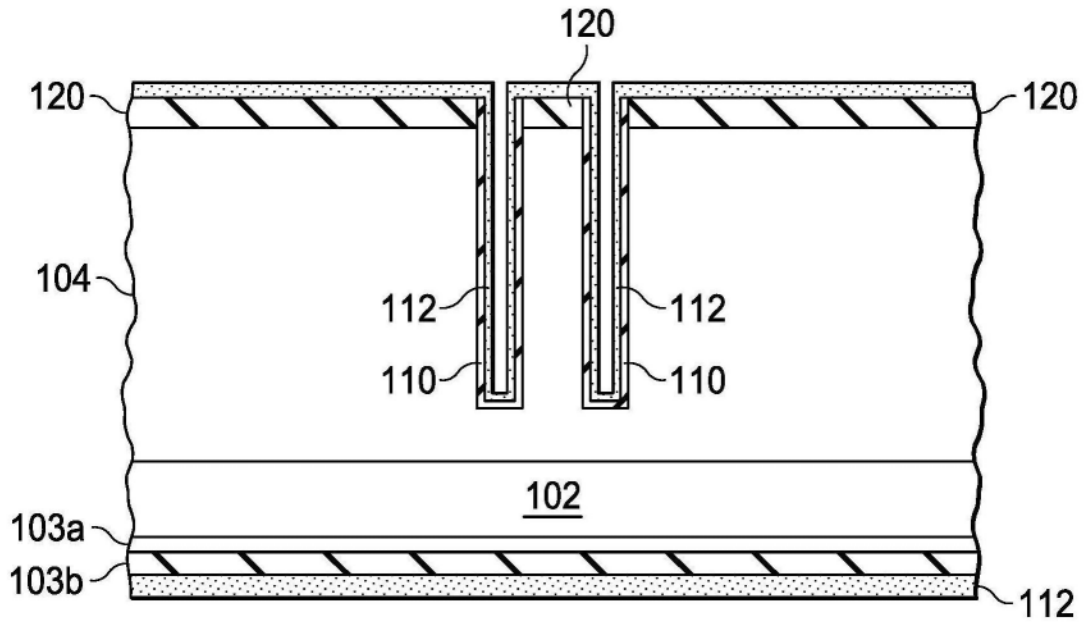


图2E

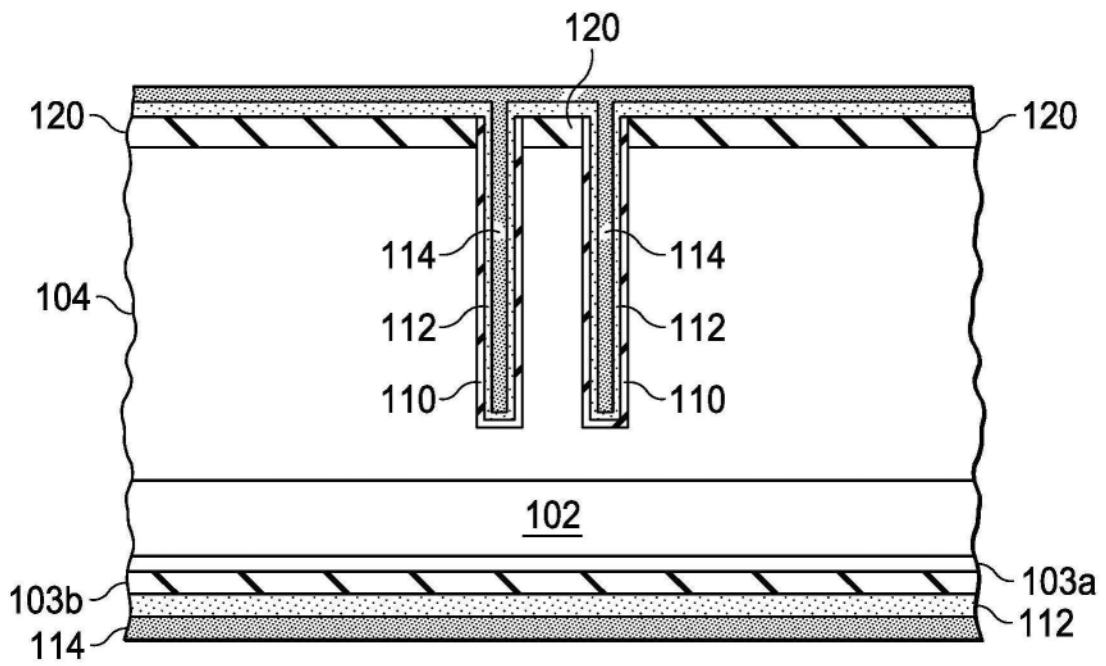


图2F

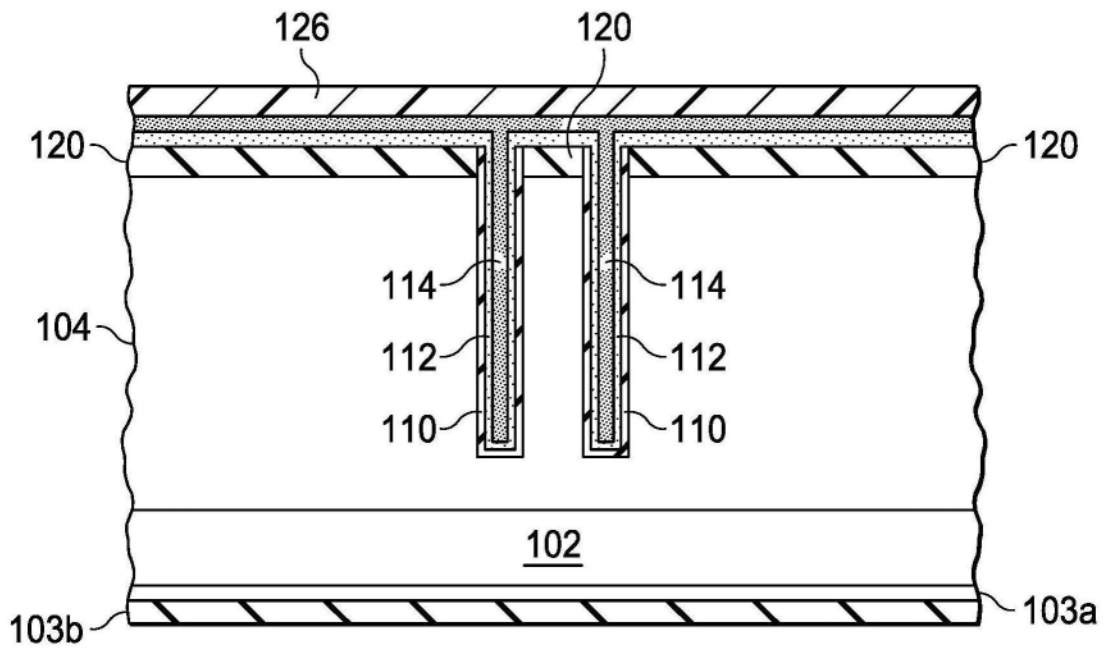


图2G

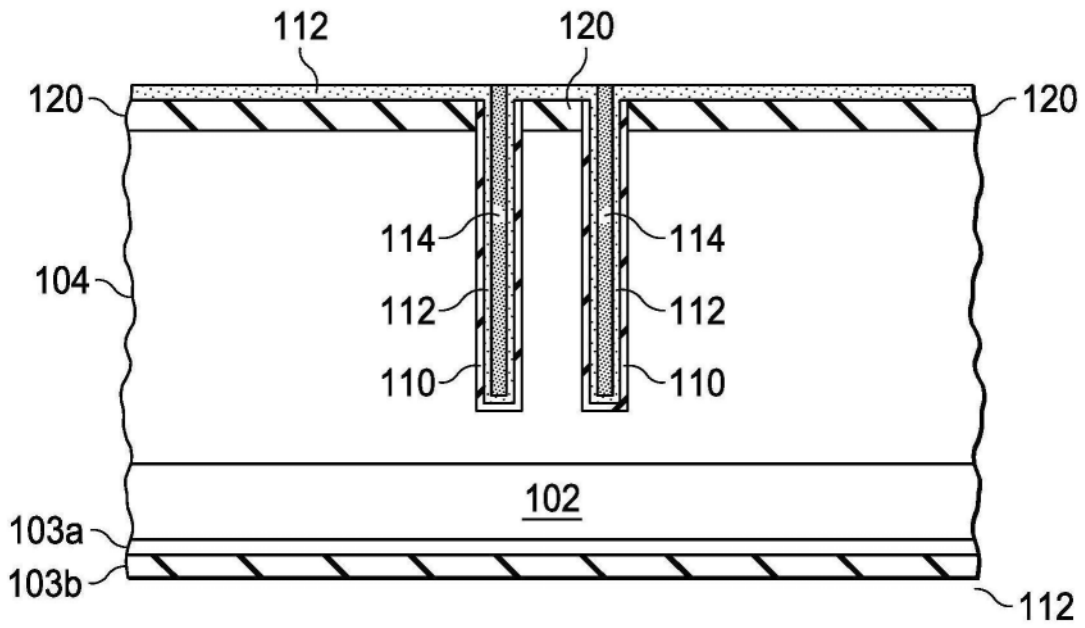


图2H

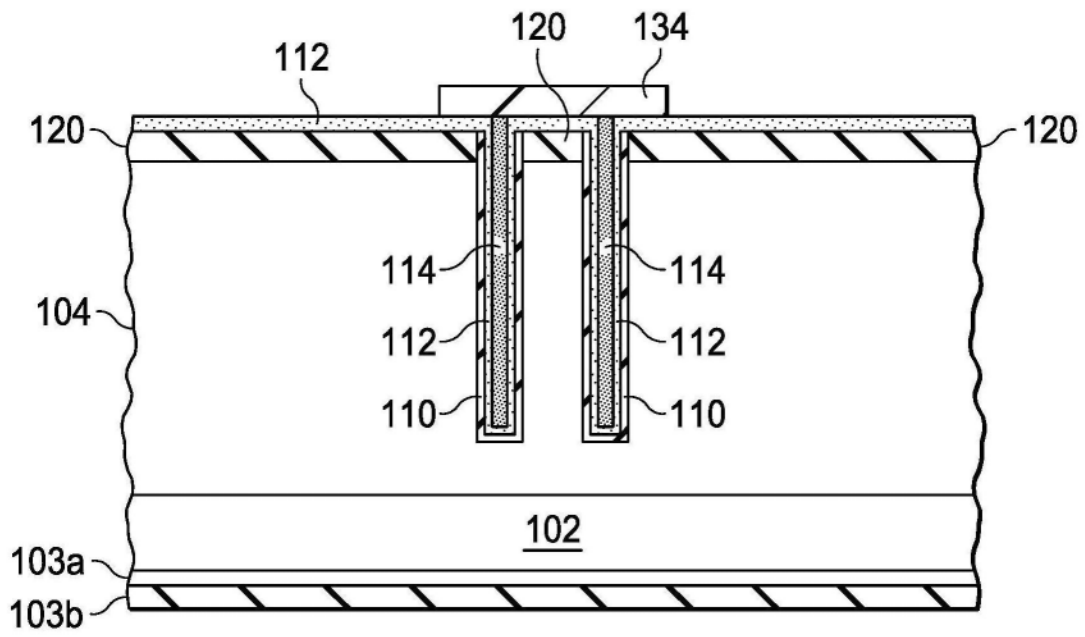


图2I

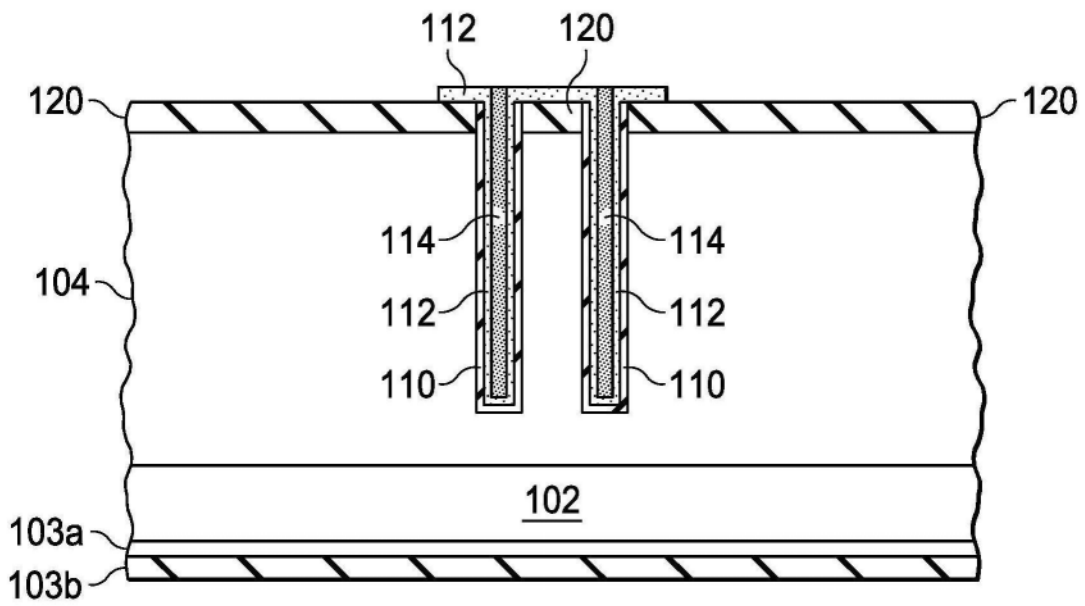


图2J

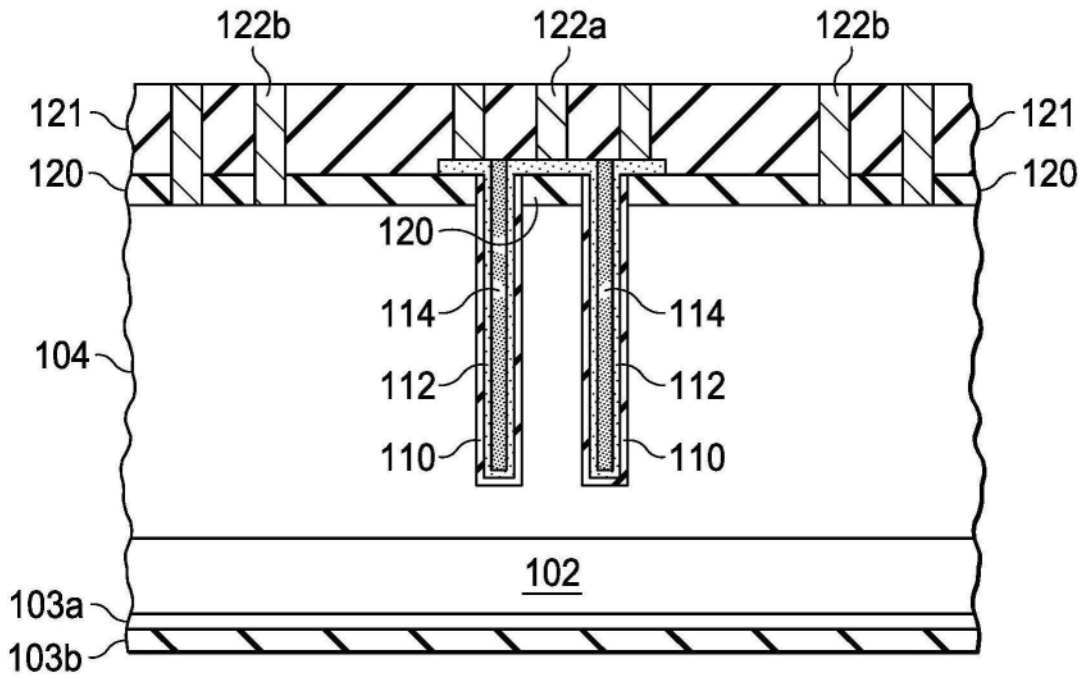


图2K

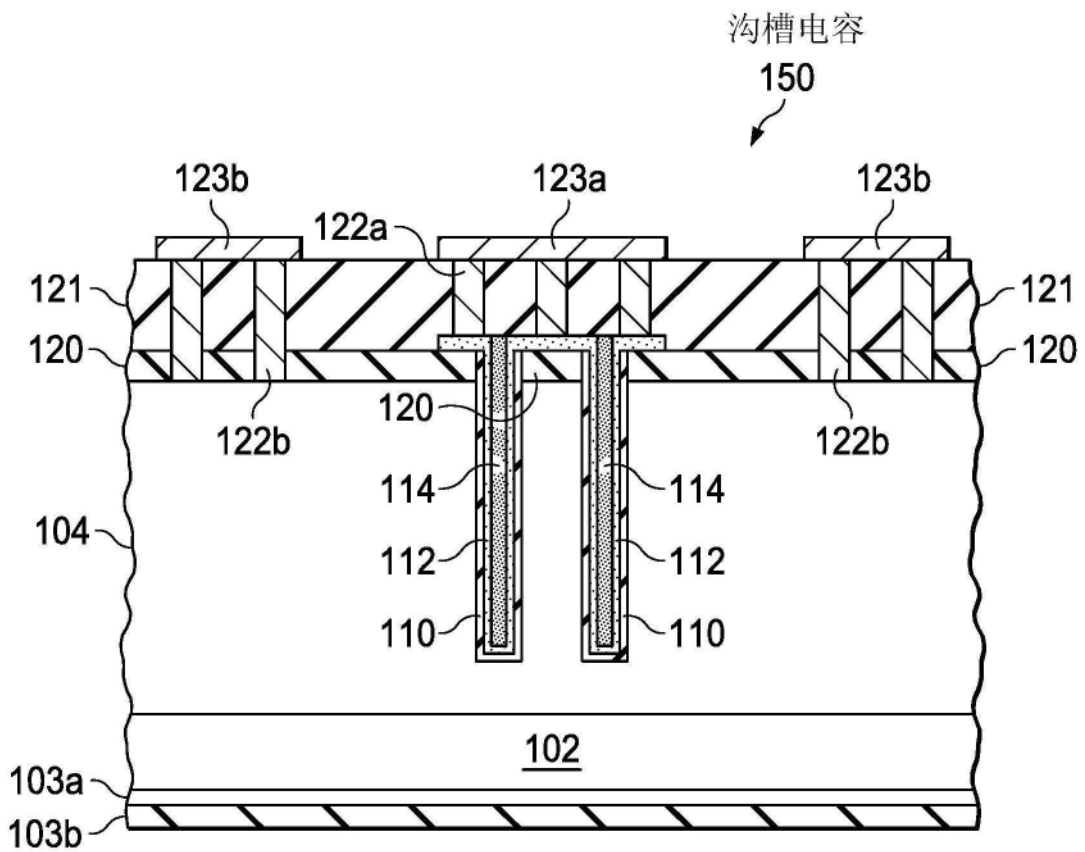


图2L

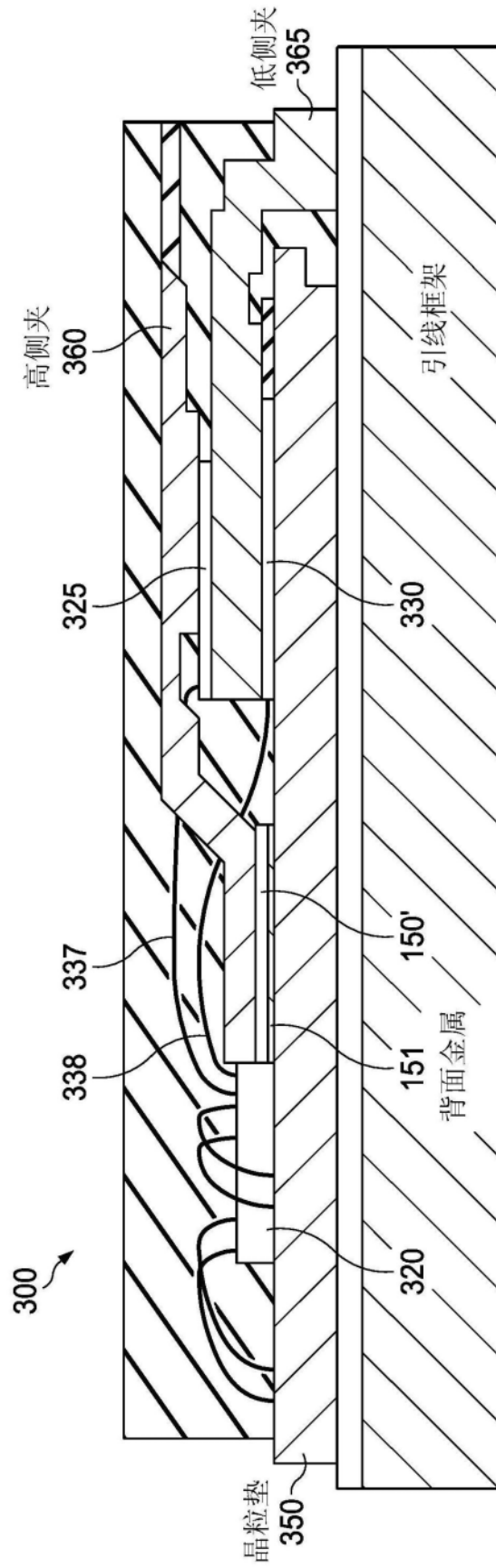


图3A

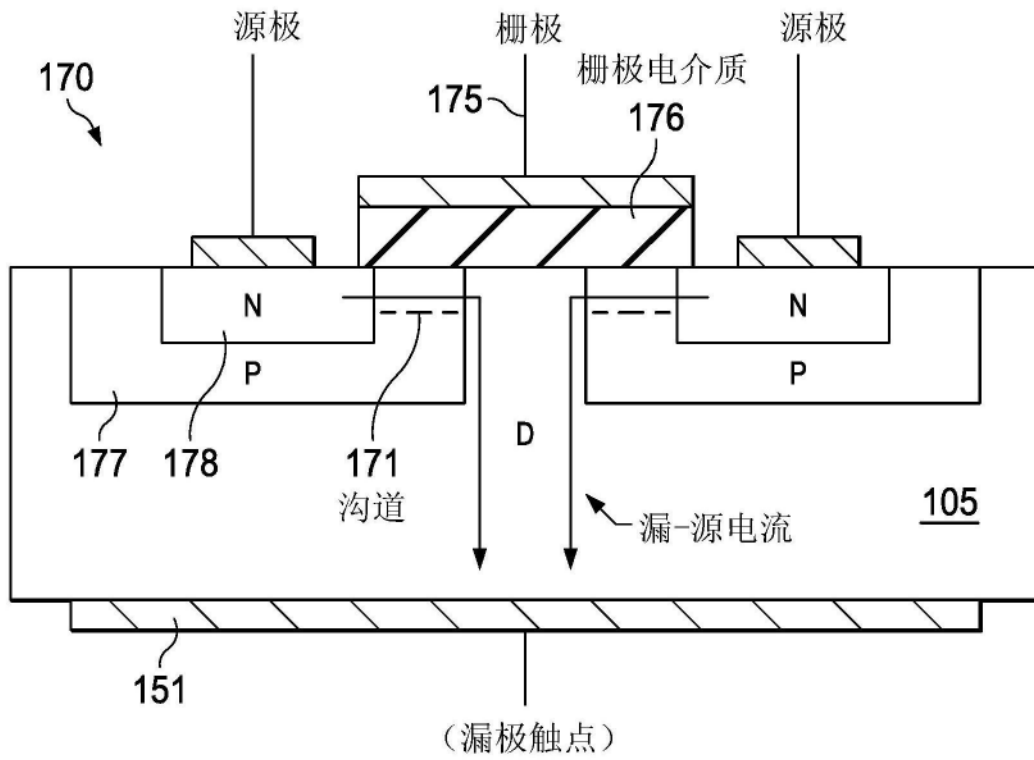


图3B