

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5951993号
(P5951993)

(45) 発行日 平成28年7月13日(2016.7.13)

(24) 登録日 平成28年6月17日(2016.6.17)

(51) Int.Cl.

F I

H O 1 L 33/26 (2010.01)

H O 1 L 33/00 1 8 0

請求項の数 11 (全 19 頁)

(21) 出願番号 特願2011-535002 (P2011-535002)
 (86) (22) 出願日 平成21年10月12日(2009.10.12)
 (65) 公表番号 特表2012-508458 (P2012-508458A)
 (43) 公表日 平成24年4月5日(2012.4.5)
 (86) 国際出願番号 PCT/DE2009/001415
 (87) 国際公開番号 W02010/051786
 (87) 国際公開日 平成22年5月14日(2010.5.14)
 審査請求日 平成24年7月9日(2012.7.9)
 審判番号 不服2014-20960 (P2014-20960/J1)
 審判請求日 平成26年10月16日(2014.10.16)
 (31) 優先権主張番号 102008056371.4
 (32) 優先日 平成20年11月7日(2008.11.7)
 (33) 優先権主張国 ドイツ(DE)

(73) 特許権者 599133716
 オスラム オプト セミコンダクターズ
 ゲゼルシャフト ミット ベシュレンクテ
 ル ハフツング
 Osram Opto Semicond
 uctors GmbH
 ドイツ連邦共和国、93055 レーゲン
 スブルグ、ライプニッツシュトラッセ 4
 Leibnizstrasse 4, D
 -93055 Regensburg,
 Germany
 (74) 代理人 100105050
 弁理士 鷲田 公一

最終頁に続く

(54) 【発明の名称】 オプトエレクトロニクス半導体チップを製造する方法

(57) 【特許請求の範囲】

【請求項 1】

オプトエレクトロニクス半導体チップを製造する方法であって、

A) 少なくとも1種類のドーパントおよび少なくとも1種類の共ドーパントを有する結合複合体を備えている少なくとも1層のドーパされた機能層(7)、を有する半導体積層体(200)、を形成するステップであって、前記ドーパントおよび前記共ドーパントのうち選択される一方が電子受容体であり、他方が電子供与体であり、前記少なくとも1層のドーパされた機能層(7)は2層のさらなる機能層の間に配置されている埋め込み層である、ステップと、

B) エネルギーを導入することにより前記結合複合体を切り離すことによって、前記ドーパントを活性化するステップであって、前記共ドーパントの少なくとも一部分が前記半導体積層体(200)内にとどまり、少なくとも一部分が前記ドーパントとの結合複合体を形成せず、マイクロ波放射またはテラヘルツ放射を照射することによって前記エネルギーを導入する、ステップと、
 を含んでいる、方法。

【請求項 2】

- 方法ステップAにおいて、ドーパされた前記機能層(7)が2層のさらなる機能層(2, 8)の間に配置されているように、前記半導体積層体(200)を形成する、
 請求項1に記載の方法。

【請求項 3】

10

20

- 方法ステップ A において、前記半導体積層体 (2 0 0) をウェハアセンブリにおいて完成させ、その後に個片化する、
請求項 1 または 2 に記載の方法。

【請求項 4】

- 前記ドーパントがマグネシウムを備えており、前記共ドーパントが水素を備えている、
請求項 1 ~ 3 のいずれか 1 項に記載の方法。

【請求項 5】

- 方法ステップ B において、ドーブされた前記機能層 (7) において電流を発生させることによって前記エネルギーを導入する、
請求項 1 ~ 4 のいずれか 1 項に記載の方法。

【請求項 6】

- 前記電流が誘導によって無接触式に生成される、
請求項 5 に記載の方法。

【請求項 7】

- 少なくとも 1 層のドーブされた前記機能層 (7) を外部の電流源 (1 2) に電氣的に接続することによって、前記電流を発生させる、
請求項 5 に記載の方法。

【請求項 8】

- 前記電流の発生に加えて、熱エネルギー (1 3) を供給する、
請求項 5 ~ 7 のいずれか 1 項に記載の方法。

【請求項 9】

- 前記熱エネルギー (1 3) の少なくとも一部分が前記電流によって供給される、
請求項 8 に記載の方法。

【請求項 10】

- 前記電磁放射 (1 5) の少なくとも一部分が、ドーブされた前記機能層 (7) の吸収波長に共鳴する、
請求項 1 ~ 9 のいずれか 1 項に記載の方法。

【請求項 11】

- 前記電磁放射 (1 5) の少なくとも一部分が、ドーブされた前記機能層 (7) の吸収波長に共鳴しない、
請求項 1 ~ 9 のいずれか 1 項に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

オプトエレクトロニクス半導体チップを製造する方法と、オプトエレクトロニクス半導体チップとを開示する。

【背景技術】

【0002】

半導体チップ中の半導体層として、ドーブ濃度が高いと同時に結晶品質も良好である層を製造するとき、多くの材料、特に、広帯域半導体 (wide-band semiconductor) の場合、実際のドーピングに加えて第 2 の材料による共ドーピングが必要とされる。一例として、高濃度の p 型ドーピングが求められる場合、高い電荷キャリア濃度 (すなわち高い正孔濃度) を発生させる目的で、電子受容体材料を導入する。これと同時に、結晶品質の劣化を防止する目的で、共ドーピングとして電子供与体材料をさらに導入するが、その結果として、少なくとも部分的に結晶の電氣的中性が再確立される。このように、共ドーピングは望ましくないことがあるが、製造方法において必要である。しかしながら、上記の例に従ってこのように層を p 型にドーブすると同時に n 型にドーブする場合、この共ドーピングの結果として、低濃度の p 型ドーピング、あるいは本来の電荷キャリア濃度が得られるにすぎず、場合によっては n 型ドーピングとなる。上記の例において求められる高い p 型

10

20

30

40

50

導電性となるように正孔濃度を高めるためには、共ドーパントの補償効果を再び打ち消さなければならず、これを、いわゆる導電性（この例ではp型導電性）の活性化、またはドーパントの活性化と称する。

【0003】

このような共ドーパされる半導体材料の電氣的活性化は、通常、純粋に熱的なアニールステップの形で活性化によって達成される。この場合、共ドーパントがドーパントよりも揮発しやすいことと、ドーパされる半導体層から共ドーパントを特定の程度または完全に（すなわち、例えば0.001%～100%）熱アニールステップによって追い出すことができることが要求される。この方法は、例えば、GaNベースの発光ダイオード（LED）のp側を活性化するのに必要である。この活性化のための確立されている方法の例として、特に、特定の雰囲気下でのいわゆるRTP（「急速熱処理」）工程に基づく方法がある。従来の活性化工程は、RTP工程の形でウェハアセンブリ（wafer assemblage）における700～1000の低い温度において行う、あるいは、管状炉において異なるガス混合物を使用し、ずっと長い時間をかけて、ウェハアセンブリにける500～600の低い温度で行う。

10

【0004】

しかしながら、ドーパされる半導体材料からの共ドーパントの拡散が何らかの理由で阻止されると（例えばp型ドーパ層がいわゆる埋め込み層（buried p-doped layer）である場合）、これらの公知の方法は十分には機能しない。この場合、共ドーパされるp型層が、露出しており（すなわち結晶の表面付近に位置しており）、上述した従来の方法が機能する場合と、1層または複数の層（特にn型ドーパ層）の下に埋め込まれている場合とでは、達成可能な活性化の程度に大きな違いがある。埋め込まれているp型ドーパ層は、公知の活性化方法では、わずかに活性化できるのみである、あるいはまったく活性化できない。これにより、部品（例えばLED）の測定される動作電圧が大幅に上昇する。

20

【先行技術文献】

【非特許文献】

【0005】

【非特許文献1】I. Schnitzer et al., Appl. Phys. Lett. 63 (16), 18 October 1993, 2174-2176

【非特許文献2】Zvanut et al., APL 95, 1884 (2004)

30

【非特許文献3】Neugebauer and van de Walle, PRL 75, 4452 (1995)

【非特許文献4】Van de Walle, Phys. Rev. B 56, 10020 (1997)

【非特許文献5】Kaschner et al., APL 74, 328 (1999)

【非特許文献6】Harima et al., APL 75, 1383, (1999)

【非特許文献7】Cusco et al., APL 84, 897 (2004)

【発明の概要】

【0006】

少なくとも一実施形態の1つの目的は、少なくとも1層のドーパされた機能層（doped functional layer）を有するオプトエレクトロニクス半導体チップを製造する方法を開示することである。少なくとも1つのさらなる実施形態の1つの目的は、オプトエレクトロニクス半導体チップを開示することである。

40

【0007】

これらの目的は、独立請求項における方法および半導体チップによって達成される。本方法および本半導体チップの有利な実施形態および発展形態は、従属請求項に記載されており、以下の説明および図面から、さらに明らかになるであろう。

【0008】

少なくとも一実施形態によると、オプトエレクトロニクス半導体チップを製造する方法は、特に、以下のステップ、すなわち、

A) 少なくとも1種類のドーパントおよび少なくとも1種類の共ドーパントを有する結合複合体（bonding complex）を備えている少なくとも1層のドーパされた機能層、を有

50

する半導体積層体、を形成するステップであって、ドーパントおよび共ドーパントのうち選択される一方が電子受容体であり、他方が電子供与体である、ステップと、

B) エネルギーを導入することにより結合複合体を切り離すことによって、ドーパントを活性化するステップであって、共ドーパントの少なくとも一部分が半導体積層体内にとどまり、少なくとも一部分がドーパントとの結合複合体を形成しない、ステップと、を含んでいる。

【0009】

少なくとも1つのさらなる実施形態によると、本オプトエレクトロニクス半導体チップは、特に、ドーパントおよび共ドーパントを有する少なくとも1層のドーパされた機能層を有する半導体積層体、を備えており、半導体積層体が、格子構造を有する半導体材料を備えており、ドーパントおよび共ドーパントのうち選択される一方が電子受容体であり、他方が電子供与体であり、共ドーパントが、半導体材料に結合している、もしくは、格子間位置に配置されている、またはその両方であり、共ドーパントの少なくとも一部分が、ドーパントとの結合複合体を形成していない。

【0010】

以下に説明する実施形態、特徴、およびその組合せは、特に明記しない限りは、オプトエレクトロニクス半導体チップと、オプトエレクトロニクス半導体チップの製造方法のいずれにも等しく関連する。

【0011】

1つの層または1つの要素が別の層または別の要素の「上」または「上方」に配置または形成されているという表現は、本文書においては、その1つの層または1つの要素が、その別の層またはその別の要素の上に、直接的な機械的接触もしくは電気的接触、またはその両方の状態で直接的に配置されていることを意味する。さらには、その1つの層または1つの要素が、その別の層またはその別の要素の上または上方に間接的に配置されていることも意味する。この場合、その1つの層とその別の層との間、またはその1つの要素とその別の要素との間に、さらなる層もしくはさらなる要素またはその両方が配置されていてもよい。

【0012】

1つの層または1つの要素が別の2つの層または2つの要素の「間に」配置されているという表現は、本文書においては、その1つの層または1つの要素が、その別の2つの層または2つの要素の一方と、直接的な機械的接触もしくは電気的接触またはその両方の状態に配置されている、または、間接的な接触の状態にあり、かつ、その別の2つの層または2つの要素のもう一方と、直接的な機械的接触もしくは電気的接触またはその両方の状態に配置されている、または、間接的な接触の状態にあることを意味する。このとき、間接的な接触の状態にある場合、その1つの層とその別の2層の少なくとも一方との間、またはその1つの要素とその別の2つの要素の少なくとも一方との間に、さらなる層もしくはさらなる要素またはその両方が配置されていてもよい。

【0013】

この場合、用語「ドーパされた機能層」は、上述した意味において、ドーパントおよび共ドーパントを有する層を意味する。

【0014】

方法ステップBにおいて特定の領域を対象としてエネルギーを入力することによって、ドーパされる機能層における結合複合体（例えば、ドーパントと共ドーパントとの間の原子結合の形で存在する、または、ドーパントと、共ドーパントと、ドーパされる機能層の半導体材料との間の結合複合体の形で存在する）を、実際のドーパントのドーピング特性に対する共ドーパントの補償効果を打ち消すことができる程度まで、操作することができる。本文書に記載した方法は、適切な工程条件下において、従来する方法と比較して、これらの破壊原子価や結合複合体の直接的な再確立を回避することを可能にする。具体的には、共ドーパントが、半導体積層体のドーパされる機能層または別の層の半導体材料の結晶格子内で、異なる位置に（すなわちドーパントとではなく）結合する、または格子間に配置

10

20

30

40

50

され、共ドーパントがもはやドーパントに対する補償効果を持つことができない状態を達成することができる。結果として、ドーパされる機能層から、または半導体積層体から共ドーパントを追い出す必要なしに、ドーパントによって導入される自由な（すなわち補償されない）電荷キャリアの数が増大する。このようにすることで高い導電性を達成できるため、活性化されるオプトエレクトロニクス半導体チップの動作電圧も下がる。

【0015】

共ドーパントの少なくとも一部分がドーパントとの結合複合体を形成しないという表現は、本文書においては、特に、ドーパされた機能層の中に、ドーパントの一部分との結合複合体を形成していない共ドーパントの少なくとも一部分が存在し、したがって、ドーパントのその部分は、ドーパされる機能層における自由電荷キャリアの密度を増大させることに貢献できることを意味する。この場合、用語「自由電荷キャリア」は、p型ドーパ層における、特に正孔（すなわち、電子が存在せず、p導電型半導体の導電性に重大に貢献する位置）と、n型ドーパ層における電子の両方を意味する。

10

【0016】

本オプトエレクトロニクス半導体チップは、特に、発光ダイオード（LED）として、またはレーザダイオードとして製造または具体化することができ、電磁放射を放出するのに適している活性領域を有する少なくとも1層の活性層を有する。本文書において、「光」または「電磁放射」は、いずれも、特に、200nm以上2000nm以下、赤外波長範囲から紫外波長範囲までの少なくとも1つの波長または1つの波長範囲を有する電磁放射を意味する。この場合、光または電磁放射は、約350nm～約1000nmの範囲内の1つまたは複数の波長を有する可視（すなわち近赤外～青色）の波長範囲を有することができる。

20

【0017】

半導体チップは、活性層における活性領域として、例えば、pn接合、ダブルヘテロ構造、単一量子井戸構造（SQW構造）、または多重量子井戸構造（MQW構造）を有することができる。本出願においては、量子井戸構造という表現は、特に、閉じ込めの結果として電荷キャリアにおいてエネルギー状態の量子化が起こる任意の構造を包含する。特に、量子井戸構造という表現は、量子化の次元について何らかの指定を行うものではない。したがって、量子井戸構造には、特に、量子井戸、量子細線、および量子ドットと、これらの構造の任意の組合せとが含まれる。半導体積層体は、活性領域を有する活性層に加えて、さらなる機能層および機能領域を備えていることができ、これらの層・領域は、p型/n型にドーパされた電荷キャリア輸送層（すなわち電子輸送層および正孔輸送層）と、p型/n型/アンドープの閉じ込め層、クラッド層、および導波層のほか、バリア層、平坦化層、バッファ層、保護層、および電極と、これらの層の組合せ、から選択される。この場合、各電極は、Ag、Au、Sn、Ti、Pt、Pd、Cr、Al、Niのうちの1つ以上を備えている1層または複数層の金属層、もしくは、透明導電性酸化物（例えば、酸化亜鉛、酸化スズ、酸化カドミウム、酸化チタン、酸化インジウム、インジウムスズ酸化物（ITO））を備えている1層または複数層の層、またはその両方、を備えていることができる。さらには、追加の層（例えば、バッファ層、バリア層、保護層）は、半導体積層体の配置方向に対して垂直に、例えば半導体積層体の周囲に（すなわち例えば半導体積層体の側面上に）配置することもできる。

30

40

【0018】

半導体積層体または半導体チップは、エピタキシャル積層体として（すなわちエピタキシャル成長させる半導体積層体として）具体化することができる。この場合、半導体チップまたは半導体積層体は、特に、窒化物系半導体として具体化することができる。窒化物系半導体という用語は、すべての窒化物化合物半導体材料を包含する。これには、窒素と第III族の元素を備えている二元化合物、三元化合物、四元化合物からなる半導体構造が含まれる。このような材料の例は、BN、AlGaN、GaN、InAlGaN、またはさらなるIII-V族化合物である。この意味において、半導体積層体また半導体チップは、InAlGaNをベースとして具体化することができる。InAlGaNをベース

50

とする半導体チップおよび半導体積層体としては、特に、エピタキシャル形成される半導体積層体が、さまざまな個々の層からなる積層体を有し、この積層体が、一般的には、 III-V 族化合物半導体材料系 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 < x < 1$, $0 < y < 1$, $x + y < 1$) の材料を備えている少なくとも1層を含んでいるものが挙げられる。 InGaAlN をベースとする少なくとも1層の活性層を備えている半導体積層体は、例えば、紫外線から緑色または黄緑色の波長範囲内の電磁放射を好適に放出することができる。

【0019】

さらには、半導体積層体は、例えば AlGaAs をベースとして具体化することができる。 AlGaAs をベースとする半導体チップおよび半導体積層体としては、特に、エピタキシャル形成される半導体積層体が、さまざまな個々の層からなる積層体を有し、この積層体が、 III-V 族化合物半導体材料系 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0 < x < 1$) の材料を備えている少なくとも1層を含んでいるものが挙げられる。特に、 AlGaAs をベースとする材料を備えている活性層は、赤色から赤外線の波長範囲内の1つまたは複数のスペクトル成分を有する電磁放射を放出するのに適している。さらには、このような材料は、上記の元素に加えて、または代わりに、 In もしくは P またはその両方を備えていることができる。

【0020】

これに代えて、またはこれに加えて、半導体積層体は、 InGaAlP をベースとすることもでき、すなわち、半導体積層体がさまざまな個々の層を有し、そのうちの少なくとも1層が、 III-V 族化合物半導体材料系 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{P}$ ($0 < x < 1$, $0 < y < 1$, $x + y < 1$) の材料を備えている。 InGaAlP をベースとする少なくとも1層の活性層を有する半導体積層体または半導体チップは、例えば、緑色から赤色の波長範囲内の1つまたは複数のスペクトル成分を有する電磁放射を好適に放出することができる。

【0021】

これに代えて、またはこれに加えて、半導体積層体または半導体チップは、 III-V 族化合物半導体材料系に加えて、または代替材料として、 II-VI 族化合物半導体材料系を備えていることもできる。 II-VI 族化合物半導体材料は、 IIA 族または IIB 族の少なくとも1種類の元素（例えば、 Be 、 Mg 、 Ca 、 Sr 、 Cd 、 Zn 、 Sn ）と、 VI 族の元素（例えば、 O 、 S 、 Se 、 Te ）とを備えていることができる。特に、 II-VI 族化合物半導体材料は、 IIA 族または IIB 族の少なくとも1種類の元素と、 VI 族の少なくとも1種類の元素とを備えている、二元化合物、三元化合物、または四元化合物を備えている。このような二元化合物、三元化合物、または四元化合物は、例えば、1種類または複数種類のドーパントおよび追加の構成成分をさらに備えていることができる。一例として、 II-VI 族化合物半導体材料として、 ZnO 、 ZnMgO 、 CdS 、 ZnCdS 、 MgBeO が挙げられる。

【0022】

上に指定した材料は、いずれも、指定した化学式に従った数学的に正確な組成を有する必要はない。むしろ、これらの材料は、1種類または複数のさらなるドーパントと、材料の物理特性を実質的に変化させることのない追加の構成成分とを含んでいることができる。しかしながら、説明を簡潔にする目的で、指定した化学式は、結晶格子の本質的な構成成分のみを含んでおり、これらの構成成分は、その一部分を少量のさらなる物質によって置き換えることができる。

【0023】

半導体積層体は基板をさらに有することができ、この基板上に、上述した III-V 族化合物半導体材料系または II-VI 族化合物半導体材料系を堆積させる。この場合、基板は、半導体材料、例えば上述した化合物半導体材料系を備えていることができる。一例として、基板は、 GaP 、 GaN 、 SiC 、 Si 、 Ge のうちの1種類または複数種類、あるいはサファイアを備えている、またはこのような材料からなることができる。基板は成長基板として具体化することができ、すなわち、基板上に半導体積層体がエピタキシャ

10

20

30

40

50

ル成長しており、半導体積層体のうち基板から最も遠くに配置されている機能層が、成長方向において最上段に位置する層である。この代替形態として、基板をキャリア基板として具体化することもでき、あらかじめ成長基板上に成長させた半導体積層体を、キャリア基板の上に例えば再結合（rebonding）によって移載し、この場合、半導体積層体のうち成長基板上に成長方向において最上段に位置する層が、再結合の後にはキャリア基板に最も近くに位置するようにする。移載ステップの後、成長基板の一部または全体を除去することができ、したがって、半導体積層体のうち成長基板上に最初に成長させた層を露出させることができる。特に、キャリア基板を備えているオプトエレクトロニクス半導体チップは、薄膜半導体チップとして具体化することができる。

【0024】

10

薄膜半導体チップは、特に、以下の特徴的な形状構造の少なくとも1つによって区別される。

- 放射を発生させるエピタキシャル積層体の第1の主領域（キャリアに面している主領域）に、反射層が堆積または形成されており、この反射層が、エピタキシャル積層体において発生する電磁放射の少なくとも一部分を、エピタキシャル積層体中に反射する。

- エピタキシャル積層体の厚さは、20 μm 以下の範囲、特に10 μm 以下の範囲である。

- エピタキシャル積層体は、少なくとも一領域が混合構造（intermixing structure）である少なくとも1層の半導体層を含んでおり、この混合構造によって、理想的にはエピタキシャル積層体における近似的に光のエルゴード分布につながり、すなわち、この混合構造は、実質的にエルゴード的確率過程である散乱挙動を有する。

20

【0025】

薄膜発光ダイオードチップの基本的な原理は、例えば非特許文献1に記載されており、この点に関するこの文書の開示内容は、参照によって本文書に組み込まれている。

【0026】

方法ステップAにおいては、半導体積層体において、ドーパされた機能層を、例えば単層の形で、または積層型のドーパ機能層の形で、設けることが可能である。さらには、半導体積層体を、半導体チップのうちの部分的に完成した部分として設ける、または形成することができる。すなわち、例えば、半導体積層体は基板（例えば成長基板）を有し、この基板上に複数の機能層が成長しており、ドーパントおよび共ドーパントを有するドーパ機能層が、成長方向において最上段に位置している。あるいは、基板をキャリア基板とすることができ、ドーパ機能層を有する半導体積層体をこの基板の上に移載し、ドーパ機能層が露出するように後から成長基板を除去する。

30

【0027】

さらには、方法ステップAにおいて、複数の機能層を有する半導体積層体を形成することができ、この場合、ドーパントおよび共ドーパントを有するドーパ機能層は、2層のさらなる機能層の間に配置され、したがって、ドーパ機能層は、半導体積層体の最上段に位置する層として形成されない。成長方向においてドーパ機能層の上および下に1層または複数層のさらなる機能層が配置されており、少なくとも、ドーパ機能層に直接隣接している層が、ドーパ機能層とは異なる場合、特に、異なる導電型にドーパされている場合、このドーパ機能層を、本文書においては、いわゆる「埋め込み」層とも称する。

40

【0028】

特に、方法ステップAにおいて、半導体チップをこの時点で完成させることができ、すなわち、方法ステップAの後、半導体積層体は、半導体チップの動作に要求される半導体積層体の機能層すべてをすでに有する。この場合、半導体積層体を、例えばウェハアセンブリの状態として具体化することができる。この場合、このようにして完成させる半導体積層体は、ウェハアセンブリとして形成する、または、方法ステップAを行った時点で、個々の半導体チップに対応する状態に個片化にすることができる。

【0029】

半導体チップまたは半導体積層体は、例えば、p型ドーパ層と、成長方向においてこの

50

p型ドーブ層の後にくるn型ドーブ層との間に、活性領域を有することができ、したがって、成長方向に見たときの極性は、従来の半導体チップ（成長方向にn型ドーブ領域の後にp型ドーブ領域が続いている）と比較して逆である。成長基板またはキャリア基板を有する半導体チップの実施形態に応じて、n型ドーブ層あるいはp型ドーブ層を、埋め込みドーブ機能層として具体化することができる。

【0030】

さらには、埋め込みドーブ機能層は、例えば、少なくとも1層のn型ドーブ（「n型」）トンネル接合層と、少なくとも1層のp型ドーブ（「p型」）トンネル接合層とを有する少なくとも1つのトンネル接合、を有するオプトエレクトロニクス半導体チップにおいて、具体化することができる。この場合、ドーバントおよび共ドーバントを有する少なくとも1層のドーブ機能層を、少なくとも1層のn型ドーブトンネル接合層によって、または少なくとも1層のp型ドーブトンネル接合層によって、形成することができる。この場合、活性領域を有する活性層を、基板から遠ざかる方向において半導体積層体中のトンネル接合の下流に配置することができる。この場合、少なくとも1層のアンドープ中間層からなるアンドープ領域を、少なくとも1層のn型トンネル接合層と少なくとも1層のp型トンネル接合層との間に配置することができ、したがって、n型トンネル接合層とp型トンネル接合層とが互いに直接隣接せず、少なくとも1層のアンドープ中間層によって互いに隔てられる。この場合、「トンネル接合層」という用語は、半導体積層体または半導体チップの残りの機能層と区別するために使用しており、このように表現されているn型トンネル接合層またはp型トンネル接合層は、トンネル接合部に配置されていることを意味する。

【0031】

n型トンネル接合層とp型トンネル接合層とがアンドープ領域によって互いに隔てられていることによって、相異なる電荷キャリアが界面において補償される（これは不利である）ことが防止され、この補償は、p型トンネル接合層とn型トンネル接合層とが互いに直接隣接している場合に、電荷キャリアが界面を介して拡散することに起因して生じる。n型トンネル接合層とp型トンネル接合層との間にアンドープ領域を挿入することで、トンネル接合内に電荷キャリア密度の低い領域も形成されるが、それと同時に、1層または複数層のアンドープ中間層の形で挿入されるこのアンドープ領域によって、トンネル接合の電気特性（特に、順方向電圧）が変化する。n型トンネル接合層とp型トンネル接合層とが直接隣接しているならば、その界面の領域では、界面を介しての拡散に起因して電荷キャリアが互いに補償されてしまい、さらに不利である。

【0032】

さらには、半導体積層体または半導体チップは、積層状態に順次成長させた複数の活性層を有する積層型LEDとして具体化することができ、この場合、各活性層は、それぞれ、例えばトンネル接合層と組み合わせて、少なくとも1層のn型ドーブ層と1層のp型ドーブ層との間に配置されている。結果として、積層型LEDとして具体化される半導体積層体は、少なくとも1層の埋め込みドーブ機能層を有する。

【0033】

ここまで説明した半導体積層体または半導体チップの構造、すなわち、通常または逆の極性の形の構造、トンネル接合層を備えた構造、および積層型活性領域を備えた構造は、当業者には公知であり、ここではこれ以上説明しない。これらの構造すべてに共通する点は、埋め込みドーブ機能層として、共ドーバントに対する拡散バリアとして機能する層に隣接しており、ドーバントおよび共ドーバントを有するドーブ機能層を備え得ることである。したがって、このような埋め込みドーブ機能層の場合、例えば上述した従来のRTP法による従来のドーバントの活性化方法は、ほとんど不可能である、またはまったく不可能である。

【0034】

少なくとも高いドーピング強度を達成しようとする場合、p型ドーブ機能層のドーバント（すなわち、少なくとも1種類の適切な電子受容体）は、一般的には、ドーブ機能層の

10

20

30

40

50

半導体材料中に純粋な形で導入することができない。代わりに、ドーパントは、少なくとも1種類のさらなる物質（共ドーパント）との複合体として存在する。このさらなる物質は、しばしば半導体材料における電子供与体の役割を果たし、電子受容体材料（すなわちドーパント）を、その電氣的効果に関して補償する。したがって、特に、ドーブ機能層をp型ドーブ層とすることができ、この場合、ドーパントが電子受容体材料を備えている、または電子受容体材料であり、その一方で、共ドーパントが電子供与体材料を備えている、または電子供与体材料である。方法ステップBによる活性化ステップは、半導体材料内にドーパントの少なくとも一部分の電氣的効果を永久的に形成するのに適している、すなわち、p型導電性を高めるのに適している。

【0035】

10

特に好ましくは、広帯域半導体系（例えば、p型ドーブ機能層の場合には窒化物系化合物半導体）におけるドーパントは、マグネシウムを備えている、またはマグネシウムである。マグネシウムは、一般的には、共ドーパントとしての水素との複合体として半導体材料の中に組み込まれる。方法ステップBによる活性化ステップでは、p型ドーパントとしてのマグネシウムの少なくとも一部分の電氣的効果（水素によって補償される）を形成する。II-VI族化合物半導体系（例えばZnSe）においては、ドーパントは、例えば窒素を備えている、または窒素である。この場合にも、共ドーパントは水素であることが好ましい。

【0036】

あるいは、ドーブ機能層をn型ドーブ層とすることもでき、すなわち、ドーパントが電子供与体材料であり、共ドーパントが電子受容体材料である。この構造は、例えば、半導体材料のバンドギャップが比較的小さい場合、例えば、CdTeあるいはGaAsをベースとする化合物半導体材料の場合に、特に適している。

20

【0037】

本文書に説明する方法は、共ドーパントの追い出しを必要としないため、特に、本質的な理由によって（例えば、ドーブ機能層が上記の意味において埋め込み層であるために）、ドーブ機能層の外に共ドーパントを拡散させることができない場合に適している。したがって、本文書に記載した方法では、はじめて、このような埋め込み層も活性化することが可能になった。例えばGa_{0.5}N_{0.5}、または上に挙げた化合物半導体材料のうちの別の材料をベースとする、上述したPILS（「逆極性LED構造」）および積層型LEDにおいては、このタイプの活性化が不可欠であり、なぜならこれらの場合、RTPに基づく熱処理ステップでは、p型ドーブ機能層（例えばドーパントとしてMg、共ドーパントとして水素を備えている）を、共ドーパントのみが追い出されるように活性化することができないためである。

30

【0038】

共ドーパントとドーパント、あるいは共ドーパントと結晶原子との結合（ドーパントを不動態化する）を、特定の領域を対象にできる限り永久的に切り離すためには、エネルギーを供給して導入することが必要である。この場合、方法ステップBにおいて、ドーブ機能層に電流を発生させることによって、エネルギーを導入することができる。本文書においては、これを、いわゆる「電氣的活性化」とも称する。電氣的活性化においては、少なくともドーブ機能層を外部の電流源に電氣的に接続することができる。さらには、一例として、方法ステップAにおいて半導体積層体が完成した状態に作製されたオプトエレクトロニクス半導体チップを、特定の時間長だけ電氣的に動作させる、すなわち、外部の電流・電圧源に接続することができる。この場合、複数のオプトエレクトロニクス半導体チップまたは半導体積層体を同時に活性化できるように、オプトエレクトロニクス半導体チップが依然としてウェハアセンブリの状態とすることができる。この代替方法として、半導体チップを、方法ステップAにおいてすでに個片化し、したがってウェハアセンブリから切り離された状態とすることができ、したがって、半導体チップは、ウェハアセンブリのさらなる半導体チップとは無関係に個々に活性化することができる。個片化された半導体積層体または個片化されたオプトエレクトロニクス半導体チップに対して電氣的活性化を行う

40

50

方法は、要求される電流密度（後から説明する）に関して有利であり、なぜなら、この方法を、より大きなウェハスライスに拡大することは、技術的に限られた程度しか達成されないためである。

【0039】

この代替方法として、外部の適切なコイル構造による誘導によって、電流を非接触的に発生させることができる。この場合、少なくともドーブ機能層において、またはさらに半導体積層体のさらなる層において、ドーブ機能層の延在面に平行な平面内に、1本または複数の循環電流を、半導体積層体の成長方向に垂直に、したがって半導体チップの動作時に制御される電流方向に垂直に導かれるように、発生させることができる。

【0040】

方法ステップAにおいて、成長基板として例えば電気絶縁性のサファイア基板上に半導体積層体を形成する場合には、この半導体積層体を導電性のキャリア基板上に再結合させ、成長基板を除去した後に、電氣的接続によって電氣的活性化を行うことができる。これに代えて、またはこれに加えて、再結合ステップより前の時点で、誘導によって電氣的活性化を行うことができ、この場合には再結合を省くこともできる。

【0041】

電氣的接続による方法および誘導による方法のいずれも、電氣的活性化中に、必要な動作電圧が最小値まで下がり続けてそれが永久的に維持される状況を観察できる。この場合、発生する電流密度を 50 A/cm^2 以上とすることができ、高い電流密度によって活性化を加速することができる。

【0042】

さらには、特に好ましくは、電流を発生させることに加えて、半導体積層体またはオプトエレクトロニクス半導体チップの温度、少なくともドーブ機能層の温度が上昇するように、熱エネルギーを供給することが可能である。ドーブ機能層の温度は、約 80°C 以上、特に好ましくは 100°C 以上とするべきである。さらには、このような温度の場合、発生させる電流密度を 10 A/cm^2 以上とすることができ、公知の活性化方法と比較すると、本文書に記載した活性化方法の場合における温度は、 400°C 以下、あるいは 300°C 以下とすることができる。温度が高くなるにつれて、活性化をほぼ指数的に加速することができ、これにより、必要な電流密度も同時に下げることができる。例えば約 300°C においては、約1分後には動作電圧が最小値に達して降下が止まることが、測定によって確認された。活性化の時間は、極めて正確に、すなわち、特に長すぎることがないように選択しなければならず、なぜなら、長すぎると半導体積層体のエージングの結果として、発光量がさらに減少し得るためである。しかしながら、特定範囲内のパラメータ値を使用すると、エージングは大幅に遅く始まり、動作電圧レベルが最小値に達するよりもゆっくりと進行する。具体的には、電氣的活性化、およびその代替および追加の活性化工程（後から説明する）のいずれにおいても、活性化を行う時間は、10分以下、特に好ましくは5分以下である。

【0043】

熱エネルギーは、外部の熱源によって、すなわち例えば加熱システムによって、供給することができる。これに代えて、またはこれに加えて、発生する電流自体によってオーミック損失による熱エネルギーを供給することもできる。発生する電流の流れと組み合わせで導入される熱エネルギーによって生じる高い温度が作用する結果として、実際のドーパント（すなわち、例えば上述したマグネシウム）が活性化されるように、共ドーパント（すなわち、例えば上述した水素）を再配置することができる。

【0044】

電流の生成もしくは熱エネルギーの導入、またはその両方に代えて、またはこれらに加えて、方法ステップBにおいて、電磁放射を照射することによってエネルギーを導入することができる。本文書においては、これを、「電磁活性化（electromagnetic activation）」とも称する。電磁活性化とは、方法ステップAにおいて形成される半導体積層体に、ドーブ機能層もしくは半導体積層体のさらなる層またはその両方の吸収波長または吸収帯に共

10

20

30

40

50

鳴するまたは共鳴しない電磁放射を照射することを意味する。

【 0 0 4 5 】

電磁放射を照射する結果として、例えば、追加の電荷キャリアを発生させることが可能であり、この電荷キャリアにより、上述した電氣的活性化と連携して、より大きな誘導電流を発生させることができる。この方法は、特に、例えばドープ機能層に存在する自由電荷キャリアが本質的に極めて少ない、または存在しないときにも、有利である。さらには、共鳴放射の場合、活性化を行う対象の層において（すなわち、例えばドープ機能層において）、その層のみを対象として電荷キャリアを励起することができる。さらには、電磁活性化のみによってドープ機能層の活性化を行うこともできる。

【 0 0 4 6 】

この場合、照射する電磁放射の周波数によって、電磁活性化のタイプが決まる。マイクロ波放射、すなわち約 1 ミリメートル以上約 1 メートル以下の波長、または約 3 0 0 M H z ~ 約 3 0 0 G H z の周波数を有する電磁放射を使用するときには、活性化は、一般的な半導体材料の場合、一般に非共鳴に起こる。この場合、特に、ロトンもしくはフォノンまたはその両方の励起によって、原子結合にエネルギーを伝達することができる。この場合、ドープ機能層におけるフォノンの一般的な励起エネルギーは数 1 0 m e V であり、ロトンの一般的な励起エネルギーは、1 ~ 数ミリ電子ボルト未満である。この場合、ロトンは、原子および複合体（例えばエキシトン）の固有の回転とを包含する。いわゆるテラヘルツ放射、すなわち 1 0 0 マイクロメートル以上約 1 ミリメートル以下の波長、または約 3 0 0 G H z ~ 約 3 T H z の周波数を有する電磁放射を使用するときは、一般的な半導体材料の場合、一般には格子振動（すなわちフォノン）を直接発生させることのできる共鳴型の活性化（resonant activation）が行われる。

【 0 0 4 7 】

電磁活性化の程度および正否は、工程条件（例えば、周波数、出力、雰囲気、時間、電磁放射を吸収しうる追加のサセプタ）によって決まる。特に、共鳴活性化および非共鳴活性化の組合せによって、電磁活性化を行うこともできる。一例として、p 型 G a N からなる埋め込みドープ機能層の場合、照射する電磁放射の周波数は、1 0 0 ~ 4 0 0 0 ワットの出力において 5 ~ 1 0 G H z の範囲内とすることができる。この場合、放射を導入する時間は、1 0 秒 ~ 1 時間とすることが好ましい。いわゆる「ホットスポット」およびいわゆる「アーク放電」（すなわち、局所的な加熱およびフラッシュオーバー）を回避する目的で、周波数を変化させることもできる。さらには、これに加えて、またはこれに代えて、電磁放射を照射する装置に対して半導体積層体を（あるいは半導体積層体に対して装置を）回転させる、もしくは平行移動させる、またはその両方を行うことができる。

【 0 0 4 8 】

電磁放射による活性化では、さらなる利点として、チップ製造工程（chip cycle）中の任意の段階で 사용할 ことができる。従来の熱的な活性化においては、活性化ステップは、チップ製造工程において必ず最初の工程ステップのひとつであり、なぜなら、上述したように、活性化には一般に極めて高い温度（例えば 7 0 0 以上）が要求されるためである。チップ製造工程における方法ステップ A の中で半導体積層体に形成されていく「後続の構成要素」または「後続の層」の多くは、一般的に、このような高い温度によって損傷を受ける。これに対して、使用する材料（例えば、p 型 G a N からなるドープ機能層）に電磁放射を特定領域を対象に照射する場合、この工程ステップを、工程サイクル中の時間的に後の時点に入れることが可能となり、なぜなら、活性化エネルギーが、「必要とされる」領域（すなわち例えば、活性化する対象であるドーパント - 共ドーパントの結合複合体、またはドーパント - 共ドーパント - 半導体結晶の結合複合体に、高い精度で選択的に、かつ実質的にその領域のみに照射されるように、電磁放射の波動特性を正確に設定できるためである。これによって、設計と、いわゆるチップの流れ（chip flow）において、例えば個々の工程の可能な順序に関する自由度が高まる。さらには、例えばメサエッチングの後に、すなわち、メサが形成される結果としてより大きな結晶領域が露出した（したがって共ドーパントを良好に追い出すことができる）時点において、活性化を行うことによ

10

20

30

40

50

って、活性化の効率を高めることができる。

【0049】

この場合、方法ステップAにおいて形成される半導体積層体またはオプトエレクトロニクス半導体チップは、互いに直接隣接して配置される複数の（すなわち少なくとも2層の）ドーブ機能層、またはさらなる機能層が間に配置されている複数のドーブ機能層を有することもできる。複数のドーブ機能層の活性化は、方法ステップBにおいて同時に行うことができる。この代替方法として、ドーブ機能層のそれぞれを、方法ステップBにおいて、上述した活性化のパラメータをそれぞれ適合させて活性化することができる。

【0050】

共ドーパントの局所的な結合状態の変化は、さまざまな方法で検出することができる。10
具体的な一方法は、例えば非特許文献2に記載されているスピン共鳴であり、この点に関するこの文書の開示内容は、参照によって本文書に組み込まれている。共ドーパントの結合が変化すると、その結合の近傍における対象の電荷キャリアのg因子が変化する。g因子とは、いわゆる磁気回転因子またはいわゆるランデ（Lande）因子を意味する。g因子の変化は、共鳴周波数の変化として現れる。

【0051】

さらには、共ドーパントの結合状態は、結晶格子における特徴的な振動周波数によって直接検出することもできる。したがって、一例として、GaNにおけるMg-H結合およびN-H結合は、結晶格子におけるその位置および結合状態に応じて、2000~4000 20
の範囲内の波数のエネルギーを持つ振動モードを有し、この波数は、例えば非特許文献3、非特許文献4、非特許文献5、非特許文献6、および非特許文献7に記載されているように、ラマン分光法および赤外線（フーリエ）分光法によって検出することができ、この点に関するこれらの文書の開示内容は、参照によって本文書に組み込まれている。

【0052】

本発明のさらなる利点と、有利な実施形態および発展形態は、図1A~図5を参照しながら以下に説明する実施形態から明らかになるであろう。

【図面の簡単な説明】

【0053】

【図1A】複数の異なる例示的な実施形態による、オプトエレクトロニクス半導体チップの製造方法の方法ステップの概略図を示している。 30

【図1B】複数の異なる例示的な実施形態による、オプトエレクトロニクス半導体チップの製造方法の方法ステップの概略図を示している。

【図1C】複数の異なる例示的な実施形態による、オプトエレクトロニクス半導体チップの製造方法の方法ステップの概略図を示している。

【図1D】複数の異なる例示的な実施形態による、オプトエレクトロニクス半導体チップの製造方法の方法ステップの概略図を示している。

【図2】さらなる例示的な実施形態による、オプトエレクトロニクス半導体チップの製造方法の方法ステップの概略図を示している。

【図3】さらなる例示的な実施形態による、オプトエレクトロニクス半導体チップの製造方法の方法ステップの概略図を示している。 40

【図4】さらなる例示的な実施形態による、オプトエレクトロニクス半導体チップの製造方法の方法ステップの概略図を示している。

【図5】動作電圧の測定値を活性化時間の関数として示している。

【発明を実施するための形態】

【0054】

例示的な実施形態および図面において、同一または機能が同じである構成部分には、それぞれ同じ参照数字を付してある。図示した要素と、要素の互いの大きさの関係は、基本的には正しい縮尺ではないものとみなされたい。むしろ、便宜上、もしくは深く理解できるようにする目的で、層、構造的な部分、構成要素、および領域は、誇張した厚さまたは寸法として示してある。 50

【0055】

図1A～図1Dは、オプトエレクトロニクス半導体チップの製造方法の方法ステップAのさまざまな例示的な実施形態を示している。この場合、図1A～図1Dのそれぞれによると、少なくとも、基板1と、ドーパ機能層7と、活性領域8と、さらなる機能層9とを有する半導体積層体100, 200, 300, 400を形成する。電気接続を形成するため、ドーパ機能層7とは反対側の基板1の面と、基板1とは反対側の各半導体積層体100, 200, 300, 400の面とに、電極層10, 11を形成し、これらの電極層10, 11は、発明の概要に記載した1種類または複数種類の金属、もしくは、1種類または複数種類の透明導電性酸化物、またはその両方を備えていることができる。この場合、純粋に一例として、図示した例示的な実施形態の半導体積層体は、窒化物化合物半導体積層体として具体化されている。これに代えて、またはこれに加えて、半導体積層体は、発明の概要に記載したものとは別の化合物半導体材料を備えていることもできる。

10

【0056】

さらに以下の説明では、それぞれ製造する半導体チップにおいて、純粋に一例として、半導体積層体100, 200, 300, 400を完成状態として形成する、すなわち、それぞれの層構造に関して仕上げられた半導体チップに対応する半導体積層体を形成する。この代替方法として、方法ステップAにおいて、少なくともドーパ機能層7を有する、部分的に完成した状態まで半導体積層体を形成することも可能である。さらには、方法ステップAにおいて、半導体積層体を形成し、後から行う個片化ステップの前の依然としてウェハアセンブリの段階とすることができる。

20

【0057】

以下では、純粋に一例として、p型にドーパされるドーパ機能層7と、それに対応してn型導電性またはp型導電性に具体化されるさらなる機能層とについて、説明する。この代替形態として、ドーパ機能層7およびさらなる機能層の極性、またはこれらの層のドーパントおよび共ドーパント（適切な場合）の極性を逆にすることもでき、すなわち、特に、ドーパ機能層7をn型ドーパ層として形成する。

【0058】

図1Aの例示的な実施形態による半導体積層体100の基板1は、成長基板であり、方法ステップAにおいて、この上に上部層7, 8, 9をエピタキシャル成長させる。図1Aおよび以降の図1B～図1Dにおいて、成長の方向は矢印99によって示してある。

30

【0059】

この例示的な実施形態においては、n型導電性の基板が成長基板の役割を果たすことが好ましい。この場合、使用可能なn型導電性の基板は、例えば、n型GaN、n型SiC、n型Si(111)である。しかしながら、非導電性の基板（例えばサファイア）を使用することも可能であり、その場合、層7, 8, 9の側にある基板1の面に電極層10を配置する。

【0060】

機能層9はn型導電層であり、図示した例示的な実施形態においては、シリコンによってドーパされた窒化ガリウム層として具体化する。機能層9の上に活性層8を成長させ、この活性層は、活性領域として、放射を発生させるために設けられる単一量子井戸構造または多重量子井戸構造を有する。活性層8は、好ましくはIII-V族半導体材料系In_yGa_{1-y}N(0<y<1)をベースとしており、交互に配置された光学活性層およびバリア層を有する。活性層8は、紫外線、青色、青緑色、黄色、または赤色のスペクトル範囲の電磁放射を発生させるのに適していることが好ましく、この場合、放出される電磁放射の波長は、活性層8の組成および構造によって設定することができる。活性層におけるインジウム濃度は、10%～60%の範囲内であることが好ましい。

40

【0061】

活性層8の上にドーパ機能層7をエピタキシャル成長させ、このドーパ機能層7は、半導体材料としてのGaNまたはAlGaNと、p型ドーピングのためのドーパントとしてのマグネシウムと、さらに共ドーパントとしての水素とを備えており、共ドーパントは、

50

例えば、結晶成長時にドーパントの導入に起因して欠陥が生じる結果としての半導体材料の結晶品質の劣化を打ち消すことを目的としている。ドーパントと共ドーパントは結合複合体を形成し、その結果として、ドーパントによって実際に生成される自由電荷キャリアが補償され、少なくとも部分的に半導体結晶の電気的中性が再確立される。

【0062】

半導体積層体100の構造は、従来の発光ダイオード(LED)に一致しており、n型導電性の機能層9が基板1と活性層8との間に配置され、p型導電性のドーブ機能層7が成長方向99において活性層8の上に形成され、さらなる機能層(例えばバッファ層、バリア層、拡散バリア層など)(ただし図を簡潔にするため示していない)を有することができる。

10

【0063】

図1Bのさらなる例示的な実施形態による半導体積層体200は、半導体積層体100と比較して極性が逆であり、p導電型にドーブされた機能層7が成長基板1と活性層8との間に形成されており、n型導電性のさらなる機能層9が成長方向99において活性層8の上に形成されている。この場合、層7, 8, 9それぞれの層組成は、前の例示的な実施形態と同じである。

【0064】

さらには、半導体積層体200は、シリコンによってドーブされたGaNからなるn型導電性のさらなる機能層2を有し、この層は、基板1(前の例示的な実施形態と同様にn型導電性の成長基板として具体化されている)と、p導電型にドーブされた機能層7との間にある。p導電型にドーブされた機能層7とn型導電性のさらなる機能層2とを有効に電氣的接続するため、これらの層の間にトンネル接合3が形成されており、このトンネル接合3は、高濃度にドーブされたn型導電性のトンネル接合層4と、拡散バリア層5と、高濃度にドーブされたp型導電性のトンネル接合層6とを有する。この場合、トンネル接合3は、発明の概要に説明したように具体化されており、p型導電性のトンネル接合層6は、p導電型にドーブされた機能層7と同様に、ドーパントとしてのマグネシウムと共ドーパントとしての水素とを備えている。したがって、高濃度にドーブされたp型導電性のトンネル接合層6も、ドーブ機能層7と同様に、本明細書の説明の意味において、活性化対象のドーブ機能層として形成されている。

20

【0065】

図1Aによる例示的な実施形態における半導体積層体100とは異なり、半導体積層体200におけるドーブ機能層6, 7は、さらなる半導体機能層の間に配置された、いわゆる埋め込みドーブ機能層として具体化されている。したがって、半導体積層体200においては、共ドーパントを追い出すことによる公知の活性化方法によって層6および層7を活性化することはできない。

30

【0066】

半導体積層体200は、さらなる機能層(図示していない)として、例えば、基板1と機能層2との間のバッファ層、もしくはドーブ機能層7と活性層8との間の拡散バリア層、またはその両方を有することができる。

【0067】

図1Cは、薄膜半導体チップとして具体化されている半導体積層体300を示しており、この積層体も、同じように、埋め込みドーブ機能層7を有する。この場合、層7, 8, 9は図1Aにおける層7, 8, 9に対応しており、これらの層は、成長基板(例えばサファイアからなる)上に成長させた後、再結合によってキャリア基板1に移載されており、このため、成長方向99はキャリア基板1の方向を指している。成長基板は、再結合の後に除去されている。この半導体積層体300は、さらなる機能層(例えば、キャリア基板1とp導電型にドーブされた機能層7との間の反射層)、もしくは、発明の概要に説明した、薄膜半導体チップのさらなる特徴、またはその両方を有することができる。再結合する結果として、ドーブ機能層7は同様に埋め込み層として存在しており、再結合の後には、共ドーパントを追い出すことに基づく公知の活性化方法によってこの層を活性化するこ

40

50

とはできない。公知の活性化方法の場合、活性化は、再結合より前の時点（ドーブ機能層 7 がまだ露出している）において行われていなければならない。

【0068】

キャリア基板上の薄膜半導体チップとしての実施形態の代替形態として、基板 1 と活性層 8 との間のドーブ機能層 7 を含む層 7, 8, 9 の層順序を、p 型導電性の成長基板上へのエピタキシャル成長によって形成することもできる。この場合、p 型導電性の基板は、例えば、p 型 GaN、p 型 SiC、または p 型 Si (111) からなることができ、この場合、成長方向 99 は基板 1 から遠ざかる方向となる。

【0069】

図 1D は、図 1B による逆構造を有する半導体積層体 400 を示しており、この構造は、さらなる活性層 8' を有する積層型構造として具体化されている。この場合、ドーブ機能層 7' は、ドーブ機能層 7 に対応している。さらなる機能層 3' および 9' は層 3 および 9 に対応しており、トンネル接合 3' は、トンネル接合 3 と同様に、図 1B に関連して説明したようにトンネル接合層 4, 6 および拡散バリア層 5 (図示していない) を有する。

10

【0070】

発明の概要において説明した活性化方法と、以下に説明する例示的な実施形態による活性化方法とにおいて、さらなる方法ステップ B で、方法ステップ B による活性化を行う製造工程中のタイミングは、各半導体積層体の実施形態および製造工程には無関係である。以下に、方法ステップ B の例示的な実施形態を、純粋に一例として図 1B による半導体積層体 200 に基づいて示す。

20

【0071】

図 2 における例示的な実施形態による方法ステップ B では、ドーブ機能層 7 と、高濃度にドーブされた p 型導電性のトンネル接合層 6 とを、電気エネルギーの形で導入するエネルギーによって活性化する。これを目的として、半導体積層体 200 は、外部の電流・電圧源 12 に接続されている。この場合、図示した例示的な実施形態では、半導体積層体 200 において、具体的には、ドーブ機能層 7 および高濃度にドーブされた p 型導電性のトンネル接合層 6 において、約 50 A/cm^2 の電流密度を発生させる。さらには、熱エネルギー 13 を供給することによって、半導体積層体 200 を、通常の周囲温度および動作温度より高い温度にする。図示した例示的な実施形態においては、この目的のため、外部の加熱システム (図示していない) によって、少なくとも 80°C の温度まで半導体積層体 200 を加熱する。供給される熱エネルギーの少なくとも一部を、印加電流のオーミック損失によって発生させることもできる。

30

【0072】

この場合、上述した条件下において、半導体積層体 200 を動作させるために電流・電圧源 12 によって供給する必要がある動作電圧は、時間とともに下がり続けて飽和値に達し、その値が永久的に維持されることが、実験によって判明した。すなわち、半導体積層体の電流 - 電圧特性を方法ステップ B によって改善することができ、方法ステップ B の後もそれを永久的に維持することができる。図 5 は、特定の動作電流となるように印加される動作電圧 U (単位は任意) の測定値を、電氣的活性化の活性化時間 t (単位は任意) の関数として示している。さらには、電流密度もしくは温度またはその両方を上昇させることによって、電圧降下および飽和の達成を加速できることが確認された。

40

【0073】

方法ステップ A における半導体積層体 200 の作製時に層 6 および層 7 に形成される、ドーパント - 共ドーパントの結合複合体と、ドーパント - 共ドーパント - 半導体結晶の結合複合体を、半導体積層体 200 の上述した活性化操作によって切り離すことが可能である。さらには、従来の活性化方法と比較して、共ドーパントの少なくとも一部分が、層 6 および層 7 の半導体結晶内で、別の位置に (すなわちドーパントとの結合複合体を形成せずに) 結合する、または格子間に配置される。結果として、公知の純粋に熱的な活性化方法の場合には絶対に必要である、共ドーパントの少なくとも一部分を半導体積層体から追

50

い出すステップが、本文書に示した電氣的活性化では必要ない。

【 0 0 7 4 】

方法ステップ B において有利な電流密度は上述した値であるため、外部の電流・電圧源 1 2 によって電流を印加することによる上述した電氣的活性化は、少なくとも 1 層の埋め込みドーブ機能層 7 を有する、すでに個片化された半導体積層体において特に適している。従来の活性化方法は、このような積層体に対しては技術的にほとんど、またはまったく使用することができない。本文書に示した方法ステップ B は、ウェハアセンブリ段階の半導体積層体にも適用することができる。

【 0 0 7 5 】

図 3 における例示的な実施形態による方法ステップ B は、特に、ウェハアセンブリ段階の半導体積層体のみならず、すでに個片化された半導体積層体にも適している。この場合、半導体積層体 2 0 0 において、または少なくとも、ドーブ機能層 7 と、同様に活性化する高濃度にドーブされた p 型導電性のトンネル接合層 6 とにおいて、装置 1 4 によって誘導により電流が発生し、したがって、ドーパントおよび共ドーパントを有する結合複合体を切り離すためのエネルギーが供給される。この場合、図示した例示的な実施形態においては、誘導装置 (induction device) 1 4 は、純粹に一例としてコイルによって実現しているが、半導体積層体 2 0 0 の中に十分な誘導電流を発生させることのできる任意の装置を使用することができる。

【 0 0 7 6 】

装置 1 4 は、層 6 および層 7 において自由電荷キャリアによる循環電流を誘導し、図 2 に関連して上述した活性化効果を、この循環電流によって達成することができる。この場合、循環電流は、成長方向 9 9 に垂直に、半導体積層体 2 0 0 の機能層の延在面に平行に、発生する。さらには、外部の加熱システム (図示していない) の形での熱エネルギー、もしくは循環電流のオーミック損失の結果としての熱エネルギー、またはその両方を、半導体積層体 2 0 0 に供給することもできる。

【 0 0 7 7 】

さらには、図 3 による例示的な実施形態においては、活性化する機能層、および特に層 6 および層 7 の吸収波長に共鳴する、または共鳴しない電磁放射 1 5 を、半導体積層体 2 0 0 に照射する。電磁放射 1 5 が照射される結果として、追加の自由電荷キャリアが発生し、これによって、誘導される循環電流の電流密度をさらに高めることが可能になる。この方法は、方法ステップ A の後に、活性化する層 6 および層 7 に存在する自由電荷キャリアが本質的に極めて少ない、または存在しない場合に、特に有利である。特に、共鳴照射の場合、活性化する層 6 および層 7 において、特定の領域を対象としてさらなる自由電荷キャリアを励起することができ、この結果として、活性化の効率を高めることができる。

【 0 0 7 8 】

図 4 に示したように、方法ステップ B のさらなる例示的な実施形態によると、活性化、すなわち、ドーパントおよび共ドーパントを有する複合体の切り離しは、電磁放射 1 5 の形のエネルギーを供給することのみによって行うこともできる。この場合、電磁放射 1 5 の周波数によって、活性化のタイプが決まる。マイクロ波放射を使用するときには、電磁活性化は非共鳴に行われ、テラヘルツ放射を使用するときには、共鳴型の電磁活性化が行われる。活性化の程度および正否は、工程条件 (例えば、周波数、出力、雰囲気、時間、電磁放射 1 5 のさらなる吸収体) によって決まる。非共鳴の場合、特に、フォノンおよびロトンの励起によって、エネルギーが原子結合に伝達される。共鳴の場合、ドーパントおよび共ドーパントを有する結合複合体を切り離すことのできる格子振動 (すなわちフォノン) が、直接発生する。

【 0 0 7 9 】

図 3 および図 4 による方法ステップ B は、ウェハの段階で、または個片化の後、半導体チップの製造工程中の任意の段階で使用することができ、これは有利であり、なぜなら、これらの方法ステップ B は無接触式に行われ、図 2 における例示的な実施形態による方法ステップ B と同様に、活性化するドーブ機能層 7 が露出している必要がないためである。

これによって、設計と、いわゆるチップの流れにおいて、例えば個々の工程の可能な順序に関する自由度が高まる。さらには、例えば、メサエッチングの後に活性化を行うことにより、より大きな結晶領域が露出し、したがって共ドーパントの少なくとも一部分を追い出すことができ、これにより、活性化の効率を高めることができる。

【 0 0 8 0 】

上に説明した方法ステップ B の例示的な実施形態と、発明の概要によるさらなる実施形態は、半導体積層体の中の活性化する個々の層に対して、および活性化する複数の層に対して、組み合わせ、または連続的に使用することもできる。

【 0 0 8 1 】

必要な場合、方法ステップ B の後、活性化された半導体積層体を有する半導体チップを完成させるための公知のさらなる方法ステップを続けることができる。

10

【 0 0 8 2 】

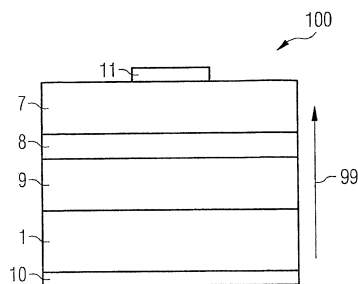
ここまで、本発明について例示的な実施形態に基づいて説明してきたが、本発明はこれらの実施形態に限定されない。さらには、本発明は、任意の新規の特徴および特徴の任意の組合せを包含しており、特に、請求項における特徴の任意の組合せを含んでいる。これらの特徴または特徴の組合せは、それ自体が請求項あるいは例示的な実施形態に明示的に記載されていない場合であっても、本発明に含まれる。

【 0 0 8 3 】

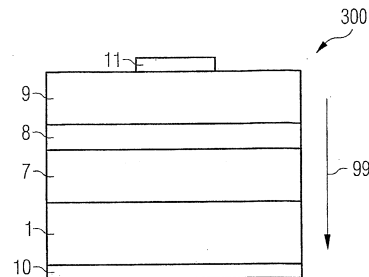
本特許出願は、独国特許出願第 1 0 2 0 0 8 0 5 6 3 7 1 . 4 号の優先権を主張し、この文書の開示内容は参照によって本出願に組み込まれている。

20

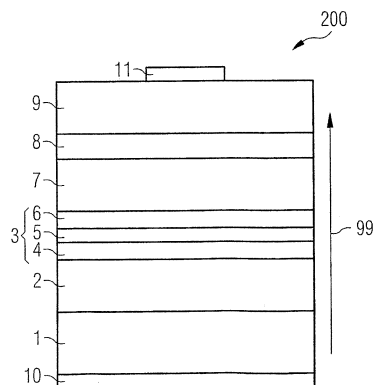
【 図 1 A 】



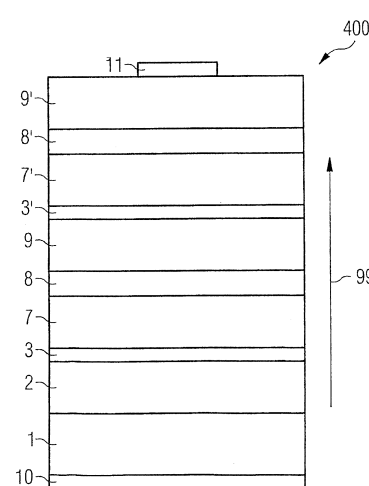
【 図 1 C 】



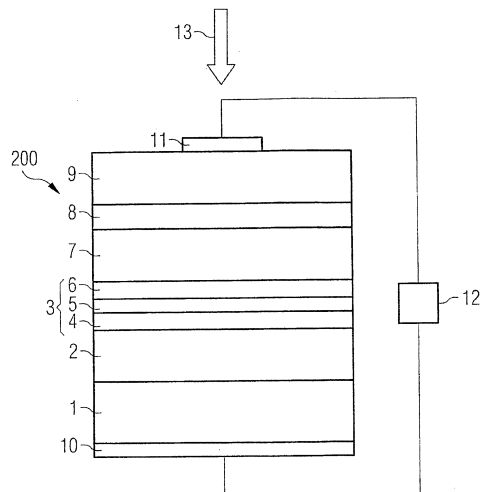
【 図 1 B 】



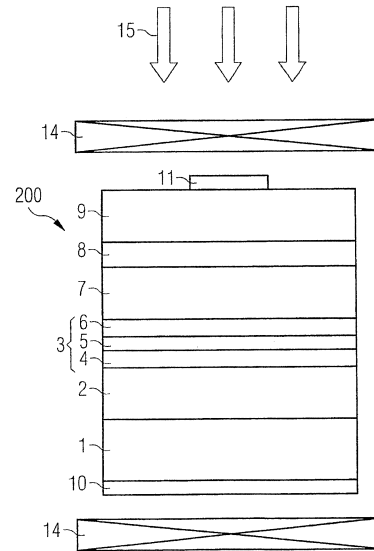
【 図 1 D 】



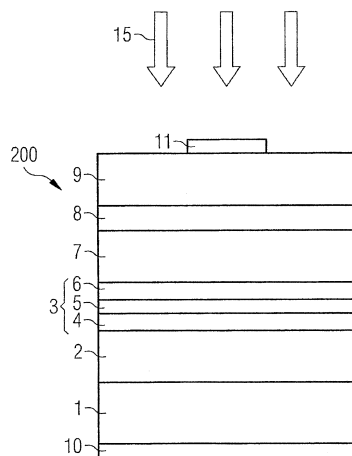
【図 2】



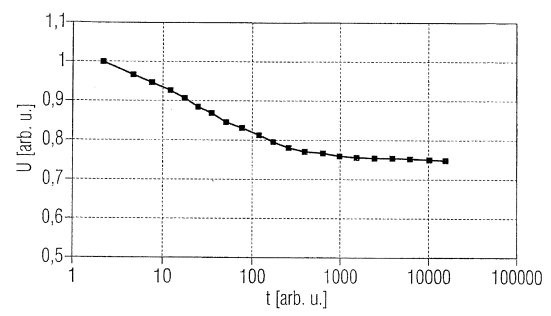
【図 3】



【図 4】



【図 5】



フロントページの続き

- (72)発明者 ビーバースドルフ アンドレアス
ドイツ国 9 3 0 5 5 レーゲンスブルク ヴォルカヌスウェグ 1 2
- (72)発明者 グロリア ヴィンセント
ドイツ国 8 0 6 3 9 ミュンヘン マルグリート - シュラム - シュトラーセ 3
- (72)発明者 ヘッペル ルッツ
ドイツ国 9 3 0 8 7 アルテグロフスハイム レッシングシュトラーセ 1
- (72)発明者 ルガウアー ハンス - ユルゲン
ドイツ国 9 3 1 6 1 ジンツィング アム エーガルテン 1 4
- (72)発明者 ストラスバーグ マルチン
ドイツ国 9 3 1 0 5 テゲルンハイム ルターシュトラーセ 1

合議体

審判長 恩田 春香

審判官 河原 英雄

審判官 山口 裕之

- (56)参考文献 米国特許出願公開第2008/0203407 (US, A1)
特開2002-319703 (JP, A)
特開2001-44209 (JP, A)
特開2003-218391 (JP, A)
特開平11-126758 (JP, A)
特開2004-128189 (JP, A)
Applied Physics Letters, Vol. 78, No. 3, 312~313
頁、2001年1月15日

- (58)調査した分野(Int.Cl., DB名)

H01L 33/00 - 33/64

H01S 5/00 - 5/50