

ČESKOSLOVENSKÁ
SOCIALISTICKÁ
REPUBLIKA
(19)



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

(22) Přihlášeno 05 01 82
(21) [PV 91-82]

(40) Zveřejněno 27 08 82

(45) Vydáno 15 11 85

220230
(11) (B1)

(51) Int. Cl.³
G 06 F 13/08

(75)

Autor vynálezu

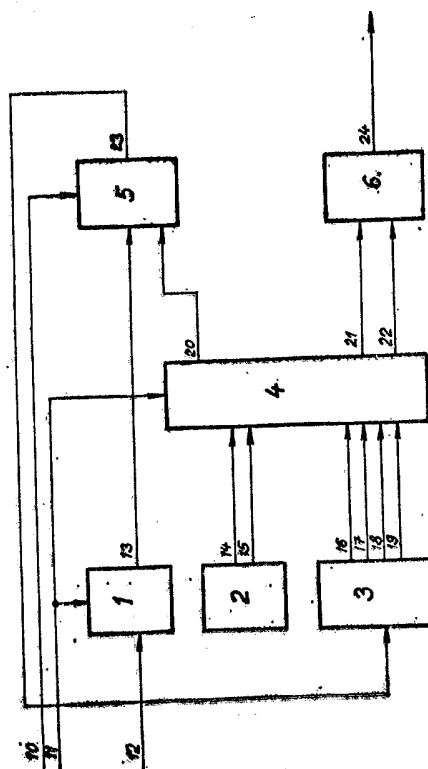
KUBÍN PAVEL ing. CSc., LOUTOCKÝ DUŠAN ing., PRAHA

(54) Zapojení obvodů pro řízení zpracování adresové značky

1

Vynález se týká obvodů sestávajících z bloku vyhodnocení čtených dat, generátoru zápisové frekvence, generátoru synchronizačních pulsů, generátoru taktových pulsů, obvodu pro generaci a vyhodnocení adresové značky a přepínače, umožňujícího zpracování dvou různých typů adresových značek.

2



Vynález se týká zapojení obvodů pro řízení zpracování adresové značky v záznamu na magnetických discích, které jsou součástí řídicích jednotek nebo integrovaných modulů magnetických diskových pamětí.

Při vytváření subsystémů magnetických diskových pamětí se často může vyskytnout požadavek, vybavit sestavu počítače diskovými pamětmi několika různých typů. Tento požadavek lze v současné době realizovat pouze tak, že do sestavy počítače jsou začleněny specializované řídicí jednotky nebo integrované moduly pro jednotlivé typy diskových pamětí. Nevýhodou tohoto způsobu je značná nákladnost takového řešení, což zvláště u malých modelů počítačů vede ke značnému zvýšení ceny sestavy vzhledem k tomu, že je třeba použít dvou zařízení.

Jednou z funkcí odlišujících některé typy diskových pamětí je zpracování adresové značky záznamu. Při tom některé adresové značky se liší pouze umístěním chybějících hodinových pulsů, lze tedy výše uvedené nevýhody řešit vytvořením univerzálních obvodů pro zpracování adresové značky. Jedno z možných řešení je zapojení obvodů pro řízení zpracování adresové značky podle vynálezu, jehož podstata spočívá v tom, že první vstupní vodič režimu činnosti je připojen na první vstup generátoru taktových pulsů a dále druhý vstupní vodič typu diskové paměti je připojen na první vstup bloku vyhodnocení čtených dat a na první vstup přepínače a dále třetí vstupní vodič sériových čtených dat je připojen na druhý vstup bloku vyhodnocení čtených dat a dále první výstup bloku vyhodnocení čtených dat je spojen vodičem frekvence čtených dat s druhým vstupem generátoru taktových pulsů a dále první výstup generátoru zápisové frekvence je spojen vodičem první zápisové frekvence s druhým vstupem přepínače a dále druhý výstup generátoru zápisové frekvence je spojen vodičem druhé zápisové frekvence se třetím vstupem přepínače a dále první výstup generátoru synchronizačních pulsů je spojen vodičem prvního synchronizačního pulsu se čtvrtým vstupem přepínače a dále druhý výstup generátoru synchronizačních pulsů je spojen vodičem druhého synchronizačního pulsu s pátým vstupem přepínače a dále třetí výstup generátoru synchronizačních pulsů je spojen vodičem třetího synchronizačního pulsu se šestým vstupem přepínače a dále čtvrtý výstup generátoru synchronizačních pulsů je spojen vodičem čtvrtého synchronizačního pulsu se sedmým vstupem přepínače a dále první výstup přepínače je spojen vodičem zvolené zápisové frekvence se třetím vstupem generátoru taktových pulsů a dále druhý výstup přepínače je spojen vodičem počátku zvolené adresové značky s prvním vstupem obvodu generace a vyhodnocení adresové značky a dále třetí výstup přepínače je spojen vodičem konce zvolené adresové značky s druhým vstupem obvodu ge-

nerace a vyhodnocení adresové značky a dále první výstup generátoru taktových pulsů je spojen vodičem taktování s prvním vstupem generátoru synchronizačních pulsů a dále výstupní vodič signálu zvolené adresové značky je připojen na první výstup obvodu generace a vyhodnocení adresové značky.

Jedno z možných zapojení obvodů pro řízení zpracování adresové značky podle vynálezu je charakterizováno tím, že přepínač je vytvořen jako logický kombinační obvod.

Další z možných zapojení obvodů pro řízení zpracování adresové značky podle vynálezu je charakterizováno tím, že přepínač je vytvořen jako pevné propojení zvolených vstupů a výstupů.

Hlavní výhodou zapojení podle vynálezu je, že umožňuje realizovat obvody pro řízení zpracování adresové značky tak, že tyto obvody jsou použitelné i pro zpracování adresových značek několika typů, tím mohou být tyto obvody použity v univerzálních řídicích jednotkách nebo integrovaných modulech magnetických diskových pamětí. Podobné univerzální řídicí jednotky nebo integrované moduly umožňují nenákladně vybavit sestavy i malých modelů počítačů několika různými typy diskových pamětí tak, aby byly splněny požadavky na návaznost dat a médií využívaných těmito počítači s daty a médii využívanými počítači vyráběnými a používanými dříve.

Na připojeném výkresu je schematicky znázorněno zapojení obvodů pro řízení zpracování adresové značky.

Zapojení sestává z bloku 1 vyhodnocení čtených dat, z generátoru 2 zápisové frekvence, z generátoru 3 synchronizačních pulsů, z přepínače 4, z generátoru 5 taktových pulsů a z obvodu 6 generace a vyhodnocení adresové značky. Na tomto výkresu je znázorněno i vzájemné propojení vstupů a výstupů těchto bloků a zapojení vstupních a výstupních vodičů a to tak, že první vstupní vodič 10 režimu činnosti je připojen na první vstup generátoru 5 taktových pulsů a dále druhý vstupní vodič 11 typu diskové paměti je připojen na první vstup bloku 1 vyhodnocení čtených dat a na první vstup přepínače 4 a dále třetí vstupní vodič 12 sériových čtených dat je připojen na druhý vstup bloku 1 vyhodnocení čtených dat a dále první výstup bloku 1 vyhodnocení čtených dat je spojen vodičem 13 frekvence čtených dat s druhým vstupem generátoru 5 taktových pulsů a dále první výstup generátoru 2 zápisové frekvence je spojen vodičem 14 první zápisové frekvence s druhým vstupem přepínače 4 a dále druhý výstup generátoru 2 zápisové frekvence je spojen vodičem 15 druhé zápisové frekvence se třetím vstupem přepínače 4 a dále první výstup generátoru 3 synchronizačních pulsů je spojen vodičem 16 prvního synchronizačního pulsu se čtvrtým vstupem přepínače

4 a dále druhý výstup generátoru 3 synchronizačního pulsu se sedmým vstupem přepínacího synchronizačního pulsu s pátým vstupem přepínače 4 a dále třetí výstup generátoru 3 synchronizačních pulsů je spojen vodičem 18 třetího synchronizačního pulsu se šestým vstupem přepínače 4 a dále čtvrtý výstup generátoru 3 synchronizačních pulsů je spojen vodičem 19 čtvrtého synchronizačního pulsu se sedmým vstupem přepínacího synchronizačního pulsu s pátým vstupem přepínače 4 a dále první výstup přepínače 4 je spojen vodičem 20 zvolené zápisové frekvence se třetím vstupem generátoru 5 taktových pulsů a dále druhý výstup přepínače 4 je spojen vodičem 21 počátku zvolené adresové značky s prvním vstupem obvodu 6 generace a vyhodnocení adresové značky a dále třetí výstup přepínače 4 je spojen vodičem 22 konce zvolené adresové značky s druhým vstupem obvodu 6 generace a vyhodnocení adresové značky a dále první výstup generátoru 5 taktových pulsů je spojen vodičem 23 taktování s prvním vstupem generátoru 3 synchronizačních pulsů a dále výstupní vodič 24 signálu zvolené adresové značky je připojen na první výstup obvodu 6 generace a vyhodnocení adresové značky.

Obvody pro řízení zpracování adresové značky pracují takto: Sériová čtená data přivedená na vstup bloku 1 vyhodnocení čtených dat vodičem 12 sériových čtených dat jsou tímto blokem 1 vyhodnocení čtených dat. Z výstupu bloku 1 vyhodnocení ním typu diskové paměti určeném signálem přivedeným vodičem 11 typu diskové paměti na vstup tohoto bloku 1 vyhodnocení čtených dat. Z výstupu bloku 1 vyhodnocení čtených dat je vodičem 13 frekvence čtených dat vedena na vstup generátoru 5 taktových pulsů frekvence čtených dat odpovídající zvolenému typu diskové paměti. Na druhý vstup generátoru 5 taktových pulsů je přivedena vodičem 20 zvolené zápisové frekvence z výstupu přepínače 4 a zápisová frekvence generovaná generátorem 2 zápisové frekvence a přivedená na vstup přepínače 4 z výstupu generátoru 2 zápisové frekvence buď vodičem 14 první zápisové frekvence, nebo vodičem 15 druhé zápisové frekvence, která odpovídá typu diskové paměti zvolené signálem přivedeným na vstup přepínače 4 vodičem 11 typu diskové paměti. Podle režimu činnosti určeného signálem přivedeným na vstup generátoru 5 taktových pulsů vodičem 10 režimu činnosti je jedna z frekvencí přivedených na vstupy tohoto generátoru 5 taktových pulsů zpra-

cována a použita pro generaci taktování vedeného z výstupu generátoru 5 taktových pulsů vodičem 23 taktování na vstup generátoru 3 synchronizačních pulsů.

Synchronizační pulsy generovanými generátorem 3 synchronizačních pulsů je určeno umístění chybějících hodinových pulsů v zpracovávané adresové značce. Při tom různé adresové značky zpracovávané obvody podle vynálezu se liší právě umístěním chybějících hodinových pulsů. Z výstupů generátoru 3 synchronizačních pulsů jsou tedy vedeny všechny synchronizační pulsy určující umístění chybějících hodinových pulsů ve všech typech zpracovávaných adresových značek. Z výstupů generátoru 3 synchronizačních pulsů je veden na vstup přepínače 4 vodičem 16 prvního synchronizačního pulsu první synchronizační puls určující první chybějící hodinový impuls adresové značky prvního typu, vodičem 17 druhého synchronizačního pulsu druhý synchronizační puls určující první chybějící hodinový impuls adresové značky druhého typu, vodičem 18 třetího synchronizačního pulsu třetí synchronizační puls určující poslední chybějící hodinový impuls adresové značky prvního typu a vodičem 19 čtvrtého synchronizačního pulsu čtvrtý synchronizační puls určující poslední chybějící hodinový impuls adresové značky druhého typu.

Podle zvoleného typu diskové paměti signálem přivedeným na vstup tohoto přepínače 4 vodičem 11 typu diskové paměti je vybrán první synchronizační puls nebo druhý synchronizační puls a veden z výstupu přepínače 4 vodičem 21 počátku zvolené adresové značky na vstup obvodu 6 generace a vyhodnocení adresové značky. Podobně je vybrán třetí synchronizační puls nebo čtvrtý synchronizační puls a veden z výstupu přepínače 4 vodičem 22 konce zvolené adresové značky na vstup obvodu 6 generace a vyhodnocení adresové značky. Z výstupu obvodu 6 generace a vyhodnocení adresové značky je potom veden vodičem 24 signálu zvolené adresové značky signál řídicí zpracování adresové značky.

Obvody pro řízení zpracování adresové značky podle vynálezu jsou použity v diskovém modulu počítače, v řídicí jednotce pro připojení diskových pamětí s výměnným svazkem s kapacitou 7,25 Mbyte k minipočítači a v řídicí jednotce pro připojení diskových pamětí s výměnným svazkem disků s kapacitou 29 Mbyte k minipočítači.

PŘEDMĚT VYNÁLEZU

1. Zapojení obvodů pro řízení zpracování adresové značky vyznačené tím, že první vstupní vodič (10) režimu činnosti je připojen na první vstup generátoru (5) taktových pulsů a dále druhý vstupní vodič (11) typu diskové paměti je připojen na první vstup bloku (1) vyhodnocení čtených dat a na první vstup přepínače (4) a dále třetí vstupní vodič (12) sériových čtených dat je připojen na druhý vstup bloku (1) vyhodnocení čtených dat a dále první výstup bloku (1) vyhodnocení čtených dat je spojen vodičem (13) frekvence čtených dat s druhým vstupem generátoru (5) taktových pulsů a dále první výstup generátoru (2) zápisové frekvence je spojen vodičem (14) první zápisové frekvence s druhým vstupem přepínače (4) a dále druhý výstup generátoru (2) zápisové frekvence je spojen vodičem (15) druhé zápisové frekvence se třetím vstupem přepínače (4) a dále první výstup generátoru (3) synchronizačních pulsů je spojen vodičem (16) prvního synchronizačního pulsu se čtvrtým vstupem přepínače (4) a dále druhý výstup generátoru (3) synchronizačních pulsů je spojen vodičem (17) druhého synchronizačního pulsu s pátým vstupem přepínače (4) a dále třetí výstup generátoru (3) synchronizačních pulsů je spojen vodičem (18) třetího synchronizačního pul-

su se šestým vstupem přepínače (4) a dále čtvrtý výstup generátoru (3) synchronizačních pulsů je spojen vodičem (19) čtvrtého synchronizačního pulsu se sedmým vstupem přepínače (4) a dále první výstup přepínače (4) je spojen vodičem (20) zvolené zápisové frekvence se třetím vstupem generátoru (5) taktových pulsů a dále druhý výstup přepínače (4) je spojen vodičem (21) počátku zvolené adresové značky s prvním vstupem obvodu (6) generace a vyhodnocení adresové značky a dále třetí výstup přepínače (4) je spojen vodičem (22) konce zvolené adresové značky s druhým vstupem obvodu (6) generace a vyhodnocení adresové značky a dále první výstup generátoru (5) taktových pulsů je spojen vodičem (23) taktování s prvním vstupem generátoru (3) synchronizačních pulsů a dále výstupní vodič (24) signálu zvolené adresové značky je připojen na první výstup obvodu (6) generace a vyhodnocení adresové značky.

2. Zapojení obvodů pro řízení zpracování adresové značky podle bodu 1, vyznačené tím, že přepínač (4) je vytvořen jako logický kombinační obvod.

3. Zapojení obvodů pro řízení zpracování adresové značky podle bodu 1 vyznačené tím, že přepínač (4) je vytvořen jako pevné propojení zvolených vstupů a výstupů.

