

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>8</sup>  
H01L 29/78 (2006.01)

(45) 공고일자 2006년02월20일  
(11) 등록번호 10-0552058  
(24) 등록일자 2006년02월07일

(21) 출원번호 10-2004-0000605  
(22) 출원일자 2004년01월06일

(65) 공개번호 10-2005-0072231  
(43) 공개일자 2005년07월11일

(73) 특허권자 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 윤은정  
서울 서초구 양재1동 2-34 204호

조혜진  
경기도 안양시 동안구 호계2동 935-25번지

김동원  
경기 성남시 분당구 정자동 192번지 정든마을 506동 1602호

김성민  
인천광역시 부평구 부개3동 삼부아파트 108동 2204호

(74) 대리인 임창현  
권혁수

심사관 : 임동우

(54) 전계 효과 트랜지스터를 갖는 반도체 소자 및 그 제조 방법

요약

본 발명은 전계 효과 트랜지스터를 갖는 반도체 소자 및 그 제조 방법을 제공한다. 이 소자는 기판으로 부터 돌출된 채널 패턴 양측벽에 불순물 도핑이 인시츄(in-situ)로 진행되는 에피택시얼 성장 공정으로 형성된 인시츄 도핑된 에피 패턴들이 각각 형성된다. 인시츄 도핑된 에피 패턴은 그것의 전체에 걸쳐 매우 균일한 불순물 농도를 갖는다. 따라서, 돌출된 채널 패턴의 양측벽들을 포함하는 채널 영역의 채널폭 전역에 걸쳐 균일한 불순물 농도의 소오스/드레인 영역이 접속된다. 이로써, 전계 효과 트랜지스터의 구동전류량을 최대화할 수 있으며, 온오프 특성이 매우 안정화될 수 있다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 반도체 소자를 나타내는 평면도이다.

도 2 및 도 3은 각각 도 1의 I-I' 및 II-II'을 따라 취해진 단면도들이다.

도 4a 내지 도 9a는 본 발명의 일 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 도 1의 I-I'을 따라 취해진 단면도들이다.

도 4b 내지 도 9b는 본 발명의 일 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 도 1의 II-II'을 따라 취해진 단면도들이다.

도 10은 본 발명의 다른 실시예에 따른 반도체 소자를 나타내는 사시도이다.

도 11 및 도 12는 각각 도 10의 III-III' 및 IV-IV'을 따라 취해진 단면도들이다.

도 13 및 도 14는 본 발명의 다른 실시예에 따른 반도체 소자의 변형예를 보여주기 위하여 각각 도 10의 III-III' 및 IV-IV'을 따라 취해진 단면도들이다.

도 15a 내지 도 19a는 본 발명의 다른 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 도 10의 III-III'을 따라 취해진 단면도들이다.

도 15b 내지 도 19b는 본 발명의 다른 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 도 10의 IV-IV'을 따라 취해진 단면도들이다.

도 20은 본 발명의 또 다른 실시예에 따른 반도체 소자를 나타낸 사시도이다.

도 21 및 도 22는 각각 도 20의 V-V' 및 VI-VI'을 따라 취해진 단면도들이다.

도 23 및 도 24는 본 발명의 또 다른 실시예에 따른 반도체 소자의 변형예를 보여주기 위하여 각각 도 20의 V-V' 및 VI-VI'을 따라 취해진 단면도들이다.

도 25a 내지 도 27a는 본 발명의 또 다른 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 도 20의 V-V'을 따라 취해진 단면도들이다.

도 25b 내지 도 27b는 본 발명의 또 다른 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 도 20의 VI-VI'을 따라 취해진 단면도들이다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 특히, 전계 효과 트랜지스터(이하 트랜지스터라고 함)를 갖는 반도체 소자 및 그 제조 방법에 관한 것이다.

반도체 소자의 고집적화 경향으로 디자인 룰(design rule)이 감소함에 따라, 통상적인 구조인 수평채널을 갖는 평면 트랜지스터는 여러가지 문제점들이 발생되어 축소에 한계가 있다. 평면 트랜지스터는 축소될수록 단채널 효과 및 DIBL 효과등이 심화되어 정상적인 동작을 수행하기 어려워지고 있다. 한편, 반도체 소자의 고집적화 경향으로 트랜지스터가 점점 작아지는 반면에, 반도체 소자는 보다 빠른 동작속도가 요구되고 있다. 이에 따라, 트랜지스터의 구동전류(driven current)의 양이 보다 증가되는 것이 요구되고 있다. 즉, 반도체 소자의 고집적화 경향 및 고속화 경향에 따라, 보다 작은 크기를 가지며, 보다 많은 구동전류의 양을 갖는 트랜지스터에 대한 요구가 절실해지고 있다.

최근에, 이러한 문제점들을 해결하기 위한 방안들 중에 하나로, 푸 리양 양(Fu-Liang Yang)등은 "2002 Symposium On VLSI Technology Digest of Technical Paper"에 "35nm CMOS FinFETs" 이란 제목으로, FinFET을 개시한 바 있다. 푸 리양 양등에 따르면, SOI기판의 매몰절연층(buried oxide) 상에 형성된 핀(fin)을 가로지르는 게이트 전극을 형성하고, 게이트 전극을 마스크로 사용하여 불순물 이온들을 주입하여 게이트 전극의 양측의 핀 내에 소오스/드레인 영역을 형성한다.

상술한 종래 기술에 있어서, 상기 소오스/드레인 영역은 불순물들을 주입하는 방식에 의해 형성된다. 불순물들은 평균 투사 거리를 이용하여 주입됨으로써, 핀의 깊이에 따라 불순물의 농도가 불균일할 수 있다. 또한, 활성화를 위한 열공정에 의해 불순물들이 랜덤하게 확산됨으로써, 위치에 따라, 채널의 길이가 달라질수도 있다. 위치에 따라 불순물의 농도가 달라짐으로써, 소오스/드레인 영역의 저항이 위치에 따라 변경될 수 있다. 그 결과, 채널영역의 위치별로 흐르는 전류량이 변경될 수 있다. 이러한 현상이 심화될 경우, 채널 영역의 일부에서만 채널이 형성되어 채널폭의 감소를 유발될 수 있다. 즉, 트랜지스터의 구동전류량이 감소될 수 있다. 또한, 채널영역의 채널길이들이 불균일할 경우, 문턱전압 아래에서 누설전류가 발생하거나, 더 높은 문턱전압이 요구되는 채널 영역이 존재할 수 있다. 따라서, 트랜지스터의 온오프 특성이 열화될 수 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 제한된 면적에서 구동전류의 양이 증가될 수 있는 트랜지스터를 갖는 반도체 소자 및 그 제조방법을 제공하는데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 온오프 특성이 안정화된 트랜지스터를 갖는 반도체 소자 및 그 제조방법을 제공하는데 있다.

본 발명이 이루고자 하는 또 다른 기술적 과제는 고집적화에 적합한 트랜지스터를 갖는 반도체 소자 및 그 제조방법을 제공하는데 있다.

### 발명의 구성 및 작용

상술한 기술적 과제들을 해결하기 위한 트랜지스터를 갖는 반도체 소자를 제공한다. 본 발명의 일 실시예에 따른 반도체 소자는 기판으로 부터 수직으로 연장되되, 서로 마주보는 한쌍의 제1 측벽들 및, 서로 마주보는 한쌍의 제2 측벽들을 갖는 돌출된 채널 패턴을 포함할 수 있다. 한쌍의 인시츄 도핑된 에피 패턴들이 상기 제1 측벽들에 각각 형성된다. 상기 돌출된 채널 패턴에 대향된 상기 인시츄 도핑된 에피 패턴들의 일측벽들에 각각 형성된 한쌍의 도전 패턴들이 배치된다. 게이트 전극이 상기 돌출된 채널 패턴을 가로지르고, 상기 게이트 전극과 상기 돌출된 채널 패턴 사이에 게이트 절연막이 개재된다.

본 발명의 다른 실시예에 따른 반도체 소자는 기판으로 부터 수직으로 연장된 돌출된 채널 패턴 및, 상기 돌출된 채널 패턴과 수직으로 이격된 적어도 하나의 이격된 채널 패턴을 포함할 수 있다. 상기 돌출된 채널 패턴은 서로 마주보는 한쌍의 제1 측벽들 및, 서로 마주보는 한쌍의 제2 측벽들을 갖는다. 상기 이격된 채널 패턴은 상기 제1 측벽들에 정렬된 한쌍의 제3 측벽들 및, 상기 제2 측벽들에 정렬된 한쌍의 제4 측벽들을 갖는다. 한쌍의 인시츄 도핑된 에피 패턴들이 배치된다. 상기 각 인시츄 도핑된 에피 패턴들은 연장되어 상기 정렬된 제1 및 제3 측벽들의 전면들에 형성된다. 상기 돌출된 및 이격된 채널 패턴들에 대향된 상기 인시츄 도핑된 에피 패턴들의 일측벽들에 각각 형성된 한쌍의 도전 패턴들이 배치된다. 게이트 전극이 상기 돌출된 및 이격된 채널 패턴들을 가로지른다. 적어도 상기 게이트 전극과 상기 돌출된 채널 패턴 사이와, 상기 게이트 전극과 상기 이격된 채널 패턴 사이에 게이트 절연막이 개재된다.

상술한 기술적 과제들을 해결하기 위한 트랜지스터를 갖는 반도체 소자의 제조 방법을 제공한다. 본 발명의 일 실시예에 따른 반도체 소자의 제조 방법은 기판으로부터 수직으로 연장된 돌출된 채널 패턴을 형성하는 단계를 포함할 수 있다. 불순물 도핑을 인시츄로 진행하는 선택적 에피택시얼 성장 공정을 수행하여 상기 돌출된 채널 패턴의 양측벽들에 한쌍의 인시츄 도핑된 에피 패턴들을 각각 형성한다. 상기 돌출된 채널 패턴에 대향된 상기 인시츄 도핑된 에피 패턴들의 일측벽들에 한쌍의 도전 패턴들을 각각 형성하고, 게이트 절연막을 개재하여 상기 돌출된 채널 패턴을 가로지르는 게이트 전극을 형성한다.

본 발명의 다른 실시예에 따른 반도체 소자의 제조 방법은 기판으로 부터 수직으로 연장된 돌출된 채널 패턴 및, 상기 돌출된 채널 패턴 상에 적어도 한번 교대로 적층된 채널 층간 패턴 및 이격된 채널 패턴을 형성하는 단계를 포함할 수 있다. 불순물 도핑을 인시츄로 진행하는 선택적 에피택시얼 성장 공정을 수행하여 상기 돌출된, 채널 층간 및 이격된 채널 패턴들

의 양측벽들의 전면에 한쌍의 인시츄 도핑된 에피 패턴들을 각각 형성한다. 상기 돌출된, 채널 층간 및 이격된 채널 패턴들에 대향된 상기 인시츄 도핑된 에피 패턴들의 일측벽들에 한쌍의 도전 패턴들을 각각 형성한다. 게이트 절연막을 개재하여 상기 돌출된, 채널 층간 및 이격된 채널 패턴들을 가로지르는 게이트 전극을 형성한다.

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층(또는 막) 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층(또는 막)이 다른 층(또는 막) 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층(또는 막) 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층(또는 막)이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

(제1 실시예)

도 1은 본 발명의 일 실시예에 따른 반도체 소자를 나타내는 평면도이고, 도 2 및 도 3은 각각 도 1의 I-I' 및 II-II'을 따라 취해진 단면도들이다.

도 1, 도 2 및 도 3을 참조하면, 돌출된 채널 패턴(106a)이 반도체 기판(100, 이하 기판이라고 함)으로 부터 수직으로 연장되어 있다. 상기 돌출된 채널 패턴(106a)은 서로 마주보는 한쌍의 제1 측벽들과, 서로 마주보는 한쌍의 제2 측벽들을 갖는다. 상기 제1 측벽들 및 제2 측벽들은 서로 수직하게 배치될 수 있다. 한쌍의 인시츄 도핑된 에피 패턴들(112, in-situ doped epitaxial patterns)이 상기 돌출된 채널 패턴(106a)의 제1 측벽들에 형성된다. 상기 인시츄 도핑된 에피 패턴(112)은 상기 제1 측벽들의 전면부를 덮는다. 상기 인시츄 도핑된 에피 패턴(112)은 상기 기판(100)으로 부터 수직으로 돌출되어 있으며, 트랜지스터의 소오스/드레인 영역에 포함된다. 상기 기판(100)은 실리콘 기판인 것이 바람직하다. 상기 돌출된 채널 패턴(106a)은 단결정 실리콘으로 이루어진 것이 바람직하다. 상기 돌출된 채널 패턴(105b)은 상기 기판(100)의 일부분일 수 있다. 상기 인시츄 도핑된 에피 패턴(112)은 불순물의 도핑이 인시츄로 수행되는 에피택시얼 성장 공정으로 형성된 도핑된 반도체층이다. 따라서, 상기 인시츄 도핑된 에피 패턴(112)은 그것의 전체에 걸쳐 균일한 불순물 농도를 갖는다. 즉, 채널 영역인 상기 돌출된 채널 패턴(106a)의 제1 측벽은 그것의 전체에 걸쳐 균일한 불순물 농도의 소오스/드레인 영역과 접촉한다. 상기 인시츄 도핑된 에피 패턴(112)은 도핑된 단결정 실리콘인 것이 바람직하다.

상기 돌출된 채널 패턴(106a) 아래의 기판(100) 내에 채널스탑 확산층(102)이 배치될 수 있다. 상기 채널스탑 확산층(102)은 인시츄 도핑된 에피 패턴들(112) 간의 펀치스루 특성을 향상시키는 역할을 할 수 있다. 또한, 상기 채널스탑 확산층(102)은 상기 돌출된 채널 패턴(106a) 아래의 기판(100)에 채널이 형성되는 것을 방지하는 역할을 할 수 있다. 상기 채널스탑 확산층(102)은 상기 인시츄 도핑된 에피 패턴(112)과 다른 타입의 불순물들로 도핑된다. 즉, 상기 채널스탑 확산층(102)은 상기 돌출된 채널 패턴(106a) 내에 도핑된 불순물들과 동일한 것이 바람직하다. 이때, 상기 채널스탑 확산층(102)은 상기 돌출된 채널 패턴(106a)에 비하여 높은 불순물 농도를 갖는 것이 바람직하다.

한쌍의 도전 패턴들(114a)이 상기 돌출된 채널 패턴(106a)에 대향된 상기 인시츄 도핑된 에피 패턴들(112)의 일측벽들에 각각 형성된다. 상기 도전 패턴(114a)은 도전 물질로 이루어진다. 예컨대, 상기 도전 패턴(114a)은 도핑된 폴리실리콘 또는 저저항의 도전성 금속 함유 물질로 이루어질 수 있다. 저저항의 도전성 금속 함유 물질은 질화티타늄과 같은 도전성 금속질화물, 텅스텐실리사이드와 같은 금속실리사이드 또는 텅스텐과 같은 금속일 수 있다. 상기 도전 패턴(114a)이 도핑된 폴리실리콘으로 이루어질 경우, 상기 도전 패턴(114a)은 상기 인시츄 도핑된 에피 패턴(112)과 같은 타입의 불순물들로 도핑되며, 상기 인시츄 도핑된 에피 패턴(112)에 비하여 높은 불순물 농도를 갖는 것이 바람직하다. 이에 따라, 상기 도전 패턴(114a) 및 인시츄 도핑된 에피 패턴(112)은 엘디디 구조의 소오스/드레인 영역으로 구현될 수 있다.

상기 인시츄 도핑된 에피 패턴(112)의 하부(lower portion)는 상기 기판(100)의 표면을 따라 연장되어 상기 도전 패턴(114a)과 상기 기판(100) 사이에 개재된다. 상기 돌출된 채널 패턴(106a), 한쌍의 인시츄 도핑된 에피 패턴들(112) 및 한쌍의 도전 패턴들(114a)은 서로 접촉되어 상기 기판(100)으로 부터 수직으로 연장된 핀 형태(fin-shaped)를 이룰 수 있다.

상기 기판(100) 상에 상기 패턴들(106a,112,114a)의 측벽들을 둘러싸는 소자분리막(108a)이 배치된다. 상기 소자분리막(108a)은 상기 돌출된 채널 패턴(106a)의 상부면과 동일한 높이의 상부면을 가질 수 있다. 상기 소자분리막(108a) 및 상기 패턴들(106a,112,114a)를 덮는 몰드층(116)이 배치된다. 상기 몰드층(116)은 상기 소자분리막(108a)에 대하여 식각 선택비를 갖는 절연막으로 이루어진 것이 바람직하다. 예컨대, 상기 소자분리막(108a)은 실리콘 산화막으로 이루어지고, 상기 몰드층(116)은 실리콘 질화막 또는 실리콘산화질화막으로 이루어질 수 있다.

상기 몰드층(116) 내에 상기 돌출된 채널 패턴(106a)을 가로지르는 제1 홈(118)이 배치된다. 상기 제1 홈(118)은 상기 소자분리막(108a)의 일부 및 상기 돌출된 채널 패턴(106a)의 상부면을 노출시킨다. 상기 제1 홈(118)의 내측벽들에 각각 형성된 한쌍의 절연 스페이서들(120)이 배치되는 것이 바람직하다. 경우에 따라, 상기 제1 홈(118)은 상기 인시츄 도핑된 에피 패턴들(112)을 노출시킬 수 있다. 이때, 상기 절연 스페이서(120)는 상기 노출된 인시츄 도핑된 에피 패턴(112)을 덮는다. 상기 절연 스페이서(120)는 상기 소자분리막(108a)에 대하여 식각선택비를 갖는 절연막으로 이루어지는 것이 바람직하다. 상기 절연 스페이서(120)는 상기 몰드층(116)과 동일한 물질로 이루어질 수 있다. 예컨대, 실리콘 질화막 또는 실리콘 산화질화막으로 이루어질 수 있다.

상기 소자분리막(108a) 내에 상기 제1 홈(118)에 정렬된 제2 홈(121)이 배치된다. 바람직하게는, 상기 제2 홈(121)은 상기 절연 스페이서(120)에 정렬된다. 상기 제2 홈(121)은 상기 돌출된 채널 패턴(106a)의 제2 측벽들을 노출시킨다. 바람직하게는, 상기 제2 홈(121)은 상기 제2 측벽들의 상부(upper portion)를 노출시킨다. 즉, 상기 돌출된 채널 패턴(106a)의 하부측벽들(lower sidewalls)은 상기 소자분리막(108a)에 의해 둘러싸여 있다. 상기 돌출된 채널 패턴(106a)의 양측에 배치된 제2 홈(121)의 바닥면은 상기 소자분리막(108a)으로 이루어진 것이 바람직하다. 상기 제1 및 제2 홈들(118,121)은 게이트 홈을 구성한다.

게이트 전극(124a)이 상기 게이트 홈을 채우고, 상기 게이트 전극(124a)과 상기 돌출된 채널 패턴(106a) 사이에 게이트 절연막(122)이 개재된다. 즉, 상기 게이트 전극(124a)은 상기 돌출된 채널 패턴(106a)을 가로지르며, 상기 돌출된 채널 패턴(106a)의 상부면 및 상기 제2 측벽들을 덮는다. 따라서, 트랜지스터의 채널영역은 상기 게이트 전극(124a) 하부의 상기 돌출된 채널 패턴(106a)의 상부면 및 제2 측벽들을 포함한다. 상기 게이트 전극(124a)은 도전 물질로 이루어진다. 예컨대, 상기 게이트 전극(124a)은 도핑된 폴리실리콘 또는 저저항의 도전성 금속 함유 물질을 포함할 수 있다. 저저항의 도전성 금속 함유 물질은 질화티타늄과 같은 도전성 금속질화물, 텅스텐실리사이드와 같은 금속실리사이드 또는 텅스텐과 같은 금속일 수 있다. 상기 게이트 절연막(122)은 실리콘 산화막, 특히, 열산화막으로 이루어질 수 있다. 상기 돌출된 채널 패턴(106a) 양측에 위치한 상기 게이트 전극(124a)의 일부분들과 상기 기판(100) 사이에는 상기 소자분리막(108a)이 개재되어 있다. 따라서, 트랜지스터는 이웃하는 다른 단일소자와 전기적으로 격리될 수 있다.

상술한 구조의 트랜지스터에 있어서, 트랜지스터의 채널 영역은 상기 게이트 홈에 노출된 돌출된 채널 패턴(106a)의 제1 측벽들 및 상부면으로 이루어진다. 소오스/드레인 영역의 상기 채널 영역과 접촉하는 부분인 인시츄 도핑된 에피 패턴(112)은 그것의 전체에 걸쳐 균일한 불순물 농도를 갖는다. 이에 따라, 상기 소오스/드레인 영역은 상기 채널영역의 채널 폭 전체에 걸쳐 균일한 불순물 농도로 접촉한다. 그 결과, 상기 채널 영역의 모든 채널폭에 대하여 채널이 형성되어 상기 트랜지스터의 구동전류량을 최대화시킬 수 있다. 즉, 상기 트랜지스터의 구동전류량은 종래에 비하여 향상된다. 또한, 상기 인시츄 도핑된 에피 패턴(112)으로 인해, 상기 채널 영역의 모든 채널길이들이 균일하다. 그 결과, 상기 트랜지스터의 온오프 특성이 안정화된다.

도 4a 내지 도 9a는 본 발명의 일 실시예에 따른 트랜지스터의 제조 방법을 설명하기 위하여 도 1의 I-I'을 따라 취해진 단면도들이고, 도 4b 내지 도 9b는 본 발명의 일 실시예에 따른 트랜지스터의 제조 방법을 설명하기 위하여 도 1의 II-II'을 따라 취해진 단면도들이다.

도 4a, 도 4b, 도 5a 및 도 5b를 참조하면, 기판(100) 내에 불순물 이온들을 주입하여 상기 기판(100)의 표면으로부터 소정의 깊이내 채널스탑 확산층(102)을 형성할 수 있다.

상기 기판(100)의 소정영역 상에 하드마스크 패턴(104)을 형성하고, 상기 하드마스크 패턴(104)을 마스크로 사용하여 상기 기판(100)을 식각하여 상기 기판(100)으로부터 돌출된 활성영역(106)을 형성한다. 상기 활성영역(106)은 상기 기판(100)의 일부분이며, 핀 형태(fin-shaped)로 형성될 수 있다. 상기 하드마스크 패턴(104)은 상기 기판(100)에 대하여 식각선택비를 갖는 물질로 형성한다. 예컨대, 상기 하드마스크 패턴(104)은 실리콘 질화막을 포함할 수 있다.

상기 활성영역(106)을 갖는 기판(100) 전면 상에 상기 기판(100)의 식각된 영역을 충분히 채우는 소자분리 절연막(108)을 형성한다. 상기 소자분리 절연막(108)은 실리콘 산화막으로 형성할 수 있다.

상기 소자분리 절연막(108) 및 상기 하드마스크 패턴(104)을 상기 활성영역(106)의 상부면이 노출될때까지 평탄화시키어 소자분리막(108a)을 형성한다. 이때, 상기 하드마스크 패턴(104)은 제거된다. 상기 소자분리막(108a)은 상기 활성영역(106)의 측벽을 둘러싸는 형태로 형성된다.

상기 노출된 활성영역(106)을 가로지르는 더미 게이트 패턴(110)을 형성한다. 상기 더미 게이트 패턴(110)은 리소그래피 공정이 정의할 수 있는 최소선폭으로 형성할 수 있다. 상기 더미 게이트 패턴(110)은 상기 활성영역(106)에 대하여 식각선택비를 갖는 물질로 형성한다. 예컨대, 상기 더미 게이트 패턴(110)은 실리콘 산화막으로 형성할 수 있다.

도 6a, 도 6b, 도 7a 및 도 7b를 참조하면, 상기 더미 게이트 패턴(110) 및 소자분리막(108a)을 마스크로 사용하여 상기 활성영역(106)을 식각하여 상기 더미 게이트 패턴(110) 아래에 돌출된 채널 패턴(106a)을 형성한다. 이때, 상기 더미 게이트 패턴(110) 양측에는 상기 소자분리막(108a) 및 돌출된 채널 패턴(106a)으로 둘러 싸인 갭 영역(111)이 형성된다. 상기 갭 영역(111)은 상기 활성영역(106)이 식각된 영역으로, 그것의 하부면은 상기 활성영역(106)의 일부분이 잔존할 수 있다. 상기 돌출된 채널 패턴(106a)은 상기 갭 영역(111)에 노출된 한쌍의 제1 측벽들과, 상기 제1 측벽들에 수직하며 상기 소자분리막(108a)과 접촉하고 있는 한쌍의 제2 측벽들을 갖는다.

이어서, 상기 돌출된 채널 패턴(106a)에 등방성 식각을 이용하는 트리밍(trimming) 공정을 수행하는 것이 바람직하다. 상기 트리밍 공정에 의하여 상기 돌출된 채널 패턴(106a)의 폭을 감소시킬 수 있으며, 그것의 측벽을 매끄럽게 평탄화할 수 있다. 이때, 상기 갭 영역(111)의 바닥면인 활성영역(106)의 일부도 식각될 수 있다. 상기 더미 게이트 패턴(110)이 포토리소그래피 공정이 정의할 수 있는 최소선폭으로 형성될 경우, 상기 트리밍 공정으로 인하여, 상기 돌출된 채널 패턴(106a)의 폭은 포토리소그래피 공정이 정의할 수 있는 최소선폭보다 작게 형성할 수 있다. 물론, 경우에 따라, 상기 트리밍 공정은 생략될 수도 있다.

상기 돌출된 채널 패턴(106a)을 갖는 기판(100)에 불순물 도핑이 인시츄(in-situ)로 수행되는 에피택시얼 성장 공정을 수행하여 인시츄 도핑된 에피 패턴(112)을 형성한다. 상기 인시츄 도핑된 에피 패턴(112)은 소오스/드레인 영역에 포함된다. 상기 돌출된 채널 패턴(106a)의 제1 측벽들에 한쌍의 상기 인시츄 도핑된 에피 패턴들(112)이 각각 형성된다. 이때, 상기 갭 영역(111)의 바닥면에도 상기 인시츄 도핑된 에피 패턴(112)의 일부가 형성된다. 상기 기판(100)은 실리콘 기판인 것이 바람직하며, 이로써, 상기 인시츄 도핑된 에피 패턴(112)은 도핑된 단결정 실리콘으로 형성된다. 상기 인시츄 도핑된 에피 패턴(112) 내의 불순물들은 상기 채널스탑 확산층(102)과 다른 타입의 불순물들이다.

상기 인시츄 도핑된 에피 패턴(112)은 불순물 도핑이 인시츄로 수행됨으로, 그것의 불순물 농도는 상기 돌출된 채널 패턴(106a)과 접촉면 전체에 걸쳐 균일하다. 그 결과, 상기 접촉면의 모든 영역에서 채널이 형성되고, 채널길이들이 균일하게 되어 트랜지스터의 구동전류량이 최대화되고, 트랜지스터의 턴오프 특성이 안정화된다.

상기 인시츄 도핑된 에피 패턴(112)을 갖는 기판(100) 전면에서 상기 갭 영역(114)을 채우는 도전막(114)을 형성한다. 상기 도전막(114)은 도핑된 폴리실리콘 또는 저저항의 도전성 금속 함유 물질로 형성할 수 있다. 상기 도전막(114)이 도핑된 폴리실리콘으로 형성될 경우, 불순물 도핑은 폴리실리콘의 증착과 인시츄로 수행하는 것이 바람직하다.

이와는 다르게, 상기 도전막(114)의 도핑된 폴리실리콘은 언도프트(undoped) 폴리실리콘을 증착한 후에, 언도프트 폴리실리콘에 불순물들을 이온주입하여 형성할 수 있다. 이 경우에, 상기 도전막(114)내 불순물들의 활성화를 위한 열공정시, 상기 도전막(114)내의 불순물들은 상기 인시츄 도핑된 에피 패턴들(112)으로 인하여 상기 돌출된 채널 패턴(106a)으로 확산되는 것이 최소화될 수 있다. 또한, 상기 인시츄 도핑된 에피 패턴들(112) 내의 불순물들은 이미 활성화된 상태이다. 따라서, 상기 도전막(114)내 불순물들의 활성화를 위한 열공정시, 상기 인시츄 도핑된 에피 패턴(112)내 불순물들이 상기 돌출된 채널 패턴(106a) 내로 주입되는 것이 최소화된다. 결과적으로, 상기 도전막(114)의 도핑된 폴리실리콘이 불순물 주입에 의해 도핑될 경우, 활성화를 위한 충분한 열공정을 수행하여 상기 도전막(114) 내의 불순물 농도를 균일하게 할 수 있다. 설령, 상기 도전막(114)내의 불순물 농도들이 균일하지 않을지라도, 상기 균일한 불순물 농도의 인시츄 도핑된 에피 패턴(112)이 상기 돌출된 채널 패턴(106a)과 접촉하고 있음으로, 소오스/드레인 영역은 채널 영역 전역에 균일한 불순물 농도로 접촉하고 있다.

도 8a, 도 8b, 도 9a 및 도 9b를 참조하면, 상기 도전막(114)을 상기 소자분리막(108a)이 노출될때까지 식각하여 상기 갭 영역(111) 내에 도전 패턴(114a)을 형성한다. 구체적으로, 상기 도전막(114)은 오로지 에치백(etch back) 공정으로 식각되어 상기 도전 패턴(114a)이 형성될 수 있다. 이와는 달리, 상기 도전막(114)은 상기 더미 게이트 패턴(110)이 노출될때까지 화학적기계적 연마공정이 수행한 후에, 상기 연마된 도전막(114)을 상기 소자분리막(108a)이 노출될때까지 에치백 공정을 수행하여 상기 도전 패턴(114a)이 형성될 수 있다.

이어서, 상기 기판(100) 전면 상에 몰드층(116)을 형성하고, 상기 몰드층(116)을 상기 더미 게이트 패턴(110)이 노출될때까지 평탄화시킨다. 상기 몰드층(116)은 상기 소자분리막(108a) 및 더미 게이트 패턴(110)에 대하여 식각선택비를 갖는 절연막으로 형성한다. 예를 들면, 상기 몰드층(116)은 실리콘질화막 또는 실리콘 산화질화막으로 형성할 수 있다.

상기 평탄화된 몰드층(116)을 식각마스크로 사용하여 상기 더미 게이트 패턴(110)을 제거하여 제1 홈(118)을 형성한다. 이때, 상기 돌출된 채널 패턴(106a)을 식각정지층으로 사용할 수 있다. 이로써, 상기 제1 홈(118)은 상기 소자분리막(108a) 및 돌출된 채널 패턴(106a)의 상부면을 노출시킬 수 있다.

상기 트리밍 공정이 수행될 경우, 상기 제1 홈(118)에는 상기 인시츄 도핑된 에피 패턴(112)이 노출될 수 있다. 따라서, 상기 제1 홈(118)의 내측벽에 상기 노출된 인시츄 도핑된 에피 패턴(112)을 덮는 절연 스페이서(120)를 형성하는 것이 바람직하다. 상기 절연 스페이서(120)는 상기 소자분리막(108a)에 대하여 식각선택비를 갖는 절연막으로 형성한다. 예컨대, 상기 절연 스페이서(120)는 상기 몰드층(116)과 동일한 물질인 실리콘 질화막 또는 실리콘 산화질화막으로 형성할 수 있다.

상기 몰드층(116) 및 절연 스페이서(120)를 마스크로 사용하여 상기 돌출된 채널 패턴(106a) 내에 문턱전압 조절을 위한 불순물 이온들을 주입할 수도 있다.

상기 몰드층(116) 및 절연 스페이서(120)를 마스크로 사용하여 상기 소자분리막(108a)을 식각하여 상기 소자분리막(108a)내에 제2 홈(121)을 형성한다. 상기 제2 홈(121)은 상기 돌출된 채널 패턴(106a)의 제2 측벽들을 노출시킨다. 바람직하게는, 상기 제2 홈(121)은 상기 제2 측벽들의 상부(upper portion)를 노출시킨다. 상기 제1 및 제2 홈들(118,121)은 게이트 홈을 구성한다.

상기 게이트 홈을 갖는 기판(100)에 게이트 절연막(122)을 형성한다. 상기 게이트 절연막(122)은 실리콘 산화막, 특히, 열산화막으로 형성할 수 있다. 상기 게이트 절연막(122)을 갖는 기판(100) 전면에 상기 게이트 홈을 채우는 게이트 도전막을 형성하고, 상기 게이트 도전막을 상기 몰드층(116)이 노출될때까지 평탄화시키어 도 1 내지 도 3에 도시된 게이트 전극(124a)을 형성한다.

상술한 제조 방법에 있어서, 상기 트리밍 공정 및 절연 스페이서(120)에 의하여 상기 게이트 전극(124a)은 포토리소그래피 공정이 정의할 수 있는 최소선폭에 비하여 작은 폭을 갖도록 형성할 수 있다. 이로써, 상기 반도체 소자는 고집적화에 매우 적합하다.

## (제2 실시예)

본 발명의 다른 실시예에서는, 보다 많은 구동전류량을 확보하기 위한 트랜지스터를 개시한다. 이 트랜지스터도 기판으로부터 수직으로 돌출된 채널 패턴 및 인시츄 도핑된 에피 패턴을 포함한다.

도 10은 본 발명의 다른 실시예에 따른 반도체 소자를 나타내는 사시도이고, 도 11 및 도 12는 각각 도 10의 III-III' 및 IV-IV'을 따라 취해진 단면도들이다.

도 10, 도 11 및 도 12를 참조하면, 돌출된 채널 패턴(210a)이 기판(200)으로부터 수직으로 연장되어 있다. 상기 돌출된 채널 패턴(210a)은 서로 마주보며 한쌍의 제1 측벽들과, 서로 마주보는 제2 측벽들을 포함한다. 상기 제1 및 제2 측벽들은 서로 수직할 수 있다. 상기 돌출된 채널 패턴(210a) 상부에 이격된 채널 패턴(206b)이 배치된다. 상기 이격된 채널 패턴(206b)은 상기 돌출된 채널 패턴(210a)의 상부면으로부터 수직으로 이격된다. 상기 이격된 채널 패턴(206b)은 상기 돌출된 채널 패턴(210a)에 정렬된 측벽들을 갖는다. 즉, 상기 이격된 채널 패턴(206b)은 상기 제1 측벽들에 정렬된 한쌍의 제3 측벽들 및, 상기 제2 측벽들에 정렬된 한쌍의 제4 측벽들을 갖는다. 상기 기판(200)은 실리콘 기판이고, 상기 돌출된 채널 패턴(210a)은 단결정 실리콘인 것이 바람직하다. 상기 돌출된 채널 패턴(210a)은 상기 기판(200)의 일부분인 것이 바람직하다. 상기 이격된 채널 패턴(206b)은 상기 돌출된 채널 패턴(210a)과 같은 동일한 원소들을 갖는 단결정 반도체층이다. 특히, 상기 이격된 채널 패턴(206b)은 상기 돌출된 채널 패턴(210a)에 비하여 넓은 격자폭을 갖는 팽창된 단결정 실리콘(strained crystalline silicon)인 것이 바람직하다.

상기 돌출된 채널 패턴(210a)의 제1 측벽들에 한쌍의 인시츄 도핑된 에피 패턴들(218)이 각각 형성된다. 이때, 상기 인시츄 도핑된 에피 패턴들(218)은 수직으로 연장되어 상기 이격된 채널 패턴(206b)의 제3 측벽들의 전면에 접촉된다. 상기 인시츄 도핑된 에피 패턴(218)은 트랜지스터의 소오스/드레인 영역에 포함된다. 상기 이격된 채널 패턴(206b)은 상기 인시츄 도핑된 에피 패턴(218)에 의하여 지지되어 상기 돌출된 채널 패턴(210a)으로부터 수직으로 이격되어 있다. 상기 한쌍의 인시츄 도핑된 에피 패턴들(218), 상기 이격된 채널 패턴(206b)의 하부면 및, 상기 돌출된 채널 패턴(210a)의 상부면으로 둘러싸인 터널(225)이 배치된다.

상기 인시츄 도핑된 에피 패턴(218)은 불순물 도핑이 인시츄로 수행되는 에피택시얼 성장 공정에 의해 형성된 반도체층이다. 예컨대, 상기 인시츄 도핑된 에피 패턴(218)은 도핑된 단결정 실리콘인 것이 바람직하다. 상기 인시츄 도핑된 에피 패턴(218)은 그것의 전체에 걸쳐 균일한 불순물 농도를 갖는다.

상기 돌출된 채널 패턴(210a) 아래의 기판(200)내에 채널스탑 확산층(202)이 배치될 수 있다. 상기 채널스탑 확산층(202)은 상기 돌출된 채널 패턴(210a)내의 불순물과 동일한 타입을 가짐과 동시에, 상기 돌출된 채널 패턴(210a)에 비하여 높은 불순물 농도를 갖는 것이 바람직하다. 상기 채널스탑 확산층(202)은 상기 소오스/드레인 영역들 간의 편치스루 특성을 향상시키며, 상기 돌출된 채널 패턴(210a)아래에 채널 형성을 억제한다.

상기 돌출된 채널 패턴(210a)에 대향된 상기 인시츄 도핑된 에피 패턴들(218)의 일측벽들에 한쌍의 도전 패턴들(220)이 각각 형성된다. 상기 도전 패턴(220)은 도핑된 폴리실리콘 또는 저저항의 도전성 금속 함유 물질을 포함할 수 있다. 저저항의 도전성 금속 함유 물질은 상술한 제1 실시예와 동일한 물질들일 수 있다. 상기 도전 패턴(220)은 소오스/드레인 영역에 포함된다. 상기 인시츄 도핑된 에피 패턴(218)의 하부측벽(lower sidewall)은 상기 기판(200)의 표면을 따라 연장되어 상기 기판(200)과 상기 도전 패턴(220) 사이에 개재될 수 있다.

상기 돌출된 채널 패턴(210a), 이격된 채널 패턴(206b), 인시츄 도핑된 에피 패턴들(218) 및 도전 패턴들(220)은 기판(200)으로 구성된 구조물은 상기 기판(200)으로 부터 돌출된 편 형태일 수 있다. 물론, 상기 구조물의 상부면은 일반적인 핀 트랜지스터의 상부면에 비하여 넓을 수도 있다.

상기 기판(200) 상에 상기 패턴들(210a,206b,218,220)의 노출된 측벽들을 둘러싸는 소자분리막(214)이 배치된다. 이때, 상기 이격된 채널 패턴(206b), 인시츄 도핑된 에피 패턴들(218) 및 도전 패턴들(220)의 상부면은 노출된다. 상기 소자분리막(214) 및 상기 노출된 패턴들(210,206b,218,220)을 덮는 몰드층(222)이 배치된다. 상기 몰드층(222)은 상기 소자분리막(214)에 대하여 식각선택비를 갖는 절연막으로 이루어진다. 예컨대, 상기 소자분리막(214)은 실리콘 산화막으로 이루어지고, 상기 몰드층(222)은 실리콘 질화막 또는 실리콘산화질화막으로 이루어질 수 있다.

상기 몰드층(222) 내에 상기 이격된 채널 패턴(206b)을 가로지르는 제1 홈(224)이 배치된다. 상기 제1 홈(224)은 상기 소자분리막(214) 및 상기 이격된 채널 패턴(206b)을 노출시킨다. 상기 제1 홈(224)의 내측벽들에 절연 스페이서(226)가 형성되는 것이 바람직하다. 경우에 따라, 상기 제1 홈(224)은 상기 인시츄 도핑된 에피 패턴(218)을 노출시킬 수도 있다. 이때, 상기 절연 스페이서(226)는 상기 노출된 인시츄 도핑된 에피 패턴(218)을 덮는다. 상기 절연 스페이서(226)는 상기 소자분리막(214)에 대하여 식각선택비를 갖는 절연막으로 이루어진다. 예컨대, 상기 절연 스페이서(226)는 상기 몰드층(222)과 동일한 물질인 실리콘 질화막 또는 실리콘 산화질화막으로 이루어질 수 있다.

상기 소자분리막(214) 내에 상기 제1 홈(224)에 정렬된 제2 홈(227)이 배치된다. 바람직하게는, 상기 제2 홈(227)은 상기 절연 스페이서(226)에 정렬된다. 상기 제2 홈(227)은 상기 이격된 채널 패턴(206b) 및 상기 돌출된 채널 패턴(210a)을 노출시킨다. 구체적으로, 상기 제2 홈(227)은 상기 돌출된 채널 패턴(210a)의 제2 측벽들, 이격된 채널 패턴(206b)의 제4 측벽들 및, 터널(225)을 노출시킨다. 따라서, 상기 제2 홈(227)은 상기 터널(225)의 내측벽들, 즉, 상기 돌출된 채널 패턴(210a)의 상부면, 이격된 채널 패턴(206b)의 하부면 및, 인시츄 도핑된 채널 패턴들(218)의 일부측벽들을 노출시킨다. 바람직하게는, 상기 제2 홈(227)은 상기 제2 측벽들의 상부(upper portion)를 노출시킨다. 상기 제1 및 제2 홈들(224,227)은 게이트 홈을 구성한다.

게이트 전극(230a)이 상기 게이트 홈을 채운다. 즉, 상기 게이트 전극(230a)은 상기 돌출된 채널 패턴(210a) 및 이격된 채널 패턴(206b)을 가로지른다. 상기 게이트 전극(230a)과 상기 돌출된 채널 패턴(210a) 사이와, 상기 게이트 전극(230a)과 상기 이격된 채널 패턴(206b) 사이에 게이트 절연막(228)이 개재된다. 또한, 상기 게이트 전극(230a)은 상기 터널(225)도 채우고, 상기 게이트 절연막(228)은 연장되어 상기 게이트 전극(230a)과 상기 인시츄 도핑된 에피 패턴들(218) 사이에도 개재된다. 즉, 상기 게이트 전극(230a)은 상기 돌출된 채널 패턴(210a)의 제2 측벽들 및 상부면과, 상기 이격된 채널 패턴(206b)의 제3 측벽들, 상부면 및 하부면을 덮는다.

상기 게이트 전극(230a)은 도전 물질로 이루어진다. 예컨대, 도핑된 폴리실리콘 또는 저저항의 금속 함유 물질을 포함할 수 있다. 저저항의 도전성 금속 함유 물질은 상술한 일 실시예와 동일한 물질일 수 있다. 상기 게이트 절연막(228)은 실리콘 산화막, 특히, 열산화막으로 이루어질 수 있다. 상기 돌출된 채널 패턴(210a)의 양측에 배치된 게이트 전극(230a)의 아래에는 상기 소자분리막(214) 또는 채널스탑 확산층(202)이 배치되어 있으므로, 상기 트랜지스터는 이웃하는 다른 단일소자들(미도시함)과 전기적으로 격리될 수 있다.

상술한 구조의 트랜지스터에 있어서, 트랜지스터의 채널 영역은 상기 게이트 홈(224)에 노출된 상기 돌출된 채널 패턴(210a)의 제2 측벽들 및 상부면과, 상기 이격된 채널 패턴(206b)의 상하부면들 및 제4 측벽들을 포함한다. 이로써, 상기 트랜지스터의 채널 폭이 증가된다. 또한, 상기 인시츄 도핑된 에피 패턴(218)은 상기 채널 영역의 채널 폭 전면에 균일한 불순물 농도로 접촉하며, 상기 채널영역의 채널길이들이 균일하다. 결과적으로, 상기 트랜지스터는 보다 넓은 채널 폭을 모두 사용하게 됨으로써, 상기 트랜지스터의 구동전류량은 증가하게 된다. 또한, 상기 트랜지스터의 온오프 특성이 안정화된다.

이에 더하여, 상기 이격된 채널 패턴(206b)은 팽창된 단결정 실리콘으로 이루어진다. 따라서, 상기 채널 영역내의 캐리어들의 이동도 및 량이 증가되어 상기 트랜지스터의 구동전류량이 더욱 증가할 수 있다.

도 11 및 도 12에 도시된 트랜지스터는 게이트 전극(230a)이 상기 터널(225)을 채운다. 이와는 다르게, 상기 터널(225)에는 다른 물질이 채워질 수 있다. 이를, 도 13 및 도 14를 참조하여 설명한다.

도 13 및 도 14는 본 발명의 다른 실시예에 따른 반도체 소자의 변형예를 보여주기 위하여 각각 도 10의 III-III' 및 IV-IV'을 따라 취해진 단면도들이다.

도 13 및 도 14를 참조하면, 채널 층간 패턴(204b)이 터널(225)을 채운다. 즉, 상기 채널 층간 패턴(204b)은 상기 터널(225)의 내측벽들인 돌출된 채널 패턴(210a)의 상부면, 이격된 채널 패턴(206b)의 하부면 및 인시츄 도핑된 에피 패턴들(218)의 측벽들 일부와 접촉한다. 상기 채널 층간 패턴(204b)은 상기 돌출된 및 이격된 채널 패턴들(210a, 206b)의 측벽들에 정렬된 측벽들을 갖는다.

상기 채널 층간 패턴(204b)은 돌출된 채널 패턴(210a)에 비하여 넓은 격자 폭을 갖는 단결정 반도체층으로 이루어지는 것이 바람직하다. 또한, 상기 채널 층간 패턴(204b)은 상기 돌출된 및 이격된 채널 패턴들(210a, 206b)에 대하여 식각선택비를 갖는 단결정 반도체층으로 이루어지는 것이 바람직하다. 예컨대, 상기 채널 층간 패턴(204b)은 실리콘-게르마늄층으로 이루어지는 것이 바람직하다. 실리콘-게르마늄층 내의 게르마늄 원자들은 실리콘 원자들에 비하여 큰 반경을 갖는다. 이에 따라, 상기 실리콘-게르마늄층은 단결정 실리콘에 비하여 넓은 격자 폭을 갖는다. 특히, 상기 채널 층간 패턴(204b)은 그것의 하부면으로 부터 높아질수록 게르마늄 농도가 점진적으로 증가하여 그것의 격자폭이 점진적으로 증가되는 것이 바람직하다. 이로써, 상기 채널 층간 패턴(204b)은 상기 돌출된 채널 패턴(210a)과 상기 이격된 채널 패턴(206b)간의 격자 폭 차이에 의한 스트레스를 완충하는 역할을 할 수 있다.

상기 채널 층간 패턴(204b)으로 인해, 게이트 전극(230a')은 상기 돌출된 채널 패턴(210a)의 제2 측벽들, 상기 이격된 채널 패턴(206b)의 제4 측벽들 및, 상기 채널 층간 패턴(204b)의 상기 제2 및 제4 측벽들에 정렬된 측벽들 덮는다. 게이트 절연막(228')은 연장되어 상기 게이트 전극(230a')과 상기 돌출된 채널 패턴(210a) 사이, 상기 게이트 전극(230a')과 상기 채널 층간 패턴(204b) 사이 및, 상기 게이트 전극(230a')과 상기 이격된 채널 패턴(206b) 사이에 개재된다.

상술한 변형예에 따른 트랜지스터는 상기 채널 층간 패턴(204b) 및 이격된 채널 패턴(206b)이 상기 돌출된 채널 패턴(210a)에 비하여 넓은 격자폭을 갖는다. 이로 인하여, 채널 영역내 캐리어들의 이동도 및 량이 증가된다. 따라서, 트랜지스터의 구동전류량이 증가된다.

도 15a 내지 도 19a는 본 발명의 다른 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 도 10의 III-III'을 따라 취해진 단면도들이고, 도 15b 내지 도 19b는 본 발명의 다른 실시예에 반도체 소자의 제조 방법을 설명하기 위하여 도 10의 IV-IV'을 따라 취해진 단면도들이다.

도 15a, 도 15b, 도 16a 및 도 16b를 참조하면, 기판(200)의 표면으로부터 소정의 깊이에 채널스탑 확산층(202)을 형성한다. 상기 채널스탑 확산층(202)은 상술한 제1 실시예와 동일하게 형성할 수 있다.

상기 기판(200) 상에 층간 반도체층(204) 및 채널 반도체층(206)을 차례로 형성한다. 상기 층간 반도체층(204)은 상기 채널 반도체층(206) 및 기판(200)에 대하여 식각선택비를 갖고, 상기 기판(200)에 비하여 넓은 격자폭을 갖는 단결정 반도체층으로 형성하는 것이 바람직하다. 상기 채널 반도체층(206)은 상기 기판(200)에 대하여 넓은 격자폭을 갖는 단결정 반도체층으로 형성하는 것이 바람직하다. 예컨대, 상기 기판(200)은 실리콘 기판이고, 상기 층간 반도체층(204)은 실리콘 게르마늄으로 형성하고, 상기 채널 반도체층(206)은 팽창된 단결정 실리콘으로 형성할 수 있다.

상기 층간 반도체층(204)은 상기 기판(200) 상에 실리콘 및 게르마늄 소스 가스들을 사용하는 에피택시얼 성장 공정으로 형성한다. 이때, 상기 게르마늄 소스 가스의 농도를 점진적으로 증가시키는 것이 바람직하다. 따라서, 상기 층간 반도체층(204)은 그것의 하부면으로 부터 높아질수록 게르마늄 농도가 점진적으로 증가되어, 격자폭이 점진적으로 증가된다. 상기 채널 반도체층(206)은 상기 층간 반도체층(204) 상에 실리콘 소스 가스들만을 사용하는 에피택시얼 성장 공정으로 형성한다. 따라서, 상기 채널 반도체층(206)은 상기 층간 반도체층(204)에 기인하여 상기 기판(200)에 비하여 넓은 격자폭을 갖는 팽창된 단결정 실리콘으로 형성된다.

상기 채널 반도체층(206)의 소정영역 상에 하드마스크 패턴(208)을 형성한다. 상기 하드마스크 패턴(208)은 상기 채널 반도체층(206), 층간 반도체층(204) 및 기판(200)에 대하여 식각선택비를 갖는 물질로 형성한다. 예컨대, 상기 하드마스크 패턴(208)은 실리콘 질화막을 포함할 수 있다.

상기 하드마스크 패턴(208)을 마스크로 사용하여 상기 채널 반도체층(206), 층간 반도체층(204) 및 기판(200)을 연속적으로 식각하여 기판(200)으로 부터 돌출된 활성영역(212)을 형성한다. 상기 활성영역(212)은 차례로 적층된 기판의 돌출부(210), 패터닝된 층간 반도체층(204a) 및 패터닝된 채널 반도체층(206a)으로 구성된다. 상기 기판의 돌출부(210)는 상기 채널스탑 확산층(202) 상에 위치한 기판(200)의 일부분인 것이 바람직하다. 상기 활성영역은 핀 형태로 형성될 수 있다.

이어서, 상기 기판(200) 상에 상기 활성영역(212)을 둘러싸는 소자분리막(214)을 형성한다. 이때, 상기 하드마스크 패턴(208)은 제거되어 상기 활성영역(212)의 상부면이 노출된다. 상기 소자분리막(214)은 상술한 제1 실시예와 동일한 물질 및 방법으로 형성할 수 있다.

상기 소자분리막(214) 상에 상기 활성영역(212)을 가로지르는 더미 게이트 패턴(216)을 형성한다. 상기 더미 게이트 패턴(216)은 상기 활성영역(212)에 대하여 식각선택비를 갖는 물질로 형성하는 것이 바람직하다. 예컨대, 상기 더미 게이트 패턴(216)은 실리콘산화막으로 형성할 수 있다.

도 17a, 도 17b, 도 18a, 도 18b, 도 19a 및 도 19b를 참조하면, 상기 더미 게이트 패턴(216)을 마스크로 사용하여 상기 활성영역(212)을 식각하여 상기 더미 게이트 패턴(216) 아래에 차례로 적층된 돌출된 채널 패턴(210a), 채널 층간 패턴(204b) 및 이격된 채널 패턴(206b)을 형성한다. 이때, 상기 더미 게이트 패턴(204b) 양측에 상기 활성영역(212)의 식각된 영역인 한쌍의 갭 영역들(217)이 각각 형성된다. 상기 돌출된 채널 패턴(210a)은 상기 기판의 돌출부(210)의 일부분이며, 상기 채널 층간 패턴(204b)은 상기 패터닝된 층간 반도체층(204a)의 일부분이고, 상기 이격된 채널 패턴(206b)은 상기 패터닝된 채널 반도체층(206a)의 일부분이다. 상기 갭 영역(217)은 일 내측벽이 상기 소자분리막(214)으로 형성되고, 타 내측벽이 상기 패턴들(210a, 204b, 206b)로 형성되며, 그것의 바닥면은 상기 기판의 돌출부(210)의 일부분 또는 상기 기판(200)일 수 있다.

이어서, 상기 패턴들(210a, 204b, 206b)에 동일한 식각율을 갖는 등방성 식각을 이용하는 트리밍 공정을 수행하는 것이 바람직하다. 이에 따라, 상기 갭 영역(217)에 노출된 상기 패턴들(210a, 204b, 206b)의 측벽들의 표면이 평탄화되며, 상기 패턴들(210a, 204b, 206b)의 폭(즉, 트랜지스터의 채널길이)이 감소된다. 상기 더미 게이트 패턴(216)을 리소그래피 공정이 정의할 수 있는 최소선폭으로 형성할 경우, 상기 트리밍 공정으로 인해 상기 패턴들(210a, 204b, 206b)의 폭은 리소그래피 공정이 정의할 수 있는 최소선폭에 비하여 더 작게 형성할 수 있다. 상기 트리밍 공정시, 상기 갭 영역(217)의 바닥면에 노출된 상기 기판의 돌출부(210)의 일부분도 식각될 수 있다.

상기 돌출된 채널 패턴(210a)은 상기 갭 영역(217)에 노출된 한쌍의 제1 측벽들과, 상기 제1 측벽들에 수직하며, 상기 소자분리막(218)으로 덮여있는 제2 측벽들을 갖는다. 상기 이격된 채널 패턴(206b)은 상기 갭 영역(217)에 노출되고, 상기 제1 측벽들에 정렬된 한쌍의 제3 측벽들과, 상기 제2 측벽들에 정렬된 한쌍의 제4 측벽들을 갖는다. 상기 채널 층간 패턴(204b)의 측벽들은 상기 돌출된 및 이격된 채널 패턴들(210a, 206b)에 정렬된 측벽들을 갖는다.

이어서, 불순물 도핑을 인시츄로 진행하는 선택적 에피택시얼 성장 공정을 수행하여 상기 패턴들(210a, 204b, 206b)의 노출된 양측벽들에 한쌍의 인시츄 도핑된 에피 패턴(218)을 각각 형성된다. 상기 인시츄 도핑된 에피 패턴(218)은 도핑된 단결정 실리콘으로 형성되는 것이 바람직하다. 상기 인시츄 도핑된 에피 패턴(218)은 상기 갭 영역(217)의 바닥면에도 형성될 수 있다.

상기 갭 영역(217)을 채우는 도전 패턴(220)을 형성한다. 상기 도전 패턴(220)은 상술한 제1 실시예와 동일한 방법 및 동일한 물질로 형성할 수 있다.

상기 기판(200) 전면에 몰드층(222)을 형성하고, 상기 몰드층(222)을 상기 더미 게이트 패턴(216)이 노출될때까지 평탄화시킨다. 상기 몰드층(222)은 상기 더미 게이트 패턴(216) 및 소자분리막(214)에 대하여 식각선택비를 갖는 절연막, 예컨대, 실리코질화막 또는 실리콘 산화질화막으로 형성할 수 있다.

상기 평탄화된 몰드층(222)을 마스크로 사용하여 상기 더미 게이트 패턴(216)을 제거하여 제1 홈(224)을 형성한다. 이때, 상기 이격된 채널 패턴(206b)을 식각정지층으로 사용할 수 있다. 상기 제1 홈(224)은 상기 이격된 채널 패턴(206b)을 가로지르며, 상기 이격된 채널 패턴(206b)의 상부면 및 소자분리막(214)의 일부분을 노출시킨다.

상기 제1 홈(224)의 내측벽들에 절연 스페이서(226)를 형성한다. 상기 절연 스페이서(226)는 상기 소자분리막(108a)에 대하여 식각선택비를 갖는 절연막으로 형성한다. 예컨대, 상기 절연 스페이서(226)는 상기 몰드층(222)과 동일한 물질인 실리코 질화막 또는 실리콘 산화질화막으로 형성할 수 있다. 상기 트리밍 공정으로 인하여, 상기 제1 홈(224)은 상기 인시츄 도핑된 에피 패턴(218)을 노출시킬수도 있다. 이때, 상기 절연 스페이서(226)는 상기 노출된 인시츄 도핑된 에피 패턴(218)을 덮는다.

상기 몰드층(222) 및 절연 스페이서(226)을 마스크로 사용하여 상기 소자분리막(214)을 식각하여 도 10에 도시된 제2 홈(227)을 형성한다. 상기 제2 홈(227)은 상기 이격된 채널 패턴(206b)의 제4 측벽들, 상기 돌출된 채널 패턴(210a)의 제2 측벽들 및, 상기 채널 층간 패턴(204b)의 상기 제2 및 제4 측벽들에 정렬된 측벽들을 노출시킨다. 특히, 상기 제2 홈(227)은 상기 제2 측벽들의 상부(upper portion)를 노출시키는 것이 바람직하다.

등방성 식각 공정을 수행하여 상기 노출된 채널 층간 패턴(204b)을 선택적으로 제거한다. 이에 따라, 상기 이격된 채널 패턴(206b)의 하부면, 돌출된 채널 패턴(210a)의 상부면 및, 인시츄 도핑된 에피 패턴들(218)로 둘러싸인 터널(225)이 형성된다. 상기 채널 층간 패턴(204b)이 제거될지라도, 상기 이격된 채널 패턴(206b)의 격자폭은 팽창된 상태가 유지될 수 있다.

상기 터널(225)을 갖는 기판(200) 전면에 게이트 절연막(228)을 형성한다. 상기 게이트 절연막(228)은 실리콘 산화막, 특히, 열산화막으로 형성할 수 있다. 이어서, 상기 게이트 홈 및 상기 터널(225)을 채우는 게이트 도전막(230)을 기판(200) 전면에서 형성한다. 상기 게이트 도전막(230)은 도핑된 폴리실리콘 또는 저저항의 도전성 금속 함유 물질로 형성할 수 있다. 저저항의 도전성 금속 함유 물질은 상술한 제1 실시예와 동일한 물질들로 형성할 수 있다. 상기 게이트 도전막(230)을 상기 몰드층(222)이 노출될때까지 평탄화시키어 도 11 및 도 12에 도시된 게이트 전극(230a)을 형성한다.

이와는 다르게, 상기 노출된 채널 층간 패턴(204b)을 제거하는 공정을 생략할 수 있다. 이에 따라, 도 13 및 도 14에 도시된 트랜지스터를 구현할 수 있다. 이 경우에는, 상기 터널(225)을 상기 채널 층간 패턴(204b)이 채우고 있음으로, 도 13 및 도 14의 게이트 절연막(228') 및 게이트 전극(230a')이 순차적으로 형성된다.

### (제3 실시예)

본 발명의 또 다른 실시예에 따른 반도체 소자는 상술한 제2 실시예와 유사하다. 본 실시예에 따른 반도체 소자의 특이점은 돌출된 채널 패턴 상부에 복수개의 이격된 채널 패턴들이 배치되는 것이다. 따라서, 본 실시예에서는, 상술한 제2 실시예와 동일한 구성요소들은 동일한 참조부호를 사용하며, 본 실시예의 특이점을 중심으로 기술한다.

도 20은 본 발명의 또 다른 실시예에 따른 반도체 소자를 나타낸 사시도이며, 도 21 및 도 22는 각각 도 20의 V-V' 및 VI-VI'을 따라 취해진 단면도들이다.

도 20, 도 21 및 도 22를 참조하면, 돌출된 채널 패턴(210a)이 기판(200)으로 부터 수직으로 연장되어 있다. 상기 돌출된 채널 패턴(210a) 상부에 복수개의 이격된 채널 패턴들(206b, 206b')이 차례로 적층된다. 상기 이격된 채널 패턴들(206b, 206b')은 상기 돌출된 채널 패턴(210a)으로 부터 이격되어 있으며, 또한, 상기 이격된 채널 패턴들(206b, 206b')으로 서로 수직으로 이격되어 있다. 도 21 및 도 22에는, 제1 및 제2 이격된 채널 패턴들(206b, 206b')이 도시하였다. 이와는 다르게, 3개 이상의 이격된 채널 패턴들(206b, 206b')이 배치될 수 있다.

상기 돌출된 채널 패턴(210a)의 상부에는 제1 터널(225)과 적어도 하나의 제2 터널들(225')이 배치된다. 상기 제1 채널(225)은 상기 돌출된 채널 패턴(210a)의 상부면, 제1 이격된 채널 패턴(206b)의 하부면 및, 한쌍의 인시츄 도핑된 에피 패턴들(218')로 둘러싸여 있으며, 상기 제2 터널(225')은 인접한 상기 이격된 채널 패턴들(206b, 206b')의 상하부면들 및 상기 인시츄 도핑된 에피 패턴들(218')로 둘러싸여 있다.

상기 이격된 채널 패턴들(206b,206b')은 서로 동일한 높이들을 가지거나, 서로 다른 높이들을 가질 수도 있다.

상기 돌출된 채널 패턴(210a) 및 이격된 채널 패턴들(206b,206b')은 상술한 제2 실시예와 동일한 물질로 이루어질 수 있다. 특히, 상기 각 이격된 채널 패턴들(206b,206b')은 상기 돌출된 채널 패턴(210a)에 비하여 넓은 격자 폭을 갖는 단결정 반도체층, 예컨대, 팽창된 단결정 실리콘으로 이루어질 수 있다.

상기 돌출된 채널 패턴(210a)은 서로 마주보는 한쌍의 제1 측벽들과, 서로 마주보는 한쌍의 제2 측벽들을 가진다. 상기 각 이격된 채널 패턴들(206b,206b')은 상기 제1 측벽들에 정렬된 제3 측벽들과, 상기 제2 측벽들에 정렬된 제4 측벽들을 갖는다.

상기 돌출된 채널 패턴(210a) 아래의 기판(200)에 채널스탑 확산층(202)이 배치될 수 있다.

한쌍의 인시츄 도핑된 에피 패턴들(218')이 상기 돌출된 채널 패턴(210a)의 제1 측벽들에 각각 형성된다. 상기 인시츄 도핑된 에피 패턴들(218')은 수직으로 연장되어 상기 이격된 채널 패턴들(206b,206b')의 제3 측벽들 전면에 각각 접촉한다. 상기 이격된 채널 패턴들(206b,206b')은 상기 인시츄 도핑된 에피 패턴들(218')에 의해 지지되어 상기 돌출된 채널 패턴(210a)으로부터 이격되어 있다. 상기 인시츄 도핑된 에피 패턴들(218')은 불순물 도핑이 인시츄로 수행되는 에피택시얼 성장 공정으로 형성된 반도체층, 예컨대, 도핑된 단결정 실리콘으로 이루어지는 것이 바람직하다.

상기 패턴들(210a,206b,206b')에 대향된 상기 인시츄 도핑된 에피 패턴(218')의 일측벽에 도전 패턴(220)이 배치된다. 상기 도전 패턴(220)은 상술한 실시예들과 동일한 물질로 이루어질 수 있다.

상기 기판(200) 상에 상기 패턴들(210a,206b,206b',218',220)을 둘러싸는 소자분리막(214)이 배치된다. 이때, 최상층의 제2 이격된 채널 패턴(206b'), 인시츄 도핑된 에피 패턴들(218') 및 도전 패턴들(220)의 상부면이 노출된다. 몰드층(222)이 상기 소자분리막(214) 및 노출된 패턴들(206b',218',220)을 덮는다. 상기 소자분리막(214) 및 몰드층(222)은 상술한 실시예들과 동일한 물질로 이루어질 수 있다.

상기 몰드층(222) 내에 상기 제2 이격된 채널 패턴(206b')을 가로지르고, 상기 소자분리막(214)의 일부를 노출시키는 제1 홈(224)이 배치된다. 상기 제1 홈(224)의 내측벽에 절연 스페이서(226)가 배치된다. 상기 절연 스페이서(226)의 역할 및 구성 물질은 상술한 실시예들과 동일할 수 있다.

상기 제1 홈(224)에 정렬된 제2 홈(227)이 소자분리막(214) 내에 배치된다. 바람직하게는, 상기 제2 홈(227)은 상기 절연 스페이서(226)에 정렬된다. 상기 제2 홈(227)은 상기 이격된 채널 패턴들(206b,206b')의 제4 측벽들과, 상기 돌출된 채널 패턴(210a)의 제2 측벽들을 노출시킨다. 물론, 상기 제2 홈(227)은 상기 제2 측벽들의 상부(upper portion)를 노출시키는 것이 바람직하다. 상기 제1 및 제2 홈들(224,227)은 게이트 홈을 구성한다.

게이트 전극(240a)이 상기 게이트 홈 및 터널들(225,225')을 채우고, 상기 게이트 전극(240a)과, 상기 패턴들(210a,206b,206b',218') 사이에 게이트 절연막(238)이 개재된다. 상기 게이트 전극(240a) 및 게이트 절연막(238)은 상술한 제2 실시예와 동일한 물질들로 이루어질 수 있다.

상술한 구조의 트랜지스터에서, 채널 영역은 복수개의 이격된 채널 패턴들(206b,206b')의 상하부면들 및 제4 측벽들과, 상기 돌출된 채널 패턴(210a)의 상부면 및 제2 측벽들을 포함한다. 이에 따라, 상기 트랜지스터의 채널폭은 더욱 증가할 수 있다. 또한, 상기 인시츄 도핑된 에피 패턴(218')은 균일한 불순물 농도로 상기 채널 폭 전면에 접촉함으로써, 상기 채널 폭의 모든 영역에 채널이 형성되며, 상기 채널 영역의 모든 채널길이들이 균일하게 형성될 수 있다. 이에 따라, 상기 트랜지스터의 구동전류량은 종래에 비하여 월등히 증가되며, 상기 트랜지스터의 온오프 특성이 매우 안정화될 수 있다.

상기 트랜지스터의 터널들(225,225')은 상기 게이트 전극(240a)이 채우는 것과 달리, 다른 물질에 의해 채워질 수 있다. 이를, 도 23 및 도 24를 참조하여 설명한다.

도 23 및 도 24는 본 발명의 또 다른 실시예에 따른 반도체 소자의 변형예를 보여주기 위하여 각각 도 20의 V-V' 및 VI-VI'을 따라 취해진 단면도들이다.

도 23 및 도 24를 참조하면, 제1 터널(225)을 제1 채널 층간 패턴(204b)이 채우고, 적어도 하나의 제2 터널들(225')을 제2 채널 층간 패턴(204b)이 채운다. 이에 따라, 게이트 전극(240a')은 돌출된 터널 패턴(210a)의 제2 측벽들, 이격된 터널 패턴들(206b,206b')의 제4 측벽들 및, 채널 층간 패턴들(204b,204b')의 상기 제2 및 제4 측벽들에 정렬된 측벽들을 덮는다. 게이트 절연막(238')은 상기 패턴들(210a,204b,206b,204b',206b')과 상기 게이트 전극(240a') 사이에 개재된다.

상기 제1 및 제2 채널 층간 패턴들(204b,204b')은 상기 돌출된 채널 패턴(210a)에 비하여 넓은 격자폭을 갖고, 상기 돌출된 채널 패턴(210a) 및 이격된 채널 패턴들(206b,206b')에 대하여 식각선택비를 갖는 단결정 반도체층으로 이루어진다. 특히, 상기 제1 채널 층간 패턴(204b)은 그것의 하부면으로부터 높아질수록 격자폭이 점진적으로 증가하는 단결정 반도체층으로 이루어지고, 적어도 하나의 상기 제2 채널 층간 패턴들(204b')은 그것의 전체에 걸쳐 균일한 격자폭을 갖는 단결정 반도체층으로 이루어지는 것이 바람직하다. 예컨대, 상기 제1 채널 층간 패턴(204b)은 그것의 하부면으로부터 높아질수록 게르마늄 농도가 점진적으로 증가하는 실리콘 게르마늄층으로 이루어지고, 적어도 하나의 상기 제2 채널 층간 패턴(204b')은 그것의 전체에 걸쳐 균일한 게르마늄 농도를 갖는 실리콘 게르마늄층으로 이루어지는 것이 바람직하다. 상기 제2 채널 층간 패턴(204b')의 게르마늄 농도는 상기 제1 채널 층간 패턴(204b)의 최대 게르마늄 농도와 동일한 것이 바람직하다.

상기 이격된 채널 패턴들(206b,206b')은 상기 돌출된 채널 패턴(210a)에 비하여 넓은 격자폭을 갖는 팽창된 단결정 실리콘으로 이루어진다. 이때, 상기 이격된 채널 패턴들(206b,206b')은 상기 제2 채널 층간 패턴(204b')과 동일한 격자폭을 가질 수 있다.

그 결과, 상기 제1 층간 채널 패턴(204b)은 상기 제1 이격된 채널 패턴(206b)과 상기 돌출된 채널 패턴(210a)간의 격자폭 차이에 의한 스트레스를 완충하며, 상기 제2 채널 층간 패턴(204b')은 상기 이격된 채널 패턴들(206b,206b')의 팽창된 격자폭을 지지하는 역할을 한다.

상술한 변형예에 따른 트랜지스터는 실리콘 격자 폭에 비하여 넓은 격자폭을 갖는 복수개의 패턴들(204b,206b,204b',206b')에 의하여 채널 영역내의 캐리어들의 이동도 및 양이 증가되어 트랜지스터의 구동전류량을 더욱 향상시킬 수 있다.

도 25a 내지 도 27a는 본 발명의 또 다른 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 도 20의 V-V'을 따라 취해진 단면도들이고, 도 25b 내지 도 27b는 본 발명의 또 다른 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 도 20의 VI-VI'을 따라 취해진 단면도들이다.

도 25a 및 도 25b를 참조하면, 기판(200)의 소정 깊이에 채널스탑 확산층(202)을 형성한다.

상기 기판(200) 상에 복수개의 층간 반도체층들(204a,204a') 및 복수개의 채널 반도체층들(206a,206a')을 번갈아가며 형성한다. 도면들에는, 제1 및 제2 층간 반도체층들(204a,204a') 및 제1 및 제2 채널 반도체층들(206a,206a')이 교대로 적층된 형태를 도시하였다. 상기 제1 층간 반도체층(204a) 및 제1 채널 반도체층(206a)은 각각 복수개의 층간 반도체층들(204a,204a')의 최하층 및, 복수개의 채널 반도체층들(206a,206a')의 최하층에 해당한다. 상기 제2 층간 반도체층(204a') 및 제2 채널 반도체층(206a')은 상기 제1 채널 반도체층(206a) 상에 복수번 교대로 형성될 수 있다. 따라서, 상기 기판(200) 상부에는 복수개의 제2 층간 반도체층들(204a') 및 복수개의 제2 채널 반도체층들(206a')이 형성될 수 있다.

상기 채널 반도체층들(206a,206a'), 층간 반도체층들(204a,204a') 및 기판(200)을 연속적으로 패터닝하여 기판(200)으로부터 수직으로 연장된 활성영역(212')을 형성한다. 상기 활성영역(212')을 형성하는 방법은 상술한 실시예들과 같이, 하드 마스크 패턴을 이용하여 형성할 수 있다. 상기 활성영역(212')은 기판의 돌출부(210), 패터닝된 층간 반도체층들(204a,204a') 및 패터닝된 채널 반도체층들(206a,206a')을 포함한다. 상기 패터닝된 층간 반도체층들(204a,204a') 및 패터닝된 채널 반도체층들(206a,206a')은 교대로 적층된다.

상기 층간 반도체층들(204a,204a')은 상기 채널 반도체층들(206a,206a') 및 기판(200)에 대하여 식각선택비를 갖고, 상기 기판의 돌출부(210)에 비하여 넓은 격자폭을 갖는 단결정 반도체층으로 형성한다. 특히, 상기 제1 층간 반도체층(204a)은 그것의 하부면으로부터 높아질수록 격자폭이 점진적으로 증가하는 단결정 반도체층으로 형성하고, 적어도 하나의 상기 제2 층간 반도체층들(204b')은 그것의 전체에 걸쳐 균일한 격자폭을 갖는 단결정 반도체층으로 형성하는 것이 바람직하다. 상기 채널 반도체층들(206a,206a')은 상기 기판의 돌출부(210)에 비하여 넓은 격자폭을 갖도록 형성한다.

구체적으로, 상기 제1 층간 반도체층(204a)은 상기 기판(200)에 실리콘 소스 가스 및 게르마늄 소스 가스를 사용하되, 게르마늄 소스 가스가 점진적으로 증가하는 에피택시얼 성장 공정을 수행하여 형성한다. 따라서, 상기 제1 층간 반도체층(204a)은 격자폭이 점진적으로 증가하는 실리콘 게르마늄층으로 형성된다. 상기 제1 채널 반도체층(206b)은 상기 제1 층간 반도체층(204b) 상에 실리콘 소스 가스만을 사용하는 에피택시얼 성장 공정으로 형성한다. 이로써, 상기 제1 채널 반도체층(206a)은 상기 제1 층간 반도체층(204a)의 상부면에 기인하여 팽창된 단결정 실리콘으로 형성된다. 상기 제2 층간 반도체층(204a')은 상기 제1 채널 반도체층(206a) 상에 실리콘 소스 가스 및 균일한 농도의 게르마늄 소스 가스를 사용하는 에피택시얼 성장 공정으로 형성한다. 이로써, 상기 제2 층간 반도체층(204a')은 균일한 격자폭을 갖는 실리콘 게르마늄층으로 형성된다. 이때, 균일한 농도의 게르마늄 소스 가스는 상기 제1 층간 반도체층(204a)에 사용되는 게르마늄 소스 가스의 최대량과 동일한 것이 바람직하다. 상기 제2 채널 반도체층(206a')은 상기 제2 층간 반도체층(204a') 상에 실리콘 소스 가스만을 사용하는 에피택시얼 성장 공정으로 형성한다. 따라서, 상기 제2 채널 반도체층(206a')은 팽창된 단결정 실리콘으로 형성된다. 상기 제1 및 제2 채널 반도체층들(206a,206a')은 동일한 격자폭을 가질 수 있다.

상기 기판(200) 상에 상기 활성영역(212')의 측벽들을 둘러싸는 소자분리막(214)을 형성한다. 이때, 상기 활성영역(212')의 상부면이 노출된다. 상기 소자분리막(214) 상에 상기 활성영역(212')을 가로지르는 더미 게이트 패턴(216)을 형성한다. 상기 소자분리막(214) 및 더미 게이트 패턴(216)은 상술한 실시예들과 동일한 방법 및 동일한 물질로 형성할 수 있다.

도 26a, 도 26b, 도 27a 및 도 27b를 참조하면, 상기 더미 게이트 패턴(216)을 마스크로 사용하여 상기 활성영역(212')을 식각하여 상기 더미 게이트 패턴(216) 아래에 차례로 적층된 돌출된 채널 패턴(210a), 제1 채널 층간 패턴(204b), 제1 이격된 채널 패턴(206b), 제2 채널 층간 패턴(204b') 및 제2 이격된 채널 패턴(206b)을 형성한다. 이때, 상기 더미 게이트 패턴(216) 양측에는 상기 활성영역(212')이 식각된 영역인 한쌍의 갭 영역들(217)이 각각 형성된다.

상기 갭 영역(217)은 상기 패턴들(210a,204b,206b,204b',206b')의 측벽들을 노출시킨다. 상기 돌출된 채널 패턴(210a)은 상기 갭 영역(217)에 노출된 한쌍의 제1 측벽들과, 상기 제1 측벽들에 수직한 한쌍의 제2 측벽들을 가지며, 상기 각 이격된 채널 패턴들(206b,206b')은 상기 제1 측벽들에 정렬된 제3 측벽들 및, 상기 제2 측벽들에 정렬된 제4 측벽들을 갖는다. 상기 채널 층간 패턴(204b,204b')은 상기 돌출된 및 이격된 채널 패턴들(210a,206b,206b')에 정렬된 측벽들을 갖는다.

이어서, 상기 패턴들(210a,204b,206b,204b',206b')에 동일한 식각율을 갖는 등방성 식각을 이용하는 트리밍 공정을 수행하는 것이 바람직하다. 이로써, 상기 패턴들(210a,204b,206b,204b',206b')의 폭이 감소되고, 측벽들의 표면이 평탄화될 수 있다.

이어서, 상기 기판(200)에 불순물 도핑을 인시츄로 진행하는 선택적 에피택시얼 성장 공정을 수행하여 상기 패턴들(210a,204b,206b,204b',206b')의 노출된 측벽들에 인시츄 도핑된 에피 패턴들(218')을 형성한다. 상기 인시츄 도핑된 에피 패턴(218')은 도핑된 단결정 실리콘으로 형성하는 것이 바람직하다.

이하 공정들은 상술한 제2 실시예와 동일하게 수행할 수 있다. 즉, 상기 갭 영역(217)을 채우는 도전 패턴(220)을 형성하고, 상기 도전 패턴(220)의 상부면이 노출되도록 평탄화된 몰드층(222)을 형성한 후에, 상기 더미 게이트 패턴(216)을 선택적으로 제거하여 제1 홈(224)을 형성한다. 상기 제1 홈(224)의 내측벽에 절연 스페이서(226)를 형성하고, 상기 몰드층(222) 및 절연 스페이서(226)를 마스크로 사용하여 상기 소자분리막(218) 내에 제2 홈(227)을 형성한다. 이때, 상기 제2 홈(227)은 상기 패턴들(210a,206b,206b')의 제2 측벽들 및 제4 측벽들과, 상기 채널 층간 패턴들(204b,204b')의 상기 제2 및 제4 측벽들에 정렬된 측벽들을 노출시킨다. 상기 제1 및 제2 홈들(224,227)은 게이트 홈을 구성한다.

상기 노출된 채널 층간 패턴들(204b,204b')을 선택적으로 제거한 후에, 기판(200) 전면에서 게이트 절연막(238)을 형성하고, 상기 게이트 홈을 채우는 게이트 도전막(240)을 기판(200) 전면에서 형성한다. 상기 게이트 도전막(240)을 상기 몰드층(222)이 노출될때까지 평탄화시키어 도 21 내지 도 22에 도시된 게이트 전극(240a)을 형성한다.

이와는 다르게, 상기 노출된 채널 층간 패턴들(204b,204b')을 제거하는 공정을 생략하여 도 23 및 도 24에 도시된 트랜지스터를 구현할 수 있다.

상술한 제1, 제2 및 제3 실시예들에 있어서, 서로 대응되는 구성요소들은 동일한 물질 및 동일한 방법으로 형성될 수 있다.

## 발명의 효과

상술한 바와 같이, 본 발명에 따르면, 기판으로부터 돌출된 채널 패턴 양측벽들에 그것의 전체에 걸쳐 균일한 불순물 농도를 갖는 인시츄 도핑된 에피 패턴들이 각각 형성된다. 이로써, 트랜지스터의 채널 영역의 모든 채널 폭에 균일한 불순물 농도의 소오스/드레인 영역이 접촉된다. 그 결과, 상기 채널 영역의 모든 채널 폭에 채널이 형성되고, 상기 채널 영역의 모든 채널 길이들이 균일할 수 있다. 이로써, 상기 트랜지스터의 구동전류량을 최대화할 수 있으며, 온오프 특성이 안정화될 수 있다.

또한, 상기 돌출된 채널 패턴 상부에는 적어도 하나의 이격된 채널 패턴들이 배치되며, 상기 인시츄 도핑된 에피 패턴들은 수직으로 연장되어 상기 이격된 채널 패턴의 양측벽들 전면에 각각 접촉한다. 이로써, 트랜지스터의 채널 영역은 상기 이격된 채널 패턴의 양측벽들 및 상하부면들을 포함할 수 있으므로, 트랜지스터의 구동전류량을 더욱 증가시킬 수 있다.

이에 더하여, 상기 이격된 채널 패턴은 상기 돌출된 채널 패턴에 비하여 격자폭이 넓은 단결정 반도체층으로 형성됨으로써, 채널영역내 캐리어들의 이동도 및 양이 증가되어 트랜지스터의 구동전류량이 증가된다.

더 나아가서, 상기 채널 패턴들의 폭을 감소시키는 트리밍 공정과, 게이트 전극이 형성되는 홈의 측벽에 절연 스페이서를 형성함으로써, 상기 트랜지스터의 채널영역은 포토리소그래피 공정이 정의할 수 있는 최소선폭에 비하여 작게 형성될 수 있다. 그 결과, 본 발명에 따른 트랜지스터는 고집적화에 매우 적합하다.

### (57) 청구의 범위

#### 청구항 1.

기판으로부터 수직으로 연장되되, 서로 마주보는 한쌍의 제1 측벽들 및, 서로 마주보는 한쌍의 제2 측벽들을 갖는 돌출된 채널 패턴;

상기 제1 측벽들에 각각 형성된 한쌍의 인시츄 도핑된 에피 패턴들;

상기 돌출된 채널 패턴에 대향된 상기 인시츄 도핑된 에피 패턴들의 일측벽들에 각각 형성된 한쌍의 도전 패턴들;

상기 돌출된 채널 패턴을 가로지르는 게이트 전극; 및

상기 게이트 전극과 상기 돌출된 채널 패턴 사이에 개재된 게이트 절연막을 포함하는 반도체 소자.

#### 청구항 2.

제 1 항에 있어서,

상기 기판 상에 배치되어 상기 패턴들의 측벽을 둘러싸는 소자분리막;

상기 패턴들 및 소자분리막을 덮는 몰드층을 더 포함하되,

상기 게이트 전극은 상기 몰드층 내에 상기 돌출된 채널 패턴을 가로지르는 제1 홈과, 상기 소자분리막 내에 상기 제1 홈에 정렬되어 형성되되, 적어도 상기 제2 측벽들의 상부(upper portion)를 노출시키는 제2 홈 내에 배치되는 것을 특징으로 하는 반도체 소자.

#### 청구항 3.

제 2 항에 있어서,

상기 제1 홈의 내측벽과 상기 게이트 전극 사이에 개재된 절연 스페이서를 더 포함하되, 상기 절연 스페이서는 상기 제1 홈의 내측벽에 형성되고, 상기 제2 홈은 상기 절연 스페이서에 정렬되는 것을 특징으로 하는 반도체 소자.

#### 청구항 4.

제 1 항에 있어서,

상기 돌출된 채널 패턴 아래의 기판 내에 형성된 채널스탑 확산층을 더 포함하는 것을 특징으로 하는 반도체 소자.

#### 청구항 5.

기판으로 부터 수직으로 연장되되, 서로 마주보는 한쌍의 제1 측벽들 및, 서로 마주보는 한쌍의 제2 측벽들을 갖는 돌출된 채널 패턴;

상기 돌출된 채널 패턴과 수직으로 이격되어 배치되되, 상기 제1 측벽들에 정렬된 한쌍의 제3 측벽들 및, 상기 제2 측벽들에 정렬된 한쌍의 제4 측벽들을 갖는 적어도 하나의 이격된 채널 패턴;

각각이 연장되어 상기 정렬된 제1 및 제3 측벽들의 전면에 형성된 한쌍의 인시츄 도핑된 에피 패턴들;

상기 돌출된 및 이격된 채널 패턴들에 대향된 상기 인시츄 도핑된 에피 패턴들의 일측벽들에 각각 형성된 한쌍의 도전 패턴들;

상기 돌출된 및 이격된 채널 패턴들을 가로지르는 게이트 전극; 및

적어도 상기 게이트 전극과 상기 돌출된 채널 패턴 사이와, 상기 게이트 전극과 상기 이격된 채널 패턴 사이에 개재된 게이트 절연막을 포함하는 반도체 소자.

#### 청구항 6.

제 5 항에 있어서,

상기 이격된 채널 패턴은 상기 돌출된 채널 패턴에 비하여 넓은 격자 폭을 갖는 것을 특징으로 하는 반도체 소자.

#### 청구항 7.

제 5 항에 있어서,

상기 게이트 전극은 상기 이격된 채널 패턴의 하부면, 상기 돌출된 채널 패턴의 상부면 및, 상기 인시츄 도핑된 에피 패턴들로 둘러싸인 터널을 채우고, 상기 게이트 절연막은 연장되어 상기 인시츄 도핑된 에피 패턴들과 상기 게이트 전극 사이에 개재되는 것을 특징으로 하는 반도체 소자.

#### 청구항 8.

제 5 항에 있어서,

상기 이격된 채널 패턴의 하부면, 상기 돌출된 채널 패턴의 상부면 및 상기 인시츄 도핑된 에피 패턴들로 둘러싸인 터널을 채우는 채널 층간 패턴을 더 포함하되, 상기 게이트 전극은 상기 돌출된 채널 패턴, 채널 층간 패턴 및 이격된 채널 패턴을 가로지르고, 상기 게이트 절연막은 연장되어 상기 게이트 전극과 상기 채널 층간 패턴 사이에 개재되는 것을 특징으로 하는 반도체 소자.

### 청구항 9.

제 8 항에 있어서,

상기 이격된 채널 패턴은 상기 돌출된 채널 패턴에 비하여 넓은 격자폭을 갖고,

상기 채널 층간 패턴은 상기 돌출된 채널 패턴에 비하여 넓은 격자 폭을 가지며, 상기 돌출된 채널 패턴 및 이격된 채널 패턴에 대하여 식각선택비를 갖는 단결정 반도체층인 것을 특징으로 하는 반도체 소자.

### 청구항 10.

제 5 항에 있어서,

상기 돌출된 채널 패턴 상부에 복수개의 상기 이격된 채널 패턴들이 적층되되,

상기 이격된 채널 패턴들은 서로 수직으로 이격되고, 상기 인시츄 도핑된 에피 패턴은 수직으로 연장되어 상기 복수개의 이격된 채널 패턴들의 제3 측벽들과 접촉하는 것을 특징으로 하는 반도체 소자.

### 청구항 11.

제 10 항에 있어서,

상기 게이트 전극은 상기 돌출된 채널 패턴의 상부면, 최하층의 상기 이격된 채널 패턴의 하부면 및 상기 인시츄 도핑된 에피 패턴들로 둘러싸인 제1 터널과, 인접한 상기 이격된 터널 패턴들의 상하부면들 및 상기 인시츄 도핑된 에피 패턴들로 둘러싸인 적어도 하나의 제2 터널들을 채우고,

상기 게이트 절연막은 연장되어 상기 게이트 전극과 상기 인시츄 도핑된 에피 패턴들 사이에 개재되는 것을 특징으로 하는 반도체 소자.

### 청구항 12.

제 10 항에 있어서,

상기 돌출된 채널 패턴의 상부면, 최하층의 상기 이격된 채널 패턴의 하부면 및 상기 인시츄 도핑된 에피 패턴들로 둘러싸인 제1 터널을 채우는 제1 채널 층간 패턴; 및

인접한 상기 이격된 터널 패턴들의 상하부면들 및 상기 인시츄 도핑된 에피 패턴들로 둘러싸인 적어도 하나의 제2 터널을 채우는 적어도 하나의 제2 채널 층간 패턴을 더 포함하되,

상기 게이트 전극은 상기 돌출된 채널 패턴, 채널 층간 패턴들 및 이격된 채널 패턴들을 가로지르고, 상기 게이트 절연막은 연장되어 상기 게이트 전극과 상기 채널 층간 패턴들 사이에 개재되는 것을 특징으로 하는 반도체 소자.

### 청구항 13.

제 12 항에 있어서,

상기 이격된 채널 패턴들은 상기 돌출된 채널 패턴에 비하여 넓은 격자폭을 갖고,

상기 채널 층간 패턴들은 상기 돌출된 채널 패턴에 비하여 넓은 격자폭을 가지며, 상기 돌출된 채널 패턴 및 이격된 채널 패턴에 대하여 식각선택비를 갖는 단결정 반도체층들이되,

상기 제1 채널 층간 패턴은 상기 그것의 하부면으로부터 높아질수록 점진적으로 격자폭이 증가하고, 상기 제2 채널 층간 패턴은 그것의 전체에 걸쳐 균일한 격자폭을 갖는 것을 특징으로 하는 반도체 소자.

### 청구항 14.

제 5 항 또는 제 10 항에 있어서,

상기 기판 상에 배치되어 상기 돌출된 채널 패턴, 이격된 채널 패턴, 인시츄 도핑된 채널 패턴들 및 도전 패턴들을 둘러싸는 소자분리막;

상기 패턴들 및 소자분리막을 덮는 몰드층을 더 포함하되,

상기 게이트 전극은 상기 몰드층 내에 상기 돌출된 및 이격된 채널 패턴들을 가로지르는 제1 홈과, 상기 소자분리막 내에 상기 제1 홈에 정렬되고, 상기 이격된 채널 패턴들의 제4측벽들 및 적어도 상기 돌출된 채널 패턴의 제2 측벽들의 상부(upper portion)를 노출시키는 제2 홈 내에 배치되는 것을 특징으로 하는 반도체 소자.

### 청구항 15.

제 14 항에 있어서,

상기 제1 홈의 내측벽과 상기 게이트 전극 사이에 개재된 절연 스페이서를 더 포함하되, 상기 절연 스페이서는 상기 제1 홈의 내측벽에 형성되고, 상기 제2 홈은 상기 절연 스페이서에 정렬되는 것을 특징으로 하는 반도체 소자.

### 청구항 16.

제 5 항에 있어서,

상기 돌출된 채널 패턴 아래의 기판 내에 형성된 채널스탑 확산층을 더 포함하는 것을 특징으로 하는 반도체 소자.

### 청구항 17.

기판으로부터 수직으로 연장된 돌출된 채널 패턴을 형성하는 단계;

불순물 도핑을 인시츄로 진행하는 선택적 에피택시얼 성장 공정을 수행하여 상기 돌출된 채널 패턴의 양측벽들에 한쌍의 인시츄 도핑된 에피 패턴들을 각각 형성하는 단계;

상기 돌출된 채널 패턴에 대향된 상기 인시츄 도핑된 에피 패턴들의 일측벽들에 한쌍의 도전 패턴들을 각각 형성하는 단계; 및

게이트 절연막을 개재하여 상기 돌출된 채널 패턴을 가로지르는 게이트 전극을 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

### 청구항 18.

제 17 항에 있어서,

상기 돌출된 채널 패턴을 형성하기 전에,

기판으로 부터 수직으로 연장된 활성영역을 형성하는 단계;

상기 활성영역의 상부면이 노출되도록 상기 활성영역의 측벽을 둘러싸는 소자분리막을 형성하는 단계; 및

상기 소자분리막 상에 상기 활성영역을 가로지르는 더미 게이트 패턴을 형성하는 단계를 더 포함하되,

상기 더미 게이트 패턴을 마스크로 사용하여 상기 활성영역을 식각하여 상기 돌출된 채널 패턴을 형성하고, 상기 활성영역의 식각된 영역을 갖는 기판에 상기 인시츄 도핑된 에피 패턴들을 형성하고, 상기 도전 패턴은 상기 식각된 영역을 채우는 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 19.

제 18 항에 있어서,

상기 인시츄 도핑된 에피 패턴을 형성하기 전에,

상기 돌출된 채널 패턴을 갖는 기판에 등방성 식각을 이용하는 트리밍 공정을 수행하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 20.

제 18 항에 있어서,

상기 도전 패턴을 형성한 후에,

상기 기판 전면에서 상기 더미 게이트 패턴 및 소자분리막에 대하여 식각선택비를 갖는 몰드층을 형성하는 단계;

상기 몰드층을 상기 더미 게이트 패턴이 노출될때까지 평탄화시키는 단계;

상기 노출된 더미 게이트 패턴을 제거하여 제1 홈을 형성하는 단계; 및

상기 몰드층을 마스크로 사용하여 상기 소자분리막을 식각하여 적어도 상기 돌출된 채널 패턴의 상부(upper portion)를 노출시키는 제2 홈을 형성하는 단계를 더 포함하되,

상기 게이트 절연막은 상기 제2 홈을 갖는 기판 전면에서 형성하고,

상기 게이트 전극은 상기 제1 및 제2 홈을 채우는 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 21.

제 20 항에 있어서,

상기 제2 홈을 형성하기 전에,

상기 제1 홈의 내측벽에 절연 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

## 청구항 22.

기관으로 부터 수직으로 연장된 돌출된 채널 패턴 및, 상기 돌출된 채널 패턴 상에 적어도 한번 교대로 적층된 채널 층간 패턴 및 이격된 채널 패턴을 형성하는 단계;

불순물 도핑을 인시츄로 진행하는 선택적 에피택시얼 성장 공정을 수행하여 상기 돌출된, 채널 층간 및 이격된 채널 패턴들의 양측벽들의 전면에 한쌍의 인시츄 도핑된 에피 패턴들을 각각 형성하는 단계;

상기 돌출된, 채널 층간 및 이격된 채널 패턴들에 대향된 상기 인시츄 도핑된 에피 패턴들의 일측벽들에 한쌍의 도전 패턴들을 각각 형성하는 단계; 및

게이트 절연막을 개재하여 상기 돌출된, 채널 층간 및 이격된 채널 패턴들을 가로지르는 게이트 전극을 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

## 청구항 23.

제 22 항에 있어서,

상기 채널 층간 패턴은 상기 돌출된 채널 패턴에 비하여 넓은 격자 폭을 가지며, 상기 돌출된 채널 패턴 및 이격된 채널 패턴에 대하여 식각선택비를 갖는 단결정 반도체층으로 형성하고,

상기 이격된 채널 패턴은 상기 돌출된 채널 패턴에 비하여 넓은 격자 폭을 갖도록 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

## 청구항 24.

제 22 항에 있어서,

상기 돌출된 채널 패턴 상에 상기 채널 층간 패턴 및 상기 이격된 채널 패턴을 복수번 교대로 적층시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

## 청구항 25.

제 24 항에 있어서,

상기 채널 층간 패턴들은 상기 돌출된 채널 패턴에 비하여 넓은 격자 폭을 가지며, 상기 돌출된 채널 패턴 및 이격된 채널 패턴에 대하여 식각선택비를 갖는 단결정 반도체층들로 형성하되,

상기 채널 층간 패턴들 중 최하층은 그것의 하부면으로 부터 높아질수록 점진적으로 격자폭이 증가하도록 형성하고, 상기 최하층을 제외한 상기 채널 층간 패턴들은 균일한 격자폭을 갖도록 형성하며,

상기 이격된 채널 패턴은 상기 돌출된 채널 패턴에 비하여 넓은 격자 폭을 갖도록 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 26.

제 22 항 또는 제 24 항에 있어서,

상기 게이트 절연막을 형성하기 전에,

상기 채널 층간 패턴들을 선택적으로 제거하는 단계를 더 포함하되,

상기 게이트 전극은 상기 게이트 절연막을 개재하여 상기 채널 층간 패턴들이 제거된 영역을 채우도록 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 27.

제 22 항 또는 제 24 항에 있어서,

상기 돌출된, 채널 층간 및 이격된 패턴들을 형성하기 전에,

기판 상에 층간 반도체층 및 채널 반도체층을 적어도 한번 교대로 형성하는 단계;

상기 채널 반도체층, 층간 반도체층 및 기판을 연속적으로 패터닝하여 차례로 적층된 돌출된 기판 및, 상기 돌출된 기판 상에 적어도 한번 교대로 적층된 패터닝된 층간 반도체층 및 패터닝된 채널 반도체층으로 구성된 활성영역을 형성하는 단계;

상기 활성영역의 상부면이 노출되도록 상기 활성영역의 측벽을 둘러싸는 소자분리막을 형성하는 단계; 및

상기 소자분리막 상에 상기 활성영역을 가로지르는 더미 게이트 패턴을 형성하는 단계를 더 포함하되,

상기 더미 게이트 패턴을 마스크로 사용하여 상기 활성영역을 식각하여 상기 돌출된 채널 패턴, 상기 채널 층간 패턴 및 상기 이격된 채널 패턴을 형성하고, 상기 활성영역의 식각된 영역을 갖는 기판에 상기 인시츄 도핑된 에피 패턴들을 형성하고, 상기 도전 패턴은 상기 식각된 영역을 채우도록 형성하는 것을 특징으로 하는 트랜지스터의 형성 방법.

### 청구항 28.

제 27 항에 있어서,

상기 인시츄 도핑된 에피 패턴을 형성하기 전에,

상기 돌출된 채널 패턴, 채널 층간 패턴 및 이격된 채널 패턴의 측벽들을 트리밍하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 29.

제 27 항에 있어서,

상기 도전 패턴들을 형성한 후에,

상기 기판 전면에 상기 더미 게이트 패턴 및 소자분리막에 대하여 식각선택비를 갖는 몰드층을 형성하는 단계;

상기 몰드층을 상기 더미 게이트 패턴이 노출될때까지 평탄화시키는 단계;

상기 노출된 더미 게이트 패턴을 제거하여 제1 홈을 형성하는 단계; 및

상기 몰드층을 마스크로 사용하여 상기 소자분리막을 식각하여 상기 이격된 채널 패턴 및 채널 층간 패턴의 측벽들 및 적어도 상기 돌출된 채널 패턴의 상부측벽들을 노출시키는 제2 홈을 형성하는 단계를 더 포함하되,

상기 게이트 절연막은 상기 제2 홈을 갖는 기판 전면에 형성되고,

상기 게이트 전극은 상기 제1 및 제2 홈들을 채우도록 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 30.

제 29 항에 있어서,

상기 제2 홈을 형성하기 전에,

상기 제1 홈의 내측벽에 상기 소자분리막에 대하여 식각선택비를 갖는 절연 스페이서를 형성하는 단계를 더 포함하되,

상기 제2 홈은 상기 몰드층 및 상기 절연 스페이서를 마스크로 사용하여 상기 소자분리막을 식각하여 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 31.

제 29 항에 있어서,

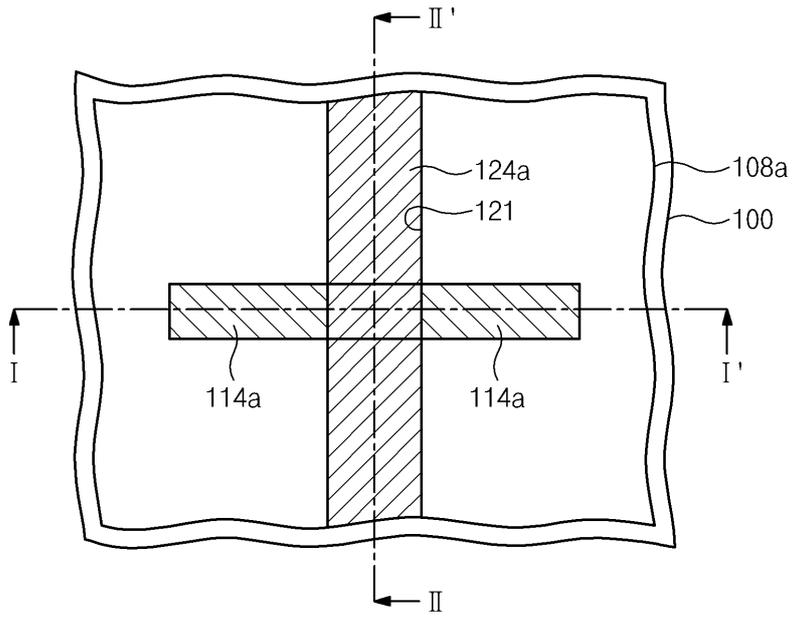
상기 게이트 절연막을 형성하기 전에,

상기 제2 홈에 노출된 채널 층간 패턴을 선택적으로 제거하는 단계를 더 포함하되,

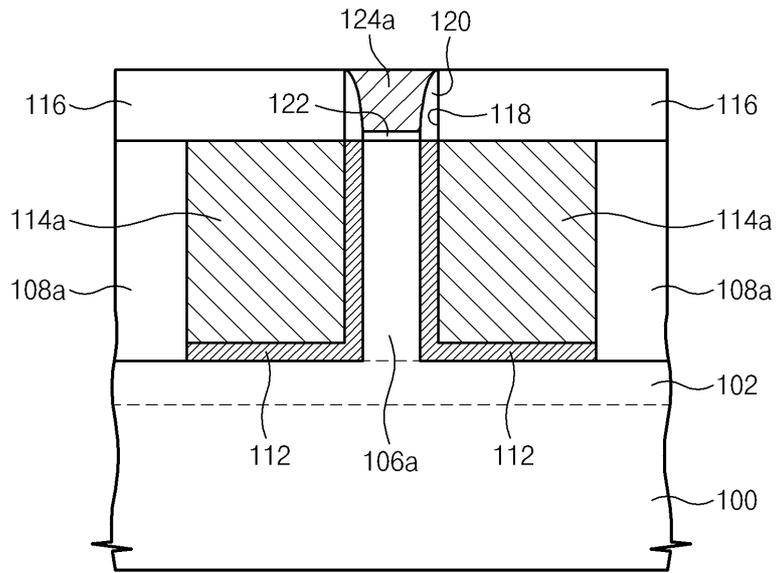
상기 게이트 전극은 상기 게이트 절연막을 개재하여 상기 채널 층간 패턴이 제거된 영역을 채우도록 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

도면

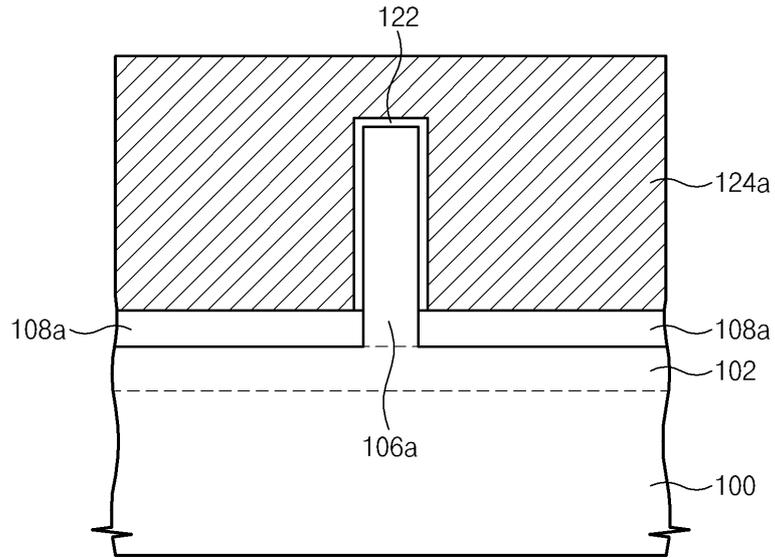
도면1



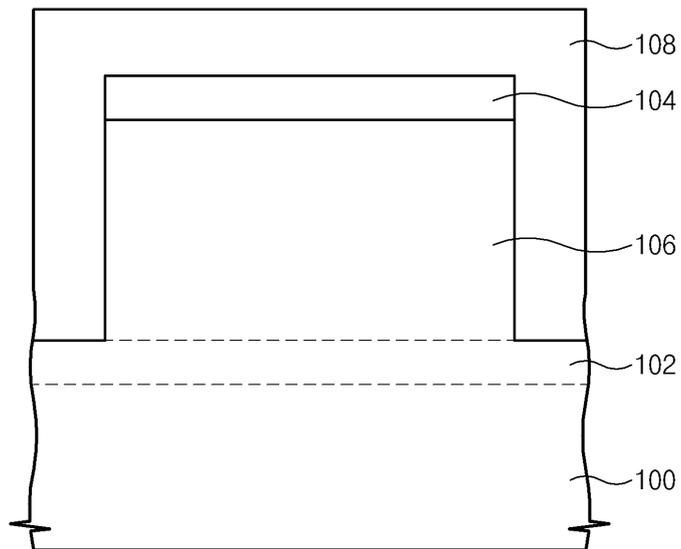
도면2



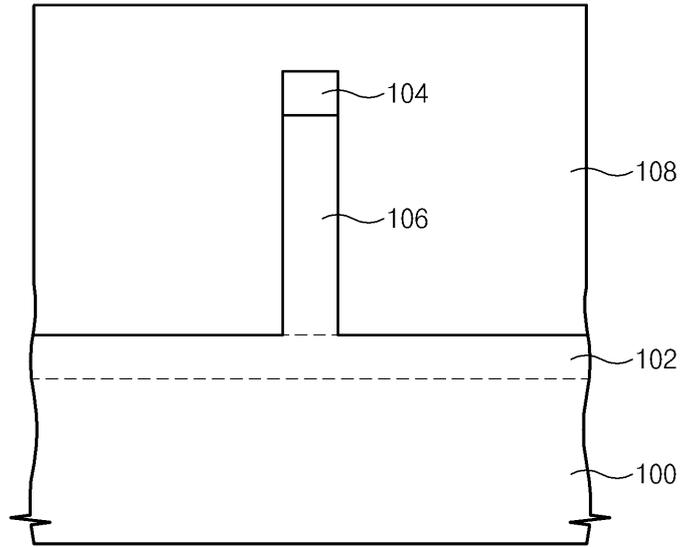
도면3



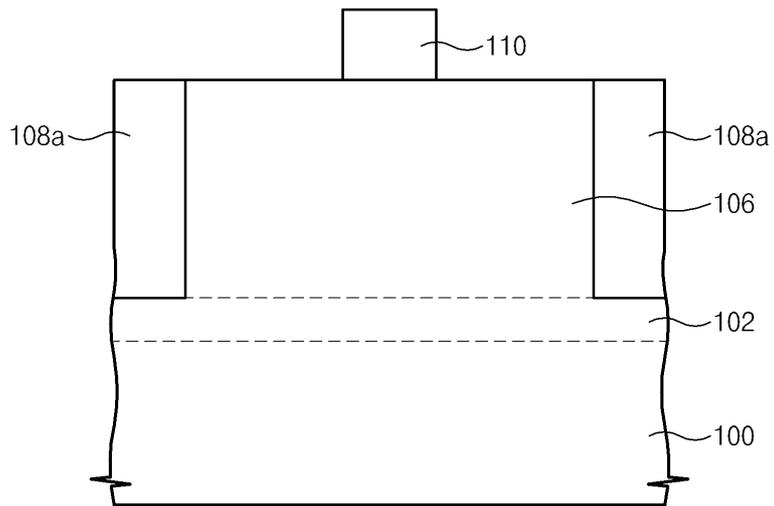
도면4a



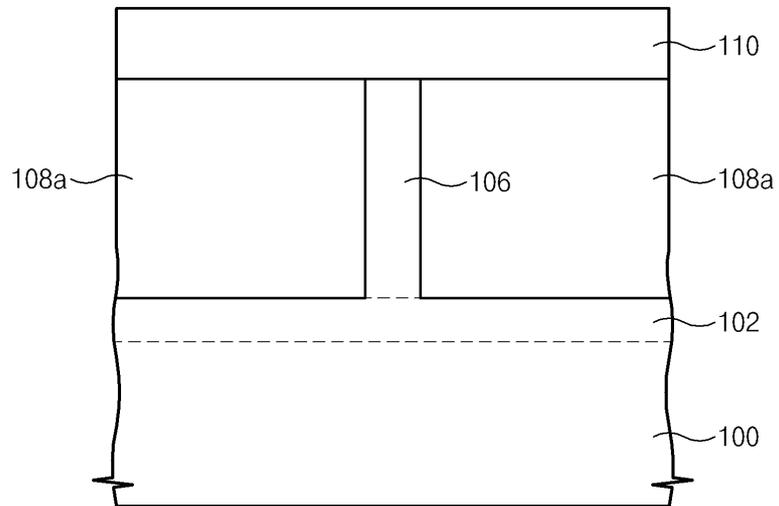
도면4b



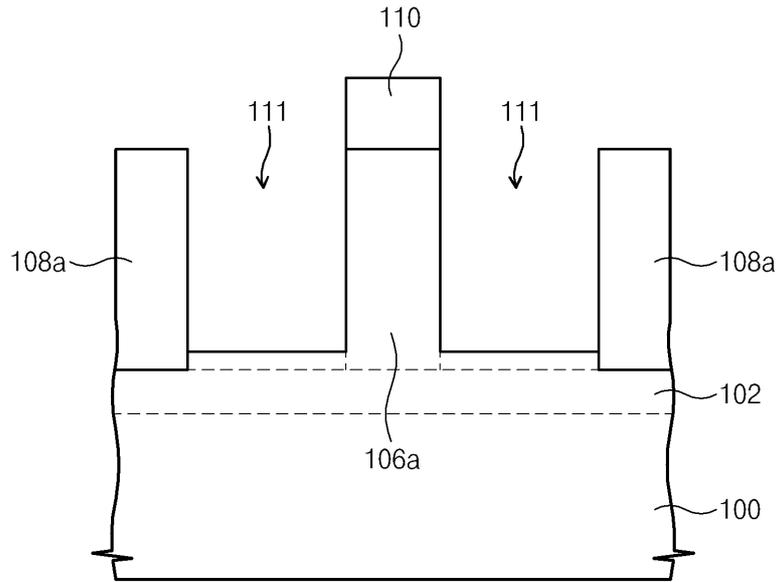
도면5a



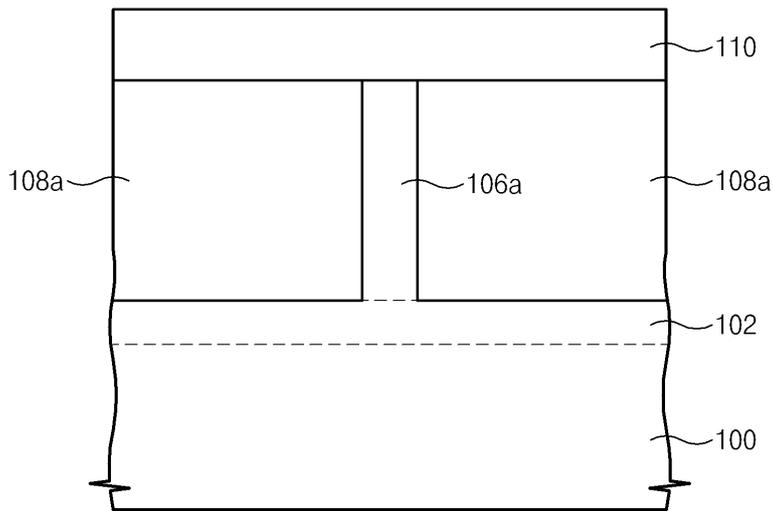
도면5b



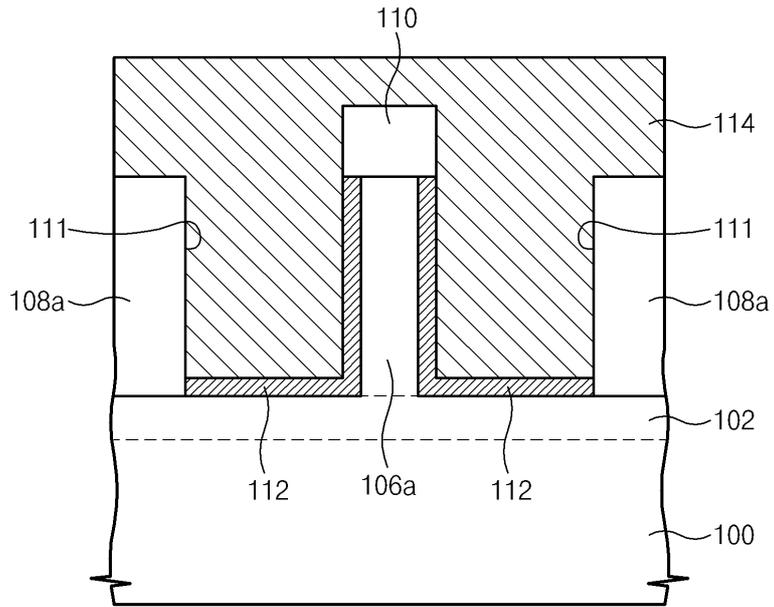
도면6a



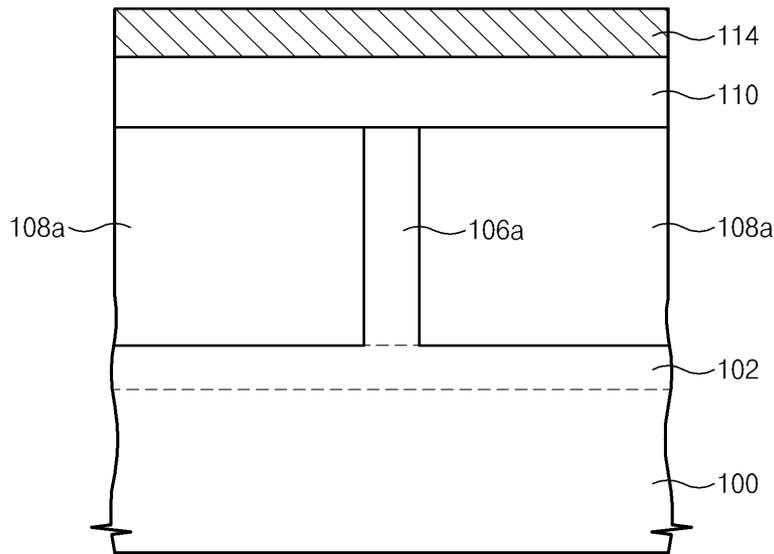
도면6b



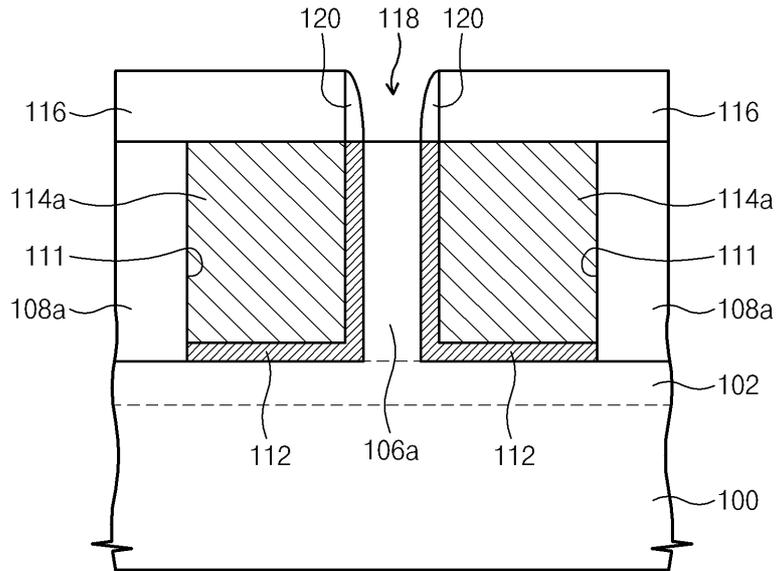
도면7a



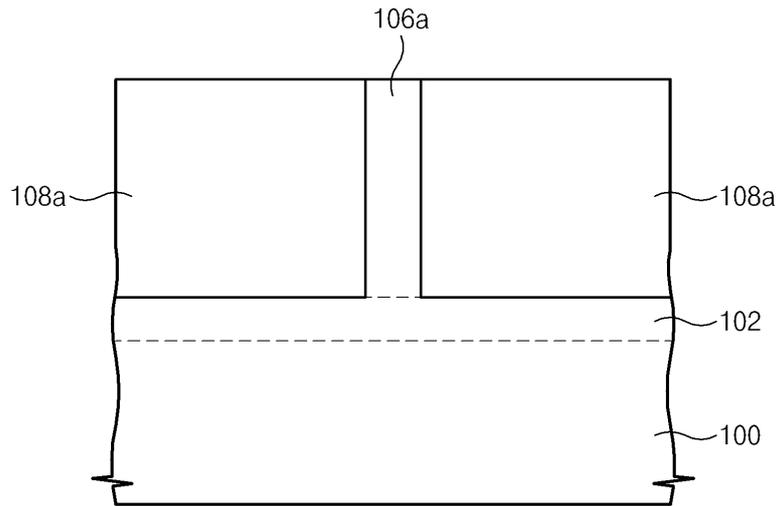
도면7b



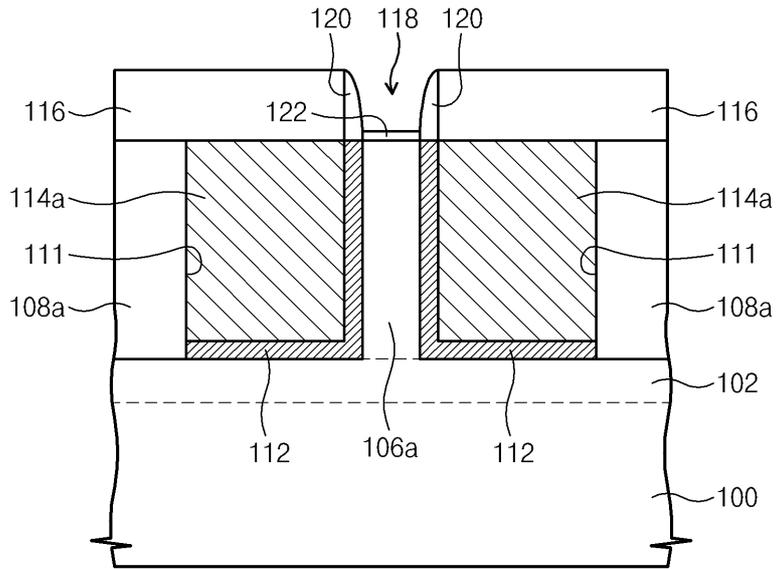
도면8a



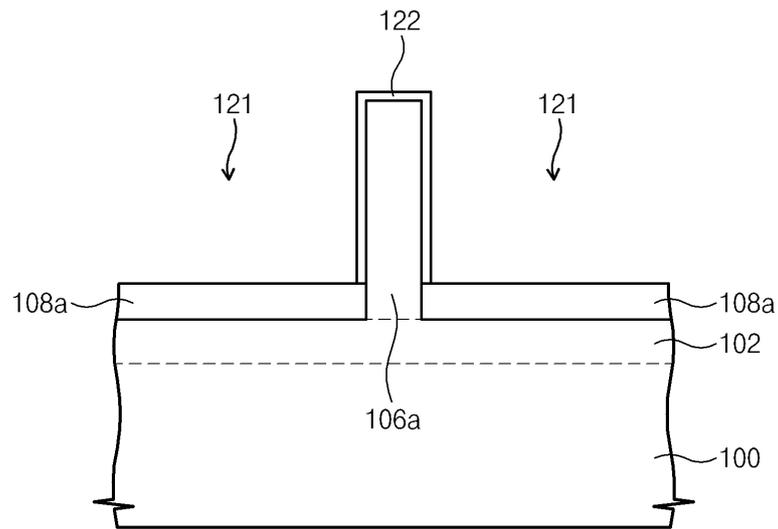
도면8b



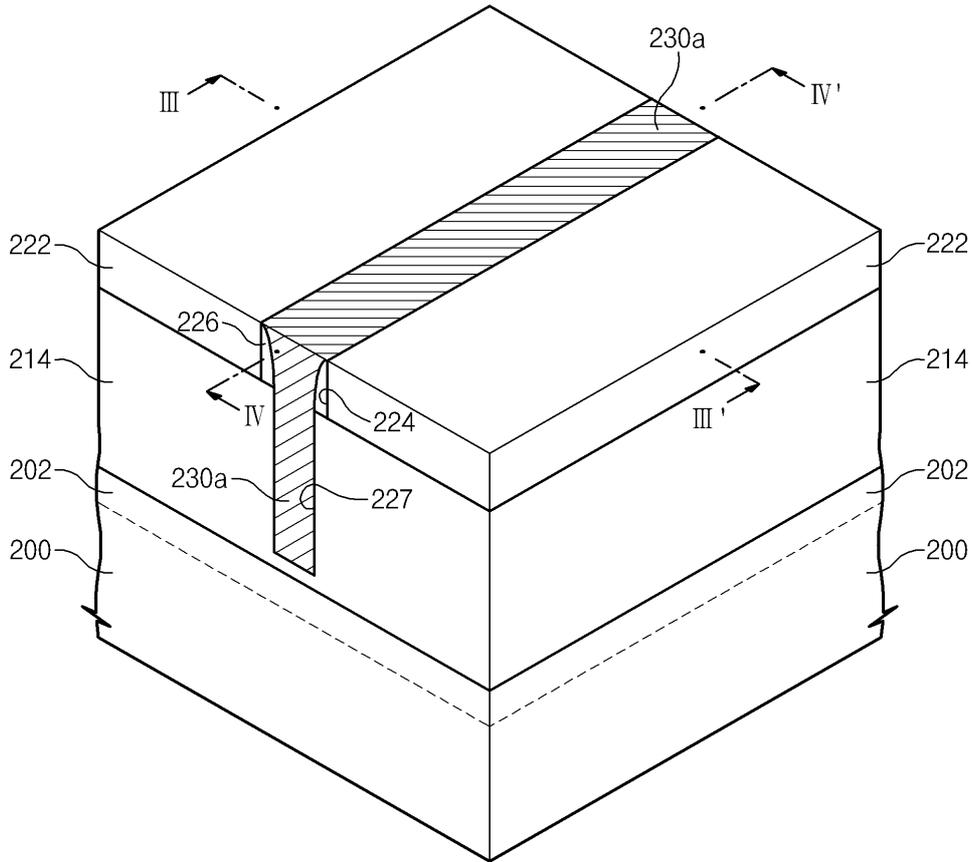
도면9a



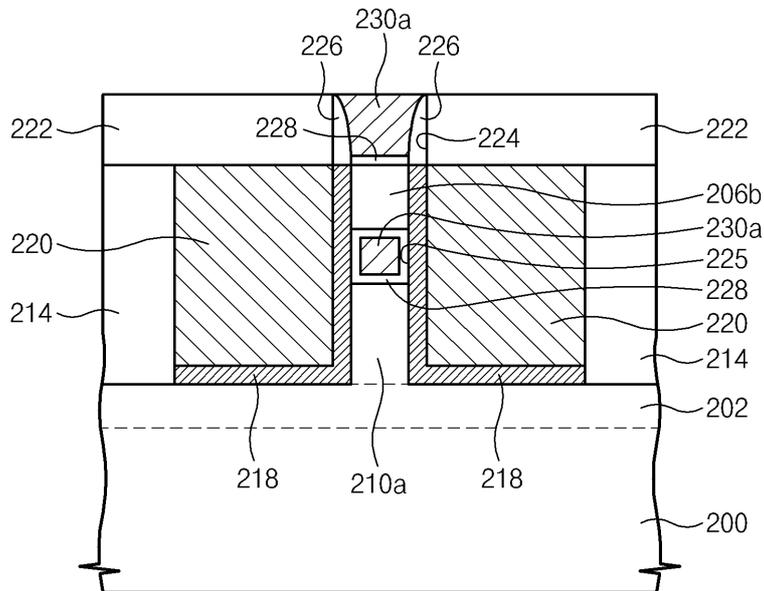
도면9b



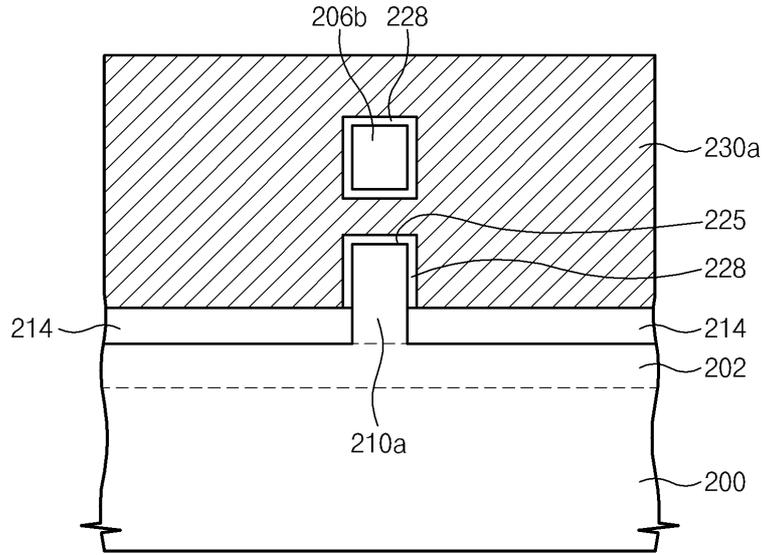
도면10



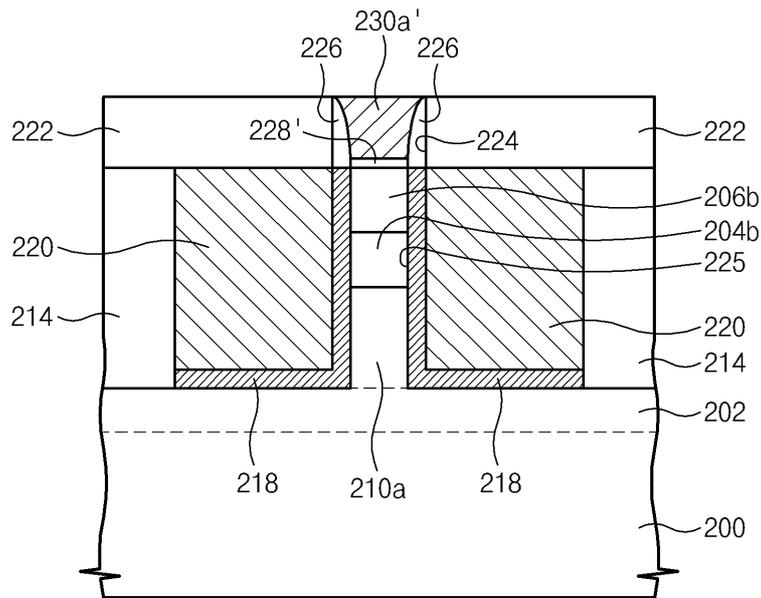
도면11



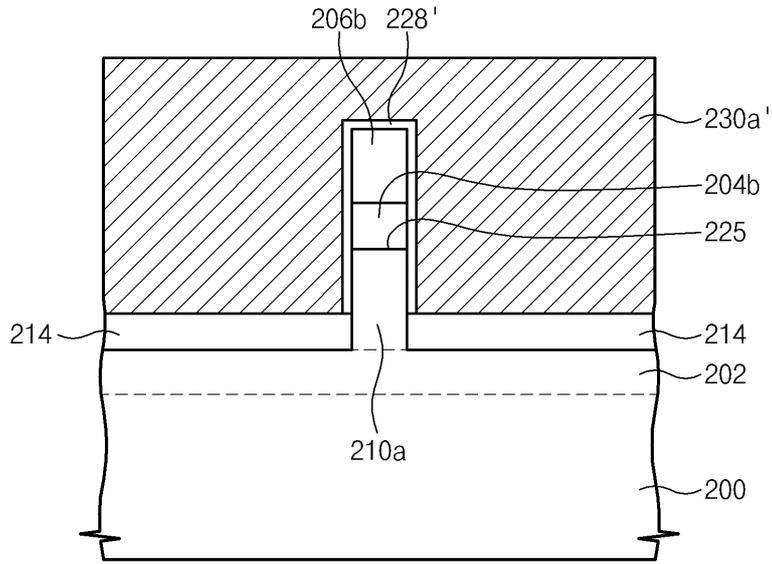
도면12



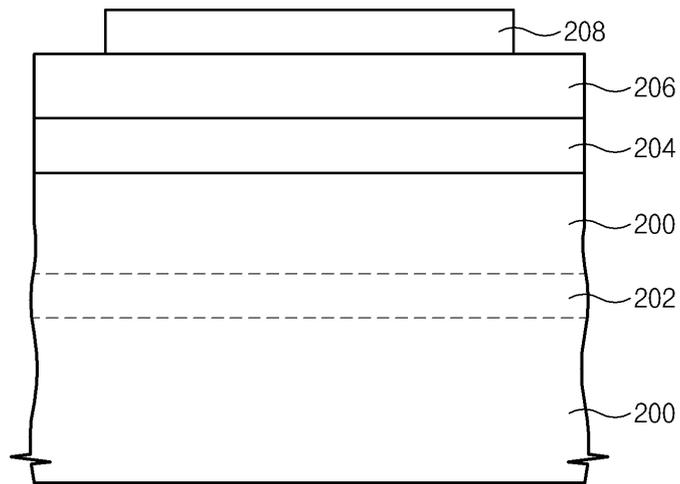
도면13



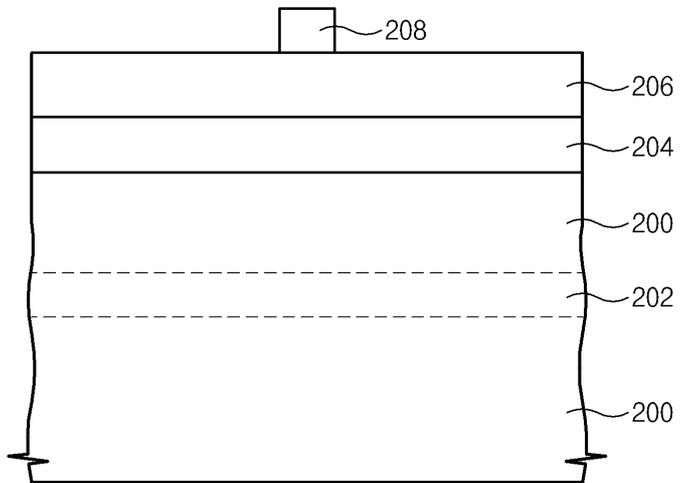
도면14



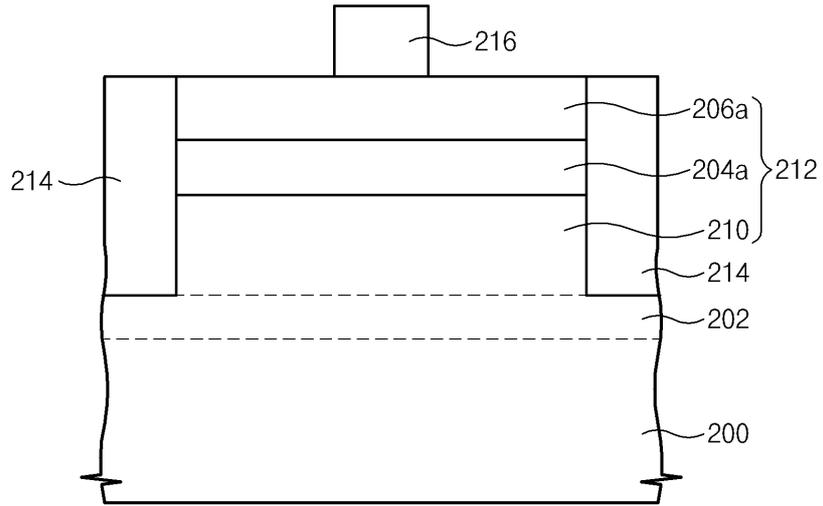
도면15a



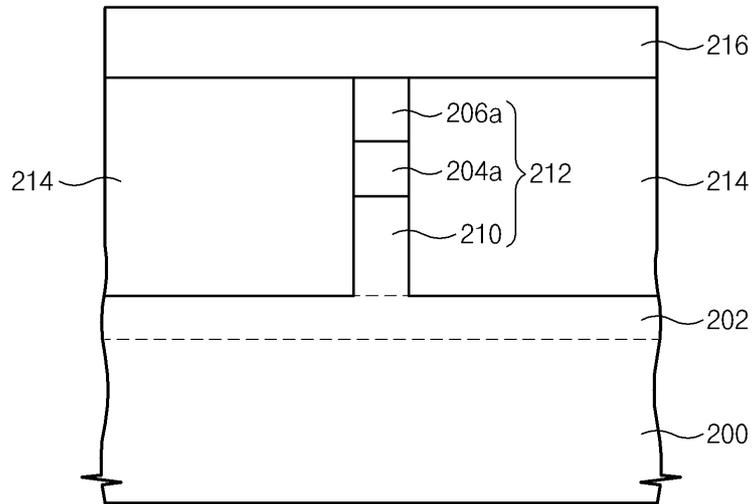
도면15b



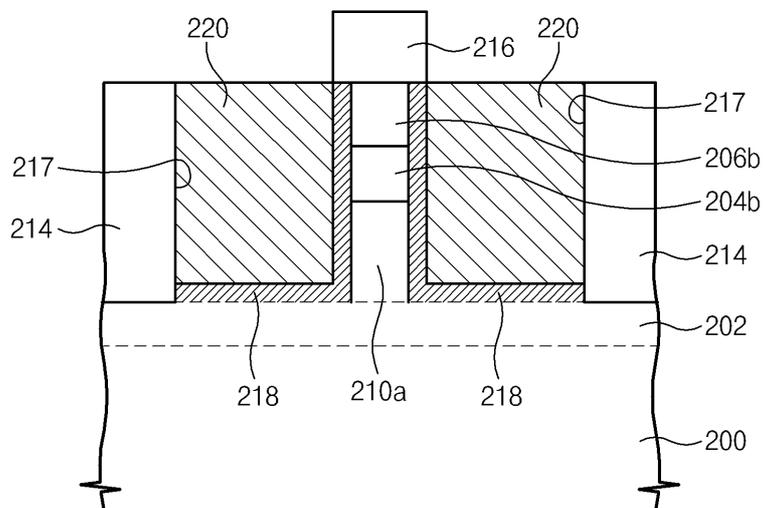
도면16a



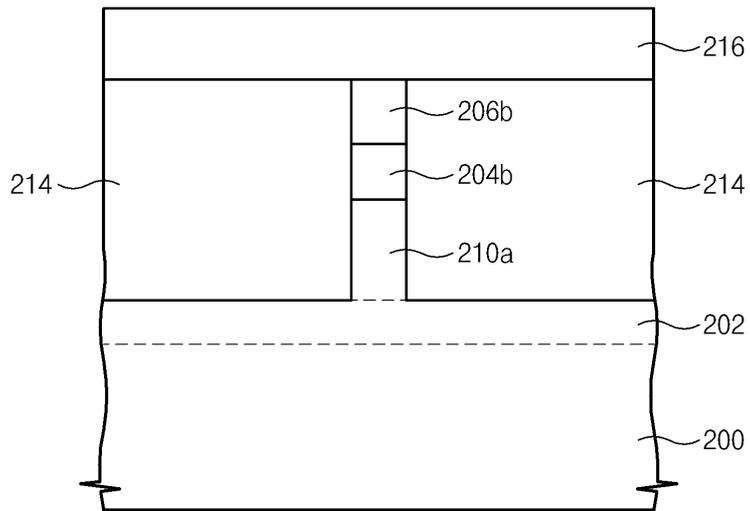
도면16b



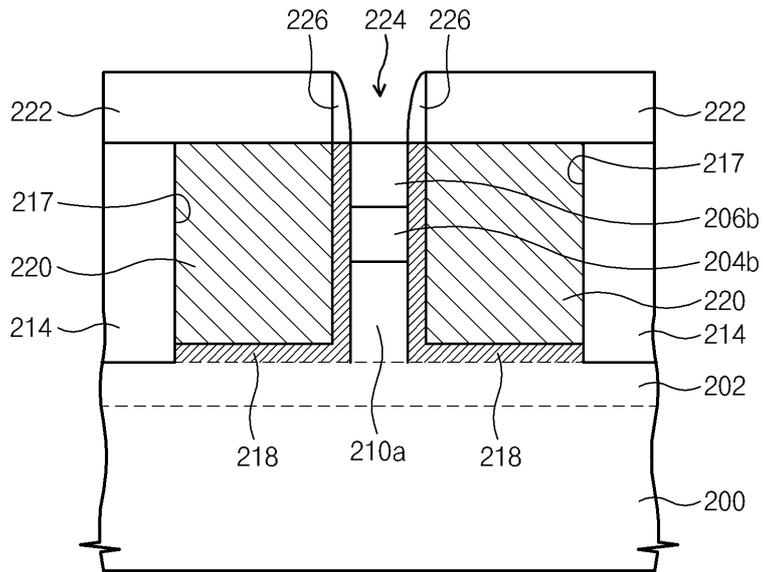
도면17a



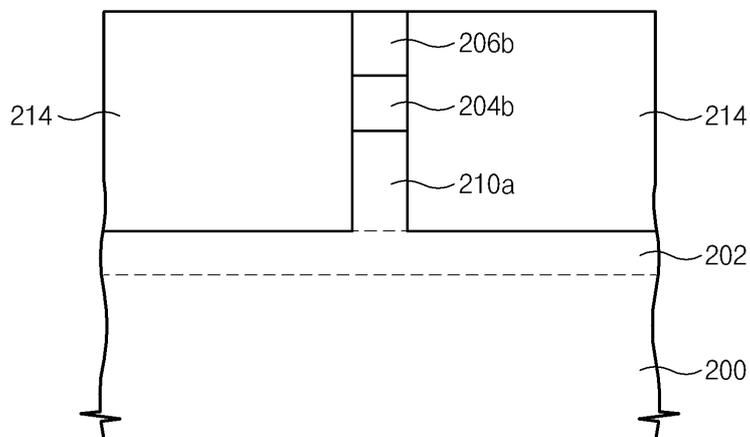
도면17b



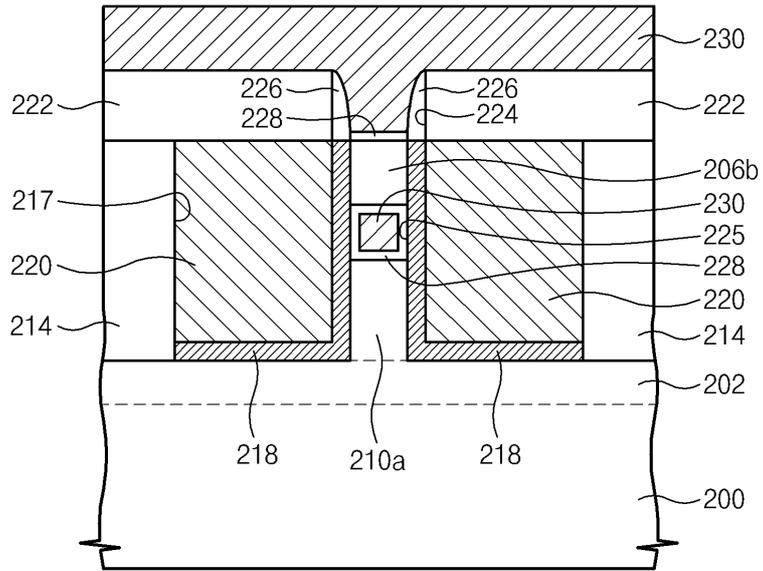
도면18a



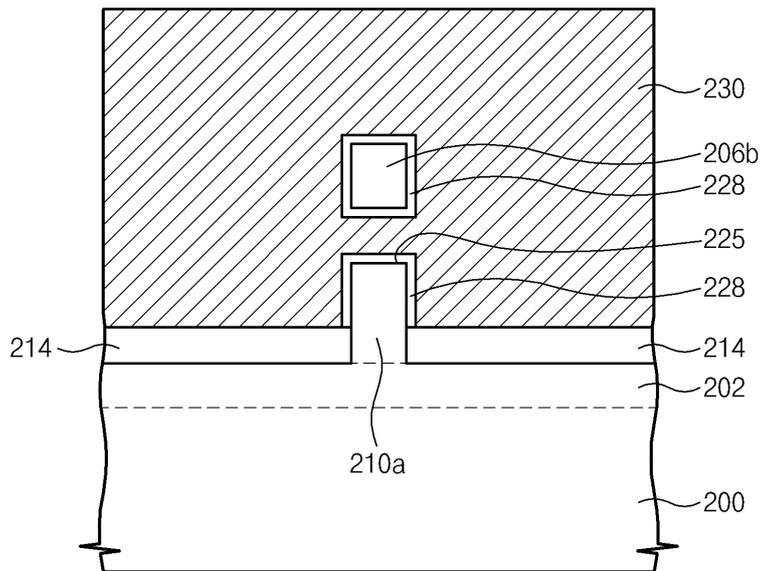
도면18b



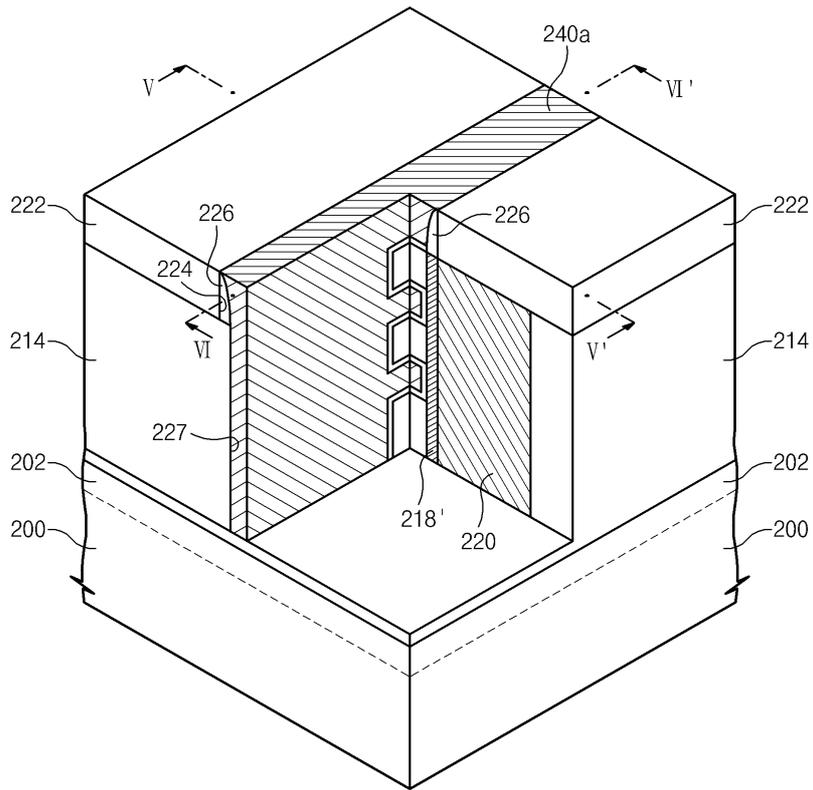
도면19a



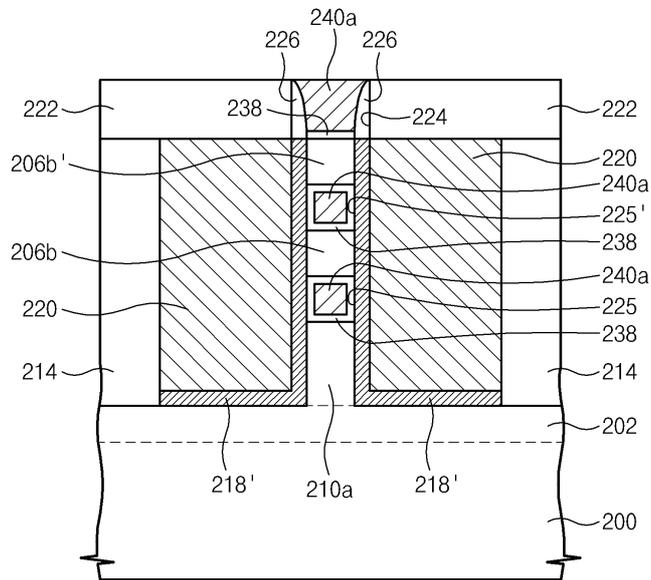
도면19b



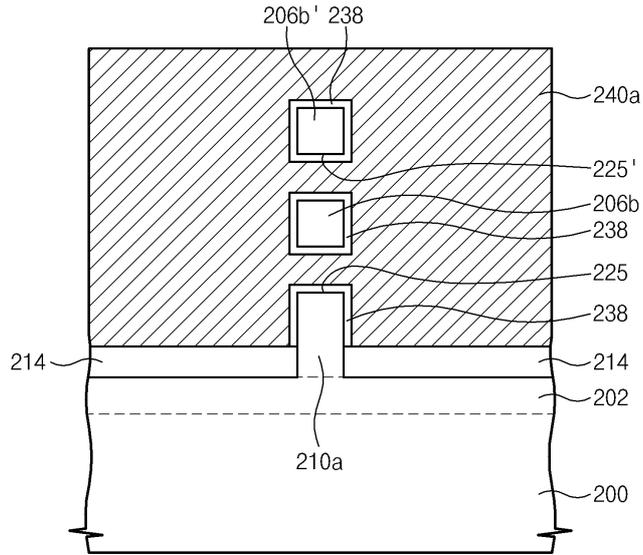
도면20



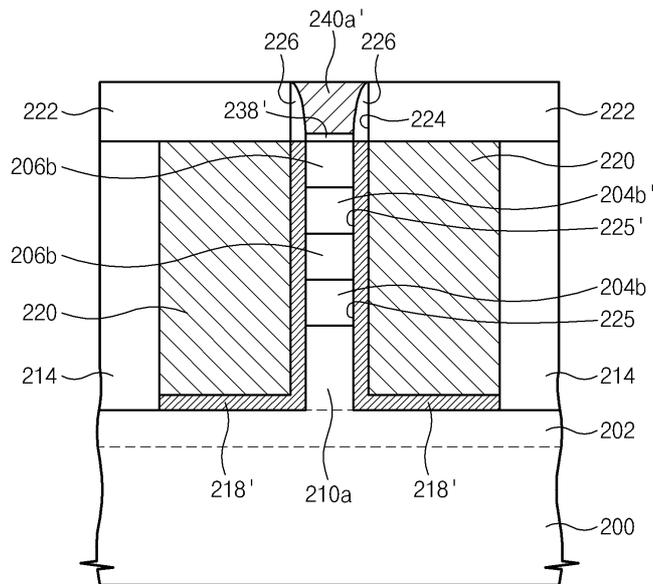
도면21



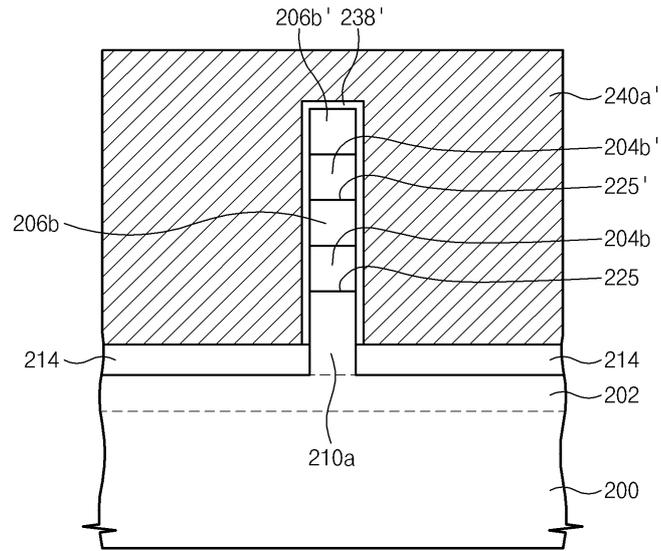
도면22



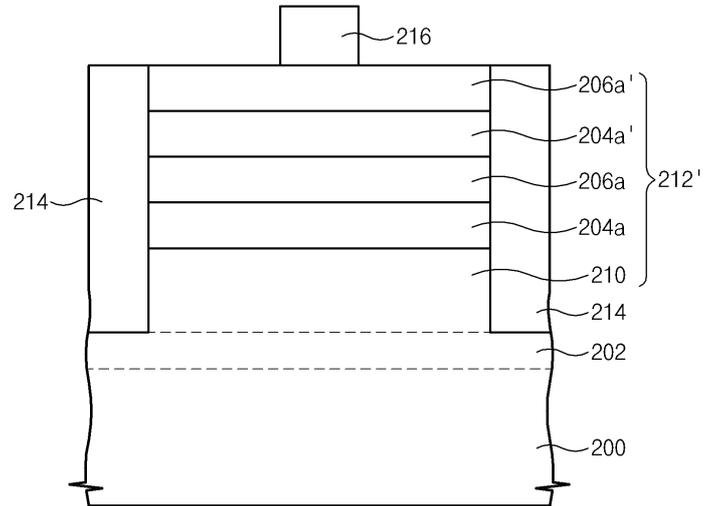
도면23



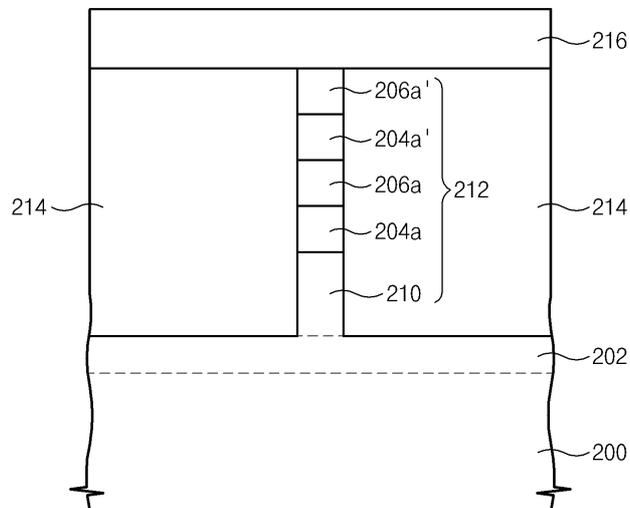
도면24



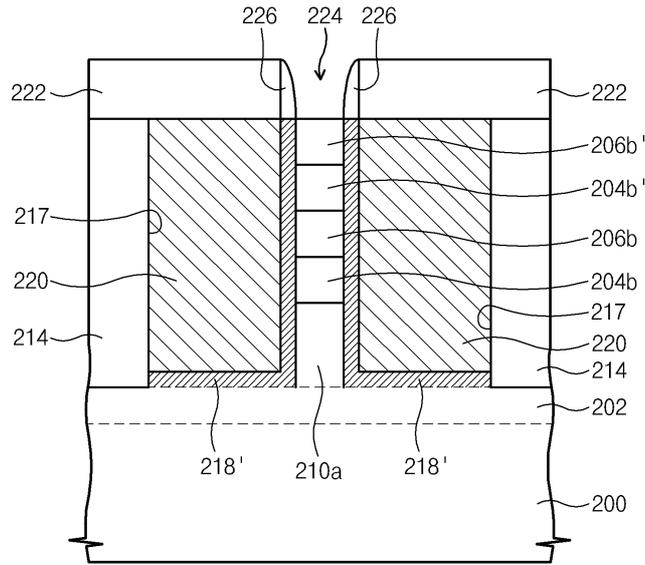
도면25a



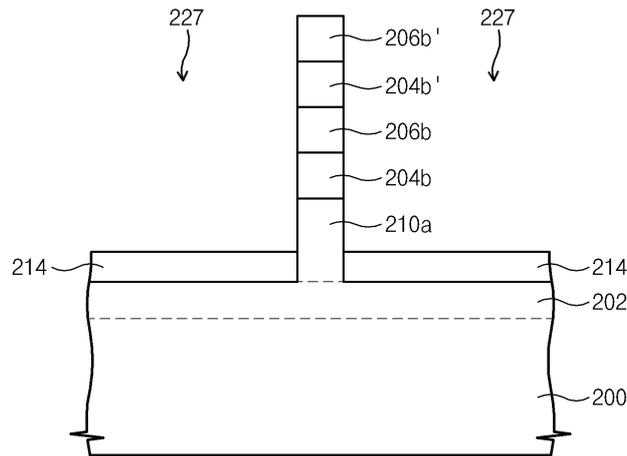
도면25b



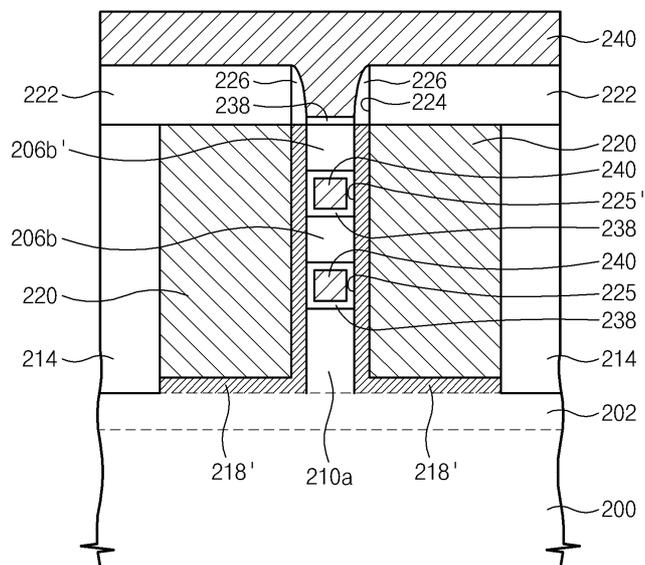
도면26a



도면26b



도면27a



도면27b

