



(12) 发明专利申请

(10) 申请公布号 CN 116544172 A

(43) 申请公布日 2023. 08. 04

(21) 申请号 202310507878.3

(22) 申请日 2013.12.30

(30) 优先权数据

61/747,613 2012.12.31 US

61/788,744 2013.03.15 US

61/790,445 2013.03.15 US

61/793,999 2013.03.15 US

(62) 分案原申请数据

201380073273.2 2013.12.30

(71) 申请人 环球晶圆股份有限公司

地址 中国台湾新竹市科学工业园区工业东
二路8号

(72) 发明人 R·J·法尔斯特 V·V·沃龙科夫

J·A·皮特尼

P·D·阿尔布雷克特

(74) 专利代理机构 北京市中咨律师事务所

11247

专利代理师 牛南辉 于静

(51) Int.Cl.

H01L 21/687 (2006.01)

H01L 21/322 (2006.01)

H01L 21/302 (2006.01)

G30B 25/12 (2006.01)

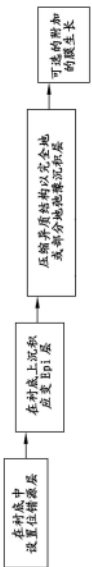
权利要求书2页 说明书11页 附图15页

(54) 发明名称

用于制备具有通过径向压缩降低的应变的
异质结构的方法和装置

(57) 摘要

本发明涉及用于制备具有通过径向压缩降低的应变的异质结构的方法和装置。公开了用于制备具有降低的应变的异质结构的装置和方法。所述异质结构包括半导体结构,所述半导体结构顺应具有与所述结构不同的晶格常数的表面层以形成相对低的缺陷的异质结构。



1. 一种用于向通常圆形的半导体衬底施加径向应力的装置,所述衬底具有中心轴、通常垂直于所述中心轴的前表面和背表面、从所述前表面延伸到所述背表面的外围边缘、以及邻近所述外围边缘在所述背表面中的周向槽,所述装置包括:

结构夹持物,包括:

通常平坦的背板,具有环形凸台,所述环形凸台适合于被接收在所述衬底的所述背表面中的所述槽中,所述凸台是可移动的以在所述衬底上施加应力。

2. 根据权利要求1所述的装置,与所述衬底组合,所述衬底包括在所述衬底的所述背表面中的槽,所述凸台被接收在所述槽中。

3. 根据权利要求1所述的装置,还包括前板,所述前板在所述结构上施加向下的力以防止所述结构从所述凸台松脱。

4. 根据权利要求1所述的装置,其中所述凸台为第一凸台,所述装置还包括具有第二凸台的前板,所述第二凸台适合于被接收在所述衬底的所述前表面中的槽中。

5. 根据权利要求1所述的装置,还包括用于加热所述结构的加热元件。

6. 一种用于向通常圆形的半导体衬底施加径向应力的装置,所述衬底具有中心轴、通常垂直于所述中心轴的前表面和背表面、从所述前表面延伸到所述背表面的外围边缘、以及邻近所述外围边缘结合到所述背表面的环,所述装置包括:

结构夹持物,包括:

通常平坦的背支撑,具有凸缘,所述凸缘适合于啮合在所述衬底的所述背表面上的所述环,所述支撑是可移动的以在所述衬底上施加应力。

7. 根据权利要求6所述的装置,与衬底组合,所述衬底包括结合到所述衬底的所述背表面的环。

8. 根据权利要求6所述的装置,还包括用于加热所述结构的加热元件。

9. 一种用于向半导体衬底施加径向应力的装置,所述衬底具有中心轴、通常垂直于所述中心轴的前表面和背表面、以及从所述前表面延伸到所述背表面的外围边缘,所述装置包括:

安装在所述腔中的结构夹持物,包括:

通常平坦的背板;以及

用于接收和压缩所述衬底的按压物,所述按压物适合于在所述衬底的外围边缘处朝着所述衬底的中心轴向内径向压缩所述衬底。

10. 根据权利要求9所述的装置,其中所述按压物包括形成用于接收所述结构的开口的多个弧形段。

11. 根据权利要求9所述的装置,其中所述按压物连续环绕所述结构。

12. 根据权利要求9所述的装置,其中所述背板仅部分地朝向所述衬底的所述中心轴延伸。

13. 根据权利要求9所述的装置,其中所述背板在所述结构之下连续地延伸。

14. 根据权利要求9所述的装置,还包括用于加热所述结构的加热元件。

15. 一种用于向半导体结构施加径向应力的装置,所述半导体结构具有前表面、背表面、周向边缘以及中心轴,所述装置包括:

三角形状的段,其向内指向中心轴,所述段被配置为从所述中心轴移动以向所述结构

施加应力;以及

流体通道,形成在每个段中,用于在所述段和结构之间形成真空。

16.根据权利要求15所述的装置,还包括用于加热所述结构的加热元件。

用于制备具有通过径向压缩降低的应变的异质结构的方法和装置

[0001] 本申请是申请日为2013年12月30日、申请号为201810287918.7、名称为“用于制备具有通过径向压缩降低的应变的异质结构的方法和装置”的专利申请的分案申请。

[0002] 相关申请的交叉引用

[0003] 本申请要求2012年12月31日提交的美国临时申请号61/747,613;2013年3月15日提交的美国临时申请号61/793,999;2013年3月15日提交的美国临时申请号61/790,445;2013年3月15日提交的美国临时申请号61/788,744的优先权,其中每一个通过引用并入到这里。

技术领域

[0004] 本公开内容通常涉及具有降低的应变的半导体异质结构的制备,并且特别地,涉及具有半导体衬底的异质结构,其顺应具有与衬底不同的晶格常数的表面层,从而形成相对低缺陷的异质结构。

背景技术

[0005] 包括具有器件质量表面的器件层和具有与器件层的材料不同的晶格结构的衬底的多层结构对许多不同目的有用。这些多层结构典型地包含具有不同的晶格常数的材料的多层。在层之间的晶格失配导致层要被应变。在器件层中失配位错自发地形成以弛豫(relax)在层之间的应变。这样的位错降低多层半导体结构的质量和效用。

[0006] 出现对于用于弛豫在晶格失配的半导体层之间的应变的方法和对于导致基本上没有位错的衬底和器件层的方法的继续需要。

发明内容

[0007] 本公开内容的一方面旨在一种用于在异质结构中弛豫应变的方法,所述异质结构包括衬底、在所述衬底上设置的表面层以及在所述衬底和所述表面层之间的界面。所述衬底包含中心轴、通常垂直于所述中心轴的后表面以及穿过所述中心轴跨所述衬底延伸的直径。在所述衬底中形成位错源层。将所述衬底径向压缩以产生位错并且从所述位错源层将所述位错朝向所述表面层滑动。

[0008] 本公开内容的另一方面旨在一种用于制备弛豫的异质结构的方法。在所述半导体衬底的前表面上沉积表面层,从而在所述表面层与所述衬底之间产生应变。在所述衬底中形成位错源层。通过径向压缩所述衬底弛豫在所述表面层与所述衬底中的所述应变,以产生位错并且从所述位错源层将所述位错朝向所述表面层滑动。

[0009] 本公开内容的另一方面旨在一种用于径向压缩在装置中的半导体结构的方法。所述结构具有前表面、后表面以及周向边缘。所述装置包括结构夹持物,所述结构夹持物包括用于邻近所述结构的周向边缘接触所述结构的顶板和背板。所述顶板适合于接触所述结构的所述前表面,并且所述背板适合于接触所述结构的所述后表面。在所述顶板、背板以及所

述结构的周向边缘之间形成外围腔。改变在所述外围腔中的所述压力以径向压缩所述结构。

附图说明

- [0010] 图1为硅异质结构的截面示意图；
- [0011] 图2为示出用于制备异质结构的方法的流程图；
- [0012] 图3-4为半导体结构和用于压缩半导体结构的结构夹持物的截面图；
- [0013] 图5为半导体结构和用于压缩半导体结构的结构夹持物的另一实施例的截面图；
- [0014] 图6-7为具有在其上涂层的半导体结构和图3的结构夹持物的截面图；
- [0015] 图8为半导体结构和用于压缩在其中设置有图3的结构夹持物的结构的装置的截面示意图；
- [0016] 图9为半导体结构和用于压缩半导体结构的结构夹持物的另一实施例的截面图；
- [0017] 图10为多个半导体结构和用于压缩半导体结构的结构夹持物的截面图；
- [0018] 图11为用于压缩半导体结构的结构夹持物的另一实施例的顶视图；
- [0019] 图12为半导体结构和用于压缩半导体结构的结构夹持物的另一实施例的截面图；
- [0020] 图13为具有槽的半导体结构和用于压缩半导体结构的结构夹持物的另一实施例的截面图；
- [0021] 图14为半导体结构和具有顶板的图13的结构夹持物的截面图；
- [0022] 图15为具有两个槽的半导体结构和用于压缩半导体结构的结构夹持物的另一实施例的截面图；
- [0023] 图16为半导体结构和包括按压物的结构夹持物的另一实施例的截面图；
- [0024] 图17为图16的半导体结构和结构夹持物的顶视图；
- [0025] 图18为结构夹持物和具有段的结构夹持物的另一实施例的顶视图；以及
- [0026] 图19为半导体结构和具有凸缘的结构夹持物的另一实施例的截面图。
- [0027] 在整个附图中相应的参考字符表示相应的部分。

具体实施方式

- [0028] 依照本公开内容的一个或多个方面，具有在衬底与具有与衬底不同的晶格常数的表面层之间的降低的应变的异质结构被诸如通过图2的方法制备。此处表面层也被称为“外延层”、“异质外延层”、“沉积膜”、“膜”、“异质层”或“沉积层”。可以形成具有基本上弛豫的表面层和降低的失配位错的浓度的异质结构，该失配位错也被称为穿透(treading)位错。
- [0029] 通常，本公开内容的方法包括在半导体衬底中形成位错源层，在错位源层的形成之前或之后在衬底上沉积异质层，并且径向压缩异质结构以产生(即，“激活”)位错，以及从位错源层滑动位错朝向表面层。通过施加压缩到衬底，同时发生源层的激活和从源层朝向具有沉积层的界面的位错的滑动。在一个或多个步骤中，并且以各种组合施加应力，以激活并滑动位错，从而塑性压缩异质结构。
- [0030] 异质层具有晶格常数 a_{sl} ，其不同于衬底的天然晶格常数 a_s ，以在衬底的表面上形成膜。通常，异质层的晶格常数 a_{sl} 小于衬底的天然晶格常数 a_s ，以便通过控制通过压缩在衬底中的位错环的产生与滑动，塑性变形衬底并且更合适地对准膜的晶格，从而允许膜被完

全地弛豫并且在衬底上具有降低的密度的穿透位错。

[0031] 本公开内容的方法具有超过用于弛豫异质层的常规的方法的若干优势。常规方法在膜与衬底之间的应力中产生大的不对称,其导致在应力为最大的地方(即,膜)的位错生成。通过将位错环限制于膜,位错留下段作为降低的穿透位错。已经采用许多的努力试图最小化这样的穿透位错的密度。

[0032] 对比而言,本公开内容的方法用在衬底中发生的位错生成导致应力的不对称(例如,通过弱化衬底且在弱化衬底时在其中使用相对薄的膜以避免位错生成)。这允许限制位错到衬底,同时在衬底与膜之间的界面处形成失配位错层。当通过各种可控的方式引入位错弱化衬底时,施加外部应力到系统以激活位错。这不同于常规方法,其由于相对大本征、内部应力导致自弛豫(即,弛豫而没有外部应力的施加)。本公开内容的方法涉及弛豫,而不是通过自弛豫,通过用相对薄的膜在适当的温度弱化和应用的外部应力,从而没有发生自弛豫。

[0033] I. 半导体衬底

[0034] 参照图1,半导体衬底1可能为适合于用作用于支撑表面层的衬底的任何单晶半导体材料,该表面层诸如,通过化学气相沉积的外延层的沉积。通常,半导体衬底由下列的材料组成:硅、碳化硅、蓝宝石、锗、硅锗、氮化镓、氮化铝、砷化镓、铟镓砷或及其任何组合。典型地,半导体衬底由硅组成。

[0035] 半导体衬底1为如在下文中更详细的描述的适合于使用作为用于沉积表面层的衬底和适合于施加应力到衬底材料的任何形状。典型地,半导体衬底具有中心轴2;具有沉积层7和背表面4的界面3,衬底-表面层界面3和背表面4通常垂直于中心轴2;厚度 t ,对应于从界面到衬底的背表面的距离;周向边缘5;以及直径 D ,通过中心轴跨衬底延伸。应当指出,用于阐述目的,将背表面4描述为在其处或其附近将形成位错源层的相对表面4,并且照此在此处被称为“相对表面”和/或“受损的表面”。在此方面,异质结构本身和下文描述的沉积层7通常与衬底1同心,并且也包括中心轴2;周向边缘5;以及直径 D ,跨异质结构(以及表面层)并且通过中心轴延伸。

[0036] 衬底1具有用于作为衬底的任何适合的直径,在衬底上面将沉积半导体层。通常,衬底1具有大约150mm或更多的直径。典型地,衬底1具有大约200mm或更多、大约300mm或更多或甚至大约450mm或更多的直径。应当指出,衬底直径为在塑性变形异质结构之前的直径,在这种情况下,直径从如在下文更详细地描述的塑性变形之后的所说明的值而增加或减少。备选地,在塑性变形之前衬底具有小于或大于所说明的值的直径,以便在塑性变形之后直径近似等于所说明的值。

[0037] 相似地,衬底1具有适合于用作衬底的任何厚度 t ,在衬底上面沉积半导体层。例如,衬底具有从大约500微米到大约1000微米、典型地从大约600微米到大约1000微米、从大约700微米到大约1000微米、从大约700微米到大约900微米或甚至从大约700微米到大约800微米的厚度 t 。

[0038] 在一些实施例中,例如,衬底1为单晶硅晶片,该单晶硅晶片已经被通过直拉晶体生长方法从单晶硅锭切片,具有大约150mm或更多、大约200mm或更多、大约300mm或更多、或甚至大约450mm或更多的直径,并且具有从大约675微米到大约1000微米或甚至从大约725微米到大约925微米的厚度。

[0039] 在其上面沉积了外延层衬底表面,被抛光,以便适合于沉积外延层,或在化学气相沉积之前被进一步调节。相对表面被同样抛光或备选地未抛光,即,如研磨的、如研磨的或如研磨且蚀刻的,而没有脱离本公开内容的范围。在各种实施例中,将相对表面留在未抛光状态,其中,将采用如研磨、如研磨或如研磨且蚀刻表面作为位错源层。备选地或除此之外,如在下文更详细地描述,相对表面被损害以形成错位源层。

[0040] 应当指出,直拉生长硅典型地具有在大约 5×10^{17} 到大约 9×10^{17} 原子/cm³ (ASTM标准F-121-83)范围内的氧浓度。通常,用于在本公开内容中的衬底的单晶硅晶片具有下降到典型地通过直拉方法达到的范围之内或甚至之外的氧浓度,提供的氧浓度没有过量以阻止位错的激活和滑动。

[0041] II. 沉积的表面层

[0042] 将表面层7定位在衬底1的前表面上。沉积层7为通过化学气相沉积的适合于沉积作为外延层的任何单晶半导体材料。通常,异质层包括晶格常数 a_{s1} ,其小于衬底的天然晶格常数 a_s 。沉积层由任何适合的材料组成,并且如在一些实施例中,由下列的材料组成:硅、碳化硅、蓝宝石、锗、硅锗、氮化镓、氮化铝、砷化镓、砷化铟镓或及其任何组合。在衬底由硅组成的实施例中,具有较小晶格常数的异质层包括,例如,氮化镓。

[0043] 使用基本上在本领域中通常已知的任何技术以形成沉积层,诸如已知的外延沉积技术中的一个。一般来说,沉积层的厚度改变很大,而没有脱离本公开内容的范围。例如,厚度具有基本上均匀的厚度,及其平均厚度为至少大约0.1微米、至少大约0.5微米、至少大约1.0微米,以及甚至至少大约2.0微米。备选地,期望以范围的方面表示厚度。例如,平均厚度典型地在从大约0.1微米到大约2.0微米的范围中,诸如从大约0.5微米到大约1.0微米。

[0044] 应当指出,在具有不同晶格常数的衬底上生长沉积层,在沉积层和衬底中形成相等的但是相对的应力。在界面的上方和下方的沉积层和衬底中的应力的相对量与沉积层和衬底的相对厚度成比例。作为结果,在界面上方的沉积层中的应力比在界面的下方的衬底中的应力大若干数量级。在生长期间,在沉积层中的应力可以增加直到在沉积层中通过形成失配或穿透位错的层自弛豫。为了避免沉积层的自弛豫,因此,优选在衬底上至少最初地生长薄沉积层。然后,如在下文更详细地描述,在衬底中通过激活或延伸位错,弛豫或部分弛豫薄层到其天然的晶格常数或邻近其天然的晶格常数。如果较厚沉积层为希望的,在层已经被足够弛豫之后,沉积附加材料。

[0045] 使用基本上在本领域中通常已知的任何技术以在衬底上形成沉积层。例如,可以使用外延沉积技术(例如,常压化学气相沉积(APCVD));低或降低的压力CVD(LPCVD);超高真空CVD(UHVCVD);分子束外延(MBE);或原子层沉积(ALD))。外延生长系统包含单晶片或多晶片间歇反应器。

[0046] 表面层7包括形成异质结构的前表面8的表面。如在图1中所示,表面层7跨衬底1的整个直径连续延伸。在一些实施例中,表面层7没有跨衬底1连续延伸,而是包括半导体材料的若干不连续段或“岛”,如在下文进一步描述的在衬底上沉积该半导体材料。例如,在小于大约95%的衬底之上,或如在其它实施例中,小于大约80%、小于大约60%、小于大约40%或小于大约20%的衬底之上设置表面层。

[0047] III. 位错源层的制备

[0048] 将位错源层6定位在衬底1之内,并且从衬底表面隔开,在衬底表面上面将沉积外

延层。典型地,位错源层6位于在相对表面处或附近,在相对表面之上已经或将沉积外延层。例如,如果在衬底的前表面上将沉积外延层,位错源层6将位于在衬底的背表面4处或附近。在这样的实例中,衬底的前表面将变为在衬底与沉积层7之间的界面。

[0049] 源层6跨衬底1的主要径向宽度而存在或被设置。如在图1中示出的实施例中,源层6跨衬底1的整个直径延伸。尽管该实施例为优选的,在其它实施例中,源层没有跨整个直径延伸。通常,因此,源层6将具有典型地至少大约75%、更典型地至少大约85%并且仍然更典型地至少大约95%的晶片的半径或甚至至少大约99%的晶片的半径的径向宽度。在一些实施例中,源层6延伸到在周向边缘的一些毫米内,例如,到在周向边缘的1mm内。

[0050] 通常,源层6包括提供源层的衬底的任何部分,倘若不包括外延层将被在其上面沉积的表面。通常,源层6具有大约100微米或更少、大约50微米或更少、大约25微米或更少或大约10微米或更少(例如,从大约1微米到大约100微米、从大约1微米到大约50微米、从大约1微米到大约25微米或从大约5微米到大约25微米)的厚度。源层6包括衬底的背表面以及由此延伸。应当指出,源层6不需要包括晶片的背表面,并且从背表面的深度延伸朝向衬底的前表面。

[0051] 当在足够高温下经受足够高应力时,位错源层6为能够生成可测量浓度的位错的任何层。通常,如在下文更详细的描述关于在衬底内的位错的激活,当经受在大约5MPa与大约100MPa(典型地,在大约500℃与大约1000℃之间的温度处围绕大约15MPa)之间的压缩应力时,位错源层6能够生成可测量的浓度的位错。

[0052] 在表面层7的沉积之前或随后,在衬底1中形成位错源层6。在衬底为从单晶锭切片的晶片的实施例中,位错源层6通过包括作为整个晶片方法的部分的切片方法、研磨方法或研磨方法引起的机械损害。

[0053] 备选地或另外地,通过下列一个或多个方法中的通过机械损害衬底的背表面而部分或全部形成位错源层6:研磨背表面、研磨背表面、通过喷砂背表面设置软损害、在背表面上形成压痕、在背表面中注入离子和/或及其组合。

[0054] 在一些实施例中,通过压制尖针阵列到晶片背表面上以在背表面中形成压痕以形成位错源层6。跨表面非均匀地形成压痕或以预定图案形成压痕。将这样的图案设置在到晶片晶体方向的特定关系中。例如,将方形矩阵图案设置在到110方向的浅角度。这允许在这些位置产生的位错沿平行滑动平面滑动并且没有彼此相互作用。而且,通过这样的处理,具有位错环密度的精确控制。

[0055] 在一些实施例中,通过衬底的背表面经由注入离子形成源层6。注入的离子可以为电气等离子、中性或惰性以最小化在衬底的电特性上的任何影响。例如,注入的离子选自硅、锗、氢、氦、氟、氩、氙及其组合。

[0056] 注入离子到相对于背表面的目标深度 D_i 。然而,作为一个实际问题,一些注入的离子将没有行进该距离而其它的将行进甚至更远的距离(即,到达相对于背表面的更大深度)。实际离子注入深度从 D_i 变化大约5%、10%、15%、20%、25%或更多。这产生包含在 D_i 处或附近的相对高浓度的注入离子的非晶材料的区域或层,其中注入离子的浓度从在衬底1的前表面的方向上和在相对方向上的 D_i 下降。目标深度 D_i 也被称为注入离子的投射范围。

[0057] 对于给定的注入能量,由于较轻的离子趋于进一步穿透到衬底中,通过离子种类注入,至少部分地,影响注入深度。因此,例如,以50keV的注入能量,硅离子将具有大约

750 Å的平均注入深度,而锗离子将具有**400 Å**的平均注入深度。通常,优选以至少大约30keV诸如至少大约40keV或甚至至少大约50keV的能量注入离子。在一个应用中,以至少大约45keV且小于大约55keV的能量注入离子。选择的离子和注入能量应足够以在作为位错源层的衬底中形成非晶层。

[0058] 通常,如果将足够能量用于注入足够浓度的离子以形成硅的非晶层,在当后续退火时,在注入离子的范围的端部处形成位错环。典型地,尽管精确深度为或多或少,在注入离子之下的大约**100 Å**到大约300的深度处形成位错环。通常,更难于使用较低质量元素形成非晶材料。因此,必须将较高浓度的低质量元素用于促使足够的损害,而较低浓度的高质量元素足够以形成非晶硅。例如,当注入离子为硅离子时,注入的剂量优选为至少大约 2×10^{14} 原子/cm²,诸如至少大约 5×10^{14} 原子/cm²,或甚至至少大约 1×10^{15} 原子/cm²。在一个优选的实施例中,注入离子的剂量为至少大约 2×10^{15} 原子/cm²。通过对比,当注入离子为较高质量锗离子时,注入剂量优选为至少大约 6×10^{13} 原子/cm²,诸如至少大约 1×10^{14} 原子/cm²,或甚至至少大约 5×10^{14} 原子/cm²。在一个优选的实施例中,注入离子剂量为至少大约 1×10^{15} 原子/cm²。

[0059] 在一些优选的实施例中,通过研磨衬底的背表面而形成源层6。在从直拉生长单晶硅锭切片之后,使用典型地用在半导体硅工业中的任何研磨方法研磨表面以形成硅晶片。在特别地优选实施例中,使用研磨方法研磨背表面,其使用大约600的粒度。

[0060] IV. 错位的激活与滑动

[0061] 将位错源层激活以在源层处或附近形成位错,其可被朝向衬底-表面层界面滑动。依照本公开内容的实施例,在衬底上已经沉积表面层之后,进行位错的激活与滑动,以便衬底和/或表面层经受应变。

[0062] 在升高的温度下,通过将位错源层(且典型地,使衬底)经受通过压缩衬底的应力激活位错源层以引起位错的形成。在垂直于轴的方向上,即,在径向方向上,使用一个或多个适合的装置将压缩施加到整个衬底。也就是,从外围边缘向内径向压缩晶片。以这种方式,在源层处或附近将形成位错,并且位错将朝向相对表面滑动。

[0063] 通常,在较低应力水平与较低温度下将激活更严重受损的位错源层,而在较高应力水平与温度下将激活不太严重受损的位错源层。通常,在大约550°C与大约1000°C之间的温度下,将通过至少大约5MPa、典型地从大约5MPa到大约100MPa或从大约10MPa到大约100MPa的压缩施加的应力施加到位错源层。更典型地,应力为从大约10MPa到大约50MPa或从大约10MPa到大约25MPa。典型地,在从大约650°C到大约1000°C或甚至从大约700°C到大约1000°C的温度下,执行位错的激活和/或滑动。例如,将施加典型的应力以激活通过研磨和/或研磨形成的位错源层,在大于大约600°C的温度下且甚至更典型地在大于大约700°C的温度下,该应力为大约15MPa。其它,在甚至更低应力水平处,更高受损层可激活。

[0064] 在升高的温度下持续足够时间,维持衬底经受应力以激活并滑动位错。通常,如上文描述,维持衬底经受应力,并且在升高的温度下,持续至少大约10秒的一段时间,并且维持衬底经受那些条件持续至少大约5小时、至少大约10小时或甚至更长的一段时间。典型地,在升高的温度下持续至少大约1分钟,从大约5分钟到大约60分钟,更典型地从大约10分钟到大约45分钟,并且在一些实施例中为从大约10分钟到大约20分钟的一段时间,维持衬

底经受应力。应当指出,较高应力水平与较高温度每个都趋于降低激活并滑动位错所需要的持续时间。

[0065] 将压缩单独地施加到衬底,或如在其它实施例中,将压缩施加到整个异质结构(即,衬底与异质层)。此外,优选地,通过应力施加相对均匀(在方向内和/或幅度内)的应力贯穿异质结构(例如,径向地与周向地)。应当指出,通过用于压缩衬底的装置限制应力的均匀性程度与一些变化(径向或周向变化)可能源于应力的不均匀性分布。在一些实施例中,沿衬底的整个周向施加至少大约5MPa的应力,或如在其它实施例中,沿衬底的整个周向施加至少大约10MPa的应力。

[0066] 当应用足够应力时,在位错源层处,位错连续形成并且朝向衬底-表面层界面滑动。在应力的应用期间的给定点的时间点,位错通常为均匀性分布贯穿衬底的厚度。当达到衬底-表面层界面时,在界面处位错形成失配界面位错。在衬底的压缩期间,在界面处失配位错密度增加并且继续弛豫在表面层与衬底之间的应变。当建立足够的失配密度时,应变最终为平衡的。

[0067] 从位错源层产生位错并且朝向衬底-表面层界面滑动,该位错基本上平行于异质结构的背与前表面(即,被横向设置)。应当相信,从位错源层产生相对小量或甚至没有穿透位错。

[0068] 优选地,随着位错的进一步生成和滑动,在应变被平衡点处或其附近停止的衬底的压缩导致位错穿透表面层。一旦停止衬底的压缩,在衬底中运输中的位错停止滑动到界面并且没有进一步产生位错(即,位错变成冻结)。

[0069] 在应力和热的应用的任何给定点处,在衬底中存在的位错的数目为至少大约 1×10^5 位错/cm²或甚至至少大约 5×10^5 位错/cm²(例如,从大约 1×10^5 位错/cm²到大约 5×10^7 位错/cm²或从大约 5×10^5 位错/cm²到大约 1×10^7 位错/cm²)。使用任何位错环检测方法确定位错的数目密度,该任何位错环检测方法包括,例如,采样衬底并且在通过显微镜查看和计数位错环之前使样品经受划定(delineating)蚀刻剂。

[0070] 在一些实施例中,通过衬底的压缩施加到衬底的应力被减少到小于从位错源层产生位错的阈值的值,但是在该值处以足够量级以允许现有的位错进一步向上朝向界面滑动。以这种方式,产生具有基本上没有位错的衬底的异质结构。在这样的实施例中,通过衬底的压缩将初始应力 S_1 施加到衬底以产生并且从源层滑动位错到衬底-表面层界面。然后,施加的应力降低到 S_2 (即, S_2 小于 S_1)。应力 S_2 为小于从位错源层产生位错的阈值的应力,并且允许现有的位错以进一步向上朝向界面滑动以产生基本上没有位错的衬底。 S_1 为至少大约5MPa、至少大约10MPa或至少大约25MPa(例如,从大约5MPa到大约100MPa或从大约10MPa到大约100MPa)。 S_2 为小于大约10MPa、小于大约5MPa或甚至小于大约1MPa。典型地,甚至在大约1MPa的应力处,位错将在大约850℃的温度下以大约每秒1微米的速度或在大约900℃的温度下以大约每秒2.5微米的速度滑动。

[0071] 根据在衬底的晶格常数 a_s 与表面层的半导体材料的晶格常数 a_{SL} 之间的差,改变应力的量级、施加到衬底的应力的应用的时间和/或温度。根据选择的衬底材料与在其上沉积的半导体材料, a_{SL} 和 a_s 可能改变。通常,当 a_{SL} 小于 a_s 时,即,当比率 a_{SL}/a_s 小于1时,压缩有效地弛豫异质层。比率 a_{SL}/a_s 为从大约0.84到大约0.99,或如在其它实施例中,从大约0.90到大约0.99、从大约0.95到大约0.99、从大约0.84到大约0.95、从大约0.84到大约0.90或从大

约0.90到大约0.95。

[0072] 通过滑动位错到界面,表面层为至少大约85%弛豫、至少大约90%弛豫、至少大约95%弛豫、或甚至完全地弛豫,即100%弛豫。表面层为基本上没有穿透位错或具有小于大约 10^4 穿透位错/ cm^2 的浓度的穿透位错。

[0073] 在实施例中,表面层没有连续但是包括在衬底的表面上设置的不连续段(即,岛),通过产生并从位错源层滑动位错到具有岛的界面,不连续段变得弛豫以产生在每个岛与衬底之间的失配界面位错。达到在岛之间的衬底的表面的位错在这样的表面处耗散,当压缩完成时,其允许在岛之间的区域基本上没有位错。在岛的弛豫之后,进一步将半导体材料沉积以产生表面层,该表面层跨衬底的整个直径而连续延伸。在这样的实施例中,在岛以下的位错在新近沉积的材料与衬底之间的界面处横向传播,从而整体上弛豫该新近沉积的材料与连续的表面层。

[0074] 将通过上文描述的任何方法制造的弛豫的异质结构用于制造绝缘体上硅结构使用晶片结合(bonding)和层转移(transfer)方法的集成电路,或用于随后制造应变的绝缘体上硅结构。

[0075] 在弛豫的表面层上沉积附加层,从而在衬底的顶部上的弛豫层的顶部上,形成具有应变层的异质外延结构。这样的结构同样被用于将弛豫层与应变层转移到另一衬底,从而形成具有掩埋应变层或备选地在绝缘体上的掩埋应变层的异质外延结构。也就是,在衬底上或在衬底上的绝缘层的顶部上的半导体材料的应变层的顶部上,异质外延结构具有半导体材料的弛豫层。

[0076] 此外,将通过本公开内容的方法制造的结构用于制造半导体器件,诸如场效应晶体管(FET)或调制掺杂场效应晶体管(MODFET)层结构。

[0077] V. 用于压缩的装置

[0078] 在此方面,使用下文描述的任何装置来进行此处描述的涉及衬底的压缩的方法。

[0079] 现在参考图3-10,通过衬底夹持物的使用实现衬底的压缩,该衬底夹持物包括用于跨衬底施加压差的腔和/或流体通道。

[0080] 现在参考图3-4,通过使用结构夹持物11实现结构9的压缩。结构夹持物11包括顶板13。如在图3-4中所示,顶板13为环。顶板13可能具有其它形状并且可能跨衬底9完全地延伸而没有限制。顶板13适合于在结构的周向边缘5处接触衬底9的前表面。

[0081] 结构夹持物11包括用于邻近周向边缘5接触结构9的背表面的背板15。背板15包括外围环20,该外围环20向上延伸朝向顶板13。然而在其它实施例中,外围环20可能为顶板13的部分或可能与顶板13和背板15分开。背板15、顶板13以及外围环20均适合于在顶板13、背板15(包括外围环)与结构9的周向边缘5之间形成外围腔18。通常,背板15和顶板13与结构9形成密封,该密封允许在外围腔18中的压力如在下文所描述相对于夹持物11的外面的压力被增加。外围腔18被这样形成,通过在背板15上定位半导体结构9并且降低顶板13到背板15上直到顶板13、背板15与在结构9的周向边缘5之间形成密封。

[0082] 夹持物11包括在背板15中的出口22用于调整在外围腔18中的压力。备选地,出口通过前板13和/或外围环20延伸。出口22为与泵(未示出)流体连通用于增加在外围腔18中的压力。

[0083] 现在参考图8,夹持物11为用于压缩结构9的装置36的部分。装置36也包括壳35,该

壳35限定主腔27,在该主腔27中设置夹持物11。装置36包括出口32,该出口32与泵(未示出)流体连用于调节在主腔中的压力 P_1 。在结构夹持物11内的出口22通过壳35延伸。以这种方式,在主腔27中维持压力 P_1 ,而在结构夹持物11的外围腔18中维持不同的压力 P_2 。通过将主腔27中的压力 P_1 维持为小于在外围腔18中的压力 P_2 ,结构9被压缩(即,降低衬底的弛豫半径)。

[0084] 在此方面,在图3-10中的与压力 P_1 和/或 P_2 相关的箭头被提供用于示例性目的,而不应该被认为是限制装置为特定压力分布(即,在外围腔或主腔中的真空或压力的使用)。

[0085] 在结构9的压缩期间, P_1 比 P_2 小至少大约10MPa,或如在其它实施例中,比 P_2 小至少大约20MPa、至少大约50MPa或至少大约75MPa(例如,从大约10MPa到大约100MPa、从大约10MPa到大约50MPa或从大约10MPa到大约25MPa)。在一些实施例中, P_1 为周围压力。在这样的实施例中,将主腔27和壳35消除并且将壳暴露到周围环境(即,大气压力)。

[0086] 在压缩期间将加热元件30用于加热结构9以激活位错源层。如上文所描述,将结构加热到从大约650℃到大约1000℃或从大约700℃到大约1000℃的温度。

[0087] 在图5中示出结构夹持物111的另一实施例。应当指出,在图5中示出的夹持物部件类似于在图3中那些,通过图3的相应的参考数字加“100”而指定(例如,部件15变成部件115)。如在图5中所示,顶板113包括用于接触结构9的前表面8的突出物117。突出物117与结构9形成密封以允许增加在外围腔118中的压力。

[0088] 在一些实施例中并且如在图6-7中所示,在结构表面的至少部分上结构9具有涂层39(图6)或涂层40(图7)。如在图6中所示,涂层39越过结构9的周向边缘5与前表面8和背表面4与邻近外围边缘5的部分而延伸。如在图7中所示,涂层40也越过结构的整个背表面4而延伸。备选地或附加地,涂层越过结构夹持物的一个或多个表面而延伸。涂层39或涂层40(或越过结构夹持物而延伸的涂层)由诸如石墨、六方氮化硼、 MS_2 、 WS_2 、 $SiCN$ 、 $AlCr(V)N$ 、 $TiAl(Y)N$ 、 CaF_2 、 BaF_2 、 SrF_2 或 $BaCrO_4$ 的低摩擦材料组成。在一些实施例中,在结构的前表面上,结构9具有涂层,其降低或甚至阻止结构的挥发膜部件的蒸发。用于降低蒸发的适合的涂层包括非晶硅。

[0089] 在图9中示出结构夹持物211的另一实施例。应当指出,在图9中示出的夹持物部件类似于在图3中的那些,通过图3的相应的参考数字加“200”而指定(例如,部件15变成部件215)。结构夹持物211的顶板213包括压痕,在结构夹持物211的使用期间,该压痕适合于在顶板213与结构9的前表面8之间形成中心腔240。通过降低顶板213到半导体结构9上形成中心腔240。通过环形壁242限定压痕。压痕具有小于结构的应变半径的半径。如此处所使用,“应变半径”指的是在使用结构夹持物211的结构9的径向压缩(变形)之前的结构的半径。

[0090] 顶板213包括出口246,该出口246与泵(未示出)流体连通以在中心腔240中维持压力 P_1 。以这种方式,将压差维持在中心腔240与外围腔218之间以使得结构9被径向压缩。通过将中心腔240中的压力 P_1 维持为小于在外围腔218中的压力 P_2 ,结构9被压缩。压力 P_1 和/或 P_2 为在上文描述的范围内。

[0091] 在一些实施例中,将结构9径向压缩直到压缩结构的半径基本上与在顶板213中的凹陷的半径相同(或轻微地小于)。当压缩结构9到凹陷的半径时,中心腔240与外围腔218流体连通,其允许在腔之间的压力平衡,从而限制结构9的压缩。因此,随着顶板213的凹陷,结构夹持物211为自限制,限制结构9的径向压缩。

[0092] 如在图10中所示,用于径向压缩结构的结构夹持物适合于同时地压缩多个结构。在图10中示出的夹持物部件类似于在图3中的那些,通过图3的相应的参考数字加“700”而指定。夹持物711包括背板715,该背板715适合于邻近结构的周向边缘接触结构9a、9b、9c、9d。夹持物711包括顶板713,该顶板713邻近结构的周向边缘接触结构9a、9b、9c、9d。在背板715、顶板713与结构9a、9b、9c、9d的周向边缘之间形成外围腔718。顶板713包含腔760延伸到结构9a、9b、9c、9d的前表面以允许结构被暴露到在主腔中(未示出)的压力 P_1 。将外围腔718维持在压力 P_2 。

[0093] 通过将 P_1 维持为小于 P_2 ,径向压缩结构9a、9b、9c、9d。在 P_1 与 P_2 之间的差为至少大约10MPa,并且在上文描述的任何范围内。在这样的实施例中, P_1 为大气压力,并且顶板713为连续部分,没有包含分开腔760。当描述和示出在图10中示出的衬底夹持物仅具有一个背板和一个顶板时,应当理解,夹持物具有密封单个结构或结构的组合的多个分开的背或顶板。此外,当在图10中示出的结构夹持物711能够径向压缩四个结构,应当指出,将夹持物设置为同时地压缩或多或少的结构而没有限制。

[0094] 除了上文描述的装置,紧握结构(诸如在外围边缘通过夹具或其它紧握元件的使用)并且允许结构被压缩的装置用于弛豫诸如下文描述的在装置中的异质结构。现在参考图11-19,通过结构夹持物的使用实现结构的压缩,其相对结构为径向可移动的。在这样的实施例中,结构夹持物为装置的部分用于压缩结构。这样的装置类似于在图8中示出的装置36,装置包括壳35,该壳35限定主腔27,在该主腔27中设置夹持物11。装置包括加热元件30以在压缩期间通过图11-19的结构的任何使用加热结构9以激活位错源层。

[0095] 现在参考图11,结构夹持物1720包括多个三角形状的段1785,其向内指向夹持物的中心轴A。每个段具有在其中形成的至少一个流体通道1787以在衬底上拉真空。段1785被设置用于从中心轴A向内移动使得衬底被压缩。

[0096] 现在参考图12,装置911为夹具,其包括前板931和背板932,其对衬底9施加夹持力。如在图12中所示,顶板931和背板932为环。顶板931可能具有其它形状并且可能跨衬底9完全地延伸而没有限制。通过包括使用气动、水力学、发动机等等的任何机械方法,前板931和背板932为从装置的中心向内径向可移动的。

[0097] 现在参考图13,在另一实施例中,结构夹持物1011包括通常平坦的背板1146,其包括环形凸台1147,该环形凸台1147被改变且成形以被在结构9的背面中的槽1148中接收。凸台1147为可移动的以便其压缩结构9。

[0098] 在一些实施例中且如在图14中所示,结构夹持物1220也包括前板1250,该前板1250具有从前板延伸的环形环1252。在加热期间,环1252对结构9施加向下力以在结构的压缩期间阻止结构从凸台1247松脱。用于完成该功能的其它结构在本公开内容的范围内为预期的。

[0099] 在其它实施例中且如在图15中所示,结构夹持物1320包括类似于或相同于在图13和14中所示的背板1346和凸台1347。衬底夹持物1320也包括前板1351和前凸台1355,其被改变且成形以被在结构9的前表面中的槽1357中接收。

[0100] 参考图16-18,该实施例的结构夹持物1420包括平坦的背板1461用于支撑结构9并且通常地使用圆形开口的循环按压物1460用于接收并压缩结构。如在图16-18中,平坦的板可能仅部分地延伸朝向结构的中心,或可能连续地延伸在结构9下。按压物1460可能连续地

环绕结构,或如在图18中所示,可能包括多个弧形段1563,其形成开口用于接收结构9。按压物1460和/或段1563相对于结构9为向内可移动的以压缩结构。

[0101] 参考图19,结构夹持物1620包括通常平坦的背板1681和凸缘1683。结构9包括附着到邻近结构的外围边缘的结构的背表面的环1680。凸缘1683适合于啮合环1680。支撑1681和凸缘1683相对结构为可移动的以压缩结构。

[0102] 在一些实施例中,通过上文描述的装置施加的应力为循环的,诸如通过降低跨结构的压差(例如,通过减少或增加在外围或主腔中的压力)或通过降低在紧握衬底的装置中施加的应力。这样的循环释放在结构中形成的任何弹性应力。

[0103] 如此处所使用,当术语“大约”、“基本上”、“实质上”以及“近似”被用于结合尺寸、浓度、温度或其它物理或化学性质或特性的范围时旨在覆盖出现在性质或特性的范围的上限和/或下限的变化,包括,例如,从四舍五入、测量方法学或其它统计变化产生的变化。

[0104] 当介绍本公开内容或及其优选的实施例的元件时,冠词“一”、“一个”、“该”以及“所述”旨在是指一个或多个的元件。术语“包括”、“包含”以及“具有”旨在包容性且旨在具有除了列出的元件还具有可附加的元件。

[0105] 可以做出没有脱离本公开内容的范围的在上文中的装置和方法的各种变化,旨在在上文的说明书中包含且在附图中示出的所有事物应该被解释为阐述性的而非限制性的意义。

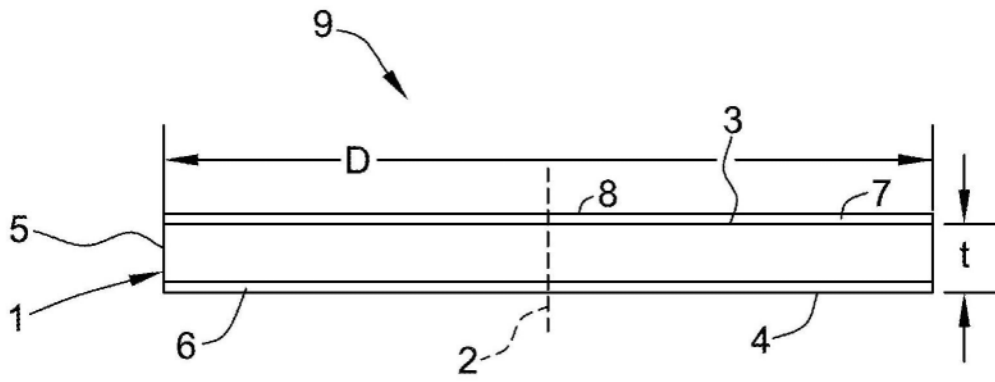


图1

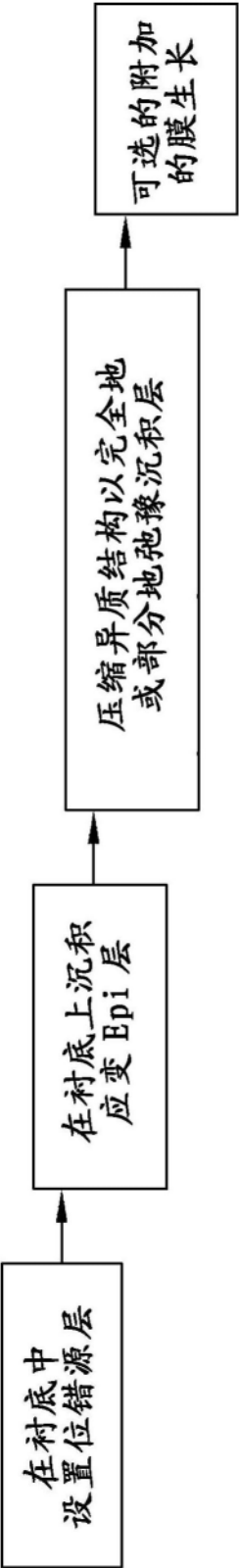


图2

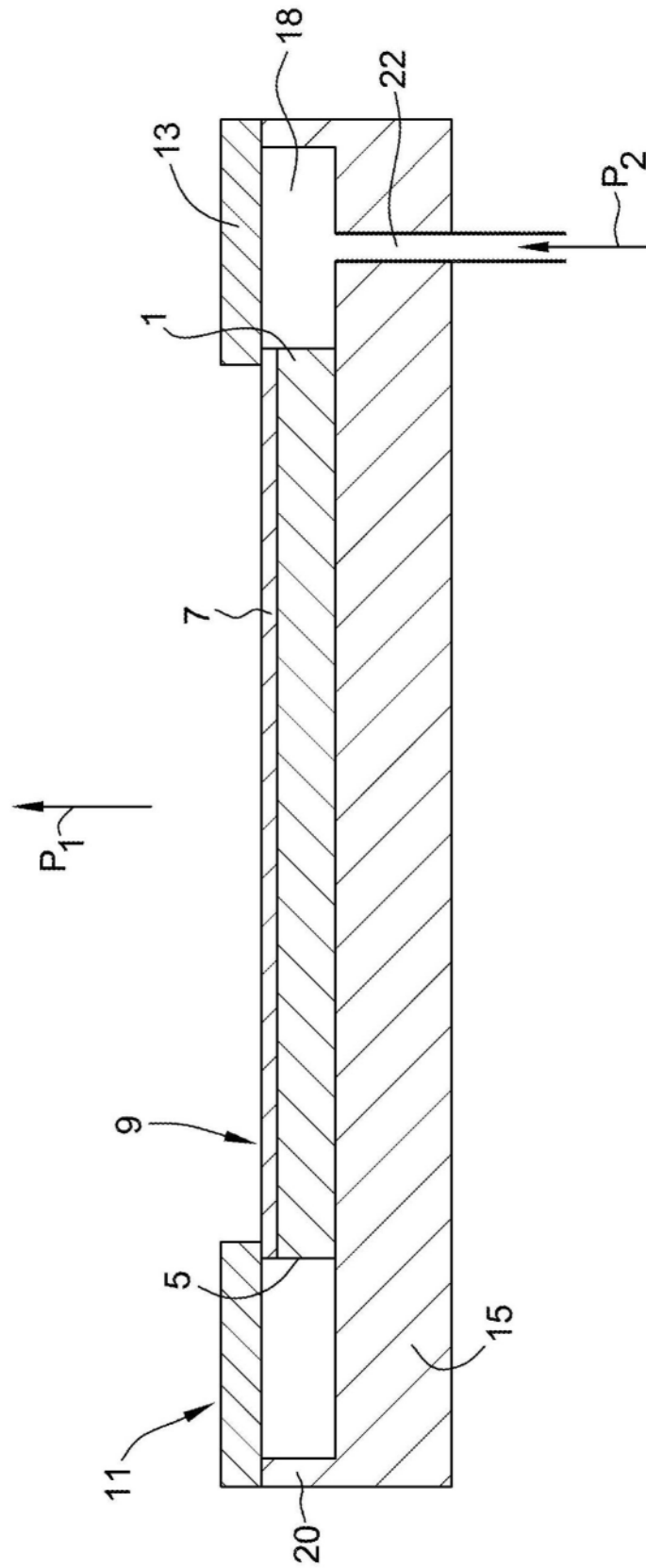


图3

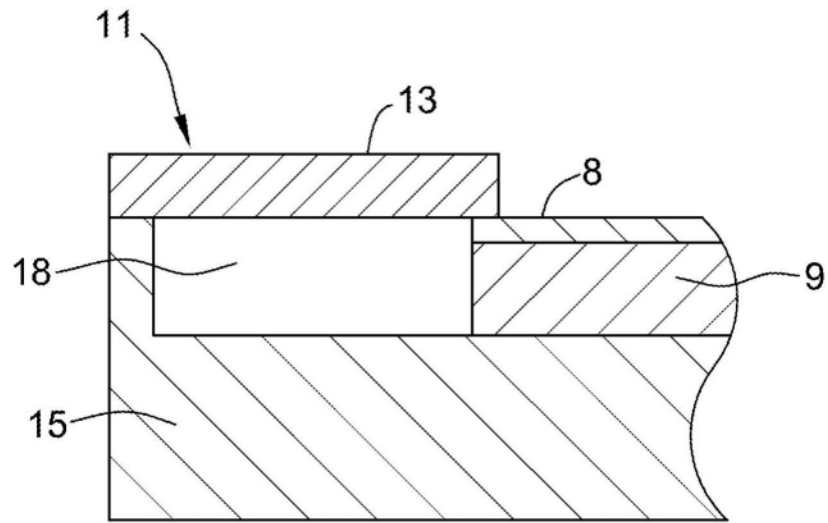


图4

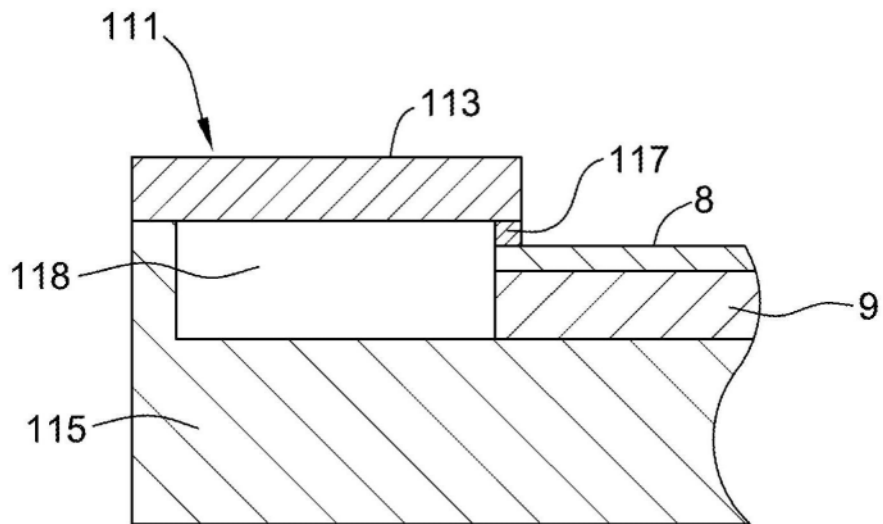


图5

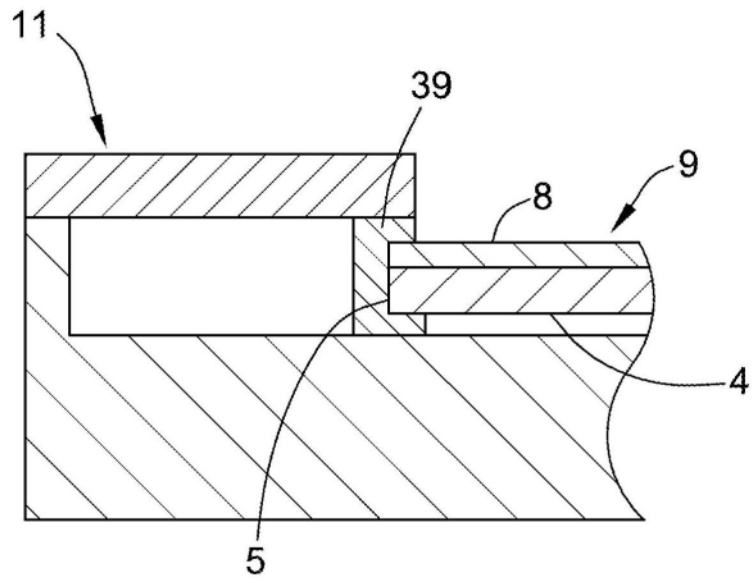


图6

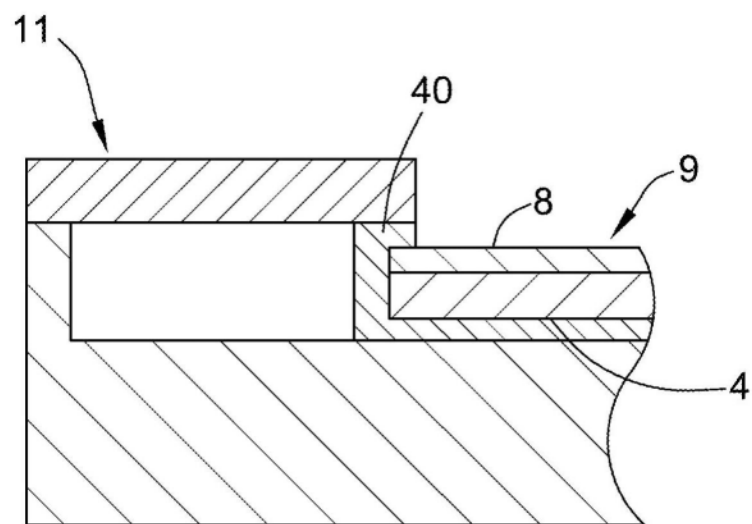


图7

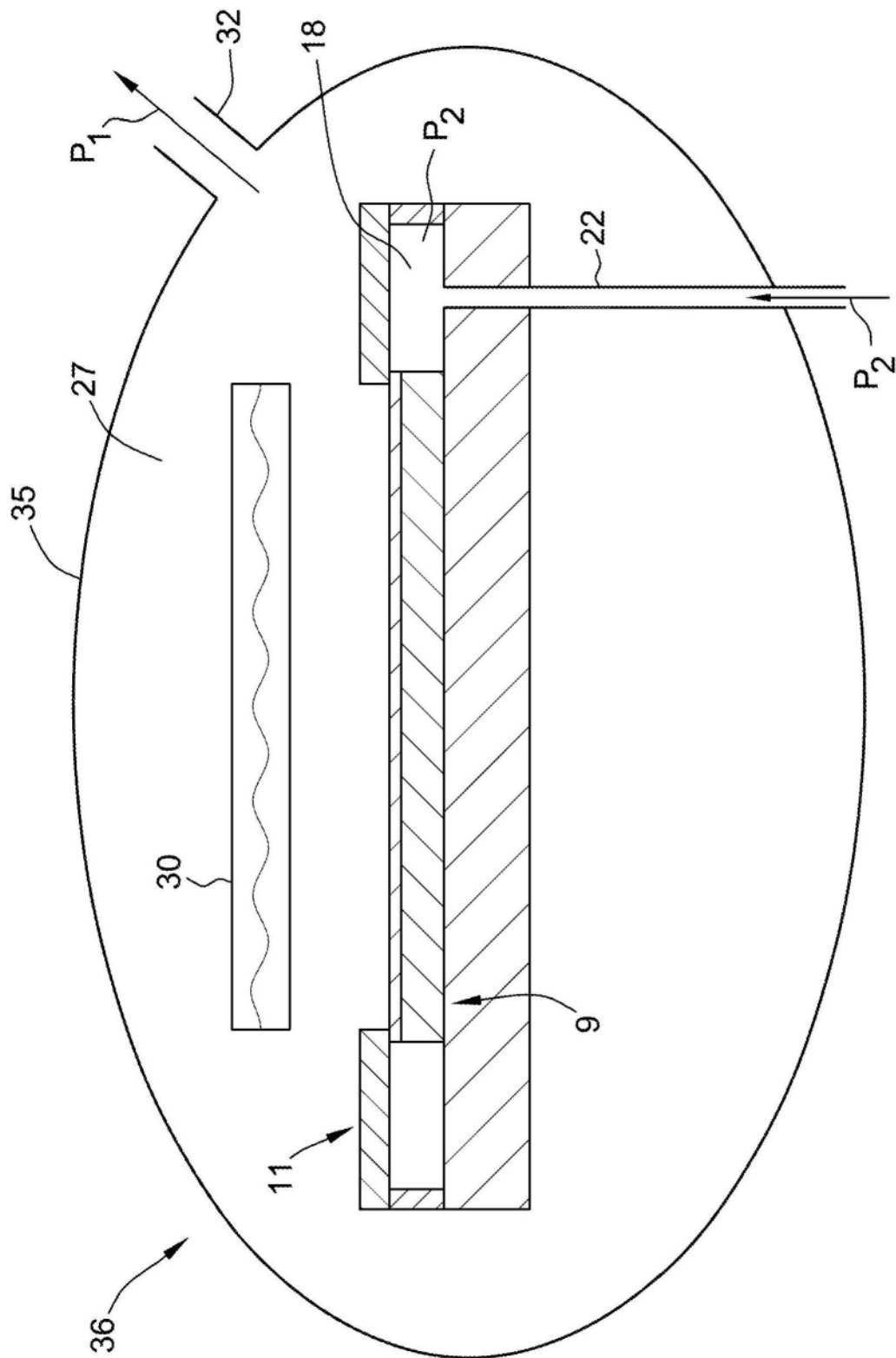


图8

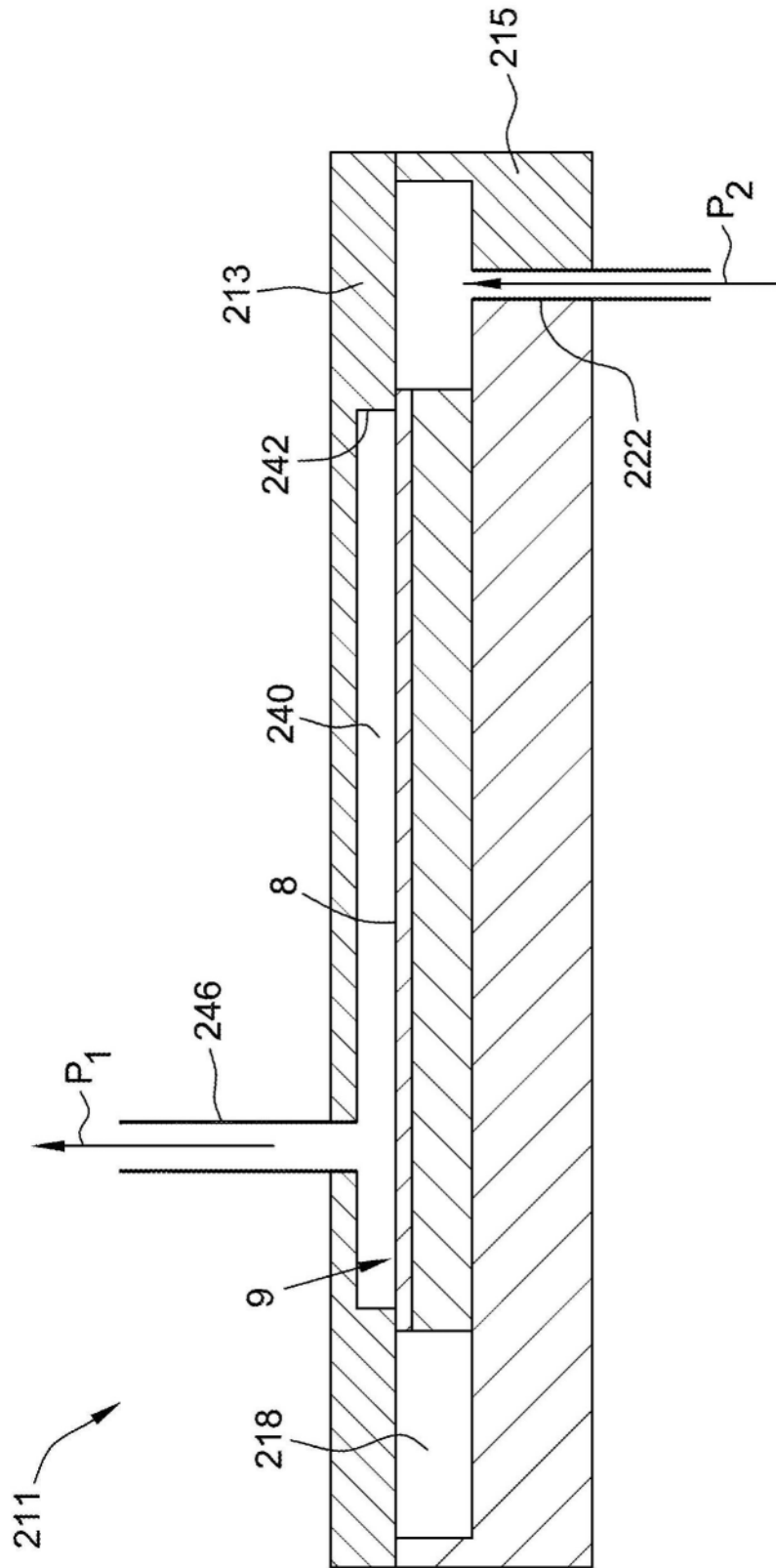


图9

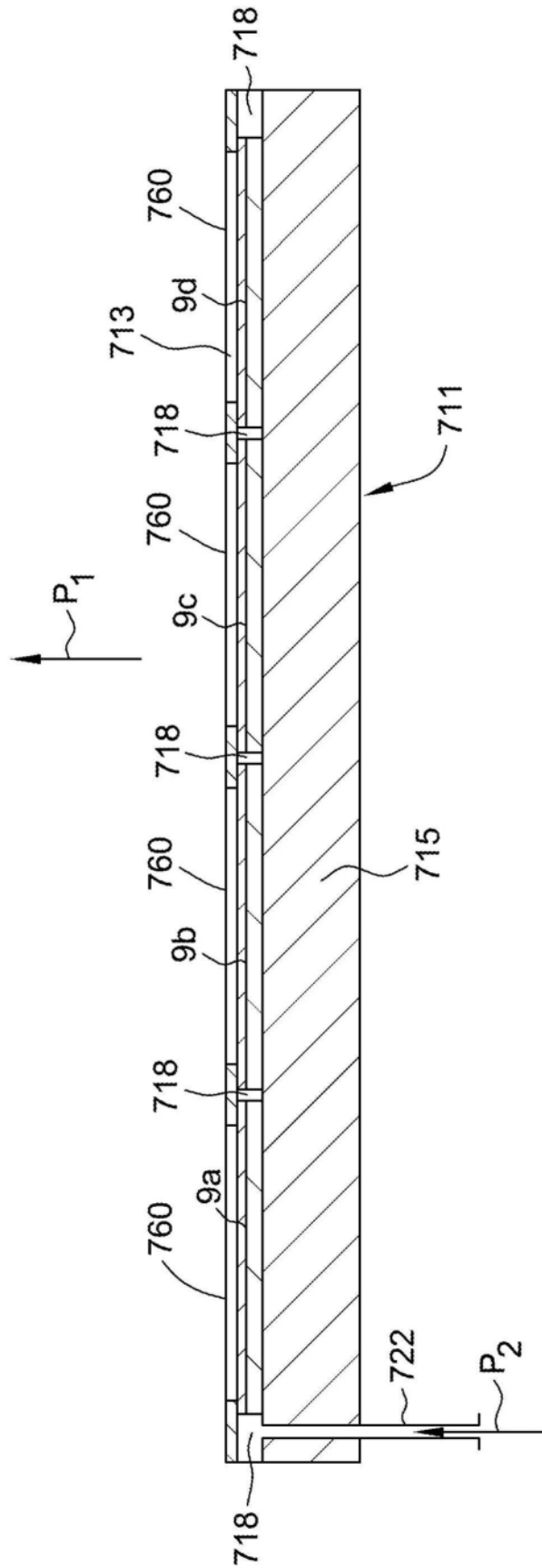


图10

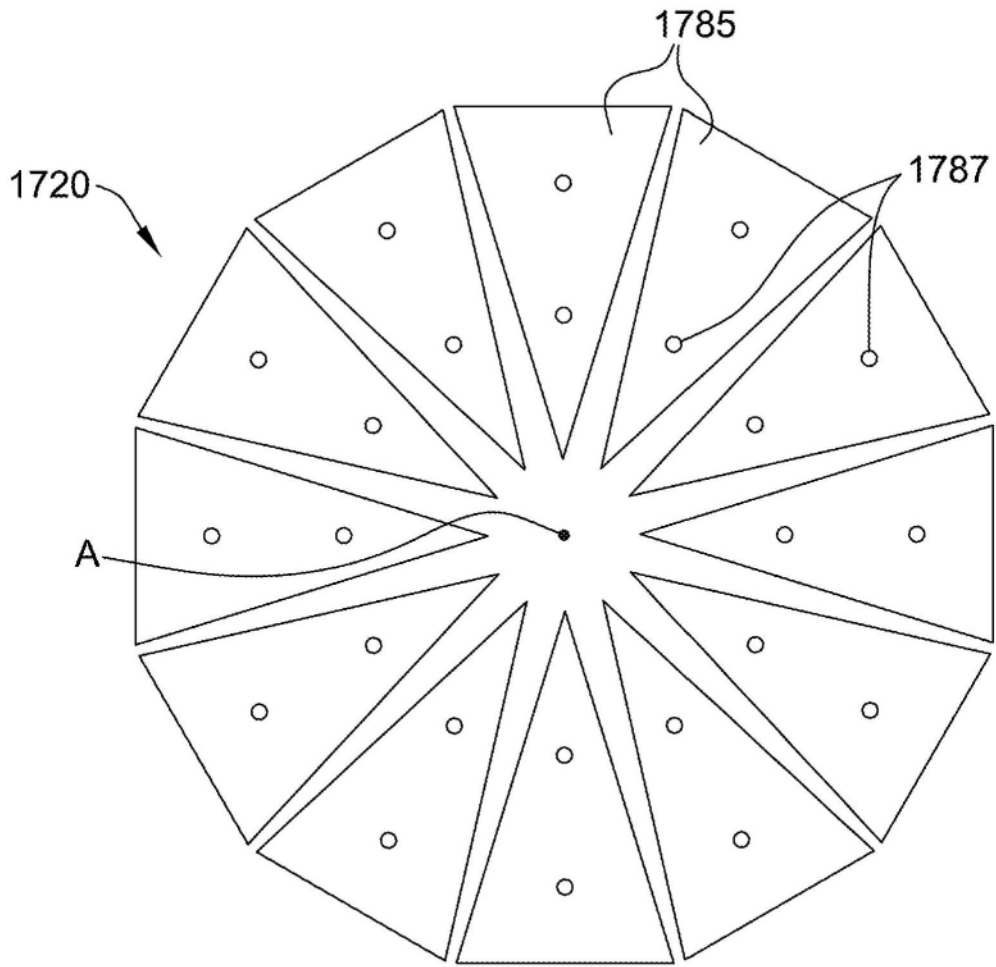


图11

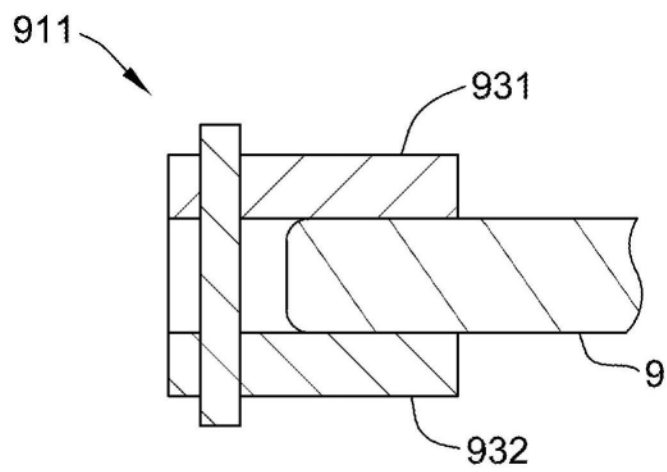


图12

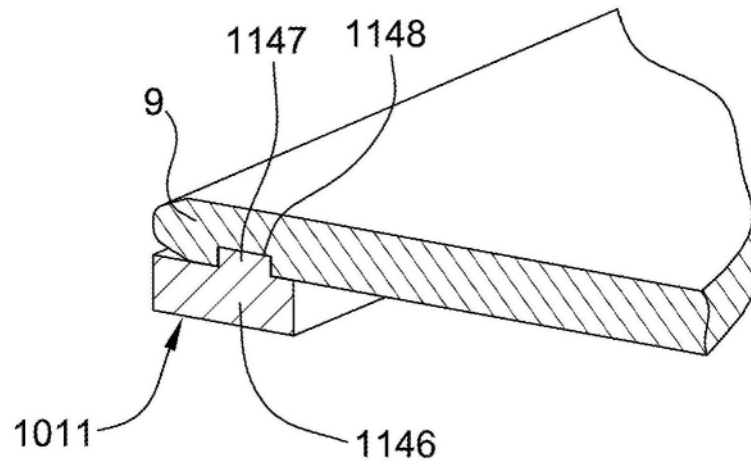


图13

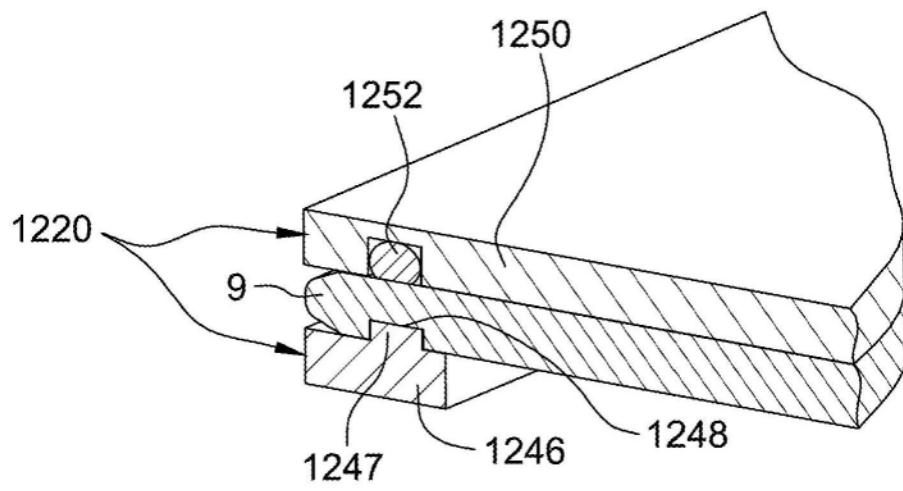


图14

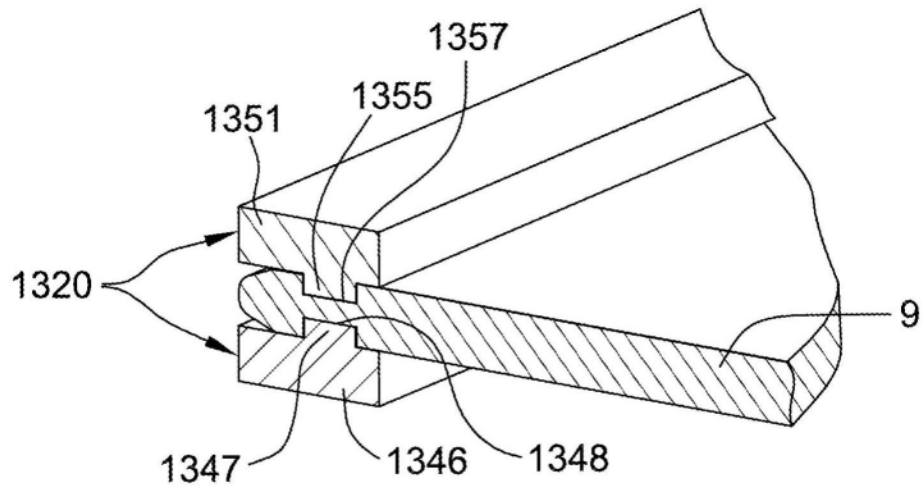


图15

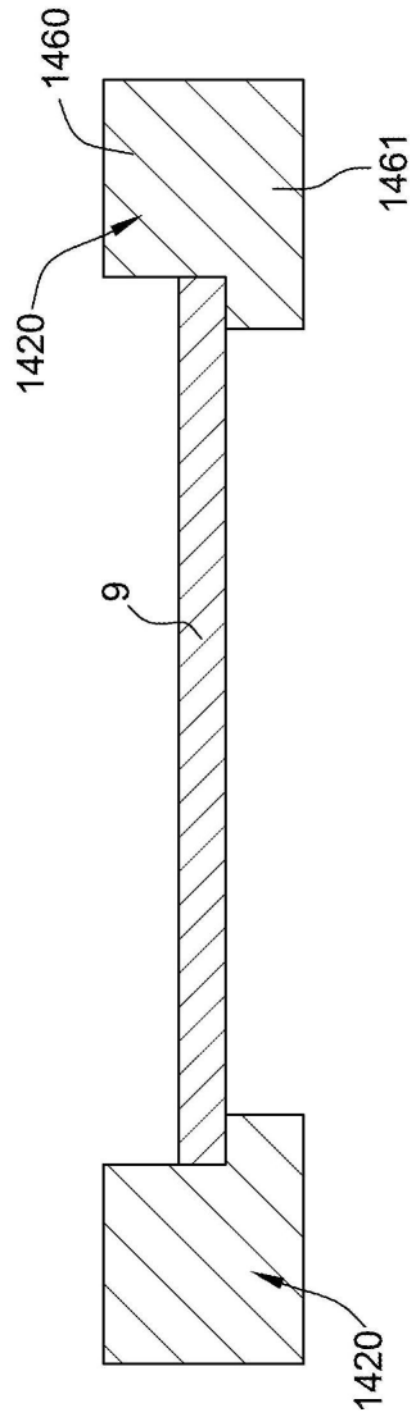


图16

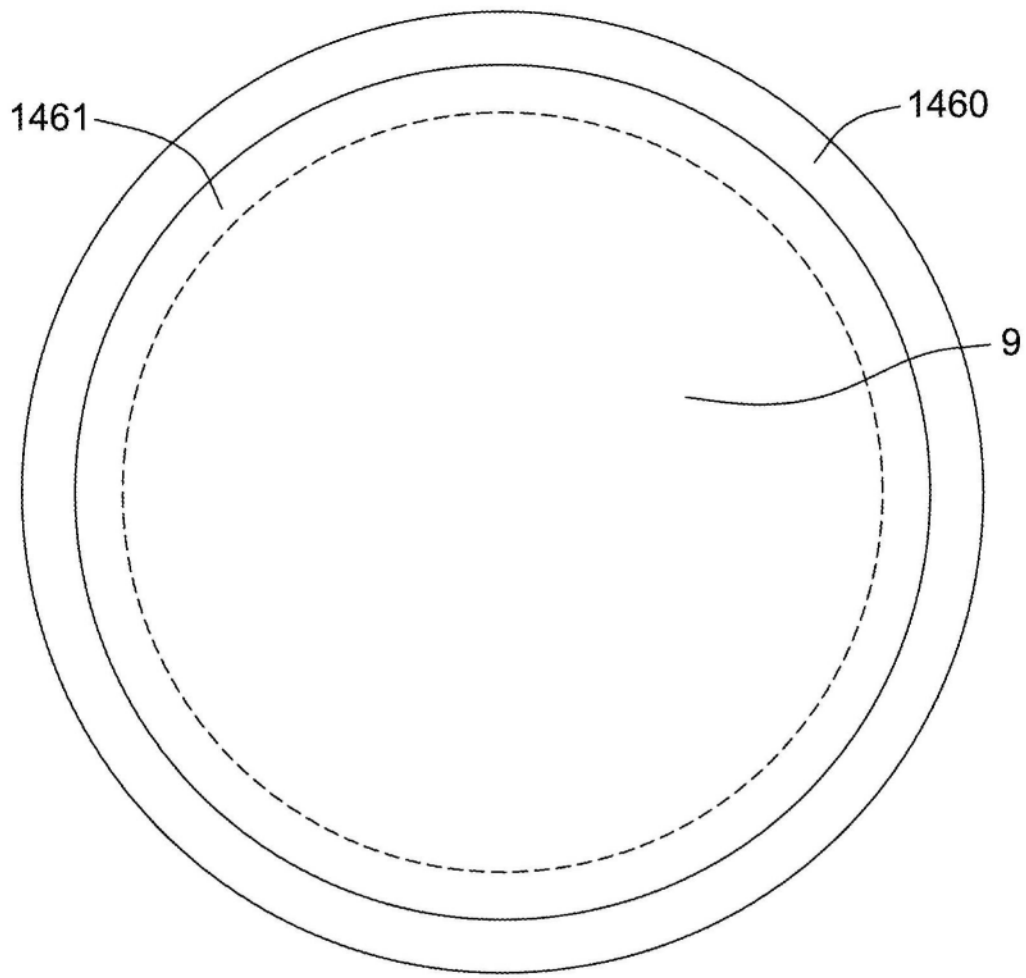


图17

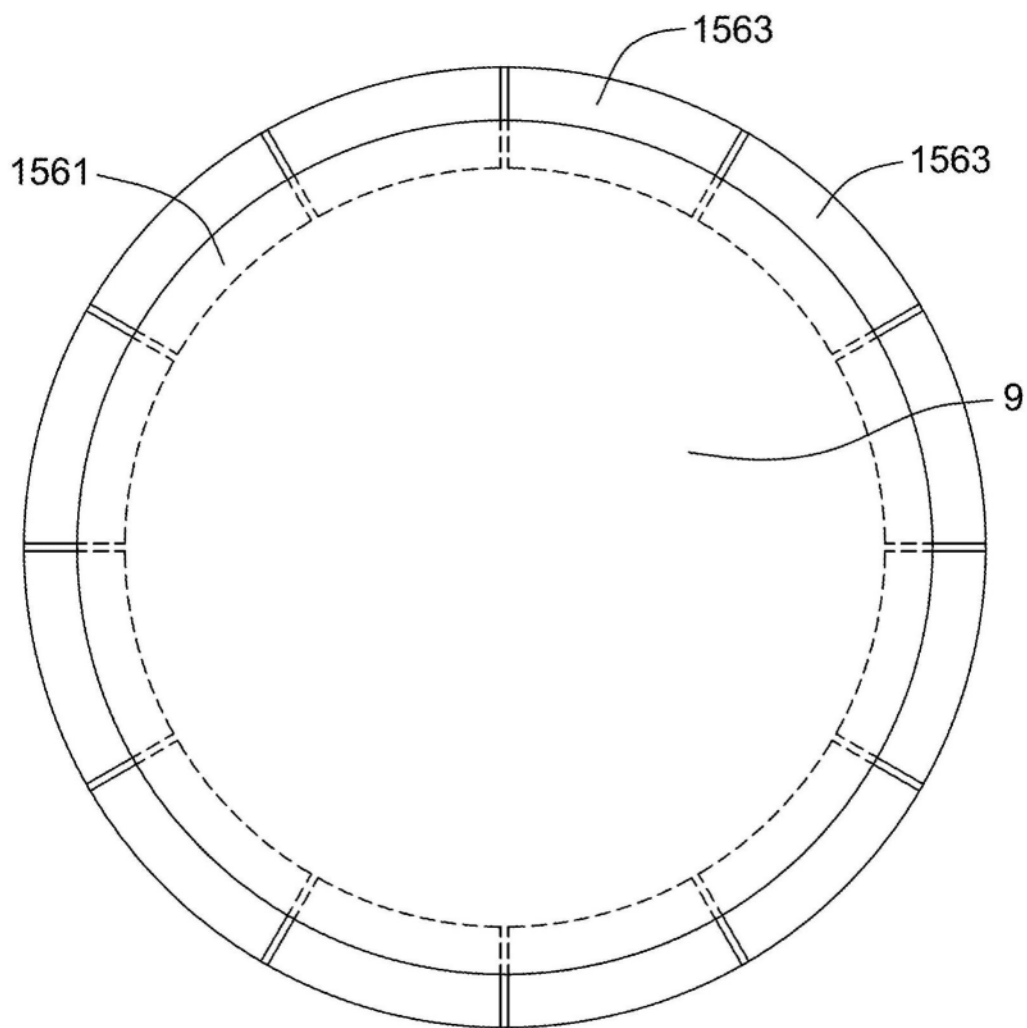


图18

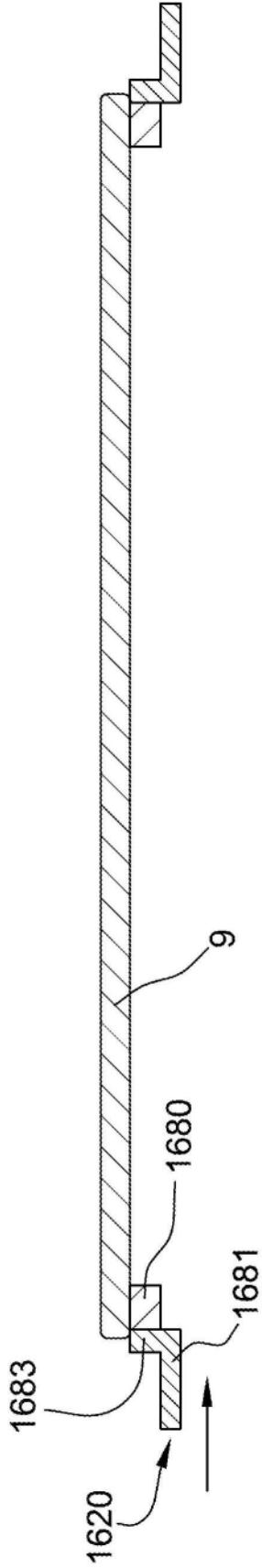


图19