(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0070426
(43) 공개일자 2012년06월29일

(51) 국제특허분류(Int. Cl.)
G11C 7/10 (2006.01) *G11C 7/06* (2006.01)
G11C 5/14 (2006.01)
(21) 출원번호 10-2010-0131984
(22) 출원일자 2010년12월21일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
고려대학교 산학협력단
서울 성북구 안암동5가 1
(72) 발명자
권대한
서울특별시 노원구 동일로214길 21, 주공아파트 410동 305호 (상계동)
김철우
서울특별시 성북구 길음로 16, 605동 1301호 (길음동, 길음뉴타운)
(뒷면에 계속)
(74) 대리인
김성남

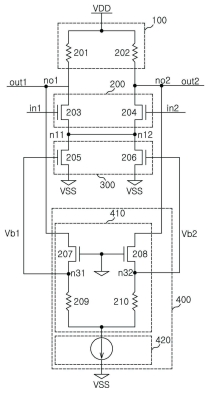
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 **버퍼 회로, 듀티 보정 회로 및 능동 디커플링 커패시터**

(57) 요 약

본 발명의 버퍼 회로는 전원 전압 및 출력 노드 사이에 연결된 로드부, 출력 노드 및 제 1 노드 사이에 연결되어 입력 신호를 입력받는 입력 신호 수신부, 제 1 노드 및 접지 전압 사이에 연결된 소스부 및 출력 노드의 출력 신호에 응답하여 바이어스 전압을 출력하는 제어부를 포함하고, 소스부는 바이어스 전압에 따라 제 1 노드에서 상기 접지 전압으로 흐르는 전류량이 조절된다.

대 표 도 - 도2



(72) 발명자

곽영호

서울특별시 광진구 능동로48길 18-1 (중곡동)

김무영

경기도 수원시 영통구 효원로 363, 매탄위브하늘채아파트 130동 2005호 (매탄동)

김기수

경기도 부천시 원미구 신흥로92번길 76, 가동 205호 (심곡동, 태우연립)

구자범

경상남도 창원시 의창구 원이대로222번길 34 (명서동)

특허청구의 범위

청구항 1

전원 전압 및 출력 노드 사이에 연결된 로드부;

상기 출력 노드 및 제 1 노드 사이에 연결되어 입력 신호를 입력받는 입력 신호 수신부;

상기 제 1 노드 및 접지 전압 사이에 연결된 소스부; 및

상기 출력 노드의 출력 신호에 응답하여 바이어스 전압을 출력하는 제어부를 포함하고

상기 소스부는 상기 바이어스 전압에 따라 상기 제 1 노드에서 상기 접지 전압으로 흐르는 전류량이 조절되는 버퍼 회로.

청구항 2

제 1 항에 있어서,

상기 제어부는 상기 출력 노드 및 제 2 노드 사이에 연결되고, 상기 출력 신호의 전압을 분배하여 상기 바이어스 전압을 생성하는 전압 분배부; 및

상기 제 2 노드 및 상기 접지 전압 사이에 연결되고, 상기 전압 분배부에 전원을 공급하는 전원부를 포함하는 버퍼 회로.

청구항 3

제 2 항에 있어서,

상기 전압 분배부는 직렬로 연결된 트랜지스터 및 저항 소자를 포함하여 구성된 버퍼 회로.

청구항 4

제 1 항에 있어서,

상기 출력 노드의 전압이 상기 출력 신호로서 출력되는 버퍼 회로.

청구항 5

입력 신호 및 보정 신호를 합산하여 합산 신호를 생성하는 정정부;

상기 합산 신호를 증폭하여 출력 신호로서 출력하는 증폭부; 및

상기 출력 신호의 듀티를 확인하고 확인 결과를 상기 보정 신호로서 출력하는 검출부를 포함하고,

상기 정정부는 상기 합산 신호의 출력에 따라 상기 합산 신호를 생성하기 위한 전류량이 조절되는 듀티 보정 회로.

청구항 6

제 5 항에 있어서,

상기 정정부는

전원 전압 및 출력 노드 사이에 연결된 로드부;

상기 출력 노드 및 제 1 노드 사이에 연결되어 상기 입력 신호를 입력받는 입력 신호 수신부;

상기 제 1 노드 및 접지 전압 사이에 연결된 제 1 소스부;

상기 출력 노드 및 제 2 노드 사이에 연결되어 상기 보정 신호를 입력받는 보정 신호 수신부;

상기 제 2 노드 및 상기 접지 전압 사이에 연결된 제 2 소스부; 및

상기 출력 노드의 상기 합산 신호에 응답하여 바이어스 전압을 출력하는 제어부를 포함하고

상기 제 1 및 제 2 소스부는 상기 바이어스 전압에 따라 각각 상기 제 1 노드 및 상기 제 2 노드에서 상기 접지 전압으로 흐르는 전류량이 조절되는 버퍼 회로.

청구항 7

제 6 항에 있어서,

상기 제어부는 상기 출력 노드 및 제 3 노드 사이에 연결되고, 상기 합산 신호의 전압을 분배하여 상기 바이어스 전압을 생성하는 전압 분배부; 및

상기 제 3 노드 및 상기 접지 전압 사이에 연결되고, 상기 전압 분배부에 전원을 공급하는 전원부를 포함하는 버퍼 회로.

청구항 8

제 7 항에 있어서,

상기 전압 분배부는 직렬로 연결된 트랜지스터 및 저항 소자를 포함하여 구성된 버퍼 회로.

청구항 9

제 6 항에 있어서,

상기 출력 노드의 전압이 상기 합산 신호로서 출력되는 버퍼 회로.

청구항 10

제 1 입력 및 제 2 입력을 증폭하여 제 1 출력 및 제 2 출력으로 출력하고, 상기 제 1 출력은 상기 제 2 입력으로 피드백되고 상기 제 2 출력은 상기 제 1 입력으로 피드백되는 차동 증폭기; 및

상기 제 1 출력 및 상기 제 2 입력 사이에 연결된 커플링 커패시터를 포함하는 능동 디커플링 커패시터.

청구항 11

제 10 항에 있어서,

상기 제 2 입력은 전원 전압과 연결되고, 상기 제 1 입력은 접지 전압과 연결된 능동 디커플링 커패시터.

명 세 서

기 술 분 야

[0001] 본 발명은 반도체 장치에 관한 것으로 보다 상세하게는 클럭 신호를 사용하는 반도체 장치에 관한 것이다.

배 경 기 술

[0002] 클럭 신호는 동기화된 동작을 수행하는 반도체 장치에서 전체 동작의 각종 타이밍을 결정하는 신호이다. 따라서 DRAM과 같은 반도체 메모리 장치는 클럭 신호를 안정화 하도록 하는 각종 회로들을 포함하고 있다. 이러한 회로들에는 공통 모드 레벨 버퍼 회로, 듀티 보정 회로 및 능동 디커플링 커패시터 등이 있으며, 내부 클럭 신호를 안정적으로 출력할 수 있도록 구성된다.

[0003] 도 1은 일반적인 공통 모드 레벨 버퍼 회로의 회로도이다.

[0004] 공통 모드 레벨(Current Mode Level) 버퍼 회로는 증폭기는 비교적 낮은 전력 공급들로부터 동작하여 예를 들면, 기가 헤르츠(Giga Hertz) 또는 수십 기가 헤르츠(Giga Hertz) 이상의 매우 빠른 고속 스위칭을 달성할 수 있다. 또한, 이러한 공통 모드 레벨 버퍼 회로는 도 1에 도시된 것처럼 차동 입력(in1, in2) 및 차동 출력(out1, out2)을 사용한다. 이처럼 공통 모드 레벨 버퍼 회로는 차동 신호 전송방식을 사용하기 때문에 신호 전송 시 발생하는 잡음(noise)에 둔감하다.

[0005] 위에서 언급된 공통 모드 레벨 버퍼 회로, 듀티 보정 회로 및 능동 디커플링 커패시터는 PVT 변화(Process, Voltage, Temperature)에 따라 그 특성이 달라지게 된다. 위에서 언급한 것처럼, 클럭 신호는 반도체 장치의 동작 타이밍을 결정하는 신호이므로 PVT 변화에 따라 클럭 신호의 특성이 변화되면 반도체 장치의 동작 성능

이 저하될 수 있다. 따라서 PVT 변화에 보다 둔감한 클럭 안정화 회로에 대한 필요성이 도출되고 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 PVT 변화에 둔감한 클럭 안정화 회로를 제공하는 데에 그 기술적 과제가 있다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 따른 버퍼 회로는 전원 전압 및 출력 노드 사이에 연결된 로드부, 상기 출력 노드 및 제 1 노드 사이에 연결되어 입력 신호를 입력받는 입력 신호 수신부, 상기 제 1 노드 및 접지 전압 사이에 연결된 소스부 및 상기 출력 노드의 출력 신호에 응답하여 바이어스 전압을 출력하는 제어부를 포함하고, 상기 소스부는 상기 바이어스 전압에 따라 상기 제 1 노드에서 상기 접지 전압으로 흐르는 전류량이 조절된다.

[0008] 또한 본 발명의 다른 실시예에 따른 듀티 보정 회로는 입력 신호 및 보정 신호를 합산하여 합산 신호를 생성하는 정정부, 상기 합산 신호를 증폭하여 출력 신호로서 출력하는 증폭부 및 상기 출력 신호의 듀티를 확인하고 확인 결과를 상기 보정 신호로서 출력하는 검출부를 포함하고, 상기 정정부는 상기 합산 신호의 출력에 따라 상기 합산 신호를 생성하기 위한 전류량이 조절된다.

[0009] 또한 본 발명의 또다른 실시예에 따른 능동 디커플링 커패시터는 제 1 입력 및 제 2 입력을 증폭하여 제 1 출력 및 제 2 출력으로 출력하고, 상기 제 1 출력은 상기 제 2 입력으로 피드백되고 상기 제 2 출력은 상기 제 1 입력으로 피드백되는 차동 증폭기 및 상기 제 1 출력 및 상기 제 2 입력 사이에 연결된 커플링 커패시터를 포함한다.

발명의 효과

[0010] 본 발명은 클럭 신호의 PVT 변화에 대한 변동률을 줄이는 효과를 창출한다.

도면의 간단한 설명

[0011] 도 1은 일반적인 공통 모드 레벨 버퍼 회로의 회로도,

도 2는 본 발명의 일 실시예에 따른 공통 모드 레벨 버퍼 회로의 회로도,

도 3은 본 발명의 다른 실시예에 따른 듀티 보정 회로의 블록도,

도 4는 도 3에 도시된 상기 정정부(500)의 일 실시예에 따른 회로도,

도 5는 본 발명의 다른 실시예에 따른 능동 디커플링 커패시터 및 기생 임피던스를 도시한 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0012] 도 2는 본 발명의 일 실시예에 따른 공통 모드 레벨 버퍼 회로의 회로도이다.

[0013] 도 2에 도시된 상기 공통 모드 레벨 버퍼 회로는 로드부(100), 입력 신호 수신부(200), 소스부(300) 및 제어부(400)를 포함하여 구성될 수 있다.

[0014] 상기 로드부(100)는 전원 전압(VDD) 및 출력 노드(no1, no2) 사이에 연결된다. 상기 로드부(100)는 전원 전압(VDD) 및 상기 출력 노드(no1, no2) 사이에 연결된 저항(201, 202)을 포함하여 구성될 수 있다.

[0015] 상기 입력 신호 수신부(200)는 상기 출력 노드(no1, no2) 및 제 1 노드(n11, n12) 사이에 연결되어 입력 신호(in1, in2)를 입력받는다. 상기 입력 신호 수신부(200)는 상기 출력 노드(no1, no2) 및 상기 제 1 노드(n11, n12) 사이에 연결되어 상기 입력 신호(in1, in2)를 수신하는 엔모스 트랜지스터(203, 204)를 포함하여 구성될 수 있다.

[0016] 상기 소스부(300)는 상기 제 1 노드(n11, n12) 및 접지 전압(VSS) 사이에 연결된다.

[0017] 상기 제어부(400)는 상기 출력 노드(no1, no2)의 출력 신호(out1, out2)에 응답하여 바이어스 전압(Vb1, Vb2)을 출력한다. 상기 출력 신호(out1, out2)는 출력 클럭의 포지티브 전압 및 네거티브 전압으로서 사용될 수 있다.

[0018] 여기서 상기 소스부(300)는 상기 바이어스 전압(Vb1, Vb2)에 따라 상기 제 1 노드(n11, n12)에서 상기 접지 전압(VSS)으로 흐르는 전류량이 조절된다. 상기 소스부(300)는 상기 제 1 노드(n11, n12) 및 접지 전압(VSS) 사이에 연결되어 상기 바이어스 전압(Vb1, Vb2)을 수신하는 엔모스 트랜지스터(205, 206)를 포함하여 구성될 수 있다.

[0019] 도 2에 도시된 상기 공통 모드 레벨 버퍼 회로는 클럭 신호의 안정화 회로로서 사용될 수 있고, 상기 입력 신호(in1, in2)로는 입력 클럭의 포지티브 전압 및 네거티브 전압을 사용할 수 있다.

[0020] 도 2에 도시된 상기 공통 모드 레벨 버퍼 회로는 상기 출력 신호(out1, out2)에 따라 상기 소스부(300)의 전류량을 조절함으로써 PVT 변화에 따른 출력 신호(out1, out2)의 변화를 보상한다. 예를 들어, 상기 출력 신호(out1)의 전압 레벨은 다음과 같다.

[0021] V1=VDD-I1*R1

[0022] 여기서 V1은 상기 출력 신호(out1)의 전압 레벨이고, I1은 상기 엔모스 트랜지스터(205)를 흐르는 전류이고 R1은 저항(201)의 저항 값이다. 또한 상기 출력 신호(out2)의 전압 레벨은 다음과 같다.

[0023] V2=VDD-I2*R2

[0024] 여기서 V2는 상기 출력 신호(out2)의 전압 레벨이고, I2는 상기 엔모스 트랜지스터(206)를 흐르는 전류이고 R2는 저항(202)의 저항 값이다.

[0025] 따라서 도 2에 도시된 공통 모드 레벨 버퍼 회로는 I1, I2를 조절함으로써 V1, V2를 조절할 수 있고, I1, I2의 조절 정도는 상기 V1, V2에 따라 달라진다. I1, I2는 PVT 변화에 따른 반대 방향으로 조절된다. 예를 들어 PVT 변화에 따라 V1, V2가 상승한다면 I1, I2는 V1, V2를 감소시키기 위해 증가하는 방향으로 조절된다.

[0026] 상기 제어부(400)는 도 2에 도시된 것처럼 전압 분배부(410) 및 전원부(420)를 포함하여 구성될 수 있다.

[0027] 상기 전압 분배부(410)는 상기 출력 노드(no1, no2) 및 제 2 노드(n2) 사이에 연결되고, 상기 출력 신호(out1, out2)의 전압(V1, V2)을 분배하여 상기 바이어스 전압(Vb1, Vb2)을 생성한다. 상기 전압 분배부(410)는 상기 출력 노드(no1, no2) 및 상기 제 2 노드(n2) 사이에 직렬로 연결된 피모스 트랜지스터(207, 208) 및 저항(209, 210)을 포함하여 구성될 수 있다. 상기 피모스 트랜지스터(207, 208)의 게이트 단자는 접지 전압(VSS)에 연결되어 있다. 상기 피모스 트랜지스터(207, 208) 및 상기 저항(209, 210)이 연결된 노드(n31, n32)의 전압은 상기 바이어스 전압(Vb1, Vb2)으로서 출력된다. 이와 같이 구성된 상기 전압 분배부(410)에서, 상기 출력 노드(no1, no2) 및 상기 제 2 노드(n2) 사이의 전압 차이는 상기 피모스 트랜지스터(207, 208)의 온 저항(On-Resistance) 및 상기 저항(209, 210)의 크기에 따른 전압 분배되어 상기 바이어스 전압(Vb1, Vb2)으로서 출력된다. 상기 바이어스 전압(Vb1, Vb2)은 상기 소스부(300)의 상기 엔모스 트랜지스터(205, 206)의 게이트 단자로 입력되므로, 상기 피모스 트랜지스터(207, 208)의 온 저항(On-Resistance) 및 상기 저항(209, 210)의 크기는 상기 소스부(300)의 전류량을 고려하여 결정하는 것이 바람직하다.

[0028] 상기 전원부(420)는 상기 제 2 노드(n2) 및 접지 전압(VSS) 사이에 연결되고, 상기 전압 분배부(410)에 전원을 공급한다. 상기 전원부(420)는 싱크(sink) 전류원으로서 동작할 수 있는 트랜지스터를 포함하여 구성될 수 있다.

[0029] 도 2에 도시된 상기 공통 모드 레벨 버퍼 회로가 PVT 변화에 따른 출력 신호(out1, out2)를 보상하는 원리는 다음과 같다. 설명을 용이하게 하기 위해 상기 출력 노드(no2)의 전압 레벨을 예시하여 설명한다. PVT 변화에 따라 상기 출력 노드(no2)의 전압 레벨이 하락한다면, 상기 전압 분배부(410)의 전압 분배 동작에 따라 상기 노드(n32)의 전압 레벨도 하락한다. 이에 따라 상기 소스부(300)가 포함하는 상기 엔모스 트랜지스터(206)에 인가되는 게이트 전압이 하락하므로, 상기 엔모스 트랜지스터(206)에 의해 상기 제 1 노드(n12) 및 상기 접지 전압(VSS) 사이에 흐르는 전류량이 감소한다. 이에 따라 상기 출력 노드(no2) 및 상기 접지 전압(VSS) 사이에 흐르는 전류량, 즉 상기 출력 노드(no2)에 대한 디스차지(discharge) 전류가 약해지므로 상기 출력 노드(no2)의 전압은 상승하게 된다. PVT 변화에 따라 상기 출력 노드(no2)의 전압 레벨이 상승하는 경우는 위의 설명과 반대로 동작한다. 따라서 자세한 설명은 생략한다.

[0030] 도 3은 본 발명의 다른 실시예에 따른 듀티 보정 회로의 블록도이다.

[0031] 도 3에 도시된 듀티 보정 회로는 정정부(500), 증폭부(600) 및 검출부(700)를 포함하여 구성될 수 있다.

[0032] 상기 정정부(500)는 입력 신호(in3, in4) 및 보정 신호(c1, c2)를 합산하여 합산 신호(a1, a2)를 생성한다.

[0033] 상기 증폭부(600)는 상기 합산 신호(a1, a2)를 증폭하여 출력 신호(out3, out4)로서 출력한다. 상기 증폭부(600)는 일반적인 차동 증폭기를 포함하여 구성될 수 있다.

[0034] 상기 검출부(700)는 상기 출력 신호(out3, out4)를 확인하고 확인 결과를 상기 보정 신호(c1, c2)로서 출력한다. 상기 검출부(700)는 상기 출력 신호(out3, out4)를 적분하는 일반적인 적분 회로를 포함하여 구성될 수 있다.

[0035] 여기서 상기 정정부(500)는 출력 되는 상기 합산 신호(a1, a2)를 피드백하여 상기 합산 신호(a1, a2)를 생성하기 위한 전류량이 조절한다. 이에 따라 PVT 변화에 따라 발생 할 수 있는 상기 합산 신호(a1, a2)의 변화를 보정할 수 있다.

[0036] 도 4는 도 3에 도시된 상기 정정부(500)의 일 실시예에 따른 회로도이다.

[0037] 도 4에 도시된 것처럼 상기 정정부(500)는 로드부(510), 입력 신호 수신부(520), 제 1 소스부(530), 보정 신호 수신부(540), 제 2 소스부(550) 및 제어부(560)를 포함하여 구성될 수 있다.

[0038] 상기 로드부(510)는 전원 전압(VDD) 및 출력 노드(no3, no4) 사이에 연결된다. 상기 로드부(510)는 전원 전압(VDD) 및 상기 출력 노드(no3, no4) 사이에 연결된 저항(4001, 4002)을 포함하여 구성될 수 있다.

[0039] 상기 입력 신호 수신부(520)는 상기 출력 노드(no3, no4) 및 제 1 노드(n13, n14) 사이에 연결되어 입력 신호(in3, in4)를 수신한다. 상기 입력 신호 수신부(520)는 상기 출력 노드(no3, no4) 및 제 1 노드(n13, n14) 사이에 연결되고, 상기 입력 신호(in3, in4)를 수신하는 엔모스 트랜지스터(4003, 4004)를 포함하여 구성될 수 있다.

[0040] 상기 제 1 소스부(530)는 상기 제 1 노드(n13, n14) 및 접지 전압(VSS) 사이에 연결된다.

[0041] 상기 보정 신호 수신부(540)는 상기 출력 노드(no3, no4) 및 제 2 노드(n23, n24) 사이에 연결되어 상기 보정 신호(c1, c2)를 수신한다. 상기 보정 신호 수신부(540)는 상기 출력 노드(no3, no4) 및 제 2 노드(n23, n24) 사이에 연결되어 상기 보정 신호(c1, c2)를 수신하는 엔모스 트랜지스터(4007, 4008)를 포함하여 구성될 수 있다.

[0042] 상기 제 2 소스부(550)는 상기 제 2 노드(n23, n24) 및 상기 접지 전압(VSS) 사이에 연결된다.

[0043] 상기 제어부(560)는 상기 출력 노드(no3, no4)의 상기 합산 신호(a1, a2)에 응답하여 바이어스 전압(Vb3, Vb4)을 출력한다.

[0044] 여기서 상기 제 1 및 제 2 소스부(530, 550)에 흐르는 전류량에 따라 상기 합산 신호(a1, a2)의 전압이 결정되고, 상기 제 1 및 제 2 소스부(530, 550)는 상기 바이어스 전압(Vb3, Vb4)에 따라 각각 상기 제 1 노드(n13, n14) 및 상기 제 2 노드(n23, n24)에서 상기 접지 전압(VSS)으로 흐르는 전류량이 조절된다.

[0045] 상기 제 1 소스부(530)는 상기 제 1 노드(n13, n14) 및 접지 전압(VSS) 사이에 연결되고, 상기 바이어스 전압(Vb3, Vb4)을 수신하는 엔모스 트랜지스터(4005, 4006)를 포함하여 구성될 수 있다. 또한 상기 제 2 소스부(550)는 상기 제 2 노드(n23, n24) 및 상기 접지 전압(VSS) 사이에 연결되고 상기 바이어스 전압(Vb3, Vb4)을 수신하는 엔모스 트랜지스터(4009, 4010)를 포함하여 구성될 수 있다.

[0046] 상기 제어부(560)는 전압 분배부(561) 및 전원부(562)를 포함하여 구성될 수 있다.

[0047] 상기 전압 분배부(561)는 상기 출력 노드(no3, no4) 및 제 3 노드(n3) 사이에 연결되고, 상기 합산 신호(a1, a2)의 전압을 분배하여 상기 바이어스 전압(Vb3, Vb4)을 생성한다. 상기 전압 분배부(561)는 상기 출력 노드(no3, no4) 및 상기 제 3 노드(n3) 사이에 직렬로 연결된 피모스 트랜지스터(4011, 4012) 및 저항(4013, 4014)을 포함하여 구성될 수 있다. 상기 피모스 트랜지스터(4011, 4012)의 게이트 단자는 접지 전압(VSS)에 연결되어 있다. 상기 피모스 트랜지스터(4011, 4012) 및 상기 저항(4013, 4014)이 연결된 노드(n43, n44)의 전압은 상기 바이어스 전압(Vb3, Vb4)으로서 출력된다. 이와 같이 구성된 상기 전압 분배부(561)에서, 상기 출력 노드(no3, no4) 및 상기 제 3 노드(n3) 사이의 전압 차이는 상기 피모스 트랜지스터(4011, 4012)의 온 저항(On-Resistance) 및 상기 저항(4013, 4014)의 크기에 따른 전압 분배되어 상기 바이어스 전압(Vb3, Vb4)으로서 출력된다. 상기 바이어스 전압(Vb3, Vb4)은 상기 제 1 및 제 3 소스부(530, 540)의 상기 엔모스 트랜지스터(4005, 4006, 4009, 4010)의 게이트 단자로 입력되므로, 상기 피모스 트랜지스터(4011, 4012)의 온 저항(On-Resistance) 및 상기 저항(4013, 4014)의 크기는 상기 제 1 및 제 2 소스부(530, 540)의 전류량을 고려하여 결정하는 것이 바람직하다.

[0048] 상기 전원부(562)는 상기 제 3 노드(n33, n34) 및 상기 접지 전압(VSS) 사이에 연결되고, 상기 전압 분배부(561)에 전원을 공급한다. 상기 전원부(562)는 싱크(sink) 전류원으로서 동작할 수 있는 트랜지스터를 포함하여 구성될 수 있다.

[0049] 도 5는 본 발명의 다른 실시예에 따른 능동 디커플링 커패시터 및 기생 임피던스를 도시한 회로도이다. 상기 능동 디커플링 커패시터는 도 2 및 도 4에 도시된 전원 전압(VDD) 및 접지 전압(VSS) 사이에 연결되도록 구성되는 것이 바람직하다.

[0050] 도 5에 도시된 상기 능동 디커플링 커패시터는 차동 입력 신호(in5, in6)를 증폭하여 차동 출력 신호(out5, out6)를 생성하는 차동 증폭기(5001) 및 커플링 커패시터(5002)를 포함하여 구성될 수 있다. 도 5에 도시된 전원 회로(5003)는 상기 전원 전압(VDD) 및 접지 전압(VSS)을 생성하는 회로이다. 도 5에 도시된 L, R, Cpar는 상기 전원 회로(5003)의 기생 인덕턴스 성분, 저항 성분 및 커패시턴스 성분을 나타낸다.

[0051] 도 5에 도시된 것처럼, 상기 능동 디커플링 커패시터는 상기 차동 증폭기(5001)의 차동 출력 신호(out5)가 상기 커플링 커패시터(5002)를 통해 상기 차동 증폭기(5001)의 차동 입력 신호(in5)로 피드백된다. 상기 차동 입력 신호(in5)는 기생 저항 성분(R) 및 기생 인덕턴스 성분(L)을 거쳐 상기 전원 회로(5003)의 전원 전압(VDD)과 연결된다. 이러한 구성은 일반적인 능동 디커플링 커패시터와 같다. 하지만 도 5에 도시된 능동 디커플링 커패시터는 일반적인 능동 디커플링 커패시터와 달리 상기 차동 증폭기(5001)의 차동 출력 신호(out6)가 상기 차동 증폭기(5001)의 차동 입력 신호(in6)로 피드백되고 기생 인덕턴스 성분(L) 및 기생 저항 성분(R)을 거쳐 상기 전원 회로(5003)의 접지 전압(VSS)과 연결된다. 이러한 구성에 따라 도 5에 도시된 상기 능동 디커플링 커패시터는 전원 전압(VDD)의 안정성뿐만 아니라 접지 전압(VSS)의 안정성도 확보할 수 있다.

[0052] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있으므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

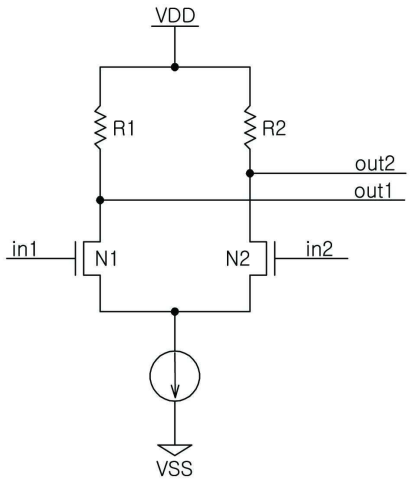
부호의 설명

[0053]

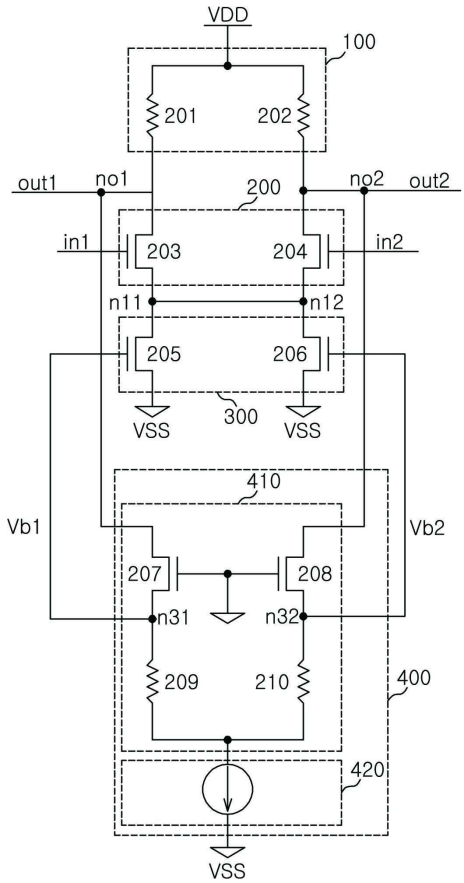
100: 로드부	200: 입력 신호 수신부
300: 소스부	400: 제어부
410: 전압 분배부	420: 전원부
500: 정정부	510: 로드부
520 입력 신호 수신부	530: 제 1 소스부
540: 보정 신호 수신부	550: 제 2 소스부
560: 제어부	561: 전압 분배부
562: 전원부	600: 증폭부
700: 검출부	5001: 차동 증폭기
5002: 커플링 커패시터	5003: 전원 회로

도면

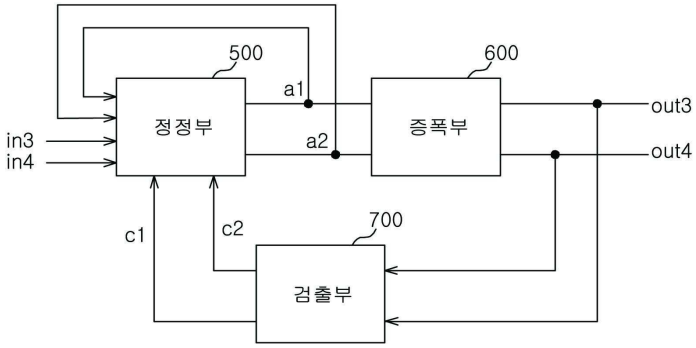
도면1


VDD
R1
R2
out2
out1
in1
N1
N2
in2
VSS

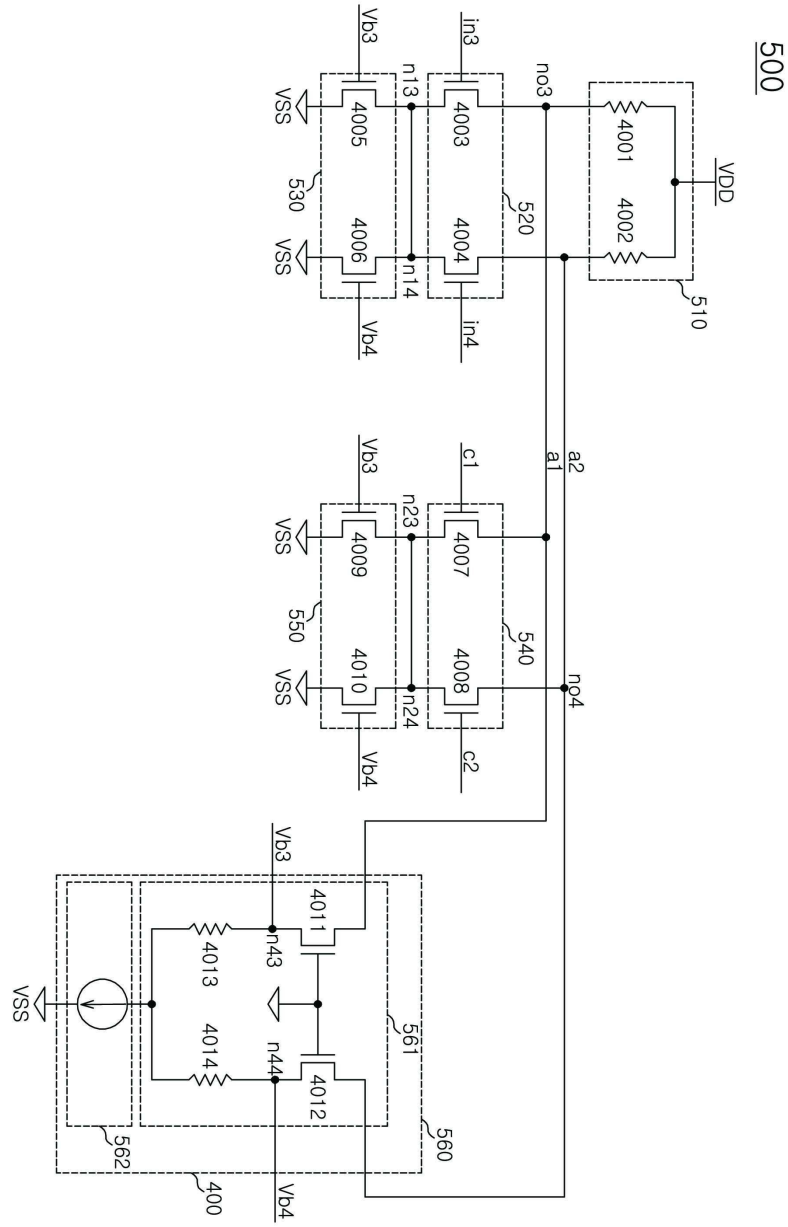
도면2


VDD
100
201
202
out1
no1
200
no2
out2
in1
203
204
in2
n11
n12
205
206
VSS
300
VSS
410
Vb1
Vb2
207
208
n31
n32
209
210
400
420
VSS

도면3


500
600
a1
a2
정정부
증폭부
in3
in4
out3
out4
c1
c2
700
검출부

도면4


500
Vb3
in3
n13
no3
VSS
4005
4003
4001
VDD
530
520
4002
VSS
4006
4004
n14
510
Vb4
in4
Vb3
c1
a1
a2
n23
VSS
4009
4007
550
540
4010
4008
np4
VSS
n24
Vb4
c2
Vb3
4011
4013
n43
VSS
561
4014
n44
4012
562
560
400
Vb4

도면5

