

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 17 年 11 月 4 日 (2005.11.4)

【公開番号】特開 2003-250096 (P2003-250096A)

【公開日】平成 15 年 9 月 5 日 (2003.9.5)

【出願番号】特願 2002-330162 (P2002-330162)

【国際特許分類第 7 版】

H 0 4 N 5/335

G 0 6 F 3/033

H 0 1 L 27/146

H 0 1 L 31/10

H 0 3 K 17/00

H 0 3 K 17/78

【F I】

H 0 4 N 5/335 Z

G 0 6 F 3/033 3 1 0 Y

H 0 3 K 17/00 D

H 0 3 K 17/78 K

H 0 1 L 31/10 G

H 0 1 L 27/14 A

【手続補正書】

【提出日】平成 17 年 8 月 11 日 (2005.8.11)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

光検出器出力ノードのサンプリング回路であって、前記光検出器出力ノードと読み出しノードの間に結合されるマルチ積分回路であって、前記読み出しノードにおいて、前記光検出器出力ノードの第 1 の記憶サンプリング結果を供給し、同時に、前記光検出器出力ノードの第 2 のサンプリング結果を記憶するように動作可能な、複数記憶素子及び制御回路を含むマルチ積分回路が含まれている、サンプリング回路。

【請求項 2】

前記マルチ積分回路 ( 1 4 ) に、それぞれ、関連記憶ノード ( 4 0 , 4 2 )、前記関連記憶ノードと前記光検出器出力ノードの間に結合されたそれぞれの積分スイッチ ( 4 8 , 5 0 )、及び、前記関連記憶ノードと前記読み出しノードの間に結合されたそれぞれの読み出しスイッチ ( 5 2 , 5 4 ) を含む複数の積分回路が含まれる、請求項 1 に記載のサンプリング回路。

【請求項 3】

前記積分スイッチのそれぞれの制御ノードが、それぞれの入力制御ラインに結合されている、請求項 2 に記載のサンプリング回路。

【請求項 4】

1 対の積分回路の前記積分スイッチと前記読み出しスイッチが、相互結合され、それぞれの対をなす入力制御ラインによって、記憶ノードの一方における光検出器出力ノードのサンプリング結果の記憶、及び、同時に行われる、もう一方の記憶ノードによる光検出器出力ノードの記憶サンプリング結果の供給が制御されるようになっている、請求項 3 に記

載のサンプリング回路。

【請求項 5】

さらに、前記読み出しノードと前記読み出しスイッチのそれぞれとの間に結合され、その制御ノードが読み出し制御ラインに結合されている出力スイッチ（64）が含まれる、請求項 4 に記載のサンプリング回路。

【請求項 6】

さらに、前記積分スイッチと前記光検出器出力ノードの間に結合されたシャッタ回路（62）が含まれる、請求項 3 に記載のサンプリング回路。

【請求項 7】

前記シャッタ回路に、前記積分スイッチ間に結合され、その制御ノードが積分制御ラインに結合されたスイッチ（66）が含まれる、請求項 6 に記載のサンプリング回路。

【請求項 8】

前記読み出しスイッチのそれぞれの制御ノードが、それぞれの読み出し制御ラインに結合されている、請求項 3 に記載のサンプリング回路。

【請求項 9】

光検出器出力ノードのサンプリングを行う方法であって、読み出しノードから前記光検出器出力ノードの第 1 の記憶サンプリング結果を供給し、同時に、前記光検出器出力ノードの第 2 のサンプリング結果を記憶するステップを含む、方法。

【請求項 10】

フォトセル回路であって、出力ノードを備えた光検出器回路と、前記光検出器出力ノードと読み出しノードの間に結合されたマルチ積分回路であって、前記読み出しノードから前記光検出器出力ノードの第 1 の記憶サンプリング結果を供給し、同時に、前記光検出器出力ノードの第 2 のサンプリング結果を記憶するように動作可能な複数記憶素子及び制御回路を含むマルチ積分回路が含まれている、フォトセル回路。