



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 103 51 237 A1** 2005.06.16

(12)

## Offenlegungsschrift

(21) Aktenzeichen: **103 51 237.3**  
(22) Anmeldetag: **03.11.2003**  
(43) Offenlegungstag: **16.06.2005**

(51) Int Cl.7: **H01L 21/336**  
**H01L 21/8234**

(66) Innere Priorität:  
**103 51 039.7**      **31.10.2003**

(71) Anmelder:  
**Advanced Micro Devices, Inc., Sunnyvale, Calif.,  
US**

(74) Vertreter:  
**Grünecker, Kinkeldey, Stockmair &  
Schwanhäusser, 80538 München**

(72) Erfinder:  
**Van Bentum, Ralf, 01445 Radebeul, DE; Luning,  
Scott, 01324 Dresden, DE; Wei, Andy, 01099  
Dresden, DE**

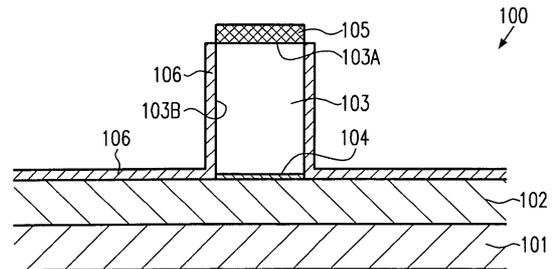
(56) Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:  
**US 64 92 216 B1**  
**US 62 45 613 B1**  
**US 59 08 313**

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Verbesserte Technik zur Herstellung eines Transistors mit erhöhten Drain- und Sourcegebieten**

(57) Zusammenfassung: Durch Bilden einer Vertiefung in einer Halbleiterschicht, vorzugsweise durch lokales Oxidieren der Halbleiterschicht, kann ein spannungserzeugendes Material und/oder eine Dotierstoffspezies in die gedünnte Halbleiterschicht in der Nähe einer Gateelektrodenstruktur mittels eines nachfolgenden epitaktischen Wachstumsprozesses eingeführt werden. Insbesondere das spannungserzeugende Material, das benachbart zu der Gateelektrodenstruktur ausgebildet ist, übt eine Druck- oder Zugspannung, abhängig von der Art des abgeschiedenen Materials, aus, wodurch die Beweglichkeit der Ladungsträger in einem Kanalgebiet des Transistorelements erhöht wird.



**Beschreibung**

## GEBIET DER VORLIEGENDEN ERFINDUNG

**[0001]** Die vorliegende Erfindung betrifft die Herstellung integrierter Schaltungen und betrifft insbesondere die Herstellung von Feldeffekttransistoren mit äußerst flachen PN-Übergängen.

## Stand der Technik

## BESCHREIBUNG DES STANDS DER TECHNIK

**[0002]** Die Herstellung integrierter Schaltungen erfordert die Ausbildung einer großen Anzahl von Schaltungselementen auf einer gegebenen Chipfläche gemäß einem spezifizierten Schaltungsverdrahtungsplan. Im Allgemeinen wird eine Vielzahl von Prozesstechnologien gegenwärtig angewendet, wobei für Logikschaltungen, etwa für Mikroprozessoren, Speicherchips und dergleichen die CMOS-Technologie gegenwärtig der am vielversprechendste Ansatz auf Grund der überlegenen Eigenschaften in Hinsicht der Betriebsgeschwindigkeit und/oder der Leistungsaufnahme ist. Bei der Herstellung komplexer integrierter Schaltungen unter Anwendung der CMOS-Technologie werden Millionen komplementärer Transistoren, d. h. N-Kanal-Transistoren und P-Kanal-Transistoren auf einem geeigneten Substrat hergestellt. Typischerweise weist ein MOS-Transistor, unabhängig davon, ob ein N-Kanal-Transistor oder P-Kanal-Transistor betrachtet wird, sogenannte PN-Übergänge auf, die an einer Grenzfläche von stark dotierten Drain- und Source-Gebieten mit einem invers dotierten Kanalgebiet, das zwischen dem Draingebiet und dem Sourcegebiet angeordnet ist, ausgebildet sind. Die Leitfähigkeit des Kanalgebiets wird durch eine Gateelektrode gesteuert, die über dem Kanalgebiet ausgebildet und davon durch eine dünne isolierende Schicht getrennt ist. Die Leitfähigkeit des Kanalgebiets hängt von der Dotierstoffkonzentration, der Beweglichkeit der Majoritätsladungsträger und – für eine gegebene Ausdehnung des Kanalgebiets in der Transistorbereitenrichtung – von dem Abstand zwischen dem Sourcegebiet und dem Draingebiet ab, der auch als Kanallänge bezeichnet wird. Somit bestimmt in Kombination mit der Fähigkeit, rasch einen leitenden Kanal unterhalb der isolierenden Schicht beim Anlegen einer spezifizierten Steuerspannung an die Gateelektrode auszubilden, die Leitfähigkeit des Kanalgebiets im Wesentlichen die Eigenschaften der MOS-Transistoren. Aus diesem Grunde stellt die Kanallänge ein dominierendes Entwurfskriterium dar und deren Größenreduzierung sorgt für eine erhöhte Betriebsgeschwindigkeit der integrierten Schaltungen.

**[0003]** Das Reduzieren der Transistorabmessungen zieht jedoch eine Reihe von Problemen nach sich, die damit in Verbindung stehen, die es zu lösen gilt, um

nicht die Vorteile zu schmälern, die durch das ständige Verringern der Kanallänge der MOS-Transistoren gewonnen werden.

**[0004]** Ein Problem in dieser Hinsicht ist die Erfordernis für extrem flache PN-Übergänge, d. h. die Tiefe der Source- und Draingebiete im Bezug auf eine Grenzfläche, die durch die Gateisolationsschicht und das Kanalgebiet gebildet wird, muss reduziert werden, wenn die Kanallänge verringert wird, um die geforderte Steuerbarkeit des leitenden Kanals beizubehalten. Die Tiefe der Source- und Draingebiete bestimmt im Wesentlichen deren Schichtwiderstand, der nicht beliebig durch entsprechendes Erhöhen der Dotierstoffkonzentration in den Source- und Draingebieten verringert werden kann, da eine äußerst hohe Dotierstoffkonzentration zu erhöhten Leckströmen Anlass geben kann. Ferner können unter Umständen die in diese Gebiete bei sehr hohen Konzentrationen implantierten Dotierstoffe nicht vollständig durch konventionelle schnelle thermische Ausheizzyklen aktiviert werden, ohne dabei das Gesamtdotierprofil in den Source- und Draingebieten negativ zu beeinflussen. D. h., für eine angestrebte Kanallänge, die durch die PN-Übergänge definiert ist, erfordert eine erhöhte Dotierstoffkonzentration höhere Temperaturen und/oder eine längere Zeitdauer für die entsprechenden Ausheizzyklen, wodurch jedoch das Dotierstoffprofil, das die PN-Übergänge bildet, durch die unvermeidliche thermische Diffusion der Dotierstoffe beeinflusst wird, was schließlich zu einer nicht akzeptablen Fluktuation der letztlich erreichten Kanallänge führen kann.

**[0005]** In einem Versuch, den Schichtwiderstand der Drain- und Sourcegebiete weiterhin zu verringern, wird die Leitfähigkeit dieser Gebiete häufig erhöht, indem ein Metallsilizid mit höherer Leitfähigkeit im Vergleich zu stark dotiertem Silizium gebildet wird. Da jedoch die Eindringtiefe des Metallsilizids durch die Tiefe der PN-Übergänge beschränkt ist, ist die Erhöhung der Leitfähigkeit in diesen Gebieten an die Tiefe der entsprechenden PN-Übergänge gekoppelt. Ferner wird in vielen CMOS-Technologien ein entsprechendes Metallsilizid gleichzeitig auch auf der Gateelektrode ausgebildet, wobei eine flache Tiefe des Übergangs daher ebenso ein sehr flaches Metallsilizid in der Gateelektrode zur Folge hat, wodurch nur eine begrenzte Verbesserung beim Erreichen einer erhöhten Gateelektrodenleitfähigkeit erreicht wird.

**[0006]** In einer Variante können extrem flache Source- und Draingebiete hergestellt werden, indem die Source- und Draingebiete über die Grenzfläche der Gateisolationsschicht/des Kanalgebiets erhöht werden und indem die Dotierstoffkonzentration in dem Drain- und Source auf einem akzeptablen Pegel gehalten wird, wobei die Möglichkeit gegeben ist, dass äußerst leitfähige Metallsilizidgebiete gebildet wer-

den, ohne dass man auf die tatsächliche Tiefe der PN-Übergänge auf Grund der zunehmenden Größe der erhöhten Drain- und Sourcegebiete beschränkt ist.

**[0007]** Mit Bezug zu den **Fig. 1a** bis **1d** wird nunmehr ein typischer konventioneller Prozessablauf zur Herstellung erhöhter Drain- und Sourcegebiete detaillierter beschrieben.

**[0008]** **Fig. 1a** zeigt schematisch eine Querschnittsansicht eines Feldeffekttransistors **100** während eines anfänglichen Herstellungsstadiums. Der Transistor **100** umfasst das Substrat **101**, beispielsweise ein Siliziumvollsubstrat oder ein SOI-(Silizium auf Isolator) Substrat mit einer vergrabenen Isolationsschicht. Über dem Substrat **101** ist eine im Wesentlichen kristalline Schicht **102** mit einer Dicke ausgebildet, die zur Herstellung von PN-Übergängen und einem Kanalgebiet darin geeignet ist. Beispielsweise kann der Transistor **100** einen SOI-Transistor mit einer Dicke der Siliziumschicht **102** im Bereich von ungefähr 20 bis 100 nm repräsentieren. Eine Gateelektrode **103**, die Polysilizium aufweist, ist über der Siliziumschicht **102** ausgebildet und ist von dieser von einer Gateisolationsschicht **104** getrennt. Die Gateisolationsschicht **104** kann in technisch hoch entwickelten Bauteilen mittels einer stickstoffhaltenden Siliziumdioxidschicht mit einer Dicke von ungefähr 0.6 bis 4 nm hergestellt sein. Der Restanteil **105** einer antireflektierenden Beschichtung bedeckt eine obere Fläche **103a** der Gateelektrode **103**, während Seitenwände **103b** sowie die verbleibende Oberfläche der Siliziumschicht **102** durch eine Oxidbeschichtung **106** bedeckt sind.

**[0009]** Der Transistor **100**, wie er in **Fig. 1a** gezeigt ist, kann entsprechend dem folgenden Prozessablauf hergestellt werden. Das Substrat **101** kann von einem Hersteller von entsprechenden Substraten in Form eines Siliziumvollsubstrats oder in Form eines SOI-Substrats bezogen werden, wobei das SOI-Substrat eine kristalline Siliziumschicht aufweist, die entsprechend gut etablierter Scheiben-Verbund-Techniken gebildet werden kann. Die Siliziumschicht **102** mit der geeigneten Dicke kann dann durch entsprechende Prozessverfahren, etwa das chemisch-mechanische Polieren hergestellt werden, um eine gegebene Siliziumschicht auf einem SOI-Substrat auf eine gewünschte Dicke zu bringen und/oder durch epitaxiales Wachsen von Silizium auf die freigelegte Oberfläche des SOI-Substrats oder des Vollsubstrats. Das epitaxiale Wachsen eines Halbleitermaterials ist eine Abscheidetechnik, in der die abgeschiedenen Materialschicht eine kristalline Struktur entsprechend der kristallinen Struktur des darunter liegenden Materials bildet, solange das abgeschiedene Material ein Gitter bilden kann, das ausreichend ähnlich in der Struktur und im Gitterabstand ist zu dem Gitter des darunter liegenden Materials. Nach

der Herstellung der Siliziumschicht **102** wird eine Isolationsschicht mit einer Dicke und einer Zusammensetzung gebildet, die geeignet zur Herstellung der Gateisolationsschicht **104** ist. Dazu können fortschrittliche Oxidations- und/oder Abscheidetechniken angewendet werden, die gut etabliert sind. Danach wird eine Polysiliziumschicht mit geeigneter Dicke durch chemische Dampfabscheidung bei geringem Druck aufgebracht. Als nächstes werden eine antireflektierende Beschichtung, die beispielsweise Siliziumoxynitrid aufweist, und eine Lackschicht abgeschieden und durch modernste Photolithographieverfahren strukturiert, um eine Ätzmaske für einen nachfolgenden anisotropen Ätzprozess zur Strukturierung der Gateelektrode **103** aus der abgeschiedenen Polysiliziumschicht zu bilden. Danach kann die Gateisolationsschicht **104** strukturiert werden und nachfolgend wird die Oxidbeschichtung **106** durch einen geeignet gestalteten Oxidationsprozess gebildet.

**[0010]** **Fig. 1b** zeigt schematisch den Transistor **100**, der darauf ausgebildete Seitenwandabstandselemente **107**, die aus Material, etwa Siliziumnitrid, gebildet sind, das eine moderat hohe Ätzselektivität in Bezug auf die darunter liegende Oxidbeschichtung **106** zeigt, so dass die Abstandselemente **107** nach einem selektiven epitaxialen Abscheideprozess einfach entfernt werden können. Die Seitenwandabstandselemente **107** können durch gut etablierte Techniken gebildet werden, die das Abscheiden, beispielsweise durch plasmaunterstützte chemische Dampfabscheidung, einer Siliziumnitridschicht mit spezifizierter Dicke und einen nachfolgenden anisotropen Ätzprozess beinhalten, der zuverlässig auf oder in der Oxidbeschichtung **106** stoppt, wodurch die Abstandselemente **107** zurückbleiben. Eine Breite **107a** des Abstandselements **107** ist leicht steuerbar, indem die Dicke der Siliziumnitridschicht entsprechend eingestellt wird. Somit ist eine laterale Ausdehnung der epitaxialen Wachstumsgebiete benachbart zu der Gateelektrode **103** im Wesentlichen durch die Abstandselementsbreite **107a** bestimmt.

**[0011]** **Fig. 1c** zeigt schematisch das Bauteile **100** mit selektiv gewachsenen Siliziumgebieten **108** über der Siliziumschicht **102**, wobei ein lateraler Abstand der Gebiete **108** von der Gateelektrode **103** im Wesentlichen der Abstandselementsbreite **107a** (siehe **Fig. 1b**) plus der minimalen Dicke der Oxidbeschichtung **106** entspricht. Der Transistor **100**, wie er in **Fig. 1c** gezeigt ist, kann durch die folgenden Prozesse hergestellt werden. Ausgehend von dem Bauteil, wie es in **Fig. 1b** gezeigt ist, wird die Oxidbeschichtung **106** selektiv so geätzt, um die Siliziumschicht **102** in Bereichen freizulegen, die nicht von den Abstandselementen **107**, der Gateelektrode **103** und von Isolationsstrukturen (nicht gezeigt) bedeckt sind. Vor und/oder nach dem Entfernen der Oxidbeschichtung **106** werden gut etablierte Reinigungsverfahren ausgeführt, um Oxidreste und andere Kontaminati-

onsstoffe zu entfernen, die sich in einem Oberflächengebiet der Siliziumschicht **102** angesammelt haben können. Danach wird Silizium selektiv auf den freigelegten Bereichen der Siliziumschicht **102** gewachsen, wobei die Siliziumgebiete **108** mit einer spezifizierten Dicke entsprechend den Entwurfserfordernissen gebildet werden. Danach wird das Abstandselement **107** durch einen selektiven Ätzprozess, beispielsweise unter Anwendung heißer Phosphorsäure, die eine ausgezeichnete Ätzselektivität von Siliziumdioxid zu Silizium zeigt, entfernt. Während dieses Ätzprozesses kann auch der Rest **105** auf der Gateelektrode **103** entfernt werden. Danach kann eine konventionelle Prozesssequenz ausgeführt werden, wie dies auch für Transistorbauteile der Fall ist, die keine zusätzlich selektiv aufgewachsenen Siliziumgebiete **108** aufweisen, d. h. eine geeignete Anzahl von Seitenwandabstandselementen kann gebildet werden, gefolgt von geeignet gestalteten Implantationssequenzen, um damit ein erforderliches Dotierprofil in der Siliziumschicht **102** zu erzeugen.

**[0012]** Fig. 1d zeigt schematisch den Transistor **100** nach dem oben erwähnten Transistorherstellungsprozess, wobei beispielsweise drei verschiedene Seitenwandabstandselemente verwendet sind. In Fig. 1d ist ein erstes Seitenwandabstandselement **109**, das beispielsweise aus Siliziumdioxid gebildet ist, benachbart zu der Oxidbeschichtung **106** angeordnet und weist eine geeignete Dicke zum Profilieren der Dotierstoffkonzentration in der Nähe der Gateelektrode **103** während eines nachfolgenden Implantationsprozesses auf. Ein zweites Abstandselement **110** ist neben dem ersten Abstandselement **109**, jedoch von diesem durch eine zusätzliche Beschichtung **106a** getrennt, angeordnet, woran sich eine Oxidbeschichtung **111** und ein drittes Abstandselement **112** anschließt. Die Breite dieser Abstandselemente **109** und **112** ist geeignet so gewählt, um die gewünschten Dotiererweiterungsgebiete **113** und die Drain- und Sourcegebiete **114** zu erhalten, wodurch ein Kanalgebiet **115** zwischen den Erweiterungsgebieten **113** mit einer spezifizierten Kanallänge **116** definiert wird.

**[0013]** Während der Herstellung des Abstandselements **109**, wenn dieses beispielsweise aus Siliziumdioxid aufgebaut ist, wird die Beschichtung **106** typischerweise von dem Oberflächenbereich der Halbleiterschicht **102** weggeätzt. Daher wird für gewöhnlich die zusätzliche Beschichtung **106a** vor der Herstellung des Abstandselements **110** gebildet. Wenn das erste Abstandselement **109** Siliziumnitrid aufweist, wird die Beschichtung **106** während des anisotropen Ätzprozesses für die Herstellung des Abstandselements **109** bewahrt, jedoch mit möglicherweise einer inhomogenen Dicke auf Grund von durch die Ätzung hervorgerufenen Schäden. Daher kann die verbleibende Beschichtung **106** entfernt werden und die zusätzliche Beschichtung **106a** kann auch in diesem

Falle aufgebracht werden. Im Allgemeinen kann die Herstellung der Abstandselemente **109**, **110** und **112** durch gut etablierte Techniken für Abstandselemente, wie sie beispielsweise mit Bezug zu dem Abstandselement **107** beschrieben sind, erreicht werden, wobei die entsprechende Abstandselementsbreite durch die entsprechenden Abscheideticken der jeweiligen Schichten für die Abstandselemente, die beispielsweise Siliziumnitrid aufweisen, gesteuert werden, wobei die zusätzliche Beschichtung **106a** und die Oxidbeschichtung **111** die erforderliche Ätzselektivität bei der anisotropen Strukturierung der Abstandselemente liefern.

**[0014]** Es gilt also, der oben beschriebene Prozessablauf ermöglicht die Ausbildung erforderlicher flacher PN-Übergänge in Form der Erweiterungsgebiete **113**, wobei dennoch ein geringer Kontaktwiderstand zu den Drain- und Sourcegebieten **114** erreicht wird, indem die zusätzlich selektiv aufgewachsenen Siliziumgebiete **108** vorgesehen werden, die verwendet werden können, um ein äußerst leitfähiges Metallsilizid aufzunehmen, wobei der Silizidierungsvorgang die Erweiterungsgebiete **113** nicht negativ beeinflusst, und wobei außerdem der Silizidierungsprozess nicht durch die Tiefe der Erweiterungsgebiete **113** und der Drain- und Sourcegebiete **114** beschränkt ist.

**[0015]** Obwohl der zuvor beschriebene Prozessablauf deutliche Verbesserungen bei der Ausbildung erhöhter Drain- und Sourcegebiete liefert, bleibt das Problem der begrenzten Kanalleitfähigkeit dennoch bestehen, da, wie zuvor erläutert ist, die Kanalleitfähigkeit von der Kanallänge **116** sowie von der Dotierstoffkonzentration in den Erweiterungsgebieten **113** und dem Kanalgebiet **115** abhängt. Die Kanallänge **116** ist im Wesentlichen durch die Abmessungen der Gateelektrode **103** bestimmt und daher erfordert eine weitere Reduzierung der Kanallänge **116** im konventionellen Prozessablauf eine verbesserte Auflösung der Photolithographie. Andererseits kann ein weiterer Anstieg der Dotierstoffkonzentration zu erhöhten Leckströmen während des Transistorbetriebs führen und kann sehr anspruchsvolle Ausheizzyklen erforderlich machen, wodurch möglicherweise das Dotierstoffprofil in den Erweiterungsgebieten **113** und in den Drain-Source-Gebieten **114** nachteilig beeinflusst wird. Daher sind weitere Verbesserungen des konventionellen Prozessablaufs erforderlich, um verbesserte Bauteileigenschaften für eine gegebene Kanallänge **116** zu erreichen.

**[0016]** In dem Bemühen, die Kanalleitfähigkeit zu verbessern, wurde vorgeschlagen Zug- und Druckspannungen in dem Kanalgebiet **115** zu erzeugen, um damit die Beweglichkeit von Elektronen bzw. Löchern zu erhöhen. Es wurde vorgeschlagen, dass die Anwendung von Zug- oder Druckspannung die Beweglichkeit von Ladungsträgern bis zu ungefähr 20%

für ein gegebenes Dotierstoffprofil und eine gegebene Kanallänge verbessern kann. Die Erzeugung von Spannung in dem Kanalgebiet **115** kann jedoch wesentlichen Änderungen in dem zuvor beschriebenen gut bewährten Prozessablauf nach sich ziehen, wenn eine Verformungsschicht in dem Kanalgebiet **115** gebildet wird, wie dies in einigen bekannten Prozessstrategien vorgeschlagen wird.

#### Aufgabenstellung

**[0017]** Angesichts der obigen Situation besteht ein Bedarf für eine verbesserte Technik, die die Herstellung erhöhter Source- und Draingebiete im Wesentlichen in Übereinstimmung mit einem konventionellen Prozessablauf ermöglicht, während dennoch die Möglichkeit zur Verbesserung der Transistoreigenschaften durch beispielsweise Erhöhen der Kanalleitfähigkeit gegeben ist.

#### ÜBERBLICK ÜBER DIE ERFINDUNG

**[0018]** Im Wesentlichen richtet sich die vorliegende Erfindung an eine Technik, die die Herstellung erhöhter Drain- und Sourcegebiete durch epitaktisches Wachsen ermöglicht, wobei dennoch die Möglichkeit des Verbesserns der Transistoreigenschaften gegeben ist, indem eine Verformungsschicht in die Drain- und Sourcegebiete während des Epitaxiewachstumsprozesses eingeführt wird und/oder indem die Möglichkeit zum kontrollierten Modifizieren des Dotierstoffprofils der Drain- und Sourcegebiete während des epitaktischen Wachstumsprozesses geboten wird.

**[0019]** Gemäß einer anschaulichen Ausführungsform der vorliegenden Erfindung umfasst ein Verfahren das Bilden einer Gateelektrode mit einer ersten Seitenwand und einer zweiten Seitenwand über einer Halbleiterschicht. Eine erste Vertiefung und eine zweite Vertiefung werden in der Halbleiterschicht gebildet, wobei die erste und die zweite Vertiefung seitlich von der ersten und der zweiten Seitenwand der Gateelektrode beabstandet sind. Ferner wird ein Material epitaktisch in der ersten Vertiefung und der zweiten Vertiefung aufgewachsen, um ein erhöhtes Draingebiet und ein erhöhtes Sourcegebiet zu bilden.

**[0020]** Gemäß einer noch weiteren anschaulichen Ausführungsform der vorliegenden Erfindung umfasst ein Verfahren das Bilden einer Oxidationsmaske über einer Halbleiterschicht und das selektive Oxidieren freigelegter Bereiche der Halbleiterschicht. Danach werden die selektiv oxidierten Bereiche der Halbleiterschicht entfernt, um eine Vertiefung benachbart zu der Oxidationsmaske zu bilden. Schließlich wird ein Material epitaktisch in der Vertiefung aufgewachsen, so dass dieses sich über einen Oberflächenbereich der Halbleiterschicht, der von der Oxidationsmaske bedeckt ist, hinaus erstreckt, wobei das

epitaktisch gewachsene Material eine Gitterkonstante aufweist, die sich von jener des Halbleitermaterials, das die Halbleiterschicht bildet, unterscheidet, wodurch eine mechanische Spannung in einem Gebiet benachbart zu und unterhalb der Oxidationsmaske erzeugt wird.

**[0021]** Gemäß einer noch weiteren anschaulichen Ausführungsform der vorliegenden Erfindung umfasst ein Transistor eine Gateelektrodenstruktur mit einer Gateisolationsschicht, die eine Gateelektrode von einem Kanalgebiet, das aus einem ersten dotierten Halbleitermaterial mit einer ersten Gitterkonstante gebildet ist, trennt. Der Transistor umfasst ferner ein Draingebiet und ein Sourcegebiet, die benachbart zu der Gateelektrodenstruktur ausgebildet sind und das erste Halbleitermaterial und ein zweites Material aufweisen, wobei das zweite Material eine zweite Gitterkonstante aufweist, die sich von der ersten Gitterkonstante unterscheidet, um damit eine mechanische Spannung in dem Kanalgebiet zu erzeugen.

#### Ausführungsbeispiel

#### KURZE BESCHREIBUNG DER ZEICHNUNGEN

**[0022]** Weitere Vorteile, Aufgaben und Ausführungsformen der vorliegenden Erfindung sind in den angefügten Patentansprüchen definiert und gehen deutlicher aus der folgenden detaillierten Beschreibung hervor, wenn diese mit Bezug zu den begleitenden Zeichnungen studiert wird; es zeigen:

**[0023]** [Fig. 1a](#) bis [Fig. 1d](#) schematisch Querschnittsansichten eines konventionellen Transistorbauelements mit erhöhten Drain- und Sourcegebieten während diverser Herstellungsstadien;

**[0024]** [Fig. 2a](#) bis [Fig. 2f](#) schematisch Querschnittsansichten eines Transistorelements während diverser Herstellungsstadien, wobei eine spannungserzeugende Schicht in die erhöhten Drain- und Sourcegebiete gemäß anschaulicher Ausführungsformen der vorliegenden Erfindung eingeführt ist; und

**[0025]** [Fig. 3a](#) bis [Fig. 3f](#) schematisch Querschnittsansichten eines Transistorelements während diverser Herstellungsstadien, wobei eine spannungserzeugende Schicht benachbart zu einer zu entfernenden Oxidationsmaske ausgebildet ist, die als ein Ersatz für eine Gateelektrodenstruktur dient.

#### DETAILLIERTE BESCHREIBUNG

**[0026]** Obwohl die vorliegende Erfindung mit Bezug zu den Ausführungsformen beschrieben ist, wie sie in der folgenden detaillierten Beschreibung sowie in den Zeichnungen dargestellt sind, sollte es selbstverständlich sein, dass die folgende detaillierte Beschreibung sowie die Zeichnungen nicht beabsichti-

gen, die vorliegende Erfindung auf die speziellen anschaulichen offenbarten Ausführungsformen einzuschränken, sondern die beschriebenen anschaulichen Ausführungsformen stellen lediglich beispielhaft die diversen Aspekte der vorliegenden Erfindung dar, deren Schutzbereich durch die angefügten Patentansprüche definiert ist.

**[0027]** Die vorliegende Erfindung beruht auf dem Konzept, dass eine zu entfernende Maske oder ein zu entfernendes Abstandselement verwendet werden kann, um erhöhte Drain- und Sourcegebiete zu bilden, wobei vor dem Ausführen eines selektiven epitaktischen Wachstumsprozesses eine Vertiefung gebildet wird, was in einer speziellen Ausführungsform durch gut steuerbaren Oxidationsprozess vonstatten geht, um damit die Möglichkeit zu schaffen, eine spezifizierte Dotierstoffkonzentration und/oder eine spannungserzeugende Schicht während des epitaktischen Wachstums der erhöhten Drain- und Sourcegebiete innerhalb der Vertiefungen einzuführen.

**[0028]** Mit Bezug zu den [Fig. 2a](#) bis [Fig. 2f](#) werden nun weitere anschauliche Ausführungsformen der vorliegenden Erfindung detaillierter beschrieben, wobei ein hohes Maß an Kompatibilität mit dem konventionellen Prozessablauf, wie er mit Bezug zu den [Fig. 1a](#) bis [Fig. 1d](#) beschrieben ist, beibehalten bleibt, wobei dennoch eine verbesserte Kanalleitfähigkeit bereitgestellt wird, indem das Dotierstoffprofil verbessert und/oder indem eine spannungserzeugende Materialschicht benachbart zu dem Kanalgebiet eingebracht wird.

**[0029]** [Fig. 2a](#) zeigt schematisch eine Querschnittsansicht eines Transistorbauelements **200** mit einem Substrat **201**, das darauf eine im Wesentlichen kristalline Halbleiterschicht **202**, beispielsweise eine Siliziumschicht, da der Hauptanteil der integrierten Schaltungen auf der Grundlage von Silizium hergestellt wird, ausgebildet aufweist. Es sollte jedoch beachtet werden, dass ein beliebiges anderes geeignetes Halbleitermaterial, etwa eine II-VI oder eine III-V Halbleiterverbindung verwendet werden kann, um die Halbleiterschicht **202** zu bilden. Das Substrat **201** kann ein beliebiges geeignetes Substrat sein, etwa ein Halbleitervollsubstrat, beispielsweise in Form eines Siliziumsubstrats, ein Glassubstrat, oder ein anderes isolierendes Substrat. In einer speziellen Ausführungsform kann das Substrat **201** ein SOI-Substrat repräsentieren mit einer vergrabenen isolierenden Schicht, auf der die Halbleiterschicht **202** gebildet ist. In anderen Ausführungsformen kann die Halbleiterschicht **202** einen Oberflächenbereich eines durchgängigen Halbleitersubstrats repräsentieren. Eine Gateelektrode **203**, die aus einem geeigneten Gateelektrodenmaterial gebildet ist, etwa aus Polysilizium für Halbleiterbauelemente auf Siliziumbasis, ist über der Halbleiterschicht **202** ausgebildet und ist von die-

ser durch eine Gateisolierschicht **204** getrennt. Wenn hochentwickelte CMOS-Bauteile auf Siliziumbasis betrachtet werden, kann die Gateelektrode **203** eine Gatelänge, d. h. in [Fig. 2a](#) die horizontale Abmessung, von ungefähr 100 nm oder sogar weniger, oder von 50 nm und darunter aufweisen, während die Gateisolierschicht **204** in Übereinstimmung mit der Gatelänge so gestaltet ist, um für die erforderliche kapazitive Ankopplung zu sorgen. Beispielsweise kann eine stickstoffangereicherte Siliziumdioxidschicht mit einer Dicke von ungefähr 0,5 bis 4,0 nm als die Gateisolierschicht **204** vorgesehen sein. Das Transistorbauelement **200** umfasst ferner eine Deckschicht **205**, die den Rest einer antireflektierenden Beschichtung repräsentieren kann. Ferner ist eine Beschichtung **206**, die beispielsweise ein Oxid, etwa Siliziumdioxid aufweist, an Seitenwänden **203a** der Gateelektrode **203** und an Oberflächenbereichen der Halbleiterschicht **202** ausgebildet. Ferner sind zu entfernende Abstandselemente **207** benachbart zu der Gateelektrode **203** gebildet, wodurch die Seitenwände **203a** der Gateelektrode **203** und ein Oberflächenbereich der Halbleiterschicht **202** in der Nähe der Gateelektrode **203** abgedeckt ist, wobei eine Abstandselementsbreite **207a** die Dimension des bedeckten Oberflächenbereichs der Schicht **202** bestimmt.

**[0030]** Für ein Bauteil **200** auf Siliziumbasis kann im Wesentlichen der gleiche Prozessablauf angewendet werden, wie er zuvor mit Bezug zu [Fig. 1a](#) erläutert ist. Für andere Halbleitermaterialien sind entsprechende Prozesssequenzen zur Herstellung der diversen Komponenten des Bauteils **200**, wie sie in [Fig. 2a](#) gezeigt sind, im Stand der Technik gut etabliert und können dann die entsprechenden Prozesstechniken ersetzen, die für ein Bauteil aus Siliziumbasis verwendet werden.

**[0031]** [Fig. 2b](#) zeigt schematisch das Transistorbauelement **200** in einem fortgeschrittenen Herstellungsstadium. Der Transistor **200** umfasst einen oxidierten Bereich **220**, der im Wesentlichen in jenen Gebieten der Halbleiterschicht **202** gebildet ist, die nicht von der Gateelektrode **203**, den zu entfernenden Abstandselementen **207** und Isolationsstrukturen (nicht gezeigt), die den Transistor **200** umschließen, bedeckt sind. Der oxidierte Bereich **220** ist durch einen gut steuerbaren Oxidationsprozess gebildet und somit ist eine Dicke **220a** des Bereichs **220** in präziser Weise auf die spezifischen Entwurfsanforderungen einstellbar. Beispielsweise kann das Transistorbauelement einer thermischen Oxidation mit einer spezifizierten Oxidwachstumsgeschwindigkeit unterzogen werden. Entsprechende Oxidationsprozesse sind im Stand der Technik gut bekannt, da Beschichtungsoxide, Gateoxide und dergleichen häufig durch Oxidation hergestellt werden. In anderen Ausführungsformen kann die selektive Oxidation durchgeführt werden, indem eine oxidierende Lösung, etwa eine verdünnte Mischung aus Schwefelsäure

und Wasserstoffperoxid, angewendet wird. Da die Dicke **220a** in präziser Weise steuerbar ist, ist auch die Tiefe eines Oberflächenbereichs **202a**, d. h. die Lage der Grenzfläche zwischen dem Bereich **220** und der nicht oxidierten Halbleiterschicht **202**, ebenso gut steuerbar. Folglich wird nach dem Entfernen des oxidierten Bereichs **220** eine präzise definierte verbleibende Halbleiterschichtdicke geschaffen, die für die Aufnahme eines spezifizierten epitaktisch gewachsenen Materials verwendet werden kann.

[0032] **Fig. 2c** zeigt schematisch das Bauelement **200** nach dem Entfernen des oxidierten Bereichs **220**, wodurch eine Vertiefung **221** mit einer Tiefe **221a** geschaffen wird, die mit der Dicke **220a** des oxidierten Bereichs **220** durch das Verhältnis des spezifischen Volumens des Oxids und des Halbleitermaterials der Schicht **202** verknüpft ist. Das Entfernen des oxidierten Bereichs **220** kann durch gut etablierte selektive Trocken- oder Nass-Ätzprozesse erreicht werden, wobei in einer Ausführungsform ein isotropes Ätzrezept angewendet wird, um den oxidierten Bereich **220** zu entfernen, ohne unnötig die Oberfläche **221b** der Vertiefung **221** zu schädigen. Wenn ein isotroper Ätzprozess angewendet wird, kann die Beschichtung **206**, die aus einem Oxid des darunter liegenden Halbleitermaterials **202** aufgebaut sein kann, etwa in Form von Siliziumdioxid, ebenso teilweise entfernt werden, wodurch ein gewisser Unterätzbereich **222** geschaffen wird. Wenn beispielsweise die Halbleiterschicht **202** im Wesentlichen Silizium aufweist, kann der oxidierte Bereich **220** selektiv in Bezug auf die Deckschicht **205** und die Abstandselemente **207** durch Fluorwasserstoff (HF) entfernt werden.

[0033] In anderen Ausführungsformen kann die Vertiefung **221** durch einen entsprechenden Trocken- oder Nass-Ätzprozess entfernt werden, ohne dass der oxidierte Bereich **220** gebildet wird, wobei die Tiefe **221a** gesteuert werden kann, indem die Ätzzeit bei einer gegebenen Ätzrate eingestellt wird. Da die Steuerung der Tiefe **221** mittels des Einstellens einer Ätzzeit weniger präzise im Vergleich zur Ausbildung eines durch langsames Wachsen oxidierten Bereiches ist, ist die zuletzt genannte Ausführungsform geeignet für weniger kritische Prozessanforderungen.

[0034] Danach können die freigelegten Vertiefungen **221** einen Reinigungsprozess unterzogen werden, um Oxidreste oder andere Ätznebenprodukte zu entfernen. Vorteilhafterweise führt das Bilden der Vertiefung **221** vor dem selektiven epitaktischen Wachstumsprozess auch zu einem Entfernen von Kontaminationsstoffen, die sich auf Oberflächenbereichen der Halbleiterschicht **202** in vorausgehenden Prozessen angesammelt haben können. In einigen Fällen können sich Kontaminationsstoffe, etwa Kohlenstoff und Sauerstoff, an Oberflächenbereichen bis zu einer Tiefe von ungefähr 3 nm ansammeln, die

dann den nachfolgenden epitaktischen Wachstumsprozess negativ beeinflussen können. Somit werden durch das Ausbilden der Vertiefung **221** diese Kontaminationsstoffe wirksam entfernt.

[0035] **Fig. 2d** zeigt schematisch den Transistor **200** mit einem epitaktisch gewachsenen Material **220**, das die Vertiefung **221** vollständig füllt und sich über eine Höhe erhebt, die durch die Gateisolierschicht **204** definiert ist. Das Material **230** weist eine oder mehrere Komponenten auf, die bei Abscheidung auf die freigelegte Oberfläche der Halbleiterschicht **202**, eine kristalline Struktur bilden, die ähnlich zu jener der Halbleiterschicht **202** ist. In einer speziellen Ausführungsform weist die Halbleiterschicht **202** Silizium auf und das Material **230** enthält Silizium und mindestens eine zusätzliche Komponente, etwa Germanium, Kohlenstoff, und dergleichen, die in einem geeigneten Verhältnis vorgesehen ist, so dass das Material **220** eine Kristallstruktur bildet, die ähnlich zu der darunter liegenden Halbleiterschicht **202** ist, wobei die geringe Fehlanpassung der Gitterstruktur, die beispielsweise durch eine unterschiedliche Gitterkonstante hervorgerufen wird, zu einem verformten Gebiet führt, das eine mechanische Spannung in den benachbarten Materialgebieten, etwa einem Kanalgebiet **215**, das unter der Gateisolierschicht **204** angeordnet ist, bewirkt. Beispielsweise kann das Material **230** Silizium und Germanium in einem Mischungsverhältnis von ungefähr 5 bis 60 Atomprozent Germanium aufweisen, so dass das entsprechende Material **230** eine erhöhte Gitterkonstante im Vergleich zu einer reinen Siliziumstruktur zeigt, wie sie in der Halbleiterschicht **202** vorgesehen ist. Als Folge davon erzeugt die Ausdehnung des Silizium-Germanium-Materials **230** eine Druckspannung, die durch **231** bezeichnet ist, innerhalb des Kanalgebiets **215** und selbstverständlich in dem Gebiet, das zwischen dem Kanalgebiet **215** und dem Material **230** angeordnet ist. In anderen Ausführungsformen kann eine Silizium-Kohlenstoff-Mischung, d. h. Siliziumkarbidmaterial, in dem Material **230** vorgesehen sein, das ein Gitter mit einer reduzierten Gitterkonstante im Vergleich zu der Siliziumstruktur bildet. Folglich neigt das Siliziumkohlenstoffmaterial **230** tendenziell dazu, das Kanalgebiet **215** auszudehnen und erzeugt damit eine Zugspannung in dem Kanalgebiet **215**. Durch das Erzeugen von Druck- oder Zugspannung in dem Kanalgebiet **215** und den benachbarten Gebieten kann die Beweglichkeit und damit die Leitfähigkeit dieser Gebiete verbessert werden, wie dies zuvor beschrieben ist. Der Betrag an Zug- oder Druckspannung in dem Kanalgebiet **215** kann für eine gegebene Bauteilgeometrie gesteuert werden, indem ein geeignetes Material **230** ausgewählt wird und/oder indem die Tiefe **221a** entsprechend gewählt wird. Beispielsweise kann das Verhältnis von Druck- oder Zugspannung erzeugenden Komponenten in dem Material **230** durch die Prozessparameter des epitaktischen Wachstumsprozesses vorgegeben

sein, wobei eine Dicke des Materials **230** deutlich die Größe des Mischungsverhältnisses beeinflussen kann, so dass es in einigen Fällen vorteilhaft sein kann, eine Dicke des Materials **230** auf einen relativ geringen Wert zu reduzieren, während ein moderat hohes Mischungsverhältnis angewendet wird, beispielsweise für Silizium und Germanium, bis zu 60 Atomprozent Germanium. Auf diese Weise kann die Spannung in dem Kanalgebiet **215** letztlich durch die Tiefe **221a** gesteuert werden, die, wie zuvor erläutert ist, in präziser Weise einstellbar ist, wenn ein selektiver Oxidationsprozess angewendet wird. In einer Ausführungsform kann das Material **230** zwei oder mehrere separate Schichten, etwa eine Silizium/Germaniumschicht, gefolgt von einer Siliziumschicht, aufweisen, oder es können mehrere abwechselnde Schichten mit unterschiedlichen Gitterkonstanten in dem Material **230** vorgesehen sein. In einer speziellen Ausführungsform weist das Material **230** eine Siliziumschicht als die zuletzt gebildete Schicht auf, um damit ein hohes Maß an Kompatibilität mit konventionellen Prozessabläufen sicherzustellen, wenn beispielsweise Metallsilizidgebiete in dem Material **230** zu bilden sind.

**[0036]** Die Herstellung des Materials **230** wird durch gut etablierte epitaktische Wachstumsprozesse erreicht, wenn allgemein bekannte Materialkompositionen, etwa Silizium/Germanium auf Silizium oder Silizium/Kohlenstoff auf Silizium, und dergleichen verwendet werden. Wenn die Halbleiterschicht **202** aus anderen Halbleiterschichten aufgebaut ist, können entsprechende Wachstumsrezepte auf der Grundlage optoelektronischer Herstellungsprozesse und/oder auf der Grundlage von Experimenten etabliert werden, um geeignete Mischungsverhältnisse zum Erzeugen von Zug- oder Dehnungsspannung zu bestimmen. Es kann dann vorteilhaft sein, eine endgültige Höhe **232** des Materials **230** in Bezug auf die Gateisolierschicht **204** präzise einzustellen, indem eine zusätzliche Halbleiterschicht, die die gleiche Gitterstruktur und den gleichen Gitterabstand wie die Halbleiterschicht **202** aufweist, vorgesehen wird, da dann die epitaktischen Wachstumsparameter im Wesentlichen unabhängig von der endgültigen Höhe **232** gewählt werden können. D. h., die gewünschte, in dem Kanalgebiet **215** erzeugte Spannung kann durch die epitaktischen Wachstumsparameter in Verbindung mit der Tiefe **221a** gesteuert werden, wohingegen die Höhe der erhöhten Drain- und Sourcegebiete, d. h. die Höhe **232**, eingestellt werden kann, indem eine reine Halbleiterschicht in dem Material **230** aufgewachsen wird, wodurch im Wesentlichen die Parameter zum Definieren der Spannung in dem Kanalgebiet **215** nicht beeinflusst werden.

**[0037]** In anderen Ausführungsformen kann das Material **230** zusätzlich oder alternativ zu einer spannungserzeugenden Komponente eine Dotierstoffspezies in einer spezifizierten Konzentration aufweisen,

die die Ausbildung eines spezifizierten Dotierstoffprofils, möglicherweise in Verbindung mit weiteren Implantationszyklen, die in einem späteren Herstellungsstadium auszuführen sind, ermöglicht. Beispielsweise kann eine hohe Dotierstoffkonzentration in die Halbleiterschicht **202** eingeführt werden, ohne die kristalline Struktur zu beschädigen, im Gegensatz zu einer Ionenimplantationssequenz, wodurch die Beschränkungen in Hinblick auf das thermische Budget in nachfolgenden Ausheizzyklen, die zur Rekristallisierung geschädigter kristalliner Halbleitergebiete erforderlich sind, deutlich entspannt werden. Das "Deponieren" der Dotierstoffkonzentration kann gesteuert werden, indem die Tiefe **221a** eingestellt wird und indem die epitaktischen Wachstumsparameter eingestellt werden, in denen beispielsweise die Zugabe der Dotierstoffspezies zeitlich variiert wird, um ein gewünschtes vertikales Dotierprofil in dem Material **230** zu erzeugen. Wenn es beispielsweise angemessen ist, eine hohe Dotierstoffkonzentration bei einer moderaten Tiefe **221a** anzusiedeln, kann das Bilden der Vertiefung in der Halbleiterschicht **202**, beispielsweise durch Ausbilden des oxidierten Bereichs **220** (siehe [Fig. 2b](#)), entsprechend ausgeführt werden, und das stark dotierte Material **230** kann durch epitaktisches Wachsen abgeschieden werden. Wenn die entsprechende Tiefe **221** jedoch ungeeignet ist zum Erzeugen der erforderlichen mechanischen Spannung in dem Kanalgebiet **215**, kann zunächst ein reines Halbleitermaterial – abgesehen von der hohen Dotierstoffkonzentration – abgeschieden werden, woran sich das Abscheiden einer spannungserzeugenden Komponente anschließt. In anderen Ausführungsformen kann es geeignet sein, lediglich die Dotierstoffkonzentration zu modifizieren, indem ein dotiertes Halbleitermaterial ohne eine spannungserzeugende Komponente abgeschieden wird. Da insbesondere das Bilden der Vertiefung durch das Ausbilden oxidierter Bereiche **220** eine präzise Steuerung der Tiefe **221a** ermöglicht, kann ein präziseres Dotierstoffprofil im Vergleich zum konventionellen Prozessablauf, wie er mit Bezug zu den [Fig. 1a](#) bis [Fig. 1d](#) beschrieben ist, erreicht werden.

**[0038]** [Fig. 2e](#) zeigt schematisch das Bauelement **200** nach der Entfernung der zu entfernenden Abstandselemente **207** und mit dem Material **230**, das in dem vorliegenden Beispiel als ein Material gezeigt ist, das eine spannungserzeugende Schicht **233** und eine nicht spannungserzeugende Schicht **234** aufweist. D. h., die spannungserzeugende Schicht **233** kann ein Material aufweisen, das nicht genau mit der Gitterstruktur und/oder der Gitterkonstante der Halbleiterschicht **202** übereinstimmt, wohingegen die nicht spannungserzeugende Schicht **234** das gleiche kristalline Material wie die Halbleiterschicht **202** aufweisen kann. Die Schichten **233** und **234** können während des epitaktischen Wachstumsprozesses durch entsprechendes Anwenden geeigneter Vorstufenmaterialien hergestellt werden. Beispielsweise

kann die Schicht **233** Silizium und Germanium oder Silizium und Kohlenstoff aufweisen, wohingegen die Schicht **234** Silizium aufweisen kann, wenn die Halbleiterschicht **202** aus Silizium aufgebaut ist.

**[0039]** Das Entfernen des Abstandselements **207** und der Deckschicht **205** kann so ausgeführt werden, wie dies in dem konventionellen Prozessablauf beschrieben ist und kann in einer speziellen Ausführungsform durch heiße Phosphorsäure erreicht werden, wenn das Abstandselement **207** und die Deckschicht **205** im Wesentlichen Siliziumnitrid aufweisen. Danach kann ein konventioneller Prozessablauf zur Herstellung eines Feldeffekttransistors an dem Bauelement **200** ausgeführt werden, wobei abhängig davon, ob das Material **230** eine Dotierstoffspezies enthält oder nicht, eine effizientere Dotierstoffprofilierung und/oder ein geringeres thermisches Budget erreicht werden kann.

**[0040]** [Fig. 2f](#) zeigt schematisch das Bauelement **200** in einem sehr fortgeschrittenen Herstellungsstadium, wobei mehrere Abstandselemente **209**, **210** und **212** benachbart zu der Gateelektrode **203** ausgebildet sind. Ferner sind Erweiterungsgebiete **213** und in Verbindung dazu entsprechende Source- und Draingebiete **214** ausgebildet, um das Kanalgebiet **215** einzuschließen. Es sollte beachtet werden, dass der Transistor **200** mit den mehreren Abstandselementen, wie sie in [Fig. 2f](#) gezeigt sind, lediglich anschaulicher Natur ist und dass eine beliebige andere Seitenwandabstandselementsstruktur angewendet werden kann, wenn dies für eine spezifische Bauteilgestaltung geeignet ist.

**[0041]** Die Herstellung des Transistors **200**, wie er gezeigt ist, kann im Wesentlichen die gleichen Prozesssequenzen enthalten, wie sie bereits mit Bezug zu [Fig. 1d](#) beschrieben ist, d. h., das Abstandselement **209**, das beispielsweise in Form einer Oxidbeschichtung vorliegt, kann abgeschieden werden und nachfolgend kann eine zusätzliche Beschichtung **206a** gebildet werden, wie dies in dem konventionellen Prozessablauf beschrieben ist. Das Abstandselement **209** kann auch in Form eines Nitridabstandselements vorgesehen werden, wie dies auch in dem konventionellen Prozessablauf beschrieben ist. Das Abstandselement **209** kann als ein Offset bzw. Versatz für einen entsprechenden Implantationszyklus zur Bildung eines Dotierstoffprofils in der Nähe der Gateelektrode **203** benutzt werden. Danach kann das Abstandselement **210** beispielsweise aus Siliziumnitrid durch gut etablierte Prozesstechniken gebildet werden und kann als eine weitere Implantationsmaske zum Profilieren der Erweiterungsgebiete **213** verwendet werden. Nach der Ausbildung einer weiteren Beschichtung **211**, die beispielsweise Siliziumdioxid aufweist, kann das Abstandselement **212** strukturiert und in einer nachfolgenden Implantationssequenz verwendet werden, um damit die Drain- und

Sourcegebiete **214** zu bilden. Schließlich wird eine geeignet gestaltete Ausheizsequenz ausgeführt, um die Dotierstoffe zu aktivieren und um zumindest teilweise durch die Implantation hervorgerufene Schäden in den entsprechenden Gebieten in der Halbleiterschicht **202** und dem Material **230** zu rekristallisieren. In Ausführungsformen, in denen eine hohe Dotierstoffkonzentration während des epitaktischen Wachsens des Materials **230** angewendet wird, können die ohne Implantation eingeführten Dotierstoffe bei einem geeigneten Profilieren der Erweiterungsgebiete **213** und der Drain- und Sourcegebiete **214** unterstützend sein, ohne dass diese zu einer Schädigung des Kristalls beitragen. Folglich kann die Implantationssequenz an die Dotierstoffkonzentration, wie sie abgeschieden wurde, angepasst werden, wodurch die Anforderungen an die Ausheizzyklen geringer und/oder wodurch ein präziseres definiertes Dotierstoffprofil geschaffen wird.

**[0042]** Danach kann die weitere Bearbeitung fortgesetzt werden, indem beispielsweise Silizidgebiete in dem Material **230** und der Gateelektrode **203** durch gut etablierte Silizidierungsprozesse gebildet werden. In anderen Prozessstrategien ist ein Metallsilizid in dem Material **230** unter Umständen nicht erforderlich.

**[0043]** Es gilt also, durch Bereitstellen des Materials **230**, das eine Dotierstoffspezies und/oder eine spannungserzeugende Komponente enthält, können die Bauteileigenschaften verbessert werden. Insbesondere, wenn eine spannungserzeugende Komponente in dem Gebiet **230** vorhanden ist, kann die Ladungsträgerbeweglichkeit verbessert und damit die Stromtreiberfähigkeit des Transistors **200** für eine gegebene Rate an Leckstrom angehoben werden. Ferner kann der Transistor **200** in Übereinstimmung mit gut etablierten Prozessabläufen zur Ausbildung erhöhter Drain- und Sourcegebiete hergestellt werden, wobei insbesondere das Bilden der Vertiefung in der Halbleiterschicht **202** durch eine lokale Oxidation zum Dünnen der Halbleiterschicht **202** für eine verbesserte Steuerungsmöglichkeit für die Dicke der Halbleiterschicht vor dem selektiven epitaktischen Wachstumprozess sorgt, was insbesondere vorteilhaft für SOI-Bauteile ist, wodurch in stärkerem Maße das Transistorleistungsverhalten dieser Bauelemente verbessert wird.

**[0044]** Mit Bezug zu den [Fig. 3a](#) bis [Fig. 3f](#) werden nun weitere anschauliche Ausführungsformen der vorliegenden Erfindung beschrieben.

**[0045]** [Fig. 3a](#) zeigt schematisch eine Querschnittsansicht des Transistors **300** während eines anfänglichen Herstellungsstadiums. Der Transistor **300** umfasst ein Substrat **301** mit einer darauf ausgebildeten, im Wesentlichen kristallinen Halbleiterschicht **302**, etwa einer Siliziumschicht. Lokal oxidierte Bereiche

**320** sind benachbart zu einer Oxidationsmaske **340** gebildet, die beispielsweise Siliziumnitrid aufweisen kann, das auf einer dünnen Siliziumdioxid-Ätzstoppschicht **344** gebildet ist. Die laterale Abmessung der Oxidationsmaske **340**, die durch den Doppelpfeil **345** gekennzeichnet ist, kann so gewählt werden, dass diese als ein Ersatz für eine Elektrodenstruktur dient, die nach dem Entfernen der Oxidationsmaske **340** zu bilden ist, wobei die tatsächliche Abmessung **345** deutlich eine gewünschte Länge der zu bildenden Gatestruktur übersteigen kann. Der oxidierte Bereich **320** kann durch ein beliebiges geeignetes Oxidationsverfahren gebildet werden, beispielsweise durch Einbringen der Struktur **300** in eine oxidierende Umgebung und/oder durch Aufbringen einer oxidierenden Lösung auf das Bauelement **300**. Hinsichtlich einer Dicke des oxidierten Bereichs **320** gelten die gleichen Kriterien, wie sie zuvor mit Bezug zu [Fig. 2b](#) dargelegt sind.

[0046] Das in [Fig. 3a](#) gezeigte Bauelement **300** kann durch gut etablierte Techniken hergestellt werden, die das Abscheiden einer Siliziumnitridschicht, das Strukturieren derselben mittels Photolithographie zur Ausbildung der Oxidationsmaske **340** und danach das Oxidieren der Struktur **300** zur Bildung des oxidierten Bereichs **320** enthalten. Anschließend kann eine Implantation **341**, die möglicherweise geneigte Implantationssequenzen **342** zur Schaffung eines spezifizierten Dotierstoffprofils in der Halbleiterschicht **302** enthalten kann, ausgeführt werden. In anderen Ausführungsformen können die Implantationszyklen **341** und **342** zu diesem Zeitpunkt weggelassen werden, und können in einer späteren Herstellungsphase ausgeführt werden, wie dies später beschrieben ist. Danach wird der oxidierte Bereich **320** selektiv entfernt, beispielsweise durch Anwenden von Fluorwasserstoff (HF), um entsprechende Vertiefungen (nicht gezeigt) benachbart zu der Oxidationsmaske **340** zu bilden. Anschließend können Vorreinigungsprozesse ausgeführt werden, und danach wird ein epitaktischer Wachstumsprozess durchgeführt, um ein Material benachbart zu der Oxidationsmaske **340** mit einer Höhe entsprechend den Entwurfsanforderungen abzuscheiden.

[0047] [Fig. 3b](#) zeigt schematisch das Bauelement **300** nach Beendigung des epitaktischen Wachstumsprozesses, wobei ein Material **330** benachbart zu der Oxidationsmaske **340** gebildet ist. Wie zuvor mit Bezug zu den [Fig. 2c](#) und [Fig. 2d](#) erläutert ist, kann das Material **330** eine spannungserzeugende Komponente und/oder eine Dotierstoffspezies aufweisen. Beispielsweise kann das epitaktisch gewachsene Material **330** eine spannungserzeugende Materialkomposition, beispielsweise eine Mischung aus Silizium/Germanium oder Silizium/Kohlenstoff, die eine erste Schicht **333** bildet, gefolgt von einer zweiten Schicht **334**, die beispielsweise Silizium in dotierter oder nicht dotierter Form aufweist, enthalten. In ähn-

licher Weise kann die erste Schicht **333** eine spezifizierte Dotierstoffkonzentration zusätzlich oder alternativ zu der spannungserzeugenden Komponente aufweisen, um damit eine entsprechende Ionenimplantation zur Ausbildung von Drain- und Sourcegebieten zu ersetzen oder zu ergänzen. Dazu kann der Anteil der Dotierstoffspezies entsprechend variiert oder eingestellt werden während des epitaktischen Wachstumsprozesses und die Tiefe, d. h. eine Dicke des oxidierten Bereichs **320**, kann entsprechend eingestellt werden, wie dies in ähnlicher Weise mit Bezug zu [Fig. 2d](#) erläutert ist. In anderen Ausführungsformen kann zusätzlich oder als eine Alternative zu dem Einführen einer Dotierstoffspezies in das Material **330** eine weitere Implantation **343** ausgeführt werden, um Source- und Draingebiete **314** zu bilden. Danach wird die Oxidationsmaske **340** selektiv entfernt, beispielsweise durch Anwenden heißer Phosphorsäure, und eine entsprechende Abstandsschicht kann in konformer Weise abgeschieden werden.

[0048] [Fig. 3c](#) zeigt schematisch das Bauelement **300** nach Beendigung der obigen Prozesssequenz. Das Bauelement **300** enthält eine Öffnung **350** und eine Abstandsschicht mit einer ersten Schicht **351** und einer zweiten Schicht **352**, die konform in der Öffnung **350** und auf der Oberseite des Materials **330** gebildet sind. Die erste Schicht **352** kann ein beliebiges geeignetes Material zur Bildung einer Gateisolationsschicht, etwa ein stickstoffhaltendes Siliziumdioxid mit einer erforderlichen Dicke aufweisen, während die zweite Schicht **351** Siliziumnitrid mit einer Dicke aufweisen kann, um eine letztlich erforderliche Gatelänge **353** zu definieren. Ferner sind Erweiterungsgebiete **313** benachbart zu den Drain- und Sourcegebieten **314** ausgebildet.

[0049] Ein typischer Prozessablauf zur Herstellung des Bauteils, wie es in [Fig. 3c](#) gezeigt ist, kann die folgenden Prozesse aufweisen. Vor oder nach dem Entfernen der Oxidationsmaske **340** und der Ätzstoppschicht **344** kann ein Ausheizzyklus durchgeführt werden, der so gestaltet ist, dass die Erweiterungsgebiete **313** durch Dotierstoffdiffusion gebildet werden, wobei insbesondere die hohe Dotierstoffkonzentration der Schicht **333** den Diffusionsprozess zur Bildung der Erweiterungsgebiete **313** speist. Während des Ausheizzyklusses können Kristallschäden im Wesentlichen ausgeheilt werden, wenn vorhergehende Implantationssequenzen, etwa die Implantation **343** und/oder die Implantationen **341** und **342** ausgeführt worden sind. Nach dem Entfernen der Oxidationsmaske **340** wird die Schicht **342** konform mit einer Dicke und einer Zusammensetzung gebildet, wie sie für eine Gateisolationsschicht erforderlich ist. Dazu können gut etablierte Oxidations- und/oder Abscheidetechniken angewendet werden. Nachfolgend wird die Schicht **351** beispielsweise durch plasmaunterstützte chemische Dampfabcheidung aufgebracht, wobei eine Dicke der Schicht **351** so einge-

stellt wird, um eine gewünschte Gatelänge **353** in der Öffnung **350** zu erreichen. Folglich ist die Gatelänge **353** letztlich durch einen Abscheidprozess anstatt durch einen photolithographischen Strukturierungsvorgang bestimmt. Anschließend kann die Schicht **351** anisotrop selektiv zu der Schicht **352** geätzt werden, wodurch die Schicht **352** in der Öffnung **350** freigelegt wird.

**[0050]** [Fig. 3d](#) zeigt schematisch die resultierende Struktur nach Beendigung des anisotropen Ätzprozesses. Ein Abstandselement **351a** ist benachbart zu den Seitenwänden der Öffnung **350** gebildet und die Schicht **352** ist in der Öffnung **350** freigelegt, die nunmehr auch als eine Gateisolationsschicht **304** bezeichnet wird.

**[0051]** [Fig. 3e](#) zeigt schematisch das Bauelement **300** mit einer Schicht aus Gateelektrodenmaterial, etwa Polysilizium, die als **303a** bezeichnet ist, und die so abgeschieden ist, um die Öffnung **350** vollständig zu füllen. Das Abscheiden der Schicht **303a** kann durch moderne chemische Dampfabscheidetechniken erreicht werden. Anschließend kann überschüssiges Material der Schicht **303a** durch Ätzen und/oder chemisch-mechanisches Polieren (CMP) entfernt werden, wobei vorzugsweise der Abtragungsprozess nach dem Freilegen der Schicht **334** fortgesetzt wird, um eine zuverlässige elektrische Isolierung des Polysiliziums in der Öffnung **350** und der Schicht **334**, die davon durch das Abstandselement **351a** und der Gateisolationsschicht **304** getrennt ist, zu erreichen.

**[0052]** [Fig. 3f](#) zeigt schematisch das Bauelement **300** nach dem Entfernen des überschüssigen Materials der Schicht **303a**, wodurch eine Gateelektrode **303** gebildet wird, die elektrisch von den benachbarten erhöhten Drain- und Sourcegebieten **334** isoliert ist.

**[0053]** Folglich kann durch Bilden einer Vertiefung in der Halbleiterschicht **302** mittels der Oxidationsmaske **340** und einem selektiven Oxidationsprozess vor einem epitaktischen Wachstumsprozess zur Ausbildung der erhöhten Drain- und Sourcegebiete **334** eine Dotierstoffspezies und/oder eine spannungserzeugende Komponente effizient in die Nähe eines Kanalgebiets **315** eingeführt werden, bevor eine entsprechende Gateelektrodenstruktur gebildet wird. In einer speziellen Ausführungsform weist zumindest die Schicht **333** das epitaktisch gewachsene Material **330** eine spannungsinduzierende Komponente, etwa Silizium/Germanium oder Silizium/Kohlenstoff, auf, wodurch eine Spannung, die durch **331** bezeichnet ist, in dem Kanalgebiet **315** ausgeübt wird, um damit die Ladungsträgerbeweglichkeit und damit die Leitfähigkeit darin zu erhöhen. Wie zuvor erläutert ist, kann die Beweglichkeit der Löcher für P-Kanal-Transistoren erhöht werden, indem eine Druckspannung

erzeugt wird, während die Beweglichkeit von Elektronen für einen N-Kanal-Transistor durch Erzeugen einer Zugspannung in dem Kanalgebiet **315** erhöht werden kann.

**[0054]** Es gilt also, die vorliegende Erfindung stellt eine effiziente Technik bereit, um eine Dotierstoffspezies und/oder eine spannungserzeugende Komponente in der Nähe eines Kanalgebiets eines Feldefekttransistors zu deponieren, indem in einer Halbleiterschicht eine Vertiefung vor dem Durchführen eines epitaktischen Wachstumsprozesses zur Ausbildung erhöhter Drain- und Sourcegebiete gebildet wird. In einigen Ausführungsformen wird die Vertiefung gebildet, indem die Halbleiterschicht selektiv oxidiert wird, wodurch ein hohes Maß an Steuerbarkeit beim Dünnen der darunter liegenden Halbleiterschicht erreicht wird. Folglich kann der Betrag der Spannung und/oder der Dotierstoffspezies, die in die Halbleiterschicht eingebracht werden, mit hoher Genauigkeit erzeugt werden, wodurch eine hohe Bauteilgleichförmigkeit erreicht wird. Unabhängig davon, ob eine Gateelektrodenstruktur vor oder nach dem epitaktischen Wachstumsprozess gebildet wird, wird dennoch ein hohes Maß an Kompatibilität mit etablierten konventionellen Prozessabläufen beibehalten.

**[0055]** Weitere Modifizierungen und Variationen der vorliegenden Erfindung werden für den Fachmann angesichts dieser Beschreibung offenkundig. Daher ist diese Beschreibung lediglich anschaulicher Natur und für die Zwecke gedacht, dem Fachmann die allgemeine Art und Weise des Ausführens der vorliegenden Erfindung zu vermitteln. Selbstverständlich sind die hierin gezeigten und beschriebenen Formen der Erfindung als die gegenwärtig bevorzugten Ausführungsformen zu betrachten.

## Patentansprüche

### 1. Verfahren mit:

Bilden einer Gateelektrode mit einer ersten Seitenwand und einer zweiten Seitenwand über einer Halbleiterschicht;  
Bilden einer ersten Vertiefung und einer zweiten Vertiefung in der Halbleiterschicht, wobei die erste Vertiefung und die zweite Vertiefung lateral von der ersten Seitenwand und der zweiten Seitenwand der Gateelektrode beabstandet sind; und  
epitaktisches Aufwachsen eines Materials in der ersten Vertiefung und in der zweiten Vertiefung, um ein erhöhtes Draingebiet und ein erhöhtes Sourcegebiet zu bilden.

2. Das Verfahren nach Anspruch 1, wobei das Bilden der ersten und der zweiten Vertiefungen umfasst:

Abdecken der ersten und der zweiten Seitenwand und eines Teils der Halbleiterschicht benachbart zu der Gateelektrode mit einem Abstandselement;

Oxidieren nicht abgedeckter Bereiche der Halbleiterschicht; und  
Entfernen der oxidierten Bereiche selektiv zu der Halbleiterschicht, um die erste Vertiefung und die zweite Vertiefung zu bilden.

3. Das Verfahren nach Anspruch 2, das ferner umfasst: Steuern der Oxidation der nicht abgedeckten Bereiche der Halbleiterschicht, um eine Tiefe der ersten Vertiefung und der zweiten Vertiefung auf einen vordefinierten Sollwert einzustellen.

4. Das Verfahren nach Anspruch 1, wobei das epitaktisch gewachsene Material mindestens eine Komponente aufweist, die ein Kristallgitter mit einer Gitterkonstante bildet, die sich von jener der Halbleiterschicht unterscheidet.

5. Das Verfahren nach Anspruch 4, das ferner Einstellen einer Spannung in einem Kanalgebiet, das unterhalb der Gateelektrode angeordnet ist, umfasst, indem eine Tiefe der ersten und der zweiten Vertiefung und/oder die Zusammensetzung des epitaktisch gewachsenen Materials gesteuert wird.

6. Das Verfahren nach Anspruch 4, wobei das epitaktisch gewachsene Material mindestens eine Komponente aufweist, die ein Gitter mit einer Gitterkonstanten bildet, die im Vergleich zu jener der Halbleiterschicht größer ist, um eine Druckspannung in einem P-dotierten Kanalgebiet, das unter der Gateelektrode angeordnet ist, zu erzeugen.

7. Das Verfahren nach Anspruch 4, wobei das epitaktisch gewachsene Material mindestens eine Komponente aufweist, die ein Gitter mit einer Gitterkonstanten bildet, die kleiner als jene der Halbleiterschicht ist, um damit eine Zugspannung in einem N-dotierten Kanalgebiet zu erzeugen, das unter der Gateelektrode angeordnet ist.

8. Das Verfahren nach Anspruch 1, wobei das epitaktische gewachsene Material mindestens zwei unterschiedliche Schichten mit unterschiedlicher Gitterkonstante aufweist.

9. Das Verfahren nach Anspruch 8, wobei eine zuletzt gebildete Schicht des epitaktisch gewachsenen Materials das gleiche Material ist, das die Halbleiterschicht bildet.

10. Das Verfahren nach Anspruch 1, wobei das epitaktisch gewachsene Material einen Dotierstoff mit einem Leitfähigkeitstyp aufweist, der entgegengesetzt ist zu dem Leitfähigkeitstyp eines Kanalgebiets, das unter der Gateelektrode angeordnet ist.

11. Das Verfahren nach Anspruch 2, das ferner das zumindest teilweise Entfernen des Abstandselements umfasst.

12. Das Verfahren nach Anspruch 11, das ferner Erzeugen eines spezifizierten Dotierstoffprofils unterhalb und benachbart zu den ersten und zweiten Seitenwänden mittels Ionenimplantation umfasst.

13. Verfahren mit:  
Bilden einer Oxidationsmaske über einer Halbleiterschicht;  
selektives Oxidieren freigelegter Bereiche der Halbleiterschicht;  
Entfernen der selektiv oxidierten Bereiche der Halbleiterschicht, um eine Vertiefung benachbart zu der Oxidationsmaske zu bilden; und  
epitaktisches Wachsen eines Materials in der Vertiefung, so dass dieses sich über einen Oberflächenbereich der Halbleiterschicht erstreckt, der durch die Oxidationsmaske abgedeckt ist, wobei das Material eine Gitterkonstante aufweist, die sich von jener des Halbleitermaterials, das die Halbleiterschicht bildet, unterscheidet, um damit eine Spannung in einem Gebiet benachbart zu und unter der Oxidationsmaske zu erzeugen.

14. Das Verfahren nach Anspruch 13, das ferner umfasst: Entfernen der Oxidationsmaske, um den Oberflächenbereich freizulegen; und Bilden einer Gateelektrodenstruktur über dem freigelegten Oberflächenbereich.

15. Das Verfahren nach Anspruch 13, wobei das epitaktische Wachsen eines Materials das Einführen einer Dotierstoffspezies in das Material umfasst.

16. Das Verfahren nach Anspruch 13, das ferner umfasst: Steuern der selektiven Oxidation des freigelegten Bereichs der Halbleiterschicht, um eine Tiefe der Vertiefung auf einen vordefinierten Sollwert einzustellen.

17. Das Verfahren nach Anspruch 13, das ferner umfasst: Einstellen einer Spannung in einem Kanalgebiet, das unter der Oxidationsmaske angeordnet ist, durch Steuern einer Tiefe der Vertiefung und/oder der Zusammensetzung des epitaktisch gewachsenen Materials.

18. Das Verfahren nach Anspruch 13, wobei das epitaktisch gewachsene Material mindestens eine Komponente aufweist, die ein Gitter mit einer Gitterkonstante bildet, die größer ist als jene der Halbleiterschicht, um damit eine Druckspannung in einem P-dotierten Kanalgebiet, das unter der Oxidationsmaske angeordnet ist, zu erzeugen.

19. Das Verfahren nach Anspruch 13, wobei das epitaktisch gewachsene Material mindestens eine Komponente aufweist, die ein Gitter mit einer Gitterkonstante bildet, die kleiner ist als jene des Halbleitermaterials, um damit eine Zugspannung in einem N-dotierten Kanalgebiet, das unterhalb der Oxidati-

onsmaske angeordnet ist, zu erzeugen.

20. Transistor mit:  
einer Gateelektrodenstruktur mit einer Gateisolierschicht, die eine Gateelektrode von einem Kanalgebiet, das aus einem dotierten ersten Halbleitermaterial mit einer ersten Gitterkonstante gebildet ist, trennt; einem Draingebiet und einem Sourcegebiet, die benachbart zu der Gateelektrodenstruktur ausgebildet sind und das erste Halbleitermaterial und ein zweites Material aufweisen, wobei das zweite Material eine zweite Gitterkonstante besitzt, die sich von der ersten Gitterkonstante unterscheidet, um damit eine Spannung in dem Kanalgebiet zu erzeugen.

21. Der Transistor nach Anspruch 20, wobei das Draingebiet und das Sourcegebiet eine Kontaktfläche aufweisen, die in Bezug auf das verformte Kanalgebiet erhöht ist.

22. Der Transistor nach Anspruch 20, wobei das Kanalgebiet P-dotiert ist und wobei die zweite Gitterkonstante größer als die erste Gitterkonstante ist.

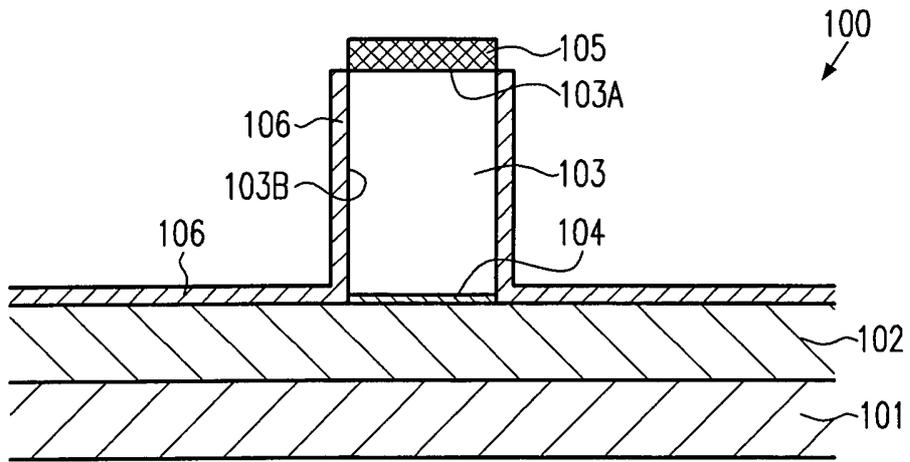
23. Der Transistor nach Anspruch 20, wobei das Kanalgebiet N-dotiert ist und die zweite Gitterkonstante kleiner als die erste Gitterkonstante ist.

24. Der Transistor nach Anspruch 22, wobei das erste Halbleitermaterial Silizium aufweist und wobei das zweite Material Germanium aufweist.

25. Der Transistor nach Anspruch 22, wobei das erste Halbleitermaterial Silizium aufweist und wobei das zweite Material Kohlenstoff aufweist.

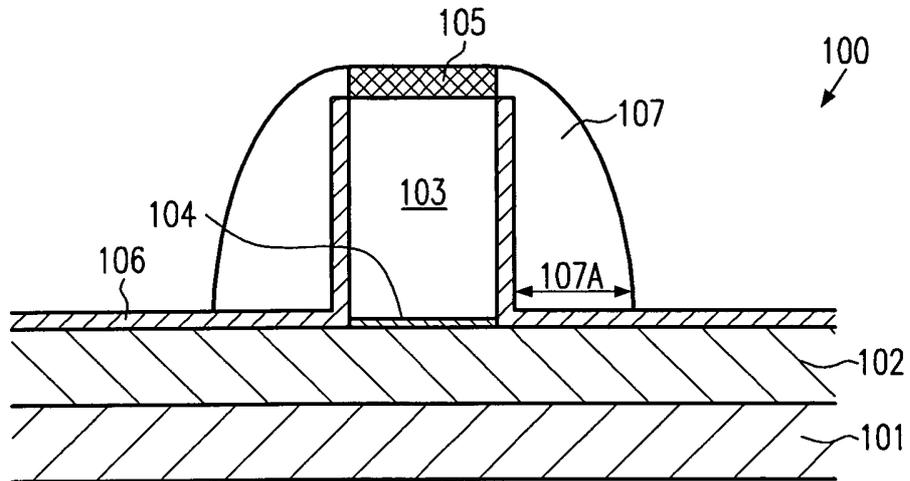
Es folgen 6 Blatt Zeichnungen

Anhängende Zeichnungen



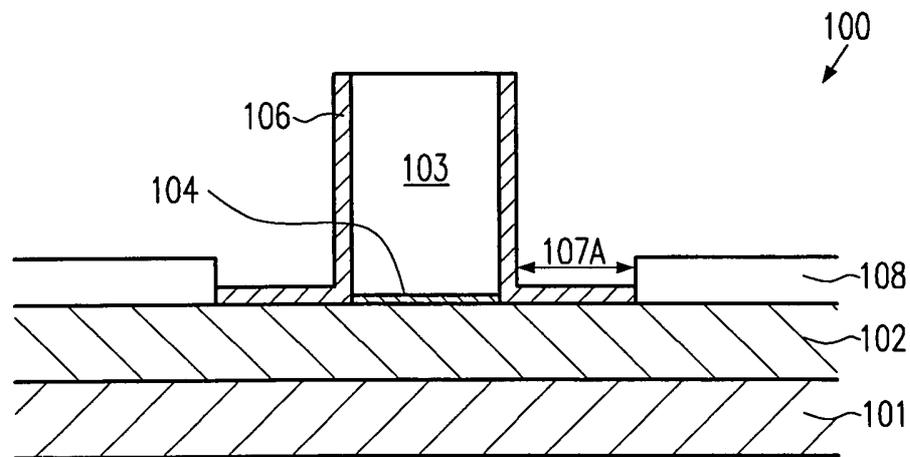
**Fig.1a**

(Stand der Technik)



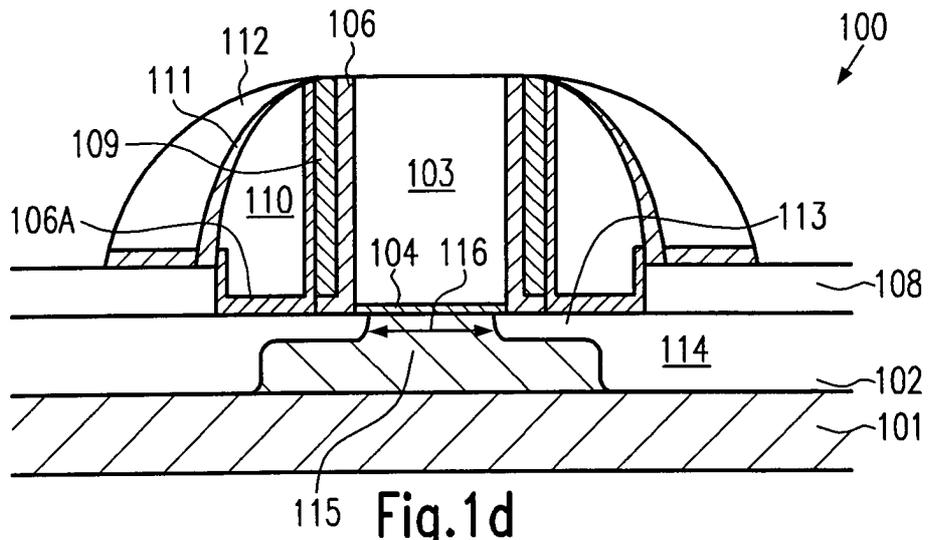
**Fig.1b**

(Stand der Technik)

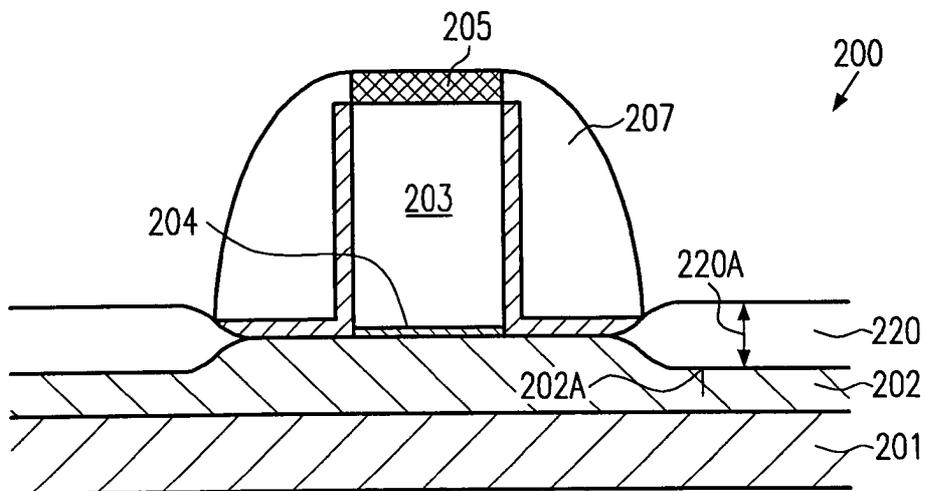
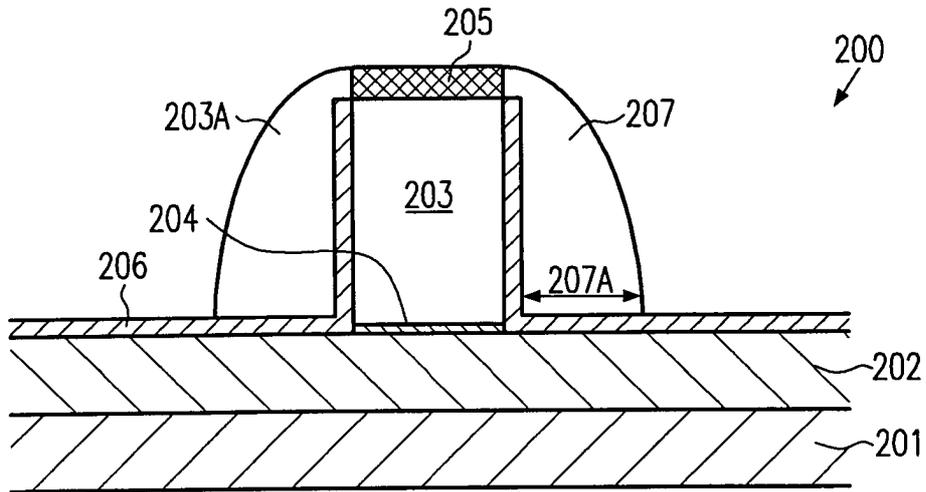


**Fig.1c**

(Stand der Technik)



(Stand der Technik)



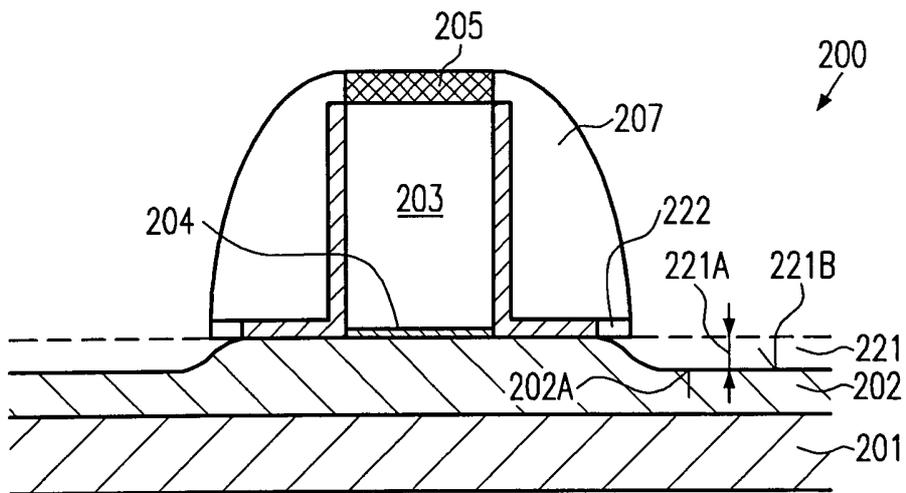


Fig.2c

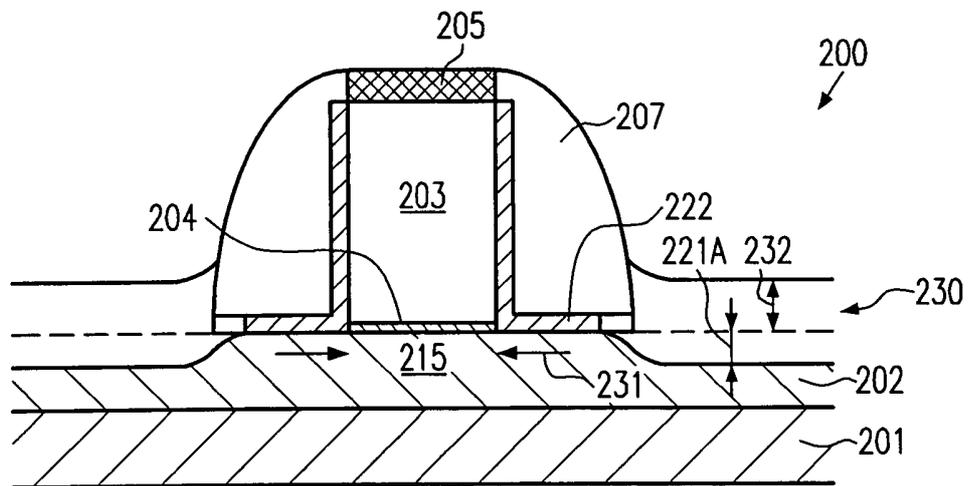


Fig.2d

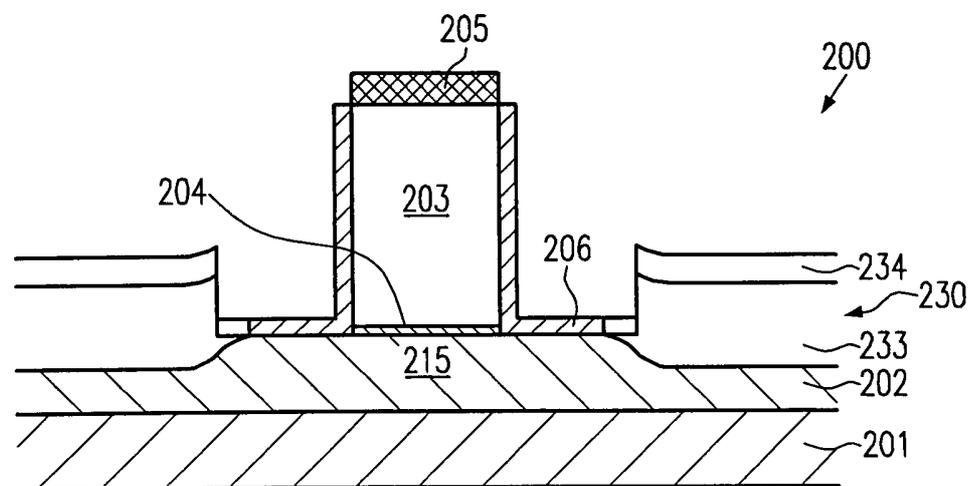


Fig.2e



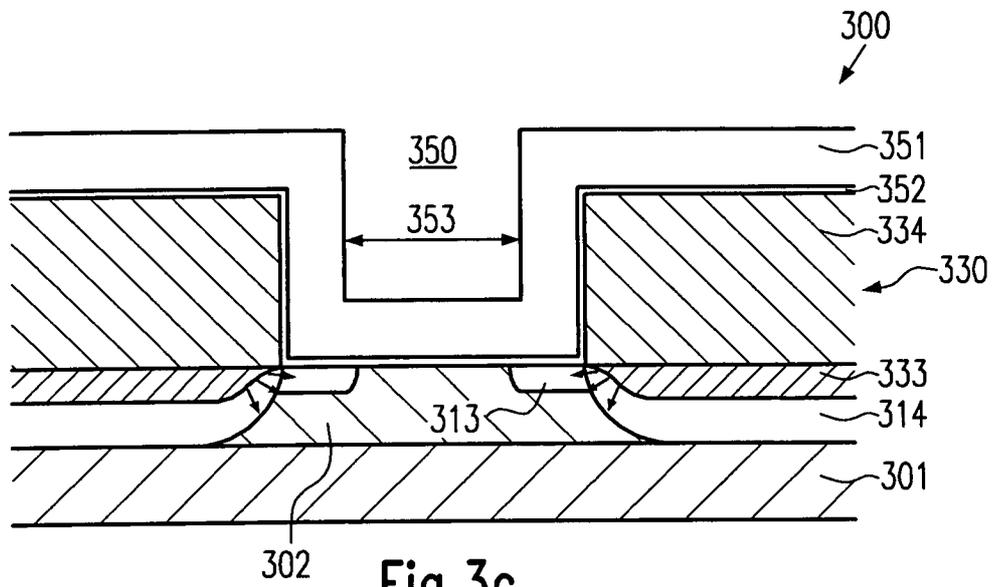


Fig.3c

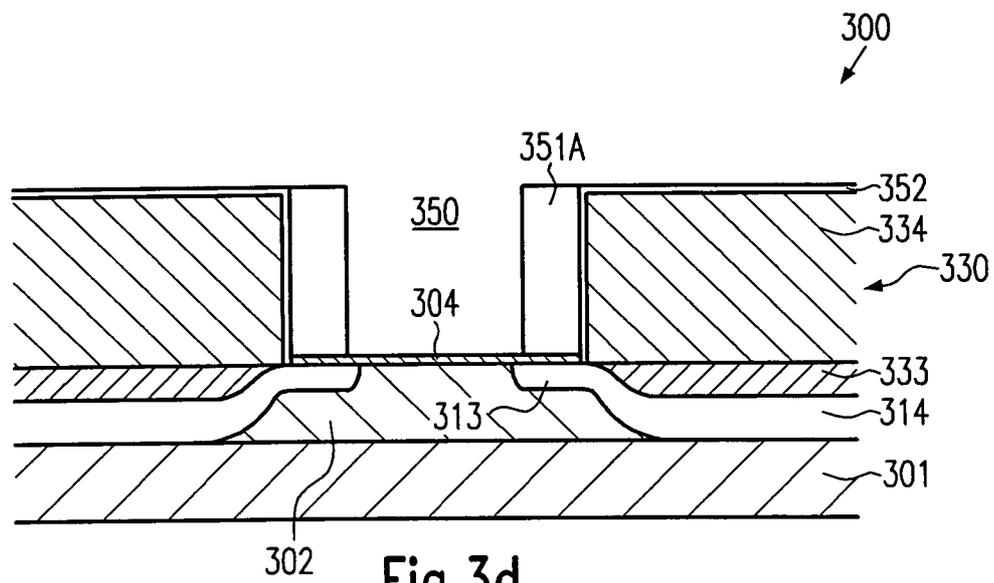


Fig.3d

