СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1168940 A

(51) 4 G 06 F 9/22

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ВСЕСОЮЗНАЯ 13 13 БИБЛИОТЕКА

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3705144/24-24
(22) 28.02.84
(46) 23.07.85. Бюл. № 27
(72) В. А. Кривего, Ю. А. Валюкевич, Л. Д. Кривобокова и В. В. Кривего
(71) Шахтинский технологический институт бытового обслуживания
(53) 681.325(088.8)
(56) Авторское свидетельство СССР № 342380, кл. G 06 F 9/00, 1968.

Авторское свидетельство СССР № 331387, кл. G 06 F 9/22, 1970.

(54)(57) МИКРОПРОГРАММНОЕ УСТРОЙСТВО УПРАВЛЕНИЯ, содержащее генератор тактовых импульсов, распределитель импульсов, регистр микрокоманд, блок памяти микрокоманд и счетчик адреса, причем группа выходов кода микроопераций регистра микрокоманд является группой выходов устройства, группа информационных входов регистра микрокоманд соединена с группой выходов кода операций блока памяти микрокоманд, вход записи регистра микрокоманд соединен с первым выходом распределителя импульсов, вход которого соединен с выходом генератора тактовых импульсов, *отличающееся* тем, что, с целью сокращения оборудования, оно содержит блок памяти адресов, сумматор, регистр адреса и элемент И, причем второй выход распределителя импульсов соединен с первым входом элемента И и с входами записи регистра адреса и блока памяти адресов, вход чтения которого соединен с первым выходом распределителя импульсов, выход признака режима регистра микрокоманд соединен с вторым входом элемента И, выход которого соединен со счетным входом счетчика адреса, группа информационных входов которого соединена с группой выходов кода ветвления микропрограмм блока памяти микрокоманд, выход признака ветвления которого соединен с входом записи счетчика адреса, группа информационных выходов которого соединена с группой адресных входов блока памяти адресов, группа информационных входов которого соединена с группой выходов сумматора, первая группа входов которого соединена с группой выходов кода модификации адреса блока памяти микрокоманд, группа адресных входов которого соединена с второй группой входов сумматора и с группой выходов регистра адреса, группа информационных входов которого соединена с группой выходов блока памяти адресов.

(19) SU (11) 1168940 A

Изобретение относится к цифровой вычислительной технике и может быть использовано в качестве устройства синхронизации и управления в многоканальных вычислительных системах.

Цель изобретения — сокращение объема оборудования.

На фиг. 1 изображена функциональная схема устройства; на фиг. 2 — временная диаграмма, поясняющая его работу.

Устройство (фиг. 1) содержит генератор 1 тактовых импульсов, распределитель 2 импульсов, счетчик 3 адреса, элемент И 4, блок 5 памяти адресов, сумматор 6, регистр 7 адреса, блок 8 памяти микрокоманд, регистр 9 микрокоманд и группу выходов 10.

Генератор 1 тактовых импульсов предназначен для формирования опорной частоты импульсов, определяющих темп работы устройства, распределитель 2 необходим для формирования рабочей сетки управляющих синхроимпульсов, счетчик 3 адреса предназначен для формирования адреса блока 5 памяти адресов, содержащих физические адреса микропрограммных слов, элемент И 4 необходим для коммутации счетных импульсов, подаваемых на счетчик 3 адреса, фактически элемент И 4, управляемый от микропрограммы, задает режим работы устройства, блок 5 памяти адресов предназначен для хранения начальных и промежуточных физических адресов микрокомандных слоев, сумматор 6 формирует (модифицирует) физические адреса микрокомандных сообщений в зависимости от кода инкремента, программируемого пользователем в блоке 8 памяти микрокоманд, регистр адреса обеспечивает хранение физических адресов микропрограммных сообщений на цикл работы устройства, блок 8 памяти микрокоманд служит для хранения микропрограмм, управляющих микрокоманд и кодов инкремента, регистр 9 обеспечивает хранение микрокоманд на цикл работы устройства, выходы 10 устройства обеспечивают вывод микрокоманд на соответствующие канальные терминалы.

Устройство работает следующим образом.

Микропрограммное устройство управления работает в одном из трех режимов: последовательного, параллельного и параллельно-последовательного формирования микропрограмм.

Соответствующий режим работы устройства управления задается пользователем устройства путем соответствующего программирования блока 8 памяти микропрограмм.

Последовательное формирование микропрограмм — режим, когда микропрограммы для соответствующего канала формируются одна за другой, т.е. сначала формируется ряд микрокомандных слов, составляющих микропрограмму для первого канала, затем для второго и т.д.

Номер канала, для которого формируется микропрограмма, указывается старшими разрядами счетчика 3 адреса (младшие k разрядов служат для адресации микропрограммных слов).

Режим параллельного формирования микропрограмм — режим, при которых микропрограммы формируются для всех каналов параллельно, т.е. формируется первое микрокомандное слово для первого, второго и т.д. каналов, затем второе микрокомандное слово для первого, второго и т.д. каналов.

Номер канала в этом режиме указывается младшими разрядами счетчика 3 адреса (старшие [n—k] разрядов указывают номер микрокомандного слова).

В параллельно-последовательном режиме одна за другой формируются микрокоманды для соответствующих каналов, однако этот процесс может быть прерван для формирования полной (или ее части) микропрограммы для i-го канала.

Устройство микропрограммного управления имеет два вида адресации. Первое обеспечивает адресацию каналов или микрокоманд (в зависимости от режима) и осуществляется через счетчик 3 адресов.

Второй вид адресации обеспечивает выборку (считывание, формирование) микрокомандных слов, т.е. адресует блок 8 памяти микрокоманд. Этот вид адресации реализуется путем выборки физического адреса из блока 5, его модификацией через сумматор 6 кодом инкремента, формируемым на выходе блока 8 памяти микрокоманд.

Соответствующий режим работы устройства во многом зависит от режима работы адресного счетчика 3, поскольку он определяет физический адрес микропрограммных слов, порядок и темп их формирования. Например, если счетчик 3 адреса каждый цикл изменяет свое состояние естественным порядком (т.е. каждое предыдущее состояние на каждом цикле отличается от следующего на единицы), то микропрограмма распределяется по каналам линейно, т.е. каждому каналу (номер которого также адресуется счетчиком 3) соответствует свое микропрограммное слово. Если же счетчик 3 не изменяет свое состояние, то все это время микрокомандные слова, формируемые с заданным темпом, предназначены для канала, номер которого зафиксирован на счетчике 3.

Тактирование и синхронизация работы всех узлов устройства производится генератором 1 тактовых импульсов и распределителем 2, которые формируют цикл работы устройства, состоящий из двух тактовых импульсов (фиг. 2) СИ1 и СИ2.

На фиг. 2 представлен один из возможных вариантов реализации временной диаграммы устройства, где: T — период такто-

вых импульсов, формируемых генератором 1; Тц — время цикла (длительность цикла); Тв — время выборки информации из блока 8 памяти микрокоманд; Тм — время удержания одной микрокоманды на регистре 9 при условии ее неповторяемости в следующем (или предыдущем) микрокомандном слове; Тсч — цикл считывания полного адреса из блока 5 памяти адресов и формирование модифицированного адреса микрокомандного слова; Тзп — время записи блока 5 памяти адресов модифицированного адреса.

По переднему фронту первого (СИ1) синхроимпульса производится запись i-го микропрограммного слова (его части Q_1 и X_2) в регистр 9, при этом микропрограммное слово подается на информационные входы регистра и синхроимпульс на вход записи, регистр работает по типу «защелки».

По переднему фронту второго (СИ2) импульса производится запись адресного кода, выбираемого из соответствующей ячейки блока 5 памяти адресов в регистр 7 адреса, запись производится аналогичным образом (как и в регистр 9). За время действия второго тактового импульса производится модификация адреса для очередного (следующего за i-м) микропрограммного слова. С этой целью код адреса, зафиксированный в регистре адреса, подается на группу входов Б сумматора 6, а на входы А сумматора 6 подается код инкремента Q_2, образованная сумма фиксируется в ячейке блока 5 памяти, по адресу с которого был считан текущий код адреса микропрограммы, зафиксированный в регистре 7 адреса.

По заднему фронту СИ2 изменяется (увеличивается) состояние счетчика 3 адреса, если по разряду X_2 буферного регистра равен единице, т.е. производится разрешение элемента И 4.

В следующем цикле описанная работа устройства повторяется.

Формат микропрограммных слоев может быть представлен в виде следующих составных частей: Q_1 — группа разрядов (поля) для кодирования микрокоманд (Y_1—Y_n); Q_2 — группа разрядов (поля) для кодирования кода инкремента (модификатора адреса) или номера канала; X_1 — бит, обеспечивающий запись адресного кода в счетчик 3 адреса; X_2 — бит, обеспечивающий управление элементом И 4, т.е. задающий режим работы устройства; Q_3 — группа разрядов, обеспечивающих ветвление микропрограмм и приоритетность обработки каналов.

Блок 5 памяти адресов представляет собой матрицу оперативного ЗУ, объем которой определяется формулой

$$Q_{оэу} = N \cdot m,$$

где N — количество каналов, обслуживаемых устройством;

m — суммарное количество микрокомандных слов по всем каналам, требующим адресации.

Условием работы устройства являются соотношения:

$$T_ц \geqslant 2(T_{сч} + \tau_1);$$
$$T_{зп} < T_в,$$

где τ_1 — время сквозного переноса в сумматоре 6;

$$T_{зп} < T_в.$$

Для большой детализации работы устройства микропрограммного управления рассмотрим каждый режим в отдельности.

В режиме последовательного формирования микропрограмм на счетчике 3 адреса фиксируется номер канала, для которого эта микропрограмма формируется.

Для простоты описания примем исходное состояние всех запоминающих элементов (счетчика 3 адреса, блока 5 памяти, регистра 7 адреса, регистра 9) равным нулю, а распределителя таким, чтобы он на первом выходе сформировал первый (СИ1) тактовый импульс.

Рассмотрим формирование микропрограмм для двух каналов, каждая (микропрограмма) из которых состоит из восьми микропрограммных слов, причем первая микропрограмма формирует синусоидальный сигнал для нулевого канала, а вторая — пилообразный сигнал для первого канала.

Текст микропрограммы для этого случая представлен в табл. 1.

Как видно из табл. 1 в первом и последующих циклах (до 12) код инкремента равен 01 (восьмичный). Таким образом, начиная с нулевого значения адреса микропрограммных слов, в нулевой ячейке блока 5 памяти интегрируется код адреса блока 8 памяти микрокоманд с дискретностью 01 для того, чтобы вернуть эту микропрограмму на нулевой адрес в двенадцатом цикле, к текущему адресу (13_8) прибавлен код инкремента (64_8) и единица к младшему разряду сумматора 6

001011	$+13_8$
+110100	$+64_8$
1	1
1000000	00_8

т.е. в двенадцатом цикле в нулевую ячейку блока 5 памяти заносится нулевой код адреса, и при возврате к нулевому каналу (содержимое счетчика 3 адреса равно «0») из нулевой ячейки блока 5 памяти выбирается нулевой код, значит процессы в первом, втором и т.д., циклах повторяются.

В двенадцатом цикле происходит суммирование единицы к содержимому счетчика 3 адреса (так как $X = 1$ и элемент И 4

разрешен). Следовательно, в 13-м цикле выбирается из блока 5 памяти ячейка с номером 01 и начинается формирование микропрограммы для первого канала. Так как микропрограмма для первого канала заняла 12 ячеек блока 8 памяти, то с учетом возможного резерва в первую ячейку блока 5 памяти вносится код (например) 14, значит, с учетом естественного хода программы (при котором код инкремента равен 01_8) за пятнадцать тактов в первой ячейке блока 5 памяти интегрируется код 17_8, а в шестнадцатом цикле, чтобы микропрограмму для второго канала вернуть в исходное состояние, код инкремента программируется равным 74_8, тогда при суммировании текущего кода и кода инкремента (с учетом наличия «1» для младшего разряда входа Б сумматора) на сумматоре образуется

$$\begin{array}{r} 001\ 111\ 17_8 \\ +\ 111\ 101\ 74_8 \\ \hline 001\ 100\ 14_8 \end{array}$$

т.е. в шестнадцатом цикле в первую ячейку блока 5 памяти занесен код 14_8, такой же как в начале работы.

Поскольку исходной предпосылкой было рассматривать работу устройства только в расчете на два канала, то коэффициент деления счетчика 3 адреса должен быть равным 2 (в общем случае он должен быть равным m, где m — количество каналов, обслуживаемых устройством). При добавлении «1» в шестнадцатом такте к содержимому счетчика 3 адреса получим 00_8, что обеспечит выборку содержимого нулевого адреса блока 5 памяти, следовательно, процесс формирования с первого цикла повторится.

В 1—16 циклах формируется значение кода микроопераций (представлены в графе 2 табл. 1).

Для наглядной демонстрации режима параллельного формирования микропрограмм перепишем табл. 1 в соответствующем виде в табл. 2.

Начиная как и в прежнем режиме работу с нулевого адреса, устройство микропрограммного управления в первом цикле формирует значение кода микроопераций (графа 2 табл. 2) для нулевого канала (графа 7), при этом код инкремента равен 01, а адрес следующего микропрограммного слова, образуемый в этом цикле на сумматоре 6, равен 01.

В этом же цикле в счетчик 3 адреса добавляется «1», значит информация, формируемая устройством на следующем цикле, предназначается для первого канала, а адрес микрокомандного слова формируется с содержимым первой ячейки блока 5 памяти (задается содержимым счетчика 3 адреса, равным в этом цикле 01), тогда адрес следующего микропрограммного слова, формируемый в этом цикле и фиксируемый в первой ячейке блока 5 памяти равен 15_8. Он складывается из начального значения адреса, зафиксированного в блоке 5 памяти, для первого канала (приняли равным 14_8) и кода инкремента 01_8. В этом же цикле содержимое счетчика адреса изменяется на 00_8, следовательно, в следующем (3-м) цикле адрес микрокомандного слова выполняется по содержимому нулевой ячейки блока 5 памяти, но там на первом цикле зафиксировал адрес 01.

Таким образом, цикличность формирования адресов, микроопераций и номеров каналов повторяется. Однако следует обратить внимание на порядок формирования конечного адреса микропрограммы, обеспечивающего ветвления микропрограммы на нулевой адрес.

С этой целью значение инкремента выбирается таким, чтобы текущее значение адреса микропрограммы и код инкремента образовали начальный адрес соответствующей микропрограммы.

Например, в 8, 16 и 24 циклах к текущему значению адреса микрооперации, равному 17_8, суммируется код инкремента 74_8, образуемая сумма 14_8 отображает начальный адрес микропрограммы по первому каналу

$$\begin{array}{rrr} 001 & 111 & 17_8 \\ 111 & 010 & 74_8 \\ \hline & 1 & 1_8 \\ \hline 001 & 010 & 14_8 \end{array}$$

а для нулевого канала

$$\begin{array}{rrr} 001 & 011 & 13_8 \\ 110 & 100 & 64_8 \\ & 1 & 1_8 \\ \hline 000 & 000 & 00_8 \end{array}$$

Параллельно-последовательный режим выполняется аналогично описанному с той разницей, что чередование микрокоманд, выполняемых устройством может быть смешанным, т.е. на выполнение одной микрокоманды для i-го канала в формируемой программе может программироваться несколько микрокоманд для k-го канала.

Кроме указанных отличий, следует отметить также возможность приоритетного ветвления микропрограмм, обеспечиваемого за счет группы разрядов Q_3 и X_1, программируемых пользователем в накопителе микропрограмм блока 8.

Приоритетность формирования микрокоманд для соответствующих каналов производится следующим образом.

Допустим, выполняется естественный ход поканальной адресации, т.е. счетчик 3 адреса работает в естественном порядке, суммируя «1» к предыдущему значению адреса. Этот процесс можно прервать, если в разрядах Q_3 установить адрес канала, которому

отдается приоритет. Например, формируется микрокоманда для второго канала (всего каналов 10) следующий в естественном порядке следования должен быть третий канал, для которого должно формироваться микрокомандное слово, однако в микрокомандном слове пользователь может запрограммировать (в разрядах Q_3) адресный код 10_8 и микрокоманду X_1, с помощью которой этот код вписывается в счетчик 3 адреса.

Следовательно, с второго канала устройство сразу начнет выполнять формирование микрокомандного слова для 10_8-го канала, в десятом канале может быть установлен адрес i-го канала и т.д. Такой режим адресации называется с назначаемым (обязательным) приоритетом.

Если же от момента назначенного адреса продолжается естественный порядок адресации остальных каналов, то такой режим адресации называется с относительным приоритетом (относительно названного адреса).

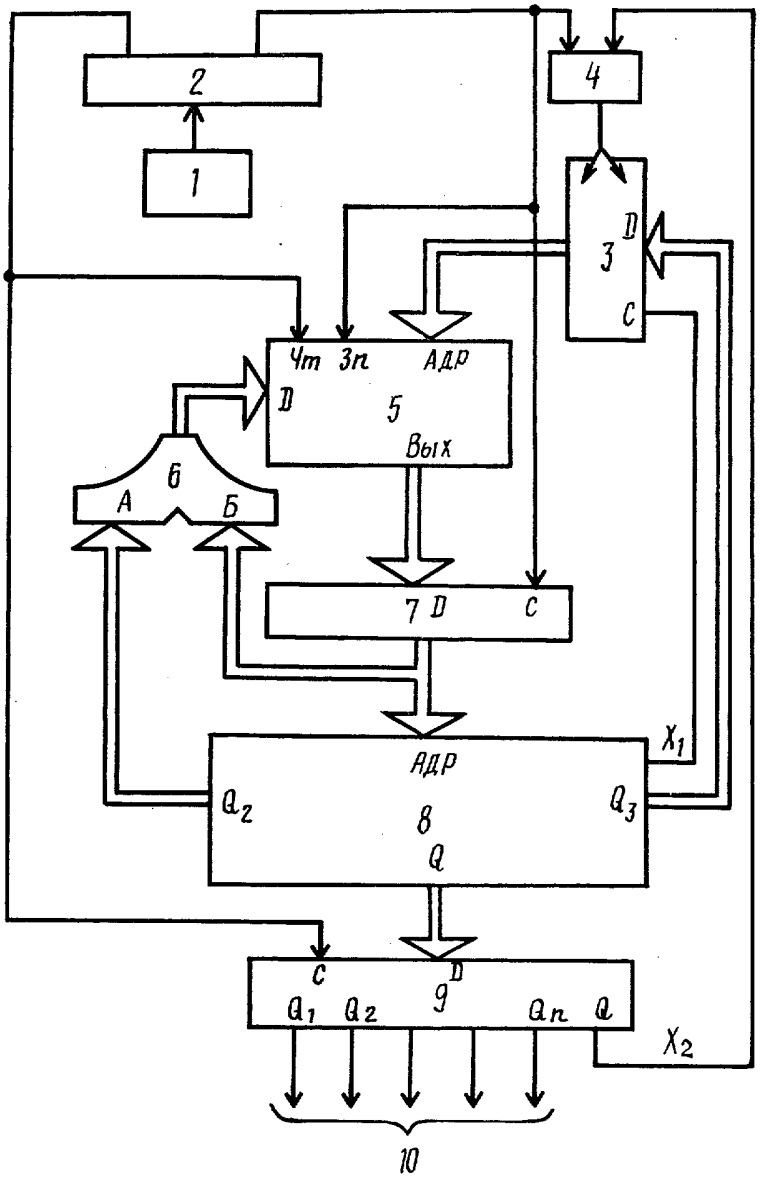
Таким образом, предложенное устройство позволяет сформировать микропрограммы для n-каналов, причем для каждого из каналов микропрограмма формируется индивидуально, режим работы устройства (параллельного, параллельно-последовательного или последовательного формирования микропрограмм) выбирается пользователем и реализуется путем построения микропрограмм в накопителе микропрограмм блока 8.

Таблица 1

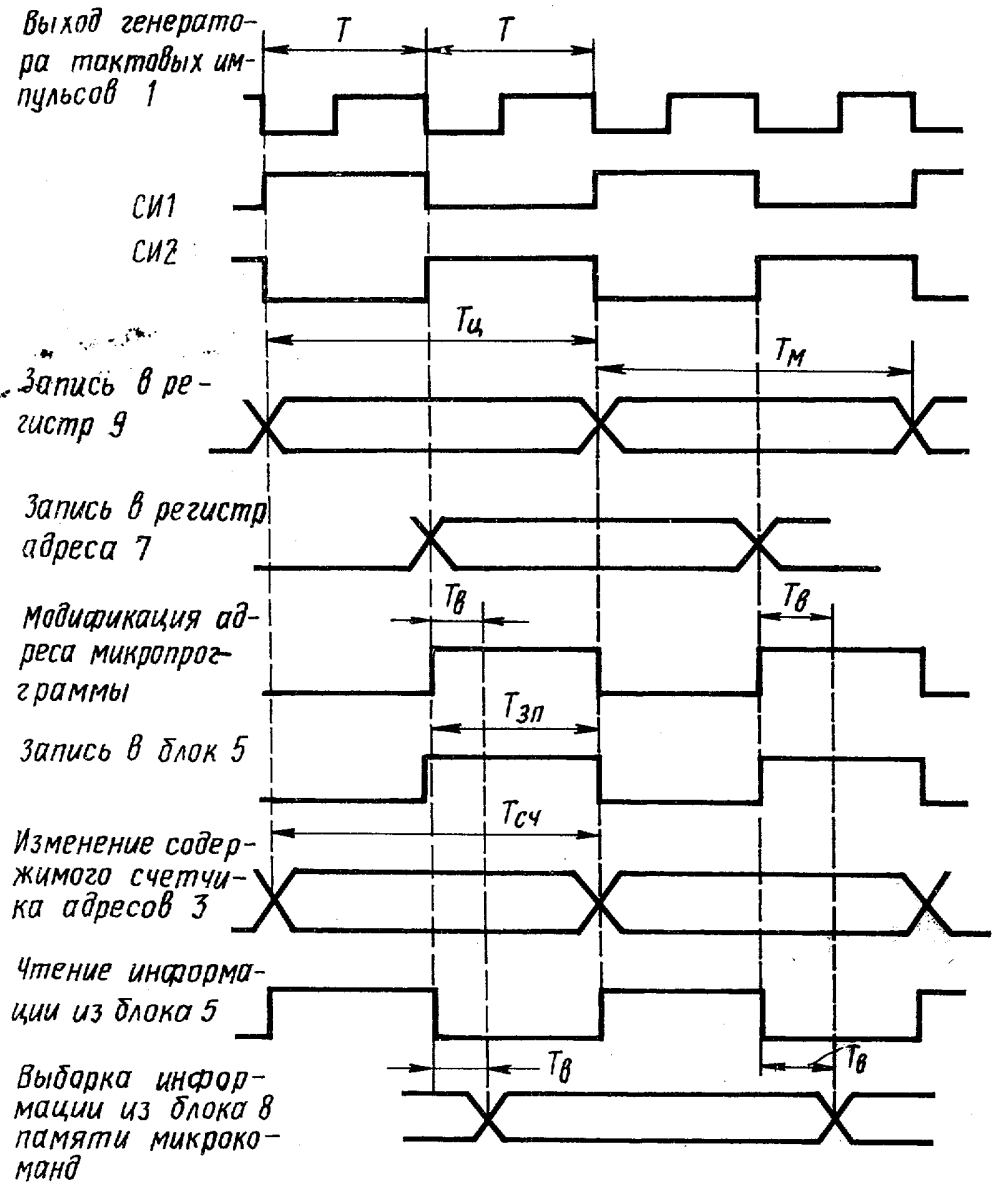
Цикл (дес)	Код микроопераций (восьм)	Код инкремента (восьм)	X_1	X_2	Младший разряд входа Б сумматора	Канал (восьм)	Адрес следующей микрокоманды (восьм)	Примечание
1	00	01	0	0	0	00	01	Для нулевого канала
2	02	01	0	0	0	00	02	
3	04	01	0	0	0	00	03	
4	06	01	0	0	0	00	04	
5	04	01	0	0	0	00	05	
6	02	01	0	0	0	00	06	Микропрограмма для нулевого канала
7	00	01	0	0	0	00	07	
8	12	01	0	0	0	00	10	
9	14	01	0	0	0	00	11	
10	16	01	0	0	0	00	12	
11	14	01	0	0	0	00	13	
12	12	64	0	1	1	00	00	Микропрограмма для первого канала
13	00	01	0	0	0	01	15	
14	03	01	0	0	0	01	16	
15	05	01	0	0	0	01	17	
16	07	74	0	1	1	01	14	

Таблица 2

Цикл (дес)	Код микроопераций (восьм)	Код инкремента (восьм)	X_1,	X_2	Младший разряд на входе Б сумматора	Канал (восьм)	Адреса следующей микрокоманды (восьм)
1	00	01	0	1	0	00	01
2	00	01	0	1	0	01	15
3	02	01	0	1	0	00	02
4	03	01	0	1	0	01	16
5	04	01	0	1	0	00	03
6	05	01	0	1	0	01	17
7	06	01	0	1	0	00	04
8	07	74	0	1	1	01	14
9	04	01	0	1	0	0	05
10	00	01	0	1	0	01	15
11	02	01	0	1	0	00	06
12	03	01	0	1	0	01	16
13	00	01	0	1	0	00	07
14	05	01	0	1	0	01	17
15	12	01	0	1	0	00	10
16	07	74	0	1	1	01	14
17	14	01	0	11	0	00	11
18	00	01	0	1	0	01	15
19	16	01	0	1	0	00	12
20	03	01	0	1	0	01	16
21	14	01	0	1	0	00	13
22	05	01	0	1	0	01	17
23	12	64	0	1	1	00	00
24	07	74	0	1	1	01	14



Фиг.1



Фиг. 2

Составитель Ю. Ланцов
Редактор Р. Цицика Техред И. Верес Корректор Г. Решетник
Заказ 4614/42 Тираж 710 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж—35, Раушская наб., д. 4/5
Филиал ППП «Патент», г. Ужгород, ул. Проектная, 4