(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2014 年 1 月 30 日 (30.01.2014)

WIPO | PCT

(10) 国际公布号
WO 2014/015480 A1

(51) 国际专利分类号:
H04L 7/00 (2006.01)

(21) 国际申请号: PCT/CN2012/079118

(22) 国际申请日: 2012 年 7 月 25 日 (25.07.2012)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人 (对除美国外的所有指定国): **海能达通信股份有限公司 (HYTERA COMMUNICATIONS CORP., LTD.)** [CN/CN]; 中国广东省深圳市南山区高新技术产业园北区北环路好易通大厦, Guangdong 518057 (CN)。

(72) 发明人; 及

(75) 发明人/申请人 (仅对美国): **李春颖 (LI, Chunying)** [CN/CN]; 中国广东省深圳市南山区高新技术产业园北区北环路好易通大厦, Guangdong 518057 (CN)。 **熊堃 (XIONG, Kun)** [CN/CN]; 中国广东省深圳市南山区高新技术产业园北区北环路好易通大厦, Guangdong 518057 (CN)。

(74) 代理人: **深圳市深佳知识产权代理事务所（普通合伙） (SHENPAT INTELLECTUAL PROPERTY AGENCY)**; 中国广东省深圳市国贸大厦 15 楼西座 1521 室, Guangdong 518014 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA,

[见续页]

(54) **Title**: SYNCHRONISATION METHOD AND DEVICE FOR TRANSMIT AND RECEIVE SYMBOLS OF ALL-DIGITAL RECEIVER

(54) **发明名称** : 一种用于全数字接收机的收发符号同步方法及装置



图 1 / FIG. 1

S11 AFTER RECEIVING A SAMPLING SIGNAL, A DSP ACQUIRING THE PHASE SHIFT AMOUNT
S12 ACCORDING TO THE PHASE SHIFT AMOUNT, ADJUSTING A SAMPLING OPPORTUNITY FOR THE SAMPLING OF A DIGITAL-ANALOGUE/ANALOGUE-DIGITAL CONVERTER
S13 ADJUSTING AN INTERFACE CLOCK FOR THE DATA TRANSMITTING AND RECEIVING OF THE DSP

(57) **Abstract**: A synchronisation method and device for transmit and receive symbols of an all-digital receiver. The method comprises the steps of: after receiving a sampling signal sent by a baseband processing chip, the clock signal of which is provided by a second clock source, a digital signal processor (DSP), the clock signal of which is provided by a first clock source, measuring a phase shift between a local sampling symbol and an air interface symbol, and acquiring the phase shift amount; according to the phase shift amount, adjusting a sampling opportunity for the sampling of a digital-analogue/analogue-digital converter; and when the sampling opportunity for the sampling of the digital-analogue/analogue-digital converter has been adjusted, adjusting an interface clock for data transmitting and receiving of the DSP so as to enable the data transmitting and receiving of the DSP to be synchronised with the sampling.

(57) **摘要**: 一种用于全数字接收机的收发符号同步方法及装置，其中方法包括步骤：当由第一时钟源提供时钟信号的数字信号处理器 DSP，接收到由第二时钟源提供时钟信号基带处理芯片发送的采样信号后，测量本地采样符号与空口符号之间的相位偏移，获取相位偏移量；根据相位偏移量调整数模 /模数转换器采样的采样时机；在调整数模/模数转换器采样的采样时机时，调整 DSP 的收发数据接口时钟使 DSP 的收发数据与采样同步。

WO 2014/015480 A1

RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种用于全数字接收机的收发符号同步方法及装置

技术领域

本发明涉及通讯领域，特别是一种用于全数字接收机的收发符号同步方法及装置。

背景技术

高速通信系统中应用到的高效数字调制信号对相差的要求十分严格，这就要求在接收调制过程中，收发双方的相位误差控制在较小的范围内，以保证解调的灵敏度。

具体的，TETRA（Trans European Trunked Radio，泛欧集群无线电）协议是一种广泛应用于集群通道的标准协议，它采用调制方式DQPSK（Differential Quadrature Reference Phase Shift Keying，四相相对相移键控）的调制方式；为了保证系统接收的灵敏度，TETRA协议中将符号的同步的误差规定为-0.25symbol~+0.25symbol之内。

接收机的主要功能包括有载波同步和时钟同步；为了实现将符号的同步的误差控制在TETRA协议标准所规定的范围内，现有技术中，全数字接收机调解用的本地采样时钟震荡于固定的频率，通过将载波相位误差和位时钟误差的计算、最佳判决点值的估计、符号的判决等，全部由采样后的数字信号处理器完成，然后通过NCO（numerical controlled oscillator，数字控制振荡器）进行调整的技术方案，从而可以克服早期接收机反馈控制模拟部件以及在高效传输时锁相环设计困难的问题。

但是，发明人经过研究发现，现有技术中的全数字接收机至少存在有如下缺陷：

为了保证所有本地时钟的同步，现有技术中的全数字接收机的所有时钟一般需要从同一个时钟源引出；但是在很多情况下，系统中的基带处理芯片和DSP(Digital Signal Processing, 数字信号处理)分别需要不同的时钟频率，由于

从同一个时钟源引出分别需要不同的时钟频率的基带处理芯片和 DSP 需要价格昂贵的专用晶振，从而提高全数字接收机的成本。

发明内容

有鉴于此，本发明实施例提供了一种用于全数字接收机的收发符号同步方法及装置，以实现降低全数字接收机的成本的目的。

本发明实施例的发明内容如下：

一种用于全数字接收机的收发符号同步方法，包括：

当由第一时钟源提供时钟信号的数字信号处理器DSP，接收到由第二时钟源提供时钟信号基带处理芯片发送的采样信号后，测量本地采样符号与空口符号之间的相位偏移，获取相位偏移量；

根据所述相位偏移量调整数模/模数转换器采样的采样时机；

在调整数模/模数转换器采样的采样时机时，调整所述DSP的收发数据接口时钟，使所述DSP的收发数据与所述采样同步。

优选的，在本发明实施例中，所述获取相位偏移量，具体包括：通过Gardner算法、早-迟门逻辑算法或定时数据辅助算法来测量本地采样符号和空口符号之间的相位偏移。

优选的，在本发明实施例中，所述调整所述DSP的收发数据接口时钟，使所述DSP的收发数据与所述采样同步，包括：

停止所述DSP的收发数据接口时钟，至所述采样开始时重启所述收发数据接口时钟。

优选的，在本发明实施例中，所述调整所述DSP的收发数据接口时钟，使所述DSP的收发数据与所述采样同步，包括：

停止所述DSP的收发数据接口时钟，至所述DSP收发数据时重启所述收发数据接口时钟。

此外，本发明实施例还提供了一种收发符号同步装置，包括：

分别为基带处理芯片和DSP设置的时钟源；

相位偏移量获取单元，用于当所述DSP接收到基带处理芯片发送的采样信

号后，测量本地采样符号与空口符号之间的相位偏移，获取相位偏移量;

采样时机调整单元，用于根据所述相位偏移量调整数模/模数转换器采样的采样时机;

同步单元，用于在调整数模/模数转换器采样的采样时机的同时，调整所述DSP的收发数据接口时钟，使所述DSP的收发数据与所述采样同步。

优选的，在本发明实施例中，所述基带处理芯片的时钟源为基带板上的外围时钟电路。

优选的，在本发明实施例中，所述DSP设置的时钟源为单独设置的晶振。

优选的，在本发明实施例中，所述晶振为12MHz晶振。

优选的，在本发明实施例中，所述同步单元，包括:

时钟调整模块，用于停止所述DSP的收发数据接口时钟，至所述采样开始时重启所述收发数据接口时钟。

优选的，在本发明实施例中，所述同步单元，包括:

时钟启停模块，用于停止所述 DSP 的收发数据接口时钟，至所述 DSP 收发数据时重启所述收发数据接口时钟。

通过上述技术方案可以看出，在本发明实施例中，通过分别为基带处理芯片和 DSP 设置各自的时钟源，并在调整数模/模数转换器采样的采样时机的同时，调整 DSP 的收发数据接口时钟，使 DSP 的收发数据与所述采样同步，，从而可以通过普通的晶振或时钟振荡电路就可以使全数字接收机正常的工作，不必设有昂贵的专用晶振，从而降低了全数字接收机的成本。

附图说明

图1为本发明实施例中所述收发符号同步方法的流程示意图;

图2为本发明实施例中所述调整DSP的收发数据接口时钟的启停时机示意图;

图3为本发明实施例中所述调整DSP的收发数据接口时钟的又一启停时机示意图;

图 4 为本发明实施例中所述收发符号同步装置的结构示意图。

具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

为了实现通过简化全数字接收机的电路设计以降低全数字接收机的成本的目的，本发明实施例提供了一种用于全数字接收机的收发符号同步方法，如图1所示，包括步骤:

S11、当由第一时钟源提供时钟信号的数字信号处理器DSP，接收到由第二时钟源提供时钟信号基带处理芯片发送的采样信号后，测量本地采样符号与空口符号之间的相位偏移，获取相位偏移量;

在现有技术中，为了实现从同一个时钟源引出分别需要不同的时钟频率的基带处理芯片和DSP，需要精度很高的专用晶振，该晶振价格昂贵。为了降低成本，在本发明实施例中，分别对基带处理芯片和DSP设有了专用的时钟源，即，作为DSP时钟源的第一时钟源；作为基带处理芯片时钟源的第二时钟源。由于单独的DSP时钟源和基带处理芯片时钟源只需要使用晶振频率适应的通用晶振即可，所以有效地降低了全数字接收机的整体成本。

使用两种频率不同的时钟源时，如果对其中的一个时钟源进行调整时，会导致DSP与接收采样芯片或者数模转换芯片间的数据失步，进而导致符号同步的失败。为此在本发明实施例中，所以还需要对本地采样符号和空口符号之间存在的相位偏移进行调整；在本发明实施例中，首先需要获取相位偏移量。

具体的，在符合TETRA协议标准的全数字接收机中，基带处理芯片一般需要18KHz的符号时钟，为了节约成本，在本发明实施例中，通过的基带板上的时钟频率为9.216MHz的外围时钟电路经过分频即可得到。也就是说，基带处理芯片的时钟源由基带板上的外围时钟电路产生，该外围时钟电路的时钟频率为9.216MHz，通过分频后即可得到近似18KHz的符号时钟。

而对于DSP，其工作频率一般为12MHz，无法公用基带处理芯片的外围时

钟电路作为时钟源，所以通过为DSP单独的设置晶振作其时钟源。由于此时只需要单独的为频率为12MHz的DSP提供符号时钟，所以，通过设有通用12MHz的晶振即可实现。

全数字接收机的工作过程包括:

基带处理芯片中的A/D转换器将基带模拟信号转换成数字采样信号，由于在TETRA协议标准中，空口符号的速率为18K/S，因此A/D转换器所需的时钟频率基准为18KHz，在本发明实施例中，提供该时钟频率的时钟源为基带处理芯片的外围时钟电路；通过将时钟频率为9.216MHz外围时钟电路进行分频，可以得到近似18KHz的符号时钟。

数字采样信号经过基带处理芯片中的增益调整模块和基带成型滤波模块处理后，获得基带DQPSK采样信号，通过DSP的数据外设接口，DSP可以获取该DQPSK采样信号，然后，DSP可以进行解调判决以及信道解码等后续工作。

由于本地采样符号和空口符号之间存在相位偏移，所以，为了达到符号同步的目的，需要测量本地采样符号与空口符号之间的相位偏移，以获取相位偏移量；本地采样符号和空口符号之间的相位偏移的测量可以有多种，在本发明实施例中具体的，可以通过Gardner算、法早-迟门逻辑算法或定时数据辅助算法来测量本地采样符号和空口符号之间的相位偏移。

S12、根据所述相位偏移量调整数模/模数转换器采样的采样时机;

在获取相位偏移量后，相位偏移量被反馈至基带处理芯片，通过调整基带处理芯片内的采样频率模块来微调A/D转换器和D/A转换器的采样时机，从而达到符号同步的目的。

S13、在调整数模/模数转换器采样的采样时机的同时，调整所述DSP的收发数据接口时钟，使所述DSP的收发数据与所述采样同步。

由于当对基带处理芯片的采样频率进行调整后，因为DSP和基带处理芯片的基准时钟源不是同一个，所以通过数据外设接口收发数据实现通信的基带处理芯片和DSP会失步，从而导致符号同步失效。

为此，在本发明实施例中，在调整数模/模数转换器采样的采样时机的同

时，对DSP收发数据的外设接口时钟进行同步调整，以使DSP的收发数据与采样同步。在实际应用中，可以通过对DSP的收发数据接口时钟的暂停设定的时间后重启来实现DSP的收发数据与采样同步。

进一步的，如图2所示，在本发明实施例中，调整DSP的收发数据接口时钟，使DSP的收发数据与采样同步，具体可以包括:

停止DSP的收发数据接口时钟，至采样开始时重启收发数据接口时钟。

在调整数模/模数转换器采样的采样时机的同时，暂停DSP的收发数据接口时钟，当数模/模数转换器采样的采样时机调整完毕并开始采样时，重启收发数据接口时钟；这样，由于DSP的收发数据接口时钟根据调整数模/模数转换器采样的采样时机的调整做了同步的调整，所以保持了采样与收发数据的同步，从而避免了符号同步的失败。

此外，如图3所示，在本发明实施例中，调整DSP的收发数据接口时钟，使DSP的收发数据与采样同步，具体还可以包括:

停止DSP的收发数据接口时钟，至DSP收发数据时重启收发数据接口时钟。

在调整数模/模数转换器采样的采样时机的同时，暂停DSP的收发数据接口时钟，由于在没有数据收发时，不会产生符号同步失败的问题，所以DSP的收发数据接口时钟可以暂停至DSP产生收发数据的时候，即，在DSP产生收发数据的时重启收发数据接口时钟。同样，这种方式也可以保持采样与收发数据的同步，从而避免了符号同步的失败。

综上所述，在本发明实施例中，通过分别为基带处理芯片和 DSP 设置各自的时钟源，并在调整数模/模数转换器采样的采样时机的同时，调整 DSP 的收发数据接口时钟，使 DSP 的收发数据与所述采样同步，从而避免了由于不同的晶振源或时钟之间存有差异所造成的，在工作过程中调整全数字接收机中的特定时钟时，会导致基带处理芯片和 DSP 间的数据失步的问题。综上所述，在本发明实施例中，可以通过普通的晶振或时钟振荡电路就可以使全数字接收机正常的工作，不必设有昂贵的专用晶振，从而降低了全数字接收机的成本。

此外，在本实施例中，如图 4 所示，还提供了一种用于全数字接收机的收发符号同步装置，包括分别为基带处理芯片 1 和 DSP2 设置的时钟源、相位偏移量获取单元 3、采样时机调整单元 4 和同步单元 5；时钟源包括第一时钟源 61 和第二时钟源 62。

在符合TETRA协议标准的全数字接收机中，基带处理芯片1需要18KHz的符号时钟，为了节约成本，在本发明实施例中，可以通过的基带板上的时钟频率为9.216MHz的外围时钟电路经过分频即可得到。也就是说，基带处理芯片1的时钟源由基带板上的外围时钟电路产生，该外围时钟电路的时钟频率为9.216MHz，通过分频后即可得到近似18KHz的符号时钟。

而对于DSP2，其工作频率一般为12MHz，无法公用基带处理芯片1的外围时钟电路作为时钟源，所以可以通过为DSP2单独的设置晶振作其时钟源。由于此时只需要单独的为频率为12MHz的DSP提供符号时钟，所以，通过设有廉价的通用12MHz的晶振即可实现。

本发明实施例中，分别为基带处理芯片1和DSP2设置各自的时钟源，由于不必像现有技术中那样，为了同时作为基带处理芯片1和DSP2的时钟源，需要设有昂贵的专用晶振，所以有效地降低了全数字接收机的成本。

相位偏移量获取单元3用于当DSP2接收到基带处理芯片1发送的采样信号后，测量本地采样符号与空口符号之间的相位偏移，获取相位偏移量；

全数字接收机的工作过程包括:

基带处理芯片1中的A/D转换器将基带模拟信号转换成数字采样信号，由于在TETRA协议标准中，空口符号的速率为18K/S，因此A/D转换器所需的时钟频率基准为18KHz，在本发明实施例中，提供该时钟频率的时钟源为基带处理芯片的外围时钟电路；通过将时钟频率为9.216MHz外围时钟电路进行分频，可以得到近似18KHz的符号时钟。

数字采样信号经过基带处理芯片1中的增益调整模块和基带成型滤波模块处理后，获得基带DQPSK采样信号，通过DSP的数据外设接口，DSP可以获取该DQPSK采样信号，然后，DSP2可以进行解调判决以及信道解码等后续工作。

由于本地采样符号和空口符号之间存在相位偏移，所以，为了达到符号同步的目的，需要测量本地采样符号与空口符号之间的相位偏移，以获取相位偏移量；具体的，可以通过Gardner算法、早-迟门逻辑算法或定时数据辅助算法来测量本地采样符号和空口符号之间的相位偏移。

采样时机调整单元4用于根据相位偏移量调整数模/模数转换器采样的采样时机;

在获取相位偏移量后，相位偏移量被反馈至基带处理芯片1，通过调整基带处理芯片1内的采样频率模块来微调A/D转换器和D/A转换器的采样时机，从而达到符号同步的目的。

同步单元5用于在调整数模/模数转换器采样的采样时机的同时，调整DSP2的收发数据接口时钟，使DSP2的收发数据与采样同步。

由于当对基带处理芯片1的采样频率进行调整后，因为DSP2和基带处理芯片1的基准时钟源不是同一个，所以通过数据外设接口收发数据实现通信的基带处理芯片1和DSP2会失步，从而导致符号同步失效。

为此，在本发明实施例中，在调整数模/模数转换器采样的采样时机的同时，对DSP2收发数据的外设接口时钟进行同步调整，以使DSP2的收发数据与采样同步。在实际应用中，可以通过对DSP2的收发数据接口时钟的暂停设定的时间后重启来实现DSP2的收发数据与采样同步。

进一步的，在本发明实施例中，同步单元5可以包括时钟调整模块，时钟调整模块用于停止DSP2的收发数据接口时钟，至采样开始时重启收发数据接口时钟。

在调整数模/模数转换器采样的采样时机的同时，暂停DSP2的收发数据接口时钟，当数模/模数转换器采样的采样时机调整完毕并开始采样时，重启收发数据接口时钟；这样，由于DSP2的收发数据接口时钟根据调整数模/模数转换器采样的采样时机的调整做了同步的调整，所以保持了采样与收发数据的同步，从而避免了符号同步的失败。

此外，在本发明实施例中，同步单元5还可以是包括有时钟启停模块，时

钟启停模块用于停止DSP2的收发数据接口时钟，至DSP2收发数据时重启收发数据接口时钟。

在调整数模/模数转换器采样的采样时机的同时，暂停DSP2的收发数据接口时钟，由于在没有数据收发时，不会产生符号同步失败的问题，所以DSP2的收发数据接口时钟可以暂停至DSP2产生收发数据的时候，即，在DSP2产生收发数据的时重启收发数据接口时钟。同样，这种方式也可以保持采样与收发数据的同步，从而避免了符号同步的失败。

对所公开的实施例的上述说明，使本领域专业技术人员能够实现或使用本发明。对这些实施例的多种修改对本领域的专业技术人员来说将是显而易见的，本文中所定义的一般原理可以在不脱离本发明的精神或范围的情况下，在其它实施例中实现。因此，本发明将不会被限制于本文所示的这些实施例，而是要符合与本文所公开的原理和新颖特点相一致的最宽的范围。

权 利 要 求

1、一种用于全数字接收机的收发符号同步方法，其特征在于，包括:

当由第一时钟源提供时钟信号的数字信号处理器DSP，接收到由第二时钟源提供时钟信号基带处理芯片发送的采样信号后，测量本地采样符号与空口符号之间的相位偏移，获取相位偏移量;

根据所述相位偏移量调整数模/模数转换器采样的采样时机;

在调整数模/模数转换器采样的采样时机时，调整所述DSP的收发数据接口时钟，使所述DSP的收发数据与所述采样同步。

2、根据权利要求4所述收发符号同步方法，其特征在于，所述获取相位偏移量，具体包括:

通过加德纳Gardner算法、早-迟门逻辑算法或定时数据辅助算法来测量本地采样符号和空口符号之间的相位偏移。

3、根据权利要求2所述收发符号同步方法，其特征在于，所述调整所述DSP的收发数据接口时钟，使所述DSP的收发数据与所述采样同步，包括:

停止所述DSP的收发数据接口时钟，至所述采样开始时重启所述收发数据接口时钟。

4、根据权利要求2所述收发符号同步方法，其特征在于，所述调整所述DSP的收发数据接口时钟，使所述DSP的收发数据与所述采样同步，包括:

停止所述DSP的收发数据接口时钟，至所述DSP收发数据时重启所述收发数据接口时钟。

5、一种用于全数字接收机的收发符号同步装置，其特征在于，包括:

分别为基带处理芯片和DSP设置的时钟源;

相位偏移量获取单元，用于当所述DSP接收到基带处理芯片发送的采样信号后，测量本地采样符号与空口符号之间的相位偏移，获取相位偏移量;

采样时机调整单元，用于根据所述相位偏移量调整数模/模数转换器采样的采样时机;

同步单元，用于在调整数模/模数转换器采样的采样时机的同时，调整所述DSP的收发数据接口时钟，使所述DSP的收发数据与所述采样同步。

6、根据权利要求5所述收发符号同步装置，其特征在于，所述基带处理芯片的时钟源为基带板上的外围时钟电路。

7、根据权利要求6所述收发符号同步装置，其特征在于，所述DSP设置的时钟源为单独设置的晶振。

8、根据权利要求7所述收发符号同步装置，其特征在于，所述晶振为12MHz晶振。

9、根据权利要求8所述收发符号同步装置，其特征在于，所述同步单元，包括:

时钟调整模块，用于停止所述DSP的收发数据接口时钟，至所述采样开始时重启所述收发数据接口时钟。

10、根据权利要求8所述收发符号同步装置，其特征在于，所述同步单元，包括:

时钟启停模块，用于停止所述 DSP 的收发数据接口时钟，至所述 DSP 收发数据时重启所述收发数据接口时钟。

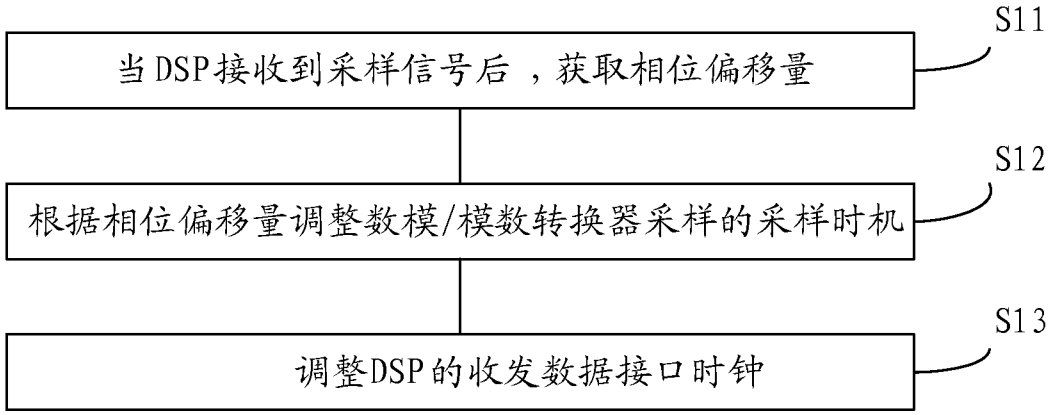

S11
当DSP接收到采样信号后，获取相位偏移量
S12
根据相位偏移量调整数模/模数转换器采样的采样时机
S13
调整DSP的收发数据接口时钟

图 1

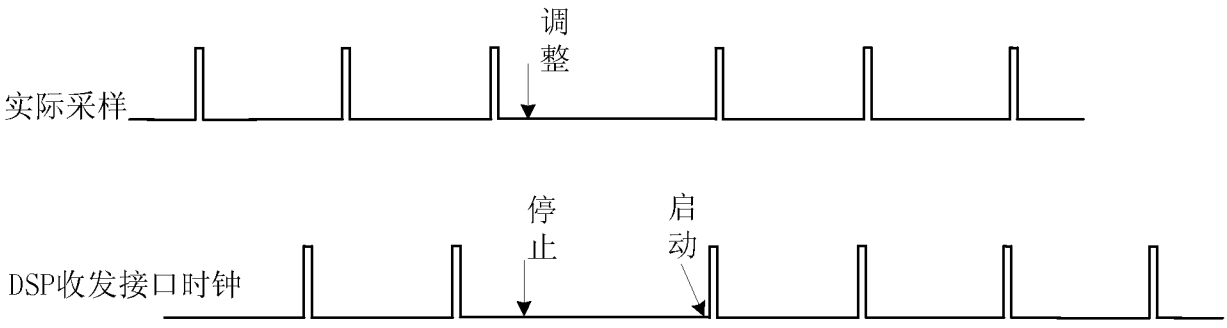

调整
实际采样
停止
启动
DSP收发接口时钟

图 2

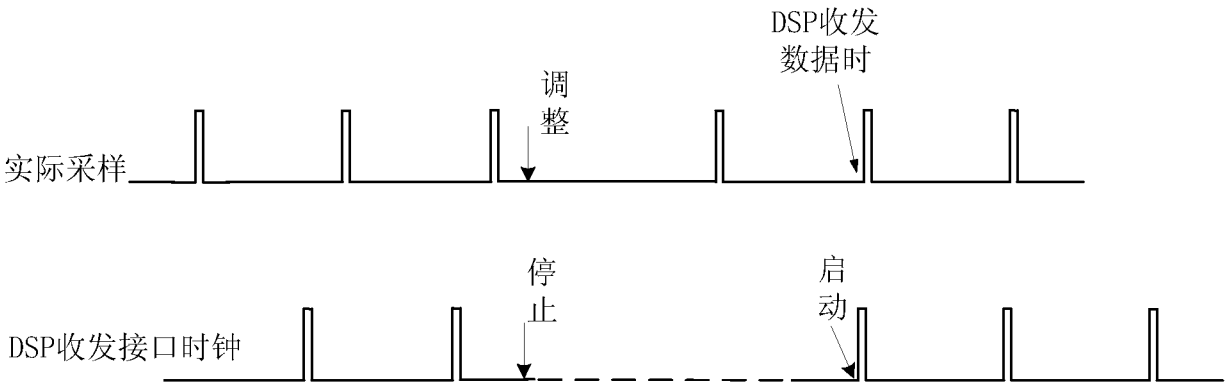

DSP收发
数据时
调
整
实际采样
停
止
启
动
DSP收发接口时钟

图 3

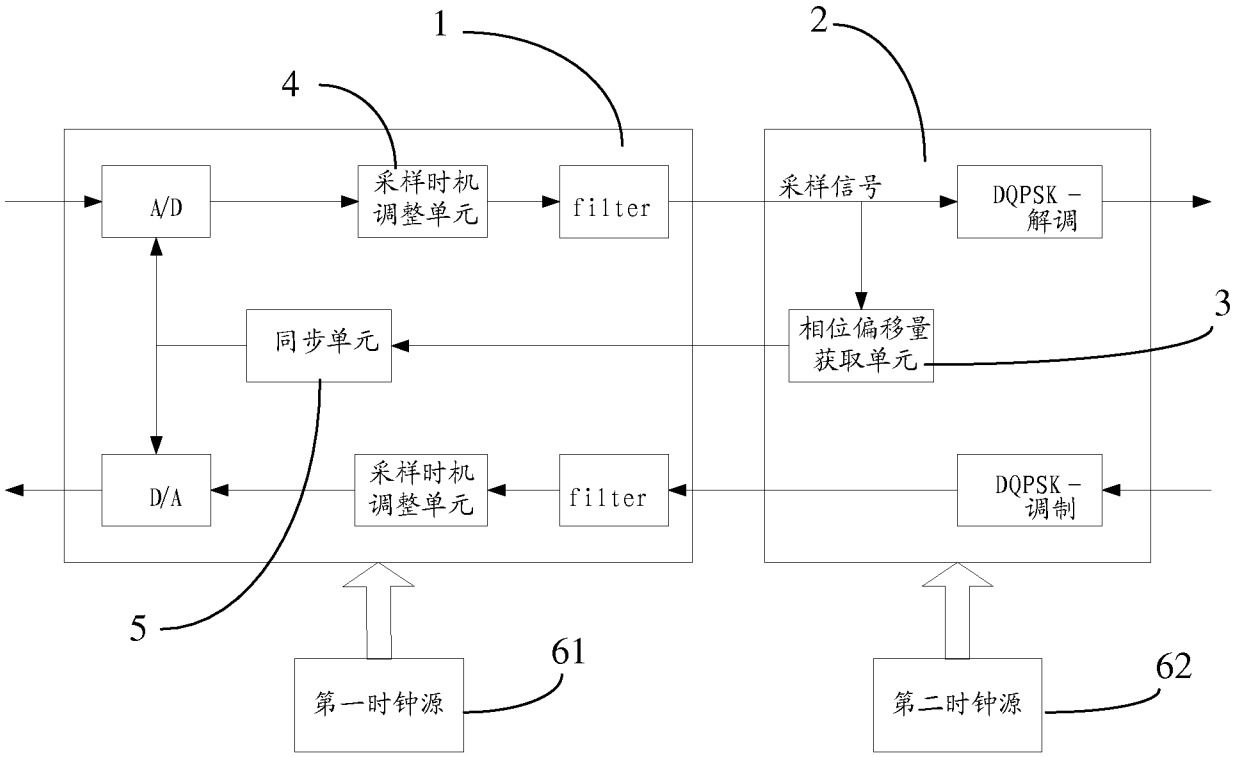

1
2
4
A/D
采样时机
调整单元
filter
采样信号
DQPSK－
解调
同步单元
相位偏移量
获取单元
3
D/A
采样时机
调整单元
filter
DQPSK－
调制
5
61
62
第一时钟源
第二时钟源

图 4

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2012/079118

A. CLASSIFICATION OF SUBJECT MATTER

H04L 7/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H04L, H04W

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI, IEEE: digital signal processor, digital analog, analog digital, clock, synchronization, DSP, baseband, sampling, phase, deviation, DA, AD

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101820340 A (ZTE CORP. et al.), 01 September 2010 (01.09.2010), description, paragraphs [0005]-[0049]	1-10
A	CN 102170414 A (ZHEJIANG ROICX MICROELECTRONICS CO., LTD.), 31 August 2011 (31.08.2011), the whole document	1-10
A	US 2005/0047496 A1 (MCINTIRE, W.K. et al.), 03 March 2005 (03.03.2005), the whole document	1-10

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
08 April 2013 (08.04.2013)	**02 May 2013 (02.05.2013)**
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer **GONG, Lei** Telephone No.: (86-10) **62413587**

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/079118

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101820340 A	01.09.2010	WO 2011100889 A1	25.08.2011
CN 102170414 A	31.08.2011	None	
US 2005/0047496 A1	03.03.2005	None	

国际检索报告

国际申请号
PCT/CN2012/079118

A. 主题的分类

H04L7/00 (2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H04L , H04W

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNPAT, WPI, EPODOC, CNKI, IEEE: 时钟,同步,数字信号处理器,基带,采样,相位,偏移,偏差,误差,数模,模数; clock, synchronization, DSP, baseband, sampling, phase, deviation, DA, AD

C. 相关文件

类　型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 101820340 A (中兴通讯股份有限公司 等) 01.9 月 2010 (01.09.2010) 说明书第[0005]-[0049]段	1-10
A	CN 102170414 A (浙江瑞讯微电子有限公司) 31.8 月 2011 (31.08.2011) 全文	1-10
A	US 2005/0047496 A1 (MCINTIRE, William K. 等) 03.3 月 2005 (03.03.2005) 全文	1-10

☐ 其余文件在 C 栏的续页中列出。　　☒ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
08.4 月 2013（08.04.2013）	**02.5 月 2013 (02.05.2013)**
ISA/CN 的名称和邮寄地址： 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号：　(86-10)62019451	受权官员 宫磊 电话号码：(86-10) **62413587**

国际检索报告

关于同族专利的信息

国际申请号
PCT/CN2012/079118

检索报告中引用的专利文件	公布日期	同族专利	公布日期
CN 101820340 A	01.09.2010	WO 2011100889 A1	25.08.2011
CN 102170414 A	31.08.2011	无	
US 2005/0047496 A1	03.03.2005	无	