

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-181547

(P2008-181547A)

(43) 公開日 平成20年8月7日(2008.8.7)

(51) Int.Cl.	F I	テーマコード (参考)
G05F 1/56 (2006.01)	G05F 1/56 310D	5H430
H02M 3/155 (2006.01)	H02M 3/155 P	5H730
	H02M 3/155 Q	

審査請求 有 請求項の数 9 O L 外国語出願 (全 97 頁)

(21) 出願番号	特願2008-57071 (P2008-57071)	(71) 出願人	502188642
(22) 出願日	平成20年3月6日 (2008.3.6)		マーベル ワールド トレード リミテッ ド
(62) 分割の表示	特願2004-520097 (P2004-520097) の分割		バルバドス国 ビービー14027, セン トマイケル、ブリTONズ ヒル、ガンサイ トロード、エル ホライズン
原出願日	平成15年7月10日 (2003.7.10)	(74) 代理人	100104156
(31) 優先権主張番号	60/395, 115		弁理士 龍華 明裕
(32) 優先日	平成14年7月10日 (2002.7.10)	(72) 発明者	スタルジャ サハット
(33) 優先権主張国	米国 (US)		アメリカ合衆国、カリフォルニア州 94 022、ロス アルトス ヒルズ、エレ ナ ロード 27330
(31) 優先権主張番号	60/395, 697		
(32) 優先日	平成14年7月12日 (2002.7.12)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	10/460, 825		
(32) 優先日	平成15年6月12日 (2003.6.12)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

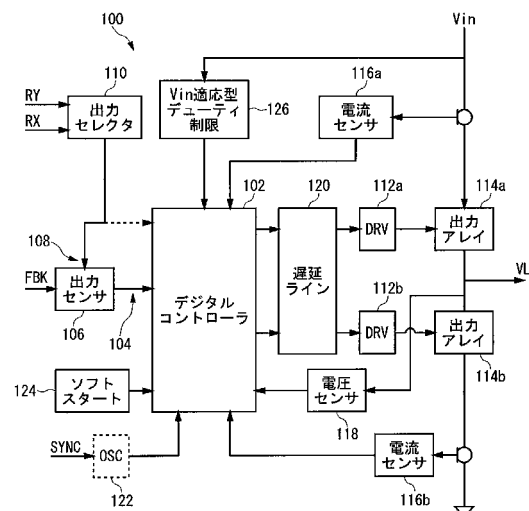
(54) 【発明の名称】 出力レギュレータ

(57) 【要約】 (修正有)

【課題】 調整済出力を有する出力レギュレータの制御を行う制御システム。

【解決手段】 調整済出力を有する出力レギュレータを制御する制御システムであって、制御システムが、デジタル検知信号を生成して、少なくとも3つの基準範囲のどの範囲に調整済出力が含まれるかを示す出力センサを備える。調整済出力の複数の可能な値の個々の値には少なくとも3つの基準範囲が含まれる。デジタルコントローラが、デジタル検知信号に応動して、調整済出力を制御する駆動信号を生成する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

調整済出力を有する出力レギュレータを制御する制御システムであって、

デジタル検知信号を生成して、少なくとも 3 つの基準範囲のどの範囲に前記調整済出力が含まれるかを示す出力センサであって、前記少なくとも 3 つの基準範囲の個々の範囲が前記調整済出力の複数の可能な値を含む出力センサと、

前記デジタル検知信号に応動して、前記調整済出力を制御する駆動信号を生成するデジタルコントローラと
を備える、制御システム。

【請求項 2】

オーバーラップする範囲と連続する範囲とから成るグループから前記基準範囲を選択する、請求項 1 に記載の制御システム。

【請求項 3】

前記デジタルコントローラが、電力段を制御するデューティサイクル推定値をさらに生成し、前記駆動信号が前記デューティサイクル推定値に基づく、請求項 1 に記載の制御システム。

【請求項 4】

前記デジタルコントローラが前記デューティサイクル推定値を調整する遅延ラインをさらに有し、前記遅延ラインが前記デューティサイクル推定値に対応する入力パルス信号と、選択信号とを受け取る、請求項 3 に記載の制御システム。

【請求項 5】

前記出力レギュレータの状態情報を取得する格納システムをさらに備え、

前記格納システムが、

デジタル形式である前記状態情報を取得する前記出力レギュレータと交信する情報コントローラと、

前記状態情報を格納し、前記情報コントローラと交信するメモリと
を備える、請求項 1 に記載の制御システム。

【請求項 6】

調整済出力を有する出力レギュレータを制御する制御システムであって、

デジタル検知信号を生成して、少なくとも 3 つの基準範囲のどの範囲に前記調整済出力が含まれるかを示す出力センサであって、前記少なくとも 3 つの基準範囲の個々の範囲が前記調整済出力の複数の可能な値を含む出力センサと、

前記デジタル検知信号に応動して、駆動信号のデューティサイクルを推定するデューティサイクル推定値を生成するデジタルコントローラであって、前記駆動信号は電力段を制御し、それによって前記調整済出力を調整するように為すデジタルコントローラと、

前記デューティサイクル推定値に応じて駆動信号を生成するデューティサイクル生成装置であって、

クロック周期を有するクロック信号に応動して、前記クロック周期のほぼ整数倍となるパルス幅を有する駆動信号を生成するカウンタであり、前記デューティサイクル推定値に対応するデジタルデューティサイクル信号を受け取るカウンタ制限入力値を含むカウンタであって、前記デジタルデューティサイクル信号はクロック周期の量をセットしてカウントを行い、それによって前記パルス幅が、前記クロック周期に前記デジタルデューティサイクル信号を乗じた値にほぼ等しくなるように為すカウンタを含むデューティサイクル生成装置と、

前記デューティサイクル推定値と、前記クロック周期に対応する量子化誤差を表す選択信号とに基づいて前記駆動信号の前記パルス幅の微調整を行う遅延ラインと、

前記駆動信号と、前記デジタルデューティサイクル信号とに応じて遅延制御信号を生成する制御ブロックと、
を備える、制御システム。

【請求項 7】

入力電圧を調整済出力に変換する出力レギュレータであって、
前記入力電圧から電力出力を生成する電力段と、
前記電力出力をフィルタリングして、前記調整済出力を生成する出力フィルタと、
デジタル検知信号を生成して、少なくとも3つの基準範囲のどの範囲に前記調整済出力が含まれるかを示す出力センサであって、前記少なくとも3つの基準範囲の個々の範囲が前記調整済出力の複数の可能な値を含む出力センサと、
デジタル検知信号に応動して、駆動信号を生成し、前記電力段を制御するデジタルコントローラと
を備える、出力レギュレータ。

【請求項8】

前記電力段が、線形レギュレータとスイッチングレギュレータとから成るグループから選択された構成を有する、請求項7に記載の出力レギュレータ。

【請求項9】

前記スイッチングレギュレータの電力段が、バック、ブースト、チュック（C u k）、ゼータ（z e t a）バックブーストおよびセピック（s e p i c）から成るグループから選択されたトポロジである、請求項8に記載の出力レギュレータ。

【請求項10】

前記デジタルコントローラがデューティサイクル推定値をさらに生成し、前記駆動信号が前記デューティサイクル推定値に基づく、請求項7に記載の出力レギュレータ。

【請求項11】

第1の電圧に対応するフィードバック信号を生成する回路であって、
少なくとも2つの基準電圧を生成する基準ジェネレータであって、前記基準電圧が少なくとも3つの電圧範囲を画定する基準ジェネレータと、
前記第1の電圧を前記少なくとも3つの電圧範囲と比較するコンパレータであって、前記少なくとも3つの基準範囲のどの範囲に前記調整済出力が含まれるかを示すデジタル信号を生成するコンパレータと
を備える、回路。

【請求項12】

オーバーラップする範囲と連続する範囲とから成るグループから前記基準範囲を選択する請求項11に記載の回路。

【請求項13】

前記デジタル信号を復号化し、誤差信号を生成するデコーダをさらに備える請求項11に記載の回路。

【請求項14】

出力レギュレータを制御する制御システムであり、前記出力レギュレータは、入力電圧を調整済出力に変換し、さらに、前記入力電圧から電力出力を生成する電力段と、前記電力出力をフィルタリングして前記調整済出力を生成する出力フィルタとを含むように為す制御システムであって、

前記調整済出力に対応する検知信号に応動して、前記電力段を制御する駆動信号を生成するデジタルコントローラであって、駆動信号を生成する動作モードのうちの1つの選択モードを含み、少なくとも3つの動作モードの間で前記1つの選択モードを選択するデジタルコントローラを備える、制御システム。

【請求項15】

クロックサイクルを有するクロック信号を生成するクロックをさらに備え、
前記デジタルコントローラが、前記クロック信号と同期して、前記少なくとも3つの動作モードのうちの1つの動作モードを選択する、
請求項14に記載の制御システム。

【請求項16】

前記デジタルコントローラが、クロックサイクルをベースにして、前記少なくとも3つの動作モード間の切り替えをクロックサイクルで行う、請求項15に記載の制御システム

10

20

30

40

50

。

【請求項 17】

前記少なくとも 3 つの動作モードが、ヒステリシスモード、適応型ヒステリシスモード、パルス幅変調モード、一定のオンタイムモード、一定のオフタイムモード、共振モード、固定周波数ソフトスイッチングモード、電圧モード、電流モード、固定周波数モード、可変周波数モードおよびこれらモードの組み合わせを含む、請求項 14 に記載の制御システム。

【請求項 18】

前記デジタルコントローラが、同期切り替え、非同期切り替えおよびマルチ周波数切り替えから成るグループから選択されるスイッチングモードを有する、請求項 14 に記載の制御システム。

10

【請求項 19】

入力電圧を調整済出力に変換する出力レギュレータであって、

前記入力電圧から電力出力を生成する電力段と、

前記電力出力をフィルタリングして、前記調整済出力を生成する出力フィルタと、

前記調整済出力に対応する検知信号を生成する出力センサと、

前記検知信号に応動して、前記電力段を制御する駆動信号を生成するデジタルコントローラであって、駆動信号を生成する動作モードのうちの 1 つの選択モードを含み、少なくとも 3 つの動作モードの間で上記 1 つの選択モードを選択するデジタルコントローラと、を備える、出力レギュレータ。

20

【請求項 20】

前記デジタルコントローラが、クロックサイクルをベースにして、前記少なくとも 3 つの動作モード間の切り替えをクロックサイクルで行う、請求項 19 に記載の出力レギュレータ。

【請求項 21】

前記少なくとも 3 つの動作モードが、ヒステリシスモード、適応型ヒステリシスモード、パルス幅変調モード、一定のオンタイムモード、一定のオフタイムモード、共振モード、固定周波数ソフトスイッチングモード、電圧モード、電流モード、固定周波数モード、可変周波数モードおよびこれらモードの組み合わせを含む、請求項 19 に記載の出力レギュレータ。

30

【請求項 22】

前記デジタルコントローラが、同期切り替え、非同期切り替えおよびマルチ周波数切り替えから成るグループから選択されたスイッチングモードを有する、請求項 19 に記載の出力レギュレータ。

【請求項 23】

入力電圧をチョッピング処理済みの出力電圧に変換する出力アレイであり、出力レギュレータが、前記チョッピング処理済みの出力電圧を調整済出力に変換するように為す出力アレイであって、

独立した駆動信号に応動して、スイッチング周波数で、前記入力電圧を前記チョッピング処理済みの出力電圧に変換し、少なくとも 2 つのパワースイッチを含むスイッチアレイと、

40

デューティサイクル信号に応じて独立した駆動信号を生成するスイッチコントローラであって、前記スイッチング周波数よりも高いサンプリング周波数で作動し、前記スイッチング周波数よりも高い駆動周波数で前記独立した駆動信号を制御するスイッチコントローラと

を備える、出力アレイ。

【請求項 24】

前記コントローラが、前記出力レギュレータの動作特性に応じて前記独立した駆動信号をさらに制御する、請求項 23 に記載の出力アレイ。

【請求項 25】

50

出力電流、周囲温度、動作温度、出力電圧およびインダクタ電流から成るグループから前記動作特性を選択する、請求項 24 に記載の出力アレイ。

【請求項 26】

前記コントローラが前記パワースイッチの遷移を制御するタイムシーケンスを決定する、請求項 23 に記載の出力アレイ。

【請求項 27】

スイッチアレイの中を流れる電流を検知し、ゲイン分解能を有する電流センサをさらに備え、

前記スイッチコントローラが、前記電流センサゲイン分解能を初期分解能にセットする処理と、前記電流センサの中を流れる電流の振幅を評価する処理と、前記電流センサの中を流れる電流の振幅に基づいて前記電流センサのゲイン分解能を前記サンプリング周波数で制御する処理とをさらに含む、
請求項 23 に記載の出力アレイ。

【請求項 28】

出力レギュレータにおいて電流を検知する方法であって、
ゲイン分解能を有する電流センサを設けるステップと、
前記電流センサゲイン分解能を初期分解能にセットするステップと、
電流センサの中を流れる電流を検知するステップと、
前記電流の振幅を評価するステップと、
前記評価ステップに基づいて前記電流センサのゲイン分解能をサンプリング周波数で制御するステップと
を備える、方法。

【請求項 29】

前記電流を検知するステップが、所定のインピーダンスの両端にわたって電圧を測定し、前記電圧と前記所定のインピーダンスとから前記電流を計算するステップを含む、請求項 28 に記載の方法。

【請求項 30】

出力レギュレータにおけるパワースイッチ間の無駄時間を制御する方法であって、
共通ノードを有する少なくとも 2 つのパワースイッチを設けるステップであって、前記 2 つのパワースイッチのうちの少なくとも一方が通電スイッチであり、前記 2 つのパワースイッチの残りの一方がフリーホイーリングスイッチであるステップと、
前記通電スイッチとフリーホイーリングスイッチとのうちの一方をオン状態からオフ状態へ切り替えるステップと、
オン状態からオフ状態への遷移中、通電スイッチとフリーホイーリングスイッチのうちの一方の中を流れる電流をモニタするステップと、
電流を基準レベルと比較するステップと、
所定時間の間、遅延を行い、次いで、通電スイッチとフリーホイーリングスイッチのうちの一方のスイッチの作動状態をオフ状態からオン状態へ変更するステップと
を備える、方法。

【請求項 31】

出力レギュレータ用スイッチアレイにおけるスイッチング損失を低減する方法であり、前記スイッチアレイが入力源から出力レギュレータの調整済出力へエネルギーを変換し、前記スイッチアレイが少なくとも 2 つのパワースイッチを含むように為す方法であって、

a) 次のスイッチングサイクル中にスイッチアレイの中を流れる予想電流を決定するステップと、

b) サンプリングレートで、前記予想電流に基づいて前記スイッチアレイの予想電力損失を決定するステップと、

c) オンにするパワースイッチの組み合わせを決定し、この組み合わせによって前記予想電力損失を最小限にとどめるように為すステップと、

d) 前記パワースイッチの組み合わせをオンにするステップと

10

20

30

40

50

を備える、方法。

【請求項 3 2】

ステップ" c "が、少なくとも 2 つのパワースイッチの組み合わせに関連する前記予想電力損失を決定するステップと、

前記予想電力損失を最小限にとどめる前記パワースイッチの組み合わせのうちの一方を選択するステップと

を含む、請求項 3 1 に記載の方法。

【請求項 3 3】

前記出力レギュレータがスイッチング周波数と切り替え時間とを有し、

前記方法が、

ステップ" d "が、前記スイッチング周波数よりも高いレートで前記パワースイッチの組み合わせをオンにし、それによって前記パワースイッチの組み合わせを前記切り替え時間中に制御するように為すステップを含む、請求項 3 1 に記載の方法。

【請求項 3 4】

出力レギュレータ用電力段においてノイズを抑制する方法であり、入力源から出力レギュレータの調整済出力へエネルギーを変換する前記電力段が、共通ノードを有する少なくとも 2 つのスイッチアレイを含むように為す方法であって、

a) 共通ノードのノイズ特性をモニタするステップと、

b) 前記ノイズ特性を基準レベルと比較するステップと、

c) 前記比較に基づいてインピーダンス制御信号を生成するステップと、

d) サンプリングレートで、前記インピーダンス制御信号に応じて前記スイッチアレイを制御するステップと

を備える方法。

【請求項 3 5】

前記出力レギュレータがスイッチング周波数を有し、

前記サンプリングレートの方が前記出力レギュレータのスイッチング周波数よりも高い、
請求項 3 4 に記載の方法。

【請求項 3 6】

出力レギュレータ用電力段の回路ノードのキャパシタンスを制御する方法であり、前記電力段が、入力源から出力レギュレータの調整済出力へエネルギーを変換し、少なくとも 1 つのスイッチアレイと、前記回路ノードと接続された第 1 のパワースイッチとを含み、前記スイッチアレイが少なくとも 2 つの直列対のパワースイッチを含むように為す方法であって、

a) スwitchアレイの中を流れる電流をモニタするステップと、

b) 前記電流に基づいて前記回路ノードにおける所望のキャパシタンスを決定するステップと、

c) サンプリングレートで、オンにするスイッチアセンブリの組み合わせを決定して、前記回路ノードを前記所望のキャパシタンスにセットするステップと、

d) 前記直列対のパワースイッチを制御して、前記回路ノードを前記所望のキャパシタンスにセットするステップと

を備える、方法。

【請求項 3 7】

前記出力レギュレータがスイッチング周波数を有し、

前記サンプリングレートの方が前記出力レギュレータのスイッチング周波数よりも高い、
請求項 3 6 に記載の方法。

【請求項 3 8】

入力源から、スイッチング周波数を有する出力レギュレータの調整済出力へエネルギーを変換するダイオードエミュレーションシステムであって、

10

20

30

40

50

第1の駆動信号に応動する第1のパワースイッチであって、前記入力源から前記出力レギュレータの出力インダクタへのエネルギーの流れを制御し、それによって前記出力インダクタの中を流れる電流が増加するように為す第1のパワースイッチと、

少なくとも2つのパワースイッチを含む、アレイ駆動信号に応動するスイッチアレイであって、フリーホイーリング段階中に、出力インダクタの中を流れる前記電流用の経路を設け、それによって前記出力インダクタの中を流れる電流が減少するように為すスイッチアレイと、

スイッチアレイの中を流れる電流を検知する電流センサと、

スイッチアレイの中を流れる電流に応じてアレイ駆動信号を生成し、さらに、前記少なくとも2つのパワースイッチを独立に制御するコントローラと
を備える、ダイオードエミュレーションシステム。

10

【請求項39】

前記インダクタ電流が0へ向かって減少するにつれて、前記コントローラが、前記スイッチアレイのパワースイッチを逐次オフにする、請求項38に記載のダイオードエミュレーションシステム。

【請求項40】

前記コントローラが、前記スイッチング周波数よりも高いサンプリング周波数で前記アレイ駆動信号を制御する、請求項38に記載のダイオードエミュレーションシステム。

【請求項41】

入力源と出力レギュレータの調整済出力との間でのエネルギーの移動を制限するデューティサイクルリミッタであり、前記出力レギュレータが、レギュレータ特性と、入力源と調整済出力との間でのエネルギーの移動を制御する計算済みデューティサイクルとを有するデューティサイクルリミッタであって、

20

基準レベルを生成して、前記出力レギュレータのレギュレータ特性を前記基準レベルと比較して、最大デューティサイクルを決定するデジタルコントローラであって、前記出力レギュレータのスイッチング周波数に少なくとも等しい周波数で前記基準レベルを制御するデジタルコントローラと、

前記計算済みデューティサイクルを前記最大デューティサイクルに制限する前記デジタルコントローラと
を備える、デューティサイクルリミッタ。

30

【請求項42】

前記デジタルコントローラが、ほぼ前記スイッチング周波数とサンプリング周波数との間の範囲にわたる周波数で前記基準レベルを制御する、請求項41に記載のデューティサイクルリミッタ。

【請求項43】

公称デューティサイクルを決定するデューティサイクル推定装置をさらに含み、

前記計算済みデューティサイクルが前記公称デューティサイクルに基づいて決定され、

前記デューティサイクル推定装置が、前回までのデューティサイクルうちの少なくとも1つと累積誤差とに応じて前記公称デューティサイクルを決定するモード推定装置を備える、
請求項41に記載のデューティサイクルリミッタ。

40

【請求項44】

出力レギュレータの公称デューティサイクルを決定するデューティサイクル推定装置であって、

前回までのデューティサイクルに応じて公称デューティサイクルを決定するモード1の推定装置と、累積誤差に応じて公称デューティサイクルを決定するモード2の推定装置とを含む少なくとも2つのモードと、

モード選択基準に基づいて前記少なくとも2つのモードのうちの一方を選択して、前記公称デューティサイクルを生成するモードセレクトと
を備える、デューティサイクル推定装置。

50

【請求項 45】

前記モード 1 の推定装置が少なくともスイッチング周波数のサイクル周波数で前記公称デューティサイクルを決定する、請求項 44 に記載のデューティサイクル推定装置。

【請求項 46】

前記モード 2 の推定装置が、少なくとも $100 \times$ 出力レギュレータの切り替え時間の時間にわたって移動平均値を計算する処理を含む、請求項 44 に記載のデューティサイクル推定装置。

【請求項 47】

出力レギュレータの調整済出力を制御するデジタルコントローラであり、出力レギュレータが、パルス幅信号に応動して、入力源と調整済出力間でのエネルギーの移動を制御するように為すデジタルコントローラにおいて、

公称デューティサイクルを決定するデューティサイクル推定装置と、

前記公称デューティサイクルと組み合わせて、調整済みデューティサイクルを生成する調整値を決定する調整デターミナとを備え、

前記パルス幅信号が前記調整済みデューティサイクルの関数である、出力レギュレータ。

【請求項 48】

前記調整デターミナが、前記調整値を決定するための選択可能なループゲインを含む、請求項 47 に記載のデジタルコントローラ。

【請求項 49】

前記出力レギュレータのスイッチング周波数よりも高いレートで前記選択可能なループゲインを選択することが可能である、請求項 48 に記載のデジタルコントローラ。

【請求項 50】

前記調整済みデューティサイクルに応動して、初期パルス幅を生成するカウンタをさらに備える、請求項 47 に記載のデジタルコントローラ。

【請求項 51】

前記公称デューティサイクルと前記初期パルス幅とに応じて遅延制御を生成する制御ブロックと、

前記初期パルス幅と前記遅延制御とに応動して、微調整パルス幅を有する前記パルス幅信号を生成する遅延ラインと、をさらに備える、請求項 50 に記載のデジタルコントローラ。

【請求項 52】

レギュレータ特性に応じて前記調整済みデューティサイクルを制限するデューティサイクルリミッタをさらに備える、請求項 47 に記載のデジタルコントローラ。

【請求項 53】

前記調整デターミナが前記出力レギュレータのループ応答を安定化するループ補正值を含み、前記ループ補正值が、前記出力レギュレータの前記スイッチング周波数にほぼ等しい周波数から前記デジタルコントローラのサンプリング周波数までの範囲にわたるレートで制御されることが可能である、請求項 47 に記載のデジタルコントローラ。

【請求項 54】

前記調整値が誤差の推定されるトレンドの関数であり、前記誤差が基準電流と前記調整済出力との間の差に基づく、請求項 47 に記載のデジタルコントローラ。

【請求項 55】

前記調整値が、前記出力レギュレータのスイッチング周波数よりも高いレートで選択可能な勾配定数の関数である、請求項 47 に記載のデジタルコントローラ。

【請求項 56】

前記調整値が誤差を示す誤差履歴の関数であり、

前記誤差が基準電流と前記調整済出力との間の差に基づき、

前記誤差履歴が、移動平均値、平均値、ピーク値および加重平均値を含む前記誤差の前

10

20

30

40

50

回までの値の数学関数に基づく、
請求項 47 に記載のデジタルコントローラ。

【請求項 57】

出力レギュレータの調整済出力を制御するデューティサイクルを決定するデューティサイクル推定装置であり、前記出力レギュレータは、前記デューティサイクルに応動して、入力源と調整済出力との間のエネルギーの移動を制御するように為すデューティサイクル推定装置であって、

出力レギュレータの切り替え時間よりも長い時間にわたって累積誤差を決定するアキュムレータと、

基準レベルを生成する基準ジェネレータと、

ほぼ 100 × 前記切り替え時間の最大レートで累積誤差を基準レベルと比較し、それによって単一ゼロを生成し、さらに、前記比較に基づいて前記デューティサイクルを生成するように為すコンパレータと

を備える、デューティサイクル推定装置。

【請求項 58】

前記基準レベルが、少なくとも第 1 の基準レベルと第 2 の基準レベルとを含み、

前記コンパレータが、前記累積誤差を前記基準レベルの各々と比較し、それに応じて、ステップ毎に前記デューティサイクルを制御する、請求項 57 に記載のデューティサイクル推定装置。

【請求項 59】

出力レギュレータを制御するデジタルコントローラであり、前記出力レギュレータを制御する機能を与えるサブブロックを有するデジタルコントローラであって、

前記出力レギュレータの検知ポイントをモニタするエネルギー節約型不連続モード (ESDM) コントローラであって、前記検知ポイントは前記出力レギュレータの出力電力の状態を示し、前記出力レギュレータの選択された電力状態の間、デジタルコントローラの消費電力を低減するサブブロックへの電力の流れを制御する前記 ESDM コントローラを備える、デジタルコントローラ。

【請求項 60】

前記サブブロックが、PWM コントローラ、遅延ラインおよび電圧検知用コンパレータを含む、請求項 59 に記載のデジタルコントローラ。

【請求項 61】

基準レベルを生成する基準ジェネレータと、

レギュレータ信号を前記基準レベルと比較し、コンパレータ出力を生成するコンパレータと、

前記コンパレータ出力に応動して、前記出力レギュレータの前記スイッチングモード間で切り替えを行うモードコントローラと、をさらに備え、前記スイッチングモードが直流モード (CCM) とエネルギー節約型不連続モード (ESDM) と

を更に備える、請求項 59 に記載のデジタルコントローラ。

【請求項 62】

前記モードコントローラが前記出力レギュレータのオンタイムを定数値にセットし、前記出力レギュレータのスイッチング周波数を変更して、前記出力電圧を安定化する処理をさらに含む、請求項 61 に記載のデジタルコントローラ。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、米国仮出願番号第 60 / 395, 115 号 (2002 年 7 月 10 日出願)、並びに、米国仮出願番号第 60 / 395, 697 号 (2002 年 7 月 12 日出願) の出願日の利益を主張するものであり、これら仮出願の内容全体は本願明細書で参照により援用される。

【0002】

10

20

30

40

50

本発明は出力レギュレータに関する。

【背景技術】

【0003】

出力レギュレータは、多数の機械および、ほとんど全ての電子装置を含む装置で用いられている。出力レギュレータは、一般に、未調整の入力電力を1以上の調整済出力に変換して、機械や装置内の回路に電力を供給するものである。これらの調整済出力はほとんどの場合調整済電圧であるが、調整済電流と調整済電力の生成も可能である。出力レギュレータは機械や装置に内蔵されたものであってもよい。あるいは出力レギュレータは、機械や装置と接続して組み立てられた別個の組立品であってもよい。出力レギュレータのいくつかの特性を用いて、出力密度、効率、出力調整および過渡的レスポンスなどの動作特性を含む特定の設計品質を判断する事が出来る。

10

【発明の開示】

【発明が解決しようとする課題】

【0004】

出力レギュレータの動作特性を改善して、出力レギュレータを使用する機械および装置をさらに小型化したり、より少ない電力で済むようにしたり、過渡状態中の精度と信頼性の向上を図ったり、あるいは動作の向上を図ったりすることなどにより、機械および装置の改善を可能にすることが望まれる。

【課題を解決するための手段】

【0005】

1つの態様では、調整済出力を有する出力レギュレータを制御する制御システムが提供される。デジタル検知信号を出力する出力センサが設けられ、少なくとも3つの基準範囲のどの範囲に調整済出力が含まれるかが示される。少なくとも3つの基準範囲を含む調整済出力の複数の可能な値の個々の値が出力される。デジタル検知信号に応動して、調整済出力の制御用駆動信号を生成するデジタルコントローラが設けられる。

20

【0006】

別の態様では、入力電圧を調整済出力に変換する出力レギュレータおよび方法が提供される。入力電圧から電力出力を生成する電力段を備える出力レギュレータが提供される。電力出力をフィルタリングして、調整済出力を生成する出力フィルタが提供される。デジタル検知信号を生成して、少なくとも3つの基準範囲のどの範囲に調整済出力が含まれるかを示す出力センサが提供される。少なくとも3つの基準範囲を含む調整済出力の複数の可能な値の個々の値を含む。デジタル検知信号に応動して、電力段を制御する駆動信号を生成するデジタルコントローラが提供される。

30

【0007】

別の態様では、第1の電圧に対応するフィードバック信号を生成する回路および方法が提供される。少なくとも2つの基準電圧を生成する基準ジェネレータを備える回路が提供される。少なくとも3つの電圧範囲を画定する基準電圧が提供される。第1の電圧を少なくとも3つの電圧範囲と比較し、少なくとも3つの基準範囲のどの範囲に調整済出力が含まれるかを示すデジタル信号を生成するコンパレータが提供される。

【0008】

別の態様では、出力レギュレータを制御する制御システムおよび方法が提供される。入力電圧を調整済出力に変換する出力レギュレータが提供される。入力電圧から電力出力を生成する電力段を含む出力レギュレータと、電力出力をフィルタリングして、調整済出力を生成する出力フィルタが提供される。調整済出力に対応する検知信号に応動して、電力段を制御する駆動信号を生成するデジタルコントローラを備える制御システムが提供される。駆動信号を生成する動作モードのうちの選択モードを含み、選択モードを少なくとも3つの動作モードの間で選択するデジタルコントローラが提供される。

40

【0009】

別の態様では、入力電圧をチョッピング処理済み出力に変換する電力アレイおよび方法が提供される。チョッピング処理済み出力を調整済出力に変換する出力レギュレータ。独

50

立した駆動信号に応動して、スイッチング周波数で、入力電圧をチョッピング処理済み出力に変換するスイッチアレイを備える電力アレイが提供される。少なくとも2つのパワースイッチを含むスイッチアレイが提供される。デューティサイクル信号に応じて独立した駆動信号を生成するスイッチコントローラが提供される。スイッチング周波数よりも高いサンプリング周波数で作動するスイッチコントローラが提供される。スイッチング周波数よりも高い駆動周波数で独立した駆動信号を制御するスイッチコントローラが提供される。

【0010】

別の態様では、ゲイン分解能を持つ電流センサを設けるステップと、電流センサのゲイン分解能を初期分解能にセットするステップと、電流センサの中を流れる電流を検知するステップと、電流の振幅を評価するステップと、サンプリング周波数で、評価ステップに基づいて電流センサのゲイン分解能を制御するステップと、を備える、出力レギュレータで電流を検知する方法およびシステムが提供される。

【0011】

別の態様では、共通ノードを持つ少なくとも2つのパワースイッチを設けたステップを備える、出力レギュレータにおけるパワースイッチ間での無駄時間を制御する方法およびシステムであって、2つのパワースイッチのうちの少なくとも一方が通電スイッチであり、2つのパワースイッチの残りの一方がフリーホイーリングスイッチである方法およびシステム。通電スイッチとフリーホイーリングスイッチのうちの一方のスイッチをオン状態からオフ状態へ切り替えるステップが提供される。オン状態からオフ状態への遷移中、通電スイッチとフリーホイーリングスイッチのうちの一方のスイッチの中を流れる電流をモニタするステップが提供される。電流を基準レベルと比較するステップが提供される。所定時間の間、遅延を行い、次いで、通電スイッチとフリーホイーリングスイッチのうちの一方のスイッチの動作状態をオフ状態からオン状態へ変更するステップが提供される。

【0012】

別の態様では、出力レギュレータ用スイッチアレイにおけるスイッチング損失を低減する方法およびシステムが提供される。スイッチアレイは、入力源から出力レギュレータの調整済出力へエネルギーを変換する、少なくとも2つのパワースイッチを含むスイッチアレイである。次のスイッチングサイクル中にスイッチアレイの中を流れる予想電流を決定するステップを備える方法が提供される。サンプリングレートで、予想電流に基づいてスイッチアレイの予想電力損失を決定するステップが提供される。予想電力損失を最小限にとどめる、オンにするパワースイッチの組み合わせを決定するステップが提供される。パワースイッチの組み合わせを可能にするステップが提供される。

【0013】

別の態様では、出力レギュレータ用電力段におけるノイズを抑制する方法およびシステム。入力源から出力レギュレータの調整済出力へエネルギーを変換する電力段。共通ノードを有する少なくとも2つのスイッチアレイを含む電力段。共通ノードのノイズ特性をモニタし、ノイズ特性を基準レベルと比較し、比較に基づいてインピーダンス制御信号を生成し、次いで、サンプリングレートで、インピーダンス制御信号に応答してスイッチアレイを制御するステップを備える方法が提供される。

【0014】

別の態様では、出力レギュレータ用電力段の回路ノードのキャパシタンスを制御する方法およびシステムが提供される。入力源から、出力レギュレータの調整済出力へエネルギーを変換する電力段が提供される。少なくとも1つのスイッチアレイであって、少なくとも2つの直列対のパワースイッチを含むスイッチアレイおよび、回路ノードと接続された第1のパワースイッチを含む電力段が提供される。スイッチアレイの中を流れる電流をモニタするステップと、電流に基づいて回路ノードで所望のキャパシタンスを決定するステップと、オンにするスイッチアセンブリの組み合わせをサンプリングレートで決定して、回路ノードを所望のキャパシタンスにセットするステップと、直列対のパワースイッチを制御して、所望のキャパシタンスに回路ノードをセットするステップと、を備える方法が提

10

20

30

40

50

供される。

【0015】

別の態様では、入力源から出力レギュレータの調整済出力へエネルギーを変換するダイオードエミュレーションシステムおよび方法が提供される。スイッチング周波数を有する出力レギュレータが提供される。第1の駆動信号に応動して、入力源から出力レギュレータの出力インダクタへのエネルギーの流れを制御し、それによって、出力インダクタの中を流れる電流が増加するように為す、第1のパワースイッチを備えるダイオードエミュレーションシステムが提供される。アレイ駆動信号に応動して、フリーホイーリング段階中に出力インダクタの中を流れる電流用経路を設け、それによって出力インダクタの中を流れる電流を減らすように為す、少なくとも2つのパワースイッチを含むスイッチアレイが提供される。スイッチアレイの中を流れる電流を検知する電流センサと、スイッチアレイの中を流れる電流に応じてアレイ駆動信号を生成するコントローラが提供される。少なくとも2つのパワースイッチを独立に制御するコントローラが提供される。

10

【0016】

別の態様では、入力源と、出力レギュレータの調整済出力との間でのエネルギーの移動に制限を設けるデューティサイクルリミッタおよび方法が提供される。或るレギュレータ特性と、入力源と調整済出力との間でのエネルギーの移動を制御するための計算済みデューティサイクルを備える出力レギュレータが提供される。基準レベルを生成し、出力レギュレータのレギュレータ特性を基準レベルと比較して、最大デューティサイクルを決定するデジタルコントローラを備えるデューティサイクルリミッタが提供される。少なくとも出力レギュレータのスイッチング周波数に等しい周波数で基準レベルを制御するデジタルコントローラ。計算済みデューティサイクルを最大デューティサイクルに制限するデジタルコントローラが提供される。

20

【0017】

別の態様では、出力レギュレータの公称デューティサイクルを決定するデューティサイクル推定装置および方法が提供される。モード1の推定装置とモード2の推定装置とを含む少なくとも2つのモードを備えるデューティサイクル推定装置が提供される。前回までのデューティサイクルに応じて公称デューティサイクルを決定するモード1の推定装置が提供される。累積誤差に応じて公称デューティサイクルを決定するモード2の推定装置が提供される。モード選択基準に基づいて、少なくとも2つのモードのうちの一方を選択して、公称デューティサイクルを生成するモードセレクトが提供される。

30

【0018】

別の態様では、出力レギュレータの調整済出力を制御するデジタルコントローラおよび方法が提供される。パルス幅信号に応動して、入力源と調整済出力間でのエネルギーの移動を制御する出力レギュレータが提供される。公称デューティサイクルを決定するデューティサイクル推定装置を備えるデジタルコントローラが提供される。調整値を決定して、公称デューティサイクルと組み合わせ、調整済みデューティサイクルを生成する調整データミナであって、パルス幅信号が調整済みデューティサイクルの関数となる調整データミナが提供される。

【0019】

別の態様では、出力レギュレータの調整済出力を制御するためのデューティサイクル推定装置および方法デューティサイクルを決定する。デューティサイクルに応動して、入力源と調整済出力間でのエネルギーの移動を制御する出力レギュレータが提供される。出力レギュレータのスイッチング時間よりも長い時間にわたって累積誤差を決定する、アキュムレータを備えたデューティサイクル推定装置が提供される。基準レベルを生成する基準ジェネレータが提供される。単一ゼロを生成するために、スイッチング時間よりも大きな最大レートで累積誤差を基準レベルと比較し、比較に基づいてデューティサイクルを生成するコンパレータが提供される。

40

【0020】

別の態様では、出力レギュレータを制御するデジタルコントローラおよび方法が提供さ

50

れる。出力レギュレータを制御する機能を提供する、サブブロックを有するデジタルコントローラが提供される。出力レギュレータの検知ポイントをモニタするエネルギー節約型不連続モード（ESDM）コントローラを備えるデジタルコントローラ。出力レギュレータの出力電力状態を示す検知ポイントが提供される。サブブロックへの電力の流れを制御して、出力レギュレータの選択した電力状態の間、デジタルコントローラの消費電力を低減するESDMコントローラが提供される。

【0021】

本発明の1以上の実施形態の詳細について以下の添付図面と説明に記載する。本発明のその他の特徴、目的および利点は、この説明と図面から、並びに、特許請求の範囲から明らかになる。

【0022】

種々の図面内の同じ参照符号は同じエレメントを示すものとする。

【発明を実施するための最良の形態】

【0023】

図1は、調整済電力を負荷12へ供給する電力レギュレータ10を示す図である。電力レギュレータ10は、フィードバック信号16を受け取り、電力段20を駆動する1以上の制御信号18を生成するデジタルコントローラ14を備えるものであってもよい。電力段20は、Vin22などの未調整電圧を出力フィルタ24によりフィルタされるチョッピング処理を施した波形に変換し、調整済出力26を生成する。調整済出力26は、直流（DC）出力であることが望ましく、電圧、電流、電力を含む任意の出力特性を有する出力であってもよい。未調整電圧は、交流（AC）電圧とDC電圧などのいずれの形態の入力電力であってもよい。AC入力電圧の場合、AC電圧をDC入力電圧（Vin22）に変換する整流段（図示せず）を含むものであってもよい。出力センサ28は調整済出力26を検知し、デジタルコントローラ14へフィードバック信号を送る。電力レギュレータ10は、バック、ブースト、フライバック（バックブースト）、チョック（Cuk）、セピック（sepic）、ゼータ（zeta）などの任意のトポロジを用いる事が出来る。

【0024】

図2は、負荷（図示せず）に電力を供給する未調整入力電圧（Vin）を調整済出力に変換する変圧器100の一部を示す図である。デジタルコントローラ102は、一対の駆動信号を生成して、チョッピング処理を施した波形へのVinの変換を制御する。プログラム可能なデバイス実行用ソフトウェアやファームウェア、デジタル回路、論理回路、デジタル信号プロセッサおよび上記の組み合わせなどの任意の方法でデジタルコントローラ102は実現可能である。調整済出力に対応するデジタル誤差信号104に応じてデジタルコントローラ102は駆動信号を生成する。

【0025】

出力センサ106は、調整済出力を検知し、デジタル誤差信号104を生成する事が出来る。出力センサ106は、調整済出力を基準信号108と比較して、デジタル誤差信号を生成する事が出来る。基準信号108は、アナログおよびデジタルなどの任意の種類の信号であってよく、また、任意の方法で生成したものであってもよい。

【0026】

例えば、出力セクタ110は、1以上の入力（RxとRy）に応じて基準信号108を生成する事が出来る。入力部はアースなどの基準電圧と接続する抵抗器であってもよい。抵抗器の値は、出力電圧レベルと許容範囲の選択結果に対応する値であってよい。出力セクタ110は別々のモジュールであってよいし、デジタルコントローラ102内に含まれるものであってもよい。

【0027】

駆動回路112aと112bは、デジタルコントローラ102から得た駆動信号をバッファして、信号を生成し、上下の電力アレイ114aと114bを駆動する事が出来る。駆動回路112aと112bは、動作状態間での電力アレイ114aと114bの切り替え時の遷移時間を短くする低出力インピーダンスを備えたものであってもよい。駆動回路

10

20

30

40

50

112aと112b用として任意の種類のドライバを用いてもよい。

【0028】

電力アレイ114aと114bは各々、オン状態とオフ状態との間で循環するスイッチングモードで作動する1以上のパワースイッチを含む。MOSFET、BJT、IGBT、MCTなどの任意の種類のパワースイッチの利用が可能である。電力アレイ114aと114bは、バック、ブースト、フライバック、セピック(sepic)、チョック(Chuk)、ゼータ(zeta)などの任意のトポロジで構成してもよい。

【0029】

本明細書では、電力アレイ114aと114bはバック構成で記載されている。上部電力アレイ114aはVinと共通ノード(VL)との間で接続される。下部電力アレイ114bは、VLと、アースなどの低い電圧との間で接続される。オン状態とオフ状態との間で電力アレイ114aと114bが切り替わるにつれて、VinとアースがVLに印加される。VinがVLに印加されるとき、エネルギーは、VinからVLを介して出力フィルタへ流れる(図1を参照)。

【0030】

電流センサ116aと116bは電力アレイ114aと114bの中を流れる電流を測定する事が出来る。電流センサは、変電器、直列抵抗器、ホール効果素子、オン状態のMOSFETの両端で生じる電圧に基づく電流の決定などの任意の電流検知方法を用いる事が出来る。電流センサ116aと116bの各センサは、デジタル出力を生成して、ピーク電流、平均電流、実電流などの電流特性を示すことが可能である。電流のデジタル出力は1以上のビットとしてもよい。

【0031】

電圧センサ118はVLで電圧を検知する事が出来る。電圧センサ118は検知した電圧に基づいてデジタル出力を生成する事が出来る。VLのデジタル出力は、2以上のビットであってもよい。VL情報は、下部電力アレイ114bを介する間接的電流検知などの制御用および保護用として利用してもよい。

【0032】

遅延ライン120は、デジタルコントローラ102により計算された推定済みデューティサイクルの微調整を行う事が出来る。遅延ライン120は遅延信号を生成して、推定済みデューティサイクルを長びかせることが可能である。例えば、クロックパルス幅の整数倍として推定済みデューティサイクルを計算することが可能であり、さらに、クロックパルス幅未満の増分だけ推定済みデューティサイクルを変更することも可能である。遅延ライン120は、マルチビットデジタル信号などの1以上のビットのデジタル信号を受け取り、制御されたパルス幅を用いてパルスを生成する事が出来る。任意の種類のパルスストレッチング法を用いてもよい。さらに、遅延ライン120はわずかの量の増分を生成するディザリングを含むものであってもよい。例示のシステムでは、遅延ライン120は"t1"に等しい最小増分分解能を生成することが可能であり、ディザリングを適用することにより、生成済みのパルスの平均値は"t1"の任意のわずかな分だけストレッチされたパルスとしてもよい。1つのディザリング方法では、連続する一連のパルス内の選択された数のパルスを整数"N"の増分值分だけストレッチすることが可能であり、次いで、整数"N-1"または"N+1"分だけ一連のパルス内の残りのパルスをストレッチして、わずかにストレッチしたパルスを生成する事が出来る。

【0033】

発振器122は変圧器100用のクロック信号の生成が可能である。発振器122は外部同期信号を受け取り、クロック信号を同期させる事が出来る。位相ロックループ発振器やクリスタル発振子などの任意の種類の発振器の使用が可能である。

【0034】

ソフトスタート回路124はソフトスタート信号を生成して、電力供給のターンオン中、エネルギーの出力への移動を供給電力に制限する事が出来る。このソフトスタート信号は、駆動信号のパルス幅を制御する5ビット信号にして、出力側へのエネルギー移動を制限す

るようにしてもよい。例えば、ターンオン中に、ソフトスタート信号は最大パルス幅の制限値をランプアップする事が出来る。デューティサイクルを制限する手法、駆動信号の動作周波数を制御する手法、段階的に出力電圧を定常状態レベルまで上げるために、出力フィードバック信号と比較する対象基準電圧を制御可能に昇圧する手法などの任意の種類のソフトスタート手法の利用が可能である。ソフトスタート回路124はエネルギーの移動をサイクル毎に制限する事が出来る。

【0035】

適応型デューティ制限126は、デジタル信号を生成して、 V_{in} 、入力電流(I_{in})、入力リップル電圧(V_{in_ripple})、入力電力(P_{in})、入力ソースインピーダンス、 R 、入力エネルギー(Q_{in})などの、入力電力の電気的特性に応じて出力側へのエネルギーの移動を制限することが可能である。例えば、適応型デューティ制限126は I_{in} をモニタして、デューティサイクルを制限するデジタル信号を生成し、 I_{in} の振幅が閾値を上回らないようにすることも可能である。適応型デューティ制限126はサイクル毎に作動して、閾値の制御を行う事も出来る。サイクル毎に、適応型デューティ制限126は閾値を変更して、次のサイクル用としてデューティサイクルの制限を行う事が出来る。次のサイクル用のデューティサイクルは、閾値と比較した結果に基づいて前回のサイクルの入力電力の電気的特性を決定する事が出来る。

【0036】

図3は変圧器100の動作モードの態様を示す図である。ブロック150で、調整済出力を検知し、基準と比較する。検知した調整済出力は電圧と電流などの任意の電気的特性であってもよい。ブロック152で、検知した調整済出力に応じてデジタルフィードバック信号を生成する。上記デジタルフィードバック信号はマルチビット信号であってもよい。このデジタルフィードバック信号の個々の値は検知した調整済出力のアナログ値の範囲に対応するものであってもよい。ブロック154で、上記デジタルフィードバック信号に基づいて推定済みデューティサイクルを決定する。この推定済みデューティサイクルは、カウンタに印加されるカウンタ制限として表してもよい。上記カウンタは、クロック信号と上記カウンタ制限に応じてパルスを生成する事が出来る。ブロック156で、ソフトスタート信号を生成し、ターンオン中の調整済出力へのエネルギー移動を制限する。このソフトスタート信号は、上記電力アレイをオーバドライブするデューティサイクルを制限する。ブロック158で、入力制限信号を生成して、入力電力に応じて調整済出力へのエネルギー移動を制限する。例えば、入力電圧が所定の電圧未満のときや、入力電流が所定の電流よりも大きくなったとき、電力の移動を制限する事が出来る。ブロック160で、クロックデューティサイクルを生成する事が出来る。ブロック162で、このクロックデューティサイクルは、クロック信号のクロックパルスよりも短い継続時間により調整が行われる。例えば、クロック周波数によりクロックデューティサイクルの分解能を制限して、推定済みデューティサイクル未満かこれよりも大きいかのいずれかであるクロックデューティサイクルが、推定済みデューティサイクルと等しくならないようにしてもよい。次いで、推定済みデューティサイクルにはほぼ等しくなるようにクロックデューティサイクルを増減することが可能となる。ブロック164で、計算済みデューティサイクルに応じて1以上の電力アレイを制御して、調整済出力へのエネルギーの移動を行うことが可能である。

【0037】

図4は、変圧器100用のパッケージ構成の態様を示す図である。このパッケージ構成によって、変圧器100の作動から生じるノイズに対する感受性($susceptibility$)が好適に低下する。パッケージ200には、変圧器100におけるエネルギーの流れを制御するデジタルコントローラとパワースイッチとが含まれる。パッケージ200のピン構成により、変圧器100と関連するトレースの改善されたルーティングが提供される。パッケージ200の第1の側部に沿ってリターンピン202を配置してもよい。リターンピン202は、 V_{out} へ流れる電流のためのリターン電流路を提供するものである。 V_{in} ピン204とセンタ・タップピン(CT)206とをパッケージ200の第2の側部に沿って配置してもよい。制御入力/出力(I/O)用ピン208~212をパッ

ケージ 200 の第 3 の側部に沿って配置してもよい。制御 I / O は周波数補正值 (CF)、出力電圧の選択 (R1 と R2) などの機能を含むものであってもよい。

【0038】

マルチモード制御システム：図 5 は出力レギュレータを制御する適応型マルチモード制御システム 300 の態様を示す図である。マルチモード制御システム 300 は、調整済出力に応じて 3 つ以上の動作モード間で自動切り替えを行う事が出来る。出力レギュレータは、スイッチングレギュレータおよび線形レギュレータを含む任意の種類のレギュレータであってもよく、電圧と電流などの任意の出力特性を調整するものである。マルチモードコントローラ 300 は、ヒステリシスモード、適応型ヒステリシスモード、パルス幅変調モード、一定のオンタイムモード、一定のオフタイムモード、共振モード、固定周波数ソフトスイッチングモード、電圧モード、電流モードおよび上記動作モードの組み合わせを含む固定周波数と可変周波数モードなどの任意の組み合わせの動作モードを含むように構成することが可能である。マルチモードコントローラ 300 は、デジタル制御システムで実現され、クロック信号で作動する。適応型マルチモード制御システム 300 は、動作モード間の切り替えをクロック信号のサイクル毎に行う事が出来る。クロックサイクル毎に、出力レギュレータの 1 以上の特性の検知が可能であり、次いで、検知した特性に基づいて動作モードの選択を行う事が出来る。出力電圧、出力電流、バイアス電流、スイッチ電流および温度などの任意の出力レギュレータ特性を利用することが可能である。その場合、これら特性はそれぞれ、ピーク値、平均値、加重平均値、変化率および瞬間変化率などの任意の数式であってもよい。

【0039】

スイッチングレギュレータの 1 つの例示構成では、スイッチングレギュレータのスイッチがターンオンすると、適応型マルチモード制御システム 300 は電圧モードヒステリシス制御 302 で起動する。図 6 は、いくつかの動作状態中のスイッチングレギュレータの調整済出力電圧 320 を示す図である。

【0040】

電圧モードヒステリシス制御 (S1) 302 の間中、調整済出力電圧 320 は定常状態値へ向かって迅速にランプアップする。電圧モードヒステリシス制御 (S1) 302 時に、電圧が V0 のような基準電圧未満のとき、調整済出力電圧 320 へのエネルギーの移動が行われる。調整済出力電圧 320 が上昇して V0 よりも大きくなると、マルチモード制御システム 300 は駆動信号に割込みをかけ、短い時間の遅延の後にエネルギーの移動を停止させる。

【0041】

調整済出力電圧 320 が VH3 と VL3 などの値の範囲内にあるとき、適応型マルチモード制御システム 300 は電圧モード適応型ヒステリシス制御 (S2) 304 への切り替えを行う事が出来る。電圧モード適応型ヒステリシス制御 (S2) 304 では、ヒステリシス制御の下での最大オンタイムと最大オフタイムを制限して、調整済出力へエネルギーを移動する速度を落して、定常状態値付近のリンギングの振幅を低減する。

【0042】

適応型マルチモード制御システム 300 は、調整済出力電圧のリンギングが小さくなるにつれて、電圧モードまたは電流モードパルス幅モジュレーション (PWM) 制御 (S3) 306 への切り替えを行う事が出来る。電圧モード PWM 制御 (S3) 306 中、出力レギュレータは一定周波数で作動し、出力側へのエネルギーの移動を行う際のデューティサイクルの制御を行うことにより出力電圧を調整する。電圧モード PWM 制御 (S3) 306 への切り替えは、出力レギュレータの出力電流、出力電圧および出力電圧が変動する電圧の範囲に基づくものであってもよい。

【0043】

一定のオンタイム電流モード制御 (SY) 308 は、低負荷の制限値未満まで出力電流が減少すると、エネルギー節約用に切り替わる。一定のオンタイム電流モードによる制御 (SY) 308 中、スイッチングレギュレータのオフタイムを制御して、調整済出力を保持

することが可能である。この出力電流が減少するにつれて、スイッチングレギュレータのスイッチング周波数が低下したり、完全に停止したりして、スイッチングレギュレータのスイッチング損失を減らす事が出来る。負荷が存在しない間、または、非常に低負荷の条件しか存在しない間、スイッチングレギュレータはクロックを中止するハイバネーションモードに入る事が出来る。

【0044】

図7は適応型マルチモード制御システムの態様を示す図である。ブロック330で、出力レギュレータの制御用として3つ以上の動作モードが設けられている。この動作モードは、ファームウェア、ソフトウェア、ハードウェアなどの任意のクロック駆動媒体で構成したものであってもよい。ブロック332で、マルチモード制御システム300の作動用クロック信号が生成される。ブロック334で、出力レギュレータの1以上の特性の検知を行う事が出来る。最小オンタイムに対応する複数のクロックサイクルや、出力レギュレータのデューティサイクルなどのクロックサイクルに応じて出力レギュレータの特性を検知する事が出来る。ブロック336で、この検知した出力レギュレータ特性を評価して、どの動作モードを使用すべきかを決定する事が出来る。ブロック338で、上記評価に基づいて動作モードのうちの1つのモードを選択する事が出来る。個々のクロックサイクル毎に、あるいは、所定数のクロックサイクル毎に一回などのサンプリング周波数で、出力レギュレータ特性の評価と動作モードの選択をサイクル毎に行う事が出来る。ブロック340で、選択した動作モードを利用して、次の通電サイクルのために出力レギュレータがセットされるオンタイムの計算が行われる。ブロック342で、出力レギュレータは上記計算したオンタイムに応じて入力電圧を出力レギュレータの出力に変換する。

【0045】

出力スライサ：図8は、調整済出力を生成する出力レギュレータ400の態様を示す図である。出力レギュレータ400は、フィードバック信号404を受け取り、電力段408を駆動する1以上の駆動信号406を生成するデジタルコントローラ402を含むものであってもよい。電力段408は、 V_{in} などの未調整電圧をチョッピング処理を施した波形に変換し、上記波形は出力フィルタ412によりフィルタされて調整済出力414を生成する。調整済出力(V_{out})は、DC出力であることが望ましく、電圧、電流、電力を含む任意の出力特性に基づいて調整される。

【0046】

出力スライサ416は、出力電圧の検知に応じてフィードバック信号404を生成する事が出来る。出力スライサ416は、出力電圧を含む電圧の範囲を決定する事が出来る。出力スライサ416は、電圧範囲の組み合わせを記述する2以上の電圧範囲を決定し、次いで、出力電圧を含む電圧範囲を決定する事が出来る。例えば、0ボルトから10ボルトへ及ぶ電圧範囲の組み合わせは、0ボルトから8ボルトの第1の電圧範囲、8ボルトから9ボルトの第2の電圧範囲、9ボルトから10ボルトの第3の電圧範囲および10ボルト以上の第4の電圧範囲によって記述する事が出来る。出力電圧が8.5ボルトであれば、出力電圧は第2の範囲内に存在することになる。この電圧範囲はオーバーラップする範囲並びに連続する範囲となるように選択する事も出来る。図9は電圧範囲のオーバーラップする構成の1例を示す図である。第1の電圧範囲は0ボルトから V_{L3} ボルトの範囲に及ぶ。第2の電圧範囲は V_{L3} ボルトから V_{H3} ボルトの範囲に及ぶ。第3の電圧範囲は V_{L2} ボルトから V_{H2} ボルトの範囲に及ぶ。第4の電圧範囲は V_{L1} ボルトから V_{H1} ボルトの範囲に及ぶ。第2、第3、第4の電圧範囲は、公称電圧 V_{A0} に関する電圧調整制限を記述する事が出来る。別の態様の実施例では、 $0 \sim V_{L3}$ 、 $V_{L3} \sim V_{L2}$ 、 $V_{L2} \sim V_{L1}$ 、 $V_{L1} \sim V_{H1}$ 、 $V_{H1} \sim V_{H2}$ 、 $V_{H2} \sim V_{H3}$ のように連続的に延在する電圧範囲を選択する事が出来る。

【0047】

出力スライサ416は、サンプリング周波数で電圧範囲をサイクル毎に動的にセットする事が出来る。例えば、 V_{L3} などの1以上の基準レベルをサイクル毎に変更し、個々の電圧範囲が含む電圧がサイクル毎に変わるようにすることも可能である。別の態様では、

調整済出力のリップル電圧に応じて基準レベルの制御を行うことが可能である。例えば、調整済出力の公称レベルに最も近い基準レベルを調整して、このリップル電圧が基準レベルにより含まれる電圧範囲の所定の割合となるように保証する事が出来る。別の態様では、電圧の過渡的状态の間は、電圧範囲を相対的に広い範囲にセットし、一方、定常状態の間は、電圧範囲を狭い範囲にセットするようにしてもよい。また、連続する範囲からオーバーラップする範囲へ電圧範囲の構成をサイクル毎に変更してもよい。出力スライサ 416 は電圧基準を有するものとして記述されているが、電流基準を用いて、電流の比較を行う事が出来るような電流範囲を画定してもよい。

【0048】

出力スライサ 416 は出力電圧を所定の電圧範囲と比較し、出力電圧が存在する範囲に及ぶ電圧範囲を表すデジタル値を選択する事が出来る。フィードバック信号 404 は 2 以上のビットを持つデジタル信号であり、この信号によって、復号化信号を運ぶデジタルバスと個々の電圧範囲を表す別々のデジタルラインなどの出力電圧に対応する電圧範囲が表示される。

【0049】

図 10 は、検知済みの電圧を含む電圧範囲を表すデジタル値を生成する電圧スライサ 450 の態様を示す図である。基準ジェネレータ 452 は、電圧範囲の各々に対する電圧制限をセットするためにいくつかの電圧基準 454 を生成する事が出来る。個々の電圧制限に対して個々の電圧基準 454 を割り当てて単一の電圧基準から複数の電圧制限を導き出すなどの任意の構成の電圧基準の設定が可能である。

【0050】

制御信号 455 は、電圧基準の動的制御を行うことが可能であり、それによって、サンプリング周波数でサイクル毎の電圧制限の制御が可能となる。制御信号 455 は 1 以上の電圧基準を制御し、2 以上の電圧レベル間で電圧基準の切り替えを行う事が出来る。制御信号 455 は、アナログ信号、デジタル信号、混合信号、パラレル信号、シリアル信号、1 以上のライン信号およびこれら信号の組み合わせであってもよい。

【0051】

1 以上のコンパレータ 456 は出力電圧を電圧制限 454 と比較する事が出来る。複数のコンパレータ 456 を用いるとき、コンパレータは、並列に作動して、電圧範囲を画定する個々の電圧制限と出力電圧とを比較する事が出来る。1 つの別の態様では、単一のコンパレータ 456 を用いて、クロック遷移時に電圧制限に対応する値にわたって順に並べることが可能である制御された電圧基準と出力電圧とを比較することも可能である。

【0052】

エンコーダ 458 は、コンパレータ 450 の出力を 2 以上のビットを持つデジタル信号に符号化する事が出来る。このデジタル信号は、パラレルおよびシリアル等の任意のフォーマットであってもよい。

【0053】

図 11 は電圧スライサの作動を示す図である。ブロック 470 で、3 つ以上の基準レベルを生成して、電圧範囲を画定する事が出来る。この基準レベルは、静的レベルまたは動的レベルのいずれであってもよい。静的基準レベルは一定のレベルで保持する事が出来る。動的基準レベルは、電圧範囲を動的に変更できるようにサイクル毎に制御を行うことが可能である。例えば、レギュレータ出力が増加している電力レギュレータのターンオン中に、電圧範囲を電力レギュレータ出力の定常状態レベルの 10 % にセットする事が出来る。次いで、電力レギュレータ出力が定常状態レベルへ向かって定着し始めると、定常状態レベルの 5 % まで電圧範囲を下げる事が出来る。ステップ 472 で、素子特性のレベルを検知する事が出来る。出力電圧、出力電流、切り替え電圧、インダクタ電流および入力電圧などの任意の素子特性の検知が可能である。ステップ 474 で、この素子特性を基準レベルのうちの少なくとも 1 つと比較する事が出来る。ステップ 476 で、ステップ 474 に基づいて、この素子特性のレベルが存在する電圧範囲を決定する事が出来る。ステップ 478 で、デジタル信号が生成され、素子特性のレベルの存在範囲が示される。

【0054】

電力アレイ：図12(a)は、入力電圧からチョッピング処理を施した電圧を生成する電力アレイ500の態様を示す図である。本明細書で説明する電力レギュレータ10のような電力レギュレータは電力アレイ500を含むものであってもよい。電力アレイ500は、2つのノード間のエネルギーの流れを制御するパワースイッチQ1～Q8の1以上のスイッチアレイ502aと502bを備えるものであってもよい。パワースイッチQ1～Q8は、各々2つの状態（オン状態とオフ状態）で独立に作動する事が出来る。オン状態では、パワースイッチは低いインピーダンスを有し、2つのノード間でエネルギーの伝導を行う。オフ状態では、パワースイッチは高いインピーダンスを有し、2つのノード間のエネルギーの流れをブロックする。MOSFET、BJT、MCT、IGBT、無線周波数（RF）FETなどのパワースイッチ用として、任意の量と種類のスイッチング素子を使用する事が出来る。パワースイッチQ1～Q8は、MOSFET用などのような任意のサイズのパワースイッチを混合したものであってもよく、1つの素子が0.1ohmのRds(on)を備える場合もあれば、0.2ohmと0.4ohmのRds(on)をそれぞれ備える場合もある。

10

【0055】

スイッチアレイ502aと502bは、バック、ブースト、フライバック、チョック（Cuk）、セピック（sepic）、ゼータ（zeta）などの任意のトポロジの形で接続する事が出来る。本明細書では、スイッチアレイ502aと502bは、上部スイッチアレイ502aが通電時間中エネルギーの伝導を行い、フリーホイーリング時間中エネルギーの伝導を行うバクトロジの形で下部スイッチアレイ502bが接続される。スイッチアレイ502aと502bは、MOSFET、BJT、MCT、IGBT、RF_FETなどの任意のパワースイッチの組み合わせであってもよい。

20

【0056】

ドライバアレイ505は、スイッチコントローラ504からパワースイッチQ1～Q8への駆動信号のバッファを行う。ドライバアレイ505はいくつかのドライバ506を含むものであってもよい。ドライバ506の各々は、単一のパワースイッチを駆動することが望ましいが、個々のドライバ506はパワースイッチQ1～Q8のうちの2以上のパワースイッチの駆動が可能である。ドライバ506は、パワースイッチQ1～Q8のスイッチング速度の向上を図って、オン状態とオフ状態間でのパワースイッチの遷移時にスイッチング損失を減らすものである。ドライバ506用として任意の種類の回路と素子を使用して、パワースイッチQ1～Q8のスイッチング速度の向上を図るようにしてもよい。

30

【0057】

スイッチコントローラ504は、パワースイッチQ1～Q8の制御用駆動信号を生成する。スイッチコントローラ504はデジタルに作動し、デジタル回路などの任意の形式のデジタルエンティティ、およびソフトウェアを実行するプログラム可能な素子またはファームウェアとして実現することが可能である。スイッチコントローラ504は、デューティサイクル信号508を受け取り、このデューティサイクル信号508に基づいて駆動信号を生成する事が出来る。スイッチコントローラ504は、サンプリング周波数でサイクル毎に作動して、この駆動信号を決定する事が出来る。サンプリング周波数は出力レギュレータのスイッチング周波数よりも20倍またはそれ以上高い周波数であってもよい。例えば、固定周波数で作動中、出力レギュレータは、50kHzと1MHzの間で作動する事が出来、一方、サンプリング周波数は1MHzと100MHzの間の範囲にわたるものにしてもよい。スイッチコントローラ504は、サンプリング周波数に対応するクロックサイクル毎に駆動信号を決定する事が出来る。

40

【0058】

パワースイッチQ1～Q8の各々はサイクル毎に独立にイネーブル／ディセーブルにすることが可能である。スイッチアレイ内でイネーブルなパワースイッチQ1～Q8の量を制御する事が出来る。出力電流、周囲温度、動作温度、出力電圧、インダクタ電流などの任意の動作特性に基づいて、イネーブル／ディセーブルが可能なパワースイッチの量を決

50

定する事が出来る。例えば、出力電流が、最大出力電流の約 $1/2$ に等しいとき、個々のスイッチアレイ内の4つのパワースイッチのうちの2つだけをイネーブルにすることが可能であり、それによって、パワースイッチのスイッチング損失が最小限にとどめられる。別の態様では、通電時間中、切り替え時にスイッチ内の電流がランプアップするにつれて、追加のパワースイッチをイネーブルにして通電損失を減少させる。同様に、過渡的負荷の変動中、パワースイッチの量を増減することによってスイッチング損失および通電損失を減らす事が出来る。

【0059】

スイッチコントローラ504は、駆動信号を介してパワースイッチQ1～Q8の各々を独立に制御する事が出来、それによって、例えばオン状態とオフ状態間で遷移中の各パワースイッチ間の時間関係をサイクル毎に制御できるようになる。スイッチアレイ502aと502bの各スイッチアレイの内のパワースイッチQ1～Q4とQ5～Q8のオン／オフ遷移のタイムシーケンスは個々に制御する事が出来る。例えば、電力アレイ500の態様と関連する波形を示す図13を参照すると、パワースイッチQ1～Q4のオフ状態からオン状態への遷移520を制御して、第1のQ4がオフになり、その後Q2とQ3が一緒にオフになり、最後にQ1がオフになるようにすることが可能である。

【0060】

このタイムシーケンスの制御は、パワースイッチの中を流れる電流に基づく方法、遷移間での所定の遅延回数を利用する方法、1つのパワースイッチの遷移のトリガを別のパワースイッチの遷移の完了時に行う方法および、スイッチアレイに共通のノードでの電圧過渡現象に基づく方法などの任意の方法で制御することが可能である。

【0061】

電流センサ510と512はパワースイッチQ1～Q8の中を流れる電流を検知する事が出来る。出力インダクタと直列の位置、上部スイッチアレイ502aと直列の位置、さらに、下部スイッチアレイ502bと直列位置などの、出力レギュレータ内のどの位置でもパワースイッチQ1～Q8の中を流れる電流を検知する事が出来る。変圧器－抵抗器センサ、インダクター抵抗器センサ、ホール効果センサ、DC電流センサ、AC電流センサ、インダクター第3級巻線センサ、直列抵抗などの任意の種類の電流センサの使用が可能である。

【0062】

図14は、電力レギュレータ内のエネルギーの流れを制御する電力アレイ用パワースイッチアレイの動作を示す図である。ステップ550で、電力レギュレータ内でのエネルギーの流れを制御する2以上の並列スイッチが設けられる。好適には、パワースイッチの各々が独立した駆動信号を受け取ることが望ましい。しかし、スイッチを、独立した駆動信号を個々に受け取る2以上のグループのパワースイッチに構成することも可能である。ステップ552で、イネーブルにすべきパワースイッチの量を決定する。パワースイッチの量を調整して、スイッチング損失と通電損失とを含むパワースイッチ内での電力損失を減らす事が出来る。例えば、出力電流またはスイッチ電流を検知し、イネーブルのパワースイッチの量を検知済みの電流に基づいて制御する事が出来る。パワースイッチの中を流れる低い動作電流が存在するとき、イネーブルのパワースイッチの量を減らすことにより、スイッチング損失を減らす事が出来る。ステップ554で、パワースイッチのターンオン遷移のためのタイムシーケンスが決定される。切り替え遷移間の一定の遅延時間を選択したり、電圧レベル、電流レベル、動作温度などの電圧レギュレータの動作特性に基づいて遅延時間を選択したりするなどの任意の方法に基づいてターンオン遷移のためのタイムシーケンスを決定してもよい。ステップ556で、駆動信号を生成して、パワースイッチのターンオン遷移の制御を行う。ステップ558で、ターンオフ遷移用タイムシーケンスを決定する。ターンオフ遷移のためのタイムシーケンスは、ターンオン遷移のために決定したタイムシーケンスにより制限されることはない。好適には、ターンオンシーケンスとは独立にターンオフ遷移のタイムシーケンスを決定することが望ましい。しかし、ターンオン遷移のタイムシーケンスのミラーリングなどによるターンオンシーケンスに基づいてターン

10

20

30

40

50

オフ遷移のタイムシーケンスを決定してもよい。ステップ560で、ターンオフ遷移用駆動信号の生成を行う。

【0063】

電流の検知：図13は電力アレイ500の電流検知動作の態様を示す図である。サンプリング波形(SMP L)524は例示のサンプリングレートを示す。波形526～540はパワースイッチQ1～Q8用通電サイクルの一部を示す。波形542は出力インダクタの中を流れる電流を示す。電力アレイ500の通電サイクルのフリーホイーリング部の間、インダクタ内の電流は線形に減少する。波形544は検知電圧を示す。この検知電圧は、(検知インピーダンス×出力インダクタの中を流れる電流に対応する検知電流)に等しいものとしてもよい。サンプリング周波数で検知電圧の分解能をサイクル毎に調整してもよい。検知電圧波形544の囲み部分546は、インダクタ電流の振幅が小さくなるにつれて上昇する検知電圧の分解能を示す。1つの点では、電力アレイ500はズームインして、検知した電流の分解能を高める。サンプリング周波数で任意の方法によって上記分解能の制御をサイクル毎に行うことが可能である。1つの態様では、検知電流振幅と、インネーブルのパワースイッチの量と、通電サイクル時の所定時間などの分解能トリガーに基づいて検知電流信号の増幅を行うことにより上記分解能の制御が可能となる。別の態様では、1)パワースイッチのオンインピーダンスの両端子間の電流を検知するおよび、2)通電サイクル中に並列に作動するパワースイッチの量を制御するなどの、電流の検知素子のインピーダンスを制御する手段により分解能の制御が可能である。変圧器／抵抗器センサ、インダクタ／抵抗器センサおよびホール効果素子などの他の検知回路を用いて、抵抗器などの検知素子のインピーダンスの制御を行うことが可能である。個々のケースで、通電サイクルを通じてずっとサンプリング周波数で分解能を制御することが可能であり、その結果、検知した電流の振幅が減少するにつれて、電力アレイ500は通電サイクル中ズームインして、分解能を高めることが可能となる。

【0064】

図15は電流の検知方法の動作の態様を示す図である。ステップ580で、電流センサは電流を検知する初期分解能にセットされる。ステップ582で、パワースイッチQ1～Q8のうちの1以上のパワースイッチの中を流れる電流を検知する。この電流を間接また直接に検知する事が出来る。例えば、並列MOSFETのドレインソース電圧(Vds)を検知することが可能であり、VdsとMOSFETの既知のオン抵抗から電流の計算を行う事が出来る。ステップ584で、サンプリング周波数で電流センサのための次の分解能をサイクル毎に決定する事が出来る。次の分解能を選択して、検知回路の制約内で検知信号の振幅を最大化することによりノイズ誤差を最小限にとどめるようにする事が出来る。ステップ586で、電流センサは次の分解能にセットされ、次いで、スイッチの中を流れる電流が次のサイクルで再び検知される。

【0065】

フリーホイーリングダイオードエミュレーション：図16は、スイッチングレギュレータとして作動する出力レギュレータのフリーホイーリングダイオードのエミュレーションを行うためのダイオードエミュレーションシステム600の態様を示す図である。出力レギュレータには出力フィルタ605が含まれる。ダイオードエミュレーションシステム600がアースを基準にする出力を有するバクトポロジの形で示されてはいるが、ブースト、バックブースト、チュック(cuk)、セピック(sepic)、ゼータ(zeta)などの任意のトポロジの利用が可能であり、さらに、出力は、ハイサイド側基準とローサイド側基準のような任意の回路ノードを基準としてよい。ダイオードエミュレーションシステム600は、好適にはフリーホイーリングスイッチアレイ602を用いて、出力レギュレータのフリーホイーリングダイオードのエミュレーションを行うシステムである。フリーホイーリングスイッチアレイ602は、並列に接続され、独立に制御されるいくつかのパワースイッチを含むものであってもよい。パワースイッチを、類似のフリーホイーリングダイオードよりも低い通電損失の組み合わせを有するように選択して、出力レギュレータのフリーホイーリング段階中の通電損失とスイッチング損失とを減らすようにして

もよい。フリーホイーリングスイッチアレイ 602 は、ノイズの発生を低減するための制御されたインピーダンス、および、不連続モード動作などの低負荷の条件の間の負電流のための電流路を与える。フリーホイーリングスイッチアレイ 602 のパワースイッチと、第 1 のパワースイッチ 604 とは各々オン状態またはオフ状態のいずれかの状態で作動して、入力電力源 (V_{in}) から調整済出力 606 へのエネルギーの流れを制御する。パワースイッチの各々は、単一パワースイッチとパワースイッチのアレイなどのパワースイッチの任意のグループとして構成される。パワースイッチは、MOSFET、BJT、MCT、IGBT などの任意の種類のスイッチング素子であってもよい。ドライバ 608 と 610 は、スイッチアレイ 602 とパワースイッチ 604 とへ送られる駆動信号をバッファする事が出来る。パワースイッチのスイッチング速度を上げることにより、ドライバ 608 と 610 はパワースイッチのスイッチング損失と通電損失とを減らす事が出来る。任意の種類のドライバを用いてパワースイッチの駆動が可能である。

10

【0066】

上部電流検知回路と下部電流検知回路とはスイッチアレイ 602 と第 1 のパワースイッチ 604 との中を流れる電流を検知する事が出来る。シャント抵抗器、抵抗器／変圧器、周知のインピーダンスの両端の電圧検知およびホール効果などの任意の種類の電流検知回路を使用する事が出来る。下部電流検知回路は、電圧基準値 (V_{ILIM}) と、スイッチアレイ 602 の両端子間に接続されたコンパレータ 614 とを含むものであってもよい。コンパレータ 614 は、スイッチアレイ 604 を流れる電流と電圧基準 (V_{ILIM}) との比較に応じてフリーホイーリングスイッチ電流信号を生成することも可能である。通電の間、第 1 のパワースイッチの両端子間に生じる予想電圧降下に基づいて、電圧基準 (V_{ILIM}) をある値にセットすることができる。この電圧基準は、サイクル毎にプログラム可能なものであってもよく、それによって、例えば、並列パワースイッチ量の変化および温度効果などの、フリーホイーリングスイッチアレイ 602 のインピーダンスの変動を考慮するべく下部電流検知回路の閾値が調整される。

20

【0067】

上部電流検知回路は、第 1 のパワースイッチ 604 を流れる電流を検知する電流検知回路 616 と、基準 I_{TH} と、コンパレータ 618 とを含むものであってもよい。コンパレータ 618 は、第 1 のパワースイッチ 602 を流れる電流の振幅を基準 I_{TH} と比較する事が出来る。コンパレータは通電スイッチの電流信号を生成する事が出来る。基準 I_{TH} はサイクル毎にプログラムしたものであってもよい。

30

【0068】

コントローラ 620 は、パワースイッチ 602 と 604 とを制御する駆動信号を生成する事が出来る。コントローラ 620 はパルス幅信号 622 に応じて駆動信号を決定することが可能である。コンパレータ 614 と 618 から得られる出力を用いて駆動信号を決定することも可能である。例えば、コントローラ 620 は、フリーホイーリングスイッチアレイ 602 を流れる、0 アンペアに接近する電流の検知に応じて、フリーホイーリングスイッチアレイ 602 内の 1 以上のパワースイッチをディセーブルにして、スイッチアレイ 602 の両端で発生する電圧にコンパレータ 618 の分解能の改善を図らせるようにする事が出来る。コントローラ 620 は、フリーホイーリングスイッチアレイ 602 内の電流が減少し続けるにつれて、コンパレータ 618 の閾値電圧 (V_{ILIM}) のレベルを維持するか、あるいはこのレベルをシフトして、別のパワースイッチをディセーブルにする準備をするかのいずれかを行うことが可能である。このようにして、コントローラ 620 は、フリーホイーリングスイッチアレイ 602 の中を流れる電流が減少するにつれてズームインする事が出来る。電流が減少するにつれて、スイッチアレイ 602 内の個々のパワースイッチをディセーブルにすることにより、第 1 のパワースイッチ 604 とスイッチアレイ 602 との間の共通ノード ("A") におけるインピーダンスは徐々に上昇し、共通ノードに対するノイズが減衰および抑制される。

40

【0069】

別の例では、低負荷の条件中に、コントローラ 620 はフリーホイーリングパワースイ

50

ッチ602を双方向スイッチとして作動させ、それによって電流が正と負の両方向に流れるようになる。コントローラ620は、0出力電流を含む非常に低い負荷下で、連続した出力電流モードで作動する事が出来る。

【0070】

図17は、ダイオードエミュレーションシステム600の態様と関連する波形を示す図である。第1の波形640は、出力フィルタ605内のインダクタの中を流れる電流を示す。第2の波形642は共通ノードに対する電圧(Vx)を示す。第3の波形644は第1のパワースイッチ604用の駆動信号を示す。第4の波形646は、フリーホイーリングスイッチアレイ602のパワースイッチ用の重み付き駆動信号を示す。第4の波形の各レベルは、イネーブルのパワースイッチの異なる量を示す。例えば、より高い電流レベルで、4つのパワースイッチをイネーブルにする。次いで、電流が減少するにつれてパワースイッチのうちの1つをディセーブルにする。電流の低下が続くにつれて、さらに2つのパワースイッチをディセーブルにする。最後に、スイッチアレイ602内のパワースイッチの残り部分をディセーブルにする。

【0071】

図18はダイオードエミュレーションシステム600の動作の態様を示す図である。ステップ650で、第1のパワースイッチ604はオン状態からオフ状態へ遷移する。ステップ652で、第1のパワースイッチを流れる電流をモニタする事が出来る。ステップ654で、第1のパワースイッチ604を流れる電流を基準レベルと比較する事が出来る。ステップ658で、フリーホイーリングスイッチアレイ602の動作状態をオフ状態からオン状態へ変更する事が出来る。パルス幅信号並びに第1のパワースイッチまたはフリーホイーリングスイッチアレイ602のいずれかの中を流れる電流に応じてフリーホイーリングスイッチアレイ602の制御が可能である。例えば、第1のパワースイッチ604をパルス幅信号に基づいてオフ状態へ切り替えると、フリーホイーリングスイッチアレイ602のパワースイッチをオン状態へ切り替える事が出来る。別の態様では、第1のパワースイッチ604の中を流れる電流が所定の限界値を上回った場合、フリーホイーリングスイッチアレイ602は動作状態のオン状態への変更を禁止する事が出来る。ステップ660で、フリーホイーリングスイッチアレイ602の動作状態はオン状態からオフ状態へ変更する事が出来る。1つの態様では、フリーホイーリングスイッチアレイ602のパワースイッチはパルス幅信号に応じてオフ状態へ切り替える事が出来る。

【0072】

別の態様では、フリーホイーリングスイッチアレイ602を流れる電流に基づいてフリーホイーリングスイッチアレイ602のパワースイッチをオフ状態へ逐次切り替える事が出来る。ステップ662でフリーホイーリングスイッチアレイ602を流れる電流をモニタする事が出来る。ステップ664で、モニタした電流を基準レベルと比較する。ステップ666で、スイッチアレイを流れる電流602の振幅に基づいてスイッチアレイ602でパワースイッチの個々のスイッチを制御する。例えば、フリーホイーリングスイッチアレイ602を流れる電流が基準レベルを上回った場合、スイッチアレイ602のパワースイッチの1以上のパワースイッチをディセーブルにする事が出来る。0アンペアへ向かって電流が減少したり、0アンペア近辺から上昇したりするにつれてパワースイッチの逐次制御は、好適にノード"A"のインピーダンスを上げ、それによって、ノード"A"でのノイズの発生が減衰する。ステップ668で、基準レベルが変更されて、動作はステップ662へ戻って続く。

【0073】

無駄時間制御：図19は、ダイオードエミュレーションシステム600を用いて実行される無駄時間制御方法の処理の態様を示す図である。ステップ700で、少なくとも2つのパワースイッチに共通ノードが設けられ、その場合、上記2つのパワースイッチのうちの一方のパワースイッチは通電パワースイッチであり、他方のパワースイッチはフリーホイーリングパワースイッチである。通電パワースイッチは、通電段階中に出力レギュレータの出力側へエネルギーの伝導を行う。フリーホイーリングパワースイッチは、フリーホイー

10

20

30

40

50

リング段階の間のエネルギーの伝導を行う。パワースイッチの各々は、パワースイッチ並びに単一スイッチのアレイであってもよい。ステップ702で、2つのパワースイッチのうちの一方をオン状態からオフ状態へ切り替える。ステップ704で、ターンオフ遷移中、ターンオフされたパワースイッチの中を流れる電流のモニタを行う。ステップ706で、第1のパワースイッチの中を流れる電流を基準レベルと比較する。ステップ708で、パワースイッチの中を流れる電流が基準レベル未満まで減少したときから始まる所定時間を持つ遅延を生成する事が出来る。ステップ710で、もう一方のパワースイッチの動作状態をオフ状態からオン状態へ変更する。

【0074】

制御されるパワースイッチ損失：図20は、電力レギュレータの電力アレイ500内の損失を制御する動作の態様を示す図である。電力アレイ500は1以上のスイッチアレイ502を含むものであってもよい。ステップ730で、入力源から出力側への電流の流れを制御するパワースイッチを備えた少なくとも1つのスイッチアレイ502を設ける。ステップ732で、入力電圧、出力電圧、出力電流などの入出力情報を受け取る事が出来る。ステップ734で、スイッチアレイ502を流れる予想電流502を決定する事が出来る。入出力情報、デューティサイクル情報および動作モード情報などの任意の情報を用いて予想電流を決定する事が出来る。ステップ736で、スイッチアレイ502の予想電力損失を決定する事が出来る。この予想電力損失は、イネーブルのパワースイッチの通電損失とスイッチング損失とを含むものであってもよい。スイッチアレイ502は、異なる $R_{ds(on)}$ を各々有するMOSFETなどの同じサイズまたは異なるサイズの2以上のパワースイッチを含むものであってもよい。各種グループのパワースイッチをイネーブルにして、特定の作動条件でスイッチアレイの電力損失を減らすようにする事が出来る。例えば、定常状態や過渡的低負荷作動条件中に、最大の $R_{ds(on)}$ を持つ1つのみのパワースイッチをイネーブルにすることが可能であり、それによってスイッチアレイ502と関連するスイッチング損失を最小限にとどめるようにする事が出来る。同様に、定常状態や過渡的最大負荷作動条件中に、パワースイッチの全てをイネーブルにすることが可能であり、それによってスイッチアレイ502の通電損失を最小限にとどめるようにする事が出来る。

【0075】

予想電力損失を計算するためのパワースイッチの V_{ds} 、 I_{ds} 、 $R_{ds(on)}$ などの作動条件を用いてパワースイッチの予想電力損失を決定する事が出来る。予想電力損失を推定するためのルックアップテーブルなどのルックアップ機構を用いて予想電力損失を決定してもよい。ルックアップ機構は、推定電力損失に対する作動条件の基準範囲を組み合わせたものであってもよい。ルックアップ機構はまた、特定の作動条件に対してオンにするための好適な組のパワースイッチを示すものであってもよい。サイクル毎に予想電力損失を決定して、推定損失と計算済み損失などの予想損失とを得るようにする事が出来る。

【0076】

ステップ738で、イネーブルとなるパワースイッチの量とタイプとを決定する事が出来る。パワースイッチの予想損失を最小限にとどめるパワースイッチの組み合わせを選択する事が出来る。いくつかのパワースイッチの組み合わせ用としてスイッチアレイの予想電力損失を計算することによりパワースイッチの組み合わせを決定する事が出来る。ルックアップ機構の利用によりパワースイッチの組み合わせを決定してもよい。ステップ740で、選択したパワースイッチの組み合わせをイネーブルにする事が出来る。サイクル毎にパワースイッチの制御を行うことが可能であり、それによって通電段階とフリーホイーリング段階などの電力レギュレータの作動段階中にパワースイッチの量の変更が可能となる。例えば、電力レギュレータのスイッチング時間中パワースイッチ内で電流が減少するにつれて、パワースイッチの量の変更を行う事が出来る。

【0077】

ノイズ抑制：図21は、電力レギュレータの電力段によりノイズの発生を抑える動作の

態様を示す図である。電力段は、共通ノードを有する少なくとも2つのスイッチアレイを備えるものであってもよい（ステップ750）。スイッチアレイは、バック、ブースト、セピック（sepic）、ゼータ（zeta）などの任意のトポロジで構成することが可能である。スイッチアレイの各々は、並列に接続され、個々に制御される1以上のパワースイッチを含むものであってもよく、個々のスイッチアレイ内で通電する切り替え量をサイクル毎に制御できるようになっている。これらのパワースイッチは、好適にはMOSFETであることが望ましいが、BJT、IGBT、MCTなどの、可変出力キャパシタンスを有する任意の種類のパワースイッチの使用も可能である。個々のスイッチアレイ内で通電するパワースイッチ量を制御することにより、制御の対象とする共通ノードのインピーダンスが生じる。例示の動作は、バック構成で接続された上部スイッチアレイと下部スイッチアレイとを含むものであってもよい。その場合、上部スイッチアレイは通電段階の間作動し、下部スイッチアレイはフリーホイーリング段階の間作動する。ステップ752で、電圧と電流などの共通ノードのノイズ特性をモニタする事が出来る。ステップ754で、ノイズ特性を1以上の基準レベルと比較して、インピーダンス制御信号を生成する事が出来る。ステップ756で、インピーダンス制御信号に応じてスイッチアレイの制御を行うことが可能である。例えば、4つのパワースイッチを並列に設けた上部スイッチアレイを作動させて、4つのパワースイッチを1つずつ逐次ターンオフにして、共通ノードのインピーダンスが、制御される時間にわたって低いインピーダンスから高いインピーダンスへ変化するようにし、それによって、スイッチ遷移中に減衰ノイズスパイクが生じるようにしてもよい。

10

20

【0078】

制御されたキャパシタンス：図22は、出力レギュレータの回路ノードのキャパシタンスを制御する動作の態様を示す図である。この出力レギュレータは、第1のスイッチと接続された少なくとも1つのスイッチアレイを有する電力段であって、入力源を調整済出力に変換する電力段を含むものであってもよい。上記スイッチアレイは、共通ノードを通じて第1のスイッチと接続されたものであってもよい（ステップ770）。スイッチアレイは、2以上のカスコード接続された対のパワースイッチを含むものであってもよく、これらのパワースイッチを並列に接続し、かつ、個々に制御することにより、スイッチアレイ内で通電するパワースイッチの量をサイクル毎に制御できるようになっている。第1のスイッチの対は、単一カスコード接続された一対のパワースイッチ、並びに、カスコード接続された複数対のパワースイッチからなるスイッチアレイであってもよい。この複数対のパワースイッチは、BJTと一体のMOSFET、IGBTと一体のMOSFET、MCTと一体のMOSFETなどの、可変出力キャパシタンスを有する任意の種類のカスコード接続されたパワースイッチであってもよい。共通ノードのキャパシタンスの制御は、共振モード、ソフトスイッチング、準共振型モードスイッチングレギュレータでは特に好都合となる場合がある。例えば、固定周波数ソフトスイッチングレギュレータにおいて共通ノードのキャパシタンスを制御することにより、上昇した入力電圧範囲と出力負荷範囲にわたるパワースイッチの共振制御が可能となる。ステップ772で、スイッチアレイの中を流れる電流のモニタが行われる。出力レギュレータの出力電流をモニタすることにより、スイッチアレイ電流を直接または間接にモニタする事が出来る。ステップ774で、スイッチアレイの中を流れる電流に基づいて共通ノードにおける所望のキャパシタンスが決定される。所望のキャパシタンスを選択して、スイッチアレイ電流がスイッチアレイのVdsの両端にわたる所定の電圧に対して共振するキャパシタンスとなるようにすることが可能である。例えば、ターンオン時のソフトスイッチングコンバータでは、パワースイッチの中を流れる電流は、パワースイッチのキャパシタンスを0ボルトまで共振させて、スイッチング損失の低減を図る事が出来る。本例では、キャパシタンスを制御して、スイッチアレイの中を流れる電流がスイッチアレイのVdsを所定の電圧レベルまで共振できるほど十分なものとし、それによって、スイッチング損失の低減を図ることが可能である。ステップ776で、イネーブルとなるパワースイッチのスイッチアレイ内での組み合わせを決定する。個々のパワースイッチは、共通ノードにおいてキャパシタンスの一部を形成

30

40

50

することが可能な、関連する出力キャパシタンスを有する。スイッチアレイで選択したパワースイッチをイネーブルにすることにより、共通ノードにおける総キャパシタンスの制御が可能となる。第1のスイッチ用スイッチアレイを用いて互いに関連するキャパシタンスは、共通ノードのキャパシタンスを制御する事が出来る範囲を拡げる事が出来る。ステップ778で、スイッチアレイ内のパワースイッチが制御され、所望のキャパシタンスが共通ノードで生成される。ステップ780で、パワースイッチのうちの選択したパワースイッチを通電サイクル全体にわたってイネーブル／ディセーブルにすることが可能であり、それによって、共通ノードにおけるキャパシタンスが、通電サイクル全体にわたって一定のままとなる。ステップ782で、パワースイッチは逐次ターンオン／ターンオフを行って、共通ノードのキャパシタンスを制御する事が出来る。

10

【0079】

遅延ライン：図23は、パルス信号で遅延を生成する遅延ライン800の態様を示す図である。遅延ライン800は、出力レギュレータ用デジタル制御システムで生成されるパルス信号のエッジを遅延させ、パルス信号の分解能を高めるのに特に適している。補間回路と遅延ロックアップなどの任意の種類の遅延ラインを用いることが可能である。図24は、デジタル制御システムにおける例示のパルス信号820を示す図である。このデジタル制御信号は、パルス信号820などのデジタル信号を生成するクロック信号822を含むものであってもよい。パルス信号820のパルス幅は、出力レギュレータ用の通電時間をセットする事が出来る。パルス信号のパルス幅の変更により、出力レギュレータの調整済出力を調整制限値の範囲内に保持する事が出来る。調整済出力の調整時の誤差は、クロック信号822の周波数により制限されるパルス信号のパルス幅分解能と関係づける事が出来る。最大パルス幅分解能は、クロック信号822のパルス幅以上である増分に制限する事が出来る。この制限されたパルス幅分解能は、所望のパルス幅の時間周期に対する最大パルス幅分解能の比に対応する誤差の増加を引き起こす場合がある。

20

【0080】

遅延ライン800は、パルス幅分解能を上げることによりパルス幅の誤差を好適に減らす事が出来る。遅延ライン800はいくつかの遅延回路802を含み、パルス信号820のいくつかの遅延エッジを生成する事が出来る。直列構成、並列構成および直列／並列構成のいずれの構成でも遅延回路802を構成できる。遅延回路802の時間に関する任意の種類の関係式は、等式、2進数による式、指数式などの任意の関係式を使用する事が出来る。遅延回路802の任意の量を利用してもよい。但しこの量は好適には4～40の範囲であることが望ましい。遅延回路の量が大きければ大きいほど、パルス幅分解能の大きな改善が得られる。遅延回路802の出力をマルチプレクサ804に入力して、遅延時間の選択を図る事が出来る。コンバイナ806は、上記選択した遅延回路をパルス信号と組み合わせ、高解像度出力を生成する事が出来る。DLL800がパルス信号の立ち上りエッジを遅延させるものとして示されている。しかし、遅延ライン800はパルス信号の立ち下りエッジの遅延も行いう事が出来る。

30

【0081】

図25は、出力レギュレータ用パルス幅信号の分解能を上げる動作の態様を示す図である。ステップ850で出力レギュレータ用パルス幅信号を受け取る。ステップ852で2以上の遅延パルス信号をパルス幅信号から生成する。ステップ854で、遅延済みパルス信号のうちの1つを選択して所望の遅延時間を得るようにする。パルス幅の誤差を表す遅延済みパルス信号の選択に基づいて上記選択を行い、それによって、遅延済みパルス信号とパルス幅信号との合成によりパルス幅信号の誤差を小さくすることが可能となる。ステップ856で、選択したパルス信号をパルス幅信号と合成する。ステップ868で、上記合成に基づいて高解像度パルス信号を生成する。

40

【0082】

適応型デューティサイクル制限：図26は、デューティサイクル信号を生成して、出力レギュレータを作動させるデジタルコントローラ900の態様を示す図である。デューティサイクルデターミナ902は、基準と出力レギュレータの出力間の出力誤差の関数であ

50

るデジタル誤差信号 e_k を受け取る事が出来る。1つの態様では、誤差信号 e_k は、上記出力誤差を含むいくつかの電圧範囲のうちの1つの範囲を示す事が出来る。例えば、誤差信号は、この出力誤差が、0.5ボルト～0.8ボルトの電圧を含む電圧範囲内に存在することを示す事が出来る。別の態様では、誤差信号は出力誤差の振幅を示すことも可能である。誤差信号 e_k は、デジタル信号やアナログ信号などの任意の種類の信号であってもよい。

【0083】

デューティサイクルデターミナ902は、誤差信号 e_k に応じて公称デューティサイクル信号を生成することが可能である。デューティサイクルデターミナ902は、2次ループからの誤差信号などの追加のデジタル入力と、出力レギュレータの電圧および電流につ

10

【0084】

デューティサイクルリミッタ904は、 V_{in} 、入力リップル電圧 (V_{in_ripple})、入力電流 (I_{in})、入力 (P_{in})、入力エネルギー (Q_{in})、入力源インピーダンス (R_s)、出力電力 (P_o)、出力電圧 (V_o)、出力電流 (I_o) などの、入力電力 (P_{in}) または出力電力のレギュレータ特性に応じて出力部へのエネルギーの移動を制限する事が出来る。デューティサイクルリミッタ904はデューティサイクルを制御して、出力側へのエネルギーの移動を制限する事が出来る。デューティサイクルリミッタ904は、定常状態作動、起動、過電流、過電圧などの出力レギュレータの全ての作動段階の間作動する事が出来る。デューティサイクルリミッタ904は、入出力レギュレータ特性の1以上に対応する閾値と比較し、次いで、上記比較に応じてデューティサイクルを制限する事が出来る。デューティサイクルリミッタ904は、サンプリング周波数またはサンプリング周波数よりも低い周波数でサイクル毎に作動して、閾値を制御する事が出来る。サイクル毎に、デューティサイクルリミッタ904は閾値を変更し、次のサイクル用デューティサイクルを制限する事が出来る。前回のサイクルの入力電力レギュレータ特性と閾値との比較に基づいて次のサイクルのデューティサイクルを決定する事が出来る。例えば、デューティサイクルリミッタ904は I_{in} をモニタし、デューティサイクルを制限するデジタル信号を生成することが可能であり、それによって I_{in} の振幅が閾値を上回らないようにする。別の例では、デューティサイクルリミッタ904は入力源インピーダンスを決定したり、入力源インピーダンスを示す信号を受け取ったりすることが可能であり、それに応じて、デューティサイクルリミッタ904は、デューティサイクルを制限するデジタル信号を生成する事が出来る。入力源インピーダンスを測定する任意の方法を利用することが可能である。

20

30

【0085】

デューティサイクル推定：図27はスイッチングレギュレータを制御するデジタルコントローラ950の態様を示す図である。図28は、スイッチングレギュレータを作動させるデューティサイクル信号の生成を行うデジタルコントローラ950で実現される状態遷移図940の態様を示す図である。状態遷移図940は3つ以上の動作状態を含むものであってもよい。例示のデジタルコントローラ950では、状態S0(942)は安定状態条件に対してPWM制御動作を実行する事が出来る。状態S2(944)は、過渡的状态条件に対して速度を落した誤差勾配制御を実行する事が出来る。状態S3(946)は最大誤差条件に対してヒステリシス制御を実行する事が出来る。

40

【0086】

デジタルコントローラ950は、公称定常状態値に対応する公称デューティサイクル信号 (Up^* と $Down^*$) の生成を行うデューティサイクル推定装置952を含むものであってもよい。上記公称デューティサイクル信号からスイッチングレギュレータ用の最新のデューティサイクルが生成される。デューティサイクル推定装置952を使用して、PWMおよび速度を落した誤差制御などの全ての動作状態時に公称デューティサイクル信号

50

を生成する事が出来る。しかし、デューティサイクル推定装置 952 は、ヒステリシス制御動作状態に対しては使用しない事が望ましい。ヒステリシス制御中、デューティサイクルは誤差信号と直接関係するものとする事が出来、それによって、誤差信号が 1 つの状態にあるとき、デューティサイクルはオン状態 (Up) にセットされ、誤差信号が別の状態にあるとき、デューティサイクルはオフ状態 (Down) にセットされる。デューティサイクル推定装置 952 は、誤差信号、UD パルス、遅延制御信号などの入力信号に応じて公称デューティサイクル信号を生成する事が出来る。スイッチングレギュレータ内のパワースイッチを最新のデューティサイクルで作動させて、入力源から出力負荷へのエネルギーの変換を制御する事が出来る。例えば、バックトポロジと固定周波数動作とを有するスイッチングレギュレータにおいて、公称デューティサイクル信号 (Up*) は、入力電圧対出力電圧の比に対応する値にほぼ等しいものとしてもよい。固定周波数での作動中、公称定常状態値の組み合わせは、1 MHz のスイッチング周波数に対して 1 μ 秒などのスイッチングレギュレータの総スイッチング時間に対応するものとしてもよい。

10

【0087】

調整デターミナ 954 は、調整値 (ADJ) を決定して公称デューティサイクル信号と合成し、調整済みデューティサイクル信号 (Up と Down) の生成を図るようにしてもよい。調整デターミナ 954 は誤差信号に応じて、並びに、スイッチングレギュレータからの別の信号に応じて調整値を生成することも可能である。調整デターミナ 954 は、一般にヒステリシス制御を除く全ての動作状態に対して利用可能である。ヒステリシス制御の動作状態では、デューティサイクルは 100% オンか、100% オフかのいずれかであるため、調整値を必要としない。1 つの態様では、PWM 状態 942 と、速度を落した誤差制御状態 944 とに対する調整値は以下のように計算する事が出来る。

20

【0088】

【数 1】

$$ADJ_k = g(e_k) + h(\text{trend}_k)$$

$$Up_K = Up^* - ADJ_K * FAC^{on}$$

$$Down_K = Down^* + ADJ_k * FAC^{off}$$

30

【0089】

但し、公称デューティサイクルに基づいて FAC を決定してもよい。

【0090】

【数 2】

$$g(e_k) = \begin{cases} 0 & \text{if } |e_k| < A1 \\ \text{sign}(e_k) * \Delta_1 & \text{if } A1 \leq |e_k| < A2 \\ \text{sign}(e_k) * \Delta_2 & \text{if } A2 \leq |e_k| < A3 \end{cases}$$

$$h(\text{trend}_k) = \begin{cases} 0 & \text{if } |\text{trend}_k| < 1 \\ \text{trend}_k & \text{if } |\text{trend}_k| \geq 1 \end{cases}$$

$$\text{trend}_k = F_{\text{slope}} * \overline{e_k - e_{k-n}}$$

10

【0091】

但し、 F_{slope} は定数であり、数 3 は前回までの "n" 個のサイクルから得られる誤差の平均値 ("n" はスイッチング時間内でのサンプル数) である。A 1、A 2、A 3 は、誤差信号を生成する電圧スライサの電圧レベルを示す図 29 に定義されている。

20

【0092】

【数 3】

$$\overline{e_k - e_{k-n}}$$

【0093】

30

Δ_1 と Δ_2 とは、サンプリングレートでの選択が可能であり、誤差信号の振幅に基づく値を持つことも可能なループゲインである。ループゲイン (Δ_1 と Δ_2) の値は、 Δ_2 が Δ_1 のほぼ 2 倍に等しくなるように選択してもよい。サンプリングレートまでかつサンプリングレートを含む任意のレートでデジタルコントローラのループゲインを適宜変更してもよい。誤差信号の電圧範囲、調整済出力の電圧範囲およびデューティサイクルなどの出力レギュレータの任意のパラメータに応じてループゲインの各々を動的に変更する事が出来る。

【0094】

デジタルコントローラのループ補正值は、 $g(e_k)$ 対 $h(\text{trend}_k)$ の比を含む事が出来る。サンプリングレートまでかつサンプリングレートを含む任意のレートでループ補正值を変更してもよい。1つの態様では、定数 F_{slope} を適宜変更してループ補正值の変更を行ってもよい。ループ補正值は、誤差信号の電圧範囲、調整済出力の電圧範囲およびデューティサイクルなどの出力レギュレータの任意のパラメータに応じて動的に変更してもよい。

40

【0095】

コンバイナ 956 は公称デューティサイクル信号を調整値と合成して、調整済みデューティサイクル信号を生成する事が出来る。1つの態様では、UDパルスを生成するためのカウンタ制限として調整済みデューティサイクル信号を利用する事が出来る。

【0096】

上記ケースでは、カウンタ 958 はクロック信号、クロックおよび調整済みデューティ

50

サイクル信号に応じてUDパルスを生成する事が出来る。UDパルスは"オン"レベルと"オフ"レベルを有することが望ましく、スイッチングレギュレータのパワースイッチを駆動するためのオンタイムを表す変動するパルス幅を持つものであってもよい。カウンタ958は、カウンタ制限値によりセットされたクロックサイクルの量をカウントして、UD信号の"オンタイム"と"オフタイム"を生成する事が出来る。例えば、調整済みデューティサイクル信号のUp部分はオンタイム用カウンタ制限値をセットすることが可能であり、調整済みデューティサイクル信号のDown部分はオフタイム用カウンタ制限値をセットする事が出来る。好適には、Up情報とDown情報の双方の情報を含む単一のカウンタ制限値信号に応じて、単一のカウンタがUD信号を生成することが望ましい。UDパルスは、クロック信号の周波数により制限されるパルス分解能と関連する量子化誤差を含むものであってもよい。図30は、クロック信号972と調整済みデューティサイクル信号974とから生成されるUDパルス970がクロック信号の周波数と関連する量子化誤差976を持つ事が出来る量子化誤差の1例を示す図である。

10

【0097】

遅延ライン960は、カウンタ958が生成したUDパルスの微調整を行って、量子化誤差を少なくする事が出来る。遅延ライン960は、UDパルスと遅延制御信号との受信に応じて、調整済みデューティサイクル信号に対応するパルス幅に近似するデューティサイクルを有する微調整パルス信号を生成することも可能である。遅延ライン960はUDパルスのエッジのいずれかを遅延させて微調整パルス信号を生成することも可能である。例えば、1つの態様では、調整済みデューティサイクルよりも短いパルス幅を有するUDパルスを生成することが可能であり、次いで、遅延ライン960は立ち下りエッジを遅延させて、微調整パルス信号を生成する事が出来る。別の態様では、対応する調整済みデューティサイクルよりも長いパルス幅を持つUDパルスを生成することが可能であり、次いで、遅延ライン960は立ち上りエッジを遅延させて、微調整パルス信号を生成する事が出来る。

20

【0098】

制御ブロック962はUDパルスと調整済みデューティサイクル信号とに応じて遅延制御信号を生成する事が出来る。この遅延制御信号は、好適にはマルチビット信号であることが望ましい。

【0099】

デューティサイクルリミッタ964は、Vin、入力電流(Iin)、入力電力(Pin)、入力エネルギー(Qin)およびインダクタ電流(IL)などの、スイッチングレギュレータの電気的特性に応じて出力側へのエネルギーの移動を制限することが可能である。デューティサイクルリミッタ964はデューティサイクルを制御して、エネルギーの移動を出力側に制限する事が出来る。デューティサイクルリミッタ964はデジタルコントローラ950内のどこにでも設けることが可能である。1つの態様では、デューティサイクルリミッタ964は、調整済みデューティサイクル信号などのマルチビット信号で作動可能となる。別の態様では、デューティサイクルリミッタ964は、微調整パルス信号などのパルス信号で作動する事が出来る。

30

【0100】

図31(a)は、公称デューティサイクル信号(Up*とDown*)を生成するためのデューティサイクル推定装置970の態様を示す図である。スイッチングレギュレータを動作させるための最新のデューティサイクルは、公称デューティサイクル信号から生成される。デューティサイクル推定装置970は、公称デューティサイクルを決定する1以上のモードを含む事が出来る。

40

【0101】

モード1の推定装置972は、最新のデューティサイクルと前回までのデューティサイクル値のオンタイム(アップタイム)に応じて公称デューティサイクル信号を決定する事が出来る。モード1の推定装置972は、最小2乗平均法や3次スプライン法などの任意の推定方法を最新のデューティサイクルと前回までのデューティサイクル値とへ適用して

50

、公称デューティサイクルを決定する事が出来る。1つの態様では、モード1の推定装置は、遅延制御とUDパルスとを評価してオンタイムを決定する事が出来る。所定量の最新のデューティサイクル値と前回までのデューティサイクル値とを用いて公称デューティサイクルを推定してもよい。

【0102】

モード2の推定装置974は誤差信号に応じて公称デューティサイクル信号を決定する事が出来る。モード2の推定装置974は、スイッチングレギュレータのスイッチング時間よりも大きい任意の量などのいくつかのサイクルにわたる誤差の数学関数を決定する事が出来る。任意の種類の数学関数として、移動平均、平均および加重平均を利用する事が出来る。誤差の数学関数を1以上の基準と比較する事が出来る。次いで、上記比較に基づいて、 Up^* の増減を行ったり、一定に保持したりすることが可能となる。

10

【0103】

図31(b)は例示のモード2の推定装置1000を示す図である。アキュムレータ1002は、スイッチングレギュレータのスイッチング時間の1000倍にほぼ等しい時間にわたって誤差の移動平均値を計算する事が出来る。1以上のコンパレータ1004はアキュムレータ1002の出力を2つの基準($X1$ と $X2$)と比較する事が出来る。これら2つの基準は基準ジェネレータ1006により生成する事が出来る。カウントコントローラ1008は、コンパレータ1004の出力に基づいて公称デューティサイクルのカウントを制御する事が出来る。例えば、移動平均が $X1$ よりも大きければ、カウントコントローラ1008は1ステップ分だけ Up^* カウントを減らす事が出来る。移動平均が $X2$ 未

20

【0104】

長時間にわたる誤差の数学関数を計算することにより、公称デューティサイクルの緩慢で正確な推定値を得る事が出来る。さらに、スイッチングレギュレータの調整済出力を制御するための制御ループの伝達関数により単一ゼロを減らすことが可能であり、それによって、デジタルコントローラと関連する位相シフトの減少を図る事が出来る。減少した位相シフトを用いて、制御ループの位相マージンを増やし、ループ交差周波数を上げ、増加した位相マージンと上昇したループ交差周波数との組み合わせを増やす事が出来る。モード2の推定装置974が一定の Up^* 値を生成する時間中、制御ループは単一ゼロまで減少する。

30

【0105】

モードセクタ976は、モード選択基準に基づいてデューティサイクル推定装置970のモード間で選択を行う事が出来る。1つの態様では、モードセクタ976は、 Up^*_{1} と Up^*_{prior} との差に基づいて、以下のように Up^*_{1} と Up^*_{2} の間で選択を行う事が出来る。

【0106】

【数4】

$$Up^* = \begin{cases} Up^*_{1} & \text{if } |Up^*_{1} - Up^*_{prior}| > T1 \\ Up^*_{2} & \text{if } |Up^*_{1} - Up^*_{prior}| < T1 \end{cases}$$

40

【0107】

UP^*_{1} は、モード1の推定装置972により生成された up 値であり、 UP^*_{2} はモード2の推定装置974により生成されたアップ値である。 Up^*_{prior} は前回のサイクルの Up^* 値であり、 $T1$ は1MHzのスイッチング周波数に対してほぼ5ナノ秒と

50

してもよい。

【0108】

Up^*_{1} を Up^*_{prior} の移動平均と比較したり、 Up^*_{1} の移動平均を Up^*_{prior} と比較したりするなどの任意のモード選択基準を用いる事が出来る。また、 $T1$ 用として任意の値を選択してもよい。

【0109】

図32はスイッチングレギュレータ用デューティサイクルを決定する動作の態様を示す図である。ステップ980で、前回までのデューティサイクルに応じて第1のモードで公称デューティサイクルを決定する。ステップ982で、累積誤差に応じて第2のモードで公称デューティサイクルを決定する。ステップ984で、2つのモード間での選択を行い、公称デューティサイクルを計算する。ステップ986で、計算済みデューティサイクルの変化率などのモード選択基準に基づいて選択を行う。

【0110】

エネルギー節約型不連続モード：図33は、デジタルコントローラ1050の電力消費を制御するエネルギー節約型不連続モードを含むデジタルコントローラ1050の態様を示す図である。デジタルコントローラ1050は、本明細書を通して説明された関数の一部または全部を含むものであってもよい。

【0111】

エネルギー節約型不連続モード(ESDM)コントローラ1152は、出力電圧、インダクタ電流、または出力電圧などの検知ポイントをモニタして、エネルギー節約型不連続モードへの切り替え時点を決定する事が出来る。検知ポイントでモニタされるパラメータは、低い出力電力やインダクタ内の不連続電流などの出力レギュレータの電力状態を反映するものであってもよい。ESDMコントローラは、例えば、出力電流が所定の振幅未満になったとき、または、出力インダクタの中を流れる電流が不連続になったときにエネルギー節約型不連続モードへの切り替えを行う事が出来る。ESDMコントローラ1152は、デジタルコントローラ1150の制御機能の一部への電力の流れを好適に制御する。エネルギー節約型不連続モード中に、PWMコントローラ1154、遅延ライン1156、電圧検知用コンパレータ1158などのデジタルコントローラ1050内の制御機能をシャットダウンして電力消費を低減する事が出来る。

【0112】

図34(a)は出力レギュレータのスイッチングモード間での遷移を制御するデジタルコントローラ1100の態様を示す図である。詳細には、デジタルコントローラ1100は、連続電流モード(CCM)動作と不連続電流モード(DCM)動作との切り替えを制御する事が出来る。図34(b)はDCM動作と関連する波形を示す図である。第1の波形(Vout)1110は出力レギュレータの調整済出力電圧を示す。第2の波形は、出力レギュレータのインダクタ電流(IL)1112を示す。DCM中、調整済出力電圧1110とインダクタ電流1112とは通電段階、フリーホイーリング段階、不連続段階の3つの段階で作動する。通電段階中、入力源からのエネルギーは、出力フィルタへ送られ、インダクタ電流1112を生じさせて、調整済出力電圧1110の上昇を引き起こす調整済出力(負荷)へのエネルギーの移動をランプアップする。フリーホイーリング段階中、インダクタに蓄積されたエネルギーは調整済出力へ移動され、インダクタ電流1112と調整済出力電圧1110はランプダウンする。不連続段階中、インダクタ内のエネルギーの全てはすでに調整済出力へ移動しているため、インダクタ電流はほぼ0の状態のままであり、エネルギーは、エネルギーを供給する出力側キャパシタから調整済負荷へ移動される。

【0113】

デジタルコントローラ1100はCCMとDCMとの間の切り替え時点を決定する1以上のコンパレータ1102を含むものであってもよい。1つの態様では、コンパレータ1102は調整済出力電圧1110とインダクタ電流1112とを基準レベルと比較して、CCMとDCM間での切り替えを制御する制御信号を生成する事が出来る。

【0114】

1以上の基準ジェネレータ1104は、基準レベルを生成することが可能である。任意の種類基準ジェネレータ1104を用いてもよい。基準ジェネレータ1104は、検出した調整済出力電圧をシフトする基準レベルV1を生成する事が出来る。このシフトされた調整済出力電圧1110との比較のために基準レベルV2を用いてDCMからCCMへの遷移を制御することも可能である。基準レベル11を生成して、最小負荷電流などの所定の電流を反映するようにしてもよい。インダクタ電流1112を基準レベル11と比較してインダクタ電流が11よりも少なくなる時間の割合を決定する事が出来る。

【0115】

モードコントローラ1106はコンパレータの出力に応じてスイッチングモードを制御する事が出来る。1つの態様では、モードコントローラ1106は、インダクタ電流が11よりも少ない上記時間の割合に基づいてCCMからDCMへの切り替えを制御する事が出来る。別の態様では、モードコントローラ1106は、V1よりも大きなレベルへ上昇する検知出力電圧に基づいてCCMからDCMへの切り替えを制御する事が出来る。DCMでは、モードコントローラはオンタイムを定数にセットして、出力レギュレータのスイッチング周波数を変更することにより調整済出力の調整を行う事が出来る。

【0116】

DCMからCCMへの切り替えを制御するために、デジタルコントローラ1100は、DCMへの切り替え時に、検出した調整済出力電圧を基準レベルV1よりも上へシフトする事が出来る。次いで、出力側負荷電流が増加するにつれて、検出した調整済出力電圧の波形が形状を変え、波形の一部が基準レベルV2へ向かって移動する。コンパレータ1102は、このシフトされた調整済出力電圧を基準レベルV2と比較し、シフトされた調整済出力電圧がほぼ基準レベルV2以下になる時点を示す事が出来る。モードコントローラ1106は、コンパレータ1102の出力に応じて、スイッチングモードをDCMからCCMへ切り替える事が出来る。

【0117】

図35はモード切り替え制御の動作の態様を示す図である。ステップ1120で、連続電流モードで作動するスイッチングレギュレータのインダクタ電流をモニタする。ステップ1122で、インダクタ電流を I_{min} などの基準電流レベルと比較する。ここで、 I_{min} は不連続電流動作が開始する前の最小出力電流である。ステップ1124を継続して、インダクタ電流がほぼ最小出力電流以下になるスイッチング時間[o1]の割合を決定する。ステップ1126で、このスイッチング時間の割合をほぼ40%などの基準割合と比較する。ステップ1128で、デューティサイクルの割合が基準割合を上回ればDCMへの切り替えを行う。ステップ1130で調整済出力電圧を検知する。ステップ1132で、検出した調整済出力電圧を第1の電圧基準値V1よりも上へシフトする。ステップ1134で、シフトされた調整済出力電圧を第2の電圧基準値V2と比較する。ステップ1136を継続して、シフトされた調整済電圧の一部がV2以下になれば、モードコントローラはモードをCCMへ切り替える。

【0118】

状態情報の取得：図36は出力レギュレータ1200用のデジタルコントローラ1201の状態情報を取得する格納システム1200を示す図である。出力レギュレータ1200は、スイッチングレギュレータ、線形レギュレータ、電流レギュレータ、電圧レギュレータ、電力レギュレータを含む任意の種類レギュレータであってもよい。出力レギュレータ1200は、負荷1208へエネルギーを供給するための、入力源から調整済出力へのエネルギーの変換を行う電力段1204と出力フィルタ1206とを含むものであってもよい。出力センサ1210は調整済出力を検知し、入力をデジタルコントローラ1201に与える事が出来る。

【0119】

格納システム1200は、状態情報を検索する情報コントローラ1203を含むものであってもよい。情報コントローラ1203は、出力電圧、出力電流、公称デューティサイクル、調整済みデューティサイクル、パワースイッチオンタイム、パワースイッチオフタ

10

20

30

40

50

イム、入力電流、誤差電圧、遅延制御値、調整値および、デジタルコントローラ 1201 や出力レギュレータ 1200 が受信したり、処理したりした他の全てのデジタル値などの任意の状態情報を好適に取得する事が出来る。

【0120】

メモリ 1212 は状態情報を格納する事が出来る。コンテンツアドレス可能 RAM などの任意の種類メモリを用いる事が出来る。タイムスタンプの利用、時刻記録、情報の逐次格納およびトリガイイベントに基づくサブセットの状態情報の格納を含む任意の方法で上記状態情報を時間的に編成する事が出来る。トリガイイベントは、所定の閾値を上回る状態値、経過した所定の時間間隔、複数のトリガイイベントの組み合わせなどの任意の種類イベントであってもよい。上記状態情報は、わずかの量のスイッチング時間である短いインタバルおよび年月の間にわたる長いインタバルなどの任意の継続時間間隔にわたって格納されたものであってもよい。

10

【0121】

状態情報アナライザ 1214 は格納済みの状態情報を分析する事が出来る。状態情報アナライザ 1214 は格納済みの状態情報を評価して、通常の作動範囲からの変動、構成要素の信頼性推定値および構成要素の保守管理の必要性などの、システムおよび構成要素の作動条件を決定する事が出来る。所定時に、ランダムにおよび進行ベースで、格納済み状態情報の評価を行う事が出来る。状態情報アナライザ 1214 は、1 以上の出力レギュレータの状態を評価するために使用される別個のシステムの場合と同様、格納システム 1202 と永久に接続したり、あるいは、間欠的に接続したりすることが可能である。

20

【0122】

本発明のいくつかの実施形態について説明した。しかしながら、本発明の精神と範囲から逸脱することなく様々な変更を行うことも可能であることを理解されたい。したがって、他の実施形態も以下の特許請求の範囲に属するものとなる。

【図面の簡単な説明】

【0123】

【図 1】出力レギュレータの態様を示すブロック図である。

【図 2】出力レギュレータ用デジタルコントローラの態様を示すブロック図である。

【図 3】出力レギュレータ用デジタルコントローラの動作の態様を示すフローチャートである。

30

【図 4】出力レギュレータ用パッケージの 2 次元図である。

【図 5】適応型マルチモード制御システムの態様の状態遷移図である。

【図 6】ターンオン中の出力電圧のグラフである。

【図 7】適応型マルチモード制御システムの処理の態様を示すフローチャートである。

【図 8】出力スライサを有する出力レギュレータの態様を示すブロック図である。

【図 9】電圧範囲間の関係を示す態様図である。

【図 10】出力スライサの態様を示すブロック図である。

【図 11】出力スライサの動作の態様を示すフローチャートである。

【図 12】(a) 電力アレイの態様を示すブロック図である。

【図 13】電力アレイにおいて電流を検知する態様と関連する波形のタイミング図である。

40

【図 14】電力レギュレータにおけるエネルギーの流れを制御するための電力アレイ用パワースイッチアレイの動作の態様を示すフローチャートである。

【図 15】電流の検知方法の動作の態様を示すフローチャートである。

【図 16】スイッチングレギュレータとして作動する出力レギュレータのフリーホイーリングダイオードのエミュレーションを行うダイオードエミュレーションシステムの態様を示すブロック図である。

【図 17】ダイオードエミュレーションシステムの態様と関連する波形のタイミング図である。

【図 18】ダイオードエミュレーションシステムの動作を示すフローチャートである。

50

【図 19】ダイオードエミュレーションシステムを用いて実行する無駄時間制御方法の処理の態様を示すフローチャートである。

【図 20】電力アレイにおける損失を制御する動作の態様を示すフローチャートである。

【図 21】電力レギュレータの電力段によりノイズの発生を抑える動作の態様を示すフローチャートである。

【図 22】出力レギュレータの回路ノードのキャパシタンスを制御する動作の態様を示すフローチャートである。

【図 23】パルス信号の遅延を発生させる遅延ラインの態様を示すブロック図である。

【図 24】遅延ラインの態様と関連する波形のタイミング図である。

【図 25】出力レギュレータ用パルス幅信号の分解能を上げる動作の態様を示すフローチャートである。

【図 26】スイッチングレギュレータ用デューティサイクルを決定するデジタルコントローラの態様を示すブロック図である。

【図 27】スイッチングレギュレータ用デジタルコントローラの態様を示すブロック図である。

【図 28】デューティサイクル推定装置の態様の状態遷移図である。

【図 29】電圧スライサの態様と関連する電圧レベルを示す図である。

【図 30】スイッチングレギュレータ用デューティサイクルを生成するためのデジタルコントローラの態様と関連する波形のタイミング図である。

【図 31】(a) スwitchングレギュレータ用デューティサイクルを決定するデューティサイクル推定装置の態様を示すブロック図であり、(b) スwitchングレギュレータ用デューティサイクルを決定する別のデューティサイクル推定装置の態様を示すブロック図である。

【図 32】スイッチングレギュレータ用デューティサイクルを生成する動作の態様を示すフローチャートである。

【図 33】エネルギー節約型不連続モード (ESDM) を含むデジタルコントローラの態様を示すブロック図である。

【図 34】(a) 定電流モードと不連続電流モードとの間での切り替えを制御するデジタルコントローラの態様を示すブロック図であり、(b) デジタルコントローラの態様と関連する波形のタイミング図である。

【図 35】定電流モードと不連続電流モードとの間での切り替えを制御する動作の態様を示すフローチャートである。

【図 36】デジタルコントローラ用状態情報格納システムの態様を示すブロック図である。

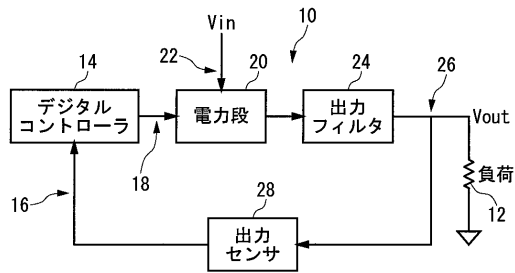
。

10

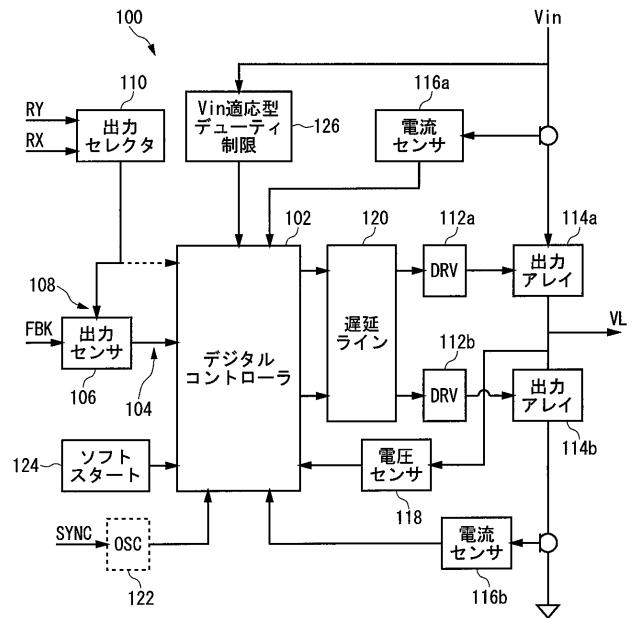
20

30

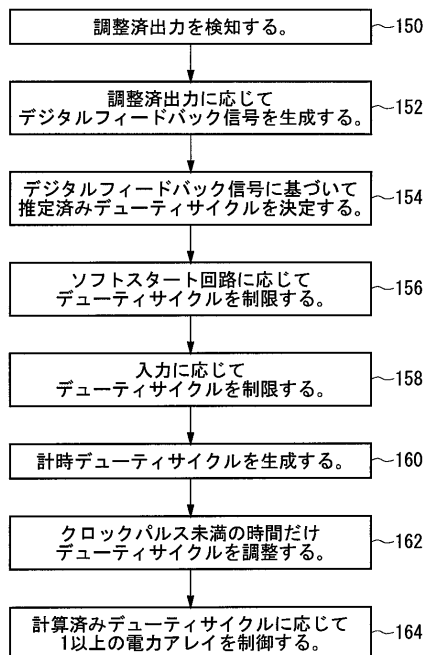
【図 1】



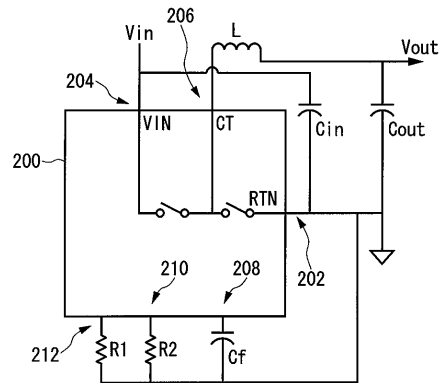
【図 2】



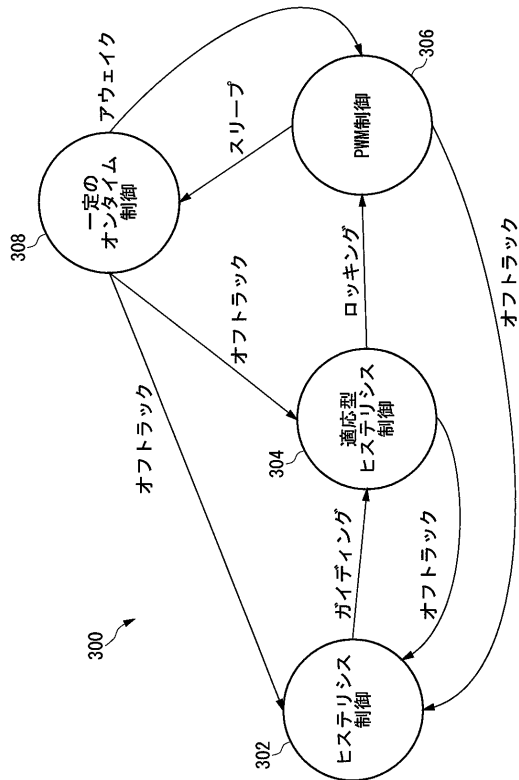
【図 3】



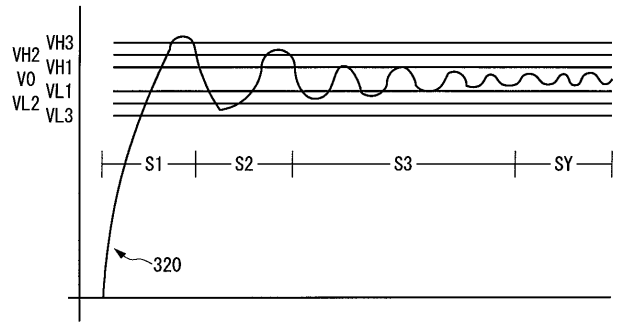
【図 4】



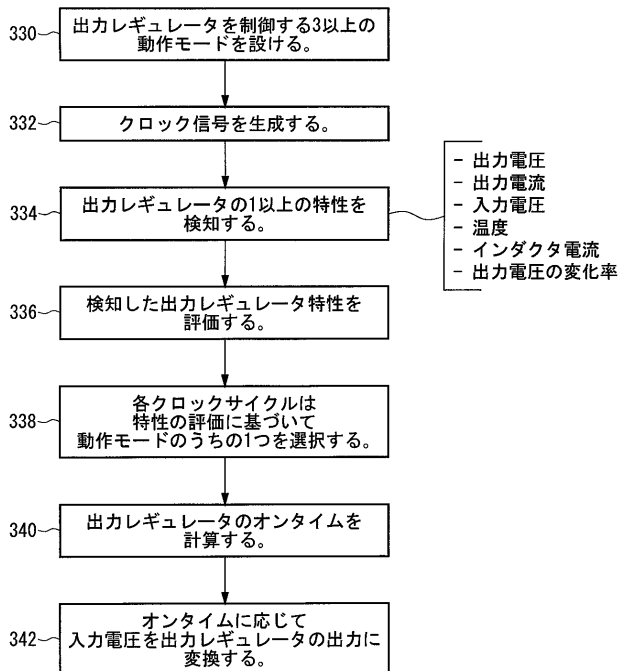
【図 5】



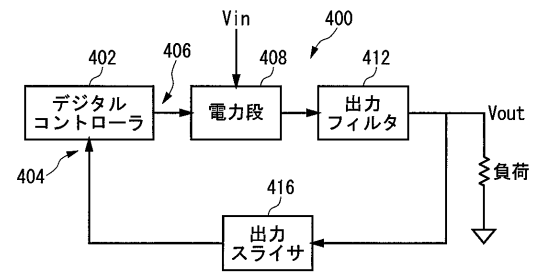
【図 6】



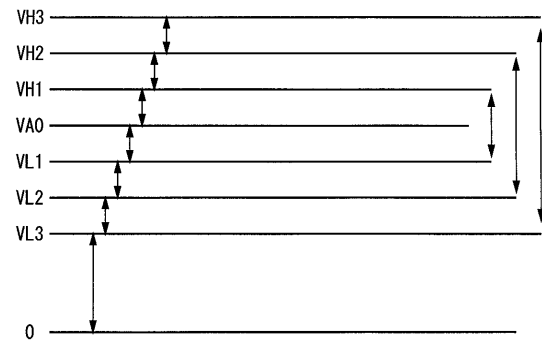
【図 7】



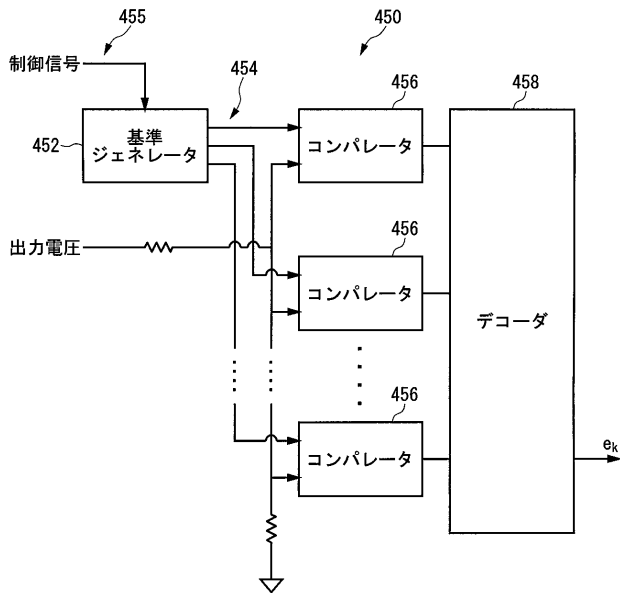
【図 8】



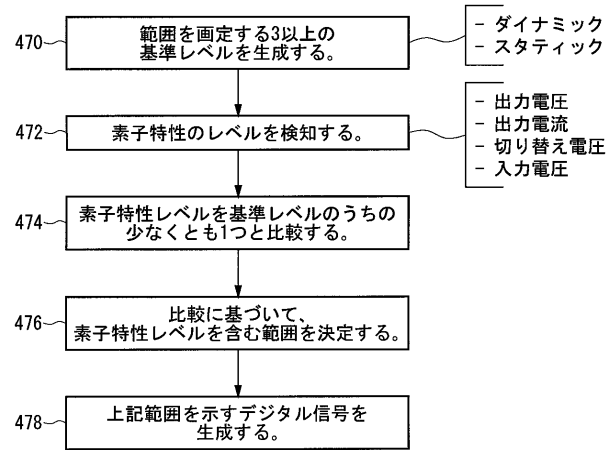
【図 9】



【図 10】

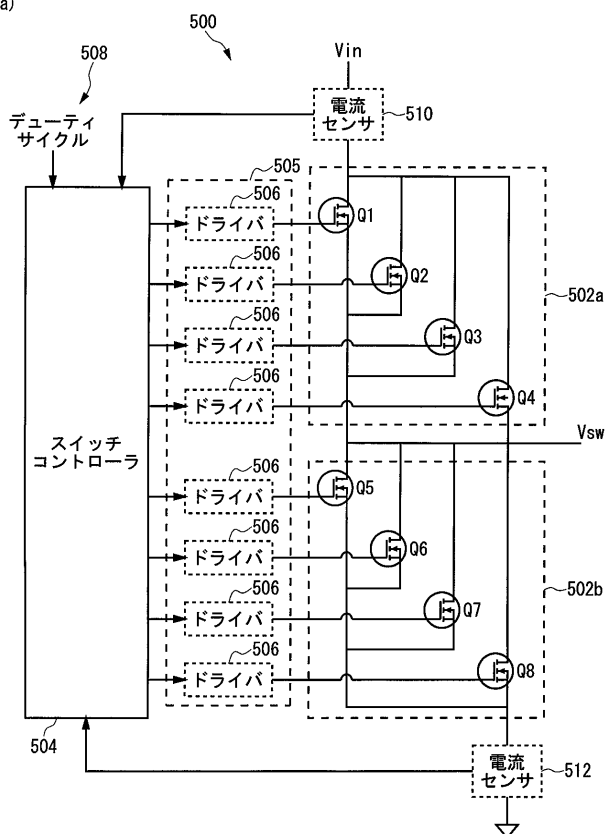


【図 11】

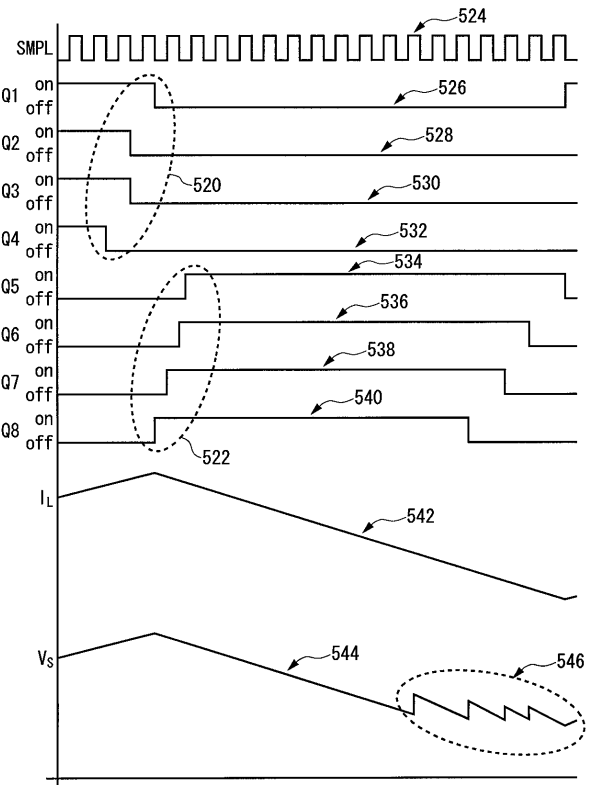


【図 12】

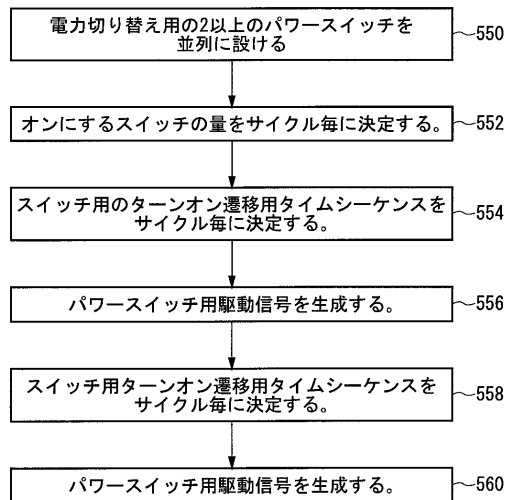
(a)



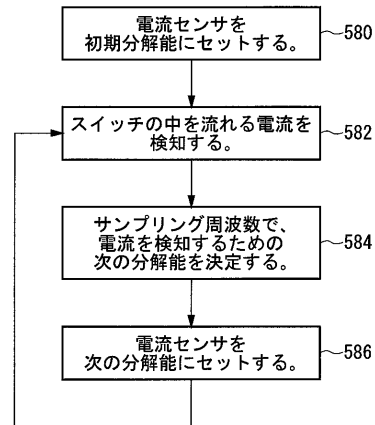
【図 13】



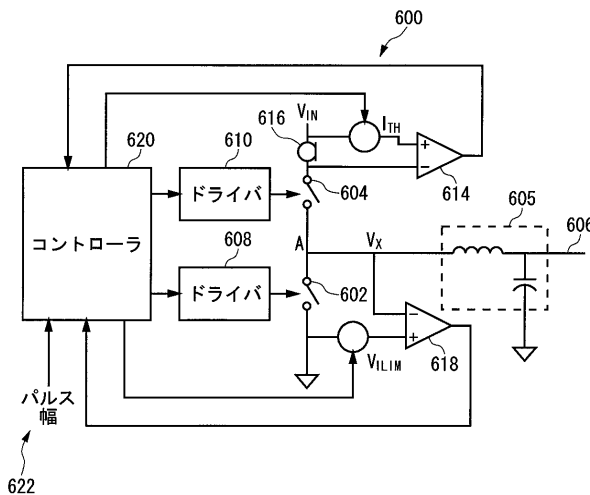
【図 1 4】



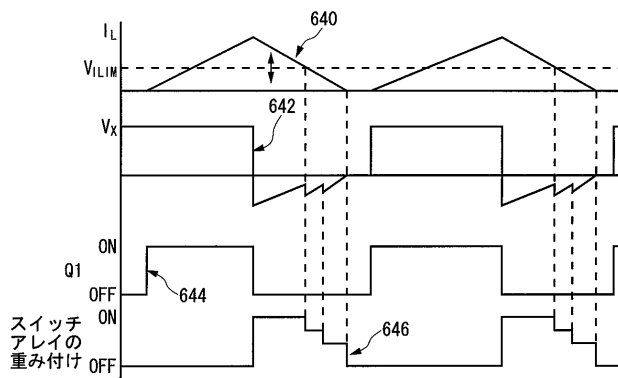
【図 1 5】



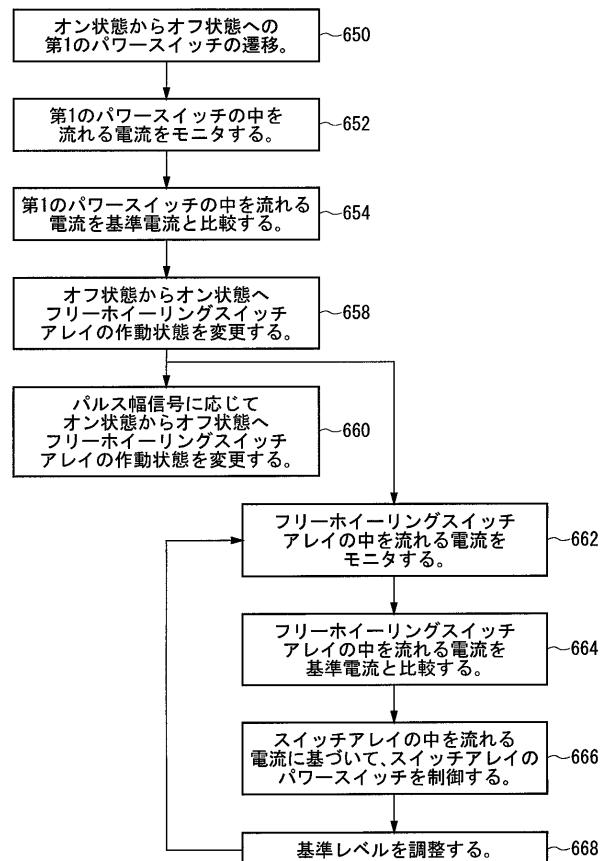
【図 1 6】



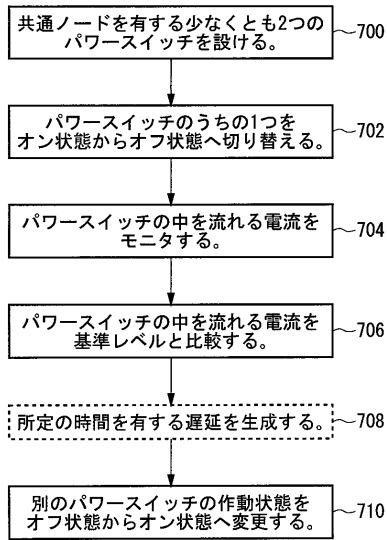
【図 1 7】



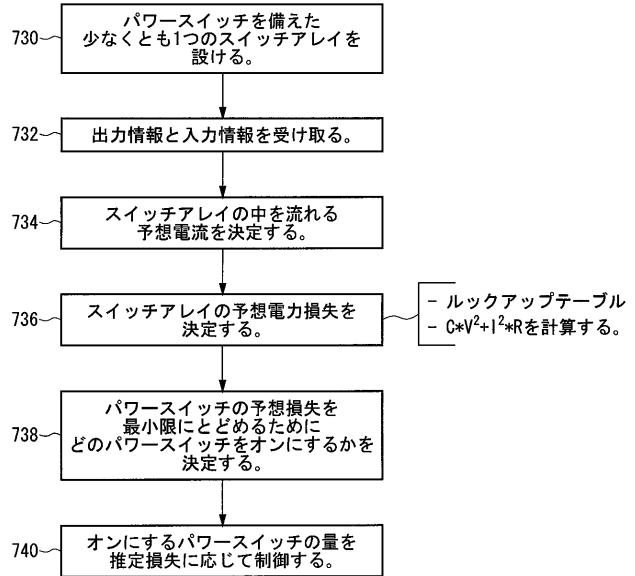
【図 1 8】



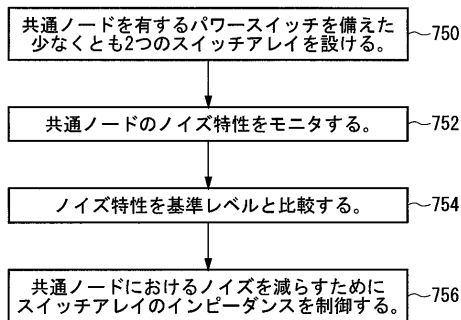
【図 19】



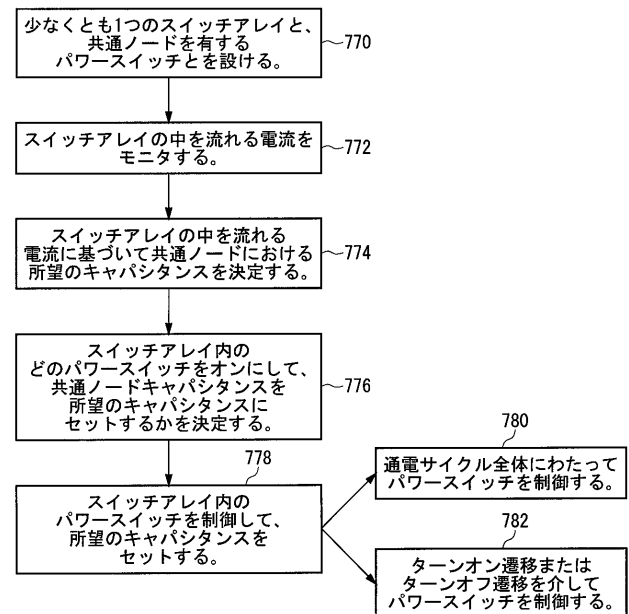
【図 20】



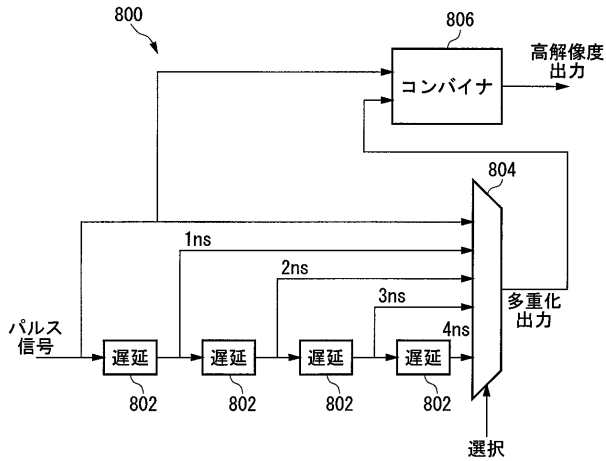
【図 21】



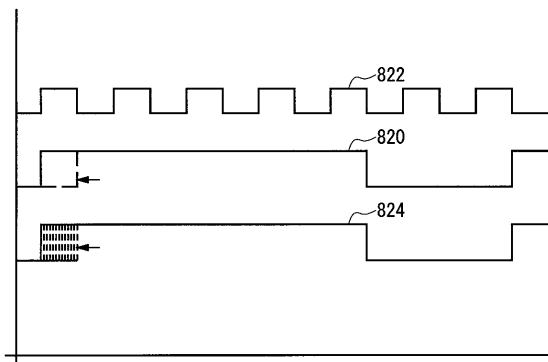
【図 22】



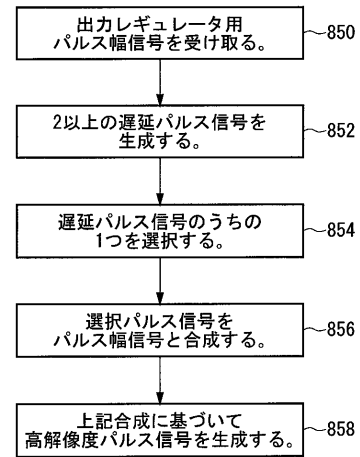
【図 23】



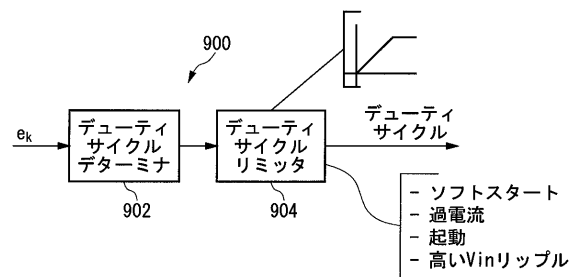
【図 24】



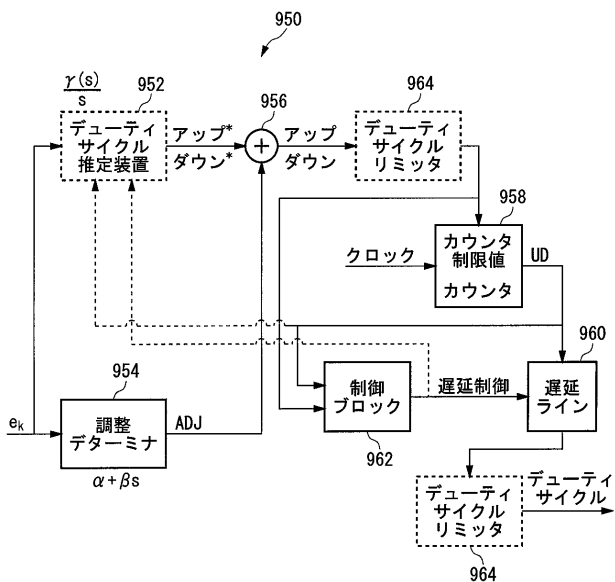
【図 25】



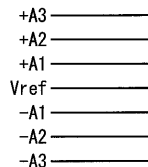
【図 26】



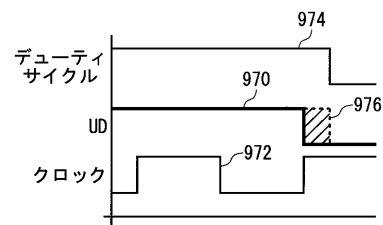
【図 27】



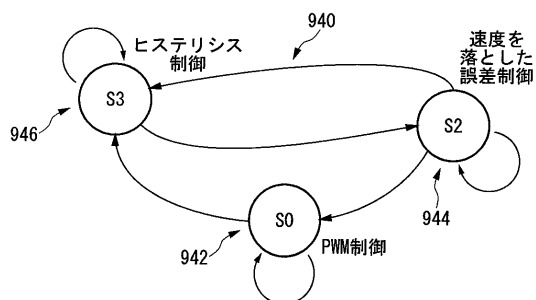
【図 29】



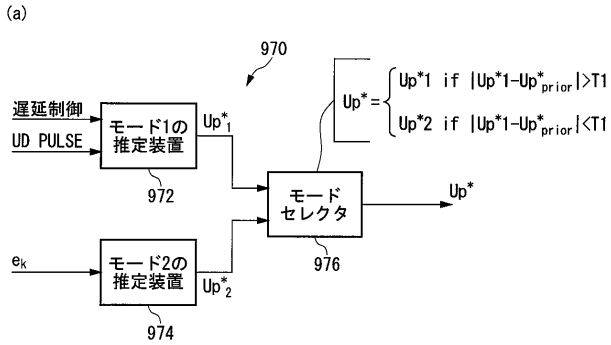
【図 30】



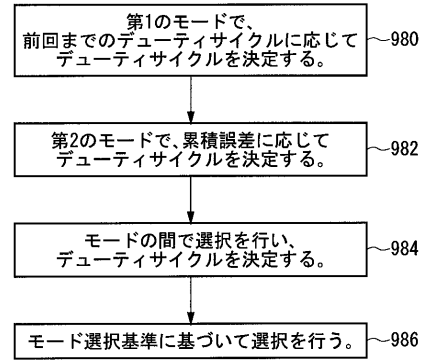
【図 28】



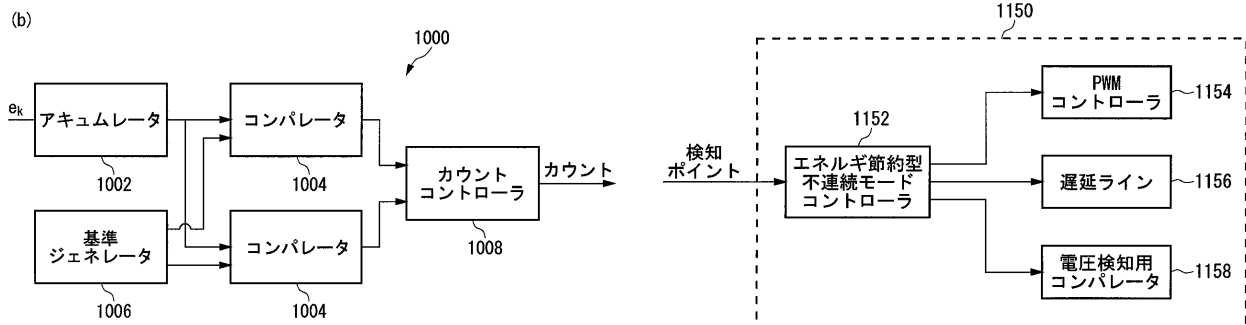
【図 3 1】



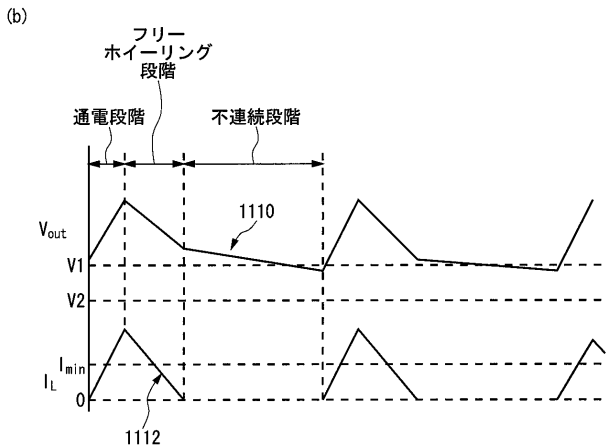
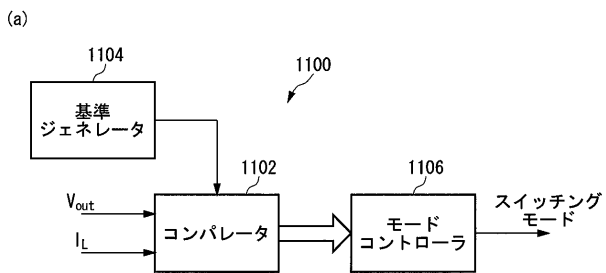
【図 3 2】



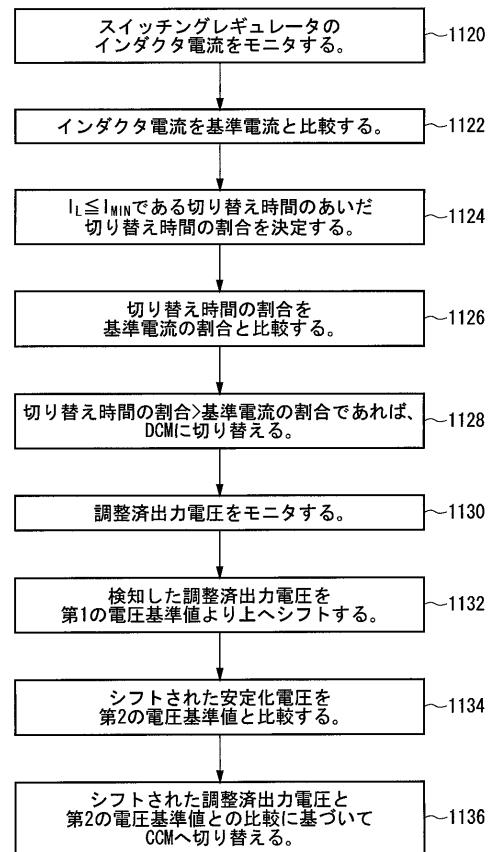
【図 3 3】



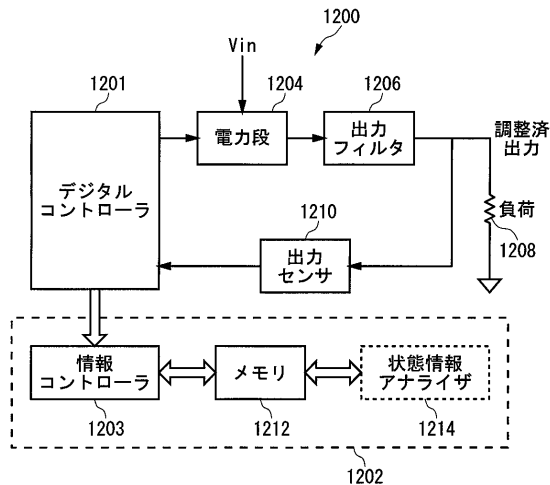
【図 3 4】



【図 3 5】



【図 36】



【手続補正書】

【提出日】平成20年4月3日(2008.4.3)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

入力源と出力レギュレータの調整済出力との間でのエネルギーの移動を制限するデューティサイクルリミッタであり、前記出力レギュレータは、レギュレータ特性と、前記入力源と前記調整済出力との間でのエネルギーの移動を制御する計算済みデューティサイクルと、を有するデューティサイクルリミッタであって、

前記デューティサイクルリミッタは、デジタルコントローラに設けられ、

前記デジタルコントローラは、前記出力レギュレータのスイッチング周波数以上の、前記エネルギーの移動をサンプリングするサンプリング周波数で制御可能な基準レベルを生成して前記出力レギュレータのレギュレータ特性を前記基準レベルと比較し、その比較に応じて前記計算済みデューティサイクル信号を最大デューティサイクルまでに制限し、

前記デジタルコントローラは前記基準レベルを前記サンプリング周波数のサイクル毎に変更する、デューティサイクルリミッタ。

【請求項2】

前記デジタルコントローラは、ほぼ前記スイッチング周波数と前記サンプリング周波数との間の範囲にわたる周波数で前記基準レベルを制御する、請求項1に記載のデューティサイクルリミッタ。

【請求項3】

前記デジタルコントローラは、公称デューティサイクルを決定するデューティサイクル推定装置をさらに備え、

前記計算済みデューティサイクル信号は前記公称デューティサイクルに基づいて決定され、

前記デューティサイクル推定装置は、前記計算済みデューティサイクルと、前回までのデューティサイクルのうちの少なくとも1つのデューティサイクルとの差に応じて前記デューティサイクル推定装置の少なくとも2つのモードを選択するモード選択装置を備える、請求項1に記載のデューティサイクルリミッタ。

【請求項4】

前記レギュレータ特性が入力電力と出力電力とから成るグループから選択される、請求項1に記載のデューティサイクルリミッタ。

【請求項5】

前記入力電力の電気的特性は、入力電流、入力電圧、入力リップル電圧および入力エネルギーを含む、請求項4に記載のデューティサイクルリミッタ。

【請求項6】

前記計算済みデューティサイクル信号は、マルチビットデジタル信号を含む、請求項1に記載のデューティサイクルリミッタ。

【請求項7】

前記計算済みデューティサイクル信号は、可変パルス幅信号を含む、請求項1に記載のデューティサイクルリミッタ。

【請求項8】

前記デューティサイクル推定装置は、前記差に応じて前記公称デューティサイクルを決定するモード2の推定装置をさらに備える、請求項3に記載のデューティサイクルリミッタ。

【請求項9】

調整値を決定して、この調整値を前記公称デューティサイクルと組み合わせ、前記計算済みデューティサイクルを生成する調整デターミナをさらに備える、請求項3に記載のデューティサイクルリミッタ。

フロントページの続き

(72)発明者 ヒー ランシェング

アメリカ合衆国、カリフォルニア州 94087、サニーベール、ペカン コート 874

(72)発明者 チャン チアンチョン

アメリカ合衆国、カリフォルニア州 94022、ロス アルトス ヒルズ、マニユエラ ロード
14696

Fターム(参考) 5H430 BB01 BB09 BB11 CC01 CC03 CC05 FF01 FF07 FF13 GG01
HH01 HH07 JJ07 KK02
5H730 AA14 AA15 AS01 BB13 BB14 BB15 BB17 BB61 FD01 FD31
FF05 FF07 FF08 FF09 FG03 FG04 FG05 FG06 FG09 FG25

【外国語明細書】

OUTPUT REGULATOR

CROSS-REFERENCE TO RELATED APPLICATIONS

[0001] This application claims the benefit of the filing date of U.S. provisional applications Nos. 60/395,115 filed July 10, 2002, and 60/395,697 filed July 12, 2002, the
5 entire contents of which are herein incorporated by reference.

TECHNICAL FIELD

[0002] This invention relates to output regulators.

BACKGROUND

10 [0003] Output regulators are employed in numerous machines and devices including virtually every electronic device. An output regulator typically converts unregulated input power to one or more regulated outputs for supplying power to circuits within the machine or device. The regulated outputs are most commonly regulated
15 voltage, but regulated current and regulated power may also be generated. The output regulator may be integrated into the machine or device, or the output regulator may be a separate assembly that is assembled to machine or device. Several characteristics of output regulators may be used to judge the quality of a particular design including operating characteristics such as power density, efficiency, output regulation, and
20 transient response. Improvements in the operating characteristics of output regulators are desirable so that machines and devices that use output regulators may be improved such as by being made smaller, requiring less power, having improved accuracy and reliability, or having improved operation during transient conditions.

SUMMARY

25 [0004] In one aspect, a control system and method for controlling an output regulator having a regulated output. An output sensor to generate a digital sense signal to indicate within which of at least three reference ranges the regulated output is included. Each of the at least three reference ranges including a plurality of possible
30 values of the regulated output. A digital controller, responsive to the digital sense signal, to generate a drive signal to control the regulated output.

[0005] In another aspect, an output regulator and method to convert an input voltage to a regulated output. The output regulator including a power stage to generate a power output from the input voltage. An output filter to filter the power output to
35 generate the regulated output. An output sensor to generate a digital sense signal to indicate within which of at least three reference ranges the regulated output is included.

Each of the at least three reference ranges including a plurality of possible values of the regulated output. A digital controller, responsive to the digital sense signal, to generate a drive signal to control the power stage.

5 [0006] In another aspect, a circuit and method for generating a feedback signal corresponding to a first voltage. The circuit comprising a reference generator to generate at least two reference voltages. The reference voltages to define at least three voltage ranges. A comparator to compare the first voltage to the at least three voltage ranges and to generate a digital signal to indicate within which of the at least three reference ranges the regulated output is included.

10 [0007] In another aspect, a control system and method to control an output regulator. The output regulator to convert an input voltage to a regulated output. The output regulator including a power stage to generate a power output from the input voltage and an output filter to filter the power output to generate the regulated output. The control system comprising a digital controller, responsive to a sense signal
15 corresponding to the regulated output, to generate a drive signal to control the power stage. The digital controller including and selecting between at least three operating modes, a selected one of the operating modes to generate the drive signal.

[0008] In another aspect, a power array and method for converting an input voltage to a chopped output. An output regulator to convert the chopped output to a regulated
20 output. The power array comprising a switch array, responsive to independent drive signals, to convert the input voltage to the chopped output at a switching frequency. The switch array including at least two power switches. A switch controller to generate the independent drive signals as a function of a duty cycle signal. The switch controller to operate at a sampling frequency, the sampling frequency being greater than the
25 switching frequency. The switch controller to control the independent drive signals at a drive frequency greater than the switching frequency.

[0009] In another aspect, a method and system of sensing current in an output regulator, comprising providing a current sensor having a gain resolution, setting the current sensor gain resolution to an initial resolution, sensing a current flowing through
30 the current sensor, evaluating an amplitude of the current, and at a sampling frequency, controlling the gain resolution of the current sensor based on the evaluating.

[0010] In another aspect, a method and system of controlling deadtime between power switches in an output regulator, comprising providing at least two power switches having a common node, wherein at least one of the two power switches is a conducting
35 switch and a remainder of the two power switches is a free-wheeling switch. Switching one of the conducting switch and the free-wheeling switch from an on-state to an off-

state. During a transition from the on-state to the off-state, monitoring a current flowing through one of the conducting switch and the free-wheeling switch. Comparing the current to a reference level. Delaying for a predetermined time period, then changing the operating state of the other of the conducting switch and the freewheeling switch
5 from an off-state to an on-state.

[0011] In another aspect, a method and system of reducing switching losses in a switch array for an output regulator. The switch array to convert energy from an input source to a regulated output of the output regulator, the switch array including at least two power switches. The method comprising determining an expected current flowing
10 through the switch array during a next switching cycle. At a sampling rate, determining expected power losses of the switch array based on the expected current. Determining a combination of the power switches to enable that minimizes the expected power losses. Enabling the combination of power switches.

[0012] In another aspect, a method and system of suppressing noise in a power
15 stage for an output regulator. The power stage to convert energy from an input source to a regulated output of the output regulator. The power stage including at least two switch arrays having a common node. The method comprising monitoring a noise characteristic of the common node, comparing the noise characteristic to a reference level, generating an impedance control signal based on the comparing, and at a sampling rate controlling
20 the switch arrays in response to the impedance control signal.

[0013] In another aspect, a method and system of controlling a capacitance of a circuit node of a power stage for an output regulator. The power stage to convert energy from an input source to a regulated output of the output regulator. The power stage including at least one switch array and a first power switch connected to the circuit node,
25 the switch array including at least two series pairs of power switches. The method comprising monitoring a current flowing through the switch array, determining a desired capacitance at the circuit node based on the current, at a sampling rate determining a combination of switch assemblies to enable to set the circuit node to the desired capacitance, and controlling the series pairs of power switches to set the circuit node to
30 the desired capacitance.

[0014] In another aspect, a diode emulation system and method to convert energy from an input source to a regulated output of an output regulator. The output regulator having a switching frequency. The diode emulation system comprising a first power switch, responsive to a first drive signal, to control a flow of energy from the input source
35 to an output inductor of the output regulator such that a current flowing through the output inductor increases. A switch array including at least two power switches,

responsive to array drive signals, to provide a path for the current flowing through output inductor during a freewheeling phase such that current flowing through the output inductor decreases. A current sensor to sense a current flowing through the switch array, and a controller to generate the array drive signals as a function of the current flowing through the switch array. The controller to independently control the at least two power switches.

[0015] In another aspect, a duty cycle limiter and method for limiting a transfer of energy between an input source and a regulated output of an output regulator. The output regulator having a regulator characteristic and a computed duty cycle for controlling the transfer of energy between the input source and the regulated output. The duty cycle limiter comprising a digital controller to generate a reference level and to compare the regulator characteristic of the output regulator to the reference level to determine a maximum duty cycle. The digital controller to control the reference level at a frequency at least equal to a switching frequency of the output regulator. The digital controller to limit the computed duty cycle to the maximum duty cycle.

[0016] In another aspect, a duty cycle estimator and method for determining a nominal duty cycle of an output regulator. The duty cycle estimator comprising at least two modes including a mode one estimator and a mode two estimator. The mode one estimator to determine the nominal duty cycle as a function of prior duty cycles. The mode two estimator to determine the nominal duty cycle as a function of accumulated error. A mode selector to, based on a mode selection criteria, select a one of the at least two modes to generate the nominal duty cycle.

[0017] In another aspect, a digital controller and method for controlling a regulated output of an output regulator. The output regulator responsive to a pulse width signal for controlling the transfer of energy between an input source and the regulated output. The digital controller comprising a duty cycle estimator to determine a nominal duty cycle. An adjust determiner to determine an adjustment value to combine with the nominal duty cycle to generate an adjusted duty cycle, the pulse width signal being a function of the adjusted duty cycle.

[0018] In another aspect, a duty cycle estimator and method for determining a duty cycle for controlling a regulated output of an output regulator. The output regulator responsive to the duty cycle for controlling the transfer of energy between an input source and the regulated output. The duty cycle estimator comprising an accumulator to determine an accumulated error over a time period greater than a switching period of the output regulator. A reference generator to generate reference levels. A comparator to compare the accumulated error to the reference levels at a maximum rate greater

than the switching period such that a single zero is generated, and to generate the duty cycle based on the comparing.

5 [0019] In another aspect, a digital controller and method for controlling an output regulator. The digital controller having sub-blocks for providing functions to control the output regulator. The digital controller comprising an energy saving discontinuous mode (ESDM) controller to monitor a sense point of the output regulator. The sense point to indicate an output power state of the output regulator. The ESDM controller to control a flow of power to the sub-blocks to reduce power consumption of the digital controller during selected power states of the output regulator.

10 [0020] The details of one or more embodiments of the invention are set forth in the accompanying drawings and the description below. Other features, objects, and advantages of the invention will be apparent from the description and drawings, and from the claims.

15 DESCRIPTION OF DRAWINGS

[0021] FIG. 1 is a block diagram of an aspect of an output regulator.

[0022] FIG. 2 is a block diagram of an aspect of a digital controller for an output regulator.

20 [0023] FIG. 3 is a flow diagram of an aspect of the operation of a digital controller for an output regulator.

[0024] FIG. 4 is a two dimensional view of a package for an output regulator.

[0025] FIG. 5 is a state diagram of an aspect of an adaptive multi-mode control system.

[0026] FIG. 6 is a graph of an output voltage during turn-on.

25 [0027] FIG. 7 is a flow diagram of an aspect of the operation of an adaptive multi-mode control system.

[0028] FIG. 8 is a block diagram of an aspect of an output regulator having an output slicer.

[0029] FIG. 9 is a diagram of an aspect of the relationship between voltage ranges.

30 [0030] FIG. 10 is a block diagram of an aspect of an output slicer.

[0031] FIG. 11 is a flow diagram of an aspect of the operation of an output slicer.

[0032] FIG. 12A is a block diagram of an aspect of a power array.

[0033] FIG. 13 is a timing diagram of waveforms associated with an aspect of sensing current in a power array.

35 [0034] FIG. 14 is a flow diagram of an aspect of an operation of a power switch array for a power array for controlling the flow of energy in a power regulator.

[0035] FIG. 15 is a flow diagram of an aspect of the operation of a current sensing technique.

[0036] FIG. 16 is a block diagram of an aspect of a diode emulation system for emulating a free-wheeling diode of an output regulator that operates as a switching
5 regulator.

[0037] FIG. 17 is a timing diagram of waveforms associated with an aspect of a diode emulation system.

[0038] FIG. 18 is a flow diagram of an aspect of the operation of a diode emulation system.

10 [0039] FIG. 19 is a flow diagram of an aspect of the operation of a deadtime control technique implemented with a diode emulation system.

[0040] FIG. 20 is a flow diagram of an aspect of an operation for controlling losses in a power array.

15 [0041] FIG. 21 is a flow diagram of an aspect of an operation for suppressing the generation of noise by a power stage of a power regulator.

[0042] FIG. 22 is a flow diagram of an aspect of an operation for controlling a capacitance of a circuit node of an output regulator.

[0043] FIG. 23 is a block diagram of an aspect of a delay line for generating a delay in a pulse signal.

20 [0044] FIG. 24 is a timing diagram of waveforms associated with an aspect of a delay line.

[0045] FIG. 25 is a flow diagram of an aspect of an operation for increasing the resolution of a pulse width signal for an output regulator.

25 [0046] FIG. 26 is a block diagram of an aspect of a digital controller for determining a duty cycle for a switching regulator.

[0047] FIG. 27 is a block diagram of an aspect of a digital controller for a switching regulator.

[0048] FIG. 28 is a state diagram of an aspect of a duty cycle estimator.

30 [0049] FIG. 29 is a graphical diagram of voltage levels associated with an aspect of voltage slicer.

[0050] FIG. 30 is a timing diagram of waveforms associated with an aspect of digital controller for generating a duty cycle for a switching regulator.

[0051] FIG. 31A is a block diagram of an aspect of a duty cycle estimator for determining a duty cycle for a switching regulator.

35 [0052] FIG. 31B is a block diagram of an aspect of another duty cycle estimator for determining a duty cycle for a switching regulator.

[0053] FIG. 32 is a flow diagram of an aspect of an operation for generating a duty cycle for a switching regulator.

[0054] FIG. 33 is a block diagram of an aspect of a digital controller including an energy saving discontinuous mode (ESDM).

5 [0055] FIG. 34A is a block diagram of an aspect of a digital controller for controlling the switchover between constant current mode and discontinuous current mode.

[0056] FIG. 34B is a timing diagram of waveforms associated with an aspect of a digital controller.

10 [0057] FIG. 35 is a flow diagram of an aspect of an operation for controlling the switchover between constant current mode and discontinuous current mode.

[0058] FIG. 36 is a block diagram of an aspect of a state information storage system for a digital controller.

[0059] Like reference symbols in the various drawings indicate like elements.

15 DETAILED DESCRIPTION

[0060] Figure 1 shows a power regulator 10 for supplying regulated power to a load 12. The power regulator 10 may include a digital controller 14 to receive a feedback signal 16 and to generate one or more control signals 18 to drive a power stage 20. The power stage 20 converts an unregulated voltage, such as V_{in} 22, to a chopped waveform that is filtered by an output filter 24 to generate a regulated output 26. The regulated output 26 is preferably a direct current (DC) output and may be any output characteristic including voltage, current, and power. The unregulated voltage may be any form of input power such as alternating current (AC) voltage and DC voltage. For an AC input voltage a rectification stage (not shown) may be included to convert the AC voltage to the DC input voltage, V_{in} , 22. An output sensor 28 senses the regulated output 26 and sends the feedback signal to the digital controller 14. The power regulator 10 may employ any topology such as buck, boost, flyback (buck-boost), Cuk, Sepic, and Zeta.

20 [0061] Figure 2 shows a portion of a voltage converter 100 for converting an unregulated input voltage, V_{in} , to a regulated output for supplying power to a load (not shown). A digital controller 102 generates a pair of drive signals to control the conversion of V_{in} to a chopped waveform. The digital controller 102 may be implemented in any manner such as a programmable device executing software or firmware, digital circuitry, logic circuits, digital signal processors, and combinations of

35 the preceding. The digital controller 102 generates the drive signals in response to a digital error signal 104 corresponding to the regulated output.

[0062] An output sensor 106 may sense the regulated output and generate the digital error signal 104. The output sensor 106 may compare the regulated output to a reference signal 108 to generate the digital error signal. The reference signal 108 may be any type of signal such as analog and digital and may be generated in any manner.

5 [0063] For example, an output selector 110 may generate the reference signal 108 in response to one or more inputs, Rx and Ry. The inputs may be resistors that connect to a reference voltage such as ground. The values of the resistors may correspond to the selection of an output voltage level and tolerance. The output selector 110 may be a separate module or be included within the digital controller 102.

10 [0064] Driver circuits 112a and 112b may buffer the drive signals from the digital controller 102 and generate signals to drive upper and lower power arrays 114a and 114b. The driver circuits 112a and 112b may have a lower output impedance to decrease the transition time when switching the power arrays 114a and 114b between operating states. Any type of driver may be employed for the driver circuits 112a and
15 112b.

[0065] The power arrays 114a and 114b each include one or more power switches operated in a switching mode, cycling between on and off states. Any type of power switch may be used such as MOSFETs, BJTs, IGBTs, and MCTs. The power arrays 114a and 114b may be configured in any topology such as buck, boost, flyback, sepic,
20 Cuk, and zeta.

[0066] Here, the power arrays 114a and 114b are described in a buck configuration. The upper power array 114a is connected between Vin and a common node, VL. The lower power array 114b is connected between VL and a lower voltage such as ground. As the power arrays 114a and 114b switch between on and off states Vin and ground
25 are applied to VL. When Vin is applied to VL, energy flows from Vin through VL to an output filter (see Figure 1).

[0067] Current sensors 116a and 116b may measure the current flowing through the power arrays 114a and 114b. The current sensors may employ any method of current sensing such as current transformers, series resistors, hall effect devices, and
30 determining the current based on the voltage developed across a MOSFET in the on state. Each of the current sensors 116a and 116b may generate a digital output to indicate a current characteristic such as peak current, average current, and actual current. The digital output of the current may be one or more bits.

[0068] A voltage sensor 118 may sense the voltage at VL. The voltage sensor 118
35 may generate a digital output based on the sensed voltage. The digital output of VL

may be 2 or more bits. The VL information may be used for control and protection such as indirectly sensing current through the lower power array 114b.

[0069] A delay line 120 may finetune the estimated duty cycle computed by the digital controller 102. The delay line 120 may generate a delay signal to lengthen the estimated duty cycle. For example, the estimated duty cycle may be computed as an integer multiple of a clock pulse width and the delay line 120 may vary the estimated duty cycle by increments that are less than the clock pulse width. The delay line 120 may receive a digital signal of one or more bits such as a multibit digital signal, and generate a pulse with a controlled pulse width. Any type of pulse stretching technique may be employed. In addition, the delay line 120 may include dithering to generate fractional increments. In an exemplary system, delay line 120 may generate a minimum increment resolution that is equal to "t1", and by applying dithering, the average of the generated pulse may be pulse stretched by any fractional portion of "t1". In one dithering method, a selected number of pulses within the continuing series of pulses may be stretched by an integer "N" number of increments, and the remaining pulses in the series of pulses may be stretched by an integer "N-1" or "N+1" number of increments to generate a pulse that is fractionally stretched.

[0070] An oscillator 122 may generate a clock signal for the voltage converter 100. The oscillator 122 may receive an external sync signal to synchronize the clock signal. Any type of oscillator may be used such as phase lock loop oscillators and crystal oscillators.

[0071] A soft start circuit 124 may generate a soft start signal to limit the transfer of energy to the output during turn-on of the power supply. The soft start signal may be a 5 bit signal that controls the pulse width of the drive signals to limit energy transfer to the output. For example, during turn-on, the soft start signal may ramp up in value limiting the maximum pulse width. Any type of soft start technique may be employed such as limiting the duty cycle, controlling the operating frequency of the drive signals, and controllably increasing the reference voltage that the output feedback signal is compared to gradually increase the output voltage to a steady-state level. The soft start circuit 124 may limit the transfer of energy on a cycle by cycle basis.

[0072] An adaptive duty limit 126 may generate a digital signal to limit the transfer of energy to the output as a function of an electrical characteristic of the input power such as Vin, the input current, Iin, the input ripple voltage, VINripple, the input power, Pin, the input source impedance, Rs, and the input energy, Qin. For example, the adaptive duty limit 126 may monitor Iin and generate a digital signal to limit the duty cycle so that the amplitude of Iin does not exceed a threshold value. The adaptive duty limit 126 may

operate on a cycle-by-cycle basis to control the threshold value. Each cycle, the adaptive duty limit 126 may change the threshold value and limit the duty cycle for the next cycle. The duty cycle for the next cycle may be determined based on comparing the input power electrical characteristic of the previous cycle to the threshold value.

5 [0073] Figure 3 shows an aspect of an operating mode of the voltage converter 100. At block 150, the regulated output is sensed and compared to a reference. The sensed regulated output may be any electrical characteristic such as voltage and current. At block 152, a digital feedback signal is generated as a function of the sensed regulated output. The digital feedback signal may be a multi-bit signal. Each value of the digital
10 feedback signal may correspond to a range of analog values of the sensed regulated output. At block 154, an estimated duty cycle is determined based on the digital feedback signal. The estimated duty cycle may be represented as a counter limit to be applied to a counter. The counter may generate a pulse as a function of a clock signal and the counter limit. At block 156, a soft start signal is generated to limit energy
15 transfer to the regulated output during turn-on. The soft-start signal limits the duty cycle over which the power arrays over driven. At block 158, an input limit signal is generated to limit energy transfer to the regulated output as a function of the input power. For example, power transfer may be limited when the input voltage is less than a predetermined voltage or the input current is greater than a predetermined current. At
20 block 160, a clocked duty cycle may be generated. At block 162, the clocked duty cycle is adjusted by time durations less than a clock pulse of the clock signal. For example, the resolution of the clocked duty cycle may be limited by the frequency of the clock so that the clocked duty cycle does not equal the estimated duty cycle being either greater or less than the estimated duty cycle. The clocked duty cycle may then be increased or
25 decreased to more nearly equal the estimated duty cycle. At block 164, one or more power arrays may be controlled as a function of the computed duty cycle to transfer energy to the regulated output.

[0074] Figure 4 shows an aspect of a package configuration for the voltage converter 100. The package configuration advantageously reduces susceptibility to
30 noise generated from the operation of the voltage converter 100. A package 200 includes a digital controller and power switches for controlling the flow of energy in the voltage converter 100. The pin configuration of the package 200 provides for improved routing of traces associated with the voltage converter 100. A return pin 202 may be located along a first side of the package 200. The return pin 202 provides a return
35 current path for current flowing to Vout. A Vin pin 204 and a center-tap pin, CT, 206 may be located along a second side of the package 200. Pins 208-212 for control

Input/Output (I/O) may be located along a third side of the package 200. Control I/O may include a functions such as frequency compensation, Cf, and output voltage selection, R1 and R2.

5 MULTI-MODE CONTROL SYSTEM

[0075] Figure 5 shows an aspect of an adaptive multi-mode control system 300 for controlling an output regulator. The multi-mode control system 300 may automatically switch between three or more operating modes as a function of the regulated output. The output regulator may be any type of regulator including switching and linear, and
10 regulate any output characteristic such as voltage and current. The multi-mode controller 300 may be configured to include any combination of operating modes such as hysteretic mode, adaptive hysteretic mode, pulse width modulated mode, constant on-time mode, constant off-time mode, resonant modes, fixed frequency soft-switching mode, voltage mode, current mode, fixed frequency, and variable frequency including
15 combinations of the operating modes. The multi-mode controller 300 is implemented in a digital control system and operated with a clock signal. The adaptive multi-mode control system 300 may switch between operating modes on a cycle-by-cycle basis of the clock signal. Each clock cycle, one or more characteristics of the output regulator may be sensed, and then the operating mode be selected based on the sensed
20 characteristics. Any output regulator characteristic may be used such as output voltage, output current, bias current, switch current, and temperature wherein each of the characteristics may be any mathematical form such as peak, average, weighted average, rate of change, and instantaneous.

[0076] In one exemplary configuration for a switching regulator, the adaptive multi-mode control system 300 may start in voltage-mode hysteretic control 302 when the
25 switching regulator turns-on. Figure 6 shows a regulated output voltage 320 of the switching regulator during several operating states.

[0077] During voltage-mode hysteretic control, S1, 302 the regulated output voltage 320 quickly ramps up towards the steady-state value. In voltage-mode hysteretic control, S1, 302, energy is transferred to the regulated output voltage 320 when the
30 voltage is less than a reference voltage such as V0. When the regulated output voltage 320 increases to greater than V0, the multi-mode control system 300 interrupts the drive signals, and after a short time delay, the transfer of energy halts.

[0078] The adaptive multi-mode control system 300 may switch to voltage-mode adaptive hysteretic control, S2, 304 when the regulated output voltage 320 is within a
35 range of values such as VH3 and VL3. In voltage-mode adaptive hysteretic control, S2,

304 the maximum on-time and the maximum off-time under hysteretic control are limited to reduce the rate at which energy is transferred to the regulated output, reducing the amplitude of ringing about the steady-state value.

[0079] The adaptive multi-mode control system 300 may switch to voltage-mode or
5 current-mode pulse-width-modulation (PWM) control, S3, 306 as the ringing of the regulated output voltage decreases. During voltage-mode PWM control, S3, 306 the output regulator operates at a constant frequency and regulates the output voltage by controlling the duty cycle at which energy is transferred to the output. Switching to
10 voltage-mode PWM control, S3, 306 may be based on the output current of the output regulator, the output voltage, and the voltage range over which the output voltage varies.

[0080] Constant on-time current-mode control, SY, 308 may be switched to for conserving energy when the output current decreases below a light load limit. During
15 constant on-time current-mode control, SY, 308 the off-time of the switching regulator may be controlled to maintain a regulated output. As the output current decreases, the switching frequency of the switching regulator may decrease or cease completely, reducing the switching losses of the switching regulator. During no load or very light
load conditions the switching regulator may enter a hibernation mode in which the clock ceases.

[0081] Figure 7 shows an aspect of an adaptive multi-mode control system. At
20 block 330, three or more operating modes are provided for controlling an output regulator. The operating modes may be configured in any clock driven medium such as firmware, software, and hardware. At block 332, a clock signal is generated for operating the multi-mode control system 300. At block 334, one or more characteristics
25 of the output regulator may be sensed. The output regulator characteristics may be sensed as a function of the clock cycle such as a number of clock cycles corresponding to a minimum on-time or duty cycle of the output regulator. At block 336, the sensed output regulator characteristics may be evaluated to determine which operating mode to use. At block 338, one of the operating modes may be selected based on the
30 evaluation. The evaluation of the output regulator characteristics and the selection of the operating mode may be done on a cycle-by-cycle basis at a sampling frequency such as every clock cycle and once every predetermined number of clock cycles. At block 340, the selected operating mode is used to compute the on-time to which the output regulator will be set for the next conduction cycle. At block 342, the output
35 regulator converts an input voltage to an output of the output regulator as a function of the computed on-time.

OUTPUT SLICER

- [0082] Figure 8 shows an aspect of an output regulator 400 for generating a regulated output. The output regulator 400 may include a digital controller 402 to receive a feedback signal 404 and to generate one or more drive signals 406 to drive a power stage 408. The power stage 408 converts an unregulated voltage, such as V_{in} , to a chopped waveform that is filtered by an output filter 412 to generate a regulated output 414. The regulated output, V_{out} , is preferably a DC output and may be regulated based on any output characteristic including voltage, current, and power.
- [0083] An output slicer 416 may generate the feedback signal 404 in response to sensing the output voltage. The output slicer 416 may determine a range of voltages within which the output voltage is included. The output slicer 416 may determine two or more voltage ranges to describe a combined range of voltages, and then determine the voltage range within which the output voltage is included. For example, a combined range of voltages extending from 0 volts to 10 volts may be described by a first voltage range from 0 volts to 8 volts, a second voltage range from 8 volts to 9 volts, a third voltage range from 9 volts to 10 volts, and a fourth voltage range being 10 volts and greater. If the output voltage is 8.5 volts, then the output voltage lies within the second range. The voltage ranges may be selected to be overlapping as well as consecutive.
- Figure 9 shows an example of an overlapping configuration of voltage ranges. A first voltage range extends from 0 volts to VL_3 volts. A second voltage range extends from VL_3 volts to VH_3 volts. A third voltage range extends from VL_2 volts to VH_2 volts. A fourth voltage range extends from VL_1 volts to VH_1 volts. The second, third and fourth voltage ranges may describe voltage regulation limits about a nominal voltage of VA_0 .
- In another alternative, the voltage ranges may be selected to extend consecutively such as from 0 to VL_3 , VL_3 to VL_2 , VL_2 to VL_1 , VL_1 to VH_1 , VH_1 to VH_2 , and VH_2 to VH_3 .
- [0084] The output slicer 416 may set the voltage ranges dynamically on a cycle-by-cycle basis at the sampling frequency. For example, one or more of the reference levels such as VL_3 may be changed each cycle so that voltages encompassed by each voltage range may change each cycle. In another aspect, the reference levels may be controlled as a function of the ripple voltage of the regulated output. For example, the reference levels lying closest to the nominal level of the regulated output may be adjusted to ensure the ripple voltage is a predetermined percentage of the voltage range encompassed by the reference levels. In another aspect, during a voltage transient condition, the voltage ranges may be set to relatively broad ranges, while during steady-state, the voltage ranges may be set to narrow ranges. Also on a cycle-

by-cycle basis, the configuration of the voltage ranges may be changed such as from consecutive to overlapping. Although, the output slicer 416 is described as having voltage references, current references may also be used to define current ranges to which a current may be compared.

5 [0085] The output slicer 416 may compare the output voltage to the predetermined voltage ranges and select a digital value to represent the voltage range within which the output voltage is. The feedback signal 404 is a digital signal having two or more bits to represent the voltage range that corresponds to the output voltage, such as a digital bus carrying a decoded signal and separate digital lines to represent each voltage range.

10 [0086] Figure 10 shows an aspect of a voltage slicer 450 for generating a digital value to represent a voltage range within which a sensed voltage is included. A reference generator 452 may generate several voltage references 454 for setting voltage limits for each of the voltage ranges. There may be any arrangement of voltage references such as assigning individual voltage references 454 for each voltage limit and deriving multiple voltage limits from a single voltage reference.

15 [0087] A control signal 455 may dynamically control the voltage references so that the voltage limits may be controlled on a cycle-by-cycle basis at the sampling frequency. The control signal 455 may control one or more of the voltage references and switch the voltage references between two or more voltage levels. The control signal 455 may be
20 analog, digital, mixed-signal, parallel, serial, one or more lines and combinations thereof.

[0088] One or more comparators 456 may compare the output voltage to the voltage limits 454. When multiple comparators 456 are used, the comparators may operate in parallel to compare the output voltage to each of the voltage limits defining
25 voltage ranges. In one alternative, a single comparator 456 may be used to compare the output voltage with a controlled voltage reference that may be sequenced on clock transitions through values corresponding to the voltage limits.

[0089] An encoder 458 may encode the outputs of the comparators 450 to a digital signal having two or more bits. The digital signal may be any format such as parallel
30 and serial.

[0090] Figure 11 shows an operation of a voltage slicer. At block 470, three or more reference levels may be generated to define voltage ranges. The reference levels may be static or dynamic. Static reference levels may be maintained at a constant level. Dynamic reference levels may controlled on a cycle-by-cycle basis so that the voltage
35 ranges may be changed dynamically. For example, during turn-on of a power regulator when the regulator output is increasing, the voltage ranges may be set to be 10% of the

steady-state level of the power regulator output. Then, when the power regulator output begins to settle towards the steady-state level, the voltage ranges may be decreased to 5% of the steady-state level. At step 472, the level of a device characteristic may be sensed. Any device characteristic may be sensed such as output voltage, output current, switch voltage, inductor current, and input voltage. At step 474, the device characteristic may be compared to at least one of the reference levels. At step 476, the voltage range within which the level of the device characteristic lies may be determined based on step 474. At step 478, a digital signal is generated to indicate the range within which the level of the device characteristic lies.

10

POWER ARRAY

[0091] Figure 12A shows an aspect of a power array 500 to generate a chopped voltage from an input voltage. The power array 500 may be included in a power regulator such as power regulator 10 described in this specification. The power array 500 may include one or more switch arrays 502a and 502b of power switches Q1-Q8 to control the flow of energy between two nodes. The power switches Q1-Q8 may each operate independently in two states, an on state and an off state. In the on state, the power switch has a low impedance and conducts energy between the two nodes. In the off state, the power switch has a high impedance and blocks the flow of energy between the two nodes. Any quantity and type of switching device may be used for the power switches such as MOSFETs, BJTs, MCTs, IGBTs, and Radio Frequency (RF) FETs. The power switches Q1-Q8 may include any mixture of sizes such as for MOSFETs, one device may have an $R_{ds(on)}$ of 0.1 ohm while other devices have an $R_{ds(on)}$ of 0.2 ohm and 0.4 ohm respectively.

[0092] The switch arrays 502a and 502b may be connected as any topology such as buck, boost, flyback, Cuk, sepic, and zeta. Here, the switch arrays 502a and 502b are connected as a buck topology in which the upper switch array 502a conducts energy during a conduction period and the lower switch array 502b conducts energy during a free-wheeling period. The switch arrays 502a and 502b may comprise any combination of power switches such as MOSFETs, BJTs, MCTs, IGBTs, and RF FETs.

[0093] A driver array 505 buffers drive signals from a switch controller 504 to the power switches Q1-Q8. The driver array 505 may include several drivers 506. Each of the drivers 506 preferably drives a single power switch, however each driver 506 may drive more than one of the power switches Q1-Q8. The drivers 506 improve the switching speed of the power switches Q1-Q8 to reduce switching losses as the power switches transition between the on state and off state. Any type of circuits and devices

35

may be used for the drivers 506 to improve the switching speed of the power switches Q1-Q8.

[0094] A switch controller 504 generates drive signals for controlling the power switches Q1-Q8. The switch controller 504 operates digitally and may be implemented as any form of digital entity such as digital circuitry, and a programmable device executing software or firmware. The switch controller 504 may receive a duty cycle signal 508 and generate the drive signals based on the duty cycle signal 508. The switch controller 504 may operate on a cycle-by-cycle basis at the sampling frequency to determine the drive signals. The sampling frequency may be 20 times or more higher than the switching frequency of the output regulator. For example, during fixed frequency operation the output regulator may operate between 50 kHz and 1 MHz while the sampling frequency may range between 1 MHz and 100 MHz. The switch controller 504 may determine the drive signals each clock cycle corresponding to the sampling frequency.

[0095] Each of the power switches Q1-Q8 may be independently enabled or disabled on a cycle-by-cycle basis. The quantity of power switches within a switch array that are enabled may be controlled. The quantity of enabled/disabled power switches Q1-Q8 may be determined on the basis of any operating characteristic such as output current, ambient temperature, operating temperature, output voltage, and inductor current. For example, when the output current is equal to about half of the maximum output current, only two of four power switches in each switch array may be enabled so that the switching losses of the power switches are minimized. In another aspect, as the current ramps up in the switches during a conduction period, additional power switches may be enabled to reduce conduction losses. Similarly, during a transient load change, the quantity of power switches may be increased or decreased, thereby for example reducing switching and conduction losses.

[0096] The switch controller 504 may control each of the power switches Q1-Q8 independently via the drive signals so that the time relationship between each of the power switches during transitions between the on and off states may be controlled cycle-by-cycle. The time sequence of the on and off transitions of the power switches Q1-Q4 and Q5-Q8 within each of the switch arrays 502a and 502b may be individually controlled. For example, referring to Figure 13, which shows waveforms associated with an aspect of the power array 500, an off state to on state transition 520 of the power switches Q1-Q4 may be controlled so that first Q4 turns off, followed by Q2 and Q3 together, and finally Q1.

[0097] The time sequence may be controlled in any manner such as on the basis of the current flowing through the power switches, using predetermined delay times between transitions, triggering the transition of one power switch on the completion of the transition of another power switch, and on the basis of voltage transients on the node common to the switch arrays.

[0098] Current sensors 510 and 512 may sense current flowing through the power switches Q1-Q8. The current flowing through the power switches Q1-Q8 may be sensed at any location in the output regulator such as in series with an output inductor, in series with the upper switch array 502a, and in series with the lower switch array 502b. Any type of current sensor may be used such as transformer-resistor sensors, inductor-resistor sensors, hall effect sensors, DC current sensors, AC current sensors, inductor-tertiary winding sensors, and series resistors.

[0099] Figure 14 shows an operation of a power switch array for a power array for controlling the flow of energy in a power regulator. At step 550, two or more switches in parallel are provided for controlling the flow of energy in a power regulator. Preferably, each of the power switches receives an independent drive signal. However, the switches may be arranged into two or more groups of power switches that each receive independent drive signals. At step 552, the quantity of power switches to be enabled is determined. The quantity of power switches may be adjusted to reduce power losses in the power switches including switching losses and conduction losses. For example, the output current or switch current may be sensed and the quantity of power switches that are enabled be controlled based on the sensed current. By reducing the quantity of power switches that are enabled when there are lower operating currents flowing through the power switches, the switching losses may be reduced. At step 554, the time sequence for the turn-on transition of the power switches is determined. The time sequence for the turn-on transition may be determined based on any technique such as selecting fixed time delays between switch transitions, and selecting time delays based on the voltage regulator operating characteristics such as voltage levels, current levels, and operating temperatures. At step 556, drive signals are generated to control the turn-on transition of the power switches. At step 558, the time sequence for the turn-off transition is determined. The time sequence for the turn-off transition is not limited by the time sequence that is determined for the turn-on transition. Preferably, the turn-off transition time sequence is determined independently of the turn-on sequence. However, the turn-off transition time sequence may be determined based on the turn-on sequence such as by mirroring the turn-on transition time sequence. At step 560, drive signals for the turn-off transition are generated.

Current Sensing

[00100] Figure 13 shows an aspect of a current sensing operation of the power array 500. A sampling waveform, SMPL, 524 shows an exemplary sampling rate. Waveforms 526-540 show a portion of a conduction cycle for the power switches Q1-Q8. Waveform 542 shows current flowing through an output inductor. The current in the inductor decreases at a linear rate during a freewheeling portion of the conduction cycle of the power array 500. Waveform 544 shows a sense voltage. The sense voltage may be equal to a sense impedance times a sense current corresponding to the current flowing through the output inductor. The resolution of the sense voltage may be adjusted on a cycle-by-cycle basis at the sampling frequency. An encircled portion 546 of the sense voltage waveform 544 shows the resolution of the sense voltage being increased as the inductor current decreases in amplitude. In one respect, the power array 500 zooms in to increase the resolution of the sensed current. The resolution may be controlled in any manner on a cycle-by-cycle basis at the sampling frequency. In one aspect, the resolution may be controlled by amplifying the sense current signal based on a resolution trigger such as the sense current amplitude, the quantity of power switches that are enabled, and a predetermined time in the conduction cycle. In another aspect, the resolution may be controlled by controlling the impedance of the current sensing device such as by: 1) sensing current across the ON impedance of the power switches and 2) controlling the quantity of power switches that operate in parallel during the conduction cycle. Other sensing circuits such as transformer-resistor sensors, inductor-resistor, and Hall effect devices the impedance of the sensing device such as a resistor may be controlled. In each case, the resolution may be controlled at the sampling frequency throughout the conduction cycle so that as the amplitude of the sensed current decreases, the power array 500 may zoom in during the conduction cycle to increase the resolution.

[00101] Figure 15 shows an aspect of the operation of a current sensing technique. At step 580, a current sensor is set to an initial resolution for sensing a current. At step 582, current flowing through one or more of the power switches Q1-Q8 is sensed. The current may be sensed indirectly as well as directly. For example, the drain-source voltage, V_{ds} , of parallel MOSFETs may be sensed and the current computed from V_{ds} and the known ON resistance of the MOSFETs. At step 584, on a cycle-by-cycle basis at the sampling frequency a next resolution for the current sensor may be determined. The next resolution may be selected to minimize noise errors by maximizing the amplitude of the sense signal within the constraints of the sensing circuit. At step 586,

the current sensor is set to the next resolution and then the current flowing through the switch is sensed again at the next cycle.

Free-wheeling Diode Emulation

5 [00102] Figure 16 shows an aspect of a diode emulation system 600 for emulating a free-wheeling diode of an output regulator that operates as a switching regulator. The output regulator includes an output filter 605. Although the diode emulation system 600 is shown in a buck topology with a ground referenced output, any topology may be used such as boost, buck-boost, cuk, sepic, and zeta, and the output may be referenced to
10 any circuit node such as high-side reference and low-side reference. The diode emulation system 600 advantageously uses a free-wheeling switch array 602 to emulate a free-wheeling diode of the output regulator. The freewheeling switch array 602 may include several power switches connected in parallel and independently controlled. The power switches may be selected to have combined lower conduction losses than a
15 comparable free-wheeling diode to reduce conduction and switching losses during the freewheeling phase of the output regulator. The freewheeling switch array 602 may also provide a controlled impedance to reduce noise generation and a current path for negative currents during light load conditions such as discontinuous mode operation. The power switches of the free-wheeling switch array 602 and a first power switch 604
20 each operate in either an on state or an off state to control the flow of energy from an input power source, V_{in} , to a regulated output 606. Each of the power switches may be configured as any grouping of power switches such as single power switches and an array of power switches. The power switches may be any type of switching device such as MOSFETs, BJTs, MCTs, and IGBTs. Drivers 608 and 610 may buffer the drive
25 signals sent to the switch array 602 and power switch 604. The drivers 608 and 610 may decrease the switching and conduction losses of the power switches by increasing the switching speed of the power switches. Any type of driver may be used to drive the power switches.

[00103] An upper current sense circuit and a lower current sense circuit may sense
30 the current flowing through the switch array 602 and the first power switch 604. Any type of current sensing circuit may be used such as shunt resistors, resistor-transformer, voltage sensing across a known impedance, and Hall effect. The lower current sense circuit may include a voltage reference V_{ILIM} and a comparator 614 connected across the switch array 602. The comparator 614 may generate a freewheeling switch current
35 signal in response to comparing the current flowing through the switch array 604 to the voltage reference V_{ILIM} . The voltage reference V_{ILIM} may be set to a value based on the

expected voltage drop developed across the first power switch while conducting current. The voltage reference may be programmable on a cycle-by-cycle basis so that for example, the lower current sense circuit threshold value may be adjusted to account for variations in the impedance of the freewheeling switch array 602 such as changes in the quantity of parallel power switches and temperature effects.

[00104] The upper current sense circuit may include a current sense circuit 616 to sense current flowing through the first power switch 604, a reference I_{TH} , and a comparator 618. The comparator 618 may compare the amplitude of the current flowing through the first power switch 602 to the reference I_{TH} . The comparator may generate a conducting switch current signal. The reference I_{th} may be programmed on a cycle-by-cycle basis.

[00105] A controller 620 may generate the drive signals for controlling the power switches 602 and 604. The controller 620 may determine the drive signals as a function of a pulse width signal 622. The outputs from the comparators 614 and 618 may also be used to determine the drive signals. For example, the controller 620 may, in response to sensing the current flowing through the freewheeling switch array 602 approaching zero amps, disable one or more power switches within the freewheeling switch array 602 to cause the voltage developed across the switch array 602 to increase improving the resolution of the comparator 618. The controller 620 may also either maintain or shift the level of the threshold voltage, V_{LIM} , of the comparator 618 in preparation to disabling another power switch as the current in the freewheeling switch array 602 continues to decrease. In this manner, the controller 620 may zoom in as the current flowing through the freewheeling switch array 602 decreases. By disabling individual power switches within the switch array 602 as the current decreases, the impedance at the common node, "A", between the first power switch 604 and the switch array 602 gradually increases, dampening and suppressing noise on the common node.

[00106] In another example, during a light load condition, the controller 620 may operate the free-wheeling power switch 602 as a bi-directional switch so that current may flow in both the positive and the negative directions. The controller 620 may operate in a continuous output current mode at very light loads including zero output current.

[00107] Figure 17 shows waveforms associated with an aspect of the diode emulation system 600. A first waveform 640 shows current flowing through an inductor in the output filter 605. A second waveform 642 shows a voltage, V_x , on the common node. A third waveform 644 shows a drive signal for the first power switch 604. A fourth waveform 646 shows a weighted drive signal for the power switches of the free-

wheeling switch array 602. Each of the levels of the fourth waveform indicate a different quantity of power switches that are enabled. For example, at higher current levels four power switches may be enabled. Then as the current decreases, one of the power switches may be disabled. As the current continues to decrease, two more power switches may be disabled. Finally, the remainder of the power switches in the switch array 602 may be disabled.

[00108] Figure 18 shows an aspect of the operation of the diode emulation system 600. At step 650, the first power switch 604 transitions from the on-state to the off-state. At step 652, the current flowing through the first power switch may be monitored. At step 654, the current flowing through the first power switch 604 may be compared to a reference level. At step 658, the operating state of a freewheeling switch array 602 may be changed from the off-state to the on-state. The freewheeling switch array 602 may be controlled as a function of a pulse width signal as well as the current flowing through either of the first power switch or the freewheeling switch array 602. For example, the power switches of the freewheeling switch array 602 may be switched to the on-state as the first power switch 604 is switched to the off-state based on a pulse width signal. In another aspect, if the current flowing through the first power switch 604 exceeds a predetermined limit, the freewheeling switch array 602 may be inhibited from changing operating state to the on-state. At step 660, the operating state of the freewheeling switch array 602 may be changed from the on-state to the off-state. In one aspect, the power switches of the freewheeling switch array 602 may be switched to the off-state as a function of the pulse width signal.

[00109] In another aspect, the power switches of the freewheeling switch array 602 may be sequentially switched to the off-state based on the current flowing through the freewheeling switch array 602. At step 662, the current flowing through the freewheeling switch array 602 may be monitored. At step 664, compare the monitored current to a reference level. At step 666, control individual ones of the power switches in the switch array 602 based on the amplitude of the current flowing through the switch array 602. For example, if the current flowing through the freewheeling switch array 602 exceeds the reference level, one or more of the power switches of the switch array 602 may be disabled. Sequentially controlling the power switches as the current decreases towards zero amps or increases from near zero amps, advantageously increases the impedance of node "A", thereby damping noise generation at node "A". At step 668, the reference level may be changed and operation may return to step 662 to continue.

Deadtime Control

[00110] Figure 19 shows an aspect of the operation of a deadtime control technique implemented with the diode emulation system 600. At step 700, provide at least two power switches having a common node, where one of the power switches is a conducting power switch and the other power switch is a free-wheeling power switch. The conducting power switch conducts energy to an output of an output regulator during a conduction phase. The free-wheeling power switch conducts energy during a free-wheeling phase. Each of the power switches may be an array of power switches as well as a single switch. At step 702, switch one of the two power switches from the on-state to the off-state. At step 704, during the turn-off transition, monitor the current flowing through the power switch that has been turned-off. At step 706, compare the current flowing through the first power switch to a reference level. At step 708, a delay having a predetermined time period beginning when the current flowing through the power switch decreases to less than the reference level may be generated. At step 710, change the operating state of the other power switch from the off-state to the on-state.

Controlled Power Switch Losses

[00111] Figure 20 shows an aspect of an operation for controlling losses in a power array 500 of a power regulator. The power array 500 may include one or more switch arrays 502. At step 730, provide at least one switch array 502 having power switches to control the flow of current from an input source to an output. At step 732, output and input information may be received such as input voltage, output voltage, and output current. At step 734, the expected current flowing through the switch array 502 may be determined. The expected current may be determined using any information such as the output and input information, duty cycle information, and operating mode information. At step 736, the expected power losses of the switch array 502 may be determined. The expected power losses may include the conduction losses and switching losses of the power switches that are enabled. The switch array 502 may include two or more power switches of the same or differing sizes such as MOSFETs each having a different $R_{ds(on)}$. Different groupings of the power switches may be enabled to reduce the power losses of the switch array at specific operating conditions. For example, during a steady-state or transient light load operating condition, only one power switch having the highest $R_{ds(on)}$ may be enabled so that the switching losses associated with the switch array 502 may be minimized. Similarly, during a steady-state or transient maximum load operating condition, all of the power switches may be enabled to minimize the conduction losses of the switch array 502.

- [00112] The expected power losses for the power switches may be determined using operating conditions such as V_{ds} , I_{ds} , and $R_{ds(on)}$ of the power switches to compute the expected power losses. The expected power losses may also be determined using a lookup mechanism such as a lookup table to estimate the expected power losses.
- 5 The lookup mechanism may cross reference ranges of operating conditions to estimated power losses. The lookup mechanism may also indicate a preferred set of power switches to enable for particular operating conditions. The expected power losses may be determined on a cycle-by-cycle basis to obtain expected losses such as estimated losses and computed losses.
- 10 [00113] At step 738, the quantity and type of power switches to be enabled may be determined. The combination of power switches that minimize the expected power switch losses may be selected. The combination of power switches may be determined by computing the expected power losses for the switch array for several combinations of power switches. The combination of power switches may also be determined by using a
- 15 lookup mechanism. At step 740, the selected combination of power switches may be enabled. The power switches may be controlled on a cycle-by-cycle basis so that during an operating phase of the power regulator such as the conduction phase and the free-wheeling phase, the quantity of power switches may be changed. For example, as current decreases in the power switches during a switching period of the power
- 20 regulator, the quantity of power switches may be changed.

Noise Suppression

- [00114] Figure 21 shows an aspect of an operation for suppressing the generation of noise by a power stage of a power regulator. The power stage may include at least two
- 25 switch arrays having a common node, step 750. The switch arrays may be arranged in any topology such as buck, boost, sepic, and zeta. Each of the switch arrays may include one or more power switches connected in parallel and individually controlled so that the quantity of switches that conduct within each switch array may be controlled on a cycle-by-cycle basis. The power switches are preferably MOSFETs, however any type
- 30 of power switch having a variable output capacitance may be used such as BJTs, IGBTs, and MCTs. Controlling the quantity of power switches that conduct within each switch array causes the impedance of the common node to be controlled. An exemplary operation may include an upper switch array and a lower switch array connected in a buck configuration where the upper switch array operates during a conduction phase
- 35 and the lower switch array operates during a free-wheeling phase. At step 752, a noise characteristic of the common node, such as voltage and current, may be monitored. At

step 754, the noise characteristic may be compared to one or more reference levels to generate an impedance control signal. At step 756, the switch arrays may be controlled in response to the impedance control signal. For example, an upper switch array having four power switches in parallel may be operated so that the four power switches are sequentially turned-off one-by-one so that the impedance of the common node may change from a low impedance to a high impedance over a controlled time period, thereby damping noise spikes occurring during the switch transition.

Controlled Capacitance

10 [00115] Figure 22 shows an aspect of an operation for controlling a capacitance of a circuit node of an output regulator. The output regulator may include a power stage having at least one switch array connected to a first switch to convert an input source to a regulated output. The switch array may be connected to the first switch through a common node, step 770. The switch array may include two or more cascode connected power switch pairs connected in parallel and individually controlled so that the quantity of power switches that conduct within the switch array may be controlled on a cycle-by-cycle basis. The first switch pair may be a single cascode connected power switch pair as well as a switch array of cascode connected power switch pairs. The power switch pairs may be any type of cascode connected power switches having a variable output capacitance such as MOSFETs with BJTs, MOSFETs with IGBTs, and MOSFETs with MCTs. Controlling the capacitance of the common node may be particularly advantageous in resonant mode, soft switching, and quasi-resonant mode switching regulators. For example, controlling the capacitance of the common node in a fixed frequency soft switching regulator may control the resonance of the power switches over increased input voltage and output load ranges. At step 772, monitor the current flowing through a switch array. The switch array current may be monitored directly or indirectly such as by monitoring the output current of the output regulator. At step 774, determine a desired capacitance at the common node based on the current flowing through the switch array. The desired capacitance may be selected to be the capacitance that the switch array current will resonate to a predetermined voltage across V_{ds} of the switch array. For example, in a soft-switching converter at turn-on the current flowing through a power switch may resonate the capacitance of the power switch to zero volts to reduce switching losses. In this example, the capacitance may be controlled so that the current flowing through the switch array is sufficient to resonate the V_{ds} of the switch array to a predetermined voltage level, thereby reducing switching losses. At step 776, the combination of power switches in the switch array to enable is determined. Each power

switch has an associated output capacitance that may form a portion of the capacitance at the common node. By enabling selected power switches in the switch array, the total capacitance at the common node may be controlled. The capacitance associated with each Using a switch array for the first switch may increase the range over which the
 5 capacitance of the common node may be controlled. At step 778, the power switches in the switch array are controlled to generate the desired capacitance at the common node. At step 780, selected ones of the power switches may be enabled/disabled over an entire conduction cycle so that the capacitance at the common node remains constant over the entire conduction cycle. At step 782, the power switches may also be
 10 sequentially turned-on or turned-off to control the capacitance of the common node.

Delay Line

[00116] Figure 23 shows an aspect of a delay line 800 for generating a delay in a pulse signal. The delay line 800 is particularly suitable for delaying an edge of a pulse
 15 signal generated in a digital control system for an output regulator to increase the resolution of pulse signal. Any type of delay line may be used such as interpolator and delay lock loops. Figure 24 shows an exemplary pulse signal 820 in a digital control system. The digital control signal may include a clock signal 822 for generating digital signals such as the pulse signal 820. The pulse width of the pulse signal 820 may set
 20 the conduction time for an output regulator. A regulated output of the output regulator may be maintained within regulation limits by varying the pulse width of the pulse signal. The error in regulating the regulated output may be related to the pulse width resolution of the pulse signal which is limited by the frequency of the clock signal 822. The
 25 maximum pulse width resolution may be limited to increments that are equal to or greater than the pulse width of the clock signal 822. The limited pulse width resolution may cause an increase in error corresponding to the ratio of the maximum pulse width resolution to the time of period of the desired pulse width.

[00117] The delay line 800 may advantageously reduce the pulse width error by increasing the pulse width resolution. The delay line 800 may include several delay
 30 circuits 802 to generate several delayed edges of the pulse signal 820. The delay circuits 802 may be arranged in any configuration such as a series configuration, a parallel configuration, and a series-parallel configuration. Any type of relationship of the time periods of the delay circuits 802 may be any used such as equal, binary, and
 35 exponential. Any quantity of delay circuits 802 may be used, although the quantity preferably ranges from 4 to 40. The greater the quantity of delay circuits, the greater the improvement in the pulse width resolution. The outputs of the delay circuits 802 may be

input to a multiplexor 804 for selecting a delay. A combiner 806 may combine the selected delay with the pulse signal to generate a high resolution output. The DLL 800 is shown and described as delaying the leading edge of the pulse signal. However, the delay line 800 may also delay the trailing edge of the pulse signal.

- 5 [00118] Figure 25 shows an aspect of an operation for increasing the resolution of a pulse width signal for an output regulator. At step 850, receive a pulse width signal for an output regulator. At step 852, generate two or more delayed pulse signals from the pulse width signal. At step 854, select one of the delayed pulse signals to obtain a desired delay time. The selection may be based on selecting the delayed pulse signal
- 10 that represents the pulse width error so that combining the delayed pulse signal with the pulse width signal reduces the error of the pulse width signal. At step 856, combine the selected pulse signal with the pulse width signal. At step 868, generate a high resolution pulse signal based on the combining.

15 Adaptive Duty Cycle Limit

[00119] Figure 26 shows an aspect of a digital controller 900 for generating a duty cycle signal to operate an output regulator. A duty cycle determiner 902 may receive a digital error signal e_k that is a function of an output error between a reference and an output of the output regulator. In one aspect, the error signal e_k may indicate one of

20 several ranges of voltages within which the output error is included. For example, the error signal may indicate the output error lies within the voltage range including voltages from 0.5 volts to 0.8 volts. In another aspect, the error signal may indicate the amplitude of the output error. The error signal e_k may be any type of signal such as digital signals and analog signals.

- 25 [00120] The duty cycle determiner 902 may generate a nominal duty cycle signal as a function of the error signal e_k . The duty cycle determiner 902 may receive additional digital inputs such as error signals from secondary loops, voltage and current state information of the output regulator. The nominal duty cycle signal may be any type of digital signal for representing the duty cycle such as a pulse signal with a controlled
- 30 pulse width and a digital signal of one or more bits such as a multibit digital signal.

- [00121] A duty cycle limiter 904 may limit the transfer of energy to the output as a function of a regulator characteristic of the input or output power such as V_{in} , the input ripple voltage, V_{in_ripple} , the input current, I_{in} , the input power, P_{in} , the input energy, Q_{in} , the input source impedance, R_s , the output power, P_o , the output voltage, V_o , and, the
- 35 output current, I_o . The duty cycle limiter 904 may control the duty cycle to limit the transfer of energy to the output. The duty cycle limiter 904 may operate during all

phases of operation of the output regulator such as steady-state operation, start-up, overcurrent, and overvoltage. The duty cycle limiter 904 may compare one or more of the input/output regulator characteristics to corresponding threshold values and then limit the duty cycle as a function of the comparing. The duty cycle limiter 904 may
 5 operate on a cycle-by-cycle basis at the sampling frequency or lower to control the threshold values. Each cycle, the duty cycle limiter 904 may change the threshold value and limit the duty cycle for the next cycle. The duty cycle for the next cycle may be determined based on comparing the input power regulator characteristic of the previous cycle to the threshold value. For example, the duty cycle limiter 904 may monitor i_{in}
 10 and generate a digital signal to limit the duty cycle so that the amplitude of i_{in} does not exceed a threshold value. In another example, the duty cycle limiter 904 may determine the input source impedance or may receive a signal indicating the input source impedance and in response, the duty cycle limiter 904 may generate a digital signal to limit the duty cycle. Any method of measuring the input source impedance may be
 15 employed.

Duty Cycle Estimation

[00122] Figure 27 shows an aspect of a digital controller 950 for controlling a switching regulator. Figure 28 shows an aspect of a state diagram 940 implemented in
 20 the digital controller 950 for generating a duty cycle signal to operate the switching regulator. The state diagram 940 may include three or more operating states. In the exemplary digital controller 950, a State S0 942 may implement PWM Control for stable state conditions. A State S2 944 may implement slowdown error gradient control for transient state conditions. A State S3 946 may implement hysteretic control for
 25 maximum error conditions.

[00123] The digital controller 950 may include a duty cycle estimator 952 to generate nominal duty cycle signals, Up^* and $Down^*$, that correspond to nominal steady-state values from which to generate a current duty cycle for the switching regulator. The duty cycle estimator 952 may be used for generating nominal duty signals in all of the
 30 operating states such as PWM and slowdown error control. However, the duty cycle estimator 952 is preferably not used for the hysteretic control operating state. During hysteretic control, the duty cycle may be directly related to the error signal so that when the error signal is in one state the duty cycle is set to the ON state (up), and when the error signal is in the other state the duty cycle is set to the OFF state (down). The duty
 35 cycle estimator 952 may generate the nominal duty cycle signals as a function of input signals such as an error signal, a UD pulse, and a delay control. Power switches in the

switching regulator may be operated at the current duty cycle to control the conversion of energy from an input source to an output load. For example, in a switching regulator having a buck topology and fixed frequency operation, the nominal duty cycle signal Up^* may be approximately equal to a value that corresponds to the ratio of the output voltage to the input voltage. During fixed frequency operation, the combination of the nominal steady-state values may correspond to the total switching period of the switching regulator such as 1 usec for a 1 MHz switching frequency.

[00124] An adjust determiner 954 may determine an adjustment value, ADJ, to combine with the nominal duty cycle signals to generate adjusted duty cycle signals, Up and Down. The adjust determiner 954 may generate the adjustment value as a function of the error signal as well as other signals from the switching regulator. The adjust determiner 954 may generally be used for all of the operating states except hysteretic control. Since in the hysteretic control operating state, the duty cycle is either 100% ON or 100% OFF, no adjustment value is required. In one aspect, the adjustment value for the PWM state 942 and the slowdown error control state 944 may be computed as follows:

$$ADJ_k = g(e_k) + h(trend_k)$$

$$Up_k = Up^* - ADJ_k * FAC^{on}$$

$$Down_k = Down^* + ADJ_k * FAC^{off}$$

where FAC may be determined based on the nominal duty cycle,

$$g(e_k) = \begin{cases} 0 & \text{if } |e_k| < A1 \\ sign(e_k) * \Delta_1 & \text{if } A1 \leq |e_k| < A2 \\ sign(e_k) * \Delta_2 & \text{if } A2 \leq |e_k| < A3 \end{cases}$$

$$h(trend_k) = \begin{cases} 0 & \text{if } |trend_k| < 1 \\ trend_k & \text{if } |trend_k| \geq 1 \end{cases}$$

$$trend_k = F_{slope} * \overline{e_k - e_{k-n}}$$

where F_{slope} is a constant, $\overline{e_k - e_{k-n}}$ is an average of the error from the "n" prior cycles where "n" is the number of samples in a switching period, and

A1, A2, and A3 are defined in Figure 29 which shows voltage levels of a voltage slicer for generating the error signal.

[00125] Δ_1 and Δ_2 are loop gains which may be selected at the sampling rate and may have values based on the amplitude of the error signal. The values of the loop gains, Δ_1 and Δ_2 , may be selected to be related such as Δ_2 being approximately equal to two times Δ_1 . The loop gain of the digital controller may be changed adaptively at any

rate up to and including the sampling rate. Each of the loop gains may be dynamically changed as a function of any parameter of the output regulator such as the voltage range of the error signal, the voltage range of the regulated output, and the duty cycle.

[00126] The loop compensation of the digital controller may include the ratio of $g(e_k)$ to $h(\text{trend}_k)$. The loop compensation may be changed adaptively at any rate up to and including the sampling rate. In one aspect, the constant F_{slope} may be adaptively changed to change the loop compensation. The loop compensation may be dynamically changed as a function of any parameter of the output regulator such as the voltage range of the error signal, the voltage range of the regulated output, and the duty cycle.

[00127] A combiner 956 may combine the nominal duty cycle signals with the adjustment value to generate the adjusted duty cycle signals. In one aspect, the adjusted duty cycle signals may be used as counter limits for generating a UD pulse.

[00128] In this case, a counter 958 may generate the UD pulse as a function of a clock signal, CLOCK, and the adjusted duty cycle signals. The UD pulse preferably has an "on" level and an "off" level and may have a varying pulse width to represent an on-time for driving the power switches of the switching regulator. The counter 958 may count a quantity of clock cycles set by the counter limits to generate the "on-time" and "off-time" of the UD signal. For example, the Up portion of the adjusted duty cycle signal may set the counter limit for the on-time and the Down portion of the adjusted duty cycle signal may set the counter limit for the off-time. Preferably, a single counter generates the UD signal in response to a single counter limit signal including both the Up and Down information. The UD pulse may include a quantization error related to the pulse resolution being limited by the frequency of the clock signal. Figure 30 shows an example of quantization error in which a UD pulse 970 that is generated from a clock signal 972 and an adjusted duty cycle signal 974 may have a quantization error 976 related to the frequency of the clock signal.

[00129] A delay line 960 may finetune the UD pulse generated by the counter 958 to reduce the quantization error. The delay line 960 may, in response to receiving the UD pulse and a delay control signal, generate a finetune pulse signal having a duty cycle that approximates the pulse width corresponding to the adjusted duty cycle signals. The delay line 960 may delay either edge of the UD pulse to generate the finetune pulse signal. For example, in one aspect the UD pulse may be generated having a pulse width shorter than the corresponding adjusted duty cycle, and then the delay line 960 may delay the trailing edge to generate the finetune pulse signal. In another aspect, the UD pulse may be generated having a pulse width longer than the corresponding

adjusted duty cycle, and then the delay line 960 may delay the leading edge to generate the finetune pulse signal.

[00130] A control block 962 may generate the delay control signal as a function of the UD pulse and the adjusted duty cycle signals. The delay control signal may preferably
5 be a multi-bit signal.

[00131] A duty cycle limiter 964 may limit the transfer of energy to the output as a function of an electrical characteristic of the switching regulator such as V_{in} , the input current, I_{in} , the input power, P_{in} , the input energy, Q_{in} , and an inductor current, I_L . The duty cycle limiter 964 may control the duty cycle to limit the transfer of energy to the
10 output. The duty cycle limiter 964 may be included anywhere in the digital controller 950. In one aspect, the duty cycle limiter 964 may operate on a multi-bit signal such as the adjusted duty cycle signals. In another aspect, the duty cycle limiter 964 may operate on a pulse signal such as the finetune pulse signal.

[00132] Figure 31A shows an aspect of a duty cycle estimator 970 for generating
15 nominal duty cycle signals, Up^* and $Down^*$, from which a current duty cycle for operating the switching regulator may be generated. The duty cycle estimator 970 may include one or more modes for determining the nominal duty cycle.

[00133] A mode 1 estimator 972 may determine the nominal duty cycle signals as a function of the on-time (up-time) of the current duty cycle and prior duty cycle values.
20 The mode 1 estimator 972 may apply any estimating technique, such as a least mean squares technique or a cubic splines technique, to the current duty cycle and prior duty cycle values to determine the nominal duty cycle. In one aspect, the mode 1 estimator may evaluate the delay control and the UD pulse to determine the on-time. A predetermined quantity of current and prior duty cycle values may be used to estimate
25 the nominal duty cycle.

[00134] A mode 2 estimator 974 may determine the nominal duty cycle signals as a function of the error signal. The mode 2 estimator 974 may determine a mathematical function of the error over several cycles such as any quantity greater than the switching period of the switching regulator. Any type of mathematical function may be used such
30 as a running average, a mean, and a weighted average. The mathematical function of the error may be compared to one or more references. Then based on the comparison, the Up^* may be increased, decreased, or maintained constant.

[00135] Figure 31B shows an exemplary mode 2 estimator 1000. An accumulator 1002 may compute a running average of the error over a time period approximately
35 equal to 1000 times the switching period of the switching regulator. One or more comparators 1004 may compare the output of the accumulator 1002 to two references,

X1 and X2, which may be generated by a reference generator 1006. A count controller 1008 may control the count of the nominal duty cycle based on the outputs of the comparators 1004. For example, if the running average is greater than X1, the count controller 1008 may decrease the Up* count by one step. If the running average is less than X2, the count controller 1008 may increase the Up* count by one step. If the running average is less than X1 and greater than X2, then the count controller 1008 may maintain the Up* count unchanged.

[00136] Computing a mathematical function of the error over a long time period may provide a slow and accurate estimation of the nominal duty cycle. In addition, the transfer function of the control loop for controlling the regulated output of the switching regulator may reduce to a single zero, thereby reducing the phase shift associated with the digital controller. The reduced phase shift may be used to increase the phase margin of the control loop, increase the loop crossover frequency, and combinations of increased phase margin and increased loop crossover frequency. During the time period during which the mode 2 estimator 974 generates a constant Up* value, the control loop reduces to a single zero.

[00137] A mode selector 976 may select between the modes of the duty cycle estimator 970 on the basis of a mode selection criteria. In one aspect, the mode selector 976 may select between Up*₁ and Up*₂ on the basis of the difference between Up*₁ and Up*_{prior}, as follows:

$$Up^* = \begin{cases} Up^*_{1} & \text{if } |Up^*_{1} - Up^*_{prior}| > T1 \\ Up^*_{2} & \text{if } |Up^*_{1} - Up^*_{prior}| < T1 \end{cases}$$

where Up*₁ is the up value generated by the mode 1 estimator 972, Up*₂ is the up value generated by the mode 2 estimator 974, and Up*_{prior} is the Up* value for the prior cycle, and T1 may be approximately 5 nsec for a switching frequency of 1 MHz.

[00138] Any mode selection criteria may be employed such as comparing Up*₁ to a running average of Up*_{prior} and comparing a running average of Up*₁ to Up*_{prior}. Also, any value may be selected for T1.

[00139] Figure 32 shows an aspect of an operation for determining a duty cycle for a switching regulator. At step 980, in a first mode determine the nominal duty cycle as a function of prior duty cycles. At step 982, in a second mode determine the nominal duty cycle as a function of accumulated error. At step 984, select between the two modes to compute the nominal duty cycle. At step 986, make the selection based on a mode selection criteria such as the rate of change of the computed duty cycle.

Energy Saving Discontinuous Mode Control

[00140] Figure 33 shows an aspect of a digital controller 1050 including an Energy Saving Discontinuous Mode to control power consumption of the digital controller 1050. The digital controller 1050 may include some or all of the functions described throughout this specification.

[00141] An Energy Saving Discontinuous Mode (ESDM) controller 1152 may monitor a sense point such as an output voltage, an inductor current, or an output voltage to determine when to switch to Energy Saving Discontinuous Mode. The parameter monitored at the sense point may reflect a power state of the output regulator such as low output power or discontinuous current in an inductor. The ESDM controller may for example, switch to energy saving discontinuous mode when the output current is less than a predetermined amplitude or when current flowing through the output inductor becomes discontinuous. The ESDM controller 1152 may advantageously control the flow of power to portions of the control functions of the digital controller 1150. Control functions within the digital controller 1050 such as a PWM controller 1154, a delay line 1156, and voltage sensing comparators 1158 may be shutdown during energy saving discontinuous mode to reduce power consumption.

[00142] Figure 34A shows an aspect of a digital controller 1100 for controlling the transition between switching modes of an output regulator. Specifically, the digital controller 1100 may control switching between continuous current mode (CCM) operation and discontinuous current mode (DCM) operation. Figure 34B shows waveforms associated with DCM operation. A first waveform, Vout, 1110 shows a regulated output voltage of the output regulator. A second waveform shows an inductor current, IL, 1112 of the output regulator. During DCM, the regulated output voltage 1110 and the inductor current 1112 operate in three phases; a conduction phase, a freewheeling phase, and a discontinuous phase. During the conduction phase, energy from an input source is conducted to the output filter causing the inductor current 1112 to ramp up transferring energy to the regulated output (load) leading to an increase in the regulated output voltage 1110. During the freewheeling phase, energy stored in the inductor is transferred to the regulated output causing the inductor current 1112 and the regulated output voltage 1110 to ramp down. During the discontinuous phase, all of the energy in the inductor has transferred to the regulated output so the inductor current may remain at approximately zero and energy is transferred from an output capacitor to supply energy to the regulated load.

[00143] The digital controller 1100 may include one or more comparators 1102 to determine when to switch between CCM and DCM. In one aspect, the comparators

1102 may compare the regulated output voltage 1110 and the inductor current 1112 to reference levels to generate control signals for controlling the switching between CCM and DCM.

[00144] One or more reference generators 1104 may generate the reference levels.

- 5 Any type of reference generator 1104 may be employed. The reference generator 1104 may generate a reference level V1 for shifting the sensed regulated output voltage. A reference level V2 may be used for comparing to the shifted regulated output voltage 1110 to control the DCM to CCM transition. A reference level I1 may be generated to reflect a predetermined current such as the minimum load current. The inductor current
10 1112 may be compared to I1 to determine a percentage of time that the inductor current is less than I1.

- [00145] A mode controller 1106 may control the switching mode as a function of the comparator outputs. In one aspect, the mode controller 1106 may control the CCM to DCM switchover based on the percentage of time that the inductor current is less than
15 I1. In another aspect, the mode controller 1106 may control the CCM to DCM switchover based on the sensed output voltage rising to a level greater than V1. In DCM, the mode controller may set the on-time to a constant and regulate the regulated output by varying the switching frequency of the output regulator.

- [00146] To control the DCM to CCM switchover, the digital controller 1100 may, when
20 switching to DCM, shift the sensed regulated output voltage to above the reference level V1. Then, as the output load current increases, the waveform of the sensed regulated output voltage changes shape and a portion of the waveshape moves towards the reference level V2. The comparator 1102 may compare the shifted regulated output voltage to the reference level V2 and indicate when the shifted regulated output voltage
25 is approximately less than or equal to the reference level V2. The mode controller 1106 may, in response to the output of the comparator 1102, switch the switching mode from DCM to CCM.

- [00147] Figure 35 shows an aspect of the operation of switching mode control. At
step 1120, monitor an inductor current of a switching regulator operating in continuous
30 current mode. At step 1122, compare the inductor current to a reference current level such as I_{min}, where I_{min} is the minimum output current before discontinuous current operation begins. Continuing to step 1124, determine a percentage of the switching period during which the inductor current is approximately less than or equal to the minimum output current. At step 1126, compare the switching period percentage to a
35 reference percentage such as approximately 40%. At step 1128, switch to DCM if the duty cycle percentage exceeds the reference percentage. At step 1130, sense the

regulated output voltage. At step 1132, shift the sensed regulated output voltage above a first voltage reference, V1. At step 1134, compare the shifted regulated output voltage to a second voltage reference, V2. Continuing to step 1136, if a portion of the shifted regulated voltage is less than or equal to V2, then the mode controller switches the mode to CCM.

Capture of State Information

[00148] Figure 36 shows a storage system 1200 for capturing state information of a digital controller 1201 for an output regulator 1200. The output regulator 1200 may be any type of regulator including a switching regulator, linear regulator, current regulator, voltage regulator, and power regulator. The output regulator 1200 may include a power stage 1204 and output filter 1206 to convert energy from an input source to a regulated output for supplying energy to a load 1208. An output sensor 1210 may sense the regulated output and provide an input to the digital controller 1201.

[00149] The storage system 1200 may include an information controller 1203 to retrieve the state information. The information controller 1203 may advantageously capture any state information such as output voltage, output current, nominal duty cycle, adjusted duty cycle, power switch on-time, power switch off-time, input current, error voltage, delay control value, adjustment value, and all other digital values that are received or processed by the digital controller 1201 or output regulator 1200.

[00150] A memory 1212 may store the state information. Any type of memory may be employed such as static RAM, dynamic RAM, flash RAM, and content addressable RAM. The state information may be temporally organized in any manner including using a time stamp, sequentially storing information, and storing subsets of state information based on trigger events. The trigger events may be any type of event such as a state value exceeding a predetermined threshold, a predetermined time interval having elapsed, and combinations of multiple trigger events. The state information may be stored over any time interval duration such as short intervals that are a fraction of the switching period and long intervals extending for months and years.

[00151] A state information analyzer 1214 may analyze the stored state information. The state information analyzer 1214 may evaluate the stored state information to determine system and component operating conditions such as variations from normal operating ranges, component reliability estimates, and the necessity for component maintenance. The stored state information may be evaluated at predetermined time periods, randomly, and on an on-going basis. The state information analyzer 1214 may be permanently connected in communication with the storage system 1202 or be

intermittently connected such as with a separate system used for evaluating the status of one or more output regulators.

[00152] A number of embodiments of the invention have been described. Nevertheless, it will be understood that various modifications may be made without
5 departing from the spirit and scope of the invention. Accordingly, other embodiments are within the scope of the following claims.

WHAT IS CLAIMED IS:

1. A control system for controlling an output regulator having a regulated output, comprising:
 - an output sensor to generate a digital sense signal to indicate within which of at
 - 5 least three reference ranges the regulated output is included, each of the at least three reference ranges including a plurality of possible values of the regulated output; and
 - a digital controller, responsive to the digital sense signal, to generate a drive signal to control the regulated output.
2. The control system of Claim 1 wherein the reference ranges are selected
- 10 from the group consisting of overlapping and consecutive.
3. The control system of Claim 1 wherein the digital controller further generates a duty cycle estimation for controlling the power stage, the drive signal based on the duty cycle estimation.
4. The control system of Claim 3 wherein the digital controller further
- 15 comprises a delay line to adjust the duty cycle estimation, the delay line to receive an input pulse signal corresponding to the duty cycle estimation and a select signal.
5. The control system of Claim 1 further including a storage system for capturing state information of the output regulator, the storage system comprising:
 - an information controller in communication with the output regulator to capture
 - 20 the state information, the state information being in a digital format; and
 - a memory in communication with the information controller to store the state information.
6. A control system for controlling an output regulator having a regulated output, comprising:
 - 25 an output sensor to generate a digital sense signal to indicate within which of at least three reference ranges the regulated output is included, each of the at least three reference ranges including a plurality of possible values of the regulated output;
 - a digital controller, responsive to the digital sense signal, to generate a duty cycle estimation for estimating a duty cycle of a drive signal, the drive signal to control
 - 30 the power stage and thereby regulate the regulated output;
 - a duty cycle generator to generate the drive signal as a function of the duty cycle estimation, the duty cycle generator including:
 - a counter, responsive to a clock signal having a clock period, to generate
 - the drive signal having a pulse width, the pulse width being approximately an
 - 35 integer multiple of the clock period, the counter including a counter limit input to receive a digital duty cycle signal corresponding to the duty cycle estimation, the

digital duty cycle signal to set a quantity of clock periods to count such that the pulse width is approximately equal to the clock period multiplied by the digital duty cycle signal;

5 a delay line to finetune the pulse width of the drive signal based on the duty cycle estimation and a select signal representative of a quantization error corresponding to the clock period; and

a control block to generate the delay control signal in response to the drive signal and the digital duty cycle signal.

7. An output regulator to convert an input voltage to a regulated output,
10 comprising:

a power stage to generate a power output from the input voltage;

an output filter to filter the power output to generate the regulated output;

15 an output sensor to generate a digital sense signal to indicate within which of at least three reference ranges the regulated output is included, each of the at least three reference ranges including a plurality of possible values of the regulated output; and

a digital controller, responsive to the digital sense signal, to generate a drive signal to control the power stage.

8. The output regulator of Claim 7 wherein the power stage has a configuration selected from the group consisting of linear regulators and switching
20 regulators.

9. The output regulator of Claim 8 wherein the power stage of the switching regulators is a topology selected from the group consisting of buck, boost, Cuk, zeta, buck-boost, and sepic.

10. The output regulator of Claim 7 wherein the digital controller further
25 generates a duty cycle estimation, the drive signal based on the duty cycle estimation.

11. A circuit for generating a feedback signal corresponding to a first voltage, comprising:

a reference generator to generate at least two reference voltages, the reference voltages to define at least three voltage ranges; and

30 a comparator to compare the first voltage to the at least three voltage ranges, the comparator to generate a digital signal to indicate within which of the at least three reference ranges the regulated output is included.

12. The circuit of Claim 11 wherein the reference ranges are selected from the group consisting of overlapping and consecutive.

35 13. The circuit of Claim 11 further comprising a decoder to decode the digital signal and to generate an error signal.

14. A control system to control an output regulator, the output regulator to convert an input voltage to a regulated output, the output regulator including a power stage to generate a power output from the input voltage and an output filter to filter the power output to generate the regulated output, the control system comprising:

5 a digital controller, responsive to a sense signal corresponding to the regulated output, to generate a drive signal to control the power stage, the digital controller including and selecting between at least three operating modes, a selected one of the operating modes to generate the drive signal.

15 15. The control system of Claim 14 further including a clock to generate a clock signal having clock cycles; and

wherein the digital controller selects, in synchrony with the clock signal, the one of the at least three operating modes.

16. The control system of Claim 15 wherein the digital controller switches between the at least three operating modes on a clock cycle by clock cycle basis.

15 17. The control system of Claim 14 wherein the at least three operating modes include hysteretic modes, adaptive hysteretic modes, pulse width modulated modes, constant on-time modes, constant off-time modes, resonant modes, fixed frequency soft-switching modes, voltage modes, current modes, fixed frequency modes, variable frequency modes, and combinations thereof.

20 18. The control system of Claim 14 wherein the digital controller has a switching mode selected from a group consisting of synchronous switching, asynchronous switching, and multi-frequency switching.

19. An output regulator to convert an input voltage to a regulated output, comprising:

25 a power stage to generate a power output from the input voltage;
an output filter to filter the power output to generate the regulated output;
an output sensor to generate a sense signal corresponding to the regulated output; and

30 a digital controller, responsive to the sense signal, to generate a drive signal to control the power stage, the digital controller including and selecting between at least three operating modes, a selected one of the operating modes to generate the drive signal.

20. The output regulator of Claim 19 wherein the digital controller switches between the at least three operating modes on a clock cycle by clock cycle basis.

35 21. The output regulator of Claim 19 wherein the at least three operating modes include hysteretic modes, adaptive hysteretic modes, pulse width modulated

modes, constant on-time modes, constant off-time modes, resonant modes, fixed frequency soft-switching modes, voltage modes, current modes, fixed frequency modes, variable frequency modes, and combinations thereof.

22. The output regulator of Claim 19 wherein the digital controller has a
5 switching mode selected from a group consisting of synchronous switching, asynchronous switching, and multi-frequency switching.

23. A power array for converting an input voltage to a chopped output, an output regulator to convert the chopped output to a regulated output, comprising:

a switch array, responsive to independent drive signals, to convert the input
10 voltage to the chopped output at a switching frequency, the switch array including at least two power switches; and

a switch controller to generate the independent drive signals as a function of a duty cycle signal, the switch controller to operate at a sampling frequency, the sampling frequency being greater than the switching frequency, the switch controller to control the
15 independent drive signals at a drive frequency greater than the switching frequency.

24. The power array of Claim 23 wherein the controller further controls the independent drive signals as a function of an operating characteristic of the output regulator.

25. The power array of Claim 24 wherein the operating characteristic is
20 selected from a group consisting of output current, ambient temperature, operating temperature, output voltage, and inductor current.

26. The power array of Claim 23 wherein the controller determines a time sequence for controlling a transition of the power switches.

27. The power array of Claim 23 further including a current sensor to sense a
25 current flowing through the switch array, the current sensor having a gain resolution; and wherein the switch controller further includes setting the current sensor gain resolution to an initial resolution, evaluating an amplitude of a current flowing through the current sensor, and at the sampling frequency controlling the gain resolution of the current sensor based on the amplitude of the current flowing through the current sensor.

28. A method of sensing current in an output regulator, comprising:
30 providing a current sensor having a gain resolution;
setting the current sensor gain resolution to an initial resolution;
sensing a current flowing through the current sensor;
evaluating an amplitude of the current; and
35 at a sampling frequency, controlling the gain resolution of the current sensor based on the evaluating.

29. The method of Claim 28 wherein sensing the current includes measuring a voltage across a predetermined impedance and computing the current from the voltage and the predetermined impedance.

30. A method of controlling deadtime between power switches in an output regulator, comprising:

providing at least two power switches having a common node, wherein at least one of the two power switches is a conducting switch and a remainder of the two power switches is a free-wheeling switch;

switching one of the conducting switch and the free-wheeling switch from an on-state to an off-state;

during a transition from the on-state to the off-state, monitoring a current flowing through one of the conducting switch and the free-wheeling switch;

comparing the current to a reference level;

delaying for a predetermined time period, then changing the operating state of the other of the conducting switch and the freewheeling switch from an off-state to an on-state.

31. A method of reducing switching losses in a switch array for an output regulator, the switch array to convert energy from an input source to a regulated output of the output regulator, the switch array including at least two power switches, comprising:

a) determining an expected current flowing through the switch array during a next switching cycle;

b) at a sampling rate, determining expected power losses of the switch array based on the expected current;

c) determining a combination of the power switches to enable that minimizes the expected power losses; and

d) enabling the combination of power switches.

32. The method of Claim 31 wherein step "c" includes determining the expected power losses for at least two combinations of power switches; and

selecting one of the combinations of power switches that minimizes the expected power losses.

33. The method of Claim 31 wherein the output regulator has a switching frequency and a switching period; and

wherein step "d" includes enabling the combination of power switches at a rate greater than the switching frequency such that the combination of power switches is controlled during the switching period.

34. A method of suppressing noise in a power stage for an output regulator, the power stage to convert energy from an input source to a regulated output of the output regulator, the power stage including at least two switch arrays having a common node, comprising:

- 5 a) monitoring a noise characteristic of the common node;
- b) comparing the noise characteristic to a reference level;
- c) generating an impedance control signal based on the comparing; and
- d) at a sampling rate, controlling the switch arrays in response to the impedance control signal.

10 35. The method of Claim 34 wherein the output regulator has a switching frequency; and

wherein the sampling rate is greater than the switching frequency of the output regulator.

36. A method of controlling a capacitance of a circuit node of a power stage for an output regulator, the power stage to convert energy from an input source to a regulated output of the output regulator, the power stage including at least one switch array and a first power switch connected to the circuit node, the switch array including at least two series pairs of power switches, comprising:

- 15 a) monitoring a current flowing through the switch array;
- 20 b) determining a desired capacitance at the circuit node based on the current;
- c) at a sampling rate, determining a combination of switch assemblies to enable to set the circuit node to the desired capacitance; and
- d) controlling the series pairs of power switches to set the circuit node to the desired capacitance.

25 37. The method of Claim 36 wherein the output regulator has a switching frequency; and

the sampling rate is greater than the switching frequency of the output regulator.

38. A diode emulation system to convert energy from an input source to a regulated output of an output regulator, the output regulator having a switching frequency, comprising:

- 30 a first power switch, responsive to a first drive signal, to control a flow of energy from the input source to an output inductor of the output regulator such that a current flowing through the output inductor increases;
- a switch array including at least two power switches, responsive to array drive signals, to provide a path for the current flowing through output inductor during a freewheeling phase such that current flowing through the output inductor decreases;
- 35

a current sensor to sense a current flowing through the switch array; and
a controller to generate the array drive signals as a function of the current
flowing through the switch array, the controller to independently control the at least two
power switches.

5 39. The diode emulation system of Claim 38 wherein the controller
sequentially disables the power switches of the switch array as the inductor current
decreases towards zero.

40. The diode emulation system of Claim 38 wherein the controller controls
the array drive signals at a sampling frequency greater than the switching frequency.

10 41. A duty cycle limiter for limiting a transfer of energy between an input
source and a regulated output of an output regulator, the output regulator having a
regulator characteristic and a computed duty cycle for controlling the transfer of energy
between the input source and the regulated output, comprising:

15 a digital controller to generate a reference level and to compare the regulator
characteristic of the output regulator to the reference level to determine a maximum duty
cycle, the digital controller to control the reference level at a frequency at least equal to
a switching frequency of the output regulator; and

the digital controller to limit the computed duty cycle to the maximum duty cycle.

20 42. The duty cycle limiter of Claim 41 wherein the digital controller controls
the reference level at a frequency approximately ranging between the switching
frequency and a sampling frequency.

43. The duty cycle limiter of Claim 41 further including a duty cycle estimator
for determining a nominal duty cycle, the computed duty cycle determined based on the
25 nominal duty cycle, the duty cycle estimator comprising;

a mode estimator to determine the nominal duty cycle as a function of at least
one of prior duty cycles and accumulated error.

44. A duty cycle estimator for determining a nominal duty cycle of an output
regulator, comprising:

30 at least two modes including a mode one estimator and a mode two estimator;

the mode one estimator to determine the nominal duty cycle as a function
of prior duty cycles;

the mode two estimator to determine the nominal duty cycle as a function
of accumulated error; and

35 a mode selector to, based on a mode selection criteria, select a one of the at
least two modes to generate the nominal duty cycle.

45. The duty cycle estimator of Claim 44 wherein the mode one estimator determines the nominal duty cycle at a cycle frequency of at least a switching frequency.

46. The duty cycle estimator of Claim 44 wherein the mode two estimator includes computing a running average over a time period at least 100 times a switching
5 period of the output regulator.

47. A digital controller for controlling a regulated output of an output regulator, the output regulator responsive to a pulse width signal for controlling the transfer of energy between an input source and the regulated output, comprising:

a duty cycle estimator to determine a nominal duty cycle; and

10 an adjust determiner to determine an adjustment value to combine with the nominal duty cycle to generate an adjusted duty cycle, the pulse width signal being a function of the adjusted duty cycle.

48. The digital controller of Claim 47 wherein the adjust determiner includes a selectable loop gain for determining the adjustment value.

15 49. The digital controller of Claim 48 wherein the selectable loop gain is selectable at a rate greater than a switching frequency of the output regulator.

50. The digital controller of Claim 47 further comprising a counter, responsive to the adjusted duty cycle, to generate an initial pulse width.

20 51. The digital controller of Claim 50 further comprising a control block to generate a delay control as a function of the nominal duty cycle and the initial pulse width; and

a delay line, responsive to the initial pulse width and the delay control, to generate the pulse width signal having a finetuned pulse width.

25 52. The digital controller of Claim 47 further comprising a duty cycle limiter to limit the adjusted duty cycle as a function of a regulator characteristic.

53. The digital controller of Claim 47 wherein the adjust determiner includes loop compensation to stabilize a loop response of the output regulator, the loop compensation controllable at a rate ranging from approximately equal to the switching frequency of the output regulator up to a sampling frequency of the digital controller.

30 54. The digital controller of Claim 47 wherein the adjustment value is a function of an estimated trend of error, the error based on a difference between a reference and the regulated output.

55. The digital controller of Claim 47 wherein the adjustment value is a function of a slope constant selectable at a rate greater than a switching frequency of
35 the output regulator.

56. The digital controller of Claim 47 wherein the adjustment value is a function of an error history of error, the error based on a difference between a reference and the regulated output;

the error history based on a mathematical function of prior values of the error
5 including a running average, a mean, a peak value, and a weighted average.

57. A duty cycle estimator for determining a duty cycle for controlling a regulated output of an output regulator, the output regulator responsive to the duty cycle for controlling the transfer of energy between an input source and the regulated output, comprising:

10 an accumulator to determine an accumulated error over a time period greater than a switching period of the output regulator;

a reference generator to generate reference levels; and

a comparator to compare the accumulated error to the reference levels at a maximum rate of approximately 100 times the switching period such that a single zero is
15 generated, and to generate the duty cycle based on the comparing.

58. The duty cycle estimator of Claim 57 wherein the reference levels include at least a first reference level and a second reference level; and

the comparator to compare the accumulated error to each of the reference levels and in response to control the duty cycle by steps.

20 59. A digital controller for controlling an output regulator, the digital controller having sub-blocks for providing functions to control the output regulator, comprising:

an energy saving discontinuous mode (ESDM) controller to monitor a sense point of the output regulator, the sense point to indicate an output power state of the output regulator, the ESDM controller to control a flow of power to the sub-blocks to
25 reduce power consumption of the digital controller during selected power states of the output regulator.

60. The digital controller of Claim 59 wherein the sub-blocks include a PWM controller, a delay line, and voltage sensing comparators.

61. The digital controller of Claim 59 further comprising a reference generator
30 to generate a reference level;

a comparator to compare a regulator signal to the reference level and generate a comparator output; and

a mode controller, responsive to the comparator output, to switch between the switching modes of the output regulator, the switching modes including a continuous current mode (CCM) and an energy saving discontinuous mode (ESDM).
35

62. The digital controller of Claim 61 wherein during the ESDM the mode controller further includes setting an on-time of the output regulator to a constant value and varying a switching frequency of the output regulator to regulate the output voltage.

Abstract: A control system for controlling an output regulator having a regulated output. The control system including an output sensor to generate a digital sense signal to indicate within which of at least three reference ranges the regulated output is included. Each of the at least three reference ranges including a plurality of possible values of the regulated output. A digital controller, responsive to the digital sense signal, to generate a drive signal to control the regulated output.

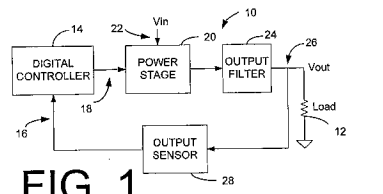


FIG. 1

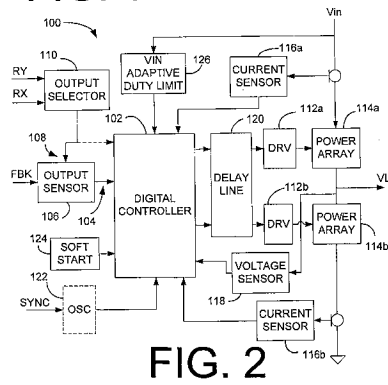


FIG. 2

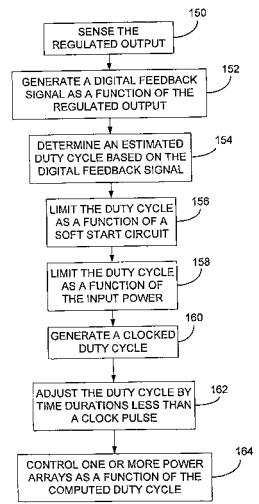


FIG. 3

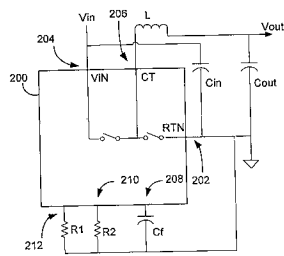


FIG. 4

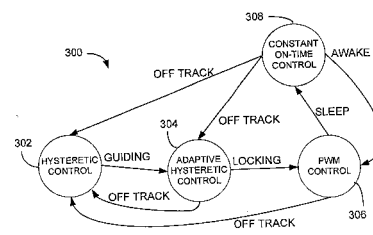


FIG. 5

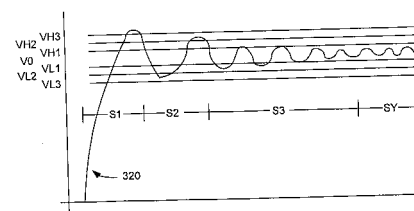


FIG. 6

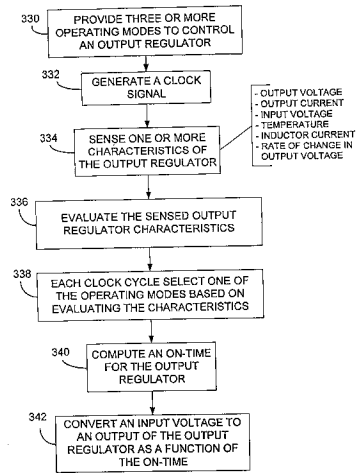


FIG. 7

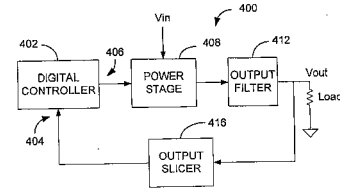


FIG. 8

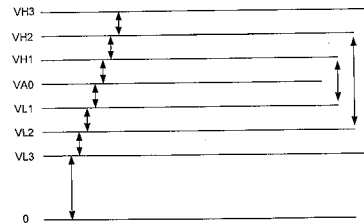


FIG. 9

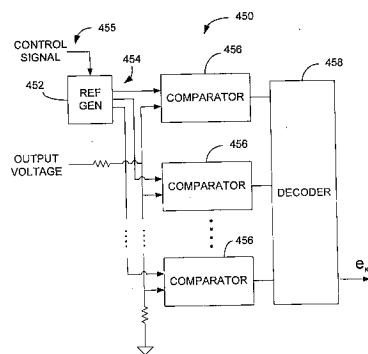


FIG. 10

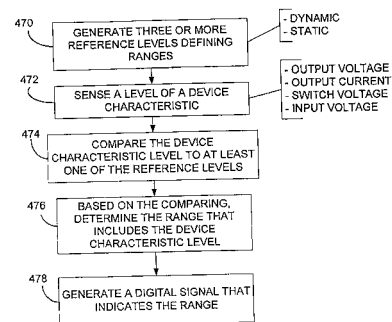


FIG. 11

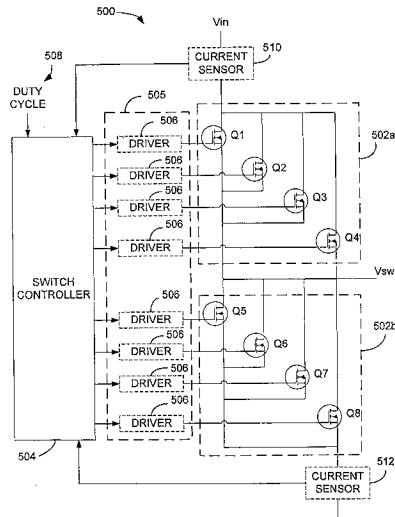


FIG. 12A

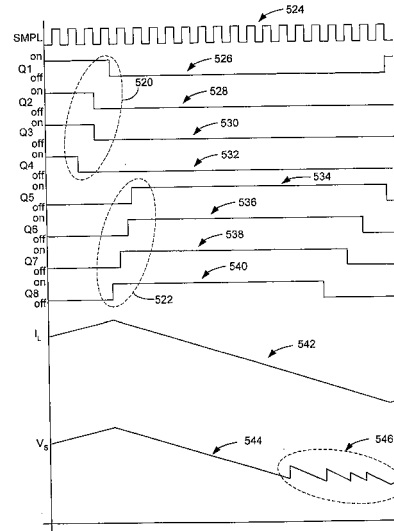


FIG. 13

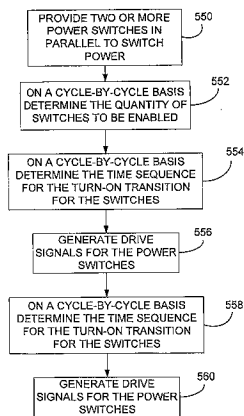


FIG. 14

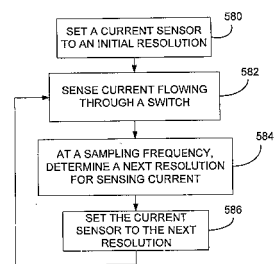


FIG. 15

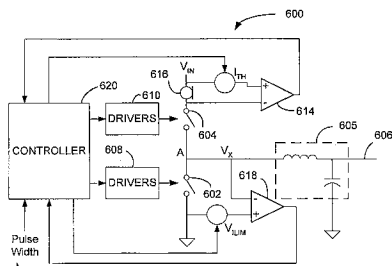


FIG. 16

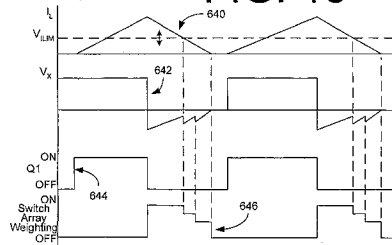


FIG. 17

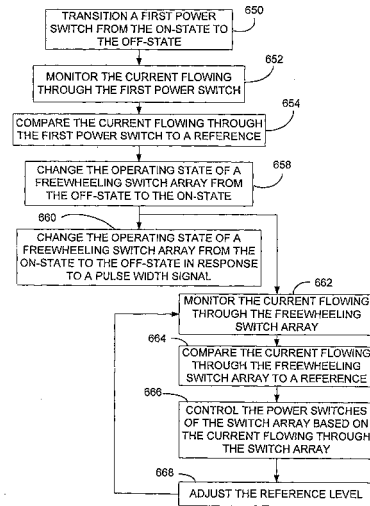


FIG. 18

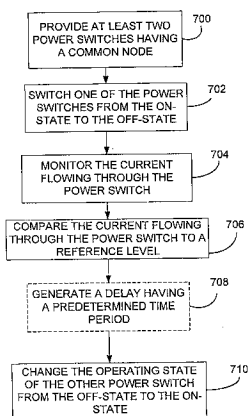


FIG. 19

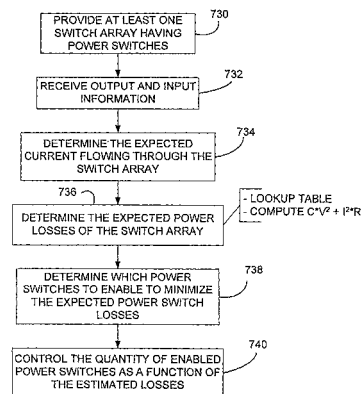


FIG. 20

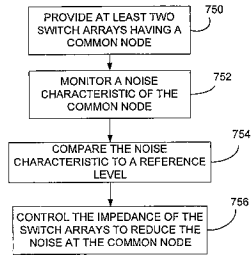


FIG. 21

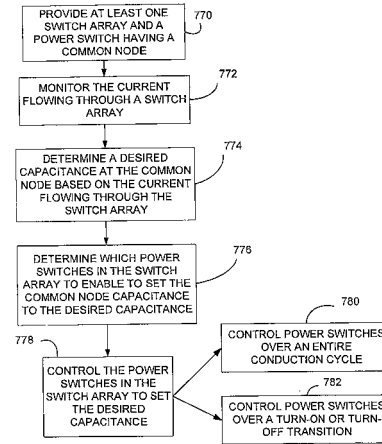


FIG. 22

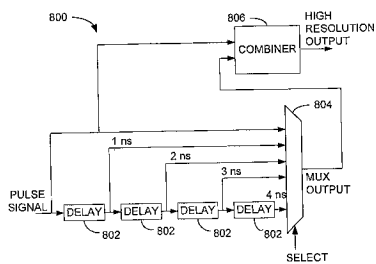


FIG. 23

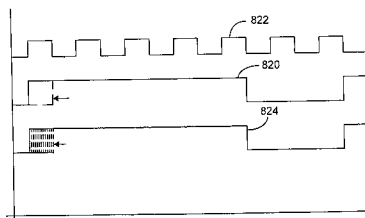


FIG. 24

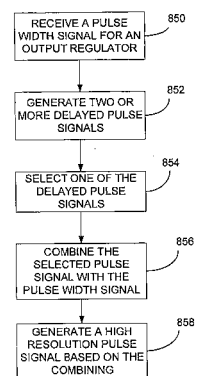


FIG. 25

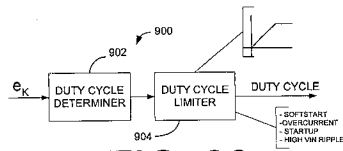


FIG. 26

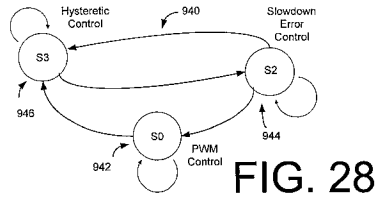


FIG. 28

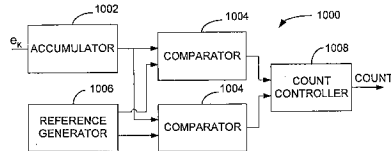


FIG. 31B

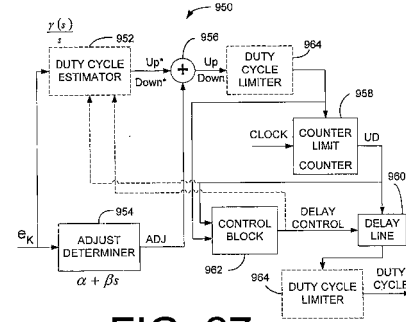


FIG. 27

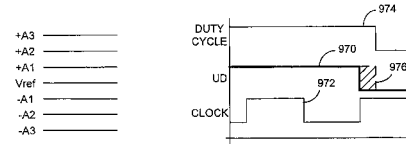


FIG. 29

FIG. 30

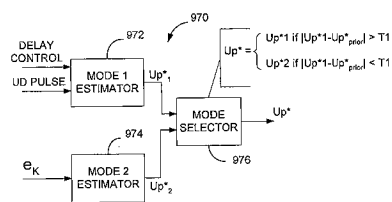


FIG. 31A

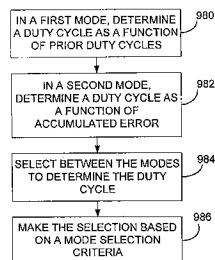


FIG. 32

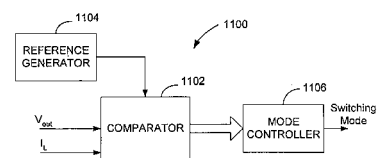


FIG. 34A

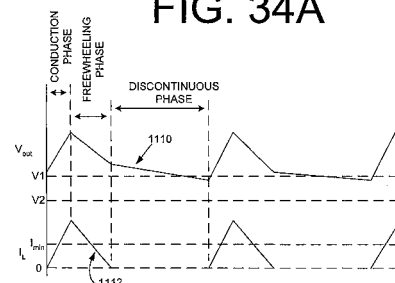


FIG. 34B

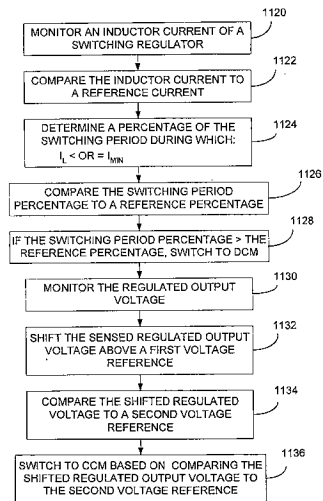


FIG. 35

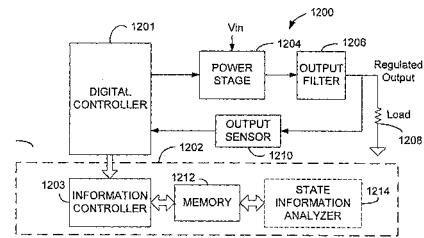


FIG. 36

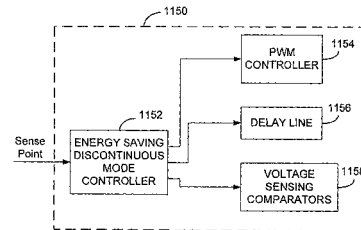


FIG. 33