(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년12월08일
(11) 등록번호 10-1575775
(24) 등록일자 2015년12월02일

(51) 국제특허분류(Int. Cl.)
H03L 7/099 (2006.01) *H03L 1/02* (2006.01)
H03L 7/10 (2006.01)
(21) 출원번호 10-2013-7026300
(22) 출원일자(국제) 2012년03월02일
심사청구일자 2013년10월04일
(85) 번역문제출일자 2013년10월04일
(65) 공개번호 10-2013-0131467
(43) 공개일자 2013년12월03일
(86) 국제출원번호 PCT/US2012/027603
(87) 국제공개번호 WO 2012/119123
국제공개일자 2012년09월07일
(30) 우선권주장
13/039,772 2011년03월03일 미국(US)
(56) 선행기술조사문헌
JP2007110504 A
US20070010225 A1
US20100231302 A1
US20050077970 A1

(73) 특허권자
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
창, 강
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(74) 대리인
특허법인 남앤드남

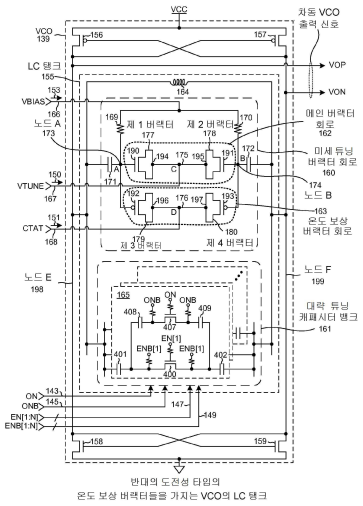
전체 청구항 수 : 총 54 항 심사관 : 박정근

(54) 발명의 명칭 **낮은 위상 잡음 VCO에서의 온도 보상 및 대략 튜닝 뱅크 스위치들**

(57) 요 약

VCO의 LC 탱크는 메인 버랙터 회로 및 메인 버랙터 회로와 병렬로 커플링된 온도 보상 버랙터 회로를 포함한다. 메인 버랙터는 미세 튜닝하기 위해서 사용된다. 온도 보상 버랙터 회로는 2개의 버랙터 회로들에 걸친 공통 모드 잡음의 효과들이 최소화되도록 메인 버랙터 회로의 캐패시턴스-전압 특성과 다른 캐패시턴스- 전압 특성을 가진다. LC 탱크는 또한 대략 튜닝을 위해서 제공된 복수의 스위칭가능한 캐패시터 회로들을 가진다. 스위칭가능한 캐패시터 회로들 각각에서 메인 얇은 산화물 스위치의 브레이크다운을 방지하기 위해서, 각각의 스위칭가능한 캐패시터 회로는 메인 스위치가 오프될 때 메인 얇은 산화물 스위치에 걸리는 전압을 감소시키는 캐패시티브 전압 디바이더 회로를 가진다.

대 표 도 - 도8



반대의 도전성 타입의
온도 보상 버랙터들을 가지는 VCO의 LC 탱크

명 세 서

청구범위

청구항 1

회로로서,

제 1 단자와 제 2 단자를 가지는 제 1 버랙터(varactor);

제 1 단자와 제 2 단자를 가지는 제 2 버랙터 - 상기 제 2 버랙터의 제 2 단자 및 상기 제 1 버랙터의 제 2 단자는 제 3 노드에 함께 커플링됨 - ;

제 1 단자 및 제 2 단자를 가지는 제 3 버랙터 - 상기 제 3 버랙터의 제 1 단자 및 상기 제 1 버랙터의 제 1 단자는 제 1 노드에 함께 커플링됨 - ; 및

제 1 단자 및 제 2 단자를 가지는 제 4 버랙터 - 상기 제 4 버랙터의 제 1 단자 및 상기 제 2 버랙터의 제 1 단자는 제 2 노드에 함께 커플링되고, 상기 제 4 버랙터의 제 2 단자 및 상기 제 3 버랙터의 제 2 단자는 제 4 노드에 함께 커플링됨 - 를 포함하는,

제 1 미세 튜닝 버랙터 회로; 및

상기 제 1 노드를 통하여 상기 제 1 버랙터에 연결되고 그리고 상기 제 2 노드를 통하여 상기 제 2 버랙터에 연결되는 대략(coarse) 튜닝 캐패시터 회로를 포함하고,

상기 대략 튜닝 캐패시터 회로는 복수의 스위칭가능한 캐패시터 회로들을 포함하고,

상기 복수의 스위칭가능한 캐패시터 회로들 중 제 1 스위칭가능한 캐패시터 회로는:

디지털 기저대역(baseband) 집적회로에 의하여 생성되는 제어 신호들의 제 1 쌍에 응답하는 제 1 트랜지스터 - 상기 제어 신호들의 제 1 쌍은 상기 복수의 스위칭가능한 캐패시터 회로들 중 상기 제 1 스위칭가능한 캐패시터 회로에 대하여 고유함 - ; 및

상기 제 1 트랜지스터를 포함하는 경로와 병렬로 연결된 제 2 트랜지스터를 포함하고,

상기 제 2 트랜지스터는 상기 디지털 기저대역 집적회로에 의하여 생성되는 제어 신호들의 제 2 쌍에 응답하고,

상기 제어 신호들의 제 2 쌍은 상기 복수의 스위칭가능한 캐패시터 회로들의 각각에 대하여 공통이고, 그리고

상기 제어 신호들의 제 1 쌍의 각각의 신호 및 상기 제어 신호들의 제 2 쌍의 각각의 신호는 독립적으로 생성되는,

회로.

청구항 2

제 1 항에 있어서,

상기 제 1 버랙터의 제 1 단자는 게이트 단자이고, 상기 제 2 버랙터의 제 1 단자는 게이트 단자이고, 상기 제 3 버랙터의 제 1 단자는 게이트 단자이고, 그리고 상기 제 4 버랙터의 제 1 단자는 게이트 단자인,

회로.

청구항 3

제 1 항에 있어서,

상기 제 1 버랙터의 제 2 단자는 소스/드레인 단자이고, 상기 제 2 버랙터의 제 2 단자는 소스/드레인 단자이고, 상기 제 3 버랙터의 제 2 단자는 소스/드레인 단자이고, 그리고 상기 제 4 버랙터의 제 2 단자는 소스/드레인 단자인,

회로.

청구항 4

제 1 항에 있어서,

튜닝 전압을 상기 제 3 노드에 공급하는 튜닝 전압 입력 컨덕터; 및

온도 보상 전압을 상기 제 4 노드에 공급하는 온도 보상 전압 입력 컨덕터를 더 포함하는,

회로.

청구항 5

제 1 항에 있어서,

바이어스 노드;

상기 바이어스 노드를 상기 제 1 노드에 저항적으로(resistively) 커플링시키는 제 1 바이어스 저항기; 및

상기 바이어스 노드를 상기 제 2 노드에 저항적으로 커플링시키는 제 2 바이어스 저항기를 더 포함하는,

회로.

청구항 6

제 1 항에 있어서,

상기 미세 튜닝 버랙터 회로 및 상기 대략 튜닝 캐패시터 회로는 전압 신호를 수신하도록 구성된 입력을 갖는 전압 제어 발진기(VCO)의 LC 탱크의 부분들이고, 그리고

상기 제어 신호들의 제 1 쌍 및 상기 제어 신호들의 제 2 쌍은 상기 전압 신호와는 상이한,

회로.

청구항 7

제 1 항에 있어서,

상기 제 1 버랙터는 소스 및 드레인 영역들이 함께 커플링된 N-채널 트랜지스터 구조이고, 상기 제 2 버랙터는 소스 및 드레인 영역들이 함께 커플링된 N-채널 트랜지스터 구조이고, 상기 제 3 버랙터는 소스 및 드레인 영역들이 함께 커플링된 P-채널 트랜지스터 구조이고, 그리고 상기 제 4 버랙터는 소스 및 드레인 영역들이 함께 커플링된 P-채널 트랜지스터 구조인,

회로.

청구항 8

제 1 항에 있어서,

전압 신호를 상기 제 4 노드에 공급하는 전압 생성 회로를 더 포함하고,

상기 전압 신호는 온도의 증가와 함께 감소하는,

회로.

청구항 9

제 1 항에 있어서,

상기 제 1 버랙터 및 상기 제 2 버랙터는 제 1 도전성 타입의 채널 영역들을 가지고,

상기 제 3 버랙터 및 상기 제 4 버랙터는 상기 제 1 도전성 타입과 반대되는 제 2 도전성 타입의 채널 영역들을 가지고, 그리고

상기 제 3 노드는 루프 필터 회로에 의하여 생성되는 전압 신호를 입력으로서 수신하는,

회로.

청구항 10

제 1 항에 있어서,

온도 보상 전압을 상기 제 4 노드에 공급하는 온도 보상 전압 입력 컨덕터를 더 포함하는,

회로.

청구항 11

제 1 항에 있어서,

상기 제 1 버랙터는 상기 제 1 노드로부터 상기 제 3 노드까지 제 1 기울기(slope)를 갖는 캐패시턴스-전압 특성을 가지고,

상기 제 3 버랙터는 상기 제 1 노드로부터 상기 제 4 노드까지 제 2 기울기를 갖는 캐패시턴스-전압 특성을 가지고,

상기 제 1 기울기는 상기 제 2 기울기의 반대 부호(sign)를 가지고, 그리고

상기 제 3 노드는 루프 필터 회로에 의하여 생성되는 전압 신호를 입력으로서 수신하는,

회로.

청구항 12

회로로서,

제 1 단자 및 제 2 단자를 가지는 제 1 버랙터;

제 1 단자 및 제 2 단자를 가지는 제 2 버랙터 - 상기 제 2 버랙터의 제 2 단자 및 상기 제 1 버랙터의 제 2 단자는 제 3 노드에 함께 커플링됨 - ;

제 1 단자 및 제 2 단자를 가지는 제 3 버랙터 - 상기 제 3 버랙터의 제 2 단자 및 상기 제 1 버랙터의 제 1 단자는 제 1 노드에 함께 커플링됨 - ; 및

제 1 단자 및 제 2 단자를 가지는 제 4 버랙터 - 상기 제 4 버랙터의 제 2 단자 및 상기 제 2 버랙터의 제 1 단자는 제 2 노드에 함께 커플링되고, 상기 제 4 버랙터의 제 1 단자 및 상기 제 3 버랙터의 제 1 단자는 제 4 노드에 함께 커플링됨 - 를 포함하는,

미세 튜닝 버랙터 회로; 및

상기 제 1 노드를 통하여 상기 제 1 버랙터에 연결되고 그리고 상기 제 2 노드를 통하여 상기 제 2 버랙터에 연결되는 대략 튜닝 캐패시터 회로를 포함하고,

상기 대략 튜닝 캐패시터 회로는 복수의 스위칭가능한 캐패시터 회로들을 포함하고,

상기 복수의 스위칭가능한 캐패시터 회로들 중 제 1 스위칭가능한 캐패시터 회로는:

디지털 기저대역 집적회로에 의하여 생성되는 제어 신호들의 제 1 쌍에 응답하는 제 1 트랜지스터 - 상기 제어 신호들의 제 1 쌍은 상기 복수의 스위칭가능한 캐패시터 회로들 중 상기 제 1 스위칭가능한 캐패시터 회로에 대하여 고유함 - ; 및

상기 제 1 트랜지스터를 포함하는 경로와 병렬로 연결된 제 2 트랜지스터를 포함하고,

상기 제 2 트랜지스터는 상기 디지털 기저대역 집적회로에 의하여 생성되는 제어 신호들의 제 2 쌍에 응답하고,

상기 제어 신호들의 제 2 쌍은 상기 복수의 스위칭가능한 캐패시터 회로들의 각각에 대하여 공통이고, 그리고

상기 제어 신호들의 제 1 쌍의 각각의 신호 및 상기 제어 신호들의 제 2 쌍의 각각의 신호는 독립적으로 생성되는,

회로.

청구항 13

제 12 항에 있어서,

상기 제 1 버랙터는 도전성 타입의 채널 영역을 가지고, 상기 제 2 버랙터는 상기 도전성 타입의 채널 영역을 가지고, 상기 제 3 버랙터는 상기 도전성 타입의 채널 영역을 가지고, 상기 제 4 버랙터는 상기 도전성 타입의 채널 영역을 가지고, 그리고 상기 도전성 타입은 N-타입 도전성 및 P-타입 도전성으로 구성되는 그룹으로부터 선택되는,

회로.

청구항 14

제 12 항에 있어서,

상기 제 1 버랙터의 제 2 단자는 소스/드레인 단자이고, 상기 제 2 버랙터의 제 2 단자는 소스 또는 드레인 단자이고, 상기 제 3 버랙터의 제 2 단자는 소스 또는 드레인 단자이고, 그리고 상기 제 4 버랙터의 제 2 단자는 소스 또는 드레인 단자인,

회로.

청구항 15

제 12 항에 있어서,

온도 보상 전압을 상기 제 4 노드에 공급하는 온도 보상 전압 입력 컨덕터를 더 포함하는,

회로.

청구항 16

제 12 항에 있어서,

바이어스 노드;

상기 바이어스 노드를 상기 제 1 노드에 저항적으로 커플링시키는 제 1 바이어스 저항기; 및

상기 바이어스 노드를 상기 제 2 노드에 저항적으로 커플링시키는 제 2 바이어스 저항기를 더 포함하는,

회로.

청구항 17

제 12 항에 있어서,

상기 미세 튜닝 버랙터 회로 및 상기 대략 튜닝 캐패시터 회로는 전압 제어 발진기(VCO)의 LC 탱크의 부분들인,

회로.

청구항 18

제 12 항에 있어서,

상기 제 1 버랙터는 소스 및 드레인 영역들이 함께 커플링된 N-채널 트랜지스터 구조이고, 상기 제 2 버랙터는 소스 및 드레인 영역들이 함께 커플링된 N-채널 트랜지스터 구조이고, 상기 제 3 버랙터는 소스 및 드레인 영역들이 함께 커플링된 N-채널 트랜지스터 구조이고, 그리고 상기 제 4 버랙터는 소스 및 드레인 영역들이 함께 커플링된 N-채널 트랜지스터 구조인,

회로.

청구항 19

제 12 항에 있어서,

전압 신호를 상기 제 4 노드에 공급하는 전압 생성 회로를 더 포함하고,

상기 전압 신호는 온도의 증가와 함께 감소하는,

회로.

청구항 20

제 12 항에 있어서,

상기 제 1 버랙터의 제 1 단자, 상기 제 2 버랙터의 제 1 단자, 상기 제 3 버랙터의 제 1 단자 및 상기 제 4 버랙터의 제 1 단자는 게이트 단자들이고, 그리고

상기 제 3 노드는 루프 필터 회로에 의하여 생성되는 전압 신호를 입력으로서 수신하는,

회로.

청구항 21

방법으로서,

전압 신호를 전압 제어 발진기(VCO)의 미세 튜닝 버랙터 회로의 제 1 버랙터 회로의 제 3 노드에 공급함으로써 상기 VCO를 튜닝하는 단계 - 상기 제 1 버랙터 회로는 제 1 노드와 제 2 노드 사이에 제 1 캐패시턴스를 제공함 - ; 및

온도 보상 신호를 상기 미세 튜닝 버랙터 회로의 제 2 버랙터 회로의 제 4 노드에 공급함으로써 상기 VCO를 온도 보상하는 단계 - 상기 제 2 버랙터 회로는 상기 제 2 버랙터 회로가 상기 제 1 노드와 상기 제 2 노드 사이에 제 2 캐패시턴스를 제공하도록 상기 제 1 버랙터 회로와 병렬로 커플링됨 -; 및

상기 제 1 노드를 통하여 상기 제 1 버랙터에 연결되고 그리고 상기 제 2 노드를 통하여 상기 제 2 버랙터에 연결되는 대략 튜닝 캐패시터 회로를 통하여 상기 VCO에 제 3 캐패시턴스를 선택적으로 공급하는 단계를 포함하고,

상기 대략 튜닝 캐패시터 회로는 복수의 스위칭가능한 캐패시터 회로들을 포함하고,

상기 복수의 스위칭가능한 캐패시터 회로들 중 제 1 스위칭가능한 캐패시터 회로는:

디지털 기저대역 집적회로에 의하여 생성되는 제어 신호들의 제 1 쌍에 응답하는 제 1 트랜지스터 - 상기 제어 신호들의 제 1 쌍은 상기 복수의 스위칭가능한 캐패시터 회로들 중 상기 제 1 스위칭가능한 캐패시터 회로에 대하여 고유함 - ; 및

상기 제 1 트랜지스터를 포함하는 경로와 병렬로 연결된 제 2 트랜지스터를 포함하고,

상기 제 2 트랜지스터는 상기 디지털 기저대역 집적회로에 의하여 생성되는 제어 신호들의 제 2 쌍에 응답하고,

상기 제어 신호들의 제 2 쌍은 상기 복수의 스위칭가능한 캐패시터 회로들의 각각에 대하여 공통이고, 그리고

상기 제어 신호들의 제 1 쌍의 각각의 신호 및 상기 제어 신호들의 제 2 쌍의 각각의 신호는 독립적으로 생성되는,

방법.

청구항 22

제 21 항에 있어서,

상기 제 1 버랙터 회로는 한 쌍의 제 1 버랙터들을 포함하고, 상기 제 1 버랙터들 각각은 제 1 도전성 타입의 채널 영역을 가지고, 상기 제 2 버랙터 회로는 한 쌍의 제 2 버랙터들을 포함하고, 상기 제 2 버랙터들 각각은 상기 제 1 도전성 타입의 반대인 제 2 도전성 타입의 채널 영역을 가지는,

방법.

청구항 23

제 21 항에 있어서,

상기 제 1 버랙터 회로는 한 쌍의 제 1 버랙터들을 포함하고, 상기 제 1 버랙터들 중 하나의 제 1 버랙터는 상기 제 1 노드에 커플링된 게이트 단자를 가지고, 상기 제 2 버랙터 회로는 한 쌍의 제 2 버랙터들을 포함하고,

상기 제 2 버랙터들 중 하나의 제 2 버랙터는 상기 제 4 노드에 커플링된 게이트 단자를 가지는,

방법.

청구항 24

제 21 항에 있어서,

상기 제 1 버랙터 회로는 제 1 기울기를 갖는 제 1 캐패시턴스-전압 특성을 가지고,

상기 제 1 특성의 캐패시턴스는 상기 제 1 노드로부터 상기 제 2 노드까지이고 그리고 상기 제 1 특성의 전압은 상기 제 1 노드 및 상기 제 3 노드 사이의 공통 모드 전압이고,

상기 제 2 버랙터 회로는 제 2 기울기를 갖는 제 2 캐패시턴스-전압 특성을 가지고,

상기 제 2 특성의 캐패시턴스는 상기 제 1 노드로부터 상기 제 2 노드까지이고 그리고 상기 제 2 특성의 전압은 상기 제 1 노드 및 상기 제 4 노드 사이의 공통 모드 전압이고, 그리고

상기 제 1 기울기 및 상기 제 2 기울기는 실질적으로 상이한 부호를 갖는,

방법.

청구항 25

방법으로서,

제 1 노드와 제 2 노드 사이의 메인 버랙터 회로를 통하여 전압 제어 발진기(VCO)를 튜닝하는 단계 - 상기 메인 버랙터 회로는 상기 제 1 노드에 커플링된 제 1 단자 및 제 3 노드에 커플링된 제 2 단자를 갖는 제 1 버랙터를 포함하고, 상기 메인 버랙터 회로는 상기 제 2 노드에 커플링된 제 1 단자 및 상기 제 3 노드에 커플링된 제 2 단자를 갖는 제 2 버랙터를 더 포함함 - ; 및

상기 제 1 노드와 상기 제 2 노드 사이의 온도 보상 버랙터 회로에서 온도 보상 신호를 수신하는 단계 - 상기 온도 보상 버랙터 회로는 상기 제 1 노드에 커플링된 제 1 단자 및 제 4 노드에 커플링된 제 2 단자를 갖는 제 3 버랙터를 포함하고, 상기 온도 보상 버랙터 회로는 상기 제 2 노드에 커플링된 제 1 단자 및 상기 제 4 노드에 커플링된 제 2 단자를 갖는 제 4 버랙터를 더 포함함 - ; 및

상기 제 1 노드를 통하여 상기 제 1 버랙터에 연결되고 그리고 상기 제 2 노드를 통하여 상기 제 2 버랙터에 연결되는 대략 튜닝 캐패시터 회로를 통하여 상기 VCO에 제 3 캐패시턴스를 선택적으로 공급하는 단계를 포함하고,

상기 대략 튜닝 캐패시터 회로는 복수의 스위칭가능한 캐패시터 회로들을 포함하고,

상기 복수의 스위칭가능한 캐패시터 회로들 중 제 1 스위칭가능한 캐패시터 회로는:

디지털 기저대역 집적회로에 의하여 생성되는 제어 신호들의 제 1 쌍에 응답하는 제 1 트랜지스터 - 상기 제어 신호들의 제 1 쌍은 상기 복수의 스위칭가능한 캐패시터 회로들 중 상기 제 1 스위칭가능한 캐패시터 회로에 대하여 고유함 - ; 및

상기 제 1 트랜지스터와 병렬로 연결된 제 2 트랜지스터를 포함하고,

상기 제 2 트랜지스터는 상기 디지털 기저대역 집적회로에 의하여 생성되는 제어 신호들의 제 2 쌍에 응답하고,

상기 제어 신호들의 제 2 쌍은 상기 복수의 스위칭가능한 캐패시터 회로들의 각각에 대하여 공통이고, 그리고

상기 제어 신호들의 제 1 쌍의 각각의 신호 및 상기 제어 신호들의 제 2 쌍의 각각의 신호는 독립적으로 생성되는,

방법.

청구항 26

제 25 항에 있어서,

상기 제 1 버랙터 및 상기 제 2 버랙터는 제 1 도전성 타입의 채널 영역들을 가지고, 그리고 상기 제 3 버랙터

및 상기 제 4 버랙터는 상기 제 1 도전성 타입과 반대인 제 2 도전성 타입의 채널 영역들을 가지는,

방법.

청구항 27

제 25 항에 있어서,

상기 제 1 버랙터의 제 1 단자는 게이트 단자이고, 상기 제 2 버랙터의 제 1 단자는 게이트 단자이고, 상기 제 3 버랙터의 제 2 단자는 게이트 단자이고, 그리고 상기 제 4 버랙터의 제 2 단자는 게이트 단자인,

방법.

청구항 28

제 25 항에 있어서,

상기 제 1 버랙터는 소스 및 드레인 영역들이 함께 커플링된 N-채널 트랜지스터 구조이고, 상기 제 2 버랙터는 소스 및 드레인 영역들이 함께 커플링된 N-채널 트랜지스터 구조이고, 상기 제 3 버랙터는 소스 및 드레인 영역들이 함께 커플링된 P-채널 트랜지스터 구조이고, 상기 제 4 버랙터는 소스 및 드레인 영역들이 함께 커플링된 P-채널 트랜지스터 구조인,

방법.

청구항 29

제 25 항에 있어서,

상기 제 1 버랙터는 소스 및 드레인 영역들이 함께 커플링된 N-채널 트랜지스터 구조이고, 상기 제 2 버랙터는 소스 및 드레인 영역들이 함께 커플링된 N-채널 트랜지스터 구조이고, 상기 제 3 버랙터는 소스 및 드레인 영역들이 함께 커플링된 N-채널 트랜지스터 구조이고, 상기 제 4 버랙터는 소스 및 드레인 영역들이 함께 커플링된 N-채널 트랜지스터 구조인,

방법.

청구항 30

제 25 항에 있어서,

루프 필터 회로는 상기 제 3 노드에 전압 신호를 공급하고,

상기 제 1 버랙터는 상기 제 1 노드로부터 상기 제 3 노드까지 제 1 기울기의 캐패시턴스-전압 특성을 갖고,

상기 제 3 버랙터는 상기 제 1 노드로부터 상기 제 4 노드까지 제 2 기울기의 캐패시턴스-전압 특성을 갖고, 그리고

상기 제 2 기울기는 상기 제 1 기울기의 부호의 반대의 부호를 갖는,

방법.

청구항 31

제 25 항에 있어서,

제 1 저항기를 통해 바이어스 노드에 상기 제 1 노드를 저항적으로 커플링시키는 단계; 및

제 2 저항기를 통해 상기 바이어스 노드에 상기 제 2 노드를 저항적으로 커플링시키는 단계를 더 포함하는,

방법.

청구항 32

제 25 항에 있어서,

상기 온도 보상 신호는 CTAT(Complementary To Absolute Temperature) 전압 신호인,

방법.

청구항 33

제 25 항에 있어서,

상기 온도 보상 신호는 온도의 증가와 함께 감소하는,

방법.

청구항 34

회로로서,

제 1 노드와 제 2 노드 사이에 커플링된 메인 버랙터 회로 - 상기 메인 버랙터 회로는 튜닝 전압 입력 컨덕터 상에서 전압 신호를 수신함 - ; 및

상기 메인 버랙터 회로를 온도 보상하기 위한 수단 - 상기 수단은 상기 제 1 노드와 상기 제 2 노드 사이에서 상기 메인 버랙터 회로와 병렬로 커플링되고, 상기 수단은 또한 온도 보상 전압 입력 컨덕터 상에서 온도 보상 전압을 수신하기 위한 것임 - 을 포함하는,

미세 튜닝 버랙터 회로; 및

상기 메인 버랙터 회로에 연결되는 대략 튜닝 캐패시터 회로를 포함하고,

상기 대략 튜닝 캐패시터 회로는 복수의 스위칭가능한 캐패시터 회로들을 포함하고,

상기 복수의 스위칭가능한 캐패시터 회로들 중 제 1 스위칭가능한 캐패시터 회로는:

디지털 기저대역 집적회로에 의하여 생성되는 제어 신호들의 제 1 쌍에 응답하는 제 1 트랜지스터 - 상기 제어 신호들의 제 1 쌍은 상기 복수의 스위칭가능한 캐패시터 회로들 중 상기 제 1 스위칭가능한 캐패시터 회로에 대하여 고유함 - ; 및

상기 제 1 트랜지스터를 포함하는 경로와 병렬로 연결된 제 2 트랜지스터를 포함하고,

상기 제 2 트랜지스터는 상기 디지털 기저대역 집적회로에 의하여 생성되는 제어 신호들의 제 2 쌍에 응답하고,

상기 제어 신호들의 제 2 쌍은 상기 복수의 스위칭가능한 캐패시터 회로들의 각각에 대하여 공통이고, 그리고

상기 제어 신호들의 제 1 쌍의 각각의 신호 및 상기 제어 신호들의 제 2 쌍의 각각의 신호는 독립적으로 생성되는,

회로.

청구항 35

제 34 항에 있어서,

상기 메인 버랙터 회로는 제 1 버랙터 및 제 2 버랙터를 포함하고, 상기 제 1 버랙터 및 상기 제 2 버랙터는 제 1 도전성 타입의 채널 영역들을 가지고, 상기 수단은 제 3 버랙터 및 제 4 버랙터를 포함하고, 그리고 상기 제 3 버랙터 및 상기 제 4 버랙터는 상기 제 1 도전성 타입에 반대인 제 2 도전성 타입의 채널 영역들을 가지는,

회로.

청구항 36

제 34 항에 있어서,

상기 메인 버랙터 회로는 제 1 버랙터 및 제 2 버랙터를 포함하고, 상기 제 1 버랙터의 게이트 단자는 상기 제 1 노드에 커플링되고, 상기 제 2 버랙터의 게이트 단자는 상기 제 2 노드에 커플링되고, 상기 수단은 제 3 버랙터 및 제 4 버랙터를 포함하고, 상기 제 3 버랙터의 게이트 단자는 상기 제 4 버랙터의 게이트 단자에 커플링되는,

회로.

청구항 37

제 34 항에 있어서,

상기 메인 버랙터 회로는, 상기 튜닝 전압 입력 컨덕터 상의 고정된 전압을 가정하면, 상기 제 1 노드 및 상기 제 2 노드 사이의 캐패시턴스에 대한 제 1 기울기의 캐패시턴스-전압 특성을 갖고,

상기 수단은 상기, 상기 온도 보상 전압 입력 컨덕터 상의 고정된 전압을 가정하면, 상기 제 1 노드 및 상기 제 2 노드 사이의 캐패시턴스에 대한 제 2 기울기의 캐패시턴스-전압 특성을 갖고, 그리고

상기 제 2 기울기는 상기 제 1 기울기의 부호의 반대의 부호를 갖는,

회로.

청구항 38

디지털적으로 프로그램가능한 캐패시터로서,

복수의 스위칭가능한 캐패시터 회로들을 포함하고,

상기 복수의 스위칭가능한 캐패시터 회로들은 전압 신호를 입력으로서 수신하는 전압 제어 발진기(VCO)의 엘리먼트에 캐패시턴스를 선택적으로 공급하고,

상기 복수의 스위칭가능한 캐패시터 회로들 중 제 1 스위칭가능한 캐패시터 회로는:

디지털 기저대역 집적회로에 의하여 생성되는 제어 신호들의 제 1 쌍에 응답하는 제 1 트랜지스터 - 상기 제어 신호들의 제 1 쌍은 상기 복수의 스위칭가능한 캐패시터 회로들 중 상기 제 1 스위칭가능한 캐패시터 회로에 대하여 고유함 - ;

상기 제 1 트랜지스터의 소스에 커플링된 리드를 가지는 제 1 캐패시터;

상기 제 1 트랜지스터의 드레인에 커플링된 리드를 가지는 제 2 캐패시터; 및

상기 제 1 트랜지스터를 포함하는 경로와 병렬로 연결되는 캐패시티브 전압 디바이더(capacitive voltage divider)를 포함하고,

상기 캐패시티브 전압 디바이더는:

제 2 트랜지스터;

상기 제 2 트랜지스터의 소스에 커플링된 제 1 리드를 가지는 제 3 캐패시터 - 상기 제 3 캐패시터는 상기 제 1 트랜지스터의 소스에 커플링된 제 2 리드를 가짐 - ; 및

상기 제 2 트랜지스터의 드레인에 커플링된 제 1 리드를 가지는 제 4 캐패시터를 포함하고,

상기 제 4 캐패시터는 상기 제 1 트랜지스터의 드레인에 커플링된 제 2 리드를 가지고,

상기 캐패시티브 전압 디바이더는 상기 제 1 트랜지스터가 턴오프되고 그리고 상기 제 2 트랜지스터가 턴온될 때 상기 제 1 트랜지스터에 걸친 전압 강하를 감소시키도록 구성되고,

상기 캐패시티브 전압 디바이더는 상기 디지털 기저대역 집적회로에 의하여 생성되는 제어 신호들의 제 2 쌍에 응답하고,

상기 제어 신호들의 제 2 쌍은 상기 복수의 스위칭가능한 캐패시터 회로들의 각각에 대하여 공통이고, 상기 제어 신호들의 제 1 쌍의 각각의 신호 및 상기 제어 신호들의 제 2 쌍의 각각의 신호는 독립적으로 생성되고, 그리고

상기 제어 신호들의 제 1 쌍 및 상기 제어 신호들의 제 2 쌍은 상기 전압 신호와 상이한,

디지털적으로 프로그램가능한 캐패시터.

청구항 39

제 38 항에 있어서,

상기 복수의 스위칭가능한 캐패시터 회로들 중 제 2 스위칭가능한 캐패시터 회로는:

제어 신호들의 제 3 쌍에 응답하는 제 3 트랜지스터 - 상기 제어 신호들의 제 3 쌍은 상기 복수의 스위칭가능한 캐패시터 회로들 중 상기 제 2 스위칭가능한 캐패시터 회로에 대하여 고유함 - ;

상기 제 3 트랜지스터의 소스에 커플링된 리드를 가지는 제 5 캐패시터 - 상기 제 2 스위칭가능한 캐패시터 회로의 상기 제 5 캐패시터의 제 2 리드는 상기 제 1 스위칭가능한 캐패시터 회로의 상기 제 1 캐패시터의 제 2 리드에 커플링됨 - ;

상기 제 3 트랜지스터의 드레인에 커플링된 리드를 가지는 제 6 캐패시터 - 상기 제 2 스위칭가능한 캐패시터 회로의 상기 제 6 캐패시터의 제 2 리드는 상기 제 1 스위칭가능한 캐패시터 회로의 상기 제 2 캐패시터의 제 2 리드에 커플링됨 - ;

제 4 트랜지스터;

상기 제 4 트랜지스터의 소스에 커플링된 제 1 리드를 가지는 제 7 캐패시터 - 상기 제 7 캐패시터는 상기 제 3 트랜지스터의 소스에 커플링된 제 2 리드를 가짐 - ; 및

상기 제 4 트랜지스터의 드레인에 커플링된 제 1 리드를 가지는 제 8 캐패시터를 포함하고,

상기 제 8 캐패시터는 상기 제 3 트랜지스터의 드레인에 커플링된 제 2 리드를 가지는,

디지털적으로 프로그램가능한 캐패시터.

청구항 40

제 39 항에 있어서,

상기 제 1 스위칭가능한 캐패시터 회로의 상기 제 2 트랜지스터의 게이트에 그리고 상기 제 2 스위칭가능한 캐패시터 회로의 상기 제 4 트랜지스터의 게이트에 저항적으로 커플링된 입력 신호 컨덕터를 더 포함하는,

디지털적으로 프로그램가능한 캐패시터.

청구항 41

제 39 항에 있어서,

복수의 입력 신호 컨덕터들을 더 포함하고,

상기 복수의 입력 신호 컨덕터들 중 제 1 입력 신호 컨덕터에 존재하는 제 1 디지털 신호는 상기 제 1 스위칭가능한 캐패시터 회로의 상기 제 1 트랜지스터의 게이트에 공급되고, 그리고

상기 복수의 입력 신호 컨덕터들 중 제 2 입력 신호 컨덕터에 존재하는 제 2 디지털 신호는 상기 제 2 스위칭가능한 캐패시터 회로의 상기 제 3 트랜지스터의 게이트에 공급되는,

디지털적으로 프로그램가능한 캐패시터.

청구항 42

제 41 항에 있어서,

상기 제 1 디지털 신호는 제 1 저항기를 통해 상기 제 1 스위칭가능한 캐패시터 회로의 상기 제 1 트랜지스터의 게이트에 공급되고, 그리고

상기 제 2 디지털 신호는 제 2 저항기를 통해 상기 제 2 스위칭가능한 캐패시터 회로의 상기 제 3 트랜지스터의 게이트에 공급되는,

디지털적으로 프로그램가능한 캐패시터.

청구항 43

제 38 항에 있어서,

상기 디지털적으로 프로그래밍가능한 캐패시터는 전압 제어 발진기(VCO)의 LC 탱크의 부분인,

디지털적으로 프로그램가능한 캐패시터.

청구항 44

제 38 항에 있어서,

상기 전압 신호는 루프 필터 회로에 의하여 공급되고, 그리고

상기 캐패시티브 전압 디바이더는 상기 제 1 트랜지스터가 턴오프되고 그리고 상기 제 2 트랜지스터가 턴온될 때 상기 제 1 트랜지스터에 걸친 전압 강하를 감소시키도록 구성되는,

디지털적으로 프로그램가능한 캐패시터.

청구항 45

방법으로서,

루프 필터 회로로부터 전압 신호를 입력으로서 수신하는 전압 제어 발진기(VCO)의 엘리먼트로 복수의 스위칭가능한 캐패시터 회로들로부터 캐패시턴스를 선택적으로 공급하는 단계를 포함하고,

상기 복수의 스위칭가능한 캐패시터 회로들 중 제 1 스위칭가능한 캐패시터 회로는:

디지털 기저대역 집적회로에 의하여 생성되는 제어 신호들의 제 1 쌍에 응답하는 제 1 트랜지스터 - 상기 제어 신호들의 제 1 쌍은 상기 제 1 트랜지스터에 대하여 고유함 - ;

상기 제 1 트랜지스터의 소스와 제 1 노드 사이에 커플링된 제 1 캐패시터;

상기 제 1 트랜지스터의 드레인과 제 2 노드 사이에 커플링된 제 2 캐패시터; 및

상기 제 1 트랜지스터와 병렬로 연결된 캐패시티브 전압 디바이더를 포함하고,

상기 캐패시티브 전압 디바이더는:

제 2 트랜지스터;

상기 제 2 트랜지스터의 소스와 상기 제 1 트랜지스터의 소스 사이에 커플링된 제 3 캐패시터;

상기 제 2 트랜지스터의 드레인과 상기 제 1 트랜지스터의 드레인 사이에 커플링된 제 4 캐패시터를 포함하고,

상기 캐패시티브 전압 디바이더는 상기 제 1 트랜지스터가 턴오프되고 상기 제 2 트랜지스터가 턴온될 때 상기 제 1 트랜지스터에 걸친 전압 강하를 감소시키도록 구성되고, 그리고

상기 캐패시티브 전압 디바이더는 상기 디지털 기저대역 집적회로에 의하여 생성되는 제어 신호들의 제 2 쌍에 응답하고,

상기 제어 신호들의 제 2 쌍은 상기 복수의 스위칭가능한 캐패시터 회로들의 각각에 대하여 공통이고,

상기 제어 신호들의 제 1 쌍의 각각의 신호 및 상기 제어 신호들의 제 2 쌍의 각각의 신호는 독립적으로 생성되고, 그리고

상기 제어 신호들의 제 1 쌍 및 상기 제어 신호들의 제 2 쌍은 상기 전압 신호와는 상이한,

방법.

청구항 46

제 45 항에 있어서,

상기 복수의 스위칭가능한 캐패시터 회로들 중 제 2 스위칭가능한 캐패시터 회로는:

제 3 트랜지스터;

상기 제 3 트랜지스터의 소스와 상기 제 1 노드 사이에 커플링된 제 5 캐패시터;

상기 제 3 트랜지스터의 드레인과 상기 제 2 노드 사이에 커플링된 제 6 캐패시터;

제 4 트랜지스터;

상기 제 4 트랜지스터의 소스와 상기 제 3 트랜지스터의 소스 사이에 커플링된 제 7 캐패시터; 및

상기 제 4 트랜지스터의 드레인과 상기 제 3 트랜지스터의 드레인 사이에 커플링된 제 8 캐패시터를 포함하는,

방법.

청구항 47

제 46 항에 있어서,

상기 제 1 스위칭가능한 캐패시터 회로 및 상기 제 2 스위칭가능한 캐패시터 회로는 디지털적으로 프로그램가능한 캐패시터의 부분들이고,

상기 디지털적으로 프로그램가능한 캐패시터는 탱크의 부분이고,

상기 탱크는 상기 VCO의 부분인,

방법.

청구항 48

제 47 항에 있어서,

상기 제어 신호들의 제 1 쌍 중 제 1 신호는 상기 제 1 트랜지스터의 게이트에 공급되고; 그리고

상기 제어 신호들의 제 2 쌍 중 제 1 신호는 상기 제 2 트랜지스터의 게이트에 공급되는,

방법.

청구항 49

제 48 항에 있어서,

상기 제 2 트랜지스터의 게이트를 상기 제어 신호들의 제 2 쌍 중 제 1 신호에 저항적으로 커플링시키는 단계; 및

상기 제 4 트랜지스터의 게이트를 상기 제어 신호들의 제 2 쌍 중 상기 제 1 신호에 저항적으로 커플링시키는 단계를 더 포함하는,

방법.

청구항 50

회로로서,

복수의 스위칭가능한 캐패시터 회로들을 포함하고,

상기 복수의 스위칭가능한 캐패시터 회로들은 전압 신호를 입력으로서 수신하는 전압 제어 발진기(VCO)에 캐패시턴스를 선택적으로 공급하고,

상기 복수의 스위칭가능한 캐패시터 회로들 중 제 1 스위칭가능한 캐패시터 회로는:

디지털 기저대역 집적회로에 의하여 생성되는 제어 신호들의 제 1 쌍에 응답하는 제 1 트랜지스터 - 상기 제어 신호들의 제 1 쌍은 상기 복수의 스위칭가능한 캐패시터 회로들 중 상기 제 1 스위칭가능한 캐패시터 회로에 대하여 고유함 - ;

상기 제 1 트랜지스터의 소스에 커플링된 리드를 가지는 제 1 캐패시터;

상기 제 1 트랜지스터의 드레인에 커플링된 리드를 가지는 제 2 캐패시터; 및

상기 제 1 트랜지스터의 소스와 상기 제 1 트랜지스터의 드레인 사이에 제 1 모드에서 제 1 캐패시턴스를 제공하고, 그리고 상기 제 1 캐패시턴스가 상기 제 1 트랜지스터의 소스와 상기 제 1 트랜지스터의 드레인 사이에 제공되지 않도록 제 2 모드에서 상기 제 1 캐패시턴스를 접속해제하기 위한 제 1 수단을 포함하고,

상기 제 1 수단은 상기 제 1 트랜지스터를 포함하는 경로와 병렬로 연결되고,

상기 제 1 수단은 상기 디지털 기저대역 집적회로에 의하여 생성되는 제어 신호들의 제 2 쌍에 응답하고,

상기 제어 신호들의 제 2 쌍은 상기 복수의 스위칭가능한 캐패시터 회로들의 각각에 대하여 공통이고,

상기 제어 신호들의 제 1 쌍의 각각의 신호 및 상기 제어 신호들의 제 2 쌍의 각각의 신호는 독립적으로 생성되고, 그리고

상기 제어 신호들의 제 1 쌍 및 상기 제어 신호들의 제 2 쌍은 상기 전압 신호와는 상이한,

회로.

청구항 51

제 50 항에 있어서,

상기 제 1 수단은 상기 제 1 모드에서 온(on)이고, 상기 제 2 모드에서 오프(off)인 제 2 트랜지스터를 포함하고,

상기 제 1 수단은 상기 제 2 트랜지스터의 소스와 상기 제 1 트랜지스터의 소스 사이에 커플링된 제 3 캐패시터를 더 포함하고, 그리고

상기 제 1 수단은 상기 제 2 트랜지스터의 드레인과 상기 제 1 트랜지스터의 드레인 사이에 커플링된 제 4 캐패시터를 더 포함하는,

회로.

청구항 52

제 50 항에 있어서,

상기 복수의 스위칭가능한 캐패시터 회로 중 제 2 스위칭가능한 캐패시터 회로는:

상기 복수의 스위칭가능한 캐패시터 회로들 중 상기 제 2 스위칭가능한 캐패시터 회로에 고유한 제어 신호들의 제 3 쌍에 응답하는 제 2 트랜지스터;

상기 제 2 트랜지스터의 소스에 커플링된 리드를 가지는 제 3 캐패시터;

상기 제 2 트랜지스터의 드레인에 커플링된 리드를 가지는 제 4 캐패시터; 및

상기 제 2 트랜지스터의 소스와 상기 제 2 트랜지스터의 드레인 사이에 상기 제 1 모드에서 제 2 캐패시턴스를 제공하고, 그리고 상기 제 2 캐패시턴스가 상기 제 2 트랜지스터의 소스와 상기 제 2 트랜지스터의 드레인 사이에 제공되지 않도록 상기 제 2 모드에서 상기 제 2 캐패시턴스를 접속해제하기 위한 제 2 수단을 포함하는,

회로.

청구항 53

제 52 항에 있어서,

상기 제 1 캐패시터는 상기 제 3 캐패시터의 제 2 리드에 커플링된 제 2 리드를 가지고, 그리고

상기 제 2 캐패시터는 상기 제 4 캐패시터의 제 2 리드에 커플링된 제 2 리드를 가지는,

회로.

청구항 54

제 50 항에 있어서,

상기 전압 신호는 루프 필터 회로에 의하여 공급되는,

회로.

발명의 설명

기 술 분 야

[0001] 개시되는 실시예들은 일반적으로 전압 제어 발진기(VCO)들에서의 미세 튜닝을 위한 버랙터 회로들 및/또는 대략 튜닝을 위한 스위칭가능한 캐패시터 회로들에 관한 것이다.

배 경 기 술

[0002] 도 1(종래 기술)은 전압 제어 발진기(VCO) 1의 심볼이다. 도 2(종래 기술)는 도 1의 VCO 1의 더 상세한 도면이다. VCO 1은 LC 탱크 2를 포함한다. LC 탱크 2의 고유 공진 주파수는 주로, 차동 출력 컨덕터들 3 및 4로 VCO 1에 의해 출력된 차동 VCO 출력 신호의 발진 주파수를 결정한다. 예시되는 예에서, LC 탱크 2의 인덕턴스는 인덕터 5에 의해 제공된다. LC 탱크 2의 캐패시턴스는 버랙터 회로 6 및 대략(coarse) 튜닝 캐패시터 뱅크 7을 포함하는 캐패시턴스 엘리먼트들의 조합에 의해 제공된다. 대략 튜닝 캐패시터 뱅크 7은 다수의 병렬 접속된 스위칭가능한 캐패시터 회로들로 구성된다. 참조 번호 25는 하나의 스위칭가능한 캐패시터 회로를 식별한다. 입력 컨덕터들 14 및 15를 통해 대략 튜닝 캐패시터 뱅크 7에 공급되는 디지털 입력 신호들 EN[1:N] 및 ENB[1:N]를 변경함으로써, 스위칭가능한 캐패시터 회로들 중 개별 회로들에 의해 제공된 캐패시턴스들은 LC 탱크 2 내부로 그리고 LC 탱크 2 외부로 선택적으로 스위칭될 수 있다. 스위칭가능한 캐패시터 회로들을 스위칭 아웃하는 것은 LC 탱크 2의 전체 캐패시턴스를 감소시키고, 이에 의해 VCO 1 발진 주파수를 증가시킨다. 캐패시터 엘리먼트를 LC 탱크 2로 스위칭하는 것은 LC 탱크 2의 전체 캐패시턴스를 증가시키고, 이에 의해 VCO 1 발진 주파수를 감소시킨다.

[0003] LC 탱크 2의 캐패시턴스의 미세 튜닝은 입력 리드 8 상에서 미세 튜닝 아날로그 입력 신호 VTUNE를 조절함으로써 달성된다. 미세 튜닝 아날로그 입력 신호 VTUNE는 버랙터들 9 및 10에 걸리는 전압에 영향을 미치고, 이것은 LC 탱크 2의 캐패시턴스를 미세 튜닝한다. VTUNE이 버랙터들 9 및 10에 어떻게 영향을 미치는지는 버랙터들이 어떻게 바이어싱되는지에 의해 결정된다. 일례에서, VTUNE를 증가시키는 것은 메인 버랙터들에 걸리는 전압을 감소시키고, 이에 의해 메인 버랙터들 9 및 10에 의해 제공된 캐패시턴스를 감소시키고, 이에 의해 VCO 1 발진 주파수를 증가시킨다. 이에 반해, VTUNE를 증가시키는 것은 메인 버랙터들에 걸리는 전압의 증가를 초래하고, 이에 의해 메인 버랙터들 9 및 10에 의해 제공된 캐패시턴스를 증가시키고, 이에 의해 VCO 1 발진 주파수를 감소시킨다.

[0004] VCO 1의 발진 주파수는 VTUNE 및 대략 튜닝 디지털 입력 신호들 EN[1:N] 및 ENB[1:N]의 함수이고, 실질적으로 온도와 독립적이라는 것이 바람직하다. 그러나, 어떠한 온도 보상 회로도 제공되지 않으면, 주어진 고정 VTUNE 전압에 대하여, VCO 1의 발진 주파수는 온도의 증가에 따른 메인 버랙터들 9 및 10의 캐패시턴스들의 증가에 기인하여 온도의 증가에 따라 감소하는 것으로 보여질 것이다. 이것을 보상하기 위해서 도 2의 VCO 1은 버랙터들 11 및 12의 형태로 온도 보상 버랙터 회로를 포함한다. 이 버랙터들 11 및 12는 VCO 1의 LC 탱크 2의 메인 버랙터들 9 및 10과 병렬로 커플링된다. 온도 보상 전압 신호 PTAT는 입력 리드 13을 통해 이 버랙터들 11 및 12에 인가된다. 전압 신호 PTAT는 온도의 증가에 따라 증가한다. 온도가 증가함에 따라, 전압 PTAT는 증가한다. 증가하는 PTAT는 온도 보상 버랙터들 11 및 12에 걸리는 전압을 감소시키고, 이에 의해 그들의 캐패시턴스들을 감소시킨다. 온도가 증가함에 따른, 온도 보상 버랙터들 11 및 12의 캐패시턴스들의 감소는, 어떻게 증가하는 온도가 메인 버랙터들 9 및 10의 캐패시턴스들로 하여금 증가하게 하는지에 대한 영향들에 반작용을 한다.

[0005] 도 2에 도시된 바와 같이, 버랙터 회로 6은 인덕터 5에 커플링된 AC이다. 따라서, 버랙터 회로는 바이어스 저항기들 16 및 17을 통해 DC 바이어싱된다. 저항기들 16 및 17에 의해 초래된 저항기 잡음 및 전압 공급기 컨덕터 18에서의 전압 VBIAS에 존재하는 전력 공급기 잡음과 같은 잡음 소스들이 존재한다. 전력 공급기 잡음은 버랙터들에 걸친 공통 모드 잡음으로서 발현된다. 이 소스들로부터의 잡음은 버랙터들에 영향을 미치고, 바람직하지 않은 방식으로 VCO 위상 잡음을 증가시킨다. 향상된 VCO 아키텍처가 요구된다.

[0006] 또한, VCO 1은, 예를 들어, 3.0 GHz 내지 5.0 GHz의 넓은 주파수 범위 상에서 동작하도록 요구될 수 있다. 이러한 넓은 주파수 범위에 부응하기 위해서, 대략 튜닝 캐패시터 뱅크 7의 스위칭가능한 캐패시터 회로들에 의해 제공된 캐패시턴스들을 스위칭 인(switch in) 및 스위칭 아웃(switch out)하기 위한 능력이 요구된다. 일부 애플리케이션들에서, 일부 동작 주파수들에서 VCO 1 상에 부과된 엄격한 위상 잡음 요건이 존재한다. 이 엄격한 위상 잡음 요건을 만족시키기 위해서, VCO 1은 노드 19와 노드 20 사이의 LC 탱크 2에 걸쳐 큰 AC 전압 스윙으로 동작하도록 제조된다. AC 전압 스윙은 VCO 1이 4.0 GHz에서 동작 중일 때, 예를 들어, 2.5 볼트 피크-투-피크일 수 있다. VCO들이 일 부분인 RF 트랜시버 집적 회로들은 얇은 게이트 산화물 65nm 또는 45nm MOS 반도체 제조 프로세스들을 사용하여 현재 종종 제조된다. 이러한 작은 지오메트리 프로세스들을 사용하여 제조된 트랜

지스터들의 얇은 게이트 산화물들에 기인하여, 트랜지스터들에 걸리는 전압들은 큰 전압들이 브레이크다운을 야기하는 것 및 그렇지 않으면 트랜지스터들에 손상을 주는 것을 방지하기 위해서 약 1.5 볼트 미만으로 유지되어야 한다. 이러한 반도체 프로세스의 단순한 얇은 산화물 트랜지스터가 스위치 21에 대하여 사용되었으면, 트랜지스터는 브레이크다운 및 고장날 수 있다.

[0007] 도 3(종래 기술)은 이 문제를 회피하는 일 방법을 도시하는 도면이다. 씨커(thicker) 산화물 게이트 유전체를 가지는 특수 트랜지스터 22가 사용된다. 그러나, 도 2의 얇은 게이트 산화물 트랜지스터 21을 사용하여 달성되는 바와 동일한 성능을 달성하기 위해서, 도 3의 두꺼운 게이트 산화물 트랜지스터 22는 더 크게 제조된다. 더 큰 트랜지스터를 제공하는 것은 기생 캐패시턴스들을 포함하는 기생들을 증가시킨다. 대략 튜닝 캐패시터 뱅크 7의 스위칭가능한 캐패시터 회로들의 캐패시터들 중 대부분이 VCO 1이 높은 주파수에서 발진할 수 있도록 스위칭 오프될 때 LC 탱크 2의 전체 캐패시턴스를 감소시킬 수 있는 것이 바람직하다. 그러나, 스위칭가능한 캐패시터 회로들의 많은 트랜지스터들 모두의 기생 캐패시턴스들은 전체 LC 탱크 캐패시턴스가 높은 주파수 VCO 1 동작에 요구되는 만큼 낮게 감소될 수 없는 그러한 큰 캐패시턴스가 되도록 조합될 수 있다.

[0008] 도 4(종래 기술)는 도 2의 얇은 게이트 산화물 트랜지스터 21가 브레이킹 다운하는 문제를 회피하는 제 2 방법을 도시하는 도면이다. 이 제 2 방법에서, 2개의 얇은 게이트 산화물 트랜지스터들 23 및 24는 도시되는 바와 같이 직렬로 제공된다. 이 트랜지스터들 각각은 노드 19와 노드 20 사이의 AC 전압 스윙의 절반만을 겪고, 따라서, 브레이크다운을 경험하지 않고도 VCO 1의 높은 전압 스윙을 견딜 수 있다. 그러나, 도 2의 얇은 게이트 산화물 트랜지스터 21과 동일한 성능을 달성하기 위해서, 2개의 트랜지스터들을 통한 온 저항은 낮아야 한다. 1개 보다는 직렬인 2개의 트랜지스터들이 존재하는 것에 기인하여, 적절히 낮은 온 저항을 달성하기 위해서 트랜지스터들 23 및 24의 크기들은 2배가 된다. 트랜지스터 크기의 이러한 증가는 기생 캐패시턴스들을 다시 증가시킨다. 대략 튜닝 캐패시터 뱅크 7의 모든 스위칭가능한 캐패시터 회로들의 모든 트랜지스터들의 기생 캐패시턴스들은 LC 탱크 2의 캐패시턴스의 하한이 높은 주파수 VCO 1 동작에 대하여 매우 높도록 결합한다. 더욱이, 도 4의 토폴로지의 직렬 접속된 트랜지스터들은 증가된 양의 원하지 않는 잡음을 픽업(pick up)하거나 또는 그렇지 않으면 초래하도록 관측된다. 이 잡음이 초래되는 정확한 메커니즘은 충분히 이해되지 않지만, 향상된 VCO 아키텍처가 요구된다.

발명의 내용

[0009] 제 1 양상에서, 전압 제어 발진기(VCO)의 LC 탱크는 메인 버랙터 회로 및 메인 버랙터 회로와 병렬로 커플링된 온도 보상 버랙터 회로를 포함한다. 메인 버랙터 회로는 VCO를 미세 튜닝하기 위해서 사용된다. 온도 보상 버랙터 회로는 2개의 버랙터 회로들에 걸친 공통 모드 잡음의 효과들이 최소화되도록 메인 버랙터 회로의 캐패시턴스-전압 특성과 다른 캐패시턴스-전압 특성을 가진다. 제 1 예에서, 온도 보상 버랙터 회로는 메인 버랙터 회로의 캐패시턴스-전압 특성의 기울기에 대하여 반대 기울기의 캐패시턴스-전압 특성을 가진다. 온도 보상 버랙터 회로는 메인 버랙터 회로에서 사용되는 바와 같은 N-타입 버랙터들 보다는 P-타입 버랙터들을 사용함으로써 반대 기울기의 캐패시턴스-전압 특성을 가지도록 제조된다. 제 2 예에서, 온도 보상 버랙터 회로는 N-타입 버랙터들을 사용함으로써가 아니라 메인 버랙터 회로에서 버랙터들이 어떻게 접속되는지와 비교하여 온도 보상 버랙터 회로에서 버랙터들이 어떻게 접속되는지를 반전함으로써 반대 기울기의 캐패시턴스-전압 특성을 가지도록 제조된다. 버랙터들이 어떻게 접속되는지에 대한 반전은 온도 보상 버랙터 회로의 캐패시턴스-전압 특성의 기울기의 부호를 변경하도록 작용한다. 2개의 버랙터 회로들에 걸친 공통 모드 잡음의 효과들을 이 방식으로 최소화하는 것은 VCO 위상 잡음을 개선하고, 전력 공급기 잡음과 같은 공통 모드 잡음에 대한 VCO 민감성을 감소시킨다.

[0010] 제 2 양상에서, VCO의 LC 탱크는 또한 복수의 스위칭가능한 캐패시터 회로들을 가진다. 이 스위칭가능한 캐패시터 회로들은 VCO의 대략 튜닝을 위해서 사용된다. 각각의 스위칭가능한 캐패시터 회로는 그것의 캐패시턴스를 LC 탱크 내부로 그리고 그것의 캐패시턴스를 LC 탱크 외부로 스위칭하도록 제어될 수 있다. 이 방식으로 LC 탱크의 내부로 그리고 LC 탱크의 외부로 캐패시턴스들을 스위칭함으로써, VCO는 대략 튜닝된다. 스위칭가능한 캐패시터 회로들 각각에서 메인 얇은 산화물 스위치의 브레이크다운을 방지하기 위해서, 각각의 스위칭가능한 캐패시터 회로는 메인 얇은 산화물 스위치 주변에 커플링된 캐패시티브 전압 디바이더 회로를 가진다. 캐패시티브 전압 디바이더 회로는 메인 스위치가 오프될 때 메인 얇은 산화물 스위치에 걸리는 최대 전압을 감소시키도록 작용한다. 스위칭가능한 캐패시터 회로들 내의 캐패시티브 전압 디바이더 회로들은 높은 전압 모드(낮은 위상 잡음 모드)에서의 VCO 동작을 위해서 인에이블된다. 스위칭가능한 캐패시터 회로들 내의 캐패시티브 전압 디바이더 회로들은 더 낮은 전력 모드에서의 VCO 동작을 위해서 디스에이블될 수 있다.

[0011] 위의 내용은 개요이고, 따라서, 필요에 의해, 세부사항의 간략화, 일반화 및 생략들을 포함하고, 그 결과, 당업자들은 개요가 단지 예시적이며 임의의 방식으로 제한되도록 의도되지 않는다는 것을 인식할 것이다. 오로지 청구범위에 의해 정의된 바와 같은 본 명세서에 설명되는 디바이스들 및/또는 프로세스들의 다른 양상들, 발명의 특징들 및 이점들은 본 명세서에 설명되는 비-제한적인 상세한 설명에서 명백해질 것이다.

도면의 간단한 설명

[0012] 도 1(종래 기술)은 전압 제어 발진기(VCO) 1의 심볼이다.

도 2(종래 기술)는 도 1의 VCO 1의 더 상세한 도면이다.

도 3(종래 기술)은 두꺼운 산화물 트랜지스터를 포함하는 대략 튜닝 스위치 회로의 도면이다.

도 4(종래 기술)는 2개의 직렬 접속된 얇은 산화물 트랜지스터들을 포함하는 대략 튜닝 스위치 회로의 도면이다.

도 5는 하나의 신규한 양상에 따른 모바일 통신 디바이스(100)의 간략화된 하이 레벨 블록도이다.

도 6은 도 5의 RF 트랜시버 집적 회로의 더 상세한 블록도이다.

도 7은 도 6의 국부 발진기의 더 상세한 블록도이다.

도 8은 제 1의 신규한 양상의 제 1 예에 따른 도 7의 국부 발진기의 VCO의 회로도이다.

도 9는 도 8의 VCO의 메인 버랙터 회로를 더 상세하게 나타내는 도면이다.

도 10은 도 8의 VCO의 온도 보상 버랙터 회로를 더 상세하게 나타내는 도면이다.

도 11은 메인 버랙터 회로 및 온도 보상 버랙터 회로 내의 버랙터들의 캐패시턴스-전압 특성들을 도시하는 도면이다.

도 12는 전체 메인 버랙터 회로 및 전체 온도 보상 버랙터 회로의 캐패시턴스-전압 특성들을 도시하는 도면이다.

도 13은 종래의 미세 튜닝 버랙터 회로와 비교하여 어떻게 도 8의 미세 튜닝 버랙터 회로가 노드들 A 및 B 상에서의 공통 모드 잡음에 대하여 더 적은 민감성을 가지는지를 도시하는 도면이다.

도 14는 어떻게 종래 기술의 버랙터 회로가 노드들 A 및 B 상에서의 공통 모드 잡음에 대하여 민감한지를 도시하는 도면이다.

도 15는 제 1의 신규한 양상의 제 2 예에 따른 도 7의 국부 발진기 내의 VCO의 회로도이다.

도 16은 더블 얇은 산화물 트랜지스터 종래 VCO 및 도 8의 VCO에 대한 VCO 위상 잡음의 비교를 도시하는 표이다.

도 17은 더블 얇은 산화물 트랜지스터 종래 VCO 및 도 8의 VCO에 대한 VCO 위상 잡음의 비교를 도시하는 플롯이다.

도 18은 메인 버랙터 회로를 온도 보상하는 방법의 흐름도이다.

도 19는 종래의 대략 튜닝 스위칭가능한 캐패시터 회로의 도면이다.

도 20은 제 2의 신규한 양상에 따른 높은 브레이크다운 전압 대략 튜닝 스위칭가능한 캐패시터 회로의 도면이다.

도 21은 종래의 스위칭가능한 캐패시터 회로 및 도 20의 높은 브레이크다운 스위칭가능한 캐패시터 회로 내의 메인 트랜지스터에 걸리는 최대 전압을 설명하는 표이다.

도 22는 도 8의 VCO 내의 대략 튜닝 캐패시터 뱅크의 더 상세한 도면이다.

도 23은 도 20의 스위칭가능한 캐패시터 회로의 동작을 예시하는 표이다.

도 24는 캐패시티브 전압 분배 회로들이 항상 인에이블되는 대략 튜닝 캐패시터 뱅크의 도면이다.

도 25는 캐패시티브 전압 분배 회로를 사용하여 스위칭가능한 캐패시터 회로 내의 메인 트랜지스터를 보호하기

위한 방법의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 도 5는 제 1의 신규한 양상에 따른 모바일 통신 디바이스(100)의 간략화된 하이 레벨 블록도이다. 이 예에서, 모바일 통신 디바이스(100)는 셀룰러 전화이다. 셀룰러 전화(100)는 (도시되지 않은 몇몇 다른 컴포넌트들 사이에) 안테나(101) 및 2개의 집적 회로들(102 및 103)을 포함한다. 집적 회로(103)는 "디지털 기저대역 집적 회로"라 칭해진다. 집적 회로(102)는 라디오 주파수(RF) 트랜시버 집적 회로이다. RF 트랜시버 집적 회로(102)는 그것이 수신기 뿐만 아니라 송신기를 포함하기 때문에 "트랜시버"라 칭해진다.

[0014] 도 6은 도 5의 RF 트랜시버 집적 회로(102)의 더 상세한 블록도이다. 수신기는 "수신 체인"(104) 뿐만 아니라 국부 발진기(105)라 칭해지는 것을 포함한다. 셀룰러 전화가 수신 중일 때, 높은 주파수 RF 신호(106)는 안테나(101) 상에서 수신된다. 신호(106)로부터의 정보는 듀플렉서(107), 매칭 네트워크(108) 및 수신 체인(104)을 통해 전달된다. 신호(106)는 저잡음 증폭기(LNA)(109)에 의해 증폭되고, 믹서(110)에 의해 주파수 하향변환된다. 결과적인 하향변환된 신호는 기저대역 필터(111)에 의해 필터링되고, 도 1의 디지털 기저대역 집적 회로(103)로 전달된다. 디지털 기저대역 집적 회로(103) 내의 아날로그-대-디지털 변환기(112)는 신호를 디지털 형태로 변환하고, 결과적인 디지털 정보는 디지털 기저대역 집적 회로(103) 내의 디지털 회로에 의해 프로세싱된다. 디지털 기저대역 집적 회로(103)는 LO 신호 LO1(113)의 주파수를 제어함으로써 수신기를 튜닝한다.

[0015] 셀룰러 전화가 송신 중이면, 송신될 정보가 디지털 기저대역 집적 회로(103) 내의 디지털-대-아날로그 변환기(DAC)(114)에 의해 아날로그 형태로 변환되고, RF 트랜시버 집적 회로(102) 내의 "송신 체인"(115)으로 공급된다. 이후, 기저대역 필터(116)는 디지털-대-아날로그 변환 프로세스에 기인하여 잡음을 필터링한다. 이후, 국부 발진기(118)의 제어 하에서의 믹서 블록(117)은 신호를 높은 주파수 신호로 상향변환한다. 드라이버 증폭기(119) 및 외부 전력 증폭기(PA)(120)는 높은 주파수 RF 신호(121)가 안테나(101)로부터 송신되도록 높은 주파수 신호를 구동 안테나(101)로 증폭시킨다. 디지털 기저대역 집적 회로(103)는 믹서(117)에 공급되는 LO 신호 LO2의 주파수를 제어함으로써 송신기를 제어한다. 디지털 기저대역 집적 회로(103)는 버스 인터페이스(124) 및 제어 라인들(125 및 126)을 통해 디지털 직렬 버스(123)에 걸쳐 적절한 제어 정보를 전송함으로써 국부 발진기들(105 및 118)을 제어한다.

[0016] 도 7은 도 6의 국부 발진기(105)의 더 상세한 블록도이다. 국부 발진기(105)는 신규한 전압 제어 발진기(VCO)(139)를 포함한다. 국부 발진기(105)는 디바이더(130), 위상 고정 루프(PLL: Phase-Locked Loop)(131) 및 디바이더 회로(132)를 포함한다. PLL(131)은 컨덕터(133) 상에서 외부적으로 생성된 기준 신호 REF CLK(예를 들어, 외부 수정 발진기에 의해 생성된 19.2 MHz 신호)를 수신하고, 그로부터 차동 PLL 출력 신호 VO를 생성한다. 여기서 사용되는 라벨 "VO"는 VO 신호가 차동 VCO 출력 신호임을 표시한다. 신호 VO는 컨덕터(134) 상의 신호 VOP 및 컨덕터(135) 상의 신호 VON을 포함한다. 이러한 경우, PLL(131)은 위상 비교기(136), 차지 펌프(137), 루프 필터(138), 신규한 VCO(139), 루프 디바이더(140) 및 시그마-델타 변조기(141)를 포함한다. 차동 VCO 출력 신호는 국부 발진기 신호 LO1을 생성하기 위해서 디바이더(132)에 의해 주파수 분할(divided down)된다. 국부 발진기 신호 LO1은 차동 동상(I) 신호 및 차동 직교(Q) 신호를 포함한다. 국부 발진기(105)는 디지털 입력 신호 컨덕터들(125) 상에서 멀티-비트 디지털 제어 값 CONTROL에 의해 제어된다. 멀티-비트 디지털 제어 값 CONTROL은 컨덕터(143) 상의 디지털 제어 값 ON(142) 및 컨덕터(145) 상의 그것의 상보적인 ONB(144)를 포함한다. 또한, 멀티-비트 제어 값 CONTROL은 컨덕터들(147) 상의 멀티-비트 디지털 제어 값 ENB[1:N](146) 및 컨덕터들(149) 상의 이 신호들 EN[1:N](148)의 상보신호들(complements)을 포함한다. VCO(139)는 루프 필터(138)로부터 미세 튜닝 아날로그 제어 신호 VTUNE(150)을 수신한다. VCO(139)는 온도 보상 바이어스 전압 생성기 회로(152)로부터 온도 보상 제어 신호(151)를 수신한다. 또한, VCO(139)는 VBIAS 공급기 전압 제어기 회로(154)로부터 버랙터 바이어스 공급기 전압 VBIAS(153)를 수신한다.

[0017] 도 8은 제 1의 신규한 양상의 제 1 예에 따른 도 7의 VCO(139)의 회로도이다. VCO(139)는 LC 탱크(155) 및 증폭기 회로(156-159)를 포함한다. LC 탱크(155)는 인덕터(164), 미세 튜닝 버랙터 회로(160) 및 대략 튜닝 캐패시터 뱅크(161)를 포함한다. 미세 튜닝 버랙터 회로(160)는 한 쌍의 1k ohm 바이어스 저항기들(169 및 170), 메인 버랙터 회로(162), 온도 보상 버랙터 회로(163) 및 한 쌍의 커플링 캐패시터들(171 및 172)을 포함한다. 대략 튜닝 캐패시터 뱅크(161)는 복수의 병렬 접속된 스위칭가능한 캐패시터 회로들을 포함하는 디지털적으로 프로그램가능한 캐패시터 구조이다. 스위칭가능한 캐패시터 회로들의 대표적인 하나는 참조 번호(165)로 도 8에서 식별된다. VBIAS 공급기 전압 신호(153)는 공급기 컨덕터 및 바이어스 노드(166)를 통해 VCO에 의해 수신된다. 미세 튜닝 제어 전압 VTUNE 신호(150)는 튜닝 전압 입력 컨덕터(167)를 통해 VCO에 의해 수신된다. 이

러한 경우, 온도 보상 전압은 온도 보상 전압 입력 컨덕터(168)를 통해 VCO에 의해 수신된 CTAT(Complementary To Absolute Temperature) 전압 신호(151)이다. 따라서, 온도가 증가함에 따라 전압 CTAT는 감소하고, 온도가 감소함에 따라 전압 CTAT는 증가한다. 미세 튜닝 버랙터 회로(160) 내에서, 메인 버랙터 회로(162)는 도시된 바와 같이 온도 보상 버랙터 회로(163)와 병렬로 노드 A(173)와 노드 B(174) 사이에 커플링된다. 미세 튜닝 VTUNE 신호(150)는 메인 버랙터 회로(162) 내의 노드 C(175) 상으로 수신된다. 온도 보상 제어 신호(151)는 온도 보상 버랙터 회로(163) 내의 노드 D(176) 상으로 수신된다. 메인 버랙터 회로(162)의 제 1 버랙터(177) 및 제 2 버랙터(178)는 N-타입 채널 영역들을 가진다. 온도 보상 버랙터 회로(163)의 제 1 버랙터(179) 및 제 2 버랙터(180)는 P-타입 채널 영역들을 가진다.

[0018] 버랙터들(177-180)은 절연된 게이트 단자들을 가지는 MOS 전계 효과 버랙터들이다. 채널 영역이라는 용어는 일반적으로 사용되고, 도전성 채널이 트랜지스터에서와 같이 소스 영역과 드레인 영역 사이에 형성되어야 함을 표시하지 않으며, 오히려 채널 영역이라는 용어는 공핍 영역이 충전의 분리를 제공하도록 형성할 수 있는 게이트 아래의 반도체 물질을 지칭하고, 이에 의해 버랙터 구조의 캐패시턴스를 변경한다. 도시된 예에서의 버랙터들(177-180)은 소스 및 드레인 영역들을 포함하지만, 다른 타입들의 버랙터들이 사용될 수 있다. 도시된 예에서, N-타입 버랙터들(177 및 178)은 비교적 고농도로(heavily) N-타입 도핑된 영역들(N+)인 소스 및 드레인 영역들을 포함하는 N-채널 트랜지스터 구조들인 반면, 간섭(intervening) 채널 영역은 비교적 저농도로 N-타입 도핑된 영역(N-)이다. 유사하게, P-타입 버랙터들(179 및 180)은 비교적 고농도로 P-타입 도핑된 영역들(P+)인 소스 및 드레인 영역들을 포함하는 P-타입 트랜지스터 구조인 반면, 간섭 채널 영역은 비교적 저농도로 P-타입 도핑된 영역(P-)이다. 각각의 버랙터에서, 소스, 드레인 및 벌크 영역들이 함께 단락(short)된다. 버랙터들의 게이트 단자들은 참조 번호들(190-193)에 의해 표시된다. 버랙터들의 공통 소스-드레인 단자들이 참조 번호들(194-197)에 의해 표시된다.

[0019] 도 9는 메인 버랙터 회로(162)를 더 상세하게 도시하는 도면이다.

[0020] 도 10은 온도 보상 버랙터 회로(163)를 더 상세하게 도시하는 도면이다.

[0021] 도 11은 버랙터들(177-180)의 캐패시턴스-전압 특성들을 도시하는 도면이다. 라인(181)은 메인 버랙터 회로(162)의 버랙터들(177 및 178)의 캐패시턴스-전압 특성을 표현한다. 이 버랙터들(177 및 178)은 N-타입 채널 영역들을 가진다. 라인(181)의 X축의 전압은 노드 A와 노드 C 사이의 전압이다. 라인(182)은 온도 보상 버랙터 회로(163)의 버랙터들(179 및 180)의 캐패시턴스-전압 특성을 표현한다. 이 버랙터들(179 및 180)은 P-타입 채널 영역들을 가진다. 라인(182)에 대한 X축의 전압은 노드 A와 노드 D 사이의 전압이다. 버랙터 캐패시턴스가 P-타입 버랙터들(179 및 180)에 대한 전압에 관하여 어떻게 변경될지에 대한 기울기(183)는 버랙터 캐패시턴스가 N-타입 버랙터들(177 및 178)에 대한 전압에 관하여 어떻게 변경될지에 대한 기울기(184)에 대하여 반대 부호를 가진다.

[0022] 도 12는 메인 버랙터 회로(162)의 캐패시턴스-전압 특성들 및 온도 보상 버랙터 회로(163)의 캐패시턴스-전압 특성을 도시하는 도면이다. 라인(185)은 메인 버랙터 회로(162)의 캐패시턴스-전압 특성을 표현한다. 이 캐패시턴스-전압 특성의 캐패시턴스는 노드 A와 노드 C 사이의 캐패시턴스이다. 이 캐패시턴스-전압 특성의 전압은 버랙터 회로에 걸리는 공통 모드 전압, 즉, 노드 A와 VTUNE 전압 노드 C(175) 사이의 전압 차이고, 여기서 노드 A와 노드 B 상의 전압들은 동일하다. 라인(186)은 온도 보상 버랙터 회로(163)의 캐패시턴스-전압 특성을 표시한다. 이 캐패시턴스-전압 특성의 캐패시턴스는 노드 A와 노드 D 사이의 캐패시턴스이다. 이 캐패시턴스-전압 특성의 전압은 버랙터 회로에 걸리는 공통 모드 전압, 즉, 노드 A와 CTAT 전압 노드 D(176) 사이의 전압 차이고, 여기서 노드들 A 및 B 상의 전압들은 동일하다. 2개의 버랙터 회로들에 걸리는 동일한 공통 모드 전압에 대하여, 2개의 버랙터 회로들은 상이한 기울기들의 캐패시턴스-전압 특성들을 나타낸다. 메인 버랙터 회로(162)의 기울기(188)는 포지티브(positive)인 반면, 온도 보상 버랙터 회로(163)의 기울기(187)는 네거티브(negative)이다. 메인 버랙터 회로(162) 및 온도 보상 버랙터 회로(163)는 주어진 시간에서 상이한 공통 모드 전압들로 동작 중일 수 있지만, 2개의 상이한 버랙터 회로들은 공통 모드 전압의 주어진 변화에 대하여 실질적으로 반대 방식들로 그들의 캐패시턴스들을 변경한다. 2개의 버랙터 회로들의 캐패시턴스-전압 특성들의 기울기들은 반대 부호들을 가진다.

[0023] 도 13은 도 2의 종래의 미세 튜닝 버랙터 회로 6과 비교하여 어떻게 도 8의 미세 튜닝 버랙터 회로(160)가 노드들 A 및 B 상에서의 공통 모드 잡음에 대하여 더 적은 민감성을 가지는지를 도시하는 도면이다. 예를 들어, VBIAS의 전압이 전력 공급기 잡음에 기인하여 (VTUNE 및 CTAT가 일정하게 남을 것을 가정하여) 증가한다면, 노드들 A 및 B 상의 전압은 증가할 것이다. 이것은 전압이 노드들 A와 B 둘 다에 공통이기 때문에 공통 모드 잡

음으로 지칭된다. 노드들 A 및 B 상의 전압의 증가는 포지티브 기울기를 가지는 메인 버랙터 회로(162)의 캐패시턴스-전압 특성에 기인하여 노드들 A와 B에 걸리는 캐패시턴스의 증가를 초래할 것이다. 그러나, 도 8의 신규한 회로에서, 노드들 A 및 B 상의 전압의 증가는 또한 온도 보상 버랙터 회로(163)에 의해 제공된 노드들 A 및 B에 걸리는 캐패시턴스의 감소를 야기할 것이다. 공통 모드 잡음에 기인한 노드들 A 및 B에 걸리는 캐패시턴스 상의 온도 보상 버랙터 회로(163)의 효과는 공통 모드 잡음에 기인한 노드들 A 및 B에 걸리는 캐패시턴스 상의 메인 버랙터 회로(162)의 효과들을 완전히 보상하거나 또는 부분적으로 보상할 수 있다.

[0024] 도 14는 어떻게 도 2의 종래 기술의 버랙터 회로 6이 노드들 A 및 B 상에서의 공통 모드 잡음에 대하여 더 많은 민감성을 가지는지를 도시하는 도면이다. VBIAS의 증가는 메인 버랙터 회로 및 온도 보상 버랙터 회로 둘 다의 버랙터들에 걸리는 공통 모드 전압이 증가하게 할 것이다. 메인 버랙터 회로 및 온도 보상 버랙터 회로 둘 다의 캐패시턴스-전압 특성들의 기울기들이 동일한 부호이기 때문에, 메인 버랙터 회로에 기인한 노드 A와 노드 B 사이의 캐패시턴스의 증가는 온도 보상 버랙터 회로에 의해 카운터(counter)되지 않고, 오히려, 증가는 온도 보상 버랙터 회로의 버랙터들의 캐패시턴스들이 또한 증가하기 때문에 추가로 악화된다.

[0025] 도 15는 제 1의 신규한 양상의 제 2 예에 따른 VCO(139)의 미세 튜닝 버랙터 회로(160)의 도면이다. 온도 보상 버랙터 회로(163) 내의 P-타입 버랙터들을 제공함으로써 메인 버랙터 회로(162) 상에서의 공통 모드 잡음 전압의 효과들에 대응하기 보다는, N-타입 버랙터들(200 및 201)이 제공되지만, 온도 보상 버랙터 회로(163)의 N-타입 버랙터들(200 및 201)의 접속들은 그들이 도 15에 도시된 바와 같이 접속되도록 반전된다. 버랙터들은 2개의 단자 디바이스들이다. 따라서, 버랙터들로의 접속들을 반전하는 것은 캐패시턴스-전압 특성의 반전을 초래한다. 이 효과는 y 차원에서 축을 중심으로 캐패시턴스-전압 특성을 미러링(mirror)하는 것으로 간주될 수 있다. 따라서, 버랙터의 캐패시턴스-전압 특성의 기울기는 부호가 변경된다. 따라서, 도 11 및 도 12의 도면들은 또한 도 15의 제 2 예를 설명한다. 버랙터들(200 및 201)이 버랙터들(177 및 178)의 N-타입 채널 영역들과 동일한 N-타입 채널 영역들을 가지지만, 버랙터들(200 및 201)이 노드 D(176)에서 함께 접속된 그들의 게이트 단자들(202 및 203)을 가진다는 점을 도 15에서 주목하여야 한다. 버랙터(200)의 공통 소스-드레인 단자(204)는 노드 A에서 버랙터(177)의 게이트 단자에 커플링된다. 버랙터(201)의 공통 소스-드레인 단자(205)는 노드 B에서 버랙터(178)의 게이트 단자에 커플링된다.

[0026] 도 16은 도 4의 더블 얇은 산화물 트랜지스터 종래 기술 VCO 및 도 8의 VCO(139)에 대한 VCO 위상 잡음의 비교를 도시하는 표이다. "TT/55"는 섭씨 55도에서의 전형적인 프로세스 코너를 표시한다. "SS/110"은 섭씨 110도에서의 슬로우 프로세스 코너를 표시한다.

[0027] 도 17은 도 4의 더블 얇은 산화물 트랜지스터 종래 기술 VCO 및 도 8의 VCO(139)에 대한 VCO 위상 잡음의 비교를 도시하는 플롯이다. 라인(206)은 도 4의 종래의 VCO의 VCO 위상 잡음을 표현한다. 라인(207)은 도 8의 VCO(139)의 VCO 위상 잡음을 표현한다. 약 1kHz 내지 약 10MHz 범위 어디든지 동작 주파수들에 대하여, 도 8의 VCO(139)는 종래 기술 VCO와 비교하여 약 1dB의 위상 잡음 개선을 나타낸다.

[0028] 도 18은 메인 버랙터 회로를 온도 보상하는 방법(300)의 흐름도이다. VCO는 미세 튜닝 신호를 제 1 버랙터 회로에 공급함으로써 튜닝된다(단계 301). 제 1 버랙터 회로는 제 1 기울기의 제 1 캐패시턴스-전압 특성을 가진다. 일례에서, 제 1 버랙터 회로는 도 8의 메인 버랙터 회로(162)이다. 다른 예에서, 제 1 버랙터 회로는 도 15의 메인 버랙터 회로(162)이다. VCO는 온도 보상 신호를 제 2 버랙터 회로에 공급함으로써 온도 보상된다(단계 302). 제 2 버랙터 회로는 제 1 버랙터 회로와 병렬로 커플링된다. 제 2 버랙터 회로는 제 1 기울기와 반대인 제 2 기울기의 제 2 캐패시턴스-전압 특성을 가진다. 일례에서, 제 2 버랙터 회로는 도 8의 온도 보상 버랙터 회로(163)이다. 다른 예에서, 제 2 버랙터 회로는 도 15의 온도 보상 버랙터 회로(163)이다.

[0029] 도 19는 종래의 대략 튜닝 스위칭가능한 캐패시터 회로의 도면이다. VCO가 발진함에 따라, 노드 19와 노드 20 사이에 큰 3.0 볼트 AC 피크-투-피크 전압 스윙이 존재할 수 있다. 트랜지스터 21을 통한 누설 및 노드 27에서의 기생들 및 다른 효과들에 기인하여 캐패시터 26 양단에 전압 강하가 존재한다. 유사하게, 트랜지스터 21을 통한 누설 및 노드 29에서의 기생들 및 다른 효과들에 기인하여 캐패시터 28 양단에 전압 강하가 존재한다. 그럼에도 불구하고, 종래의 회로 내의 트랜지스터 21은 2.6 볼트만큼 높게 AC 피크-투-피크 소스-투-드레인 전압을 경험할 수 있다.

[0030] 도 20은 제 2의 신규한 양상에 따른 도 8의 VCO(139)의 높은 브레이크다운 전압 대략 튜닝 스위칭가능한 캐패시터 회로(165)의 도면이다. 제 1 캐패시터(401)의 제 1 리드는 제 1 트랜지스터(400)의 소스에 커플링된다. 제 1 캐패시터(401)의 제 2 리드는 노드 E(198)에 커플링된다. 제 2 캐패시터(402)의 제 1 리드는 제 1 트랜지스터(400)의 드레인에 커플링된다. 제 2 캐패시터(402)의 제 2 리드는 노드 F(199)에 커플링된다. 소스 및 드레

인이라는 용어들은 여기서 상호교환가능하게 사용된다.

[0031] 제 1 트랜지스터(400), 제 1 캐패시터(401), 제 2 캐패시터(402) 및 저항기들(403-405)과 더불어, 트랜지스터(400)에 걸리는 전압 분배 캐패시턴스를 제공하기 위한 회로(406)가 제공된다. 캐패시티브 전압 디바이더 회로(406)는 도 20에 도시된 바와 같이 상호접속된 제 2 트랜지스터(407), 제 3 캐패시터(408), 제 4 캐패시터(409) 및 3개의 저항기들(410-412)을 포함한다. 제 3 캐패시터(408)의 제 1 리드는 제 2 트랜지스터(407)의 소스에 커플링된다. 제 3 캐패시터(408)의 제 2 리드는 제 1 트랜지스터(400)의 소스에 커플링된다. 유사하게, 제 4 캐패시터(409)의 제 1 리드는 제 2 트랜지스터(407)의 드레인에 커플링된다. 제 4 캐패시터(409)의 제 2 리드는 제 1 트랜지스터(400)의 드레인에 커플링된다.

[0032] 제 1 트랜지스터(400) 및 제 2 트랜지스터(407)는 얇은 산화물 트랜지스터들이다. 트랜지스터(407)가 온이고 도전되면, 캐패시턴스(직렬 접속된 캐패시터들(408 및 409)의 등가의 캐패시턴스)는 노드들(413 및 414)에 걸쳐 커플링된다. +1.5 볼트가 노드 E(198) 상에 존재하고, -1.5 볼트가 노드 F(199) 상에 존재하는 메인 스위치 트랜지스터(400)가 오프된 상황을 고려하기로 한다. 이것은 VCO가 발진 중일 때 최대 전압이 노드들(198 및 199) 사이에 존재할 때의 상태이다. 캐패시티브 전압 디바이더는 캐패시터(401), 회로(406)의 캐패시턴스 및 캐패시터(402)에 의해 형성된다. 이러한 캐패시티브 전압 디바이더는, 도 19의 종래의 회로 내의 트랜지스터 21 양단에 존재하는 더 높은 2.6 볼트와 비교하여, 도시된 바와 같이 노드(413)와 노드(414) 사이의 전압을 약 2.0 볼트로 감소시킨다. 캐패시터들(401 및 402)의 캐패시턴스를 LC 탱크의 외부로 스위칭하기 위해서, 트랜지스터(400)는 디지털 신호 EN[1]을 디지털 로직 로우로 셋팅함으로써 그리고 디지털 신호 ENB[1]을 디지털 로직 하이로 셋팅함으로써 턴오프된다. EN[1]은 컨덕터(415)(도 7의 N개의 컨덕터들(149) 중 하나) 상에 수신된다. ENB[1]은 컨덕터(416)(도 7의 N개의 컨덕터들(147) 중 하나) 상에 수신된다. 디지털 신호 ON은 디지털 로직 하이로 세팅되고, 디지털 신호 ONB는 회로(406)를 인에이블하도록 디지털 로직 로우로 세팅된다. 다른 한편, 캐패시터들(401 및 402)의 캐패시턴스가 LC 탱크로 스위칭될 것이면, 트랜지스터(400)는 EN[1]을 하이로 그리고 ENB[1]을 로우로 세팅함으로써 턴온된다.

[0033] VCO(139)는 노드(198)와 노드(199) 사이의 AC 피크-대-피크 전압 스윙이 하이(예를 들어, 3.0 볼트)인 제 1 모드(낮은 위상 잡음 모드)를 가질 수 있고, 노드(198)와 노드(199) 사이의 AC 피크-대-피크 전압 스윙이 하이인 것이 아닌(예를 들어, 2.0 볼트) 제 2 모드(낮은 전력 모드)를 가질 수 있다. 제 2 모드에서, 신호들 ON 및 ONB는 회로(406)를 디스에이블하도록 저항적으로 각각 로우이고 하이이다. 대략 튜닝 뱅크(161)를 형성하기 위해서 병렬로 함께 커플링된 실질적으로 동일한 구성의 다수의 스위칭가능한 캐패시터 회로들이 존재한다. 모든 이 스위칭가능한 캐패시터 회로들 내의 회로(406)는 디지털 신호들 ON 및 ONB에 의해 함께 제어된다. 그러나, 스위칭가능한 캐패시터 회로들의 메인 트랜지스터들은 독립적으로 제어된다. 각각의 스위칭가능한 캐패시터 회로의 메인 트랜지스터에는 자기 자신의 인에이블 신호들 EN 및 ENB가 공급된다. 도 8에서의 신호들 EN[1:N] 및 ENB[1:N]는 대략 튜닝 캐패시터 뱅크(161)의 N개의 스위칭가능한 캐패시터 회로들을 독립적으로 제어하기 위한 이 인에이블 제어 신호들의 N개의 세트들을 표현한다.

[0034] 도 21은 도 2의 종래의 스위칭가능한 캐패시터 회로 내의 그리고 도 20의 높은 브레이크다운 스위칭가능한 캐패시터 회로 내의 메인 트랜지스터에 걸리는 최대 전압을 설명하는 표이다. 표의 값들은 노드 E(198)와 노드 F(199) 사이의 3.0 볼트 AC 피크-대-피크 전압에 대한 것이다.

[0035] 도 22는 대략 튜닝 캐패시터 뱅크(161)의 더 상세한 도면이다. 다양한 스위칭가능한 캐패시터 회로들의 제 1 및 제 2 캐패시터들의 캐패시턴스 값들은 전형적으로 바이너리 가중된다. 제 1 스위칭가능한 캐패시터 회로는 1pF의 캐패시터들을 가지고, 제 2 스위칭가능한 캐패시터 회로는 2pF의 캐패시터들을 가지며, 제 3 스위칭가능한 캐패시터 회로는 4pF의 캐패시터들을 가지는 등의 식이다.

[0036] 도 23은 도 20의 스위칭가능한 캐패시터 회로(165)의 동작을 예시하는 표이다. 회로(406)는 제 1 모드(높은 전압 모드 또는 낮은 위상 잡음 모드)에서 인에이블된다. 회로(406)는 제 2 모드(낮은 전압 모드 또는 낮은 전력 모드)에서 디스에이블된다. 스위칭가능한 캐패시터 회로(165)는 그것의 캐패시턴스를 LC 탱크의 내부로 또는 LC 탱크의 외부로 스위칭 인하거나 또는 스위칭 아웃하도록 제어가능하다. 제 1 모드에서, 캐패시턴스가 LC 탱크의 외부로 스위칭될 때, 스위칭가능한 캐패시터 회로(165)는 노드(198)와 노드(199) 사이에 0.1pF를 부가하는 반면, 캐패시턴스가 스위칭 인될 때, 스위칭가능한 캐패시터 회로(165)는 노드(198)와 노드(199) 사이에 0.5pF를 부가한다. 제 2 모드에서, 캐패시턴스가 스위칭 아웃될 때, 스위칭가능한 캐패시터 회로(165)는 노드(198)와 노드(199) 사이에 0.02pF를 부가하는 반면, 캐패시턴스가 스위칭 인될 때, 스위칭가능한 캐패시터 회로(165)는 노드(198)와 노드(199) 사이에 0.5pF를 부가한다. 표에 제공된 수식들이 이상적인 캐패시터들이 사용되고

있다고 가정하지만, 실제 회로에서 다양한 노드들로부터 다른 다양한 노드들로의 많은 기생들이 존재하고, 이 기생들은 상당하다. 따라서, 전압들은 실제 회로를 구성하고 그것을 테스팅하거나, 또는 SPICE와 같은 회로 시뮬레이터를 사용하여 그것을 시뮬레이팅함으로써 최상으로 결정된다.

[0037] 도 24는 캐패시티브 전압 분배 회로들(예를 들어, 회로(406))이 항상 인에이블되는 대략 튜닝 캐패시터 뱅크(161)의 도면이다. 도 24의 예에서, 어떠한 트랜지스터도 회로(406)에 제공되지 않고, 오히려 단지 하나의 캐패시터(417)가 도시된 바와 같이 제공된다. 이 캐패시터(417)는 노드(413)에서의 메인 트랜지스터의 소스와 노드(414)에서의 메인 트랜지스터(400)의 드레인 사이에 영구적으로 커플링된다.

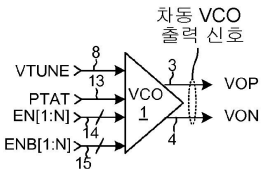
[0038] 도 25는 높은 전압들에 기인하여 브레이크다운으로부터 그리고 손상으로부터 스위칭가능한 캐패시터 회로 내의 메인 트랜지스터를 보호하기 위한 방법(500)의 흐름도이다. 제 1 트랜지스터, 제 1 캐패시터 및 제 2 캐패시터가 제공된다(단계 501). 일례에서, 제 1 트랜지스터는 도 20의 제 1 트랜지스터(400)이고, 제 1 캐패시터는 도 20의 제 1 캐패시터(401)이며, 제 2 캐패시터는 도 20의 제 2 캐패시터(402)이다. 제 1 트랜지스터는 제 1 노드와 제 1 트랜지스터의 소스 사이에 커플링된다. 제 2 트랜지스터는 제 1 트랜지스터의 드레인과 제 2 노드 사이에 커플링된다. 제 2 트랜지스터, 제 3 캐패시터 및 제 4 캐패시터가 제공된다(단계 502). 제 2 트랜지스터가 온이고 도전될 때, 캐패시티브 전압 디바이더는 제 1 노드와 제 2 노드 사이에 형성된다. 캐패시티브 전압 디바이더는 제 1 캐패시터의 직렬 커플링, 제 3 및 제 4 캐패시터들의 직렬 등가물 및 제 2 캐패시터를 포함한다. 제 1 메인 트랜지스터가 오프일 때, 이 캐패시티브 전압 디바이더는 제 1 메인 트랜지스터에 걸리는 최대 전압을 감소시키도록 작용한다. 일례에서, 제 2 트랜지스터는 도 20의 제 2 트랜지스터(407)이고, 제 3 캐패시터는 도 20의 제 3 캐패시터(408)이며, 제 4 캐패시터는 도 20의 제 4 캐패시터(409)이다. 일례에서, 제 2 트랜지스터는 제 1 모드(높은 전압 및 낮은 위상 잡음 모드)에서의 동작을 위해서 턴온될 수 있고, 제 2 트랜지스터는 제 2 모드(낮은 전압 및 더 낮은 전력 모드)에서의 동작을 위해서 턴오프될 수 있다.

[0039] 하나 또는 둘 이상의 예시적인 실시예들에서, 설명된 기능들은 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 임의의 조합으로 구현될 수 있다. 소프트웨어로 구현되는 경우, 기능들은 컴퓨터 판독가능한 매체 상에 하나 또는 둘 이상의 명령들 또는 코드로서 저장될 수 있거나 또는 송신될 수 있다. 컴퓨터 판독가능한 매체는 컴퓨터 저장 매체, 및 한 장소에서 다른 장소로의 컴퓨터 프로그램의 전달을 용이하게 하는 임의의 매체를 포함하는 통신 매체 둘 다를 포함한다. 저장 매체는 컴퓨터에 의해 액세스될 수 있는 임의의 이용가능한 매체일 수 있다. 제한이 아닌 예시로서, 이러한 컴퓨터 판독가능한 매체는 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 저장소, 자기 디스크 저장소 또는 다른 자기 저장 디바이스들, 또는 명령들이나 또는 데이터 구조들의 형태로 원하는 프로그램 코드를 전달하거나 또는 저장하는데 사용될 수 있고, 컴퓨터에 의해 액세스될 수 있는 임의의 다른 매체를 포함할 수 있다. 또한, 임의의 접속수단이 컴퓨터 판독가능한 매체로 적절히 지칭된다. 예를 들어, 소프트웨어가 동축 케이블, 광섬유 케이블, 트위스티드 페어(twisted pair), 디지털 가입자 회선(DSL), 또는 (적외선, 라디오, 및 마이크로웨이브와 같은) 무선 기술들을 사용하여 웹사이트, 서버, 또는 다른 원격 소스로부터 송신되는 경우, 동축 케이블, 광섬유 케이블, 트위스티드 페어, DSL, 또는 (적외선, 라디오, 및 마이크로웨이브와 같은) 무선 기술들이 매체의 정의 내에 포함된다. 본 명세서에서 사용되는 바와 같은 디스크(disk) 및 디스크(disc)는 컴팩트 디스크(disc)(CD), 레이저 디스크(disc), 광 디스크(disc), 디지털 다목적 디스크(disc)(DVD), 플로피 디스크(disk) 및 블루-레이 디스크(disc)를 포함하며, 여기서 디스크(disk)들은 통상적으로 데이터를 자기적으로 재생하는 반면, 디스크(disc)들은 레이저들을 사용하여 데이터를 광학적으로 재생한다. 위의 것들의 조합들이 또한 컴퓨터 판독가능한 매체의 범위 내에 포함되어야 한다. 일 특정 예에서, 도 5의 메모리(208)는 한 세트의 프로세서 판독가능한 명령들(209)을 저장하는 프로세서 판독가능한 매체이다. 프로세서(210)는 프로세서 판독가능한 명령들을 판독 및 실행하고, 이에 의해 직렬 버스 인터페이스(211), 직렬 버스(123), 직렬 버스 인터페이스(124) 및 디지털 제어 신호들 ON, ONB, EN[1:N] 및 ENB[1:N]를 통해 VCO(139)를 제어한다. 프로세서(210)는 도 18의 방법 및 도 25의 방법이 수행되도록 이 방식으로 VCO(139)를 제어한다. 프로세서(210)는 VCO(139)를 대략 튜닝하고, VCO로 하여금 높은 전압 제 1 모드와 낮은 전압 제 2 모드 사이에서 스위칭하게 한다.

[0040] 특정한 특정 실시예들이 가르침을 위해서 위에서 설명되지만, 이 특허 문서의 교시들은 일반적인 적용가능성을 가지며, 위에서 설명된 특정 실시예들에 제한되지 않는다. 따라서, 설명된 특정 실시예들의 다양한 특징들의 다양한 변경들, 적응들 및 조합들이 아래에서 설명되는 청구항들의 범위로부터 벗어나지 않으면서 실시될 수 있다.

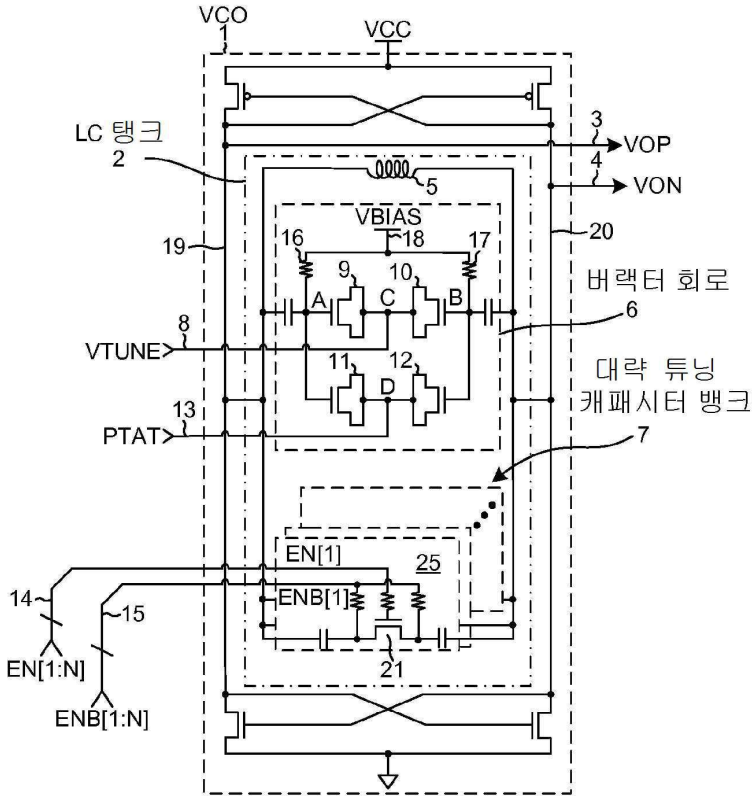
도면

도면1



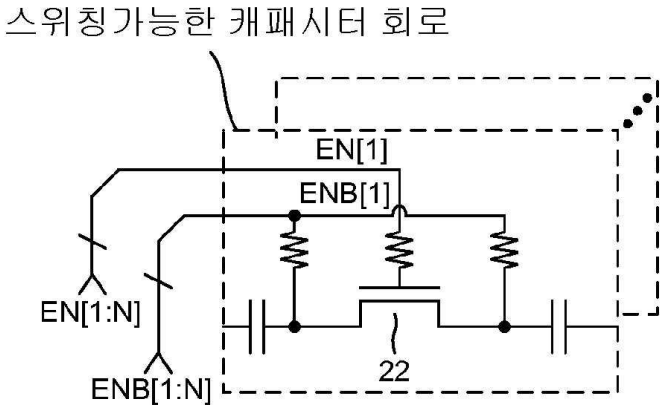
(종래 기술)

도면2



(종래 기술)

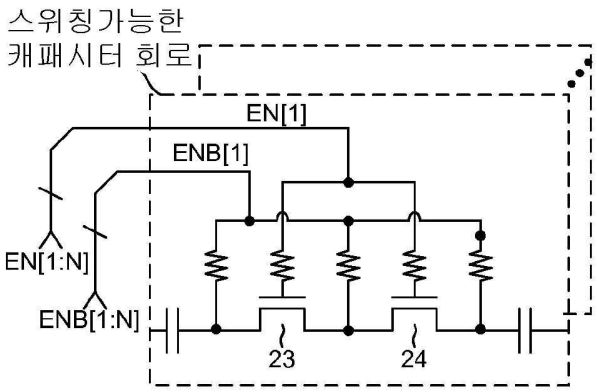
도면3



두꺼운 산화물 트랜지스터를 가지는
대략 튜닝 스위치 회로

(종래 기술)

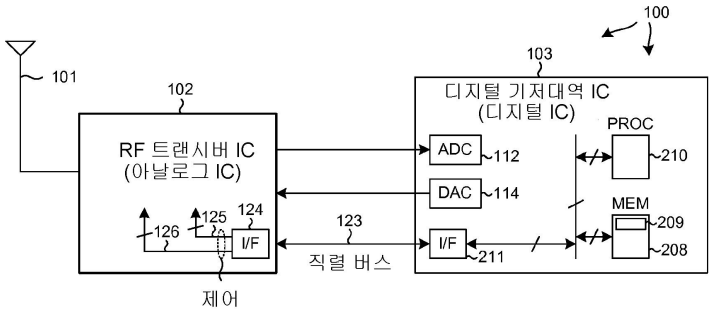
도면4



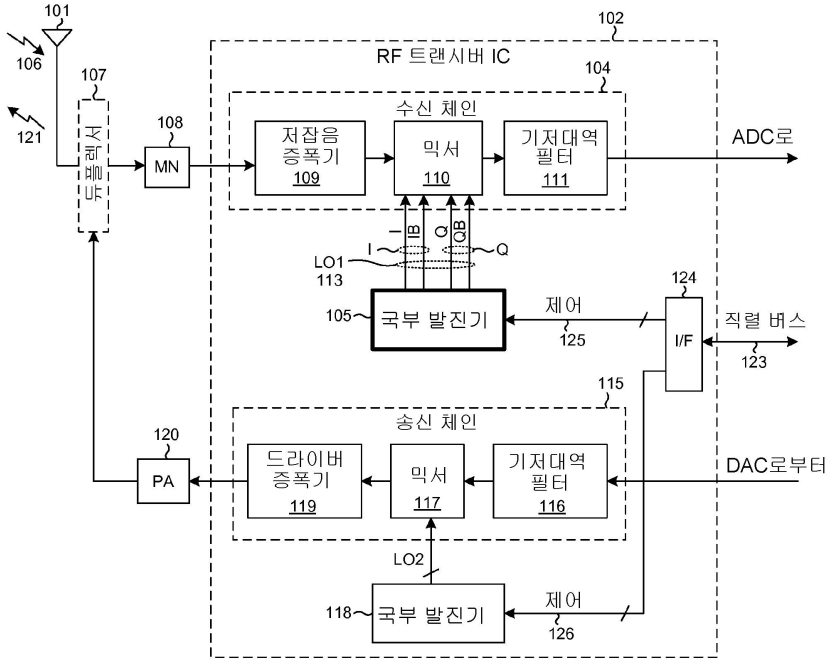
두 개의 얇은 산화물 트랜지스터들을
가지는 대략 튜닝 스위치 회로

(종래 기술)

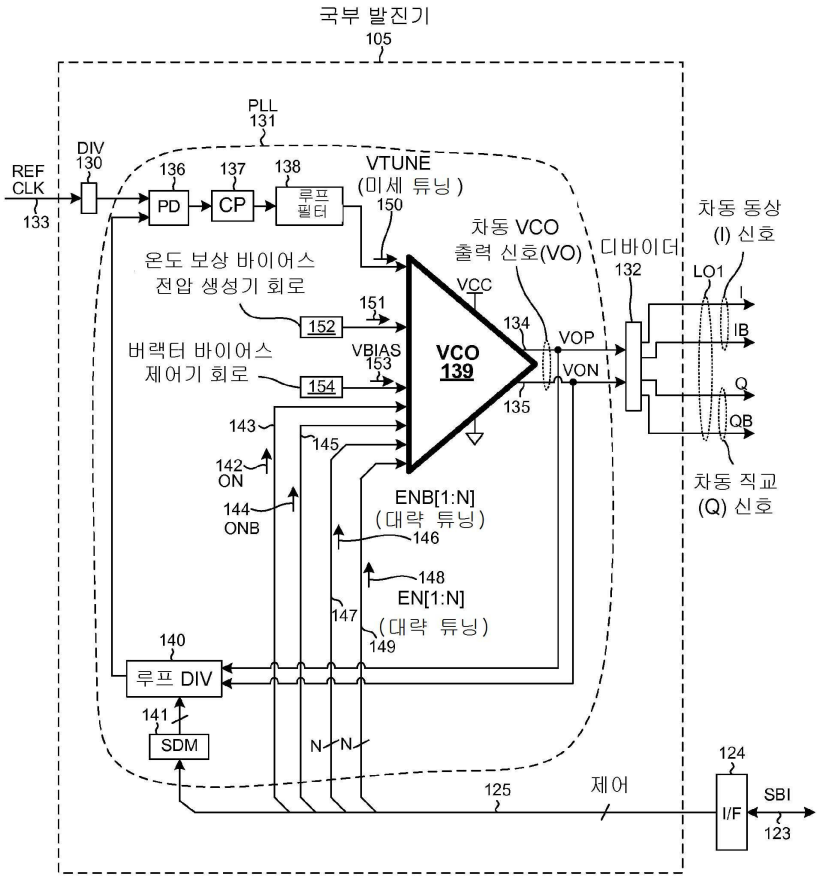
도면5


100
101
102
RF 트랜시버 IC
(아날로그 IC)
103
디지털 기저대역 IC
(디지털 IC)
PROC
ADC
112
210
DAC
114
MEM
209
208
125
124
126
I/F
123
I/F
211
직렬 버스
제어

도면6

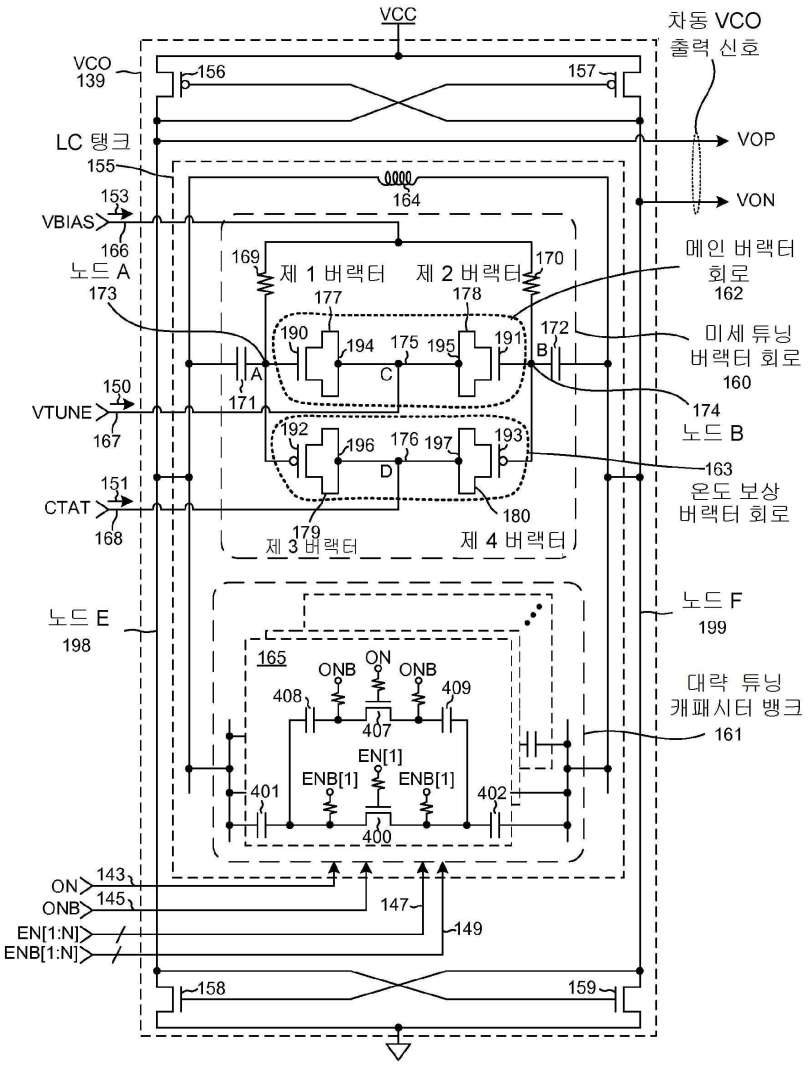

101
106
121
107
듀플렉서
108
MN
102
RF 트랜시버 IC
104
수신 체인
저잡음
증폭기
109
믹서
110
기저대역
필터
111
ADC로
LO1
113
I
IB
Q
QB
Q
105
국부 발진기
제어
125
124
I/F
직렬 버스
123
115
송신 체인
120
PA
드라이버
증폭기
119
믹서
117
기저대역
필터
116
DAC로부터
LO2
118
국부 발진기
제어
126

도면7



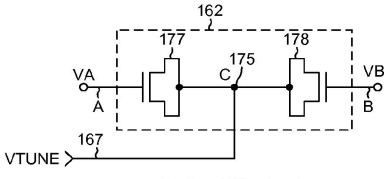
낮은 위상 잡음 멀티-모드 VCO를 가지는 국부 발진기

도면8



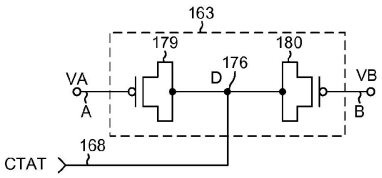
반대의 도전성 타입의
온도 보상 버랙터들을 가지는 VCO의 LC 탱크

도면9



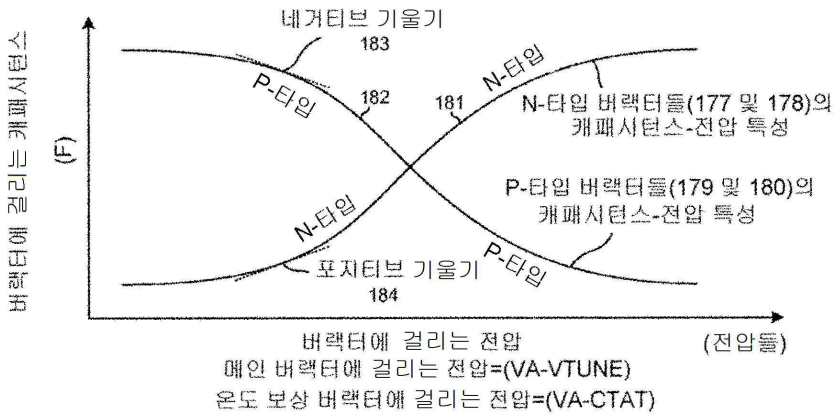
메인 버랙터 회로

도면10



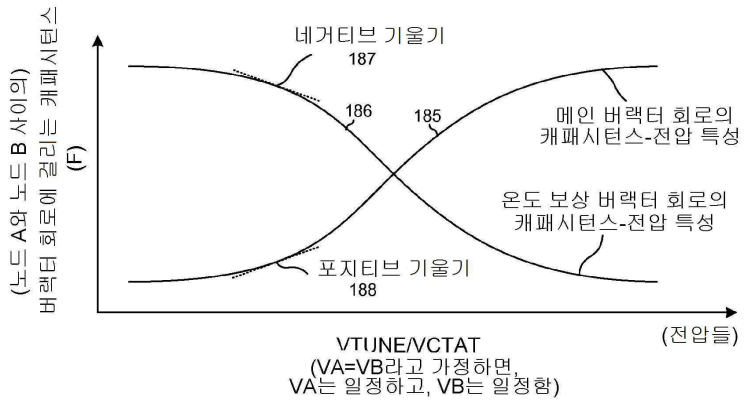
온도 보상 버랙터 회로

도면11



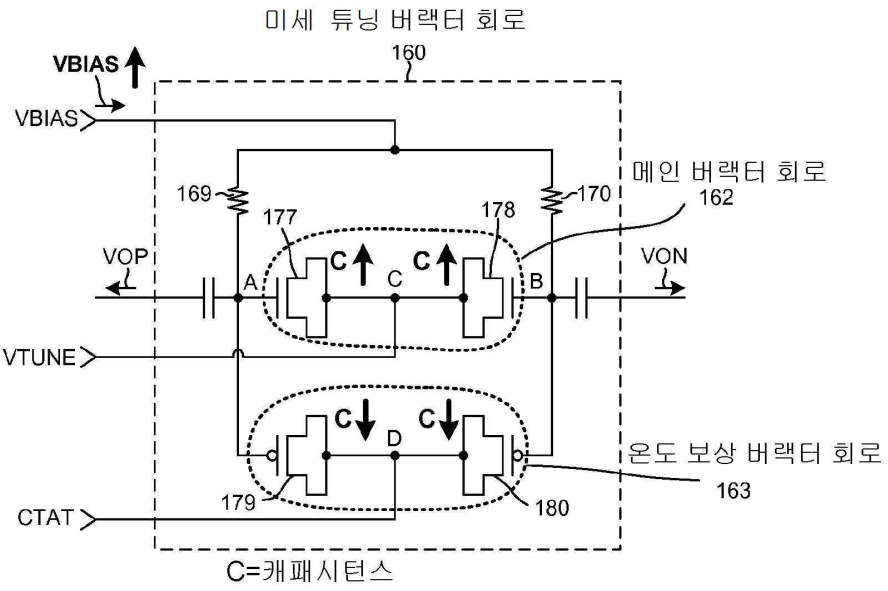
버랙터들의 캐패시턴스-전압 변화 특성

도면12



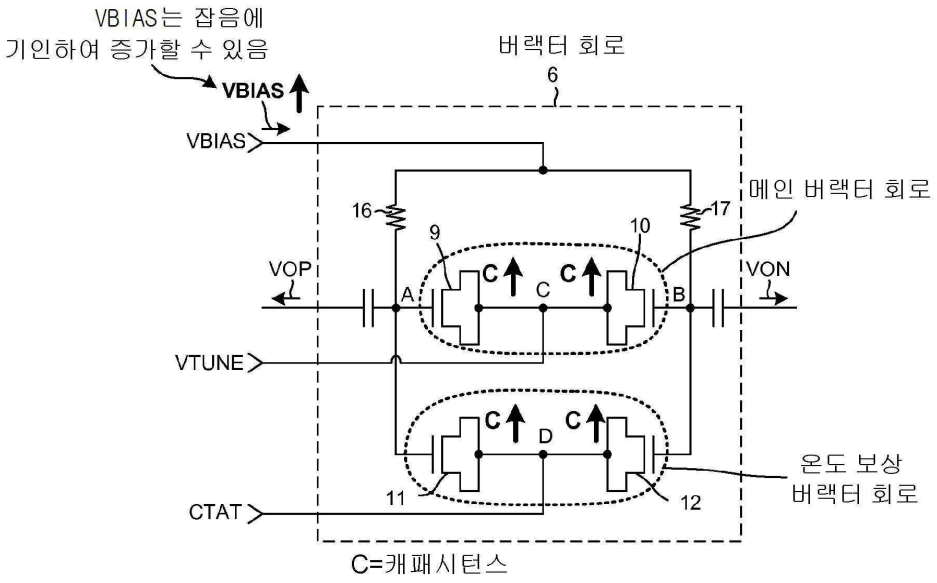
버랙터 회로들의 캐패시턴스-전압 변화 특성

도면13



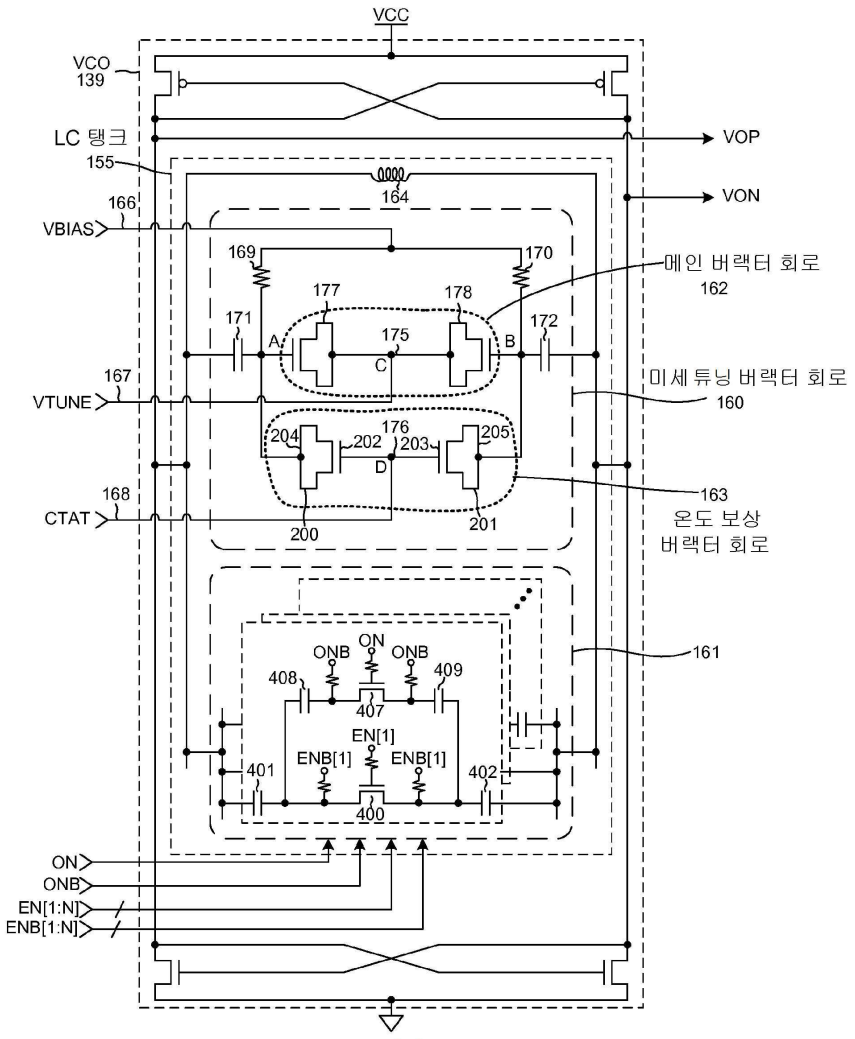
VBIAS의 증가에 기인한
버랙터들의 캐패시턴스들의 변화

도면14



VBIAS의 증가에 기인한
버랙터들의 캐패시턴스들의 변화

도면15



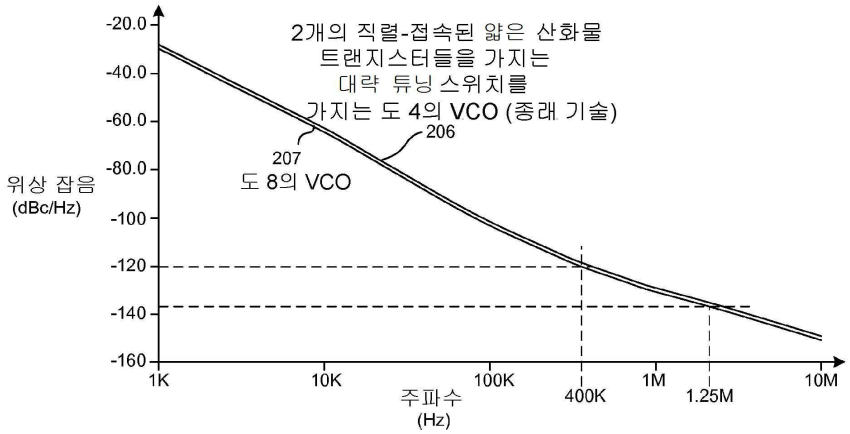
동일한 도전성 타입의
온도 보상 버랙터들을 가지는 VCO의 LC 탱크

도면16

		VCO 주파수 (GHz)	PN @400kHz (dBc/Hz)	PN @1.25MHz (dBc/Hz)	PN 개선 (dB)
도 4의 VCO (종래 기술)	TT/55	4.01	-121.87	-133.61	–
도 8의 VCO	TT/55	4.00	-122.78	-134.73	1.12
	SS/110	4.00	-121.37	-132.98	–
	SS/110	4.01	-122.28	-133.95	0.97

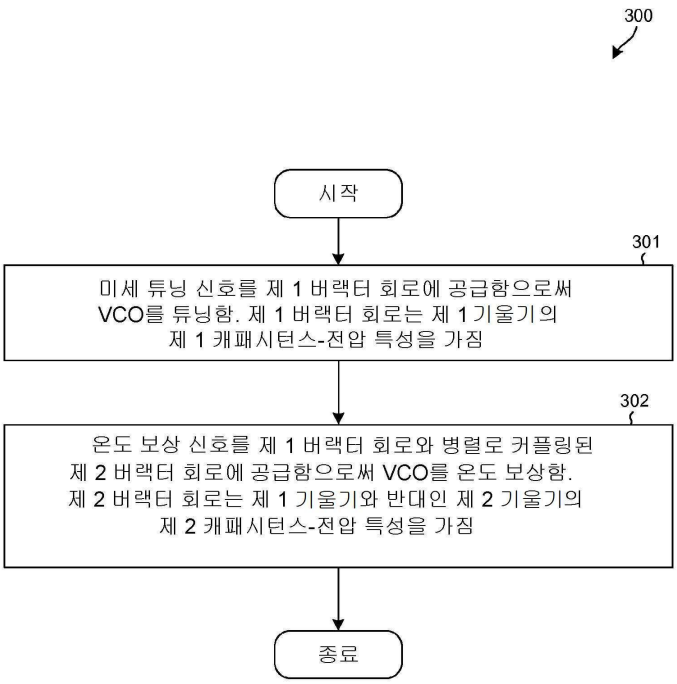
PN=VCO 위상 잡음

도면17

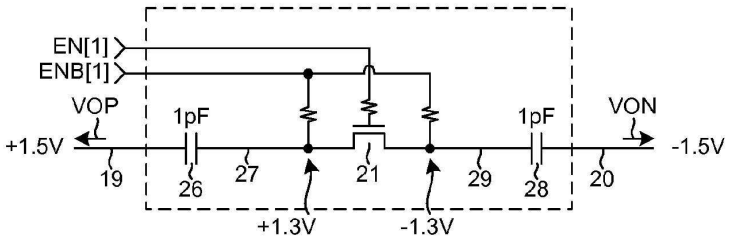


위상 잡음 대 주파수

도면18

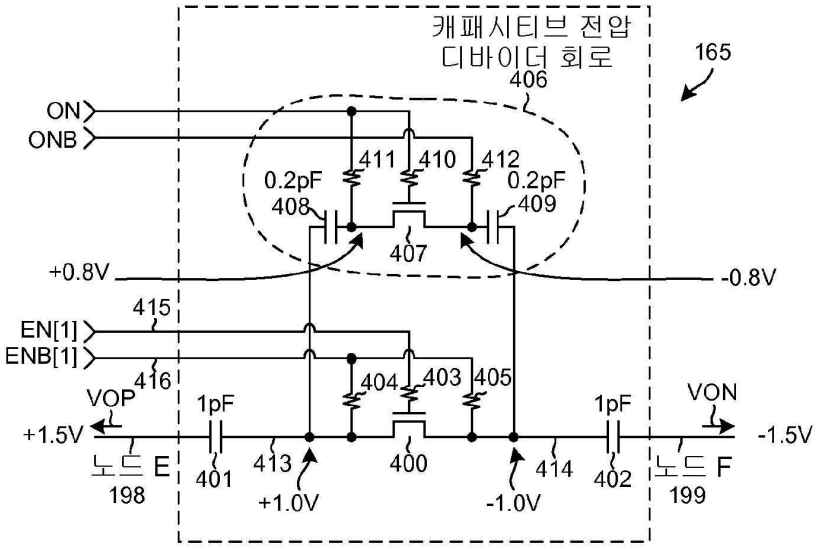


도면19



종래의 대략 튜닝스위칭가능한 캐패시터 회로

도면20

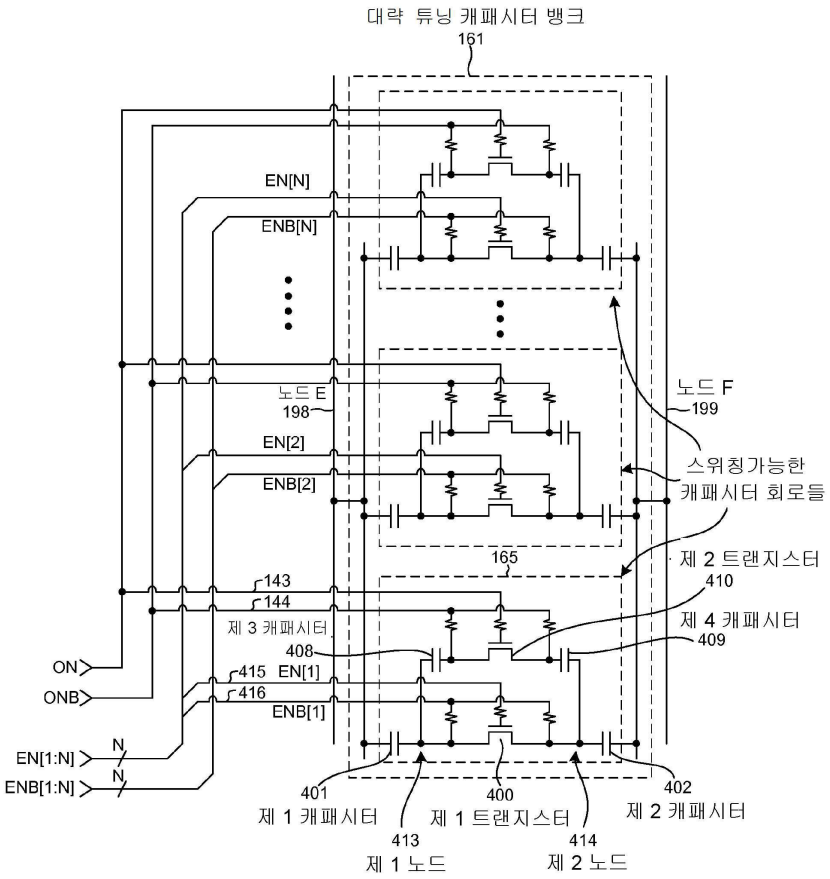


높은 브레이크다운 전압 대략 튜닝 스위칭가능한 캐패시터 회로

도면21

	종래의 대략 튜닝 스위칭가능한 캐패시터 회로(종래 기술) 도 2	높은 브레이크다운 전압 대략 튜닝 스위칭가능한 캐패시터 회로 도 20
메인 스위치에 걸리는 최대 전압 (메인 스위치 오프)	2.6V	2.0V
메인 스위치 S-D 오프 캐패시턴스	1.0 PF	1.0 PF

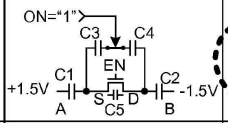
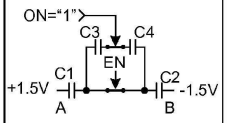
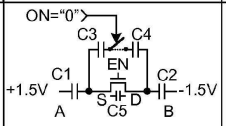
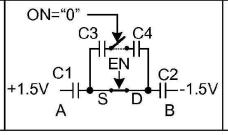
도면22



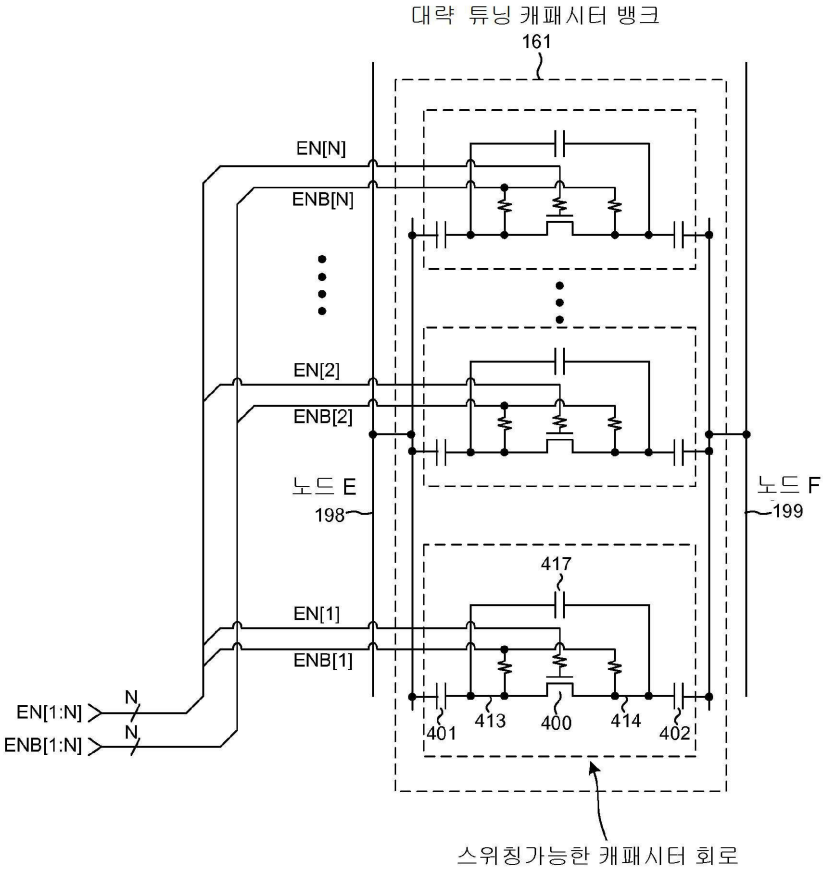
대략 튜닝 캐패시터 뱅크

도면23

캐패시티브 전압 디바이더 효과에 기인한 메인 트랜지스터 양단의 감소된 전압 강하

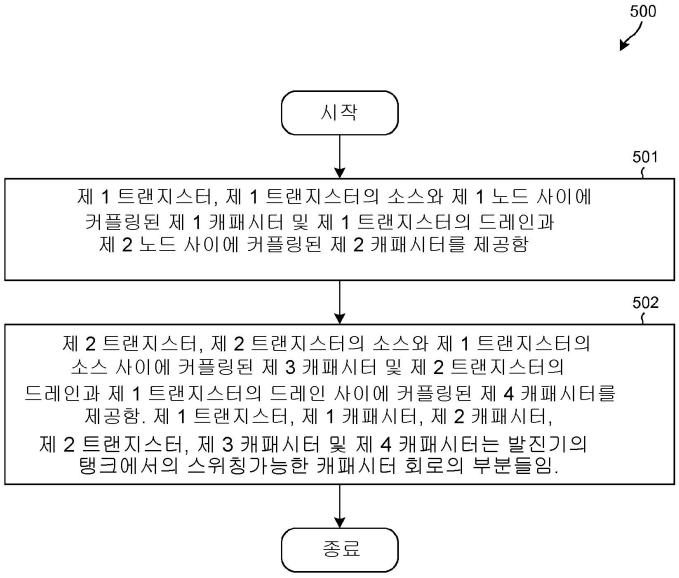
	ON	EN	간략화된 스위칭가능한 캐패시터 회로	메인 트랜지스터 양단의 VDS 전압 강하	노드 A와 노드 B 사이의 캐패시턴스
제 1 모드 (HV 모드)	"1"	"0"		$1.5\left(\frac{C1}{C1+C3+2C5}\right)+1.5\left(\frac{C2}{C2+C4+2C5}\right)$ 2.0 볼트	0.1pF
	"1"	"1"		0 볼트	0.5pF
제 2 모드 (LV 모드)	"0"	"0"		$1.5\left(\frac{C1}{C1+2C5}\right)+1.5\left(\frac{C2}{C2+2C5}\right)$ 2.6 볼트	0.02pF
	"0"	"1"		0 볼트	0.5pF

도면24



고정된 캐패시터 전압 디바이더를 가지는
스위칭가능한 캐패시터 회로

도면25


500
시작
501
제 1 트랜지스터, 제 1 트랜지스터의 소스와 제 1 노드 사이에
커플링된 제 1 캐패시터 및 제 1 트랜지스터의 드레인과
제 2 노드 사이에 커플링된 제 2 캐패시터를 제공함
502
제 2 트랜지스터, 제 2 트랜지스터의 소스와 제 1 트랜지스터의
소스 사이에 커플링된 제 3 캐패시터 및 제 2 트랜지스터의
드레인과 제 1 트랜지스터의 드레인 사이에 커플링된 제 4 캐패시터를
제공함. 제 1 트랜지스터, 제 1 캐패시터, 제 2 캐패시터,
제 2 트랜지스터, 제 3 캐패시터 및 제 4 캐패시터는 발진기의
탱크에서의 스위칭가능한 캐패시터 회로의 부분들임.
종료