

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5874723号
(P5874723)

(45) 発行日 平成28年3月2日(2016.3.2)

(24) 登録日 平成28年1月29日(2016.1.29)

(51) Int.Cl.	F I	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 2 G
HO 1 L 29/739 (2006.01)	HO 1 L 29/78	6 5 2 K
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 5 3 C
	HO 1 L 29/78	6 5 5 B
	HO 1 L 29/78	6 5 5 F
請求項の数 13 (全 19 頁) 最終頁に続く		

(21) 出願番号	特願2013-515238 (P2013-515238)	(73) 特許権者	000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号
(86) (22) 出願日	平成24年5月18日(2012.5.18)	(74) 代理人	100104190 弁理士 酒井 昭徳
(86) 国際出願番号	PCT/JP2012/062875	(72) 発明者	吉村 尚 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(87) 国際公開番号	W02012/157772	(72) 発明者	栗林 秀直 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(87) 国際公開日	平成24年11月22日(2012.11.22)	(72) 発明者	小野澤 勇一 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
審査請求日	平成25年11月13日(2013.11.13)		
(31) 優先権主張番号	特願2011-111709 (P2011-111709)		
(32) 優先日	平成23年5月18日(2011.5.18)		
(33) 優先権主張国	日本国(JP)		
最終頁に続く			

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1導電型半導体基体からなる第1導電型ドリフト層と、
 前記第1導電型半導体基体の一方の主面の表面層に形成された第2導電型ベース層と、
 前記第2導電型ベース層の、前記第1導電型半導体基体の一方の主面側の表面層に形成された第1導電型エミッタ層と、
 前記第1導電型半導体基体の一方の主面に設けられ、前記第1導電型エミッタ層、前記第2導電型ベース層および前記第1導電型ドリフト層に接するゲート絶縁膜と、
 前記ゲート絶縁膜を介して、前記第1導電型エミッタ層、前記第2導電型ベース層および前記第1導電型ドリフト層に対向するゲート電極と、
 前記第1導電型ドリフト層、前記第2導電型ベース層、前記第1導電型エミッタ層、前記ゲート絶縁膜、前記ゲート電極からなるMOSゲート構造と、
 前記第1導電型半導体基体の他方の主面に設けられた第2導電型コレクタ層と、
 前記第1導電型ドリフト層と前記第2導電型コレクタ層との間に設けられた、前記第1導電型ドリフト層よりも不純物濃度が高い第1導電型フィールドストップ層と、
 前記第1導電型フィールドストップ層と前記第2導電型コレクタ層との間に設けられた第1導電型バッファ層と、
 を備え、
 前記第1導電型フィールドストップ層のネットドーピング濃度は、前記第1導電型ドリフト層のネットドーピング濃度より高く、

前記第1導電型フィールドストップ層は、前記第1導電型バッファ層との境界側で最大となり、最大となる位置から前記第1導電型半導体基体の一方の主面側に向って濃度勾配の大きさが減少しながら不純物濃度が減少する不純物濃度分布で前記第1導電型ドリフト層に達しており、

前記第1導電型フィールドストップ層の深さが20 μm以上であり、

前記第1導電型バッファ層の最大不純物濃度は、前記第1導電型フィールドストップ層の最大不純物濃度より高い $6 \times 10^{15} \text{ cm}^{-3}$ 以上であり、かつ前記第2導電型コレクタ層の最大不純物濃度の1/10以下であり、

前記第1導電型フィールドストップ層の前記濃度勾配は、前記第1導電型半導体基体の一方の主面側に向うにしたがって小さくなっており、前記第1導電型半導体基体の一方の主面側に近い部分ほど、前記第1導電型半導体基体の一方の主面側に向って緩やかになっていることを特徴とする半導体装置。

10

【請求項2】

前記第1導電型ドリフト層と前記第2導電型ベース層との間のpn接合の位置から、定格電圧の印加によって当該pn接合から前記第1導電型ドリフト層および前記第1導電型フィールドストップ層にわたって広がる空乏層の空乏層端の位置までの、前記第1導電型ドリフト層のネットドーピング濃度および前記第1導電型フィールドストップ層のネットドーピング濃度を積分した不純物総量は、前記空乏層端が前記第1導電型フィールドストップ層の内部に位置するに足る不純物総量であることを特徴とする請求項1に記載の半導体装置。

20

【請求項3】

前記第1導電型フィールドストップ層の不純物濃度分布は、前記第2導電型コレクタ層側から前記第1導電型ドリフト層側へ急峻に不純物濃度が低くなるような第1濃度勾配を有し、かつ、前記第1濃度勾配を有する部分よりも前記第1導電型ドリフト層側の深い部分に、前記第1濃度勾配よりも前記第1導電型ドリフト層側へ緩やかに不純物濃度が低くなるような第2濃度勾配を有することを特徴とする請求項1または2に記載の半導体装置。

【請求項4】

前記第2導電型コレクタ層の最大不純物濃度が $6 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下であることを特徴とする請求項1～3のいずれか一つに記載の半導体装置。

30

【請求項5】

前記第1導電型フィールドストップ層のドーパントがセレンまたは硫黄であることを特徴とする請求項1～4のいずれか一つに記載の半導体装置。

【請求項6】

前記第1導電型バッファ層のドーパントがリンであることを特徴とする請求項1～5のいずれか一つに記載の半導体装置。

【請求項7】

前記第1導電型フィールドストップ層の最大不純物濃度が $3 \times 10^{14} \text{ cm}^{-3}$ 以上 $3 \times 10^{15} \text{ cm}^{-3}$ 以下であることを特徴とする請求項1～6のいずれか一つに記載の半導体装置。

40

【請求項8】

前記第1導電型フィールドストップ層の濃度勾配の大きさが、前記第1導電型フィールドストップ層の最大不純物濃度の位置から前記第1導電型半導体基体の一方の主面側に向って段階的に小さくなることを特徴とする請求項1～6のいずれか一つに記載の半導体装置。

【請求項9】

定格電圧が1200V以上であることを特徴とする請求項6または7に記載の半導体装置。

【請求項10】

第1導電型半導体基体からなる第1導電型ドリフト層と、前記第1導電型半導体基体の

50

一方の主面側に設けられた少なくともゲート電極、ゲート絶縁膜および前記第1導電型半導体基体からなるMOSゲート構造と、前記第1導電型半導体基体の他方の主面に設けられた第2導電型コレクタ層と、前記第1導電型ドリフト層と前記第2導電型コレクタ層との間に設けられた、前記第1導電型ドリフト層よりも不純物濃度が高い第1導電型フィールドストップ層と、前記第1導電型フィールドストップ層と前記第2導電型コレクタ層との間に設けられた、前記第1導電型フィールドストップ層よりも不純物濃度が高い第1導電型バッファ層と、を備えた半導体装置の製造方法であって、

前記第1導電型半導体基体の一方の主面側に前記MOSゲート構造を形成するMOSゲート構造形成工程と、

前記第1導電型半導体基体の他方の主面を研削し、前記第1導電型半導体基体を所定の厚さまで薄くする薄板化工程と、

前記第1導電型半導体基体の研削した面に、前記第1導電型フィールドストップ層、前記第1導電型バッファ層および前記第2導電型コレクタ層を形成するためのそれぞれのドーパントをイオン注入する注入工程と、

前記第1導電型半導体基体の研削した面にイオン注入された複数の前記ドーパントを一括して電気的に活性化させるための熱処理を行う活性化工程と、

前記第1導電型半導体基体の一方の主面に金属電極膜をスパッタリングにより形成し熱処理を行う電極膜形成工程と、

を含み、

前記第1導電型フィールドストップ層が、前記第1導電型バッファ層との境界側で最大となり、最大となる位置から前記第1導電型半導体基体の一方の主面側に向かって濃度勾配の大きさが減少しながら不純物濃度が減少する不純物濃度分布で前記第1導電型ドリフト層に達し、

かつ、前記第1導電型フィールドストップ層の前記濃度勾配が、前記第1導電型半導体基体の一方の主面側に向うにしたがって小さくなり、前記第1導電型半導体基体の一方の主面側に近い部分ほど、前記第1導電型半導体基体の一方の主面側に向かって緩やかになるように、前記注入工程と前記活性化工程とを行い、

前記第1導電型フィールドストップ層を形成するための前記ドーパントはセレンまたは硫黄であることを特徴とする半導体装置の製造方法。

【請求項11】

前記第1導電型フィールドストップ層の濃度勾配の大きさを、前記第1導電型フィールドストップ層の最大不純物濃度の位置から前記第1導電型半導体基体の一方の主面側に向かって段階的に小さくすることを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項12】

前記注入工程では、複数の前記ドーパントとして、前記第1導電型フィールドストップ層を形成するためのセレン、前記第1導電型バッファ層を形成するためのリン、前記第2導電型コレクタ層を形成するためのボロンを順にイオン注入し、

前記活性化工程では、前記熱処理によって複数の前記ドーパントを同時に活性化させることを特徴とする請求項10または11に記載の半導体装置の製造方法。

【請求項13】

前記第1導電型フィールドストップ層のネットドーピング濃度が前記第1導電型ドリフト層のネットドーピング濃度より高く、前記第1導電型フィールドストップ層のネットドーピング濃度と前記第1導電型ドリフト層のネットドーピング濃度との総量が、定格電圧の印加によって前記第1導電型ドリフト層および前記第1導電型フィールドストップ層を広がる空乏層の空乏層端が前記第1導電型フィールドストップ層の内部にあるような不純物量であり、前記第1導電型フィールドストップ層の不純物濃度分布が、前記第1導電型半導体基体の他方の主面側から一方の主面側に向かって低くなるような濃度勾配を有し、前記第1導電型フィールドストップ層の深さが20 μm 以上であり、前記第1導電型バッファ層の最大不純物濃度が、前記第1導電型フィールドストップ層の最大不純物濃度より高い $6 \times 10^{15} \text{ cm}^{-3}$ 以上であり、かつ前記第2導電型コレクタ層の最大不純物濃度の1 /

10

20

30

40

50

10以下となるように、前記注入工程と前記活性化工程とを行うことを特徴とする請求項10～12のいずれか一つに記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置および半導体装置の製造方法に関し、特に、基板裏面側にフィールドストップ層を設けた半導体装置および半導体装置の製造方法に関する。

【背景技術】

【0002】

I G B T (I n s u l a t e d G a t e B i p o l a r T r a n s i s t o r : 絶縁ゲートバイポーラトランジスタ)は、M O S F E T (M e t a l - O x i d e - S e m i c o n d u c t o r F i e l d E f f e c t T r a n s i s t o r) の高速スイッチング特性および電圧駆動特性と、バイポーラトランジスタの低オン電圧特性とをワンチップに構成したパワー素子である。

10

【0003】

I G B T は、F W D (フリーホイーリングダイオード)などと共に用いられることも多く、汎用および電気自動車用のインバータや交流(A C)サーボ、無停電電源(U P S)、スイッチング電源などの産業用機器分野をはじめ、電子レンジ、炊飯器、ストロボなどの民生機器分野へも拡大している。さらに、次世代型へ改良された素子として、よりオン電圧の低いI G B T が開発され、応用装置の低損失化や高効率化が図られている。

20

【0004】

そのようなI G B T として、従来の高価なエピタキシャルウエハに代えて、安価なF Z (F l o a t Z o n e) ウエハからなるF Z - n 型シリコン(S i) 基板を用いた素子が開発されている。さらに、I G B T として、トレンチ型のM O S ゲート(金属 - 酸化膜 - 半導体からなる絶縁ゲート) 構造(以下、トレンチM O S 構造とする) を備えたフィールドストップ(F S) 型I G B T (以下、トレンチ型F S - I G B T とする) が公知である。図5は、従来のF S - I G B T の構成を示す要部断面図である。

【0005】

図5に示すように、トレンチ型F S - I G B T は、n⁻ドリフト層1となるS i 基板のおもて面側に複数のトレンチ11を備える。トレンチ11中には、トレンチ11の内壁に沿ってゲート絶縁膜10が設けられ、ゲート絶縁膜10の内側にゲート電極7が設けられている。S i 基板のトレンチ11間に挟まれた部分にはp ベース層5が設けられ、S i 基板のおもて面側にゲート電極7、ゲート絶縁膜10およびp ベース層5からなるトレンチM O S 構造12が構成されている。

30

【0006】

さらに、p ベース層5の表面層には、n⁺エミッタ領域4およびp⁺コンタクト領域6が選択的に設けられている。n⁺エミッタ領域4は、トレンチ11側面のの上側(開口部側) 端に接するように配置される。n⁺エミッタ領域4とp ベース層5(p⁺コンタクト領域6) との双方にオーミック接触するエミッタ電極9が設けられている。S i 基板の裏面側には、p⁺コレクタ層3、コレクタ電極8が設けられている。p⁺コレクタ層3とn⁻ドリフト層1との間にフィールドストップ(F S) 層2が設けられている。

40

【0007】

n⁻ドリフト層1となるF Z - n 型S i 基板を用いることにより、ウエハコストを低減させることができる。また、F S 層2を設けることにより、S i 基板の厚さをノンパンチスルー(N P) 型I G B T よりも薄くてかつ耐圧に応じた厚さにすることができ、オン電圧を低減させることができる。また、p⁺コレクタ層3を低ドーズ量で深さの浅い低注入コレクタとすることにより、電子線照射などによるライフタイム制御を行わずに高速にターンオフさせることができる。

【0008】

このように、半導体基板のおもて面に高密度に配置したトレンチ11の内壁にM O S ゲ

50

ート構造を設けた構成のトレンチMOS構造12と、半導体基板の裏面にFS層2を設けた構成のFS-IGBTとを組み合わせたトレンチ型FS-IGBTが市場で主流のデバイスとなっている。

【0009】

前述のように、図5に示すトレンチ型FS-IGBTは、FS層2を設けることにより、Si基板(ウエハ)の厚さを薄くしてオン電圧を低減させることができる。しかし、薄いウエハは製造プロセス中に割れ易く良品率が悪化し易いため、製造プロセスへの投入時には薄くされておらず厚いままのウエハが用いられる。その後のプロセスで、ウエハのおもて面側にトレンチMOS構造12を形成した後、耐圧に必要な厚さまでウエハを薄くする。ウエハを薄くするプロセスとして、ウエハを裏面から研削やエッチングなどにより薄くするバックグラインドプロセスが提案されている(例えば、下記特許文献1参照。)

10

【0010】

また、FS-IGBTの耐量を向上させる方法として、FS層またはバッファ層(不図示)を形成するためのドーパントにリン(P)を用いて、低不純物濃度でウエハ裏面側から深い拡散層と、高不純物濃度でウエハ裏面側から浅い拡散層とで構成された二段のバッファ層(FS層)を形成する方法が提案されている(例えば、下記特許文献2参照。)。下記特許文献2では、二段のバッファ層とすることにより、ターンオフ時に発生し易いドレイン電圧およびドレイン電流の振動の発生を防止することができる。また、ウエハを薄くするためのバックグラインド時の研磨量の精度に依存する特性への悪影響を防止することができる。

20

【0011】

さらに、FS-IGBTを形成する方法として、FS層を形成するためのドーパントにリンではなくリンよりも拡散定数の大きいセレン(Se)や硫黄(S)などのn型不純物を用いて、効率的にFS層を低不純物濃度で深い拡散層とする方法が提案されている(例えば、下記特許文献3参照。)

【0012】

また、高耐圧で、短絡電流遮断時の安全動作領域の耐量を向上させたFS-IGBTとして、ドリフト層と空乏層との幅の比と、コレクタ層とバッファ層との不純物濃度の比をそれぞれ規定した構造を備えたFS-IGBTが提案されている(例えば、下記特許文献4参照。)

30

【先行技術文献】

【特許文献】

【0013】

【特許文献1】特開2002-299346号公報(0008段落、図1)

【特許文献2】特開2002-261282号公報(0018段落~0029段落)

【特許文献3】特表2002-520885号公報(0010段落)

【特許文献4】特開2010-56134号公報(0017段落~0025段落)

【発明の概要】

【発明が解決しようとする課題】

【0014】

40

しかしながら、上記特許文献2には、素子破壊耐量を向上させることができる層構造については記載されているが、熱暴走破壊を防止するための層構造やオン電圧のばらつきを抑制するための層構造については言及されていない。また、上記特許文献4では、p+コレクタ層からnバッファ層への正孔の注入効率が大きい層構成とすることにより短絡電流遮断時の安全動作領域の耐量を向上させている。正孔の注入効率が大きくなるということは、逆に漏れ電流が増加する虞があり、熱暴走破壊に至り易いことも示唆される。しかしながら、上記特許文献4では、熱暴走破壊に対して抑制効果のある層構成について明らかにされていない。

【0015】

本発明は、上述した従来技術による問題点を解消するため、短絡発生時の素子破壊耐量

50

の向上と熱暴走破壊の抑制とを両立させることができる半導体装置および半導体装置の製造方法を提供することを目的とする。また、本発明は、上述した従来技術による問題点を解消するため、オン電圧ばらつきをも減少させることができる半導体装置および半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0016】

上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、第1導電型半導体基体からなる第1導電型ドリフト層と、前記第1導電型半導体基体の一方の主面の表面層に形成された第2導電型ベース層と、前記第2導電型ベース層の、前記第1導電型半導体基体の一方の主面側の表面層に形成された第1導電型エミッタ層と、前記第1導電型半導体基体の一方の主面に設けられ、前記第1導電型エミッタ層、前記第2導電型ベース層および前記第1導電型ドリフト層に接するゲート絶縁膜と、前記ゲート絶縁膜を介して、前記第1導電型エミッタ層、前記第2導電型ベース層および前記第1導電型ドリフト層に対向するゲート電極と、前記第1導電型ドリフト層、前記第2導電型ベース層、前記第1導電型エミッタ層、前記ゲート絶縁膜、前記ゲート電極からなるMOSゲート構造と、前記第1導電型半導体基体の他方の主面に設けられた第2導電型コレクタ層と、前記第1導電型ドリフト層と前記第2導電型コレクタ層との間に設けられた、前記第1導電型ドリフト層よりも不純物濃度が高い第1導電型フィールドストップ層と、前記第1導電型フィールドストップ層と前記第2導電型コレクタ層との間に設けられた第1導電型バッファ層と、を備え、前記第1導電型フィールドストップ層のネットドーピング濃度は、前記第1導電型ドリフト層のネットドーピング濃度より高く、前記第1導電型フィールドストップ層が、前記第1導電型バッファ層との境界側で最大となり、最大となる位置から前記第1導電型半導体基体の一方の主面側に向って濃度勾配の大きさが減少しながら不純物濃度が減少する不純物濃度分布で前記第1導電型ドリフト層に達しており、前記第1導電型フィールドストップ層の深さが $20\mu\text{m}$ 以上であり、前記第1導電型バッファ層の最大不純物濃度は、前記第1導電型フィールドストップ層の最大不純物濃度より高い $6 \times 10^{15} \text{ cm}^{-3}$ 以上であり、かつ前記第2導電型コレクタ層の最大不純物濃度の $1/10$ 以下であり、前記第1導電型フィールドストップ層の前記濃度勾配は、前記第1導電型半導体基体の一方の主面側に向うにしたがって小さくなっており、前記第1導電型半導体基体の一方の主面側に近い部分ほど、前記第1導電型半導体基体の一方の主面側に向って緩やかになっていることを特徴とする。また、この発明にかかる半導体装置は、上述した発明において、前記第1導電型フィールドストップ層の不純物濃度分布は、前記第2導電型コレクタ層側から前記第1導電型ドリフト層側へ急峻に不純物濃度が低くなるような第1濃度勾配を有し、かつ、前記第1濃度勾配を有する部分よりも前記第1導電型ドリフト層側の深い部分に、前記第1濃度勾配よりも前記第1導電型ドリフト層側へ緩やかに不純物濃度が低くなるような第2濃度勾配を有することを特徴とする。

【0017】

また、この発明にかかる半導体装置は、上述した発明において、前記第1導電型ドリフト層と前記第2導電型ベース層との間のpn接合の位置から、定格電圧の印加によって当該pn接合から前記第1導電型ドリフト層および前記第1導電型フィールドストップ層にわたって広がる空乏層の空乏層端の位置までの、前記第1導電型ドリフト層のネットドーピング濃度および前記第1導電型フィールドストップ層のネットドーピング濃度を積分した不純物総量は、前記空乏層端が前記第1導電型フィールドストップ層の内部に位置するに足る不純物総量であることを特徴とする。また、この発明にかかる半導体装置は、上述した発明において、前記第2導電型コレクタ層の最大不純物濃度が $6 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下であることを特徴とする。また、この発明にかかる半導体装置は、上述した発明において、前記第1導電型フィールドストップ層のドーパントがセレンまたは硫黄であることを特徴とする。

【0018】

また、この発明にかかる半導体装置は、上述した発明において、前記第1導電型バッ

10

20

30

40

50

ア層のドーパントがリンであることを特徴とする。また、この発明にかかる半導体装置は、上述した発明において、前記第1導電型フィールドストップ層の最大不純物濃度が $3 \times 10^{14} \text{ cm}^{-3}$ 以上 $3 \times 10^{15} \text{ cm}^{-3}$ 以下であることを特徴とする。

【0019】

また、この発明にかかる半導体装置は、上述した発明において、前記第1導電型フィールドストップ層の濃度勾配の大きさが、前記第1導電型フィールドストップ層の最大不純物濃度の位置から前記第1導電型半導体基体の一方の主面側に向って段階的に小さくなることを特徴とする。また、この発明にかかる半導体装置は、上述した発明において、定格電圧が1200V以上であることを特徴とする。

【0020】

また、上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置の製造方法は、第1導電型半導体基体からなる第1導電型ドリフト層と、前記第1導電型半導体基体の一方の主面側に設けられた少なくともゲート電極、ゲート絶縁膜および前記第1導電型半導体基体からなるMOSゲート構造と、前記第1導電型半導体基体の他方の主面に設けられた第2導電型コレクタ層と、前記第1導電型ドリフト層と前記第2導電型コレクタ層との間に設けられた、前記第1導電型ドリフト層よりも不純物濃度が高い第1導電型フィールドストップ層と、前記第1導電型フィールドストップ層と前記第2導電型コレクタ層との間に設けられた、前記第1導電型フィールドストップ層よりも不純物濃度が高い第1導電型バッファ層と、を備えた半導体装置の製造方法であって、次の特徴を有する。まず、前記第1導電型半導体基体の一方の主面側に前記MOSゲート構造を形成する(MOSゲート構造形成工程)。次に、前記第1導電型半導体基体の他方の主面を研削し、前記第1導電型半導体基体を所定の厚さまで薄くする(薄板化工程)。次に、前記第1導電型半導体基体の研削した面に、前記第1導電型フィールドストップ層、前記第1導電型バッファ層および前記第2導電型コレクタ層を形成するためのそれぞれのドーパントをイオン注入する(注入工程)。次に、前記第1導電型半導体基体の研削した面にイオン注入された複数の前記ドーパントを一括して電気的に活性化させるための熱処理を行う(活性化工程)。次に、前記第1導電型半導体基体の一方の主面に金属電極膜をスパッタリングにより形成し熱処理を行う(電極膜形成工程)。前記注入工程と前記活性化工程とは、前記第1導電型フィールドストップ層が、前記第1導電型バッファ層との境界側で最大となり、最大となる位置から前記第1導電型半導体基体の一方の主面側に向って濃度勾配の大きさが減少しながら不純物濃度が減少する不純物濃度分布で前記第1導電型ドリフト層に達し、かつ、前記第1導電型フィールドストップ層の前記濃度勾配が、前記第1導電型半導体基体の一方の主面側に向うにしたがって小さくなり、前記第1導電型半導体基体の一方の主面側に近い部分ほど、前記第1導電型半導体基体の一方の主面側に向って緩やかになるように行う。前記第1導電型フィールドストップ層を形成するための前記ドーパントはセレンまたは硫黄である。また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第1導電型フィールドストップ層の濃度勾配の大きさを、前記第1導電型フィールドストップ層の最大不純物濃度の位置から前記第1導電型半導体基体の一方の主面側に向って段階的に小さくすることを特徴とする。また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記注入工程では、複数の前記ドーパントとして、前記第1導電型フィールドストップ層を形成するためのセレン、前記第1導電型バッファ層を形成するためのリン、前記第2導電型コレクタ層を形成するためのボロンを順にイオン注入し、前記活性化工程では、前記熱処理によって複数の前記ドーパントを同時に活性化させることを特徴とする。

【0021】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第1導電型フィールドストップ層のネットドーピング濃度が前記第1導電型ドリフト層のネットドーピング濃度より高く、前記第1導電型フィールドストップ層のネットドーピング濃度と前記第1導電型ドリフト層のネットドーピング濃度との総量が、定格電圧の印加によって前記第1導電型ドリフト層および前記第1導電型フィールドストップ層を広がる空乏層

10

20

30

40

50

の空乏層端が前記第1導電型フィールドストップ層の内部にあるような不純物量であり、前記第1導電型フィールドストップ層の不純物濃度分布が、前記第1導電型半導体基体の他方の主面側から一方の主面側に向って低くなるような濃度勾配を有し、前記第1導電型フィールドストップ層の深さが20 μm 以上であり、前記第1導電型バッファ層の最大不純物濃度が、前記第1導電型フィールドストップ層の最大不純物濃度より高い $6 \times 10^{15} \text{ cm}^{-3}$ 以上であり、かつ前記第2導電型コレクタ層の最大不純物濃度の1/10以下となるように、前記注入工程と前記活性化工程とを行うことを特徴とする。

【0022】

上述した発明によれば、ドーパントとしてセレンや硫黄を用いて、深くて低不純物濃度でありかつ濃度勾配が緩やかな第1導電型フィールドストップ層を設けることにより、短絡発生時にコレクタ側から注入される正孔の量が多くなり、コレクタ側での電界強度の上昇が抑えられる。また、第1導電型フィールドストップ層と第2導電型コレクタ層との間に、リンのイオン注入によって所定のピーク不純物濃度を有する第1導電型バッファ層を設けることにより、漏れ電流増加に寄与する正孔の注入を抑えることができる。また、上述した発明によれば、第1導電型バッファ層のピーク不純物濃度を第2導電型コレクタ層のピーク不純物濃度よりも1桁以上小さくすることにより、オン電圧ばらつきを減少させることができる。

【発明の効果】

【0023】

本発明にかかる半導体装置および半導体装置の製造方法によれば、短絡発生時に空間電荷領域を早期に広げることで素子破壊耐量を大きくするとともに、正孔の注入に起因する熱暴走破壊の抑制を両立させることができるという効果を奏する。また、本発明にかかる半導体装置および半導体装置の製造方法によれば、オン電圧ばらつきをも減少させることができるという効果を奏する。

【図面の簡単な説明】

【0024】

【図1】図1は、本発明の実施の形態にかかるFS-IGBTの構成を示す要部断面図である。

【図2】図2は、本発明の実施の形態にかかるFS-IGBTの短絡発生時のドリフト層内の電界強度分布を示す特性図である。

【図3】図3は、本発明にかかるFS-IGBTのバッファ層のピーク不純物濃度と許容最大接合温度との関係を示す特性図である。

【図4】図4は、本発明にかかるFS-IGBTのバッファ層のピーク不純物濃度とコレクタ層のピーク不純物濃度との比によるオン電圧ばらつきを示す特性図である。

【図5】図5は、従来のFS-IGBTの構成を示す要部断面図である。

【図6】図6は、本発明の実施の形態にかかるFS-IGBTの不純物濃度分布を示す特性図である。

【図7】図7は、本発明にかかるFS-IGBTの不純物濃度分布を示す特性図である。

【発明を実施するための形態】

【0025】

以下に添付図面を参照して、本発明にかかる半導体装置および半導体装置の製造方法の好適な実施の形態を詳細に説明する。本発明はその要旨を超えない限り、以下に説明する実施例の記載に限定されるものではない。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。以下の説明では、第1導電型をn型とし、第2導電型をp型として説明するが、本発明は第1導電型をp型とし、第2導電型をn型としても同様に成り立つ。また、nやpに付す+および-は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。また、半導体のp型あるいはn型を決める不純物をドーパントと呼ぶこともある。不純物濃度については、特に断りが無ければ、電氣的に活性化されたドーパントによる正味のネットドーピング濃度を示す。なお、以下の実施の形態

10

20

30

40

50

の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

【0026】

(実施の形態)

本発明の実施の形態にかかるフィールドストップ型IGBT(FS-IGBT)について、例えば耐圧1700Vのトレンチ型FS-IGBTを例に図1, 6などを参照して詳細に説明する。図1は、本発明の実施の形態にかかるFS-IGBTの構成を示す要部断面図である。図6は、本発明の実施の形態にかかるFS-IGBTの不純物濃度分布を示す特性図である。図6には、トレンチ型FS-IGBTを構成するシリコン(Si)基板(半導体基体)の裏面からn⁻ドリフト層1にかけての不純物濃度分布を示す(図7につ

10

【0027】

図1に示すトレンチ型FS-IGBTは、例えば安価なFZウエハからなるFZ-n型のSi基板を用いて構成される。Si基板の比抵抗は、例えば80 cm²Ω~130 cm²Ω程度であってもよい。最終仕上がりのSi基板の厚さは、例えば160 μm~210 μm程度であってもよい。最終仕上がりのSi基板の厚さとは、FS-IGBT完成後の製品を構成するSi基板の厚さである。Si基板内部の層構造は、次のとおりである。n⁻ドリフト層1となるSi基板の一方の主面(おもて面)には、複数のトレンチ11が所定間隔で設けられている。

【0028】

トレンチ11内には、トレンチ11の内壁に沿ってゲート絶縁膜10が設けられ、ゲート絶縁膜10の内側にゲート電極7が設けられている。Si基板のトレンチ11間に挟まれた部分にはpベース層5が設けられ、Si基板のおもて面側にゲート電極7、ゲート絶縁膜10およびpベース層5などからなるトレンチ型のMOSゲート(金属-酸化膜-半導体からなる絶縁ゲート)構造(トレンチMOS構造)12が構成されている。複数のトレンチ11間の各pベース層5の表面層には、n⁺エミッタ領域4およびp⁺コンタクト領域6が選択的に設けられている。

20

【0029】

n⁺エミッタ領域4は、トレンチ11側面の上側(開口部側)端に接するように配置される。p⁺コンタクト領域6は、n⁺エミッタ領域4に接するように配置される。n⁺エミッタ領域4の表面とpベース層5(またはその表面層のp⁺コンタクト領域6)の表面とにオーミック接触するエミッタ電極9が設けられている。エミッタ電極9は、層間絶縁膜によってゲート電極7と電気的に絶縁されている。Si基板の裏面(他方の主面)側には、p⁺コレクタ層15とこのp⁺コレクタ層15の表面にオーミック接触するコレクタ電極8とが設けられている。

30

【0030】

p⁺コレクタ層15のn⁻ドリフト層1側には、本発明に特有のピーク不純物濃度(不純物濃度分布の最大不純物濃度)を有するn⁺バッファ層13と、n⁺バッファ層13を挟んでn⁻ドリフト層1側に深いnフィールドストップ(FS)層14とからなるn型層構造が本発明の特徴として構成されている。Si基板(あるいはIGBTチップ)の裏面からの深さ方向におけるp⁺コレクタ層15、n⁺バッファ層13、nFS層14およびn⁻ドリフト層1の不純物濃度分布については、図6に示す。

40

【0031】

nFS層14を形成するためのイオン注入のドーパントには、同じ温度における拡散係数がリンよりも大きい例えばセレンあるいは硫黄を用いるのが好ましく、より好ましくはセレンを用いるのがよい。nFS層14の最大不純物濃度は、例えば3×10¹⁴ cm⁻³から3×10¹⁵ cm⁻³の範囲内であることが好ましい。nFS層14の拡散深さは、nFS層14とn⁻ドリフト層1との境界がSi基板の裏面から例えば20 μm以上40 μm以下の範囲内であることが好ましい。このような最大不純物濃度および拡散深さの範囲内となる条件にて、nFS層14を形成するための例えばセレンのイオン注入およびその後の

50

熱拡散処理を行う。例えば、Si基板の裏面からnFS層14とn⁻ドリフト層1との境界までの深さを、30 μmとしてもよい。この場合、Si基板の裏面から30 μmの深さに至る不純物濃度分布は、Si基板の裏面側の表面近傍でn型不純物濃度が最も高い値（例えば $3 \times 10^{15} \text{ cm}^{-3}$ ）を示し、Si基板の裏面側から深さ方向へ深くなるにしたがってn型不純物濃度が下がるような濃度勾配を有する。

【0032】

まず、素子の熱暴走破壊を防ぐために、nFS層14の最大不純物濃度となる部分の不純物濃度およびSi基板裏面からの拡散深さは、少なくとも、nFS層14の総不純物量とn⁻ドリフト層1の総不純物量との合計値が以下の関係を満たすようにする。ゲート電極7にゼロ電圧もしくは負電圧が印加されたオフの状態、このFS-IGBTに定格電圧を印加した時に、n⁻ドリフト層1とnFS層14とに空乏層が広がる。このとき、空乏層におけるnFS層14の総不純物量とn⁻ドリフト層1の総不純物量との合計値は、空乏層の先端部（空乏層端）がnFS層14の内部にあるような値、すなわち空乏層の広がりをnFS層14の内部で止めるに足りる値となるようにする。ここで総不純物量（あるいは不純物総量）とは、ある層の不純物濃度を、深さ方向（半導体基板のおもて面から垂直に裏面に向う方向、あるいはその逆方向の方向のこと）に積分した値である。

【0033】

具体的には、空乏層におけるnFS層14の総不純物量とn⁻ドリフト層1の総不純物量との合計値とは、空乏層が広がっている領域において、pベース層5とn⁻ドリフト層1とのpn接合の位置（深さ）からn⁻ドリフト層1とnFS層14との境界位置までn⁻ドリフト層1の不純物濃度を深さ方向に沿って積分した値と、n⁻ドリフト層1とnFS層14とが交差する位置から空乏層端の位置まで、nFS層14の不純物濃度を深さ方向に沿って積分した値との合計値のことである。さらに、定格電圧を印加した時に広がる空乏層の空乏層端は、p⁺コレクタ層15に達しないようにするとともに、p⁺コレクタ層15と空乏層端との距離をある程度（例えば3 μm以上）離すようにする。このようにp⁺コレクタ層15と空乏層端との距離を確保することにより、空乏層への正孔の注入を抑えることができる。以上のように、素子の熱暴走破壊を防ぐためには、まずゲート電極7にゼロ電圧もしくは負電圧が印加されたオフの状態、素子に電圧が印加されたときに生じる空乏層への正孔の注入を抑えることが重要である。そのため、少なくとも定格電圧を印加した時の空乏層端は、nFS層14の中にあることが好ましい。

【0034】

Si基板裏面から深さ方向に深く、かつp⁺コレクタ層15側から裏面から深さ方向に徐々に不純物濃度が低くなる濃度勾配を有するnFS層14を設けることにより、従来の幅の狭い（深さの浅い）nFS層を設けた場合に比べて、定格電圧印加時に広がる空乏層端の電界強度分布の電界強度減衰率をなだらかにすることができる。そのため、nFS層14は、ターンオフ時に発生し易い電圧波形または電流波形の振動を抑えたり、電圧波形または電流波形の振幅を小さくしたりする機能を有する。また、nFS層14の形成にあたり、ドーパントとしてセレンや硫黄を用いてnFS層14となる20 μm以上の深い拡散層を形成することにより、次の効果が得られる。半導体基板（ウェハ）へのドーパントのイオン注入時に、注入面に存在する数μm程度の大きさのパーティクルがイオン注入の影となってイオンを遮蔽し、半導体基板内にイオンが注入されない欠陥領域が形成される場合がある。本発明のようにドーパントとしてセレンや硫黄を用いてnFS層14となる20 μm以上の深い拡散層を形成することにより、パーティクルの大きさの数倍以上の深さにわたってこれらのドーパントが拡散する。そのため、セレンや硫黄の横方向拡散（基板の深さ方向に直交する方向への拡散）により、パーティクルによってイオン注入が遮蔽された領域にもドーパントが拡散する。したがって、パーティクルによって生じるイオン注入の注入むら、耐圧や漏れ電流などの諸特性が劣化しない程度に小さくすることができる。さらに、イオン注入のドーパントとして用いるセレンは、ピーク不純物濃度を従来のイオン注入でドーパントとして用いたリンよりも低くすることができる。その結果、短絡発生時にコレクタ側から注入される正孔の量が多くなり、コレクタ側での電界強度の上

10

20

30

40

50

昇が抑えられる。したがって、短絡発生時の素子破壊を抑制することができる。

【0035】

さらに、本発明では、以下に説明するように、深いnFS層14をセレンのイオン注入で形成するとともに、nFS層14とp⁺コレクタ層15との間に本発明に特有のリンのイオン注入によるn⁺バッファ層13を設けた構成にする。後述するように、短絡発生時の素子破壊を抑制するためには、セレンのようにnFS層14の不純物濃度が全体としてより低くなる濃度勾配を有することが好ましい。その理由は、次のとおりである。nFS層14の不純物濃度を、前述のようにゲートがオフの状態定格電圧を印加したときの空乏層端がnFS層14の内部にあるようにしたとしても、p⁺コレクタ層15近傍のnFS層14のピーク不純物濃度も低くなる。そのため、p⁺コレクタ層15からの正孔の注入効率が高くなって漏れ電流が大きくなり、熱暴走破壊の可能性が高まることが問題となる。本発明のように、nFS層14とp⁺コレクタ層15との間に、さらにリンのイオン注入によるn⁺バッファ層13を設けることにより、漏れ電流増加に寄与する正孔の注入を抑え込むことができるからである。このn⁺バッファ層13には、リン以外では砒素(As)を用いることも可能である。また、nFS層14を形成するn型不純物としては、前述のように、セレンを用いる他に硫黄を用いることもできる。

10

【0036】

n⁺バッファ層13は、例えば、厚さが0.5μm~3.0μmで、ピーク不純物濃度が少なくとも $6 \times 10^{15} \text{ cm}^{-3}$ 以上であり、かつp⁺コレクタ層15のピーク不純物濃度よりも1/10以下の小さいピーク不純物濃度になるようにリンのイオン注入により形成されることが好ましい。まず、n⁺バッファ層13のピーク不純物濃度が $6 \times 10^{15} \text{ cm}^{-3}$ 以上であることが好ましい理由を、図3を参照して説明する。図3は、本発明にかかるFS-IGBTのバッファ層のピーク不純物濃度(cm^{-3})と許容最大接合温度()との関係を示す特性図である。最大接合温度とは、n⁺バッファ層13とp⁺コレクタ層15とのpn接合部において許容される最大接合温度(以下、許容最大接合温度とする)である。n⁺バッファ層13は、p⁺コレクタ層15からの正孔の注入を抑制する機能を有する。図3に示すように、n⁺バッファ層13のピーク不純物濃度が $6 \times 10^{15} \text{ cm}^{-3}$ 以上のとき、許容最大接合温度は175℃以上になる。実際に素子を使用するときの最大保証動作温度は、その温度以下でリーク電流による熱暴走(リーク電流による温度上昇がさらにリーク電流を増加させる正帰還のこと)が生じないことを保証する温度であり、通常175℃である。したがって、この最大保証動作温度以下では、リーク電流による熱暴走が生じてはならない。図3に示す結果から、175℃にて熱暴走しないようにするには、n⁺バッファ層13のピーク不純物濃度は $6 \times 10^{15} \text{ cm}^{-3}$ 以上であるとよいことがわかる。

20

30

【0037】

次に、n⁺バッファ層13のピーク不純物濃度がp⁺コレクタ層15のピーク不純物濃度よりも小さいことが好ましい理由を、図4を参照して説明する。図4は、本発明にかかるFS-IGBTのバッファ層のピーク不純物濃度とコレクタ層のピーク不純物濃度との比によるオン電圧ばらつきを示す特性図である。n⁺バッファ層13のピーク不純物濃度とp⁺コレクタ層15のピーク不純物濃度との比(=n⁺バッファ層13のピーク不純物濃度/p⁺コレクタ層15のピーク不純物濃度)により、オン電圧(V_{on})のばらつきが決まる。図4に示すように、n⁺バッファ層13のピーク不純物濃度をp⁺コレクタ層15のピーク不純物濃度よりも1桁以上小さくすることにより、オン電圧(V_{on})のばらつきを小さくすることができることがわかる。その結果、良品率が改善される。以上、図3, 4に示す結果から、n⁺バッファ層13のピーク不純物濃度は、 $6 \times 10^{15} \text{ cm}^{-3}$ 以上であり、かつp⁺コレクタ層15のピーク不純物濃度よりも1桁以上小さくすることが好ましいことが確認された。

40

【0038】

なお、FS-IGBTのターンオフ損失とオン電圧とのトレードオフ関係を良好にすることが必要であることも、広く知られている。このためには、p⁺コレクタ層15の最大不純物濃度(ピーク不純物濃度)は、 $6 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下の範囲

50

内、好ましくは $6 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下の範囲内であり、例えば $1 \times 10^{17} \text{ cm}^{-3}$ であることがよい。すなわち、 p^+ コレクタ層 15 は、正孔の注入効率が小さい低注入コレクタとしての機能を有し、かつ、前述のように n^+ バッファ層 13 のピーク不純物濃度より 10 倍以上高いピーク不純物濃度であって、コレクタ電極 8 とオーミック接触する表面不純物濃度で形成される必要がある。一方で、FS-IGBT をスイッチング素子として用いる電力変換装置において、スイッチング損失よりも導通損失の低減を優先させるような特殊な用途では、IGBT のオン電圧をできるだけ小さくすることがある。このような場合には、例えば p^+ コレクタ層 15 の最大不純物濃度を $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下の範囲内とし、かつ n^+ バッファ層 13 のピーク不純物濃度より 10 倍以上のピーク不純物濃度とするとよい。

10

【0039】

次に、本発明の実施の形態にかかる高耐圧の FS-IGBT が短絡発生時の素子破壊を抑制する効果を有することについて説明する。一般的に FS-IGBT を使用する回路において短絡が生じた場合、IGBT に電源電圧が印加された状態でゲートがオンすることがある。このとき、IGBT には、MOSゲートの閾値電圧とゲート電極の電圧との差によって決まる過大な飽和電流、すなわち短絡電流が発生する。この短絡電流と電源電圧との積による電力損失によって IGBT 内部が発熱し、素子が破壊する。そのため、回路の短絡から IGBT を保護するために、インバータなどの電力変換装置では、IGBT の温度等をモニターすることで IGBT への短絡発生を検知し、IGBT を安全にオフにするためにゲートに逆バイアスを印加する保護回路を用いることが多い。しかし、ゲートによるターンオフが有効になって短絡電流が完全に遮断されるまで、マイクロ秒のオーダーの時間にわたり短絡電流が IGBT に流れ込むことは避けられない。この短絡電流、例えば定格電流の 20 倍程度の短絡電流が IGBT に流れ込むと、IGBT の MOSゲートからドリフト層に注入される電子量が極めて大量になる。そのため、等価的にドリフト層の表面側の少数キャリアと多数キャリアとが中和され、ドリフト層の空間電荷密度の大きさがドリフト層のドーパントの不純物濃度程度かそれ以下に著しく低下した状態になる。たとえば、1700V 以上の高耐圧の FS-IGBT において、十分に高いゲート電圧での使用中における短絡電流は、前述のようなドリフト層の空間電荷密度の大きさが低下する程度にドリフト層に注入される電子量が極めて大量になる場合に相当する。

20

【0040】

前述の短絡電流が流れる際のドリフト層中の電界強度分布について、本発明の実施の形態にかかる FS-IGBT と従来の高耐圧の FS-IGBT とのデバイスシミュレーションによる波形の違いを、図 2 を参照して説明する。図 2 は、本発明の実施の形態にかかる FS-IGBT の短絡発生時のドリフト層内の電界強度分布を示す特性図である。従来の高耐圧の FS-IGBT の電界強度分布を波形 A で示す。従来の高耐圧の FS-IGBT のドリフト層における電界強度分布について、通常のオフ電圧下では、FS-IGBT のメイン接合 (p ベース層とドリフト層との pn 接合) 側で高い電界強度のピークが生じる。また、短絡電流が流れる際には、前述したように大量の電子の注入によるドリフト層の空間電荷密度が著しく低下し、その極性が正から負に反転した状態になる。その結果、メイン接合側の電界強度が下がって平坦化し、空間電荷領域のコレクタ層側の領域で電子濃度が非常に高くなり、波形 A のようにメイン接合側より高いピーク (最大) 電界強度を示すようになる。その電界強度がシリコン半導体に固有の絶縁破壊を生じさせる電界強度 (臨界電界強度) を超えると、バッファ層のコレクタ接合に近い側でアバランシェ降伏が発生し、素子が破壊する可能性が生じる。

30

40

【0041】

このような短絡時の破壊が生じる条件について、低注入コレクタ層を有する FS-IGBT を調べたところ、例えば、ドリフト層とコレクタ層との間の FS 層の総不純物量が多い FS-IGBT ほど破壊し易いことが判明した。そこで、本発明においては、前述の短絡電流が流れる際、MOSゲートからの大量の電子の注入とともに、 p^+ コレクタ層 15 からの正孔の注入量を大きくするように、 n FS 層 14 の総不純物量を少なくする層構成

50

にしたところ、前述の短絡時の破壊が減少することが確認された。この層構成を有するFS-IGBTについて、デバイスシミュレーションによる短絡動作の解析を行った。本発明の実施の形態にかかるFS-IGBTの電界強度分布を、図2に波形Bで示す。その結果、短絡電流が流れるときの電界強度分布は、図2の波形Bに示すように、コレクタ側の電界強度が従来の波形Aに比べて十分小さくなることがわかった。その理由は、以下のように考えられる。nFS層14およびn⁻ドリフト層1のp⁺コレクタ層15側の総不純物量を従来のFS-IGBTよりも少なくすることによって、高電圧印加時に空乏層がコレクタ側に伸びやすくなる。この結果、p⁺コレクタ層15と、n⁻ドリフト層1およびnFS層14と、pベース層5とからなるpnptランジスタの、実効的なnベース幅が短くなるため、キャリアの輸送効率が大きくなり、p⁺コレクタ層15からの正孔注入量が増大する。p⁺コレクタ層15から注入された正電荷である正孔は、エミッタ側から注入された負電荷である電子を相殺するので、空間電荷領域が広がり、n⁻ドリフト層1およびnFS層14で担うことができる電圧が大きくなる。その結果、波形Bのように裏面側の電界が緩和されて、アバランシェ降伏の発生が抑制される。

【0042】

短絡時にp⁺コレクタ層15からの正孔の注入量を大きくすることは、短絡発生後にできるだけ早く空間電荷領域を広げ、p⁺コレクタ層15との間に残留する電荷中性領域の幅を短時間で短くし、実効的な電流増幅率を十分に近づけることである。短絡時には、pベース層5とn⁻ドリフト層1とのpn接合の位置からp⁺コレクタ層15に向けて、空間電荷領域がn⁻ドリフト層1およびnFS層14内に広がる。このとき、前述のように大量の電子がMOSゲートから供給されているために、キャリアである電子と正孔とは相殺され、空間電荷密度の大きさは十分小さくなり、空間電荷領域は高抵抗状態となる。一方、n⁻ドリフト層1からnFS層14に渡って広がる空間電荷領域の先端部の位置は、素子に印加されている電圧と、空間電荷密度をSi基板の深さ方向に積分した電界強度をさらに積分した値により決まる。前述のように、短絡時には電子と正孔とは相殺されているので、空間電荷密度分布はn⁻ドリフト層1およびnFS層14、特にnFS層14の不純物濃度(ドナー濃度)分布に敏感に依存するようになる。すなわち、ある一定の印加電圧に対して、nFS層14のドナー濃度がn⁻ドリフト層1のドナー濃度を下回らない範囲で小さくなれば、空間電荷密度の積分値は小さくなり、空間電荷領域の先端部はp⁺コレクタ層15に向けて深くなる。特に短絡が発生した直後の過渡的な期間では、より早く空間電荷領域が広がることになる。このようにして、正孔は短絡発生直後から注入される量が増加し、空間電荷密度の極性の反転は抑えられる。

【0043】

発明者らの検討により、nFS層14の最大不純物濃度が $3 \times 10^{15} \text{ cm}^{-3}$ 以下であれば、上記のように、短絡発生直後に空間電荷領域を早期に広げる効果を奏する程度にnFS層14の総不純物量を少なくすることができることが確認された。さらに、nFS層14の最大不純物濃度が $1 \times 10^{15} \text{ cm}^{-3}$ 未満であると、短絡発生直後に空間電荷領域をより早い段階で広げられるので、なお好ましい。このように、p⁺コレクタ層15からの正孔の注入量を大きくするようにnFS層14の総不純物量を少なくすることにより、実効的な電流増幅率を増加させ、p⁺コレクタ層15からの正孔の注入を増加させて裏面側の電界強度を緩和させることができる。その結果、アバランシェ降伏の発生が抑制され、短絡破壊を抑えることができる。前述のように、ゲートがオフの状態定格電圧をIGBTに印加したときの空乏層端をnFS層14の中で止めるには、nFS層14の最大不純物濃度は $3 \times 10^{14} \text{ cm}^{-3}$ 以上であるとよい。

【0044】

短絡発生時に空間電荷領域を早期に広げる効果は、上記のようにnFS層14の総不純物量を少なくするだけでなく、nFS層14の不純物濃度分布も工夫すると、より強い効果を奏するようになる。図7は、本発明にかかるFS-IGBTの不純物濃度分布を示す特性図である。具体的には、例えば、nFS層14の不純物濃度分布を示す分布関数がガウス関数ではなく、ガウス関数よりも空間的な不純物濃度の減衰が急峻である指数関数

10

20

30

40

50

のようであるとよい。指数関数の場合、最大不純物濃度の位置からその半値の位置までの不純物濃度の減少は、ガウス関数に比べると急激である。言い換えると、十分不純物濃度が小さい位置から最大不純物濃度の位置に向うときの濃度勾配は、指数関数の方が緩やかになる。つまり、 n F S 層 1 4 の不純物濃度が、 n^- ドリフト層 1 との境界から p^+ コレクタ層 1 5 に向って増加するときの濃度勾配は、指数関数分布の方が緩やかになる。これにより、短絡発生時には、前述の空間電荷密度の積分値が小さくなり、より早くに空間電荷領域を広げることができる。

【 0 0 4 5 】

実際の n F S 層 1 4 の不純物濃度分布は、厳密に指数関数分布ではなくとも、最大値からの不純物濃度の減衰がガウス関数に比べて急峻であり、それでいて n^- ドリフト層 1 との境界から p^+ コレクタ層 1 5 に向って増加するときの濃度勾配が緩やかであればよい。このような n F S 層 1 4 の不純物濃度分布を実現するために、 n F S 層 1 4 を熱拡散にて形成する際の n 型ドーパントとして、通常用いられるリンや砒素よりも拡散係数の大きいセレンや硫黄を用いることが好ましいことを、発明者らは見出した。 n 型ドーパントとして通常用いられるリンや砒素の熱拡散による不純物濃度分布はガウス関数でよくあらわされる。これに対して、図 7 に示すように、 n 型ドーパントとしてセレンや硫黄を用いたときの n F S 層 1 4 の不純物濃度分布は、 S_i 基板の裏面から $10 \mu\text{m}$ 程度深い位置よりもさらに深い部分において、いわゆる裾を引く部分（裾部分 1 6）を形成できることが明らかになった。この裾部分 1 6 とは、 S_i 基板の裏面から深さ $10 \mu\text{m}$ 程度の位置を境に（以下、単に境界位置とする）、それより深い部分（ n^- ドリフト層 1 との境界である深さ $30 \mu\text{m}$ 程度まで）の濃度勾配の大きさが、 n F S 層 1 4 の最大不純物濃度の位置から境界位置までの濃度勾配よりも、段階的（あるいは不連続）に小さく緩やかになっている領域のことである。図 7 中の一点破線による延長線の濃度勾配の大きさと比較すると、裾部分 1 6 の濃度勾配の大きさが小さくなっていることがわかる。この裾部分 1 6 は、特にセレンの場合に顕著に見られ、リンや砒素といった、 S_i における置換型原子拡散機構を有する原子の熱拡散による不純物濃度分布には見られない構造である。裾部分 1 6 が形成される理由は、次のとおりである。セレンや硫黄は格子間原子拡散機構が原子拡散に支配的に寄与するため、注入されたセレンや硫黄の原子のうち相当の割合が S_i 基板の奥深くに拡散する。このセレンや硫黄の拡散により不純物濃度分布の裾部分 1 6 が形成されると推察される。裾部分 1 6 の存在により、空間電荷密度の積分値は緩やかに増加することとなり、その結果、短絡発生後の早期において空間電荷領域を広げることが可能となる。なお、本発明において n F S 層 1 4 を形成するためのドーパントはセレンや硫黄に限らず、 S_i において格子間原子拡散機構が支配的なドナー原子であればよい。具体的には、例えば Li （リチウム）、酸素、水素なども、 S_i への導入と拡散の条件によって、セレンや硫黄と同様の効果により図 7 のようなドーピング濃度分布を示すため好ましい。

【 0 0 4 6 】

前述のように、コレクタ側でのアバランシェ降伏による破壊が起こらないように、セレンなどを用いてピーク不純物濃度を低くし深く拡散させ、かつ総不純物量の少ない n F S 層 1 4 を形成した F S - I G B T は、その代償として熱暴走破壊が生じ易い。このため、本発明の実施の形態にかかる F S - I G B T では、短絡破壊を起こさないようなセレンによるピーク不純物濃度が低くて深い n F S 層 1 4 とするとともに、さらに n F S 層 1 4 と p^+ コレクタ層 1 5 との間にピーク不純物濃度が制御された n^+ バッファ層 1 3 を設けた構造とする。 n^+ バッファ層 1 3 を設けることにより、漏れ電流増加に寄与する正孔の注入を抑え込み、熱暴走破壊をも防ぐことができる。すなわち、ピーク不純物濃度が制御された n^+ バッファ層 1 3 を有する F S - I G B T とすることにより、短絡破壊と熱暴走破壊との両方を防ぐことができる。この n^+ バッファ層 1 3 のピーク不純物濃度は、図 3 , 4 を参照して前述したとおりである。

【 0 0 4 7 】

次に、本発明の実施の形態にかかるトレンチ型 F S - I G B T の製造方法について、本発明に係わるプロセスを中心に説明する。まず、例えば厚さ $625 \mu\text{m}$ で、比抵抗 80

10

20

30

40

50

cmのFZ-n型のSi基板を用意する。次に、n⁻ドリフト層1となるSi基板のおもて面に、トレンチ11が並ぶ方向と直交する方向に延びるストライプ状の平面レイアウトで複数のトレンチ11を形成する。次に、トレンチ11の内壁に沿ってゲート絶縁膜10を形成し、トレンチ11内部のゲート絶縁膜10の内側に埋め込むように、ポリシリコンによるゲート電極7を堆積する。

【0048】

次に、ゲート電極7のパターニング後、ゲート電極7をマスクとしたセルフアライメントにより例えばボロンをイオン注入してpベース層5を形成する。次に、pベース層5内に選択的に砒素をイオン注入してn⁺エミッタ領域4を形成する。また、pベース層5内に選択的にp型ドーパントをイオン注入し、n⁺エミッタ領域4に接するようにp⁺コンタクト領域6を形成する。次に、Si基板のおもて面に層間絶縁膜を形成する。そして、この層間絶縁膜に、pベース層5表面とn⁺エミッタ領域4表面とに跨るエミッタ電極9用のコンタクトホールを形成する。

【0049】

次に、Si基板の裏面を、研削、研磨、エッチングなどを組み合わせたバックグラインド技術により、Si基板の厚さを所望の厚さ、例えば200μm程度に薄くする。次に、Si基板の薄く削った裏面にnFS層14を形成するために、セレン(または硫黄)をイオン注入する。次に、Si基板の薄く削った裏面にn⁺バッファ層13を形成するためにリンをイオン注入する。さらに、Si基板の薄く削った裏面にp⁺コレクタ層15を形成するためにボロンをイオン注入する。p⁺コレクタ層15の厚さは、n⁺バッファ層13の厚さよりも浅く、例えば0.2μmから1.0μmの範囲内である。次に、Si基板の裏面にnFS層14、n⁺バッファ層13およびp⁺コレクタ層15の3層を形成するために注入した各ドーパントを同時に活性化させる。具体的には、750 から950 の範囲において、例えば830 の温度で、0.5時間から5時間の範囲内の例えば2時間の熱処理を行い、上記3層を形成するために注入した各ドーパントを同時に活性化させることにより効率的なプロセスとすることができる。

【0050】

次に、Si基板のおもて面に、アルミニウムシリコン(Al-Si)電極膜(金属電極膜)をスパッタリングにより形成する。そして、Al-Si電極膜にパターニングしてエミッタ電極9となるAl-Si電極膜と、ゲートパッドとなるAl-Si電極膜とを形成した後、380 の温度で1時間の熱処理を行う。次に、Si基板のおもて面側にポリイミド膜等の表面保護膜(図示せず)を被着した後、Al-Si電極膜を形成するための熱処理によりSi基板の裏面に形成された酸化膜を除去し、p⁺コレクタ層15の表面にアルミニウム(Al)、チタン(Ti)、ニッケル(Ni)、金(Au)などの金属膜の積層からなるコレクタ電極8を形成する。その後、このウエハ(Si基板)を各チップ状のIGBTにダイシングカットして、図1に示すFS-IGBTチップが完成する。このFS-IGBTチップは、おもて面側のn⁺エミッタ領域4に接するAl-Si電極膜と、ゲート電極7に電氣的に接するAl-Si電極膜とに、Alワイヤが超音波ボンディングによりそれぞれ外部接続端子に接続される。また、FS-IGBTチップは、裏面側のコレクタ電極8がはんだ付けにより銅基板(不図示)などの放熱基板に固着される。その後、FS-IGBTチップがパッケージされてFS-IGBTの半導体装置が完成する。

【0051】

なお、これまで述べてきた各層の不純物濃度および厚さ(あるいは拡散深さ)は、例えば周知の拡がり抵抗測定器を用いて拡がり抵抗を測定し、その値から換算することで取得することができる。

【0052】

以上の実施の形態によれば、ドーパントとしてセレンや硫黄を用いて、深くて低不純物濃度でありかつ濃度勾配が緩やかなnFS層を形成することにより、短絡発生時にコレクタ側から注入される正孔の量が多くなり、コレクタ側での電界強度の上昇が抑えられる。また、nFS層とp⁺コレクタ層との間に、リンのイオン注入によって所定のピーク不純

10

20

30

40

50

物濃度を有する n^+ バッファ層を設けることにより、漏れ電流増加に寄与する正孔の n F S 層への注入を抑えることができる。したがって、短絡発生時の素子破壊耐量を大きくすることと熱暴走破壊を抑制することとを両立させることができる。また、実施の形態によれば、 n^+ バッファ層のピーク不純物濃度を p^+ コレクタ層のピーク不純物濃度よりも 1 桁以上小さくすることにより、オン電圧ばらつきを減少させることができる。

【 0 0 5 3 】

以上において本発明は、トレンチ型 F S - I G B T を例に説明したが、上述した実施の形態に限らず、本発明の趣旨を逸脱しない範囲で種々変更可能である。具体的には、本発明は、例えば、プレーナゲート型 F S - I G B T にも適用することが可能である。また、本発明は、耐圧（定格電圧）1700V以上の F S - I G B T について説明したが、上述した実施の形態に限らず、本発明は定格電圧が600Vを超える耐圧の素子にも適用することができる。短絡発生時に存在する正孔や電子の濃度よりもドリフト層の不純物濃度が同等か小さくなるような、1200V以上の定格電圧、さらには1700V以上の定格電圧の素子に適用する場合、上記のように裏面のコレクタ層近傍における電界強度の増加を抑える効果を奏する。

10

【産業上の利用可能性】

【 0 0 5 4 】

以上のように、本発明にかかる半導体装置および半導体装置の製造方法は、汎用および電気自動車用のインバータや A C サーボ、無停電電源（U P S）、スイッチング電源などの産業用機器分野をはじめ、電子レンジ、炊飯器、ストロボなどの民生機器分野に使用されるパワー半導体装置に有用である。

20

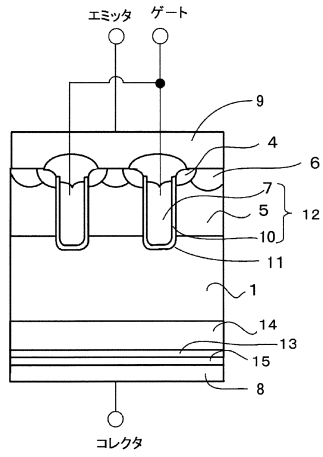
【符号の説明】

【 0 0 5 5 】

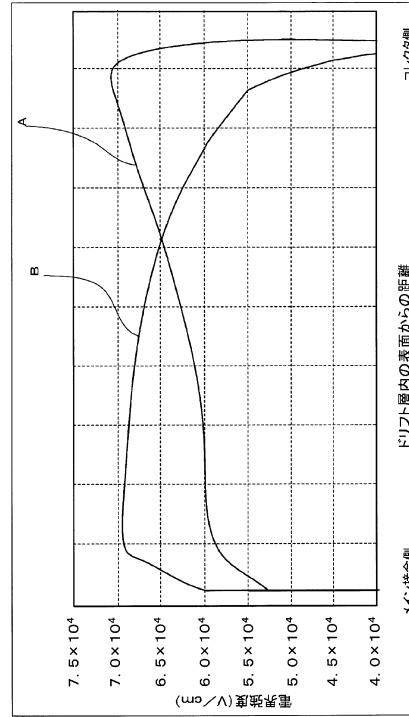
- 1 n -ドリフト層
- 4 n^+ エミッタ領域
- 5 p ベース層
- 6 p^+ コンタクト領域
- 7 ゲート電極
- 8 コレクタ電極
- 9 エミッタ電極
- 10 ゲート絶縁膜
- 11 トレンチ
- 12 トレンチ M O S 構造
- 13 n^+ バッファ層
- 14 n F S 層
- 15 p^+ コレクタ層
- 16 裾部分

30

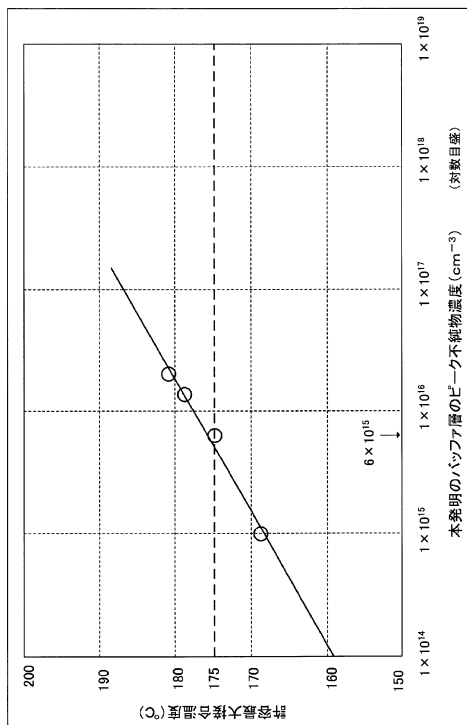
【図1】



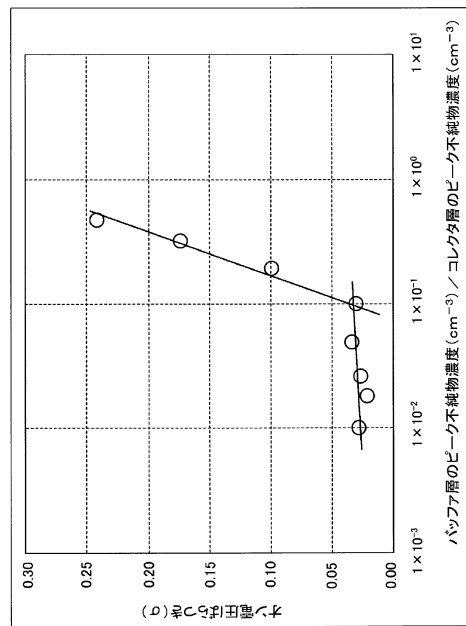
【図2】



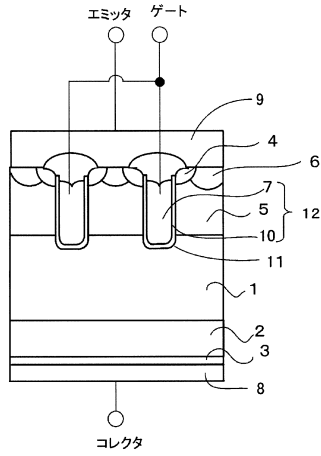
【図3】



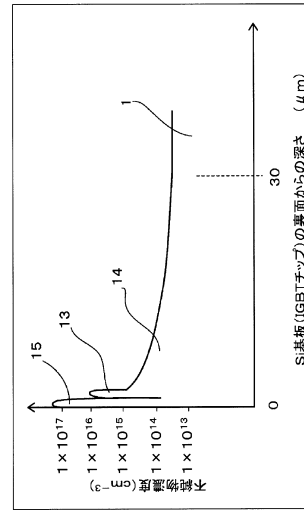
【図4】



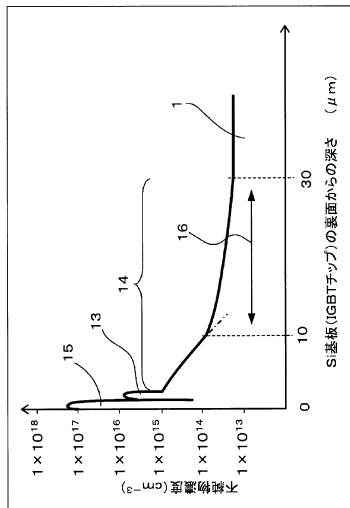
【図5】



【図6】



【図7】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 5 8 E

(72)発明者 仲野 逸人
神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

(72)発明者 尾崎 大輔
神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

審査官 工藤 一光

(56)参考文献 国際公開第2011/052787(WO, A1)
特開2004-079878(JP, A)
特開2009-176892(JP, A)
特開2008-211148(JP, A)
特開2002-314084(JP, A)
特開2004-311481(JP, A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 7 3 9
H 0 1 L 2 9 / 7 8 - 2 9 / 7 9 2