

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年11月17日(17.11.2022)



(10) 国際公開番号

WO 2022/239681 A1

(51) 国際特許分類:

H01L 27/11 (2006.01) H01L 21/82 (2006.01)
G11C 11/417 (2006.01) H01L 21/8244 (2006.01)
H01L 21/3205 (2006.01) H01L 23/522 (2006.01)
H01L 21/768 (2006.01)

(21) 国際出願番号: PCT/JP2022/019374

(22) 国際出願日: 2022年4月28日(28.04.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2021-080800 2021年5月12日(12.05.2021) JP

(71) 出願人: 株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).

(72) 発明者: 廣瀬 雅庸 (HIROSE Masanobu); 〒2220033 神奈川県横浜市港北区新横浜

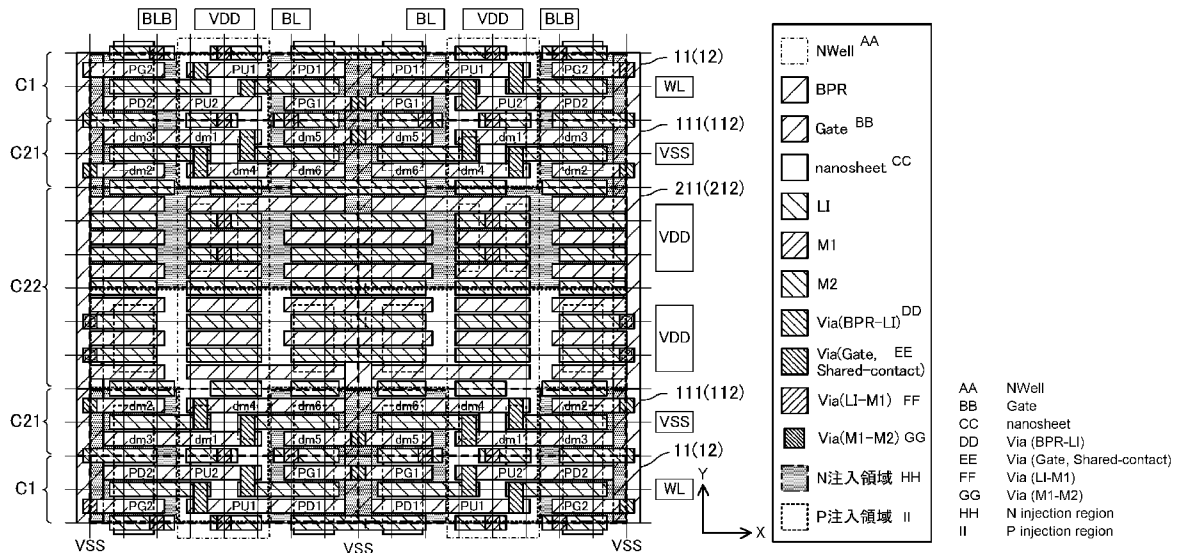
二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP).

(74) 代理人: 弁理士法人前田特許事務所(MAEDA & PARTNERS); 〒5300004 大阪府大阪市北区堂島浜1丁目2番1号 新ダイビル23階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: 半導体集積回路装置



(57) Abstract: A memory cell (C1) extends in the Y-direction and comprises a power supply wire (11) for supplying a power supply voltage VSS. A well tap cell (C2) comprises: a power supply wire (111, 212) extending in the Y-direction and electrically connected to the power supply wire (11) to supply the power supply voltage VSS; and a wire (171, 271) formed in an M1 wiring layer, and extending in the X-direction and electrically connected to the power supply wire (11) to supply the power supply voltage VSS. The well tap cell (C2) supplies the power supply voltage VSS to an N well(1) or a P-type substrate (2, 3) of the memory cell (C1).

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: メモリセル (C 1) は Y 方向に延びており、電源電圧 V S S を供給する電源配線 (1 1) を備える。ウェルタップセル (C 2) は、Y 方向に延びており、電源配線 (1 1) と電氣的に接続されており、電源電圧 V S S を供給する電源配線 (1 1 1, 2 1 2) と、M 1 配線層に形成されており、X 方向に延びており、電源配線 (1 1) と電氣的に接続されており、電源電圧 V S S を供給する配線 (1 7 1, 2 7 1) とを備える。ウェルタップセル (C 2) は、メモリセル (C 1) の N ウェル (1) または P 型基板 (2, 3) に電源電圧 V S S を供給する。

明 細 書

発明の名称：半導体集積回路装置

技術分野

[0001] 本開示は、メモリセルを備えた半導体記憶装置に関する。

背景技術

[0002] 半導体記憶装置の高集積化のために、従来のようなトランジスタの上層に形成された金属配線層に設けられた電源配線ではなく、埋め込み配線（Buried Interconnect）層に設けられた電源配線である埋め込み電源配線（BPR：Buried Power Rail）を用いることが提案されている。

[0003] 特許文献1では、SRAMセル（メモリセル）の電源配線が、埋め込み電源配線で構成されている。特許文献1は、埋め込み配線を介して、SRAMセルの各トランジスタに電源が供給される。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第2020／255655号明細書

発明の概要

発明が解決しようとする課題

[0005] メモリセルの埋め込み電源配線に用いられる金属としてはCo、Ru、W、Moなどが検討されている。これらの金属は、トランジスタの上層に設けられる従来の金属配線層に用いられるCuなどの材料よりも抵抗が大きい。電源配線の抵抗値が大きくなると電源電圧降下等により半導体記憶装置の性能低下、信頼性低下、歩留まり低下などの問題が発生する。

[0006] ここで、埋め込み電源配線の配線幅を大きくすることにより抵抗値を下げようとした場合には半導体記憶装置の面積が大きくなる。特に、埋め込み電源配線は基板に埋め込まれて形成されているため、トランジスタのソース、ドレインおよびチャネルが存在する領域には形成できない。したがって、埋め込み電源配線の配線幅の増大が半導体記憶装置の面積の拡大へとつながる

。また、埋め込み電源配線の配線厚を大きくして抵抗値を下げることも考えられるが、配線厚を大きくすることにも限界がある。

[0007] 本開示は、メモリセルを備えた半導体記憶装置において、電源配線に埋め込み電源配線を用いつつ、電源配線の抵抗値の増加を抑止することを目的とする。

課題を解決するための手段

[0008] 本開示の態様では、第1方向に並んで配置された第1および第2メモリサブアレイと、前記第1および第2メモリアレイの間に配置されており、平面視において前記第1方向と垂直をなす第2方向に並んで配置された複数のウェルタップセルとを備え、前記第1および第2メモリサブアレイは、それぞれ、アレイ状に配置された複数のメモリセルと、埋め込み配線層に形成されており、前記第1方向に延びており、第1電源電圧を供給する第1埋め込み電源配線とを備え、前記ウェルタップセルは、前記埋め込み配線層に形成されており、前記第1方向に延びており、前記第1埋め込み電源配線と電氣的に接続されており、前記第1電源電圧を供給する第2埋め込み電源配線と、前記埋め込み配線層よりも上層の配線層に形成されており、前記第2方向に延びており、前記第2埋め込み電源配線と電氣的に接続されており、前記第1電源電圧を供給する第1配線とを備え、前記メモリセルのNウェルまたはP型基板に第2電源電圧を供給する。

[0009] この態様によると、ウェルタップセルの、埋め込み配線層よりも上層の配線層には、第1電源電圧を供給する第1配線が形成されている。第1配線は、ウェルタップセルの埋め込み配線層に形成された第2埋め込み電源配線を介して、メモリセルの埋め込み配線層に形成された第1埋め込み配線と電氣的に接続されている。これにより、メモリセルの第1埋め込み電源配線の電源を強化することができるため、メモリセルを備えた半導体記憶装置において、電源配線に埋め込み電源配線を用いつつ、電源配線の抵抗値の増加を抑止することができる。また、ウェルタップセルは、メモリセルのNウェルまたはP型基板に第2電源電圧を供給するため、メモリセルのNウェルまたは

P型基板の電位を固定することができる。

発明の効果

[0010] 本開示によると、メモリセルを備えた半導体記憶装置において、電源配線に埋め込み電源配線を用いつつ、電源配線の抵抗値の増加を抑止することができる。

図面の簡単な説明

[0011] [図1]本実施形態に係る半導体記憶装置が備える回路ブロックのレイアウト構造の例。

[図2]メモリセルC 1の構成を示す回路図。

[図3]メモリセルC 1のレイアウト構造の例を示す平面図であり、(a)はセル上部、(b)はセル下部。

[図4]メモリセルC 1のレイアウト構造の例を示す断面図。

[図5]メモリセルC 1のレイアウト構造の例を示す断面図。

[図6]ウェルタップセルC 2のレイアウト構造の例を示す平面図。

[図7]ウェルタップセルC 2のレイアウト構造の例を示す平面図。

[図8]図1の回路ブロックの点線分の拡大図。

[図9]回路ブロックのレイアウト構造の他の例。

[図10]B P RタップセルC 3のレイアウト構造の例を示す平面図であり、(a)はセル下部、(b)はセル上部。

[図11]回路ブロックのレイアウト構造の他の例。

[図12]メモリセルC 4のレイアウト構造の例を示す平面図であり、(a)はセル上部、(b)はセル下部。

[図13]ウェルタップセルC 5のレイアウト構造の例を示す平面図。

[図14]ウェルタップセルC 5のレイアウト構造の例を示す平面図。

[図15]B P RタップセルC 6のレイアウト構造の他の例を示す平面図であり、(a)はセル下部、(b)はセル上部。

[図16]ウェルタップセルC 7のレイアウト構造の例を示す平面図。

[図17]ウェルタップセルC 7のレイアウト構造の例を示す平面図。

[図18]メモリセルC 8の構成を示す回路図。

[図19]メモリセルC 8のレイアウト構造の例を示す平面図であり、（a）はセル上部、（b）はセル下部。

[図20]ウェルタップセルC 9のレイアウト構造の他の例を示す平面図。

[図21]ウェルタップセルC 9のレイアウト構造の他の例を示す平面図。

発明を実施するための形態

[0012] 以下、実施の形態について、図面を参照して説明する。以下の実施の形態では、半導体記憶装置は複数のメモリセル（本明細書では、適宜、単にセルという）を備えており、この複数のメモリセルのうち少なくとも一部は、例えば、ナノシートFET（Field Effect Transistor）を備えるものとする。ナノシートFETとは、電流が流れる薄いシート（ナノシート）を用いたFETである。ナノシートは例えばシリコンによって形成されている。また、本開示では、ナノシートの両端に形成されており、ナノシートFETのソースまたはドレインとなる端子を構成する半導体層部のことを「パッド」という。

[0013] 本開示では、「VDD」「VSS」は、電源電圧または電源自体を示す。また、以下の説明では、図1等の平面図において、図面横方向をX方向（第2方向に相当）、図面縦方向をY方向（第1方向に相当）、基板面に垂直な方向をZ方向としている。

[0014] また、本開示では、トランジスタのソースおよびドレインのことを、適宜、トランジスタの「ノード」と称する。すなわち、トランジスタの一方のノードとは、トランジスタのソースまたはドレインのことを指し、トランジスタの両方のノードとは、トランジスタのソースおよびドレインのことを指す。

[0015] （実施形態）

（回路ブロックのレイアウト構造）

図1は実施形態に係る半導体記憶装置が備える回路ブロックのレイアウト構造の例である。図1は、各セルの配置と、埋め込み配線層における埋め込

み電源配線と、M2配線層における電源配線とを模式的に示したものであり、埋め込み電源配線とM2配線層の電源配線との接続関係を示したものである。

[0016] 図1のレイアウトでは、ウェルタップセル部A2は、回路ブロックの図面上端および図面下端ならびにメモリサブアレイA1同士の間配置されている。

[0017] 各メモリサブアレイA1には、複数のメモリセルC1（SRAMセル）が配置されている。具体的には、メモリサブアレイA1には、それぞれ、X方向に6つ、Y方向に8つのメモリセルC1がアレイ状に配置されている。また、各メモリサブアレイA1において、メモリセルC1は、X方向において、順方向に配置されたものとX方向に反転させたものとが交互に並んで配置されている。また、各メモリサブアレイA1において、メモリセルC1は、Y方向において、順方向に配置されたものとY方向に反転させたものとが交互に並んで配置されている。

[0018] また、ウェルタップセル部A2には、ウェルタップセルC2がX方向に並んで配置されている。詳しくは後述するが、ウェルタップセルC2は、各メモリセルC1のNウェルおよびP型基板の電位を固定するために設けられる。

[0019] 図1に示すように、メモリサブアレイA1に配置されたメモリセルC1は、X方向に隣接するメモリセルC1との境界に、Y方向に延びる電源配線11（12）が形成されている。詳しくは後述するが、電源配線11（12）は、ウェルタップセル部A2に配置されたウェルタップセルC2に形成された電源配線111（112）、211（212）と接続されている。電源配線111（112）、211（212）は、それぞれ埋め込み配線層に形成されており、M2配線層に形成された、電源電圧VSSを供給する配線171、271と接続されている。配線171、271により、埋め込み配線層に形成された電源配線11（12）の電源を強化することができるため、電源配線に埋め込み電源配線を用いつつ、電源配線の抵抗値の増加を抑止する

ことができる。

[0020] (メモリセルの回路構成)

図2はメモリセルC1の構成を示す回路図である。図2に示すように、メモリセルC1には、ロードトランジスタPU1、PU2、ドライブトランジスタPD1、PD2、および、アクセストランジスタPG1、PG2によりメモリセル回路が構成されている。ロードトランジスタPU1、PU2は、P型FETであり、ドライブトランジスタPD1、PD2およびアクセストランジスタPG1、PG2は、N型FETである。

[0021] ロードトランジスタPU1は、電源電圧VDDと第1ノードNAとの間に設けられており、ドライブトランジスタPD1は、第1ノードNAと電源電圧VSSとの間に設けられている。ロードトランジスタPU1およびドライブトランジスタPD1は、ゲートが第2ノードNBに接続されており、インバータINV1を構成している。ロードトランジスタPU2は、電源VDDと第2ノードNBとの間に設けられており、ドライブトランジスタPD2は、第2ノードNBと電源VSSとの間に設けられている。ロードトランジスタPU2およびドライブトランジスタPD2は、ゲートが第1ノードNAに接続されており、インバータINV2を構成している。すなわち、一方のインバータの出力は他方のインバータの入力に接続されており、これにより、ラッチが構成されている。

[0022] アクセストランジスタPG1は、ビット線BLと第1ノードNAとの間に設けられており、ゲートがワード線WLに接続されている。アクセストランジスタPG2は、ビット線BLBと第2ノードNBとの間に設けられており、ゲートがワード線WLに接続されている。なお、ビット線BL、BLBは、相補ビット線対を構成する。

[0023] メモリセル回路では、相補ビット線対を構成するビット線BL、BLBを、ハイレベルおよびローレベルにそれぞれ駆動し、ワード線WLをハイレベルに駆動すると、第1ノードNAにハイレベルが書き込まれ、第2ノードNBにローレベルが書き込まれる。一方、ビット線BL、BLBを、ローレベ

ルおよびハイレベルにそれぞれ駆動し、ワード線WLをハイレベルに駆動すると、第1ノードNAにローレベルが書き込まれ、第2ノードNBにハイレベルが書き込まれる。そして、第1および第2ノードNA, NBにデータがそれぞれ書き込まれている状態で、ワード線WLをローレベルに駆動すると、ラッチ状態が確定し、第1および第2ノードNA, NBに書き込まれているデータが保持される。

[0024] また、ビット線BL, BLBを予めハイレベルにプリチャージしておき、ワード線WLをハイレベルに駆動すると、第1および第2ノードNA, NBに書き込まれたデータに応じてビット線BL, BLBの状態がそれぞれ確定するため、メモリセルからのデータの読み出しを行うことができる。具体的に、第1ノードNAがハイレベルであり、第2ノードNBがローレベルであれば、ビット線BLはハイレベルを保持し、ビット線BLBはローレベルにディスチャージされる。一方、第1ノードNAがローレベルであり、第2ノードNBがハイレベルであれば、ビット線BLはローレベルにディスチャージされ、ビット線BLBはハイレベルを保持する。

[0025] 以上に説明したように、メモリセルC1は、ビット線BL, BLBおよびワード線WLを制御することによって、メモリセルへのデータ書き込み、データ保持およびメモリセルからのデータ読み出し機能を有する。

[0026] (メモリセルのレイアウト構造)

図3～図5はメモリセルC1のレイアウト構造の例を示す図であり、図3(a), (b)は平面図、図4(a)～(c)および図5(a), (b)は平面視横方向における断面図である。具体的には、図3(a)は、M1, M2配線層である、セル上部を示し、図3(b)はM1, M2配線層よりも下層であり、ナノシートFETを含む部分である、セル下部を示す。図4(a)は線X1-X1'の断面、図4(b)は線X2-X2'の断面、図4(c)は線X3-X3'の断面、図5(a)は線X4-X4'の断面、図5(b)は線X5-X5'の断面である。

[0027] なお、以下の説明では、図3等の平面図において縦横に走る実線、および

、図4等の断面図において縦に走る実線は、設計時に部品配置を行うために用いるグリッドを示す。グリッドは、X方向において等間隔に配置されており、またY方向において等間隔に配置されている。なお、グリッド間隔は、X方向とY方向とにおいて同じであってもよいし異なってもよい。また、グリッド間隔は、層ごとに異なってもかまわない。さらに、各部品は必ずしもグリッド上に配置される必要はない。ただし、製造ばらつきを抑制する観点から、部品はグリッド上に配置される方が好ましい。

[0028] 図3(b)に示すように、セルの図面上下両端にかけて、Y方向に延びる電源配線11, 12が形成されている。電源配線11, 12は、それぞれ、埋め込み配線層に形成された埋め込み電源配線(BPR: Buried Power Rail)である。電源配線11, 12はセルの図面左右両端にそれぞれ形成されている。電源配線11, 12は、電源電圧VSSを供給する。

[0029] また、Nウェル1上に、ロードトランジスタPU1, PU2が形成されている。P型基板2上にアクセストランジスタPG2およびドライブトランジスタPD2が形成されている。P型基板3上にドライブトランジスタPD1およびアクセストランジスタPG1が形成されている。

[0030] 図3(b)に示すように、X方向およびY方向に広がるナノシート(nanosheet)21~26が形成されている。ナノシート21~26が、アクセストランジスタPG2、ロードトランジスタPU1、ドライブトランジスタPD1、ドライブトランジスタPD2、ロードトランジスタPU2およびアクセストランジスタPG1のチャンネル部をそれぞれ構成する。

[0031] ゲート配線(Gate)31~34は、X方向およびZ方向に延びている。ゲート配線31は、アクセストランジスタPG2のゲートとなる。ゲート配線32は、ロードトランジスタPU1およびドライブトランジスタPD1のゲートとなる。ゲート配線33は、ドライブトランジスタPD2およびロードトランジスタPU2のゲートとなる。ゲート配線34は、アクセストランジスタPG1のゲートとなる。

[0032] ナノシート21の図面上端、ナノシート21, 24の間、ナノシート24

の図面下端、ナノシート23の図面上端、ナノシート23, 26の間、およびナノシート26の図面下端に、N型の不純物がドーピングされたパッド40~45がそれぞれ形成されている。パッド40, 41がアクセストランジスタPG2のノードを構成する。パッド41, 42がドライブトランジスタPD2のノードを構成する。パッド43, 44がドライブトランジスタPD1のノードを構成する。パッド44, 45がアクセストランジスタPG1のノードを構成する。

[0033] ナノシート22の図面上端、ナノシート22の図面下端、ナノシート25の図面上端、およびナノシート25の図面下端に、P型の不純物がドーピングされたパッド46~49がそれぞれ形成されている。パッド46, 47がロードトランジスタPU1のノードを構成する。パッド48, 49がロードトランジスタPU2のノードを構成する。

[0034] ローカル配線層には、X方向に延びるローカル配線(LI: Local Interconnect) 51~58が形成されている。ローカル配線51はパッド40と接続されている。ローカル配線52はパッド46と接続されている。ローカル配線53はパッド43と接続されている。ローカル配線54はパッド41, 48と接続されている。ローカル配線55はパッド47, 44と接続されている。ローカル配線56はパッド42と接続されている。ローカル配線57はパッド49と接続されている。ローカル配線58はパッド45と接続されている。

[0035] また、ローカル配線56は、コンタクト81a (Via) を介して、電源配線11と接続されている。ローカル配線53は、コンタクト81bを介して、電源配線12と接続されている。

[0036] ローカル配線54は、シェアードコンタクト(Shared-contact) 82aを介して、ゲート配線32と接続されている。ローカル配線55は、シェアードコンタクト82bを介して、ゲート配線33と接続されている。なお、ゲート配線33、ローカル配線55およびシェアードコンタクト82bが第1ノードNAに相当する。ゲート配線32、ローカル配線54およびシェアード

コンタクト 8 2 a が第 2 ノード N B に相当する。

[0037] 図 3 (a) に示すように、M 1 配線層に、配線 6 1 ~ 6 5 が形成されている。配線 6 1 ~ 6 3 は、セルの図面上下両端にかけて Y 方向に延びている。配線 6 1 は、電源電圧 V D D を供給する。配線 6 2, 6 3 は、ビット線 B L B, B L にそれぞれ相当する。

[0038] 配線 6 1 は、コンタクト (Via) 8 3 a を介してローカル配線 5 2 と接続されており、コンタクト 8 3 b を介してローカル配線 5 7 と接続されている。配線 6 2 は、コンタクト 8 3 c を介して、ローカル配線 5 1 と接続されている。配線 6 3 は、コンタクト 8 3 d を介して、ローカル配線 5 8 と接続されている。配線 6 4 は、コンタクト (Gate-contact) 8 4 a を介して、ゲート配線 3 1 と接続されている。配線 6 5 は、コンタクト 8 4 b を介して、ゲート配線 3 4 と接続されている。

[0039] M 1 配線層の上層である M 2 配線層に、セルの図面左右両端にかけて X 方向に延びる配線 7 1 が形成されている。配線 7 1 が、ワード線 W L に相当する。配線 7 1 は、コンタクト 8 5 a を介して配線 6 4 と接続されており、コンタクト 8 5 b を介して配線 6 5 と接続されている。

[0040] 図 4 (b) および図 5 (a) に示すように、ナノシート 2 1 ~ 2 6 は、それぞれ、3 枚のシート状の半導体 (ナノシート) からなる。すなわち、メモリセル C 1 に構成されるナノシート F E T は、それぞれ、3 枚のナノシートを含む。

[0041] 以上に説明したように、メモリセル C 1 は、M 1 配線層に電源電圧 V D D を供給する配線 6 1 が形成されており、埋め込み配線層に電源電圧 V S S を供給する電源配線 1 1, 1 2 が形成され、M 2 配線層に電源電圧 V D D, V S S を供給する配線を設けていない。このため、ワード線 W L に相当する配線 7 1 の配線幅を広くすることができる。これにより、半導体記憶装置の性能向上を図ることができる。

[0042] また、メモリセル C 1 は、埋め込み配線層に電源配線 1 1, 1 2 が形成され、M 1 配線層に電源電圧 V S S を供給するための配線を設けていない。こ

のため、配線 6 2, 6 3 (ビット線 B L B, B L に相当) の配線幅を広くすることができる。これにより、半導体記憶装置の高速化を図ることができる。

[0043] (ウェルタップセルのレイアウト構成)

図 6 および図 7 はウェルタップセル C 2 のレイアウト構造の例を示す図である。具体的には、図 6 はセル下部を示し、図 7 はセル上部を示す。

[0044] 図 6 に示すように、ウェルタップセル C 2 は、図面上部および図面下部にそれぞれ配置されたダミーメモリセル部 C 2 1 と、図面中央に配置されたウェルタップ部 C 2 2 とからなる。なお、図面上部に配置されたダミーメモリセル部 C 2 1 は、図面下部に配置されたダミーメモリセル部 C 2 1 を Y 方向に反転して配置したものである。

[0045] (ダミーメモリセル部のレイアウト構成)

ダミーメモリセル部 C 2 1 は、メモリセル C 1 とほぼ同様のレイアウト構成であるが、メモリセル C 1 と比較すると、パッド 4 0, 4 3, 4 6 が形成されていない。また、M 2 配線層に、ワード線 W L に相当する配線 7 1 に代えて、電源電圧 V S S を供給する配線 1 7 1 が配置されている。このため、ダミーメモリセル部 C 2 1 に構成された各トランジスタは、論理機能を有さないトランジスタ (ダミートランジスタ d m 1 ~ d m 6) となる。

[0046] なお、以下の説明において、ダミーメモリセル部 C 2 1 において、メモリセル C 1 の N ウェル 1 および P 型基板 2, 3 に相当する部分のそれぞれを、N ウェル 1 0 1 および P 型基板 1 0 2, 1 0 3 という。また、ダミーメモリセル部 C 2 1 において、メモリセル C 1 の電源配線 1 1, 1 2 に相当する埋め込み電源配線のそれぞれを、電源配線 1 1 1, 1 1 2 という。

[0047] ダミーメモリセル部 C 2 1 は、メモリサブアレイ A 1 の Y 方向端部に配置されたメモリセル C 1 と Y 方向に隣接して配置される。また、ダミーメモリセル部 C 2 1 は、メモリセル C 1 とほぼ同様のレイアウト構造である。これにより、メモリサブアレイ A 1 の Y 方向端部に配置されたメモリセル C 1 の製造ばらつきを抑えることができる。

[0048] また、M2配線層の配線171を、メモリセルC1の配線71（ワード線WL）と同じ配線幅で形成することにより、メモリセルC1およびダミーメモリセル部C21のM2配線層の配線を、規則的に配置することができる。

[0049] また、配線171は、コンタクト185aを介して、M1配線層の配線264と接続されており、コンタクト185bを介して、M1配線層の配線265と接続されている。配線264は、後述するコンタクト283a（283b）、ローカル配線251（252）およびコンタクト281a（281b）を介して、電源配線211と接続されている。配線265は、後述するコンタクト283c（283d）、ローカル配線253（254）およびコンタクト281c（281d）を介して、電源配線212と接続されている。また、電源配線211（212）は、電源配線111（112）を介して、メモリセルC1の電源配線11（12）と接続されている。これにより、配線171が電源配線11，12に電源電圧VSSを供給するため、メモリセルC1の電源配線11，12の電源を強化することができる。

[0050] また、Nウェル101上のダミートランジスタにはP型の不純物がドーピングされ、P型基板102，103上のダミートランジスタにはN型の不純物がドーピングされている。

[0051] （ウェルトップ部のレイアウト構成）

ウェルトップ部C22は、埋め込み配線層において、図面左右両端のセル境界に、電源配線211，212がそれぞれ形成されている。

[0052] また、ウェルトップ部C22には、X方向およびY方向に延びるナノシート221～224が形成されている。

[0053] ウェルトップ部C22は、図面中央にNウェルが形成されており、その左右両側にP型基板が形成されている。P型基板202上に、ナノシート221が形成されており、P型基板203上に、ナノシート222が形成されている。Nウェル204上に、ナノシート223，224が形成されている。

[0054] ナノシート221の図面上部および図面下部、ならびに、ナノシート222の図面上部および図面下部には、P型の不純物がドーピングされたパッド

241～244が形成されている。また、ナノシート223の図面上部および図面下部、ならびに、ナノシート224の図面上部および図面下部には、N型の不純物がドーピングされたパッド245～248が形成されている。

[0055] X方向およびZ方向に延びるゲート配線231～235が配置されている。図面上部および図面下部のダミーメモリセル部C21のゲート配線131（メモリセルC1のゲート配線31に相当）同士の間、6つのゲート配線231が等間隔に配置されている。ゲート配線231のうち、ゲート配線231aがナノシート221と平面視で重なっている。

[0056] また、図面下部のダミーメモリセル部C21のゲート配線132（メモリセルC1のゲート配線32に相当）に隣接して、ゲート配線232が配置されている。図面上部のダミーメモリセル部C21のゲート配線132に隣接して、ゲート配線233が配置されている。ゲート配線232，233の間には、Y方向に並んだ4つのゲート配線234と、Y方向に並んだ4つのゲート配線235とが配置されている。ゲート配線234のうち、ゲート配線234aがナノシート223，224と平面視で重なっている。ゲート配線235のうち、ゲート配線235aがナノシート222と平面視で重なっている。

[0057] ローカル配線層には、X方向に延びるローカル配線251～256が形成されている。ローカル配線251は、パッド241と接続されている。ローカル配線252は、パッド242と接続されている。ローカル配線253は、パッド243と接続されている。ローカル配線254は、パッド244と接続されている。ローカル配線255は、パッド245，247と接続されている。ローカル配線256は、パッド246，248と接続されている。

[0058] また、ローカル配線251は、コンタクト281aを介して電源配線211と接続されている。ローカル配線252は、コンタクト281bを介して電源配線211と接続されている。ローカル配線253は、コンタクト281cを介して電源配線212と接続されている。ローカル配線254は、コンタクト281dを介して電源配線212と接続されている。

- [0059] また、M1配線層には、Y方向に延びる配線264、265が形成されている。配線264は、コンタクト283aを介して、ローカル配線251と接続されており、コンタクト283bを介して、ローカル配線252と接続されている。配線265は、コンタクト283cを介して、ローカル配線253と接続されており、コンタクト283dを介して、ローカル配線254と接続されている。
- [0060] また、M2配線層には、X方向に延びる配線271、272が形成されている。配線271は電源電圧VSSを供給する配線であり、配線272は電源電圧VDDを供給する配線である。配線271は、コンタクト285aを介して配線264と接続されており、コンタクト285bを介して配線265と接続されている。配線272は、コンタクト285cを介して、配線61と接続されている。
- [0061] 以上の構成により、ウェルタップ部C22のM2配線層に形成された配線271は、コンタクト285a、配線264、コンタクト283a（283b）、ローカル配線251（252）およびコンタクト281a（281b）を介して、埋め込み配線層の電源配線211に電源電圧VSSを供給する。また、配線271は、コンタクト285b、配線265、コンタクト283c（283d）、ローカル配線253（254）およびコンタクト281c（281d）を介して、埋め込み配線層の電源配線212に電源電圧VSSを供給する。電源配線211（212）は、電源配線111（112）を介して、メモリセルC1の電源配線11（12）と接続されている。これにより、メモリセルC1の埋め込み電源配線の配線幅を広くすることなく、埋め込み電源配線の電源を強化することができるため、電源配線の抵抗値の増加を抑えることができる。
- [0062] また、配線271は、ローカル配線251～254およびパッド241～244に電源電圧VSSを供給する。また、パッド241、242の下部には、P型基板202が形成されており、パッド243、244の下部には、P型基板203が形成されている。配線271は、ローカル配線251～2

54 およびパッド241～244を介して、P型基板202、203に電源電圧VSSを供給する。

[0063] 配線272は、ローカル配線255、256およびパッド245～248に電源電圧VDDを供給する。また、パッド245～248の下部には、Nウェル204が形成されている。配線271は、ローカル配線255、256およびパッド245～248を介して、Nウェル204に電源電圧VDDを供給する。

[0064] すなわち、回路ブロックにウェルタップセルC2を設けることにより、メモリセルC1のNウェル1およびP型基板2、3の電位を固定することができる。

[0065] (回路ブロックのレイアウト構成)

図8は、図1の回路ブロックの点線分の拡大図である。図8では、セル下部のレイアウト構造を示し、M1、M2配線層の配線を図面上部および図面右側に模式図的に記載している。

[0066] 図8に示すように、メモリサブアレイA1のY方向端部に配置されたメモリセルC1と隣接するように、ダミーメモリセル部C21が配置されるため、メモリセルC1の製造ばらつきを抑制することができる。

[0067] また、回路ブロックにウェルタップセルC2を配置することにより、Nウェル1およびP型基板2、3の電位が固定される。

[0068] また、埋め込み配線層に形成された電源配線11、12、111、112、211、212と、M2配線層に形成された配線71、171、271とが、平面視で、メッシュ状に構成されるため、電源が強化される。

[0069] (変形例1)

(回路ブロックのレイアウト構成)

図9は本実施形態に係る半導体記憶装置が備える回路ブロックのレイアウト構造の他の例である。図9は、図1と比較すると、メモリサブアレイA3同士の間、BPRタップセル部A4が配置されている。

[0070] 具体的に、メモリサブアレイA3同士の間、BPRタップセル部A4が

配置されている。メモリサブアレイ A 3 には、それぞれ、X 方向に 6 つ、Y 方向に 4 つのメモリセル C 1 が配置されている。各メモリサブアレイ A 3 において、メモリセル C 1 は、X 方向には左右反転して配置され、Y 方向には上下反転して配置される。

[0071] また、B P R タップセル部 A 4 には、B P R タップセル C 3 が X 方向に並んで配置される。

[0072] (B P R タップセルの構成)

図 10 は B P R タップセル C 3 のレイアウト構造の例を示す平面図である。具体的には、図 10 (a) はセル下部を示し、図 10 (b) はセル上部を示す。

[0073] 図 10 に示すように、B P R タップセル C 3 は、図 6 および図 7 のウェルタップセル C 2 から、ウェルタップ部 C 2 2 を省略したものである。

[0074] また、ダミーメモリセル部 C 2 1 同士の間にはローカル配線 1 5 1, 1 5 3 が形成されている。ローカル配線 1 5 1 は、コンタクト 1 8 1 a を介して電源配線 1 1 1 と接続されており、コンタクト 1 8 3 a を介して配線 2 6 4 と接続されている。ローカル配線 1 5 3 は、コンタクト 1 8 1 a を介して電源配線 1 1 2 と接続されており、コンタクト 1 8 3 a を介して配線 2 6 5 と接続されている。すなわち、M 2 配線層に形成された配線 1 7 1 は、コンタクト 1 8 5 a、配線 2 6 4、コンタクト 1 8 3 a、ローカル配線 1 5 1 およびコンタクト 1 8 1 a を介して、電源配線 1 1 1 と接続されている。また、配線 1 7 1 は、コンタクト 1 8 5 b、配線 2 6 5、コンタクト 1 8 3 b、ローカル配線 1 5 3 およびコンタクト 1 8 1 b を介して、電源配線 1 1 2 と接続されている。これにより、メモリセル C 1 の埋め込み電源配線の電源を強化することができるため、電源配線の抵抗値の増加を抑えることができる。

[0075] また、ナノシート F E T などの立体構造トランジスタでは、基板バイアス効果がほとんどなく、トランジスタ特性に基板電位が影響しにくいため、ウェルタップセル部 A 2 の配置間隔を大きくすることができる。一方、微細化による電源配線の高抵抗化によって電源強化のための配線の間隔は小さくす

る方が好ましい。したがって、本変形例のように、メモリサブアレイに対して、ウェルタップセル部A 2に加えてB P Rタップセル部A 4を挿入することにより、半導体記憶装置の面積増加を抑制しながら上記の効果を得ることができる。

[0076] (変形例2)

(回路ブロックのレイアウト構造)

図11は実施形態に係る半導体記憶装置が備える回路ブロックのレイアウト構造の他の例である。図11は、図1と比較すると、埋め込み配線層において、電源電圧VSSを供給する電源配線11(12)同士の間、電源電圧VDDを供給する電源配線13が形成されている。

[0077] 図11では、メモリサブアレイA1には、メモリセルC1に代えて、メモリセルC4が配置される。また、ウェルタップセル部A2には、ウェルタップセルC2に代えて、ウェルタップセルC5が配置される。

[0078] 詳しくは後述するが、図11では、M2配線層の電源電圧VDDを供給する配線272が、電源配線13と接続されている。配線272により、電源配線13の電源を強化することができるため、電源配線に埋め込み電源配線を用いつつ、電源配線の抵抗値の増加を抑止することができる。

[0079] (メモリセルのレイアウト構造)

図12はメモリセルC4のレイアウト構造の例を示す平面図である。図12(a)はセル上部を示し、図12(b)はセル下部を示す。

[0080] 図12のメモリセルC4は、図3と比較すると、埋め込み配線層において、セル中央に、Y方向に延びる電源配線13が形成されている。電源配線13は、電源電圧VDDを供給する。電源配線13は、コンタクト81cを介してローカル配線52と接続されており、コンタクト81dを介してローカル配線57と接続されている。

[0081] 図12では、埋め込み配線層に電源配線13が構成されているため、M1配線層に電源電圧VDDを供給するための配線(配線61)の配線幅を狭くすることができる。このため、配線61と配線62、63(ビット線BLB

、BL)との間隔を広げることができ、寄生容量を抑えることができる。これにより、メモリセルC4の高速化を図ることができる。また、配線62, 63(ビット線BLB, BL)の配線幅を広くし、配線62, 63の配線抵抗も抑制することもできるため、メモリセルC4の高速化を図ることができる。

[0082] なお、電源配線13のみで、メモリセルC4に対する電源電圧VDDの供給能力が十分確保することができる場合、M1配線層の配線61を省略することができる。

[0083] (ウェルタップセルのレイアウト構成)

図13および図14はウェルタップセルC5のレイアウト構造の例を示す平面図である。具体的には、図13はセル下部を示し、図14はセル上部を示す。

[0084] 図13のウェルタップセルC5は、図6と比較すると、埋め込み配線層において、図面中央に、Y方向に延びる埋め込み電源配線が形成されている。具体的に、ウェルタップセルC5のダミーメモリセル部C51には、電源配線113が形成されており、ウェルタップ部C52には、電源配線213が形成されている。電源配線213は、電源配線113を介して、メモリセルC4の電源配線13と接続されている。

[0085] また、ウェルタップ部C52において、電源配線213は、コンタクト281eを介してローカル配線255と接続されており、コンタクト281fを介してローカル配線256と接続されている。上述したように、ローカル配線255, 256は、M2配線層の配線272と接続されている。すなわち、配線272は、電源配線213, 113を介して、メモリセルC4の電源配線13と接続されている。これにより、M2配線層に形成された、電源電圧VDDを供給する配線272により、メモリセルC4の電源配線13に電源電圧VDDが供給されるため、電源配線13の電源を強化することができる。

[0086] (BPRタップセル)

図15はBPRタップセルC6のレイアウト構造の例を示す平面図である。具体的には、図15(a)はセル下部を示し、図15(b)はセル上部を示す。

[0087] 図15に示すように、BPRタップセルC6は、図13および図14のウェルタップセルC2から、ウェルタップ部C52を省略したものであり、図10とほぼ同様の構成である。

[0088] 具体的に、BPRタップセルC6は、埋め込み配線層において、図面中央に、Y方向に延びる電源配線113が形成されている。また、図面上部のダミーメモリセル部C51aには、M2配線層に、配線171に代えて、電源電圧VDDを供給する配線173が形成されている。配線173は、コンタクト185eを介して、配線61と接続されている。上述したように、配線61は、コンタクト183b、ローカル配線157およびコンタクト181bを介して、電源配線113と接続されている。すなわち、配線173は、電源配線113と接続されている。

[0089] 図15のBPRタップセルC6を回路ブロックに配置することにより、図10と同様の効果を得ることができる。また、M2配線層の配線173により、メモリセルC4の電源配線13の電源を強化することができる。

[0090] (変形例3)

図16および図17はウェルタップセルC7のレイアウト構造の例を示す平面図である。図16および図17のウェルタップセルC7は、図13および図14と比較すると、電源配線13とローカル配線255、256とをそれぞれ接続するコンタクト281e、281fが形成されていない。すなわち、ローカル配線255、256は、電源配線213と接続されていない。

[0091] また、図面上部のダミーメモリセル部C51に代えて、図面上部にダミーメモリセル部C51aが配置されている。

[0092] また、M2配線層に、電源電圧VDDBを供給する配線273が形成されている。配線273は、コンタクト285eを介して、M1配線層の配線61aに接続されている。図17では、図面上部の配線61と、図面下部の配

線 6 1 とが分離されており、この間に、配線 6 1 a が形成されている。配線 6 1 a は、コンタクト 2 8 3 e を介してローカル配線 2 5 5 と接続されており、コンタクト 2 8 3 f を介してローカル配線 2 5 6 と接続されている。すなわち、配線 2 7 3 は、ローカル配線 2 5 5、2 5 6 に、電源電圧 V D D B を供給する。ローカル配線 2 5 5、2 5 6 を介して電源電圧 V D D B が N ウェル 2 0 4 に供給されるため、メモリセル C 4 の N ウェル 1 に電源電圧 V D D B が供給される。これにより、ロードトランジスタ P U 1、P U 2 のソースに印加される電圧（電源電圧 V D D）と、N ウェル 1 に供給される電圧（電源電圧 V D D B）とが異なる電圧とすることができる。したがって、回路ブロックが電源制御機能を備え、電源電圧 V D D、V D D B が互いに異なる電圧となる場合にも対応することができる。

[0093] また、ウェルタップセル C 7 は、図 1 3 および図 1 4 と同様の効果を得ることができる。

[0094] （変形例 4）

（メモリセルの回路構成）

図 1 8 はメモリセル C 8 の構成を示す回路図である。図 1 8 に示すように、メモリセル C 8 には、ロードトランジスタ P U 1、P U 2 と、ドライブトランジスタ P D 1、P D 2 と、アクセストランジスタ P G 1、P G 2 と、リードドライブトランジスタ R P D と、リードアクセストランジスタ R P G とにより構成される 2 ポートのメモリセル回路が構成されている。ロードトランジスタ P U 1、P U 2 は、P 型 F E T であり、ドライブトランジスタ P D 1、P D 2、アクセストランジスタ P G 1、P G 2、リードドライブトランジスタ R P D およびリードアクセストランジスタ R P G は、N 型 F E T である。

[0095] ロードトランジスタ P U 1 は、電源電圧 V D D と第 1 ノード N A との間に設けられており、ドライブトランジスタ P D 1 は、第 1 ノード N A と電源 V S S との間に設けられている。ロードトランジスタ P U 1 およびドライブトランジスタ P D 1 は、ゲートが第 2 ノード N B に接続されており、インバー

タ I N V 1 を構成している。ロードトランジスタ P U 2 は、電源電圧 V D D と第 2 ノード N B との間に設けられており、ドライブトランジスタ P D 2 は、第 2 ノード N B と電源 V S S との間に設けられている。ロードトランジスタ P U 2 およびドライブトランジスタ P D 2 は、ゲートが第 1 ノード N A に接続されており、インバータ I N V 2 を構成している。すなわち、一方のインバータの出力は他方のインバータの入力に接続されており、これにより、ラッチが構成されている。

[0096] アクセストランジスタ P G 1 は、ライトビット線 W B L と第 1 ノード N A との間に設けられており、ゲートがライトワード線 W W L に接続されている。アクセストランジスタ P G 2 は、ライトビット線 W B L B と第 2 ノード N B との間に設けられており、ゲートがライトワード線 W W L に接続されている。なお、ライトビット線 W B L, W B L B は、相補ライトビット線対を構成する。

[0097] リードドライブトランジスタ R P D は、ソースが電源 V S S に、ゲートが第 2 ノード N B に、ドレインがリードアクセストランジスタ R P G のソースにそれぞれ接続されている。リードアクセストランジスタ R P G は、ゲートがリードワード線 R W L に、ドレインがリードビット線 R B L にそれぞれ接続されている。

[0098] 図 1 8 のメモリセル回路では、相補ライトビット線対を構成するライトビット線 W B L, W B L B を、ハイレベルおよびローレベルにそれぞれ駆動し、ライトワード線 W W L をハイレベルに駆動すると、第 1 ノード N A にハイレベルが書き込まれ、第 2 ノード N B にローレベルが書き込まれる。一方、ライトビット線 W B L, W B L B を、ローレベルおよびハイレベルにそれぞれ駆動し、ライトワード線 W W L をハイレベルに駆動すると、第 1 ノード N A にローレベルが書き込まれ、第 2 ノード N B にハイレベルが書き込まれる。そして、第 1 および第 2 ノード N A, N B にデータがそれぞれ書き込まれている状態で、ライトワード線 W W L をローレベルに駆動すると、ラッチ状態が確定し、第 1 および第 2 ノード N A, N B に書き込まれているデータが

保持される。

[0099] また、予めリードビット線RBLをハイレベルにプリチャージしておき、リードワード線RWLをハイレベルに駆動すると、第2ノードNBに書き込まれたデータに応じてリードビット線RBLの状態が確定するため、メモリセルからのデータの読み出しを行うことができる。具体的に、第2ノードNBがハイレベルであれば、リードビット線RBLはローレベルにディスチャージされる。一方、第2ノードNBがローレベルであれば、リードビット線RBLはハイレベルを保持する。

[0100] 以上に説明したように、メモリセルは、ライトビット線WBL、WBLB、リードビット線RBL、ライトワード線WWLおよびリードワード線RWLを制御することによって、メモリセルへのデータ書き込み、データ保持およびメモリセルからのデータ読み出し機能を有する。

[0101] (メモリセルのレイアウト構造)

図19はメモリセルC8のレイアウト構造の例を示す平面図である。図19(a)は、セル上部を示し、図19(b)はセル下部を示す。

[0102] 図19のメモリセルC8は、図3と比較すると、図面右側に、リードドライブトランジスタRPDおよびリードアクセストランジスタRPGが形成されている。

[0103] 具体的に、図19に示すように、ナノシート23、26の図面右側に、ナノシート27、28がそれぞれ形成されている。ナノシート27、28がリードドライブトランジスタRPDおよびリードアクセストランジスタRPGのチャネル部をそれぞれ構成する。

[0104] ゲート配線34の図面右側に、X方向およびY方向に延びるゲート配線35が形成されている。ゲート配線32がリードドライブトランジスタRPDのゲートとなり、ゲート35がリードアクセストランジスタRPGのゲートとなる。

[0105] ナノシート27の図面上端、ナノシート27、28の間およびナノシート28の図面下端に、N型の不純物がドーピングされたパッド50a~50c

がそれぞれ形成されている。パッド50a, 50bがリードドライブトランジスタRPDのノードを構成する。パッド50b, 50cがリードアクセストランジスタRPGのノードを構成する。

[0106] ローカル配線層には、X方向に延びるローカル配線59, 60が形成されている。ローカル配線53は、パッド50aと接続されている。ローカル配線59は、パッド50bと接続されている。ローカル配線60は、パッド50cと接続されている。

[0107] M1配線層には、リードビット線RBLに相当する配線67が形成されている。配線67は、コンタクト83eを介して、ローカル配線60と接続されている。なお、図19では、配線62がライトビット線WLBに相当し、配線63がライトビット線WBLに相当する。

[0108] M2配線層には、X方向に延びる配線72, 73が形成されている。配線72は、リードワード線RWLに相当し、配線73は、ライトワード線WWLに相当する。配線72は、コンタクト85c、配線68およびコンタクト84cを介して、ゲート35と接続されている。配線73は、コンタクト85a、配線64およびコンタクト84aを介してゲート配線31と接続されている。また、配線73は、コンタクト85b、配線65およびコンタクト84bを介してゲート配線34と接続されている。

[0109] (ウェルタップセルのレイアウト構造)

図20および図21はウェルタップセルC9のレイアウト構造の例を示す図である。具体的には、図20はセル下部を示し、図21はセル上部を示す。

[0110] 図20および図21のウェルタップセルC9は、図6および図7のウェルタップセルC2とほぼ同様に構成される。具体的には、ウェルタップセルC9は、図面上部および図面下部にそれぞれ配置されたダミーメモリセル部C91と、図面中央に配置されたウェルタップ部C92とからなる。

[0111] ダミーメモリセル部C91は、メモリセルC8とほぼ同様のレイアウト構成であるが、備えられている各トランジスタが、いずれも論理機能を有さな

いダミートランジスタである。なお、図面上部に配置されたダミーメモリセル部C 9 1は、図面下部に配置されたダミーメモリセル部C 9 1をY方向に反転して配置したものである。

[0112] また、ダミーメモリセル部C 9 1は、M 2配線層において、配線1 7 1に代えて、配線1 7 4, 1 7 5が配置されている。配線1 7 4, 1 7 5は、それぞれ電源電圧V S Sを供給する。すなわち、ダミーメモリセル部C 9 1のM 2配線層に配置された配線1 7 4, 1 7 5は、それぞれ、電源配線1 1 1 (1 1 2)を介して、メモリセルC 8の電源配線1 1 (1 2)と接続されている。

[0113] また、ウェルタップ部C 9 2は、図6および図7のウェルタップ部C 2 2とほぼ同様の構成であり、メモリセルC 8の埋め込み電源配線を強化するとともに、メモリセルC 8のNウェル1およびP型基板2, 3の電位を固定する機能を有する。

[0114] ウェルタップセルC 9により、ウェルタップセルC 2と同様の効果を得ることができる。

[0115] なお、詳細な説明は省略するが、ウェルタップセルC 9は、変形例1, 2と同様の構成に変形することができる。

[0116] 上述の実施形態では、各セルに形成するトランジスタは、ナノシートF E Tであるものとしたが、これに限られるものではなく、例えばフィントランジスタであってもよい。また、各セルのナノシートF E Tは3枚のナノシートを有するものとしたが、ナノシートの枚数は3枚に限られるものではない。

[0117] また、メモリサブアレイA 1は、X方向に6つ、Y方向に8つのメモリセルがアレイ状に配置されているものとして説明したが、アレイ状に配置されるメモリセルの数はこれに限られない。メモリサブアレイA 3に配置されるメモリセルの数も同様である。

産業上の利用可能性

[0118] 本開示では、埋め込み電源配線を用いる半導体記憶装置について、埋め込

み電源配線の抵抗値の増加を抑止することができるので、例えば半導体チップの性能向上に有用である。

符号の説明

- [0119] A 1, A 3 メモリサブアレイ
 A 2 ウェルタップセル部
 A 4 B P R タップセル部
 C 1, C 4, C 8 メモリセル
 C 2, C 5, C 7, C 9 ウェルタップセル
 C 3, C 6 B P R タップセル
 C 2 1, C 5 1, C 5 1 a, C 7 1 ダミーメモリセル部
 C 2 2, C 5 2, C 9 2 ウェルタップ部
 1, 1 0 1, 2 0 1, 2 0 4 Nウェル
 2, 3, 1 0 2, 1 0 3, 2 0 2, 2 0 3, 2 0 5, 2 0 6 P型基板
 1 1 ~ 1 3, 1 1 1 ~ 1 1 3, 2 1 1 ~ 2 1 3 電源配線
 7 1 ~ 7 2, 1 7 1, 1 7 3, 2 7 1 ~ 2 7 3 配線

請求の範囲

[請求項1]

第1方向に並んで配置された第1および第2メモリサブアレイと、
前記第1および第2メモリアレイの間に配置されており、平面視において前記第1方向と垂直をなす第2方向に並んで配置された複数のウェルタップセルとを備え、

前記第1および第2メモリサブアレイは、それぞれ、

アレイ状に配置された複数のメモリセルと、

埋め込み配線層に形成されており、前記第1方向に延びており、
第1電源電圧を供給する第1埋め込み電源配線とを備え、

前記ウェルタップセルは、

前記埋め込み配線層に形成されており、前記第1方向に延びており、前記第1埋め込み電源配線と電気的に接続されており、前記第1電源電圧を供給する第2埋め込み電源配線と、

前記埋め込み配線層よりも上層の配線層に形成されており、前記第2方向に延びており、前記第2埋め込み電源配線と電気的に接続されており、前記第1電源電圧を供給する第1配線とを備え、

前記メモリセルのウェルまたは基板に第2電源電圧を供給することを特徴とする半導体記憶装置。

[請求項2]

請求項1記載の半導体記憶装置において、

前記ウェルタップセルは、

前記第1メモリサブアレイの前記第1方向端部に配置された前記メモリセルと、前記第1方向に隣接して配置されたダミーメモリセル部と、

前記ダミーメモリセル部に対して、前記メモリセルと前記第1方向における反対側に配置されたウェルタップ部とをさらに備え、

前記ダミーメモリセル部および前記ウェルタップ部は、それぞれ、
前記第1配線を備える

ことを特徴とする半導体記憶装置。

- [請求項3] 請求項1記載の半導体記憶装置において、
 前記第2電源電圧は、前記第1電源電圧と同一の電源電圧であることを特徴とする半導体記憶装置。
- [請求項4] 請求項1記載の半導体記憶装置において、
 前記ウェルタップセルは、
 前記メモリセルの前記ウェルまたは前記基板に前記第1電源電圧を供給し、
 前記メモリセルの前記ウェルまたは前記基板に、前記第1電源電圧と異なる第3電源電圧を供給することを特徴とする半導体記憶装置。
- [請求項5] 請求項4記載の半導体記憶装置において、
 前記ウェルタップセルは、前記配線層に形成されており、前記第2方向に延びており、前記第3電源電圧を供給する第2配線をさらに備えることを特徴とする半導体記憶装置。
- [請求項6] 請求項4記載の半導体記憶装置において、
 前記ウェルタップセルは、
 第1導電型の第1領域と、
 第1導電型と異なる第2導電型の第2領域とをさらに備え、
 前記第1領域を介して、前記ウェルまたは前記基板に前記第1電源電圧を供給し、
 前記第2領域を介して、前記ウェルまたは前記基板に前記第3電源電圧を供給することを特徴とする半導体記憶装置。
- [請求項7] 請求項1記載の半導体記憶装置において、
 前記第1メモリサブアレイは、前記第1方向に並んで配置されており、前記複数のメモリセルがアレイ状に配置された第3および第4メモリサブアレイを備え、

前記第3および第4メモリサブアレイの間には、前記第2方向に並んで配置された複数のBPRタップセルが配置されており、

前記BPRタップセルは、

前記埋め込み配線層に形成されており、前記第1方向に延びており、前記第1埋め込み電源配線と電氣的に接続されており、前記第1電源電圧を供給する第3埋め込み電源配線と、

前記配線層に形成されており、前記第2方向に延びており、前記第2埋め込み電源配線と電氣的に接続されており、前記第1電源電圧を供給する第3配線とを備える

ことを特徴とする半導体記憶装置。

[請求項8]

請求項1記載の半導体記憶装置において、

前記メモリセルは、前記埋め込み配線層に形成されており、前記第1方向に延びており、前記第1および第2電源電圧と異なる第3電源電圧を供給する第4埋め込み電源配線をさらに備え、

前記ウェルタップセルは、

前記埋め込み配線層に形成されており、前記第1方向に延びており、前記第4埋め込み電源配線と電氣的に接続されており、前記第3電源電圧を供給する第5埋め込み電源配線と、

前記配線層に形成されており、前記第2方向に延びており、前記第4埋め込み電源配線と電氣的に接続されており、前記第3電源電圧を供給する第2配線とをさらに備える

ことを特徴とする半導体記憶装置。

[請求項9]

請求項1記載の半導体記憶装置において、

前記第1メモリサブアレイは、前記第1方向に並んで配置されており、前記複数のメモリセルがアレイ状に配置された第3および第4メモリサブアレイを備え、

前記第3および第4メモリサブアレイの間には、前記第2方向に並んで配置された複数のBPRタップセルが配置されており、

前記メモリセルは、前記埋め込み配線層に形成されており、前記第1方向に延びており、前記第1および第2電源電圧と異なる第3電源電圧を供給する第4埋め込み電源配線をさらに備え、

前記BPRタップセルは、

前記埋め込み配線層に形成されており、前記第1方向に延びており、前記第1埋め込み電源配線と電氣的に接続されており、前記第1電源電圧を供給する第3埋め込み電源配線と、

前記配線層に形成されており、前記第2方向に延びており、前記第2埋め込み電源配線と電氣的に接続されており、前記第1電源電圧を供給する第3配線と、

前記埋め込み配線層に形成されており、前記第1方向に延びており、前記第4埋め込み電源配線と電氣的に接続されており、前記第3電源電圧を供給する第6埋め込み電源配線と、

前記配線層に形成されており、前記第2方向に延びており、前記第4埋め込み電源配線と電氣的に接続されており、前記第3電源電圧を供給する第4配線とを備える

ことを特徴とする半導体記憶装置。

[請求項10] 請求項1記載の半導体記憶装置において、

前記第2電源電圧は、前記第1電源電圧と異なる電源電圧であることを特徴とする半導体記憶装置。

[請求項11] 請求項10記載の半導体記憶装置において、

前記メモリセルは、前記埋め込み配線層に形成されており、前記第1方向に延びており、前記第1および第2電源電圧と異なる第3電源電圧を供給する第4埋め込み電源配線をさらに備え、

前記ウェルタップセルは、

前記埋め込み配線層に形成されており、前記第1方向に延びており、前記第4埋め込み電源配線と電氣的に接続されており、前記第3電源電圧を供給する第5埋め込み電源配線と、

前記配線層に形成されており、前記第2方向に延びており、前記第4埋め込み電源配線と電氣的に接続されており、前記第3電源電圧を供給する第2配線と、

前記配線層に形成されており、前記第2方向に延びており、前記第3電源電圧を供給する第5配線と、

第1導電型の第1領域と、

第1導電型と異なる第2導電型の第2領域とをさらに備え、

前記第1領域を介して、前記ウェルまたは前記基板に前記第1電源電圧を供給し、

前記第2領域を介して、前記ウェルまたは前記基板に前記第2電源電圧を供給する

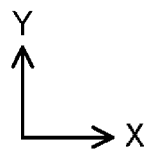
ことを特徴とする半導体集積回路装置。

[請求項12]

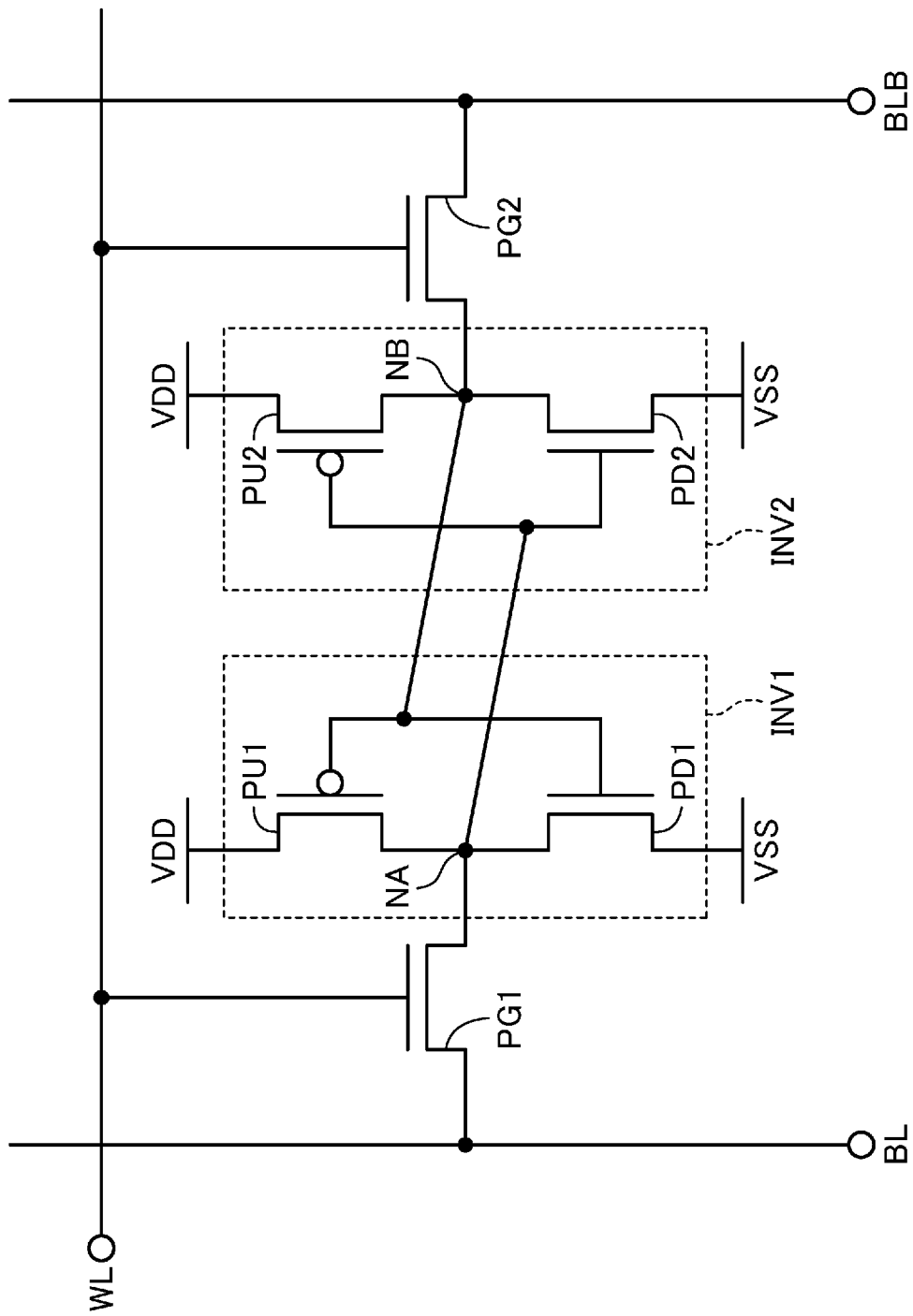
請求項2記載の半導体記憶装置において、

前記ダミーメモリセル部は、複数の前記第1配線を備える

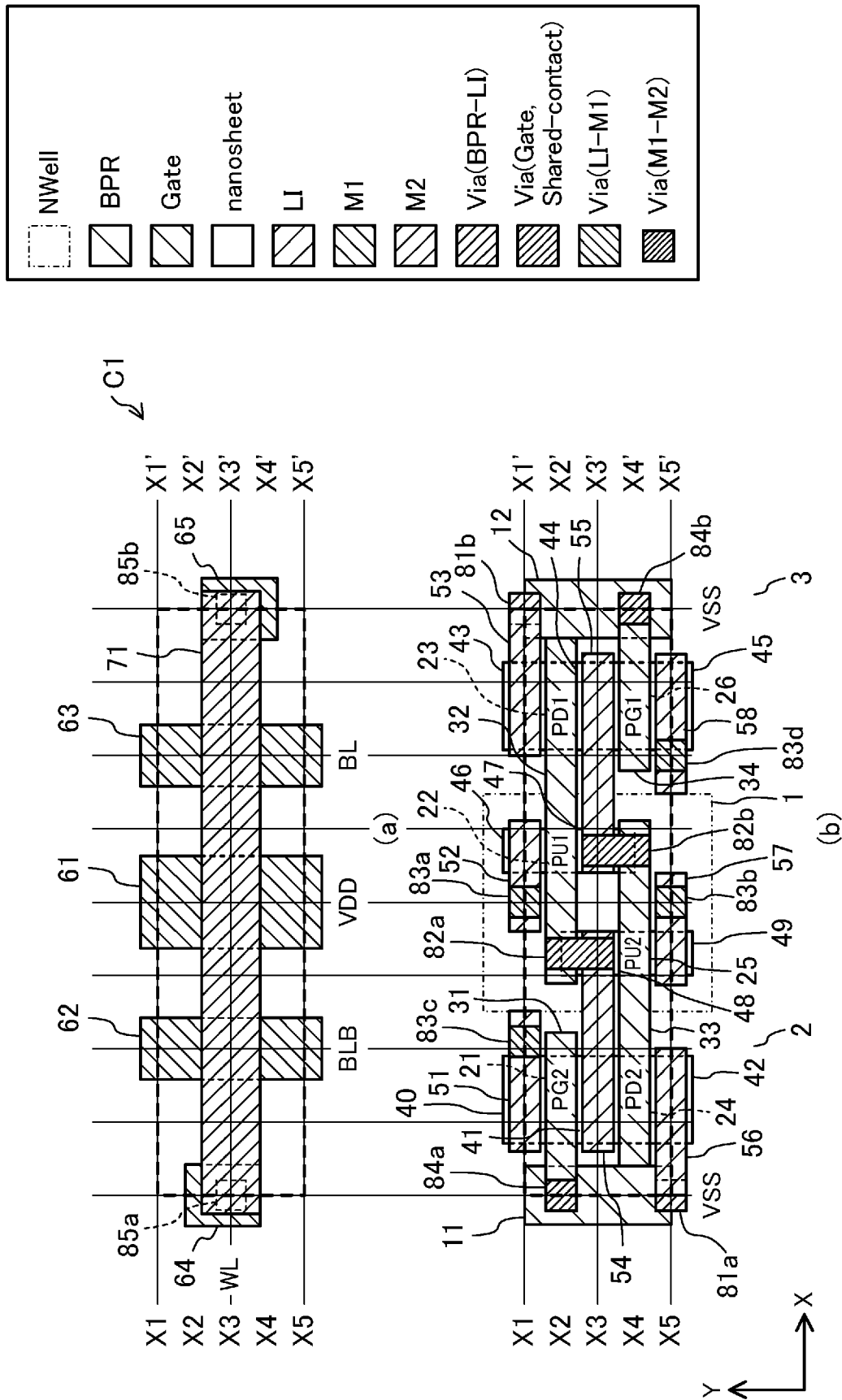
ことを特徴とする半導体記憶装置。



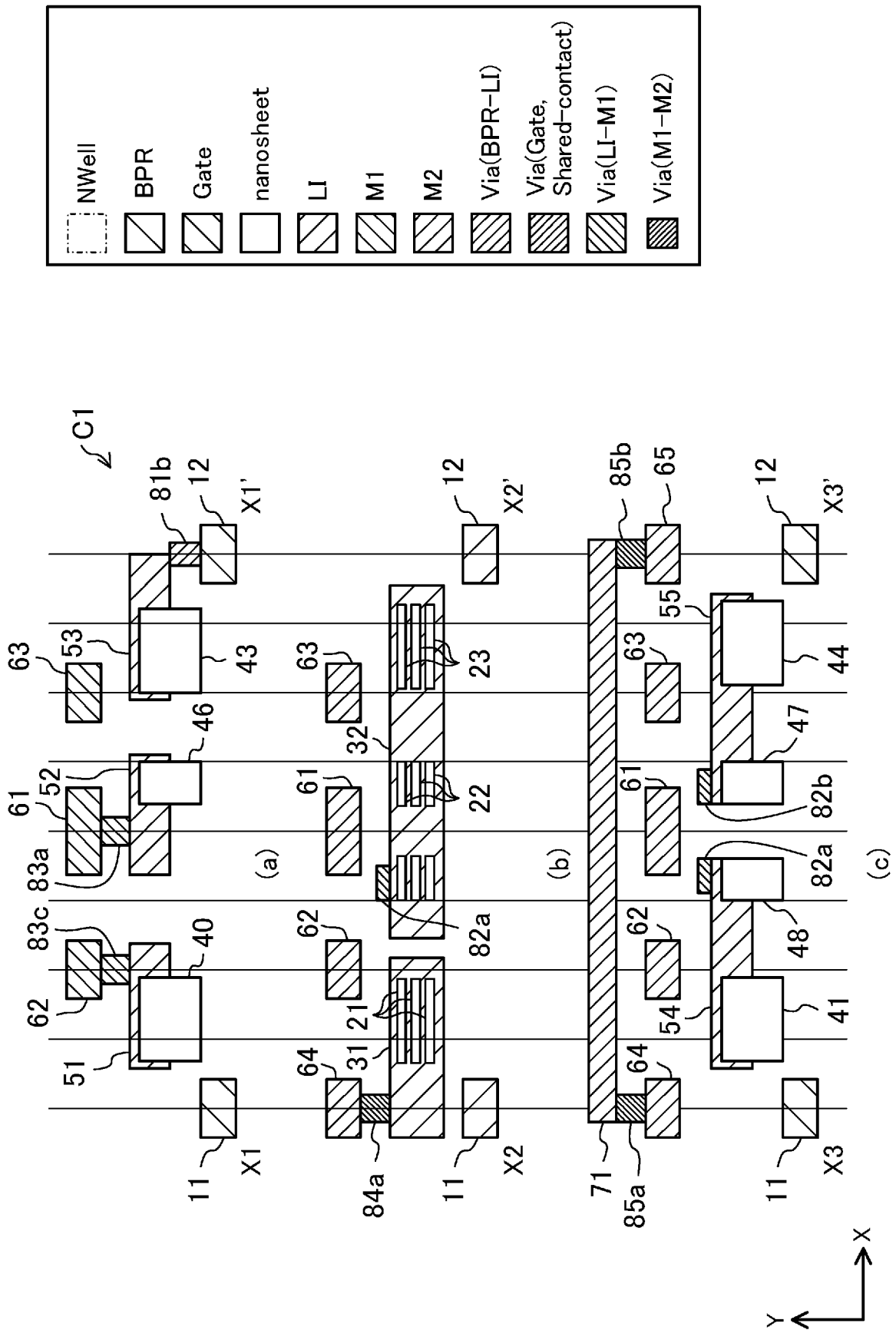
[図2]



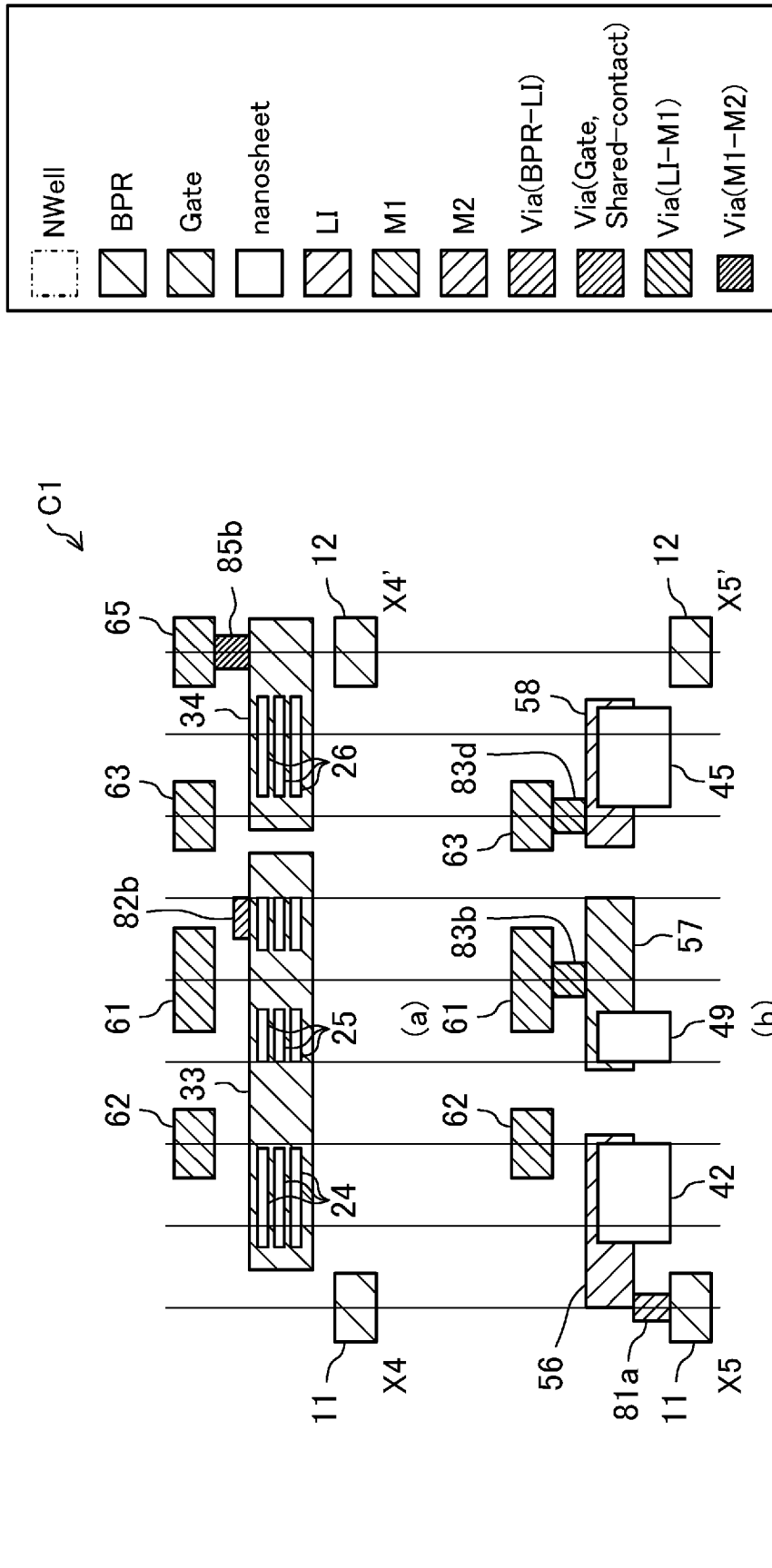
[図3]



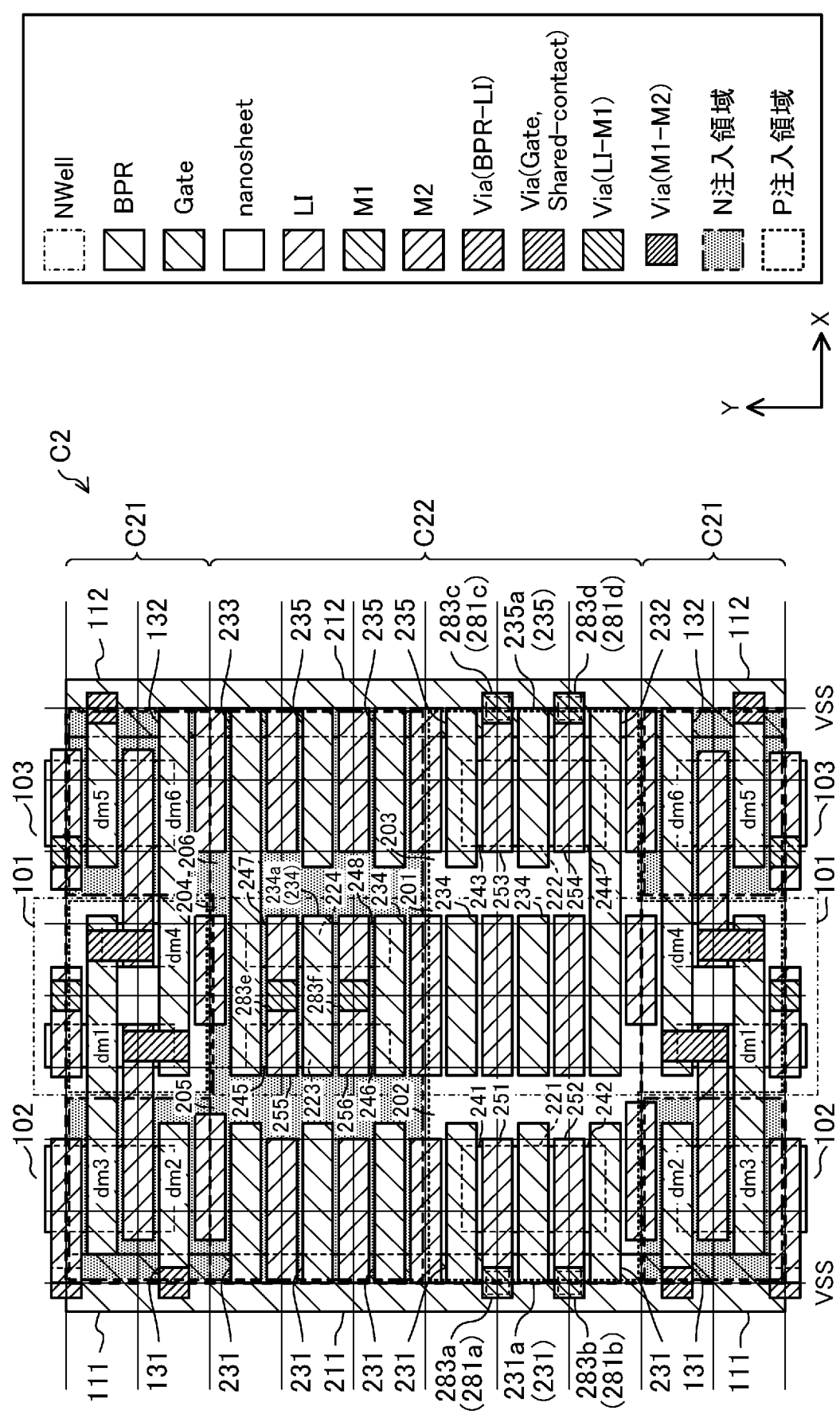
[図4]



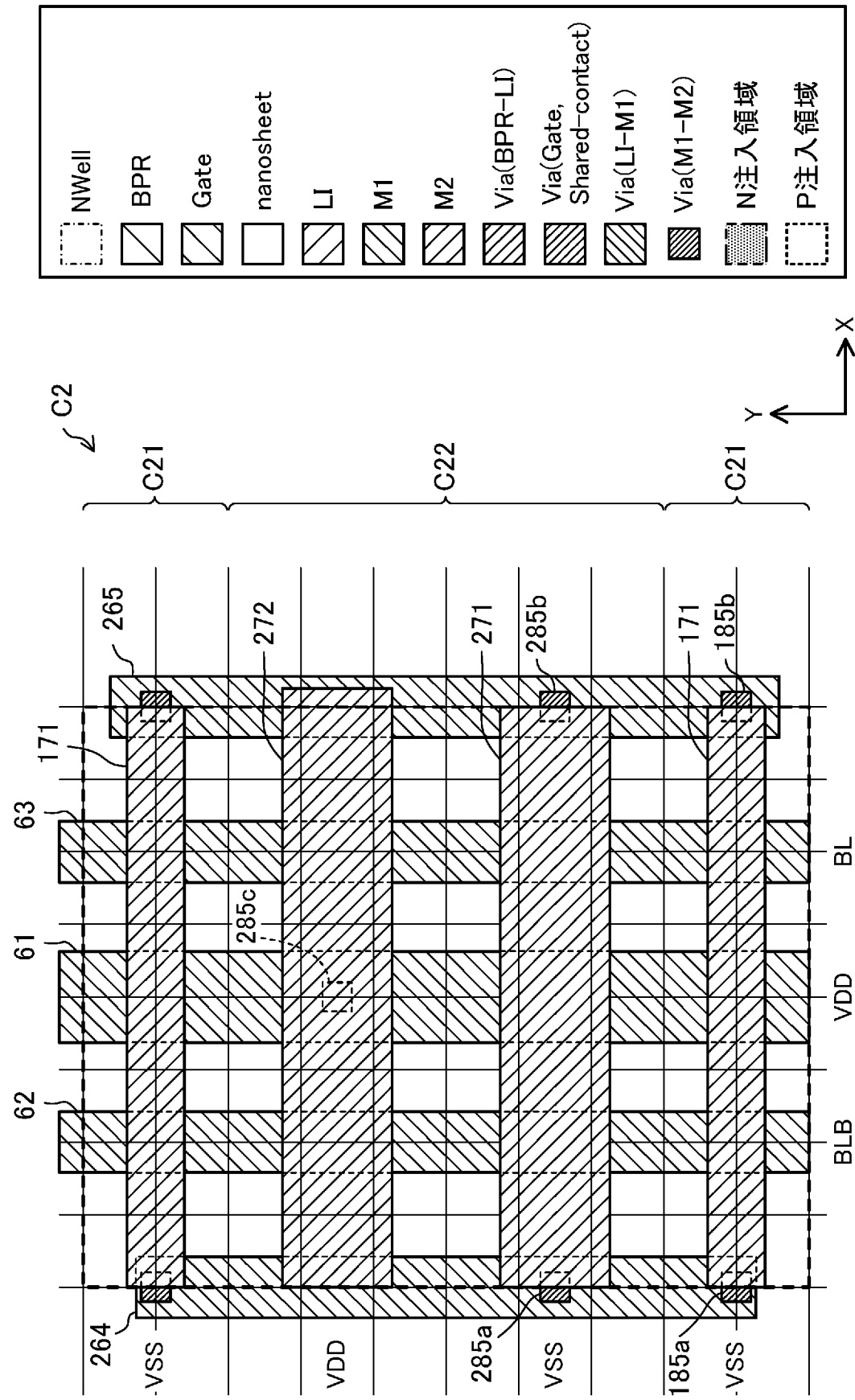
[図5]



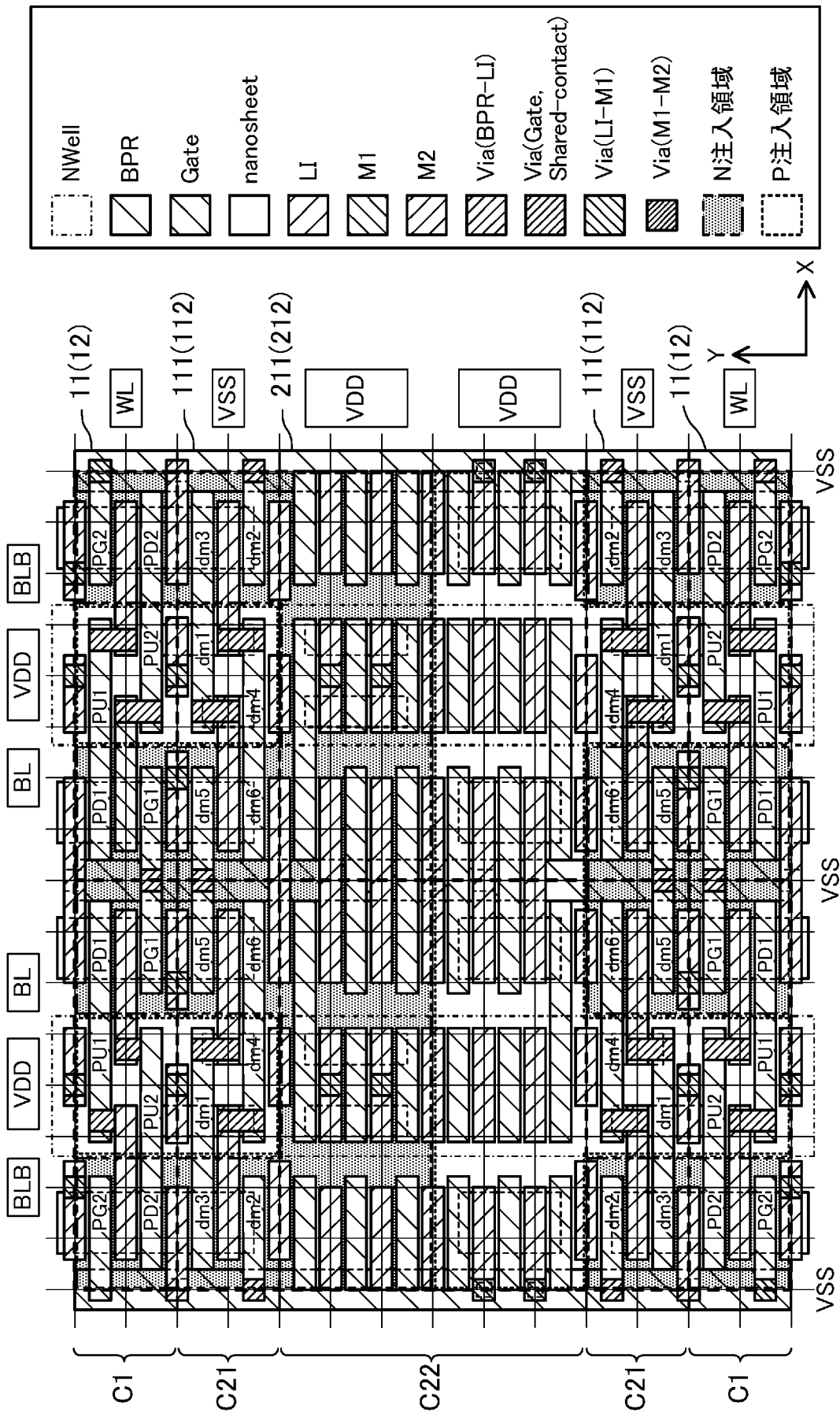
[図6]



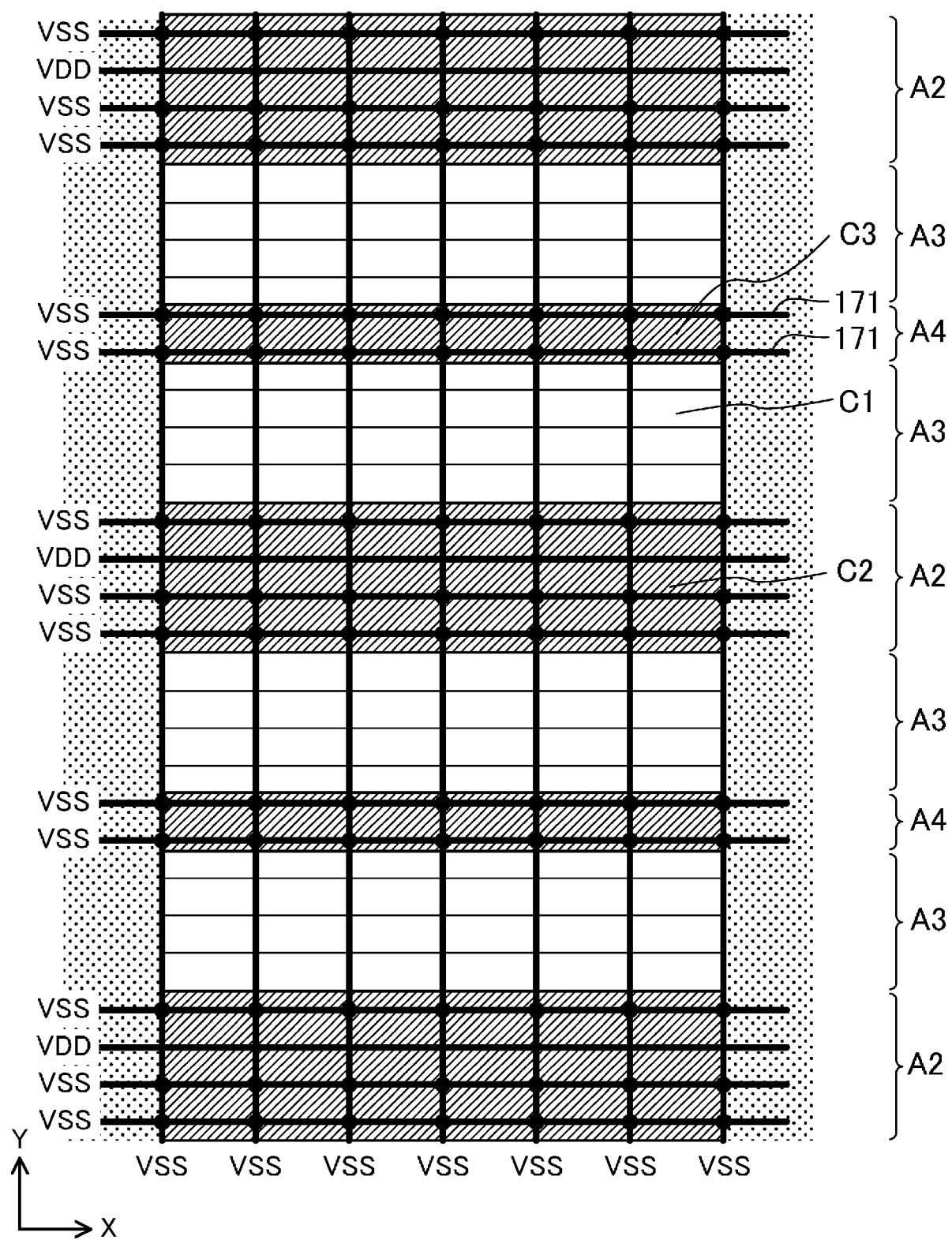
[図7]



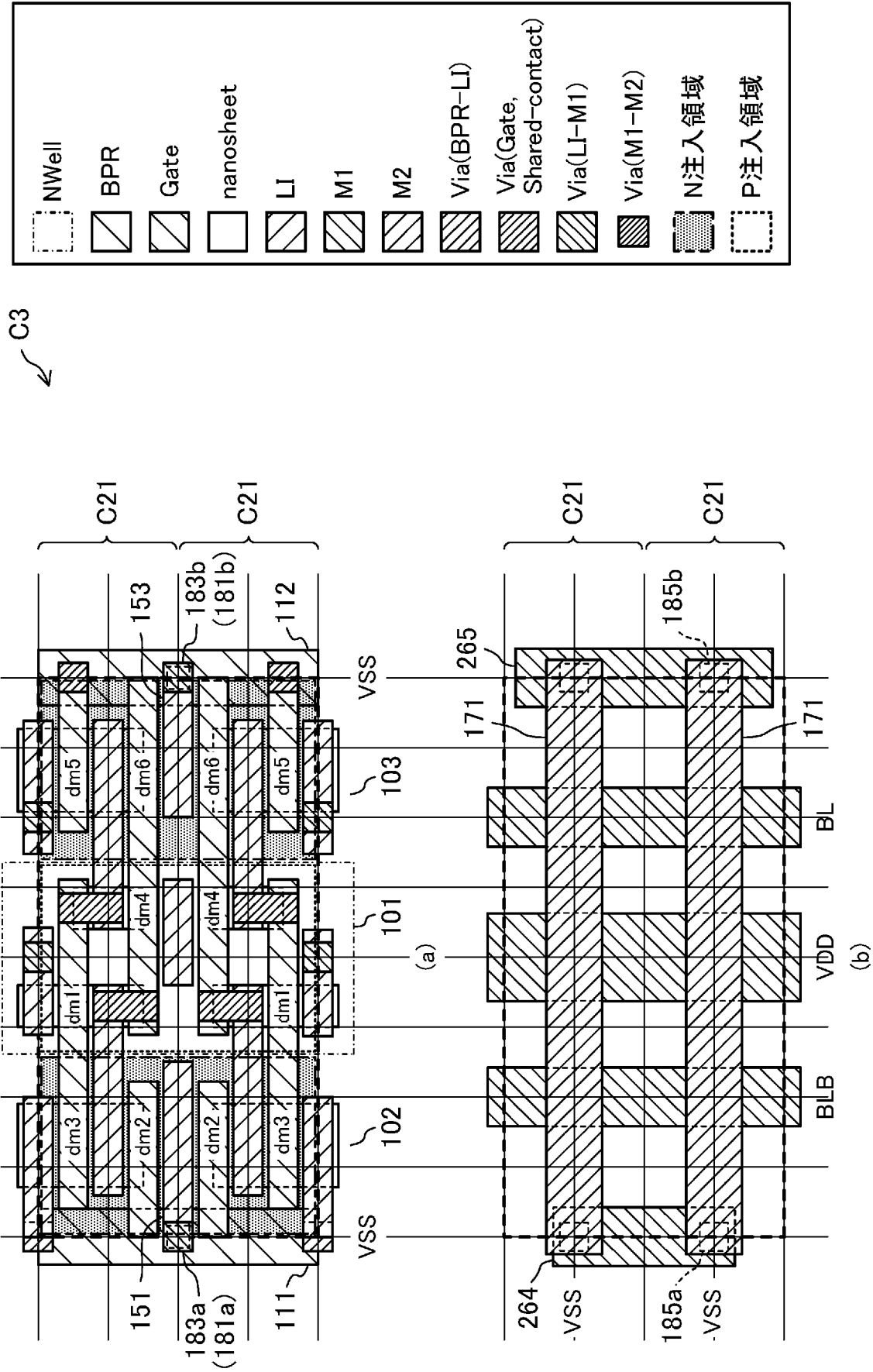
[図8]

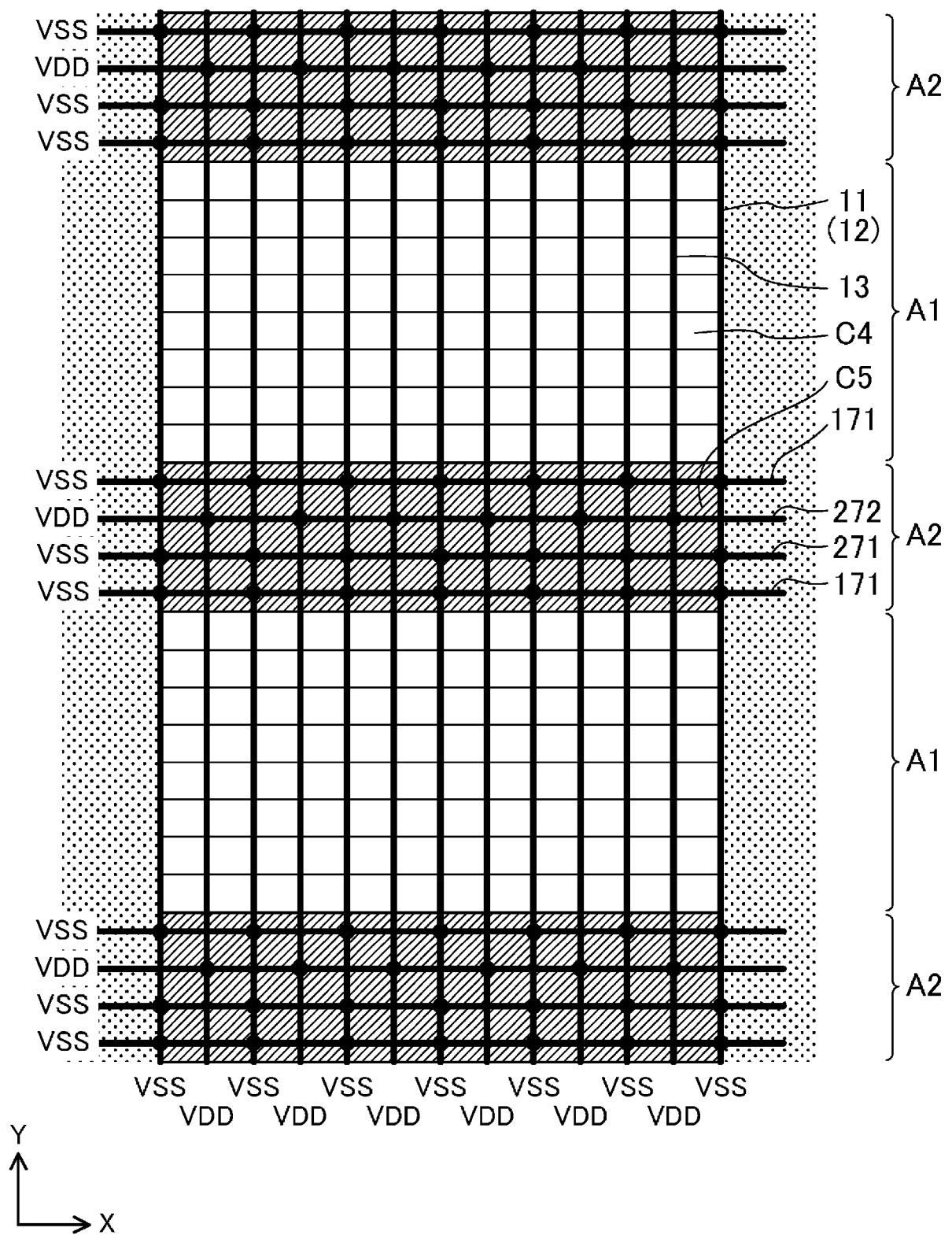


[図9]

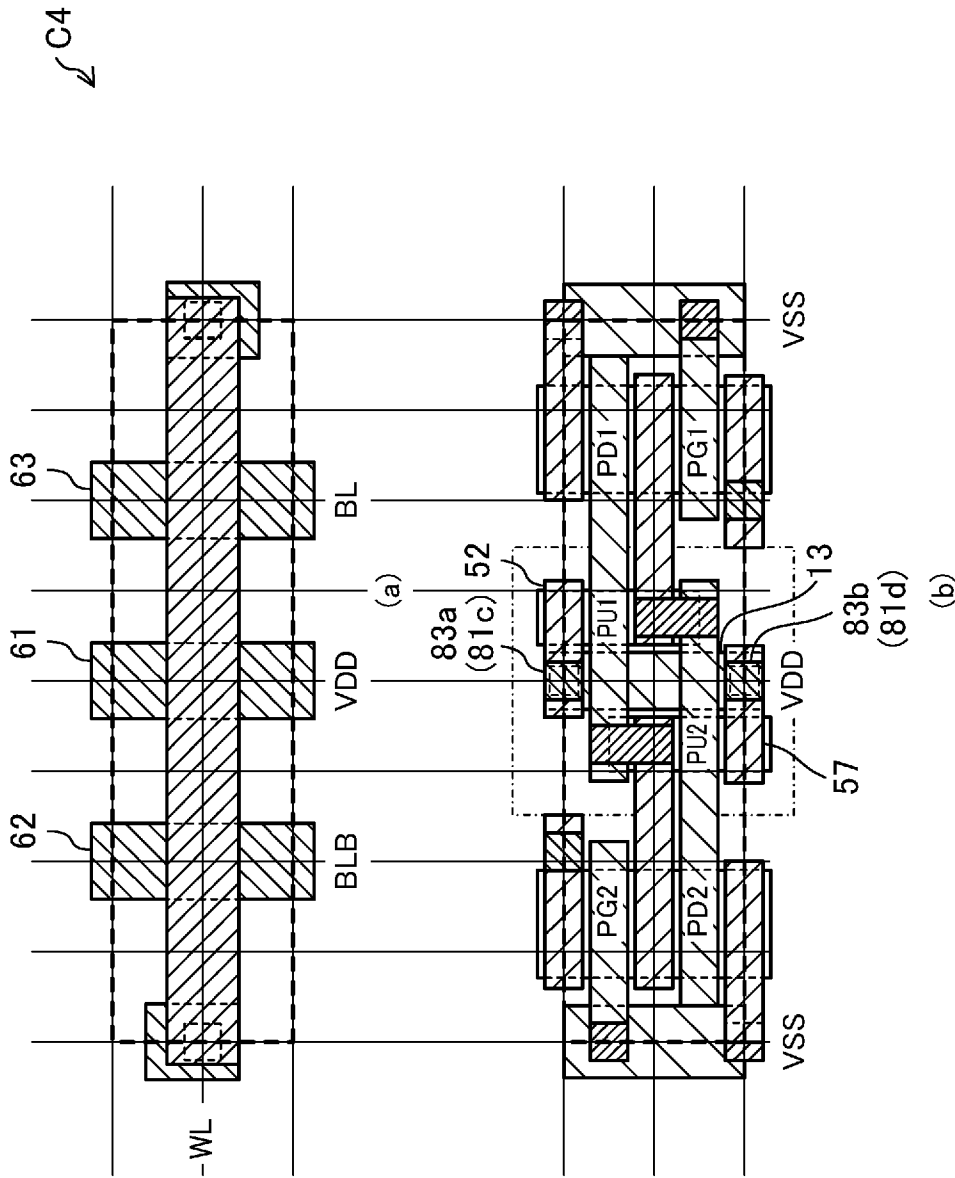
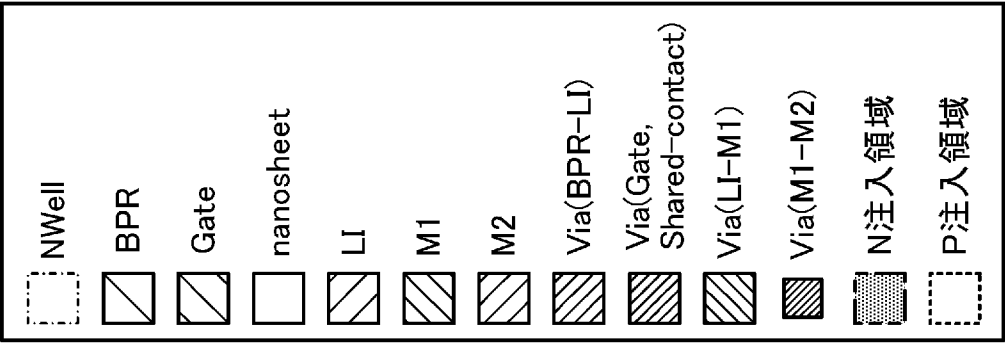


[図10]

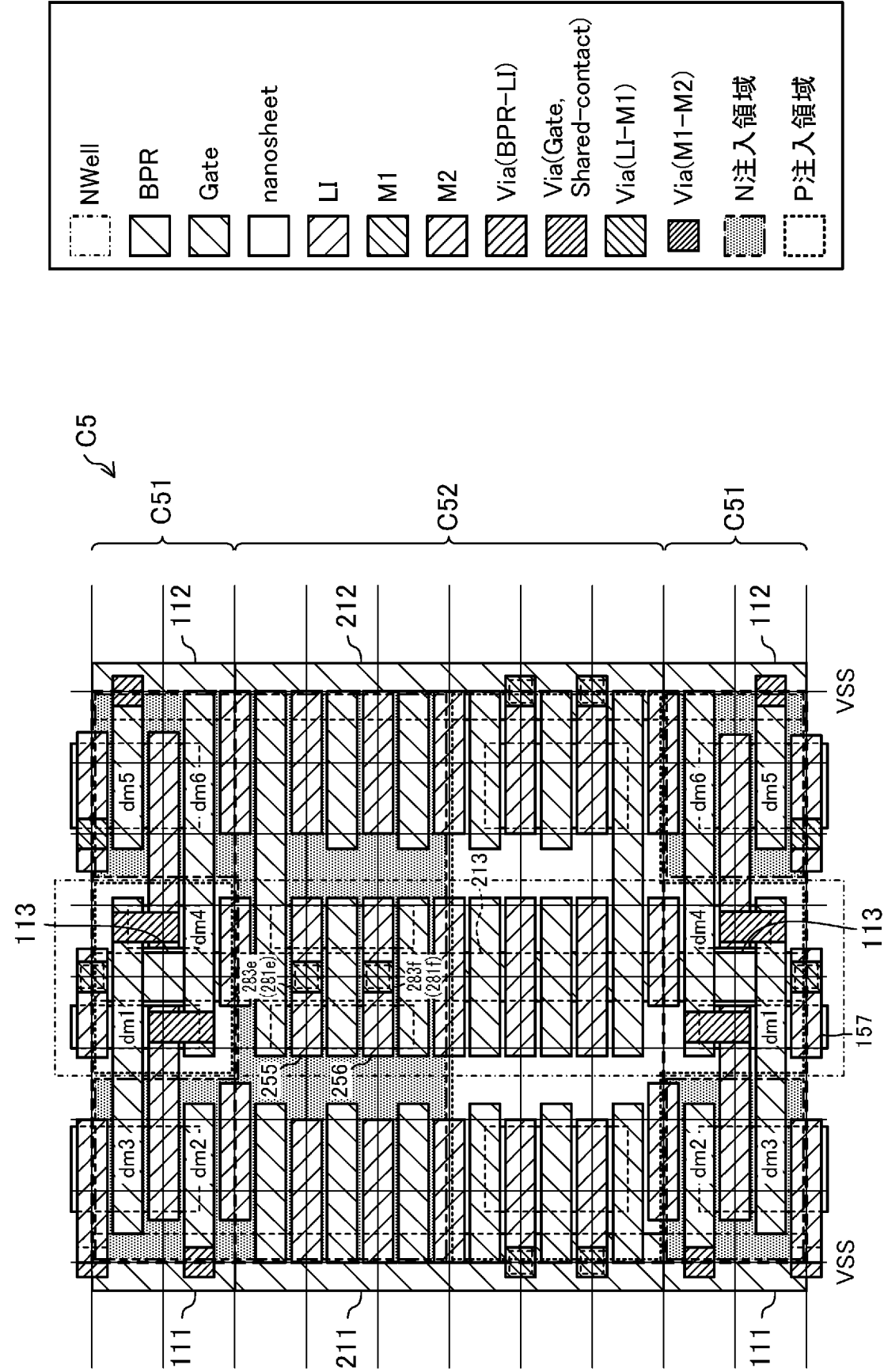




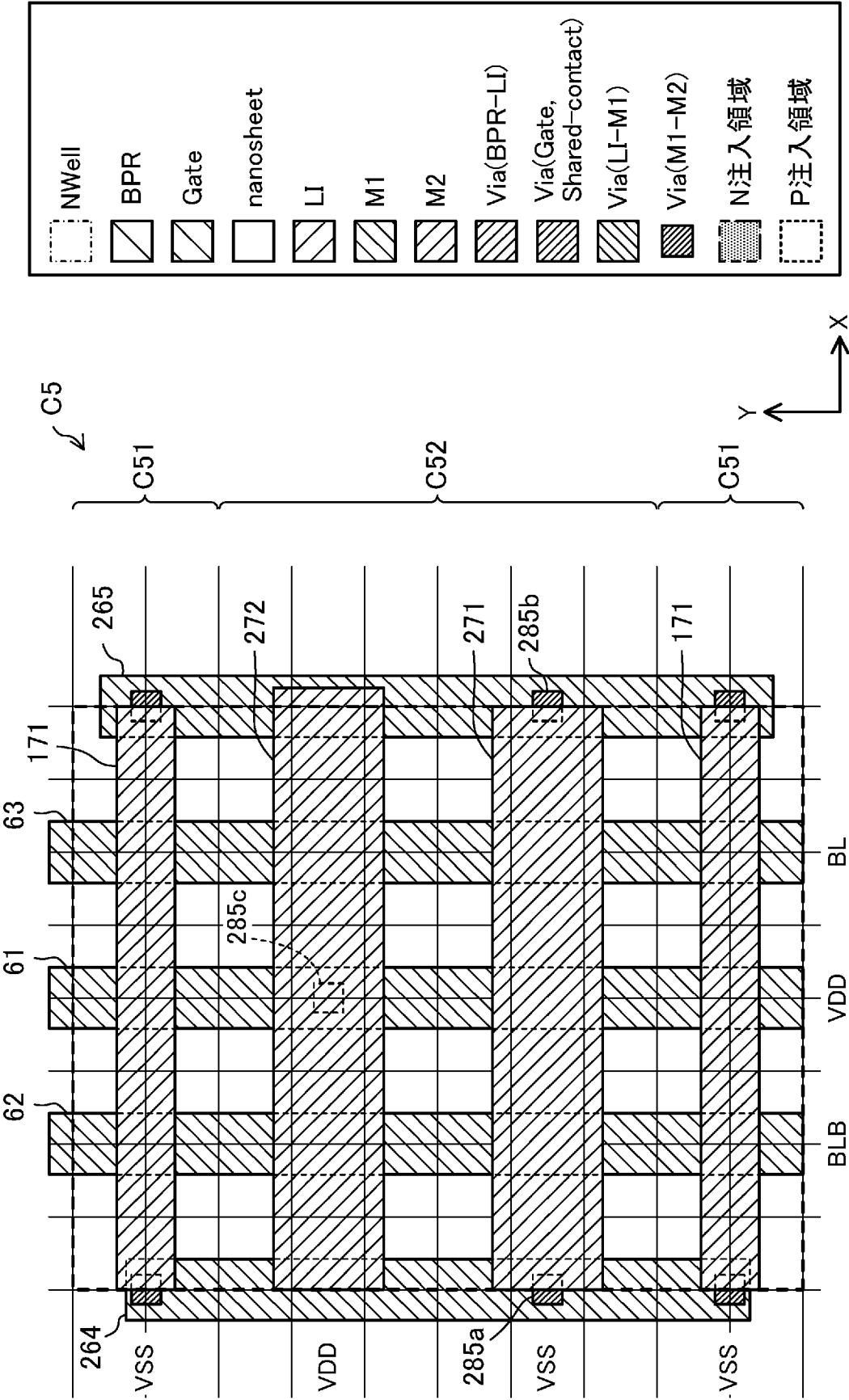
[図12]



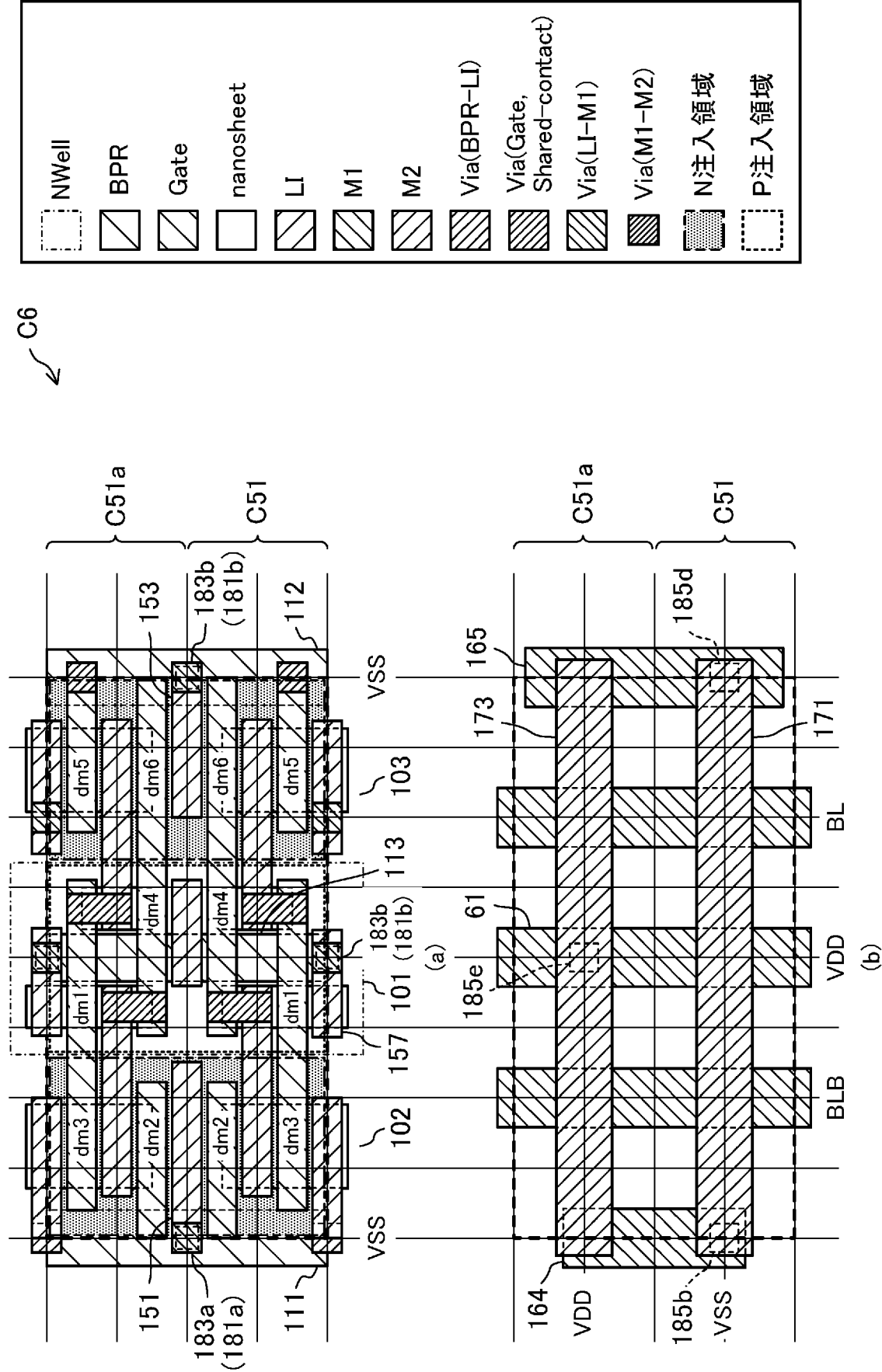
[図13]



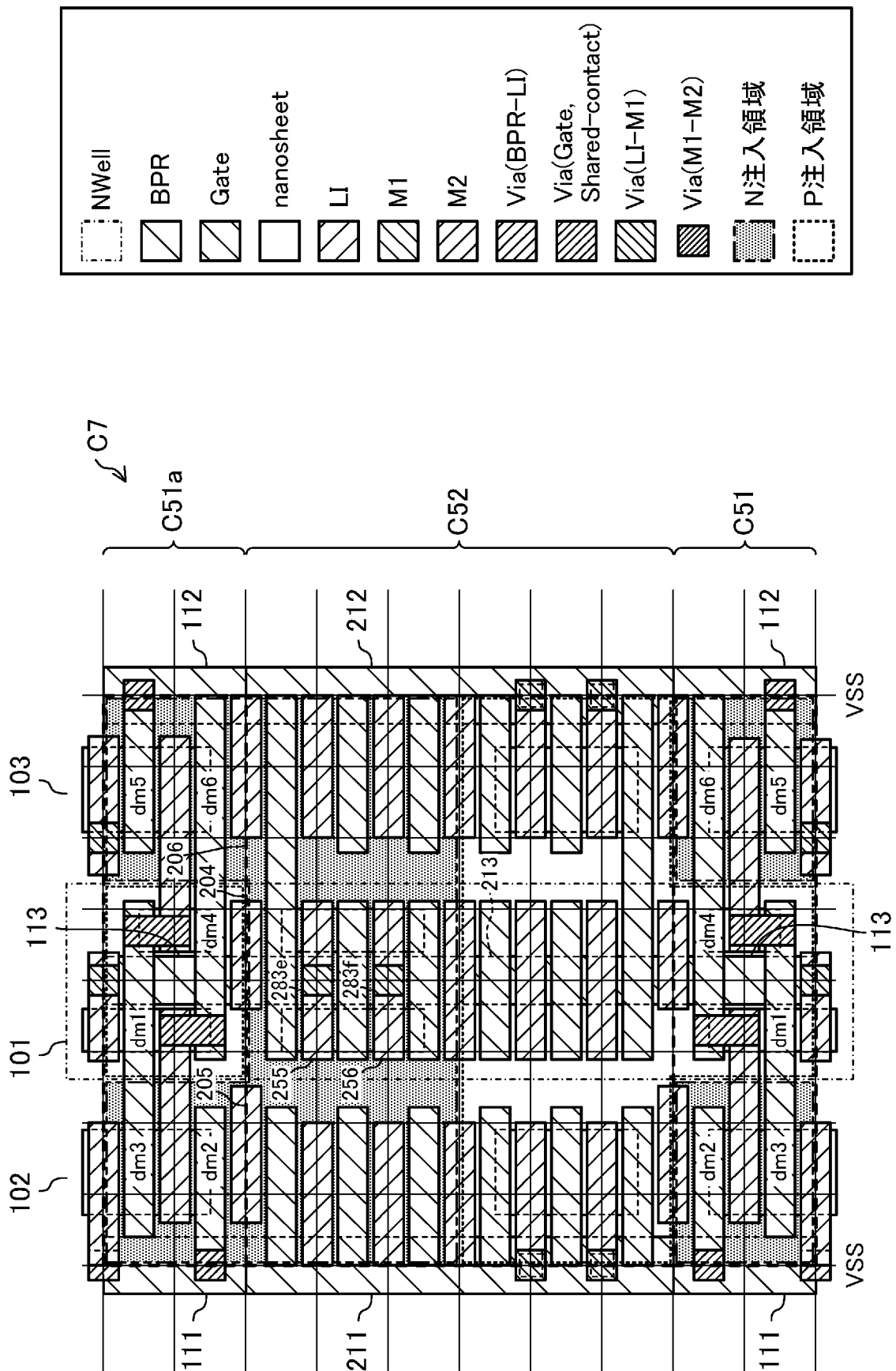
[図14]



[図15]

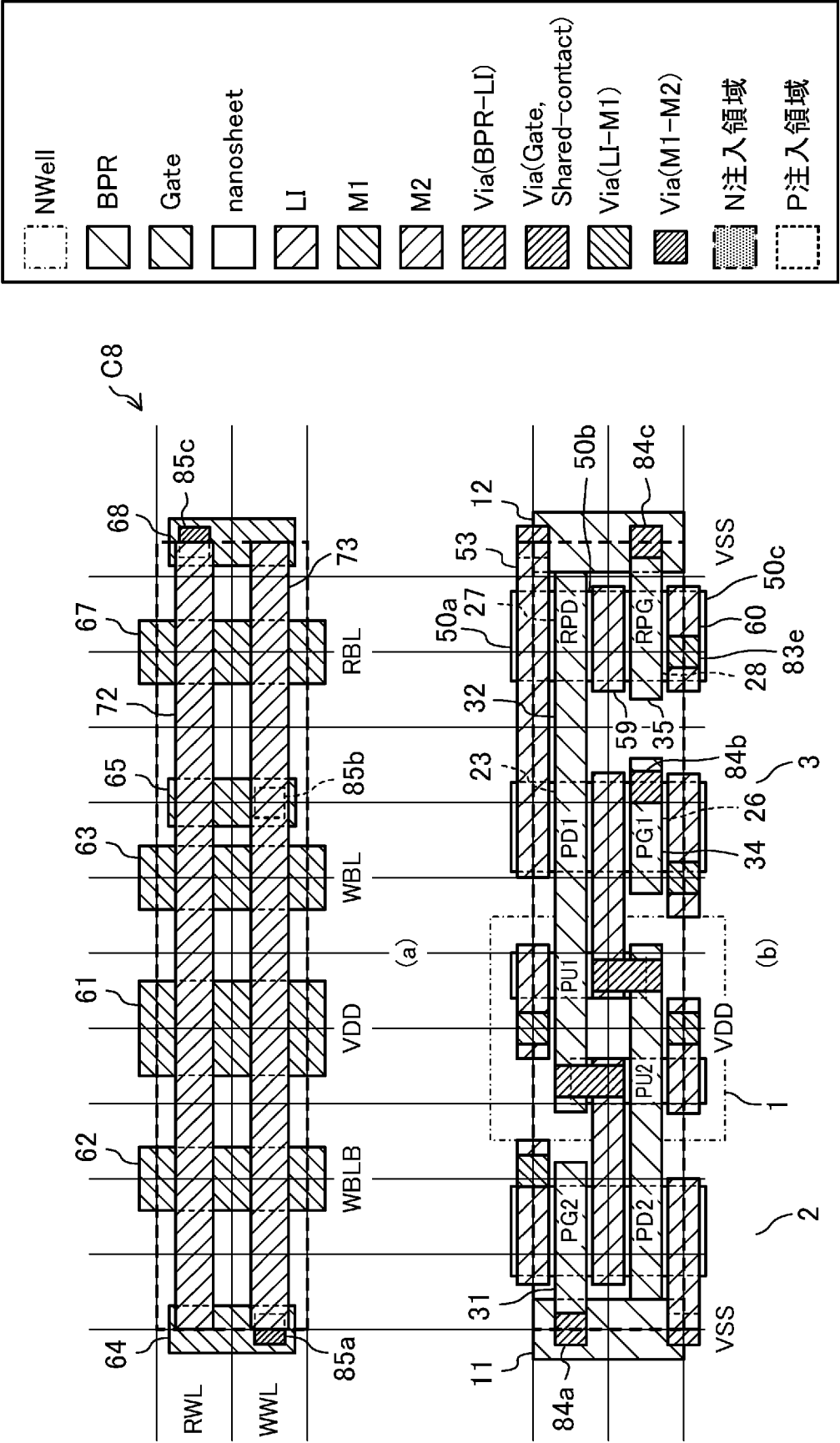


[図16]

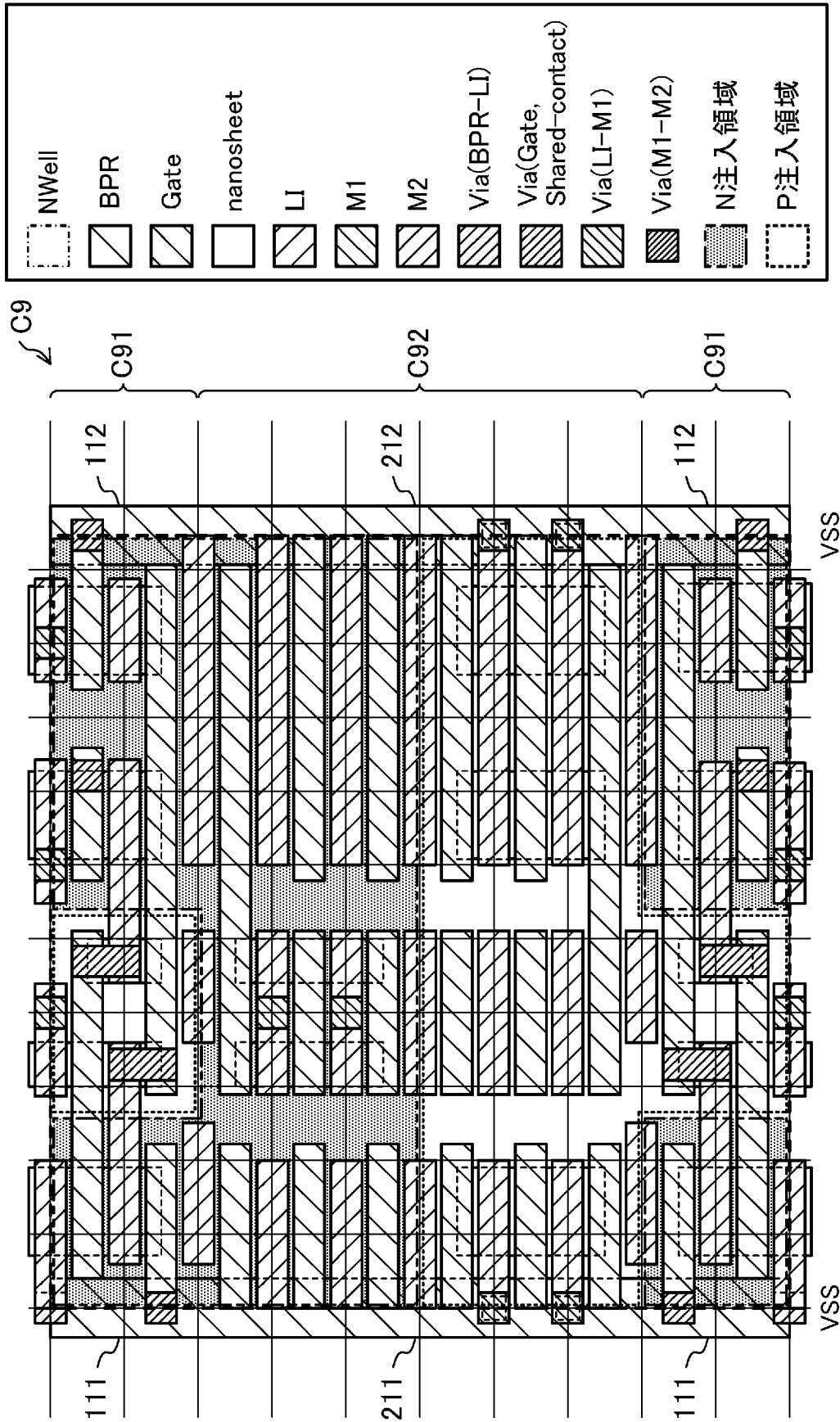


The schematic diagram illustrates a 1T1R1C1B2 architecture. It features a central crossbar array of two access transistors (ATs) and two data storage elements (DSEs). The ATs are labeled NA and NB, and the DSEs are labeled PU1, PU2, PD1, and PD2. The circuit is controlled by word lines (WWL) and bit lines (WBL, RBL). The output of the array is connected to a sense amplifier (SA) and a read/write driver (RWD). The SA consists of a differential pair of PMOS transistors (RPD, RPD) and NMOS transistors (RPG, RPL) connected to a common source node (VSS). The RWD consists of a PMOS transistor (RWL) and an NMOS transistor (RNL) connected to a common source node (VSS). The circuit is powered by VDD and VSS.

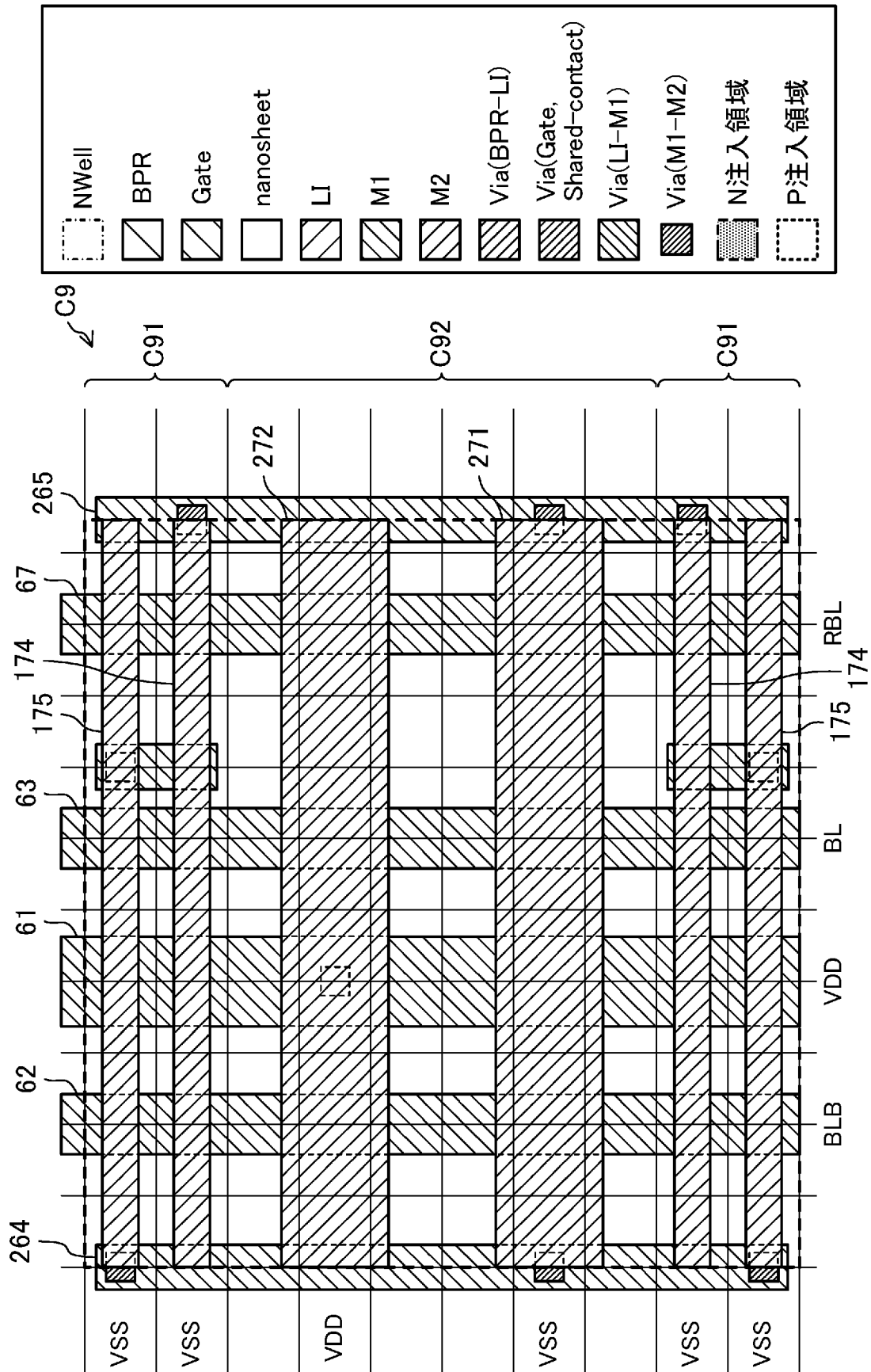
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/019374

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/11(2006.01)i; **G11C 11/417**(2006.01)i; **H01L 21/3205**(2006.01)i; **H01L 21/768**(2006.01)i; **H01L 21/82**(2006.01)i;
H01L 21/8244(2006.01)i; **H01L 23/522**(2006.01)i
 FI: H01L27/11; H01L21/88 J; H01L21/90 A; H01L21/82 W; G11C11/417 100

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/11; G11C11/417; H01L21/3205; H01L21/768; H01L21/82; H01L21/8244; H01L23/522

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-26594 A (RENESAS ELECTRONICS CORP.) 04 February 2013 (2013-02-04) paragraphs [0041]-[0138], fig. 15	1-12
Y	JP 2021-61278 A (SOCIONEXT INC.) 15 April 2021 (2021-04-15) paragraphs [0042]-[0050], fig. 9	1-12
Y	WO 2019/155559 A1 (SOCIONEXT INC.) 15 August 2019 (2019-08-15) fig. 1, 9	2, 12
Y	JP 2001-28401 A (HITACHI, LTD.) 30 January 2001 (2001-01-30) fig. 4	11

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

24 June 2022

Date of mailing of the international search report

26 July 2022

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/019374

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2013-26594	A	04 February 2013	US 2013/0026580 A1 paragraphs [0105]-[0201], fig. 15 EP 2551905 A2 CN 102903719 A KR 10-2013-0012945 A TW 201312733 A	
JP	2021-61278	A	15 April 2021	(Family: none)	
WO	2019/155559	A1	15 August 2019	US 2020/0365603 A1 fig. 1, 9	
JP	2001-28401	A	30 January 2001	US 2002/0117722 A1 fig. 3 TW 469632 B KR 10-2007-0077162 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/11(2006.01)i; G11C 11/417(2006.01)i; H01L 21/3205(2006.01)i; H01L 21/768(2006.01)i; H01L 21/82(2006.01)i; H01L 21/8244(2006.01)i; H01L 23/522(2006.01)i FI: H01L27/11; H01L21/88 J; H01L21/90 A; H01L21/82 W; G11C11/417 100		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L27/11; G11C11/417; H01L21/3205; H01L21/768; H01L21/82; H01L21/8244; H01L23/522 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-26594 A（ルネサスエレクトロニクス株式会社）04.02.2013（2013-02-04） 段落[0041]-[0138]，図15	1-12
Y	JP 2021-61278 A（株式会社ソシオネクスト）15.04.2021（2021-04-15） 段落[0042]-[0050]，図9	1-12
Y	WO 2019/155559 A1（株式会社ソシオネクスト）15.08.2019（2019-08-15） 図1，9	2，12
Y	JP 2001-28401 A（株式会社日立製作所）30.01.2001（2001-01-30） 図4	11
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 24.06.2022		国際調査報告の発送日 26.07.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 脇水 佳弘 5F 3464 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/019374

引用文献			公表日	パテントファミリー文献	公表日
JP	2013-26594	A	04.02.2013	US 2013/0026580 A1 段落[0105]-[0201], 図15 EP 2551905 A2 CN 102903719 A KR 10-2013-0012945 A TW 201312733 A	
JP	2021-61278	A	15.04.2021	(ファミリーなし)	
WO	2019/155559	A1	15.08.2019	US 2020/0365603 A1 図1, 9	
JP	2001-28401	A	30.01.2001	US 2002/0117722 A1 図3 TW 469632 B KR 10-2007-0077162 A	