

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 7 部門第 2 区分
【発行日】平成 17 年 10 月 13 日 (2005.10.13)

【公開番号】特開 2004-31561 (P2004-31561A)
【公開日】平成 16 年 1 月 29 日 (2004.1.29)
【年通号数】公開・登録公報 2004-004
【出願番号】特願 2002-184316 (P2002-184316)
【国際特許分類第 7 版】

H 0 1 L 23/12

H 0 1 L 21/56

【F I】

H 0 1 L 23/12 5 0 1 W

H 0 1 L 21/56 T

【手続補正書】

【提出日】平成 17 年 6 月 2 日 (2005.6.2)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

主面と、前記主面と対向する裏面と、前記主面に配置された複数の接続端子と、前記裏面に配置された複数のランドと、前記主面と前記裏面の間に形成された複数の貫通孔とを有する基板と、

前記基板の前記主面上に搭載された半導体チップと、

前記半導体チップの複数のパッドと前記複数の接続端子とを夫々電氣的に接続する複数のワイヤと、

前記半導体チップと前記複数のワイヤを封止する封止部と、

前記複数のランド夫々に設けられた複数のバンプ電極とを有し、

前記貫通孔は、前記接続端子及び前記ランドと平面的に重なる位置に形成されていることを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、前記貫通孔の内部には、導体部材が埋め込まれていることを特徴とする半導体装置。

【請求項 3】

請求項 1 記載の半導体装置において、前記バンプ電極は、前記半導体チップと平面的に重なる位置に設けられていることを特徴とする半導体装置。

【請求項 4】

請求項 1 記載の半導体装置において、前記半導体チップは、絶縁性ペースト材を介して前記基板の前記主面に搭載されていることを特徴とする半導体装置。

【請求項 5】

請求項 1 記載の半導体装置において、前記接続端子及び前記ランドの形状は、三角形であることを特徴とする半導体装置。

【請求項 6】

(a) 主面と、前記主面と対向する裏面と、前記主面に配置された複数の接続端子と、前記裏面に配置された複数のランドと、前記主面と前記裏面の間に形成され、かつ前記接続端子及び前記ランドと平面的に重なる位置に形成された複数の貫通孔とを有する基板を

準備する工程と、

(b) 前記基板の前記主面に複数の半導体チップを搭載する工程と、

(c) 前記複数の半導体チップ夫々の複数のパッドと前記複数の接続端子とを複数のワイヤを介して夫々電氣的に接続する工程と、

(d) 前記複数の半導体チップと前記複数のワイヤを一括して封止する一括封止部を形成する工程と、

(e) 前記複数のランド夫々に複数のバンプ電極を設ける工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 7】

請求項 6 記載の半導体装置の製造方法において、前記複数の接続端子は、等ピッチであり、かつ格子状に配置されていることを特徴とする半導体装置の製造方法。

【請求項 8】

請求項 6 記載の半導体装置の製造方法において、前記貫通孔の内部に、導体部材を埋め込むことを特徴とする半導体装置の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 6

【補正方法】変更

【補正の内容】

【0 0 1 6】

すなわち、本発明は、主面と、前記主面と対向する裏面と、前記主面に配置された複数の接続端子と、前記裏面に配置された複数のランドと、前記主面と前記裏面の間に形成された複数の貫通孔とを有する基板と、前記基板の前記主面上に搭載された半導体チップと、前記半導体チップの複数のパッドと前記複数の接続端子とを夫々電氣的に接続する複数のワイヤと、前記半導体チップと前記複数のワイヤを封止する封止部と、前記複数のランド夫々に設けられた複数のバンプ電極とを有し、前記貫通孔は、前記接続端子及び前記ランドと平面的に重なる位置に形成されているものである。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 7

【補正方法】変更

【補正の内容】

【0 0 1 7】

また、本発明は、(a) 主面と、前記主面と対向する裏面と、前記主面に配置された複数の接続端子と、前記裏面に配置された複数のランドと、前記主面と前記裏面の間に形成され、かつ前記接続端子及び前記ランドと平面的に重なる位置に形成された複数の貫通孔とを有する基板を準備する工程と、(b) 前記基板の前記主面に複数の半導体チップを搭載する工程と、(c) 前記複数の半導体チップ夫々の複数のパッドと前記複数の接続端子とを複数のワイヤを介して夫々電氣的に接続する工程と、(d) 前記複数の半導体チップと前記複数のワイヤを一括して封止する一括封止部を形成する工程と、(e) 前記複数のランド夫々に複数のバンプ電極を設ける工程とを有するものである。