



(12) 发明专利申请

(10) 申请公布号 CN 103165183 A

(43) 申请公布日 2013.06.19

(21) 申请号 201210519501.1

G11C 16/02(2006.01)

(22) 申请日 2012.12.06

(30) 优先权数据

270210/2011 2011.12.09 JP

019885/2012 2012.02.01 JP

100721/2012 2012.04.26 JP

(71) 申请人 株式会社 东芝

地址 日本东京都

(72) 发明人 椎野泰洋 入枝重文 近藤重雄

(74) 专利代理机构 北京市中咨律师事务所

11247

代理人 周春燕 陈海红

(51) Int. Cl.

G11C 16/06(2006.01)

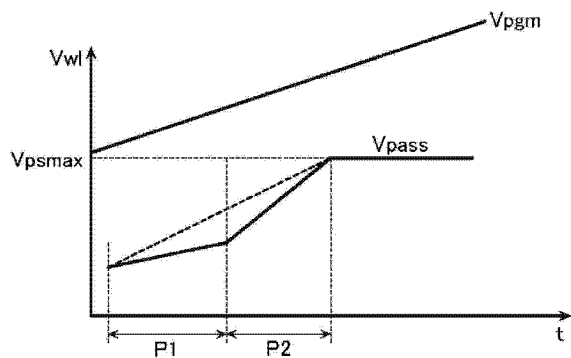
权利要求书2页 说明书34页 附图45页

(54) 发明名称

非易失性半导体存储装置

(57) 摘要

实施方式所涉及的非易失性半导体存储装置具备:单元阵列,其具有:相互交叉的位线及源线;使多个存储单元串联连接而成的单元串,所述存储单元包括配置于位线及源线间且具有控制栅及电荷蓄积层的晶体管;连接于单元串的各存储单元的控制栅的字线;以及数据写入部,其在数据写入时,反复执行写入循环,写入循环包括对选择的字线施加编程电压并且对其他的非选择的字线施加通过电压的编程工作;在将第 n 次写入循环中使用的通过电压与第 n+1 次写入循环中使用的通过电压的差表示为  $\Delta V_n$  的情况下,在  $L < M$  成立的情况下,数据写入部使用成为  $\Delta V(L-1) < \Delta V_L$ 、 $\Delta V_L \leq \Delta V(M-1)$  且  $\Delta V(M-1) < \Delta V_M$  的通过电压执行写入循环,其中 L 及 M 为整数。



1. 一种非易失性半导体存储装置,其特征在于,具备:

单元阵列,其具有:相互交叉的位线及源线;使多个存储单元串联连接而成的单元串,所述存储单元包括配置于前述位线及源线间且具有控制栅及电荷蓄积层的晶体管;以及连接于前述单元串的各存储单元的控制栅的字线;以及

数据写入部,其在数据写入时,反复执行写入循环,所述写入循环包括对选择的前述字线施加编程电压并且对其他非选择的前述字线的任一条施加通过电压的编程工作;

其中,在将第  $n$  次写入循环中使用的前述通过电压与第  $n+1$  次写入循环中使用的前述通过电压的差表示为  $\Delta V_n$  的情况下,在  $L < M$  成立的情况下,前述数据写入部使用成为  $\Delta V(L-1) < \Delta V_L$ 、 $\Delta V_L \leq \Delta V(M-1)$  且  $\Delta V(M-1) < \Delta V_M$  的前述通过电压执行前述写入循环,其中  $L$  及  $M$  为整数。

2. 根据权利要求 1 所述的非易失性半导体存储装置,其特征在于:

前述数据写入部,使用从  $\Delta V_1$  到  $\Delta V(L-1)$  为 0、从  $\Delta V_L$  到  $\Delta V(M-1)$  为比 0 大的固定的第 1 电压值且从  $\Delta V_M$  到  $\Delta V(N-1)$  为比前述第 1 电压大的固定的第 2 电压值的前述通过电压执行前述写入循环,其中  $N$  为比  $M$  大的整数。

3. 根据权利要求 1 所述的非易失性半导体存储装置,其特征在于:

前述数据写入部,使用从  $\Delta V_1$  到  $\Delta V_N$  指数函数地上升的前述通过电压执行前述写入循环,其中  $N$  为比  $M$  大的整数。

4. 根据权利要求 1 所述的非易失性半导体存储装置,其特征在于:

前述数据写入部,使用从  $\Delta V_1$  到  $\Delta V(L-1)$  为大于等于 0 的固定的值且从  $\Delta V_L$  到  $\Delta V(N-1)$  指数函数地上升的前述通过电压执行前述写入循环,其中  $N$  为比  $M$  大的整数。

5. 根据权利要求 1 所述的非易失性半导体存储装置,其特征在于:

前述数据写入部,基于前述写入循环的数量确定  $L$ 、 $M$ 、 $N$ ,其中  $N$  为比  $M$  大的整数。

6. 根据权利要求 1 所述的非易失性半导体存储装置,其特征在于:

前述数据写入部,基于前述编程电压确定  $L$ 、 $M$ 、 $N$ ,其中  $N$  为比  $M$  大的整数。

7. 根据权利要求 1 所述的非易失性半导体存储装置,其特征在于:

前述数据写入部,基于前述通过电压确定  $L$ 、 $M$ 、 $N$ ,其中  $N$  为比  $M$  大的整数。

8. 根据权利要求 1 所述的非易失性半导体存储装置,其特征在于:

前述数据写入部,根据对前述存储单元的写入/擦除周期数改变  $L$ 、 $M$ 、 $N$ ,其中  $N$  为比  $M$  大的整数。

9. 一种非易失性半导体存储装置,其特征在于,具备:

存储单元阵列,其具有:使多个具有控制栅及电荷蓄积层的存储单元串联连接而成的单元串;以及在第 1 方向将前述单元串的各存储单元的控制栅共同连接的多条字线;以及数据写入部,其在数据写入时,反复执行编程工作;

其中,在将前述多条字线之中的选择的字线设为选择字线,将与前述选择字线相邻的字线分别设为第 1 相邻字线、第 2 相邻字线,将前述选择字线、前述第 1 相邻字线、前述第 2 相邻字线以外的任一字线设为第 1 非选择字线的情况下,前述数据写入部,在编程工作时,对前述选择字线施加编程电压,对前述第 1 相邻字线及第 2 相邻字线的至少一方施加第 1 通过电压,对第 1 非选择字线施加第 2 通过电压,

在将第  $n$  次前述写入循环中使用的前述第 1 通过电压与第  $n+1$  次前述写入循环中使用

的前述第 1 通过电压的差表示为  $\Delta V_n$  的情况下,在  $L < M$  成立的情况下,前述第 1 通过电压使  $\Delta V(L-1) < \Delta V_L$ 、 $\Delta V_L \leq \Delta V(M-1)$  且  $\Delta V(M-1) < \Delta V_M$  成立,其中  $L$  及  $M$  为整数,

前述第 2 通过电压是比前述第 1 通过电压的最低值高的电压。

10. 根据权利要求 9 所述的非易失性半导体存储装置,其特征在于:

前述数据写入部,在编程工作时,通过编程电压的值转换前述第 1 通过电压的差。

11. 根据权利要求 9 所述的非易失性半导体存储装置,其特征在于:

前述数据写入部,无论前述写入循环如何,使前述第 2 通过电压为固定值。

12. 根据权利要求 10 所述的非易失性半导体存储装置,其特征在于:

前述数据写入部,无论前述写入循环如何,使前述第 2 通过电压为固定值。

13. 根据权利要求 9 所述的非易失性半导体存储装置,其特征在于:

前述数据写入部,通过校验通过率转换前述第 1 通过电压的差。

14. 根据权利要求 9 所述的非易失性半导体存储装置,其特征在于:

前述数据写入部,按每个前述写入循环使前述第 1 通过电压指数函数地上升。

15. 一种非易失性半导体存储装置,其特征在于,具备:

存储单元阵列,其具有多个存储单元以及用于控制前述存储单元的多条字线及多条位线;以及

数据写入部,其对前述多条字线之中的第 1 字线施加 1 次以上的编程电压,在连接于前述第 1 字线的前述存储单元内写入数据,在连接于前述第 1 字线的存储单元内写入了前述数据后,对前述第 1 字线施加 1 次以上的追加电压;

其中,前述数据写入部,在对连接于前述第 1 字线的存储单元的写入后进行对前述多条字线之中与前述第 1 字线不同的第 2 字线的写入的情况下,在连接于前述第 2 字线的前述存储单元内写入了数据后,将前述多条位线设定为非选择位线或选择位线,对前述第 2 字线施加前述追加电压。

16. 根据权利要求 15 所述的非易失性半导体存储装置,其特征在于:

前述数据写入部,将前述追加电压的值设定为比前述编程电压的最终值高的值。

17. 根据权利要求 15 所述的非易失性半导体存储装置,其特征在于:

前述数据写入部,将前述追加电压的初期值设定为比前述编程电压的最终值低的值。

18. 根据权利要求 15 所述的非易失性半导体存储装置,其特征在于:

前述数据写入部,将前述追加电压的值设定为比前述编程电压的初期值低的值。

19. 根据权利要求 15 所述的非易失性半导体存储装置,其特征在于:

前述数据写入部,根据前述追加电压的值,将前述多条位线设定为选择位线或非选择位线。

20. 根据权利要求 15 所述的非易失性半导体存储装置,其特征在于:

前述数据写入部,在将前述追加电压的值设定为比前述编程电压的初始值低的值的情况下,将前述多条位线设定为选择位线,

在将前述追加电压的值设定为比前述编程电压的初期值高的值的情况下,将前述多条位线设定为非选择位线。

## 非易失性半导体存储装置

[0001] 关联申请

[0002] 本申请享有以日本专利申请 2011-270210 号(申请日:2011 年 12 月 9 日)、日本专利申请 2012-19885 号(申请日:2012 年 2 月 1 日)以及日本专利申请 2012-100721 号(申请日:2012 年 4 月 26 日)为基础申请的优先权。本申请通过参照这些基础申请来包含基础申请的全部内容。

### 技术领域

[0003] 实施方式涉及非易失性半导体存储装置。

### 背景技术

[0004] 对作为非易失性半导体存储装置之一的闪存的数据写入通常通过反复包括编程工作和校验工作的写入循环实现。

[0005] 其中在编程工作中,在 NAND 型闪存的情况下,对连接于选择存储单元的字线施加按每个写入循环升高的编程电压,并且对其他的至少一条字线施加使非选择存储单元接通的程度的通过电压。

[0006] 但是,在这种情况下,非选择存储单元的控制栅与沟道的电位差会变大,其结果,有可能对连接于非选择位线的非选择存储单元进行误写入。

[0007] 进而,近年来,非易失性半导体存储装置中,伴随其精细化,单元间干涉效应增大,存储单元的阈值分布扩展。另外,由于通过非易失性半导体存储装置的精细化使得存储单元的耐压有所下降,所以编程电压的上限下降,难以得到高电压的阈值分布。特别是在希望使 1 个存储单元存储多位的情况下,在变窄的阈值范围中,必须作成多个要扩展的倾向的阈值分布,所以写入的困难度增大。因而,阈值分布变窄成为问题。

### 发明内容

[0008] 本发明的实施方式提供抑制了存储单元的阈值分布的扩大的非易失性半导体存储装置。

[0009] 实施方式所涉及的非易失性半导体存储装置具备:单元阵列,其具有:相互交叉的位线及源线;使多个存储单元串联连接而成的单元串,所述存储单元包括配置于前述位线及源线间且具有控制栅及电荷蓄积层的晶体管;以及连接于前述单元串的各存储单元的控制栅的字线;以及数据写入部,其在数据写入时,反复执行写入循环,所述写入循环包括对选择的前述字线施加编程电压并且对其他的非选择的前述字线施加通过电压的编程工作;其中,在将第  $n$  次写入循环中使用的前述通过电压与第  $n+1$  次写入循环中使用的前述通过电压的差表示为  $\Delta V_n$  的情况下,在  $L < M$  成立的情况下,前述数据写入部使用成为  $\Delta V(L-1) < \Delta V_L$ 、 $\Delta V_L \leq \Delta V(M-1)$  且  $\Delta V(M-1) < \Delta V_M$  的前述通过电压执行前述写入循环,其中  $L$  及  $M$  为整数。

[0010] 实施方式所涉及的另一非易失性半导体存储装置具备:存储单元阵列,其具有:

使多个具有控制栅及电荷蓄积层的存储单元串联连接而成的单元串；以及在第 1 方向将前述单元串的各存储单元的控制栅共同连接的多条字线；以及数据写入部，其在数据写入时，反复执行编程工作；其中，在将前述多条字线之中的选择的字线设为选择字线，将与前述选择字线相邻的字线分别设为第 1 相邻字线、第 2 相邻字线，将前述选择字线、前述第 1 相邻字线、前述第 2 相邻字线以外的任一字线设为第 1 非选择字线的情况下，前述数据写入部，在编程工作时，对前述选择字线施加编程电压，对前述第 1 相邻字线及第 2 相邻字线的至少一方施加第 1 通过电压，对第 1 非选择字线施加第 2 通过电压，在将第 n 次前述写入循环中使用的前述第 1 通过电压与第 n+1 次前述写入循环中使用的前述第 1 通过电压的差表示为  $\Delta V_n$  的情况下，在  $L < M$  成立的情况下，前述第 1 通过电压使  $\Delta V(L-1) < \Delta V_L$ 、 $\Delta V_L \leq \Delta V(M-1)$  且  $\Delta V(M-1) < \Delta V_M$  成立，其中 L 及 M 为整数，前述第 2 通过电压是比前述第 1 通过电压的最低值高的电压。

[0011] 实施方式所涉及的另一非易失性半导体存储装置具备：存储单元阵列，其具有多个存储单元以及用于控制前述存储单元的多条字线及多条位线；以及数据写入部，其对前述多条字线之中的第 1 字线施加 1 次以上的编程电压，在连接于前述第 1 字线的前述存储单元内写入数据，在连接于前述第 1 字线的存储单元内写入了前述数据后，对前述第 1 字线施加 1 次以上的追加电压；其中，前述数据写入部，在对连接于前述第 1 字线的存储单元的写入后进行对前述多条字线之中与前述第 1 字线不同的第 2 字线的写入的情况下，在连接于前述第 2 字线的前述存储单元内写入了数据后，将前述多条位线设定为非选择位线或选择位线，对前述第 2 字线施加前述追加电压。

[0012] 根据本发明的实施方式，能够提供抑制了存储单元的阈值分布的扩大的非易失性半导体存储装置。

## 附图说明

[0013] 图 1 是第 1 实施方式涉及的非易失性半导体存储装置的框图的一例。

[0014] 图 2 是相同实施方式涉及的非易失性半导体存储装置的存储单元阵列的电路图的一例。

[0015] 图 3 是表示相同实施方式涉及的非易失性半导体存储装置的写入序列时的存储单元组的阈值分布的转变的状况的图的一例。

[0016] 图 4 是表示相同实施方式涉及的非易失性半导体存储装置的编程工作时的存储单元阵列的偏压状态的图的一例。

[0017] 图 5 是表示相对于相同实施方式的比较例涉及的非易失性半导体存储装置的写入循环数与编程电压及通过电压的关系的曲线图的一例。

[0018] 图 6 是表示相同比较例涉及的非易失性半导体存储装置的写入序列后的存储单元组的阈值分布的图的一例。

[0019] 图 7 是表示相对于相同实施方式的其他比较例涉及的非易失性半导体存储装置的写入循环数与编程电压及通过电压的关系的曲线图的一例。

[0020] 图 8 是说明相同实施方式涉及的非易失性半导体存储装置的写入序列的原理的图的一例。

[0021] 图 9 是相同实施方式涉及的非易失性半导体存储装置的写入序列的流程图的一

例。

[0022] 图 10 是相同实施方式涉及的非易失性半导体存储装置的写入序列的流程图的一例。

[0023] 图 11 是相同实施方式涉及的非易失性半导体存储装置的写入序列的流程图的一例。

[0024] 图 12 是表示相同实施方式涉及的非易失性半导体存储装置的写入序列时的写入循环数与编程电压及通过电压的关系的曲线图的一例。

[0025] 图 13 是表示相同实施方式涉及的非易失性半导体存储装置的写入序列时的通过电压的曲线图的一例。

[0026] 图 14 是表示相同实施方式涉及的非易失性半导体存储装置的写入序列的流程图的一例。

[0027] 图 15 是对相同实施方式涉及的非易失性半导体存储装置的编程工作说明效果的图的一例。

[0028] 图 16 是对相同实施方式涉及的非易失性半导体存储装置的编程工作说明效果的图的一例。

[0029] 图 17 是对相同实施方式涉及的非易失性半导体存储装置的编程工作说明效果的图的一例。

[0030] 图 18 是表示第 2 实施方式涉及的非易失性半导体存储装置的写入序列时的写入循环数与编程电压及通过电压的关系的曲线图的一例。

[0031] 图 19 是表示相同实施方式涉及的非易失性半导体存储装置的写入序列时的通过电压的曲线图的一例。

[0032] 图 20 是表示相同实施方式涉及的非易失性半导体存储装置的写入序列时的通过电压的曲线图的一例。

[0033] 图 21 是表示第 3 实施方式涉及的非易失性半导体存储装置的写入序列时的写入循环数与编程电压及通过电压的关系的曲线图的一例。

[0034] 图 22 是表示相同实施方式涉及的非易失性半导体存储装置的写入序列时的通过电压的曲线图的一例。

[0035] 图 23 是表示第 4 实施方式涉及的非易失性半导体存储装置的写入序列时的写入循环数与编程电压及通过电压的关系的曲线图的一例。

[0036] 图 24 是表示相同实施方式涉及的非易失性半导体存储装置的写入序列时的通过电压的曲线图的一例。

[0037] 图 25 是相同实施方式涉及的非易失性半导体存储装置的写入序列的流程图的一例。

[0038] 图 26 是表示第 5 实施方式涉及的非易失性半导体存储装置的写入序列的流程图的一例。

[0039] 图 27 是表示相同实施方式涉及的非易失性半导体存储装置的写入序列的流程图的一例。

[0040] 图 28 是表示相同实施方式涉及的非易失性半导体存储装置的写入序列的流程图的一例。

[0041] 图 29 是表示相同实施方式涉及的非易失性半导体存储装置的写入序列的判定条件的图的一例。

[0042] 图 30 是表示第 6 实施方式涉及的非易失性半导体存储装置的编程工作时的存储单元阵列的偏压状态的图的一例。

[0043] 图 31 是表示相同实施方式涉及的非易失性半导体存储装置的写入序列时的写入循环数与编程电压及通过电压的关系的曲线图的一例。

[0044] 图 32 是相同实施方式涉及的非易失性半导体存储装置的写入序列的流程图的一例。

[0045] 图 33 是相同实施方式涉及的非易失性半导体存储装置的写入序列的流程图的一例。

[0046] 图 34 是相同实施方式涉及的非易失性半导体存储装置的写入序列的流程图的一例。

[0047] 图 35 是相同实施方式涉及的非易失性半导体存储装置的写入序列的流程图的一例。

[0048] 图 36 是表示相同实施方式涉及的非易失性半导体存储装置的写入序列时的写入循环数与编程电压及通过电压的关系的曲线图的一例。

[0049] 图 37 是表示第 7 实施方式涉及的非易失性半导体存储装置的编程工作时的存储单元阵列的偏压状态的图的一例。

[0050] 图 38 是表示相同实施方式涉及的非易失性半导体存储装置的写入序列时的写入循环数与编程电压及通过电压的关系的曲线图的一例。

[0051] 图 39 是表示相同实施方式涉及的非易失性半导体存储装置的写入序列时对字线施加的电压的状况的图的一例。

[0052] 图 40 是表示相同实施方式涉及的非易失性半导体存储装置的写入序列时的写入循环数与编程电压及通过电压的关系的曲线图的一例。

[0053] 图 41 是表示相同实施方式涉及的非易失性半导体存储装置的写入序列时的写入循环数与编程电压及通过电压的关系的曲线图的一例。

[0054] 图 42 是表示相同实施方式涉及的非易失性半导体存储装置的编程工作时的存储单元阵列的偏压状态的图的一例。

[0055] 图 43 是表示第 8 实施方式涉及的非易失性半导体存储装置的编程工作时的存储单元阵列的偏压状态的图的一例。

[0056] 图 44 是表示相同实施方式涉及的非易失性半导体存储装置的写入序列时的写入循环数与编程电压及通过电压的关系的曲线图的一例。

[0057] 图 45 是表示相同实施方式涉及的非易失性半导体存储装置的写入序列时的写入循环数与编程电压及通过电压的关系的曲线图的一例。

[0058] 图 46 是表示相同实施方式涉及的非易失性半导体存储装置的写入序列时的写入循环数与编程电压及通过电压的关系的曲线图的一例。

[0059] 图 47 表示相同实施方式涉及的非易失性半导体存储装置的编程工作时的存储单元阵列的偏压状态的图的一例。

[0060] 图 48 是表示第 9 实施方式涉及的非易失性半导体存储装置的编程工作时的存储

单元阵列的偏压状态的图的一例。

[0061] 图 49 是表示相同实施方式涉及的非易失性半导体存储装置的编程工作时的存储单元阵列的偏压状态的图的一例。

[0062] 图 50 是表示第 10 实施方式涉及的非易失性半导体存储装置的编程工作时的存储单元阵列的偏压状态的图的一例。

[0063] 图 51 是表示相同实施方式涉及的非易失性半导体存储装置的编程工作时的存储单元阵列的偏压状态的图的一例。

[0064] 图 52 是第 11 实施方式的非易失性半导体存储装置的写入序列的流程图的一例。

[0065] 图 53 是表示相同实施方式涉及的非易失性半导体存储装置的写入序列时的写入循环数 / 追加电压的施加次数与编程电压 / 追加电压的关系的曲线图的一例。

[0066] 图 54 ~ 图 57 是表示相同实施方式涉及的非易失性半导体存储装置的存储单元的阈值分布的曲线图的一例。

[0067] 图 58 是表示相同实施方式涉及的非易失性半导体存储装置的追加电压施加次数与阈值分布宽度的关系的曲线图的一例。

[0068] 图 59 是表示第 12 实施方式涉及的非易失性半导体存储装置的写入序列的流程图的一例。

[0069] 图 60 是表示相同实施方式涉及的非易失性半导体存储装置的写入序列时的写入循环数 / 追加电压的施加次数与编程电压 / 追加电压的关系的曲线图的一例。

[0070] 图 61 及图 62 是表示相同实施方式涉及的非易失性半导体存储装置的存储单元的阈值分布的曲线图的一例。

[0071] 图 63 是表示相同实施方式涉及的非易失性半导体存储装置的追加电压施加次数与阈值分布宽度的关系的曲线图的一例。

[0072] 图 64 是表示第 13 实施方式涉及的非易失性半导体存储装置的写入序列时的写入循环数 / 追加电压的施加次数与编程电压 / 追加电压的关系的曲线图的一例。

[0073] 图 65 是表示第 11 实施方式的变形例涉及的非易失性半导体存储装置的写入序列时的写入循环数 / 追加电压的施加次数与编程电压 / 追加电压的关系的曲线图的一例。

[0074] 图 66 是表示第 12 实施方式的变形例涉及的非易失性半导体存储装置的写入序列时的写入循环数 / 追加电压的施加次数与编程电压 / 追加电压的关系的曲线图的一例。

## 具体实施方式

[0075] 以下,参照附图关于实施方式涉及的非易失性半导体存储装置进行说明。

[0076] [第 1 实施方式]

[0077] < 整体结构 >

[0078] 首先,关于第 1 实施方式涉及的非易失性半导体存储装置的整体结构进行说明。

[0079] 图 1 是本实施方式涉及的非易失性半导体存储装置的框图的一例。

[0080] 该 NAND 型闪存具备 NAND 芯片 10、控制该 NAND 芯片 10 的控制器 11 及 ROM 熔断器 12。

[0081] 构成 NAND 芯片 10 的存储单元阵列 1,如后所述,通过将多个电荷蓄积层型的存储单元矩配置为矩阵状而构成。

[0082] 在存储单元阵列 1 的周边,配置有行解码器 / 字线驱动器 2a、列解码器 2b、页缓冲器 3 以及包括编程电压发生电路 8a 以及通过电压发生电路 8b 的电压发生电路 8。这些行解码器 / 字线驱动器 2a、列解码器 2b、页缓冲器 3 及电压发生电路 8 构成数据写入部,对存储单元阵列 1 以页单位进行数据的写入或者读出。

[0083] 行解码器 / 字线驱动器 2a 驱动存储单元阵列 1 的字线及选择栅线。页缓冲器 3 具备 1 页量的读出放大电路和数据保持电路。页缓冲器 3 的一页量的读出数据,通过列解码器 2b 被按列依次选择,经由 I/O 缓冲器 9 输出到外部 I/O 端子。从 I/O 端子供给的写入数据,通过列解码器 2b 选择并加载到页缓冲器 3。在页缓冲器 3 中,加载 1 页量的写入数据。行地址信号以及列地址信号经由 I/O 缓冲器 9 输入,分别传送到行解码器 2a 和列解码器 2b。行地址寄存器 5a,在擦除工作中保存擦除块地址,在写入工作和 / 或读出工作中保存页地址。在列地址寄存器 5b 中,输入用于写入工作开始前的写入数据加载的开头列地址和 / 或用于读出工作的开头列地址。列地址寄存器 5b 保存输入的列地址,直到输入写入使能 /WE 和 / 或读出使能 /RE 等。

[0084] 逻辑控制电路 6 基于芯片使能信号 /CE、命令使能信号 CLE、地址锁存使能信号 ALE、写入使能信号 /WE、读出使能信号 /RE 等控制信号,控制命令和 / 或地址的输入、数据的输入输出。读出工作和 / 或写入工作用命令执行。接收命令,序列控制电路 7 进行读出工作和 / 或写入或擦除的序列控制。电压发生电路 8 由控制电路 7 控制,产生各种工作所需要的电压。

[0085] 控制器 11 使用 ROM 熔断器 12 中存储的控制所需要的各种信息,以适合 NAND 芯片 10 当前的写入状态的条件执行数据的写入及读出的控制。另外,后述的写入工作的一部分,也可以在 NAND 芯片 10 侧进行。

[0086] <存储单元阵列>

[0087] 接下来,关于本实施方式涉及的非易失性半导体存储装置的存储单元阵列 1 进行说明。

[0088] 图 2 是存储单元阵列 1 的电路图的一例。在图 2 的情况下,通过  $n$  个 ( $n$  为自然数) 串联连接的存储单元  $MC_0 \sim MC_{n-1}$  和连接于其两端的选择栅晶体管  $SG_1$ 、 $SG_2$ , 构成 NAND 串 4。选择栅晶体管  $SG_1$  的源连接于源线 CELSRC,选择栅晶体管  $SG_2$  的漏连接于位线 BL ( $BL_0 \sim BL_{m-1}$ )。存储单元  $MC_0 \sim MC_{n-1}$  的控制栅分别连接于字线 WL ( $WL_0 \sim WL_{n-1}$ ),选择栅晶体管  $SG_1$ 、 $SG_2$  的栅连接于选择栅线  $SL_1$ 、 $SL_2$ 。存储单元  $MC_0 \sim MC_{n-1}$  以及选择栅晶体管  $SG_1$  及  $SG_2$  分别具有在阱上形成的栅绝缘膜、浮置栅 (浮置栅是电荷蓄积层的一例)、栅间绝缘膜以及控制栅。但是,关于选择栅晶体管  $SG_1$  及  $SG_2$ ,栅间绝缘膜的中央部分有开口,由此浮置栅与控制栅电连接。

[0089] 沿 1 条字线 WL 的多个存储单元 MC 的范围,为作为一并的数据读出及写入的单位的页。另外,在字线 WL 方向排列的多个 NAND 串 4 的范围构成作为数据的一并擦除的单位的块 BLK。图 2 中,在位线 BL 方向排列共用位线 BL 的多个块  $BLK_0 \sim BLK_{1-1}$  而构成单元阵列 1。字线 WL 及选择栅线  $SL_0$ 、 $SL_1$  通过行解码器 2a 驱动。各位线 BL 连接于页缓冲器 3 的读出放大电路 S/A。

[0090] 在此,关于这样的 NAND 型闪存的存取单位即“页”进行说明。在以下的说明中,所谓“页”,由于具有不同的 2 种含义,所以需要注意。

[0091] 第 1, 是作为沿 1 条字线的一并的数据存取单位的“页”。并且, 第 2, 是表示在 1 个存储单元中存储多个位的情况下的存储数据的层级的“页”, 在此情况下, 称为“L (Lower, 下级) 页”、“U (Upper, 上级) 页”等。

[0092] <数据写入>

[0093] 首先, 在关于本实施方式的数据写入进行说明之前, 关于以下使用的用语预先进行说明。

[0094] 首先, 将数据写入时执行的一系列的处理称为“写入序列”。该写入序列实际上通过包括使存储单元的阈值电压转变的“编程工作”和确认存储单元的阈值电压的“校验工作”的“写入循环”来执行。在各编程工作中, 对选择字线 WL 施加存储单元 MC 的阈值电压的转变所需要的编程电压  $V_{pgm}$ , 对非选择字线 WL 施加存储单元 MC 导通的程度的通过电压  $V_{pass}$ 。

[0095] 接下来, 关于本实施方式的写入序列进行说明。

[0096] 图 3 是表示使用 2 位 / 单元的存储单元的情况下的写入序列时的存储单元组的阈值分布转变的状况的图的一例。

[0097] 首先, 执行数据擦除(步骤 S101)。这对于块整体一并地执行。结果, 块内的全部存储单元的阈值电压  $V_{th}$  成为最低的 ER 级别。

[0098] 接下来, 执行 L 页写入(步骤 S102)。这基于写入数据的低位位来执行。在低位位为“1”的情况下, 存储单元的阈值电压  $V_{th}$  维持为 ER 级别。在低位位为“0”的情况下, 存储单元的阈值电压  $V_{th}$  从 ER 级别转变为 A 级别与 B 级别的中间级别且比电压  $V_{lm}$  高的 LM 级别。

[0099] 最后, 执行 U 页写入(步骤 S103)。这基于写入数据的高位位来执行。如果存储单元的阈值电压  $V_{th}$  为 ER 级别, 则在高位数据为“1”的情况下, 存储单元的阈值电压  $V_{th}$  维持 ER 级别不变。相反, 在高位位为“0”的情况下, 存储单元的阈值电压  $V_{th}$  转变为比电压  $V_a$  ( $V_a < V_{lm}$ ) 高的 A 级别。另一方面, 如果存储单元的阈值电压  $V_{th}$  为 LM 级别, 则在高位位为“0”的情况下, 存储单元的阈值电压  $V_{th}$  转变为比电压  $V_b$  ( $V_a < V_b$ ) 高的 B 级别。相反, 在高位位为“1”的情况下, 存储单元的阈值电压  $V_{th}$  转变到比电压  $V_c$  ( $V_b < V_c$ ) 高的 C 级别。

[0100] 以上, 对存储单元的 2 位数据的写入, 通过 L 页写入和 U 页写入这 2 个阶段实现。

[0101] 各页的写入, 例如通过以下的写入循环的反复来实现。

[0102] 写入循环包括使存储单元 MC 的阈值电压  $V_{th}$  转变的编程工作和确认存储单元 MC 的阈值电压  $V_{th}$  大于等于校验电压的校验工作。

[0103] 写入序列的编程工作, 通过将存储单元阵列 1 设为图 4 所示的偏压状态来实现。另外, 图 4 所示的例子, 表示对连接于字线 WL1 的存储单元 MC1 写入数据的情况。

[0104] 也就是说, 在编程工作中, 对选择存储单元 MC1 的控制栅(字线 WL1)施加存储单元 MC 的阈值电压  $V_{th}$  的转变所需要的编程电压  $V_{pgm}$  (例如 20V 左右), 对其以外的存储单元 MC0、MC2、•••、MCn1 的控制栅分别施加通过电压  $V_{pass}$  (例如 10V 左右)。该通过电压  $V_{pass}$  无论存储单元 MC 的阈值电压  $V_{th}$  如何都为存储单元 MC0、MC2、•••、MCn-1 导通的程度的电压且不被进行编程的程度的电压。另外, 对源线 CELSRC 侧的选择栅线 SL1 施加接地电压  $V_{ss}$  (例如 0V), 对位线 BL 侧的选择栅线 SL2 施加电源电压  $V_{cc}$ 。对位线 BL 施加

0V。对源线 CELSRC 施加电源电压  $V_{cc}$ 。另外,对单元阱施加阱电压  $V_{well}$  (例如 0V)。

[0105] 由此,对存储单元 MC1 的栅绝缘膜施加高电压,电子从单元阱向电荷蓄积层开掘隧道,在电荷蓄积层蓄积电荷。结果,存储单元 MC 的阈值电压  $V_{th}$  向正电压侧移位。

[0106] 在此,在以往的非易失性半导体存储装置的写入序列中,关于编程电压  $V_{pgm}$ ,按每个写入循环使其升高,关于通过电压  $V_{pass}$ ,使其维持为一定来反复写入循环。

[0107] 但是,在这种情况下,随着写入序列推进,编程电压  $V_{pgm}$  与通过电压  $V_{pass}$  的差扩大。在此情况下,在连接于选择字线 WL 和非选择位线 BL 的非选择存储单元 MC 中,控制栅与沟道的电位差增大,有可能发生误写入。

[0108] 因此,作为解决上述问题的方案,考虑以下的写入序列。

[0109] 图 5 是表示相对于第 1 实施方式的比较例所涉及的非易失性半导体存储装置的写入循环数与编程电压  $V_{pgm}$  及通过电压  $V_{pass}$  的关系的一例的曲线图。

[0110] 在该写入序列的情况下,按每个写入循环不仅使编程电压  $V_{pgm}$  以一定幅度升高,而且也使通过电压  $V_{pass}$  以一定幅度升高。由此,编程电压  $V_{pgm}$  与通过电压  $V_{pass}$  的差不扩大,因此能够解决连接于选择字线 WL 和非选择位线 BL 的非选择存储单元 MC 被误写入的问题。但是,在这种情况下,对连接于非选择字线 WL 及选择位线 BL 的非选择存储单元 MC 的控制栅会施加大电压(通过电压  $V_{pass}$ ),因此该非选择存储单元 MC 的阈值电压  $V_{th}$  有可能会变动。

[0111] 特别是,容易变动的低级别的阈值分布、例如 A 级别的阈值分布如图 6 的箭头 a1 所示会扩大这一点成为问题。

[0112] 因此,作为解决该问题的方案,考虑图 7 所示的写入序列。在该写入序列的情况下,如图 7 的箭头 a1 所示,在将写入序列的初始的通过电压  $V_{pass}$  设定得较低的基础上,按每个写入循环,使通过电压  $V_{pass}$  以一定幅度升高。由此,能够解决低级别的阈值分布变动的问题。

[0113] 但是,在此情况下,通过电压  $V_{pass}$  的初始值越低,会需要越多的写入循环,写入序列的处理时间长期化的可能性大。

[0114] 因此,在第 1 实施方式所涉及的非易失性半导体存储装置中,采用以下的写入序列。

[0115] 图 8 是说明本实施方式所涉及的非易失性半导体存储装置的写入序列的原理的图的一例。

[0116] 在本实施方式中,如图 8 所示,在写入序列之中的初始阶段的写入循环、即低级别的阈值电压  $V_{th}$  的编程期间 P1 中,将每个写入循环的通过电压  $V_{pass}$  的升高幅度设得较小,在高级别的阈值电压的编程期间 P2 中,使每个写入循环的通过电压  $V_{pass}$  的升高幅度比编程期间 P1 大。在图 8 的情况下,在期间 P2 的结束处,通过电压  $V_{pass}$  达到最大的通过电压  $V_{psmax}$ 。在此,最大的通过电压  $V_{psmax}$  是这样的通过电压  $V_{pass}$ ,即:若通过电压  $V_{pass}$  变大到其以上,则非选择字线 WL 与沟道的电位差变大,对非选择存储单元 MC 发生误写入的概率变高。因此,若假设使通过电压  $V_{pass}$  升高到其以上,则连接于非选择字线 WL 及选择位线 BL 的非选择存储单元 MC 的阈值电压  $V_{th}$  会变动。因此,设定为在比期间 P2 靠后的写入循环中,通过电压  $V_{pass}$  不升高。

[0117] 由此,与图 5 所示的比较例相比较,在期间 P1,能够抑制有效的编程电压  $V_{pgm}$  的增

加。另外,能够防止低级别的阈值电压  $V_{th}$  的变动,能够抑制低级别的阈值电压  $V_{th}$  扩大。另外,与图 7 所示的比较例相比较,在期间 P2 中,有效的编程电压  $V_{pgm}$  变得更高,因此选择存储单元 MC 的阈值电压  $V_{th}$  容易转变为所期望的阈值电压  $V_{th}$ ,能够缩短写入序列的处理时间。

[0118] 接下来,关于图 8 所示的写入序列的控制方法进行说明。

[0119] 图 9 是通过写入循环次数控制通过电压  $V_{pass}$  的升高幅度  $\Delta V_{pass}$  的情况下的写入序列的流程图的一例。流程图的工作,例如由序列控制电路 7 控制。

[0120] 首先,在步骤 S201,将写入循环数  $n1$  初始化为 1。另外,将通过电压  $V_{pass}$  初始化为初始通过电压  $V_{pass0}$  (初始通过电压  $V_{pass0}$  例如为 5V)。

[0121] 接下来,在步骤 S202,判断写入循环数是否为  $n1 < Rn11$  ( $Rn11$  例如为 10)。如果为  $n1 < Rn11$  (S202 的“是”),则在步骤 S203,以编程电压  $V_{pgm}$ 、通过电压  $V_{pass}$  执行编程工作。另一方面,如果为  $n1 \geq Rn11$  (S202 的“否”),则使处理转移到步骤 S207。在此,写入循环数能够存储于在 NAND 芯片 10 内配置的锁存器中。

[0122] 接下来,在步骤 S204,执行校验工作。假设在该步骤 S204 中全部的存储单元都通过了的情况下(S204 的“通过”),结束工作。另一方面,在一部分存储单元没有通过的情况下(S204 的“失败”),在步骤 S205,使写入循环数  $n1$  递增。

[0123] 接下来,在步骤 S206,将通过电压  $V_{pass}$  与  $\Delta V_{pass}$  相加。在此, $\Delta V_{pass}$  是电压  $V_{c1}$ 。此时,使编程电压  $V_{pgm}$  也升高  $\Delta V_{pgm}$ 。此后,将处理返回到步骤 S202。

[0124] 在步骤 S207,以编程电压  $V_{pgm}$ 、通过电压  $V_{pass}$  执行编程工作。

[0125] 接下来,在步骤 S208,执行校验工作。假设在该步骤 S208 中全部存储单元都通过了的情况下(S208 的“通过”),结束工作。另一方面,在一部分存储单元没有通过的情况下(S208 的“失败”),在步骤 S209,使写入循环数  $n1$  递增。

[0126] 接下来,在步骤 S210,将通过电压  $V_{pass}$  与  $\Delta V_{pass}$  相加。在此, $\Delta V_{pass}$  为电压  $V_{c2}$  ( $>$ 电压  $V_{c1}$ )。此时,使编程电压  $V_{pgm}$  也升高  $\Delta V_{pgm}$ 。

[0127] 接下来,在步骤 S211,判断写入循环数  $n1$  是否例如为  $n1 < Rn12$  ( $Rn12$  例如为 15)。如果为  $n1 < Rn12$  (S211 的“是”),则再次在步骤 S207,以编程电压  $V_{pgm}$ 、通过电压  $V_{pass}$  执行编程工作。另一方面,如果为  $n \geq Rn12$  (S211 的“否”),则将处理转移到步骤 S212。另外, $Rn11 < Rn12$ 。

[0128] 在步骤 S212,以编程电压  $V_{pgm}$ 、通过电压  $V_{pass}$  执行编程工作。此处的通过电压  $V_{pass}$  为最大的通过电压  $V_{psmax}$ 。也就是说,在以后的编程工作中不再使通过电压  $V_{pass}$  升高。

[0129] 接下来,在步骤 S213,执行校验工作。在该校验工作中判断编程是否完成(全部的存储单元都通过),在完成了的情况下(S213 的“通过”),结束写入序列,在未完成的情况下(S213 的“失败”),在步骤 S214 判断写入循环数  $n1$  是否达到了最大循环次数(图中的“最大循环”)。在该步骤 S214,在写入循环数  $n1$  达到最大循环次数的情况下,设为写入失败并结束写入序列。另一方面,在未达到写入循环次数的情况下,将处理返回到步骤 S212。此时,编程电压  $V_{pgm}$  升高  $\Delta V_{pgm}$ ,但通过电压  $V_{pass}$  不升高。

[0130] 图 10 是通过编程电压  $V_{pgm}$  控制通过电压  $V_{pass}$  的升高幅度  $\Delta V_{pass}$  的情况下的写入序列的流程图的一例。流程图的工作,例如由序列控制电路 7 控制。

[0131] 首先,在步骤 S301,将编程电压  $V_{pgm}$  初始化为预定的电压  $V_{pgm0}$  ( $V_{pgm0}$  例如为 13V)。另外,将通过电压  $V_{pass}$  初始化为初始通过电压  $V_{pass0}$  (初始通过电压  $V_{pass0}$  例如为 5V)。

[0132] 接下来,在步骤 S302,判断编程电压  $V_{pgm}$  是否为  $V_{pgm} < R_{vpg1}$  ( $R_{vpg1}$  例如为 15V)。如果为  $V_{pgm} < R_{vpg1}$  (S302 的“是”),则将处理转移到步骤 S303,如果为  $V_{pgm} \geq R_{vpg1}$  (S302 的“否”),则将处理转移到步骤 S307。

[0133] 接着的步骤 S303 及 S304,与图 9 的步骤 S203 及 S204 相同,因此省略说明。

[0134] 接下来,在步骤 S305,使编程电压  $V_{pgm}$  升高预定的电压  $\Delta V_{pgm}$ 。此后,处理与图 9 的步骤 S206 相同的步骤 S306,并将处理返回到步骤 S302。

[0135] 步骤 S307 及 S308 与图 9 的步骤 S207 及 S208 相同,因此省略说明。

[0136] 接下来,在步骤 S309,使编程电压  $V_{pgm}$  升高电压  $\Delta V_{pgm}$ 。此后,处理与图 9 的步骤 S210 相同的步骤 S310。

[0137] 接下来,在步骤 S311,判断编程电压  $V_{pgm}$  是否为  $V_{pgm} < R_{vpg2}$  ( $R_{vpg2}$  例如为 17V)。如果为  $V_{pgm} < R_{vpg2}$  (S311 的“是”),则再次在步骤 S307,以编程电压  $V_{pgm}$ 、通过电压  $V_{pass}$  执行编程工作。另一方面,如果为  $V_{pgm} \geq R_{vpg2}$  (步骤 S311 的“否”),则将处理转移到步骤 S312。另外,  $R_{vpg1} < R_{vpg2}$ 。

[0138] 步骤 S312 ~ S314 与图 9 的步骤 S212 ~ S214 相同,因此省略说明。

[0139] 图 11 是以通过电压  $V_{pass}$  控制通过电压  $V_{pass}$  的升高幅度  $\Delta V_{pass}$  的情况下的写入序列的流程图。流程图的工作,例如由序列控制电路 7 控制。

[0140] 首先,在步骤 S401,将通过电压  $V_{pass}$  初始化为初始通过电压  $V_{pass0}$  (初始通过电压  $V_{pass0}$  例如为 5V)。

[0141] 接下来,在步骤 S402,判断通过电压  $V_{pass}$  是否为  $V_{pass} < R_{vpa1}$  ( $R_{vpa1}$  例如为 7V)。如果为  $V_{pass} < R_{vpa1}$  (S402 的“是”),则将处理转移到步骤 S403,如果为  $V_{pass} \geq R_{vpa1}$  (S402 的“否”),则将处理转移到步骤 S406。

[0142] 接着的步骤 S403、S404 及 S405 与图 9 的步骤 S203、S204 及 S206 相同,因此省略说明。

[0143] 步骤 S406、S407 及 S408 与图 9 的步骤 S207、S208 及 S210 相同,因此省略说明。

[0144] 接下来,在步骤 S409,判断通过电压  $V_{pass}$  是否为  $V_{pass} < R_{vpa2}$  ( $R_{vpa2}$  例如为 9V)。如果为  $V_{pass} < R_{vpa2}$  (S409 的“是”),则再次在步骤 S406,以编程电压  $V_{pgm}$ 、通过电压  $V_{pass}$  执行编程。另一方面,如果为  $V_{pass} \geq R_{vpa2}$  (S409 的“否”),则将处理转移到步骤 S410。另外,  $R_{vpa1} < R_{vpa2}$ 。

[0145] 步骤 S410 ~ S412 与图 9 的步骤 S212 ~ S214 相同,因此省略说明。

[0146] 接下来,关于将本实施方式所涉及的写入序列应用于使用 2 位 / 单元的存储单元的非易失性半导体存储装置的情况进行说明。例如,假定图 3 的 U 页写入的情况。

[0147] 图 12 是表示对于 2 位 / 单元的存储单元 MC 的写入序列时的写入循环数与编程电压  $V_{pgm}$  及通过电压  $V_{pass}$  的关系的曲线图的一例。另外,图 13 是表示图 12 的情况下的通过电压  $V_{pass}$  的曲线图。

[0148] 开始的第 1 次 ~ 第 L 次 (L 例如为 5) 的写入循环为 A 级别的编程期间。在此,将通过电压  $V_{pass}$  的升高幅度  $\Delta V_{pass}$  设为 0V。

[0149] 接着的第 L+1 次~第 M 次(M 例如为 10)的写入循环为 B 级别的编程期间。在此,将通过电压  $V_{pass}$  的升高幅度  $\Delta V_{pass}$  设为固定的电压  $V_{c1}$ 。

[0150] 接着的第 M+1 次及以后的写入循环为 C 级别的编程期间。在此,将通过电压  $V_{pass}$  的升高幅度  $\Delta V_{pass}$  设为比电压  $V_{c1}$  大的固定的电压  $V_{c2}$ 。另外,在图 12 及图 13 的情况下,在第 N 次(N 例如为 15)的写入循环中,通过电压  $V_{pass}$  将达到最大的通过电压  $V_{psmax}$ 。因此,若假如在第 N+1 次及以后的写入循环中也使通过电压  $V_{pass}$  每次升高电压  $V_{c2}$ ,则被施加通过电压  $V_{pass}$  的非选择存储单元 MC 的阈值电压  $V_{th}$  也与施加了编程电压  $V_{pgm}$  时同样,会变动。因此,在第 N+1 次及以后的写入循环中,不使通过电压  $V_{pass}$  升高。

[0151] 如以上所述,在本实施方式的写入序列中,转换升高幅度  $\Delta V_{pass}$ ,使得升高幅度  $\Delta V_{pass}$  以在 A 级别的编程将结束的第 L 次的写入循环后、B 级别的编程将结束的第 M 次的写入循环后这 2 次来变大。

[0152] 也就是说,能够换言之,若将在第 n 次写入循环中使用的通过电压  $V_{pass}$  与在第 n+1 次写入循环中使用的通过电压  $V_{pass}$  的差(升高幅度)表现为  $\Delta V_n$ ,则数据写入部以成为  $\Delta V(L-1) < \Delta V_L$ 、 $\Delta V_L \leq \Delta V(M-1)$  且  $\Delta V(M-1) < \Delta V_M$  的方式使用通过电压  $V_{pass}$  执行写入循环。

[0153] 这样,在图 12 及图 13 所示的实施方式的情况下,在 A 级别的编程期间,通过使用低通过电压  $V_{pass}$ ,能够抑制 A 级别的阈值分布扩大,并且在 B 级别和 / 或 C 级别等阈值电压  $V_{th}$  难以转变的编程期间,能够根据其级别使通过电压  $V_{pass}$  升高,使存储单元 MC 的阈值电压  $V_{th}$  容易转变。

[0154] 接下来,关于图 12 及图 13 所示的写入序列的控制方法的一例进行说明。流程图的工作,例如由序列控制电路 7 控制。

[0155] 图 14 是通过写入循环次数 n1 控制通过电压  $V_{pass}$  的升高幅度  $\Delta V_{pass}$  的情况下的写入序列的流程图的一例。在此,写入循环数能够存储于在 NAND 芯片 10 内配置的锁存器等中。

[0156] 首先,在步骤 S501,将写入循环数 n1 初始化为 1。另外,将通过电压  $V_{pass}$  初始化为初始通过电压  $V_{pass0}$  (初始通过电压  $V_{pass0}$  例如为 5V)。

[0157] 接下来,在步骤 S502,判断写入循环数 n1 是否为例如  $n1 < L$  (例如 L 为 5)。如果为  $n1 < L$  (S502 的“是”),则在步骤 S503,以编程电压  $V_{pgm}$ 、通过电压  $V_{pass}$  执行编程工作。另一方面,如果为  $n1 \geq L$  (S502 的“否”),则将处理转移到步骤 S507。

[0158] 接下来,在步骤 S504,执行校验工作。假设在该步骤 S504 中全部的存储单元都通过了的情况下(S504 的“通过”),则结束工作。另一方面,在一部分存储单元没有通过的情况下(S504 的“失败”),在步骤 S505,使写入循环数 n1 递增。

[0159] 接下来,在步骤 S506,将通过电压  $V_{pass}$  与  $\Delta V_{pass}$  相加。但是,在此, $\Delta V_{pass}$  为 0V,实际上不进行任何处理。也就是说,在写入循环数为  $n1 < L$  的期间,通过电压  $V_{pass}$  不升高。此后,将处理返回到步骤 S502。

[0160] 在步骤 S507,以编程电压  $V_{pgm}$ 、通过电压  $V_{pass}$  执行编程工作。

[0161] 接下来,在步骤 S508,执行校验工作。假设在该步骤 S508 中全部的存储单元都通过了的情况下(S508 的“通过”),结束工作。另一方面,在一部分存储单元没有通过的情况下(S508 的“失败”),在步骤 S509 使写入循环数 n1 递增。

[0162] 接下来,在步骤 S510,将通过电压  $V_{pass}$  与  $\Delta V_{pass}$  相加。在此,  $\Delta V_{pass}$  为电压  $V_{c1}$ 。此时,使编程电压  $V_{pgm}$  也升高  $\Delta V_{pgm}$ 。

[0163] 接下来,在步骤 S511,判断写入循环数  $n1$  是否为例如  $n1 < M$  (例如  $M$  为 10)。如果为  $n1 < M$  (S511 的“是”),则再次在步骤 S507,以编程电压  $V_{pgm}$ 、通过电压  $V_{pass}$  执行编程工作。另一方面,如果为  $n1 \geq M$  (S511 的“否”),则将处理转移到步骤 S512。

[0164] 在步骤 S512,以编程电压  $V_{pgm}$ 、通过电压  $V_{pass}$  执行编程工作。

[0165] 接下来,在步骤 S513,执行校验工作。假设在该步骤 S513 中全部的存储单元都通过了的情况下(S513 的“通过”),结束工作。另一方面,在一部分存储单元没有通过的情况下(S513 的“失败”),在步骤 514,使写入循环数  $n1$  递增。

[0166] 接下来,在步骤 S515,将通过电压  $V_{pass}$  与  $\Delta V_{pass}$  相加。在此,  $\Delta V_{pass}$  为电压  $V_{c2}$  ( $>$  电压  $V_{c1}$ )。此时,使编程电压  $V_{pgm}$  也升高  $\Delta V_{pgm}$ 。

[0167] 接下来,在步骤 S516,判断写入循环数  $n1$  是否为例如  $n1 < N$  (例如  $N$  为 15)。如果为  $n1 < N$  (S516 的“是”),则再次在步骤 S512,以编程电压  $V_{pgm}$ 、通过电压  $V_{pass}$  执行编程工作。另一方面,如果为  $n1 \geq N$  (S516 的“否”),则将处理转移到步骤 S517。

[0168] 在步骤 S517,使用最大的通过电压  $V_{psmax}$  执行编程工作。

[0169] 接下来,在步骤 S518,执行校验工作。在该校验工作中判断编程是否完成(全部的存储单元都通过)。在完成的情况下(S518 的“通过”),结束写入序列,在未完成的情况下(S518 的“失败”),在 S519 判断写入循环数  $n1$  是否达到了最大循环次数(图中的“最大循环”)。在该步骤 S519,在写入循环数  $n1$  达到最大循环次数的情况下,设为写入失败并结束写入序列。另一方面,在未达到写入循环次数的情况下,将处理返回到步骤 S517。此时,编程电压  $V_{pgm}$  升高  $\Delta V_{pgm}$ ,但通过电压  $V_{pass}$  不升高。

[0170] 图 14 所示的写入序列是通过写入循环次数控制通过电压  $V_{pass}$  的升高幅度  $\Delta V_{pass}$  的情况,但与图 10 及图 11 同样,也能够通过编程电压  $V_{pgm}$  或通过电压  $V_{pass}$  进行控制。

[0171] 另外,在使用本实施方式的写入序列的情况下,如前所述能够抑制低级别的阈值分布的扩大,但此外也能够获得以下的效果。

[0172] 图 15 及图 16 是对于图 12 的曲线图使 A 级别 ~ C 级别的编程期间重叠的图的一例。图 15 是写入 / 擦除周期数少的存储单元 MC (以下称为“新(fresh)单元”)的情况,图 16 是写入 / 擦除周期数多的存储单元 MC (以下称为“循环(cycled)单元”)的情况。

[0173] 在对于新单元的写入序列的情况下,如图 15 所示, A 级别的编程在第  $L$  次 ( $L$  例如为 5) 的写入循环中完成, B 级别的编程在第  $M$  次 ( $L$  例如为 10) 的写入循环中完成, C 级别的编程在第  $X$  次 ( $X$  例如为 15) 的写入循环中完成。

[0174] 相对于此,在循环单元的情况下,如图 16 所示, A 级别的编程在比第  $L$  次的写入循环早的第  $L'$  次的写入循环中完成, B 级别的编程在比第  $M$  次的写入循环早的第  $M'$  次的写入循环中完成, C 级别的编程在比第  $X$  次的写入循环早的第  $X'$  次的写入循环中完成。这是因为,一般地,循环单元这一方阈值电压比新单元容易上升(以下有时称为“容易编程”)。

[0175] 也就是说,在图 15 及图 16 所示的情况下,对新单元而言的 A 级别的编程期间(第 1 次 ~ 第  $L$  次的写入循环),成为对循环单元而言的 A 级别及 B 级别的编程期间。需要注意的是,此处所谓的 B 级别的编程,即使在循环单元中,也以容易编程的存储单元 MC 为对象。

同样地,对于新单元而言的 B 级别的编程期间(第 L+1 次~第 M 次的写入循环)成为对于循环单元而言的 B 级别及 C 级别的编程期间。需要注意的是,此处所谓的 C 级别的编程,即使在循环单元中,也以容易编程的存储单元 MC 为对象。另外,对于新单元而言的 C 级别的编程期间(M 以后的写入循环)是对于循环单元而言的 C 级别的编程期间。需要注意的是,此处所谓的 C 级别的编程,即使在循环单元中,也以难以编程的存储单元 MC 为对象。

[0176] 如以上所述,在图 12 ~ 图 14 所示的写入序列的情况下,关于循环单元,容易进行 B 级别的编程的存储单元 MC 在将通过电压  $V_{pass}$  抑制得较低的、不升高的第 L 次为止的写入循环中被编程,另外,容易进行 C 级别的编程的存储单元 MC 在通过电压  $V_{pass}$  的升高幅度  $\Delta V_{pass}$  为电压  $V_{c1}$  而较低的第 M 次为止的写入循环中被编程。结果,能够防止对循环单元的 B 级别及 C 级别的过编程。即,在本实施方式的写入序列中,能够抑制由图 17 的虚线所示的、B 级别及 C 级别的阈值分布的上底缘扩大,能够得到实线的阈值分布。

[0177] 以上,根据本实施方式,通过使用前述的写入序列,能够不使写入序列的处理时间增加地抑制低级别的阈值分布的扩大。另外,关于对循环单元的数据写入,也能够抑制高级别的阈值分布的扩大。

[0178] [第 2 实施方式]

[0179] 以下说明的第 2 ~ 第 4 实施方式,为第 1 实施方式的变形例。

[0180] 在第 2 实施方式中,关于按每个写入循环使通过电压  $V_{pass}$  指数函数地升高的写入序列进行说明。

[0181] 图 18 表示本实施方式所涉及的写入序列时的写入循环数与编程电压  $V_{pgm}$  及通过电压  $V_{pass}$  的关系的曲线图的一例。另外,图 19 及图 20 是表示使用了本实施方式所涉及的写入序列且设定为  $N=6$  的情况下的通过电压  $V_{pass}$  的状况的曲线图。

[0182] 在本实施方式的情况下,如图 18 所示,直到通过电压  $V_{pass}$  达到最大的通过电压  $V_{psmax}$  的第 N 次的写入循环为止以等间隔使升高幅度  $\Delta V_{pass}$  本身升高并反复执行写入循环。该最大通过电压  $V_{psmax}$  是这样的电压,即:若使通过电压  $V_{pass1}$  升高到其以上,则连接于非选择字线 WL 及选择位线 BL 的非选择存储单元 MC 的阈值电压  $V_{th}$  会变动的可能性高。另外,大多情况下编程电压  $V_{pgm}$  的最初的电压(写入循环数为第 1 次的电压)比最大通过电压  $V_{psmax}$  高。但是,编程电压  $V_{pgm}$  既能够设为与最大通过电压  $V_{psmax}$  相同,也能够设为比最大通过电压  $V_{psmax}$  低。

[0183] 具体地,在图 19 所示的情况下,直到通过电压  $V_{pass}$  达到最大的通过电压  $V_{psmax}$  的第 6 次的写入循环为止,使通过电压  $V_{pass}$  的升高幅度  $\Delta V_{pass}$  本身每次增加 0.1V 并反复执行写入循环。

[0184] 也就是说,能够换言之,若将在第 n+1 次的写入循环中使用的通过电压  $V_{pass}$  相对于在第 n 次的写入循环中使用的通过电压  $V_{pass}$  的差(升高幅度)表现为  $\Delta V_n$ ,则数据写入部使用成为  $\Delta V_1=0.1V$ 、 $\Delta V_2=0.2V$ 、 $\dots$ 、 $\Delta V_5=0.5V$  的通过电压  $V_{pass}$  执行写入循环。若通过一般的形式表示之,则成为  $\Delta V_n = \Delta V_{(n-1)} + 0.1$ 。

[0185] 另外,图 20 是本实施方式涉及的写入序列的其他例子。

[0186] 在图 20 所示的情况下,从第 1 次的写入循环到第 2 次的写入循环的通过电压  $V_{pass}$  的升高幅度  $\Delta V_{pass}$  为 0.1V,但此以后,直至通过电压  $V_{pass}$  达到编程电压  $V_{pgm}$  的下限的第 6 次的写入循环为止,使通过电压  $V_{pass}$  的升高幅度  $\Delta V_{pass}$  本身每次增加 0.2V,

并反复执行写入循环。

[0187] 图 19 及图 20 的升高幅度  $\Delta V_{pass}$  控制,能够通过由逻辑电路实现的运算来进行。另外,也能够通过在 NAND 芯片 10 内的 ROM 熔断器等中存储升高幅度  $\Delta V_{pass}$  的变动值来进行。

[0188] 存储单元 MC 的编程的容易性按每个存储单元而不均一,有时也无法将各级别的编程期间明确地划分开。

[0189] 在这一点,根据本实施方式,与编程的阈值电压无关,对于容易编程的存储单元 MC 执行使用了低通过电压  $V_{pass}$  的编程工作,对难以编程的存储单元 MC 执行使用了高通过电压  $V_{pass}$  的编程工作,所以与第 1 实施方式相比较,能够根据存储单元的编程特性执行最适合的编程工作。

[0190] [第 3 实施方式]

[0191] 在第 3 实施方式中,关于在早期阶段的写入循环中使通过电压  $V_{pass}$  以固定的幅度升高,在此后的写入循环中使通过电压  $V_{pass}$  指数函数地升高的写入序列进行说明。

[0192] 图 21 是表示本实施方式所涉及的写入序列时的写入循环数与编程电压  $V_{pgm}$  及通过电压  $V_{pass}$  的关系的曲线图的一例。另外,图 22 是表示使用了本实施方式涉及的写入序列且设定为  $L=2$ 、 $N=6$  的情况下的通过电压  $V_{pass}$  的关系的曲线图。

[0193] 在本实施方式的情况下,如图 21 所示,从第 1 次到第  $L$  次的写入循环为止,以固定幅度  $V_{c1}$  使通过电压  $V_{pass}$  升高,从第  $L+1$  次的写入循环到第  $N$  次的写入循环为止使通过电压  $V_{pass}$  的升高幅度  $\Delta V_{pass}$  本身升高,并反复执行写入循环。

[0194] 具体地,在图 22 所示的情况下,例如在第 1 及第 2 次的写入循环中,使通过电压  $V_{pass}$  每次升高 0.1V,从第 3 次的写入循环到第 6 次的写入循环中,使通过电压  $V_{pass}$  的升高幅度  $\Delta V_{pass}$  本身每次增加 0.1V,并反复执行写入循环。

[0195] 也就是说,换言之,若将在第  $n+1$  次的写入循环中使用的通过电压  $V_{pass}$  相对于在第  $n$  次的写入循环中使用的通过电压  $V_{pass}$  的差(升高幅度)表现为  $\Delta V_n$ ,则数据写入部使用成为  $\Delta V_1=0.1V$ 、 $\Delta V_2=0.1V$ 、 $\Delta V_3=0.2V$ 、 $\Delta V_4=0.3V$ 、 $\Delta V_5=0.5V$  的通过电压  $V_{pass}$  执行写入循环。

[0196] 在本实施方式的情况下,在低级别的阈值电压的编程期间,由于抑制通过电压  $V_{pass}$  的升高并执行编程工作,所以与第 1 实施方式同样,能够抑制低级别的阈值分布的扩大,并且在此后的写入循环中,与第 2 实施方式同样,能够执行使用了与存储单元的编程特性对应的适合的通过电压  $V_{pass}$  的编程工作。

[0197] [第 4 实施方式]

[0198] 第 4 实施方式与图 3 的写入不同,在写入序列中,对写入为 A~C 级别的存储单元同时进行写入,从达到了各级别的存储单元开始按顺序成为禁止写入状态(锁定工作)。该禁止写入状态,能够通过变更位线的电压(例如从 0V 变更为 2.5V)来进行。

[0199] 图 23 是表示本实施方式涉及的写入序列时的写入循环数与编程电压  $V_{pgm}$  及通过电压  $V_{pass}$  的关系的曲线图的一例。另外,图 24 是表示使用了本实施方式涉及的写入序列的情况下的通过电压  $V_{pass}$  的曲线图。在此,A 级别的编程期间是直到写入为 A 级别的存储单元的校验通过为止的期间,B 级别的编程期间是直到写入为 B 级别的存储单元的校验通过为止的期间,C 级别的编程期间是直到写入为 C 级别的存储单元的校验通过为止的期间。

[0200] 在本实施方式的情况下,如图 23 所示,在作为 A 级别的编程期间的第 1 次~第 L 次的写入循环中,不使通过电压  $V_{pass}$  升高地执行编程工作,在作为 B 级别的编程期间的第 L+1 次~第 M 次的写入循环中,使通过电压  $V_{pass}$  以预定的电压  $V_{c1}$  升高并执行编程工作。此后,在作为 C 级别的编程期间的第 M+1 次~第 N 次的写入循环中,使通过电压  $V_{pass}$  指数函数地升高并执行编程工作。

[0201] 具体地,在图 24 所示的情况下,在作为 A 级别的编程期间的第 1 次~第 4 次的写入循环中,不使通过电压  $V_{pass}$  升高地执行编程工作,在作为 B 级别的编程期间的第 5 及第 6 次的写入循环中,使通过电压  $V_{pass}$  升高 0.1V 并执行编程工作。此后,在作为 C 级别的编程期间的第 7 次~第 9 次的写入循环中,使通过电压  $V_{pass}$  的升高幅度  $\Delta V_{pass}$  本身每次升高 0.1V 并执行编程工作。

[0202] 也就是说,若将在第 n+1 次的写入循环中使用的通过电压  $V_{pass}$  相对于在第 n 次的写入循环中使用的通过电压  $V_{pass}$  的差(升高幅度)表现为  $\Delta V_n$ ,则数据写入部使用成为  $\Delta V_1 \sim \Delta V_3=0V$ ,  $\Delta V_4$ 、 $\Delta V_5=0.1V$ ,  $\Delta V_6=0.2V$ ,  $\Delta V_7=0.3V$ ,  $\Delta V_8=0.4V$  的通过电压  $V_{pass}$  执行写入循环。

[0203] 在本实施方式的情况下,在 A 级别及 B 级别的编程期间,与第 1 实施方式同样,能够执行适合于要编程的阈值电压的编程工作,在 C 级别的编程期间,与第 2 实施方式同样,能够执行适合于存储单元的编程特性的编程工作。

[0204] 图 25 是通过校验工作时作为编程对象的存储单元 MC 之中校验通过了的存储单元数的比例(以下称为“校验通过率”)控制通过电压  $V_{pass}$  的升高幅度  $\Delta V_{pass}$  的情况下的写入序列的流程图。另外,图 25 的流程图表示对 2 位/单元的存储单元 MC 的写入序列。在此,校验通过率可以将能够由 ECC 纠正的位视为通过了的位而计算校验通过率。

[0205] 首先,在步骤 S601,判断 A 级别的校验通过率  $r_a$  是否为  $r_a < R_{ra}$  ( $R_{ra}$  例如为 100%)。如果为  $r_a < R_{ra}$ ,则将处理转移到步骤 S602,如果为  $r_a \geq R_{ra}$ ,则将处理转移到步骤 S605。另外,校验通过率不限于 100%,也能够将写入为 A 级别的存储单元的 70% 通过了的时刻定义为 A 级别的编程期间。以下,关于 B 级别、C 级别的校验通过率也是同样的。

[0206] 接着的步骤 S602 及 S603 与图 9 的步骤 S203 及 S204 相同,因此省略说明。另外,在步骤 S603,通过了 A 级别的校验的存储单元在以后的编程工作中成为禁止写入状态。

[0207] 接下来,在步骤 S604,基于步骤 S603 中的校验结果更新 A 级别的校验通过率  $r_a$ 。此后,将处理返回至步骤 S601。

[0208] 在步骤 S605,判断 B 级别的校验通过率  $r_b$  是否为  $r_b < R_{rb}$  ( $R_{rb}$  例如为 100%)。如果为  $r_b < R_{rb}$ ,则将处理转移到步骤 S606。另一方面,如果为  $r_b \geq R_{rb}$ ,则将处理转移到步骤 S609。

[0209] 接着的步骤 S606 及 S607 与图 9 的步骤 S207 及 S208 相同,因此省略说明。

[0210] 接下来,在步骤 S608,基于步骤 S607 的校验结果更新 B 级别的校验通过率  $r_b$ 。此后,将处理返回至步骤 S605。

[0211] 在步骤 S609,判断通过电压  $V_{pass}$  是否达到最大的通过电压  $V_{psmax}$ 。在通过电压  $V_{pass}$  达到最大的通过电压  $V_{psmax}$  的情况下,将处理转移到步骤 S611,在通过电压  $V_{pass}$  未达到最大的通过电压  $V_{psmax}$  的情况下,将处理转移到步骤 S610。

[0212] 接着的步骤 S610、S611、S612 及 S613 与图 9 的步骤 S207、S210、S211 及 S214 相

同,因此省略说明。

[0213] 最后,在步骤 S614,判断 C 级别的校验通过率  $rc$  是否为  $rc < Rrc$  ( $Rrc$  例如为 100%)。如果为  $rc < Rrc$ ,则完成写入序列。另一方面,如果为  $rc \geq Rrc$ ,则在步骤 S615 判断写入循环数  $n1$  是否达到了最大循环次数(图中的“最大循环”),在此基础上将处理返回至步骤 S609。

[0214] 这样,对于 A~C 级别,都能够以一并写入的方式进行应对。结果,能够使编程工作高速化。

[0215] [第 5 实施方式]

[0216] 第 5 实施方式是第 1 实施方式的变形例。

[0217] 在第 1 实施方式中,与写入/擦除周期数无关地,通过写入循环数、编程电压  $V_{pgm}$ 、通过电压  $V_{pass}$  或校验通过率来转换通过电压  $V_{pass}$  的升高幅度  $\Delta V_{pass}$ 。但是,在第 1 实施方式中如上所述,一般地,存储单元有随着写入/擦除周期数增加而变得容易编程的倾向。

[0218] 因此,在本实施方式中,关于根据写入/擦除周期数,改变对通过电压  $V_{pass}$  的升高幅度  $\Delta V_{pass}$  进行转换的判断条件的写入序列进行说明。

[0219] 图 26 是根据写入循环转换通过电压  $V_{pass}$  的升高幅度  $\Delta V_{pass}$  的写入序列的流程图的一部分,是在图 9 所示的流程图的开始及步骤 S201 之间增加的处理。

[0220] 在图 26 的情况下,首先在步骤 S251,判断写入/擦除周期数是否大于预定的周期数  $Rnc$ ,在写入/擦除次数小于等于周期数  $Rnc$  的情况下,将处理转移到步骤 S252,将在图 9 的步骤 S202 中使用的基准写入循环数  $Rn11$  初始化为预定的循环数  $Cn11$ ,将在图 9 的步骤 S206 中使用的基准写入循环数  $Rn12$  初始化为预定的循环数  $Cn12$ 。另一方面,在写入/擦除周期数大于预定的周期数  $Rnc$  的情况下,将处理转移到步骤 S253,将基准写入循环数  $Rn11$  初始化为比循环数  $Cn11$  大的循环数  $Cn11'$ ,将基准写入循环数  $Rn12$  初始化为比循环数  $Cn12$  大的循环数  $Cn12'$ 。

[0221] 另外,该写入/擦除周期数也可以存储于 NAND 芯片 10 内的 ROM 熔断器中。在此情况下,序列控制电路 7 读出 ROM 熔断器中存储的写入/擦除周期数,进行步骤 S252 的处理。另外,该写入/擦除周期数也可以存储于 ROM 熔断器 12 中。在此情况下,控制器 11 也可以在将写入命令发送到 NAND 芯片 10 的前后,将写入/擦除周期数的信息发送到 NAND 芯片 10。

[0222] 这样,伴随着写入/擦除周期数的增加,使通过电压  $V_{pass}$  的升高延迟,由此减弱对于编程速度快的存储单元的辅助。由此,能够抑制写入序列后的阈值分布的扩大。

[0223] 图 27 是根据编程电压  $V_{pgm}$  转换通过电压  $V_{pass}$  的升高幅度  $\Delta V_{pass}$  的写入序列的流程图的一部分,是在图 10 所示的流程图的开始及步骤 S301 之间增加的处理。

[0224] 在图 27 的情况下,首先在步骤 S351,判断写入/擦除周期数是否大于预定的周期数  $Rnc$ ,在写入/擦除次数小于等于周期数  $Rnc$  的情况下,将处理转移到步骤 S352,将在图 10 的步骤 S302 中使用的基准编程电压  $Rvpg1$  初始化为预定的电压  $Cvpg1$ ,将在图 10 的步骤 S306 中使用的基准编程电压  $Rvpg2$  初始化为预定的电压  $Cvpg2$ 。另一方面,在写入/擦除周期数大于预定的周期数  $Rnc$  的情况下,将处理转移到步骤 S353,将基准编程电压  $V_{pgm1}$  初始化为比电压  $Cvpg1$  大的预定电压  $Cvpg1'$ ,将基准编程电压  $Rvpg2$  初始化为比电压  $Cvpg2$

大的预定电压  $Cvpg2'$ 。

[0225] 图 28 是根据通过电压  $V_{pass}$  转换通过电压  $V_{pass}$  的升高幅度  $\Delta V_{pass}$  的写入序列的流程图的一部分,是在图 11 所示的流程图的开始及步骤 S401 之间增加的处理。

[0226] 在图 28 的情况下,首先在步骤 S451,判断写入 / 擦除周期数是否大于预定的周期数  $Rnc$ ,在写入 / 擦除周期数小于等于周期数  $Rnc$  的情况下,将处理转移到步骤 S452,将在图 11 的步骤 S402 中使用的基准通过电压  $Rvpa1$  初始化为预定电压  $Cvpa1$ ,将在图 11 的步骤 S406 中使用的基准通过电压  $Rvpa2$  初始化为预定电压  $Cvpa2$ 。另一方面,在写入 / 擦除周期数大于预定的周期数  $Rnc$  的情况下,将处理转移到步骤 S453,将基准通过电压  $Vpga1$  初始化为比电压  $Cvpa1$  大的预定电压  $Cvpa1'$ ,将基准通过电压  $Rvpa2$  初始化为比电压  $Cvpa2$  大的预定电压  $Cvpa2'$ 。

[0227] 图 29 是表示在根据校验通过率转换通过电压  $V_{pass}$  的升高幅度  $\Delta V_{pass}$  的写入序列中,写入 / 擦除周期与图 25 所示的流程图步骤 S601、S605 及 S614 的判断条件的关系的一例的具体例子。

[0228] 例如,在写入 / 擦除周期数  $Rnc$  小于 1000 次的情况下,根据 A 级别的校验通过率是否为 100% 而设定步骤 S601 的判断条件,根据 B 级别的校验通过率是否为 100% 而设定步骤 S605 的判断条件,根据 C 级别的校验通过率是否为 100% 而设定步骤 S614 的判断条件。

[0229] 在写入 / 擦除周期数  $Rnc$  小于 1 万次的情况下,根据 B 级别的校验通过率是否为 50% 而设定步骤 S601 的判断条件,根据 B 级别的校验通过率是否为 50% 而设定步骤 S605 的判断条件,根据 C 级别的校验通过率是否为 50% 而设定步骤 S614 的判断条件。

[0230] 另外,在写入 / 擦除周期数  $Rnc$  大于等于 1 万次的情况下,根据 B 级别的校验通过率是否为 75% 而设定步骤 S601 的判断条件,根据 B 级别的校验通过率是否为 75% 而设定步骤 S605 的判断条件,根据 C 级别的校验通过率是否为 100% 而设定步骤 S614 的判断条件。

[0231] 以上,在图 26 ~ 图 28 中,都与图 25 同样,随着写入 / 擦除周期数的增加,使通过电压  $V_{pass}$  的升高延迟,由此能够减弱对于编程速度快的存储单元的辅助。由此,能够抑制写入序列后的阈值分布的扩大。

[0232] 以上,根据本实施方式,不仅可得到与第 1 实施方式相同的效果,而且即使在编程特性因写入 / 擦除周期数的增加而变化了的情况下,也能够实现适合的通过电压  $V_{pass}$  的升高,抑制阈值分布的扩大。

[0233] [第 6 实施方式]

[0234] 关于非易失性半导体存储装置的数据写入,在第 1 实施方式中使用图 3 及图 4 进行了说明。另外,在使用图 5 ~ 图 7 列举了数据写入时的问题点的基础上,通过第 1 ~ 第 5 实施方式对之进行了解决。

[0235] 但是,在数据写入时,除了上述问题之外,也有可能产生以下的问题。也就是说,在对于选择存储单元  $MC_i$  ( $i=0 \sim n-1$ ) 不写入数据的情况下,在编程工作中,对位线 BL 施加例如电源电压  $V_{dd}$ ,通过所谓自举(self-boost)来提高选择存储单元  $MC_i$  的沟道电压从而防止对于电荷蓄积层的电荷注入。此时,若选择存储单元  $MC_i$  的沟道电压低,则容易产生对选择存储单元  $MC_i$  的误写入。

[0236] 在此,对自举方式(以下称为“SB 方式”)的编程工作进行说明。

[0237] 在 SB 方式的编程工作中,首先将 NAND 串的沟道电压设为浮置状态,对非选择字线

WL 施加通过电压  $V_{pass}$ 。若不久非选择字线 WL 达到通过电压  $V_{pass}$ , 则 NAND 串的沟道电压上升。在此基础上, 对选择字线 WL 施加编程电压  $V_{pgm}$ 。此时, NAND 串的沟道电压, 例如因结漏和 / 或选择栅晶体管 SG1 及 SG2 的截止泄漏等泄漏而下降。从施加编程电压  $V_{pgm}$  起一定时间之后, 转移到写入序列的结束工作。选择字线 WL 以及非选择字线 WL 的电压下降。另外, 也可以在使选择字线 WL 的电压暂时下降到通过电压  $V_{pass}$  后, 与非选择字线 WL 一起下降。由此, NAND 串的沟道电压因与字线 WL 的耦合而下降。这样, 在 SB 方式的编程工作中, 通过非选择字线 WL 的通过电压  $V_{pass}$  使 NAND 串的沟道电压自举(boost), 由此能够使对禁止写入的选择存储单元 MC 的误写入的发生可能性降低。

[0238] 根据以上, 在本实施方式涉及的非易失性半导体存储装置中, 采用以下的写入序列。

[0239] 图 30 是表示本实施方式的编程工作时的存储单元阵列的偏压状态的图。

[0240] 在本实施方式中, 在编程工作时, 对选择字线  $WLi$  施加编程电压  $V_{pgm}$ , 对与选择字线  $WLi$  相邻的非选择字线  $WLi-1$  以及  $WLi+1$  施加通过电压  $V_{pass1}$  (第 1 通过电压), 对其他的非选择字线  $WL0 \sim WLi-2$  以及  $WLi+2 \sim WLn-1$  施加通过电压  $V_{pass2}$  (第 2 通过电压)。在此, 通过电压  $V_{pass1}$  是按每个写入循环升高的电压。另外, 以下也将与选择字线相邻的非选择字线称为“相邻字线”。

[0241] 图 31 是表示本实施方式的写入序列时的写入循环数与编程电压及通过电压的关系的曲线图的一例。

[0242] 在本实施方式的写入序列的情况下, 在进行低级别的阈值电压  $V_{th}$  的编程的写入循环中, 将通过电压  $V_{pass1}$  的升高幅度  $\Delta V_{pass}$  抑制得较小, 在进行高级别的阈值电压  $V_{th}$  的编程的写入循环中, 使通过电压  $V_{pass1}$  的升高幅度  $\Delta V_{pass1}$  增大。另一方面, 通过电压  $V_{pass2}$  无论写入循环如何, 都设为比通过电压  $V_{pass1}$  的最低值高的固定的电压。

[0243] 在图 31 所示的实施例的情况下, 通过电压  $V_{pass1}$  的升高幅度  $\Delta V_{pass1}$ , 在进行 A 级别的编程的第 1 次~第 L 次的写入循环中为 0V, 在进行 B 级别的编程的第 L+1 次~第 M 次的写入循环中为  $V_{c1}$  ( $V_{c1} > 0$ ), 在进行 C 级别的编程的第 M+1 次~第 N 次的写入循环中为  $V_{c2}$  ( $V_{c2} > V_{c1}$ ), 如此变大。另外, 在此情况下, 阈值电压  $V_{pass1}$  还控制为不会大于等于最大通过电压  $V_{psmax}$ 。通过电压  $V_{pass2}$ , 大体在进行 A 级别、B 级别的编程的写入序列的初始阶段的写入循环中成为比通过电压  $V_{pass1}$  高的电压。

[0244] 接下来, 关于图 31 所示的写入序列的几种控制方法进行说明。

[0245] 图 32 是通过写入循环次数控制通过电压  $V_{pass1}$  的升高幅度  $\Delta V_{pass1}$  情况下的写入序列的流程图的一例。流程图的工作, 例如由序列控制电路 7 控制。

[0246] 首先在步骤 S701, 将写入循环数  $n1$  设为 1 (进行初始化)。将编程电压  $V_{pgm}$  设为初始编程电压  $V_{pgm0}$  ( $V_{pgm0}$  例如为 13V) (进行初始化)。另外, 将通过电压  $V_{pass1}$  设为初始通过电压  $V_{pass0}$  ( $V_{pass0}$  例如为 5V) (进行初始化)。

[0247] 接下来, 在步骤 S702, 判断写入循环数是否为  $n1 < Rn11$  ( $Rn11$  例如为 10)。如果为  $n1 < Rn11$  (步骤 S702 的“是”), 则在步骤 S703 使写入循环数  $n1$  递增, 之后在步骤 S704, 以编程电压  $V_{pgm}$ 、通过电压  $V_{pass1}$  以及  $V_{pass2}$  执行编程工作。另一方面, 如果为  $n1 \geq Rn11$  (步骤 S702 的“否”), 则将处理转移到步骤 S707。在此, 写入循环数  $n1$  能够存储于在 NAND 芯片 10 内配置的锁存器中。另外, 写入循环数  $n1$  也能够存储于控制器 11。另外, 写入循环

数  $n1$  也能够存储于不存储通常数据的 ROM 区域。

[0248] 接下来,在步骤 S705,执行校验工作。假设在该步骤 S705 中全部的存储单元都通过了的情况(步骤 S705 的“通过”),结束工作。另一方面,在一部分存储单元没有通过的情况下(步骤 S705 的“失败”),在步骤 S706,将通过电压  $V_{pass1}$  与  $\Delta V_{pass1}$  相加。在此, $\Delta V_{pass1}$  为电压  $V_{c1}$ 。此时,使编程电压  $V_{pgm}$  也升高  $\Delta V_{pgm}$ 。此后,将处理返回至步骤 S702。

[0249] 接下来,在步骤 S707,判断写入循环数  $n1$  例如是否为  $n1 < R_{n12}$  ( $R_{n12}$  例如为 15)。如果为  $n1 < R_{n12}$ (步骤 S707 的“是”),则在步骤 S708 使写入循环数  $n1$  递增,之后在步骤 S709,以编程电压  $V_{pgm}$ 、通过电压  $V_{pass1}$  以及  $V_{pass2}$  执行编程工作。另一方面,如果为  $n \geq R_{n12}$  (步骤 S707 的“否”),则将处理转移到步骤 S712。另外,  $R_{n11} < R_{n12}$ 。

[0250] 接下来,在步骤 S710,执行校验工作。假设在该步骤 S710 中全部的存储单元都通过了的情况下(步骤 S710 的“通过”),结束工作。另一方面,在一部分存储单元没有通过的情况下(步骤 S710 的“失败”),在步骤 S711,将通过电压  $V_{pass1}$  与  $\Delta V_{pass1}$  相加。在此, $\Delta V_{pass1}$  为电压  $V_{c2}$  ( $>$ 电压  $V_{c1}$ )。此时,使编程电压  $V_{pgm}$  也升高  $\Delta V_{pgm}$ 。

[0251] 接下来,在步骤 S712,判断写入循环数  $n1$  是否达到最大循环次数(图中的“最大循环”)。在该步骤 S712,在写入循环数  $n1$  达到最大循环次数的情况下,设为写入失败并结束写入序列。另一方面,在写入循环数  $n1$  未达到最大循环次数的情况下,在步骤 S713 使写入循环数  $n1$  递增,之后在步骤 S714,以编程电压  $V_{pgm}$ 、通过电压  $V_{pass1}$  以及  $V_{pass2}$  执行编程工作。此处的通过电压  $V_{pass1}$  为最大通过电压  $V_{psmax}$ 。也就是说,在以后的编程工作中不再使通过电压  $V_{pass1}$  升高。

[0252] 接下来,在步骤 S715,执行校验工作。在该校验工作中判断编程是否完成(全部的存储单元都通过),在完成的情况下(S715 的“通过”)结束写入序列,在未完成的情况下(S715 的“失败”),在步骤 S716 使编程电压  $V_{pgm}$  升高  $\Delta V_{pgm}$ ,之后将处理返回到步骤 S712。另外,在步骤 S716,不使通过电压  $V_{pass1}$  升高。

[0253] 图 33 是通过编程电压  $V_{pgm}$  控制通过电压  $V_{pass1}$  的升高幅度  $\Delta V_{pass1}$  的情况下的写入序列的流程图的一例。流程图的工作,例如由序列控制电路 7 控制。

[0254] 开始的步骤 S801 与图 32 的步骤 S701 相同,因此省略说明。

[0255] 接下来,在步骤 S802,判断编程电压  $V_{pgm}$  是否为  $V_{pgm} < R_{vpg1}$  ( $R_{vpg1}$  例如为 15V)。如果为  $V_{pgm} < R_{vpg1}$ (步骤 S802 的“是”),则在步骤 S803 使写入循环数  $n1$  递增,之后将处理转移到步骤 S804。另一方面,如果为  $V_{pgm} \geq R_{vpg1}$  (步骤 S802 的“否”),则将处理转移到步骤 S808。

[0256] 接着的步骤 S804 ~ S806 分别与图 32 的步骤 S704 ~ S706 相同,因此省略说明。

[0257] 接下来,在步骤 S807,判断写入循环数  $n1$  是否达到了最大循环次数(图中的“最大循环”)。在该步骤 S807,在写入循环数  $n1$  达到最大循环次数的情况下,设为写入失败并结束写入序列。另一方面,在写入循环数  $n1$  未达到最大循环次数的情况下,将处理返回至步骤 S802。

[0258] 接下来,在步骤 S808,判断编程电压  $V_{pgm}$  是否为  $V_{pgm} < R_{vpg2}$  ( $R_{vpg2}$  例如为 17V)。如果为  $V_{pgm} < R_{vpg2}$ (步骤 S808 的“是”),则在步骤 S809 使写入循环数  $n1$  递增,之后将处理转移到步骤 S810。另一方面,如果为  $V_{pgm} \geq R_{vpg2}$  (步骤 S808 的“否”),则将处

理转移到步骤 S814。另外,  $Rvpg1 < Rvpg2$ 。

[0259] 接着的步骤 S810 ~ S812 与图 32 的步骤 S709 ~ S711 相同, 因此省略说明。

[0260] 接着的步骤 S814 ~ S817 与图 32 的步骤 S713~S716 相同, 因此省略说明。

[0261] 这样, 通过编程电压  $V_{pgm}$  控制通过电压  $V_{pass1}$  的升高幅度  $\Delta V_{pass1}$ , 由此能够在编程电压  $V_{pgm}$  高时提高选择存储单元的沟道电压。其结果, 能够高精度地防止存储单元的误写入。

[0262] 另外, 在如图 33 所示的写入序列那样通过编程电压  $V_{pgm}$  控制通过电压  $V_{pass1}$  的升高幅度  $\Delta V_{pass1}$  的情况下, 是否设置步骤 S807、S813 及 S818 是任意的。在如图 33 的例子那样设置了步骤 S807、S813 及 S818 的情况下, 以步骤 S806、S812 及 S817 的写入循环的结束时刻的写入循环数  $n1$  达到一定的写入循环数为条件, 能够立即设为写入失败而结束写入序列。

[0263] 另一方面, 在省略了步骤 S807、S813 及 S818 的情况下, 由于不需要写入循环数  $n1$  的管理, 所以能够使电路结构简略化。

[0264] 图 34 是以通过电压  $V_{pass1}$  控制通过电压  $V_{pass1}$  的升高幅度  $\Delta V_{pass1}$  的情况下的写入序列的流程图的一例。流程图的工作, 例如由序列控制电路 7 控制。

[0265] 开始的步骤 S901 与图 32 的步骤 S701 相同, 因此省略说明。

[0266] 接下来, 在步骤 S902, 判断通过电压  $V_{pass1}$  是否为  $V_{pass1} < Rvpa1$  ( $Rvpa1$  例如为 7V)。如果为  $V_{pass1} < Rvpa1$  (步骤 S902 的“是”), 则在步骤 S903 使写入循环数  $n1$  递增, 之后将处理转移到步骤 S903。另一方面, 如果为  $V_{pass1} \geq Rvpa1$  (步骤 S902 的“否”), 则将处理转移到步骤 S908。

[0267] 接着的步骤 S904 ~ S907 分别与图 33 的步骤 S804 ~ S807 相同, 因此省略说明。

[0268] 接下来, 在步骤 S908, 判断通过电压  $V_{pass1}$  是否为  $V_{pass1} < Rvpa2$  ( $Rvpa2$  例如为 9V)。如果为  $V_{pass1} < Rvpa2$  (S908 的“是”), 则在步骤 S909 使写入循环数  $n1$  递增, 之后将处理转移到步骤 S910。另一方面, 如果为  $V_{pass1} \geq Rvpa2$  (S908 的“否”), 则将处理转移到步骤 S914。另外,  $Rvpa1 < Rvpa2$ 。

[0269] 接着的步骤 S910 ~ S918 与图 33 的步骤 S810 ~ S818 相同, 因此省略说明。

[0270] 另外, 在如图 34 所示的写入序列那样以通过电压  $V_{pass1}$  控制通过电压  $V_{pass1}$  的升高幅度  $\Delta V_{pass1}$  的情况下, 是否设置步骤 S907、S913 及 S918 是任意的。在如图 34 的例子那样设置了步骤 S907、S913 及 S918 的情况下, 以步骤 S906、S912 及 S917 的写入循环的结束时刻的写入循环数达到一定的写入循环为条件, 能够立即设为写入失败而结束写入序列。

[0271] 另一方面, 在省略了步骤 S907、S913 及 S918 的情况下, 由于不需要写入循环数  $n1$  的管理, 所以能够使电路结构简略化。

[0272] 另外, 通过以通过电压  $V_{pass1}$  进行控制, 无论编程电压  $V_{pgm}$  如何, 都能够控制升高幅度  $\Delta V_{pass1}$ 。例如, 在根据存储单元的劣化而降低了编程电压  $V_{pgm}$  的初始电压的情况下, 通过电压  $V_{pass1}$  的升高开始会延迟。其结果, 有时误写入会增加。另一方面, 通过电压  $V_{pass1}$  根据存储单元的劣化而变更的情况少。其结果, 能够将通过电压  $V_{pass1}$  的升高开始设定得合适, 能够防止误写入。

[0273] 图 35 是通过校验工作时作为编程对象的存储单元 MC 之中校验通过的存储单元数

的比例(以下称为“校验通过率”)控制通过电压  $V_{pass1}$  的升高幅度  $\Delta V_{pass1}$  的情况下的写入序列的流程图。流程图的工作例如由序列控制电路 7 控制。另外,关于能够由 ECC 纠正的位,也可以视为通过了的位而计算校验通过率。

[0274] 开始的步骤 SA01 与图 32 的步骤 S701 相同,因此省略说明。

[0275] 接下来,在步骤 SA02,判断 A 级别的校验通过率  $ra$  是否为  $ra \geq Rra$  ( $Rra$  例如为 100%)。如果为  $ra < Rra$  (步骤 SA02 的“否”),则在步骤 SA03 使写入循环数  $n1$  递增,之后在步骤 SA04,以编程电压  $V_{pgm}$ 、通过电压  $V_{pass1}$  以及  $V_{pass2}$  执行编程工作。在此,  $\Delta V_{pass1}$  例如为 0V。另一方面,如果为  $ra \geq Rra$  (步骤 SA02 的“是”),则将处理转移到步骤 SA09。另外,校验通过率不限于 100%,也能够将写入为 A 级别的存储单元的 70% 通过了的时刻定义为 A 级别的编程期间。以下,关于 B 级别、C 级别的校验通过率也是同样的。

[0276] 接下来,在步骤 SA05,执行校验工作。另外,在步骤 SA05,通过了 A 级别的校验的存储单元在以后的编程工作中成为禁止写入状态。

[0277] 接下来,在步骤 SA06,基于步骤 SA05 的校验结果更新 A 级别的校验通过率  $ra$ 。

[0278] 接着的步骤 SA07 及 SA08,除了通过电压  $V_{pass1}$  的升高幅度为  $\Delta V_{pass1}=0$  之外,与图 33 的步骤 S807 及 S808 相同,因此省略说明。

[0279] 接下来,在步骤 SA09,判断 B 级别的校验通过率  $rb$  是否为  $rb \geq Rrb$  ( $Rrb$  例如为 100%)。如果为  $rb < Rrb$  (步骤 SA09 的“否”),则在步骤 SA10 使写入循环数  $n1$  递增,之后在步骤 SA11,以编程电压  $V_{pgm}$ 、通过电压  $V_{pass1}$  及  $V_{pass2}$  执行编程工作。在此,  $\Delta V_{pass1}$  为电压  $V_{c1}$ 。另一方面,如果为  $rb \geq Rrb$  (步骤 SA09 的“是”),则将处理转移到步骤 SA16。

[0280] 接下来,在步骤 SA12,执行校验工作。另外,在步骤 SA12,通过了 B 级别的校验的存储单元在以后的编程工作中成为禁止写入状态。

[0281] 接下来,在步骤 SA13,基于步骤 SA12 中的校验结果更新 B 级别的校验通过率  $rb$ 。

[0282] 接着的步骤 SA14 及 SA15,除了通过电压  $V_{pass1}$  的升高幅度  $\Delta V_{pass1}=V_{c1}$  之外,与图 33 的步骤 S806 及 S807 相同,因此省略说明。

[0283] 接下来,在步骤 SA16,判断 C 级别的校验通过率  $rc$  是否为  $rc \geq Rrc$  ( $Rrc$  例如为 100%)。如果为  $rc \geq Rrc$  (步骤 SA16 的“是”),则结束写入序列。另一方面,如果为  $rc < Rrc$  (步骤 SA16 的“否”),则在步骤 SA17 使写入循环数  $n1$  递增,之后将处理转移到步骤 SA18。

[0284] 接下来,在步骤 SA18,判断通过电压  $V_{pass1}$  是否达到最大通过电压  $V_{psmax}$ 。在通过电压  $V_{pass1}$  达到最大通过电压  $V_{psmax}$  的情况下(步骤 SA18 的“是”),在步骤 SA19,将通过电压  $V_{pass1}$  的升高幅度设为  $V_{pass1}=V_{c2}$  并执行编程工作。另一方面,在通过电压  $V_{pass1}$  未达到最大通过电压  $V_{psmax}$  的情况下(步骤 SA18 的“否”),在步骤 SA20,将通过电压设为  $V_{pass1}=V_{psmax}$  并执行编程工作。

[0285] 接下来,在步骤 SA21,执行校验工作。另外,在步骤 SA21,通过了 C 级别的校验的存储单元在以后的编程工作中成为禁止写入状态。

[0286] 接下来,在步骤 SA22,基于步骤 SA21 中的校验结果更新 C 级别的校验通过率  $rc$ 。

[0287] 接着的步骤 SA23 及 SA24,除了通过电压  $V_{pass1}$  的升高幅度为  $\Delta V_{pass1}=V_{c2}$  之外,与图 33 的步骤 S806 及 S807 相同,因此省略说明。

[0288] 这样,通过校验通过率  $ra$ 、 $rb$  或  $rc$  控制通过电压  $V_{pass1}$  的升高幅度  $\Delta V_{pass1}$ ,由此能够根据各个级别调整通过电压  $V_{pass1}$ 。其结果,能够细化各级别的阈值分布的幅度。

[0289] 另外,在如图 35 所示的写入序列那样通过校验通过率  $r_a$ 、 $r_b$  或  $r_c$  控制通过电压  $V_{pass1}$  的升高幅度  $\Delta V_{pass1}$  的情况下,是否设置步骤 SA08、SA15 及 SA24 是任意的。在如图 35 的例子那样设置了步骤 SA08、SA15 及 SA24 的情况下,以步骤 SA07、SA14 及 SA23 的写入循环结束时刻的写入循环数  $n1$  达到一定的写入循环为条件,能够立即设为写入失败而结束写入序列。

[0290] 另一方面,在省略了步骤 S807、S813 及 S818 的情况下,由于不需要写入循环数  $n1$  的管理,所以能够使电路结构简略化。

[0291] 如以上所述,根据本实施方式的写入序列,在写入序列的初始阶段,通过电压  $V_{pass2}$  在某种程度上较大,因此与以往的使用 SB 方式的编程工作的情况同样,能够使沟道电压充分地自举。由此,能够使对禁止写入的选择存储单元的误写入的发生可能性较低。另一方面,通过电压  $V_{pass2}$  固定,因此即使在写入序列的后期阶段通过电压  $V_{pass2}$  也不会过高。由此,也能够降低对连接于选择位线的非选择存储单元的误写入的发生可能性。

[0292] 进而,与以往的使用 SB 方式的编程工作的情况相比,在写入序列的初始阶段,将与选择字线相邻的非选择字线的通过电压  $V_{pass1}$  抑制得较低。其结果,能够降低由相邻字线引起的自举效应所导致的电压上升。也就是说,能够抑制选择字线的有效编程电压  $V_{pgm}$  的增加。由此,能够防止选择存储单元的低级别的阈值电压(例如 A 级别、B 级别)的变动,能够抑制存储单元组的低级别的阈值分布的扩大。另外,在写入序列的后期阶段(例如将存储单元的阈值电压写入为 C 级别的情况),通过电压  $V_{pass1}$  的升高幅度变大,因此能够进一步提高由自举效应引起的选择字线的有效编程电压  $V_{pgm}$ 。由此,能够增大阈值电压上升的选择存储单元的阈值电压的上升率,能够缩短写入序列的处理时间。

[0293] 另外,通过将电压  $V_{c1}$  设为 0,能够抑制选择存储单元的低级别的阈值电压(特别是 A 级别)的阈值分布的扩大。

[0294] 接下来,关于本实施方式的写入序列的变形例进行说明。

[0295] 图 36 是表示本实施方式的写入序列时的写入循环数与编程电压及通过电压的关系的曲线图的一例。在该变形例中,按每个写入循环使通过电压  $V_{pass1}$  指数函数地升高。

[0296] 在此,所谓指数函数的升高,指将在第  $n+1$  次的写入循环中使用的通过电压  $V_{pass1}$  相对于在第  $n$  次的写入循环中使用的通过电压  $V_{pass1}$  的差(升高幅度)设为  $\Delta V_n$  的情况下,升高幅度通过  $\Delta V_n = \Delta V_{(n-1)} + 0.1$  表示的情况。

[0297] 存储单元 MC 的阈值电压的上升的容易性按每个存储单元 MC 而存在不均一,有时也无法将各级别的编程期间明确地划分开。但是,在该变形例的情况下,与编程的阈值电压无关,对于阈值电压容易上升的存储单元 MC 执行使用了低通过电压  $V_{pass}$  的编程工作,对阈值电压难以上升的存储单元 MC 执行使用了高通过电压  $V_{pass}$  的编程工作。因此,与本实施方式的图 31 所示的实施例相比较,能够执行进一步符合于存储单元 MC 的编程特性的最适合的编程工作。

[0298] 以上,根据本实施方式,与以往的使用了 SB 方式的编程工作的情况同样,能够提供不仅能够降低对禁止写入的选择存储单元的误写入的发生可能性、也抑制了存储单元组的阈值分布的扩大的非易失性半导体存储装置。

[0299] [第 7 实施方式]

[0300] 在第 6 实施方式中,关于使用了 SB 方式的编程工作的非易失性半导体存储装置

进行了说明,但在第 7 实施方式中,关于使用了所谓擦除区域自举方式(以下称为“EASB 方式”)的编程工作的非易失性半导体存储装置进行说明。另外,关于未说明的方面,与第 1 实施方式相同。

[0301] 图 37 是表示本实施方式的编程工作时的存储单元阵列的偏压状态的图的一例,图 38 是表示本实施方式的写入序列时的写入循环数与编程电压及通过电压的关系的曲线图的一例。另外,图 37 及图 38 假定从源线 CELSRC 侧的存储单元 MC 写入数据的情况。

[0302] 存储单元的阈值电压,通过数据写入而提高。因此,数据写入后的存储单元的沟道电压通过自举而难以上升,自举效率下降。

[0303] 因此,在 EASB 方式的编程工作中,通过将数据写入后的存储单元的沟道与包含选择存储单元的数据写入前的存储单元的沟道电分离,来使选择存储单元的沟道电压容易自举。

[0304] 具体地,如图 37 所示,对选择字线  $WLi$  施加编程电压  $V_{pgm}$ ,对与选择字线  $WLi$  的源线 CELSRC 侧相邻的非选择字线  $WL$  施加分离电压  $V_{iso}$ ,对选择字线  $WLi$  的位线 BL 侧的相邻字线  $WLi+1$  施加通过电压  $V_{pass1}$  (第 1 通过电压),对非选择字线  $WL0 \sim WLi-2$  施加通过电压  $V_{pass3}$  (第 3 通过电压),对非选择字线  $WLi+2 \sim WLn-1$  施加通过电压  $V_{pass2}$  (第 2 通过电压)。

[0305] 在此,通过电压  $V_{pass2}$  如图 38 所示,无论写入循环如何都为固定的电压,是比编程电压  $V_{pgm}$  的最低值高的电压。另外,通过电压  $V_{pass3}$  如图 38 所示,无论写入循环如何都为固定的电压。并且,分离电压  $V_{iso}$  如图 38 所示,是无论写入循环如何都为固定的电压,是例如比接地电压  $V_{ss}$  稍高的电压。

[0306] 另一方面,通过电压  $V_{pass1}$ ,与第 6 实施方式同样,是以最大通过电压  $V_{psmax}$  为上限且随着写入循环增加而升高的电压。也就是说,通过电压  $V_{pass1}$  如图 38 所示,是下述电压:将初始值设为比通过电压  $V_{pass3}$  低的电压,升高幅度  $\Delta V_{pass1}$  在进行 A 级别的编程的第 1 次~第 L 次的写入循环中为 0V,在进行 B 级别的编程的第 L+1 次~第 M 次的写入循环中变大为  $V_{c1}$  ( $V_{c2} > V_{c1}$ ),在进行 C 级别的编程的第 M+1 次~第 N 次的写入循环中变大为  $V_{c2}$  ( $V_{c2} > V_{c1}$ )。

[0307] 如以上所述,通过对字线  $WLi-1$  施加分离电压  $V_{iso}$ ,存储单元  $MCi-1$  的沟道截止,由此能够使数据写入后的存储单元  $MC0 \sim MCi-2$  的沟道与数据写入前的存储单元  $MCi \sim MCn-1$  的沟道电分离。另外,以下,有时也将被施加分离电压  $V_{iso}$  的非选择字线称为“分离用字线”。

[0308] 在此基础上,通过对字线  $WL0 \sim WLi-2$  施加比较低的通过电压  $V_{pass3}$ ,关于数据写入后的存储单元  $MC0 \sim MCi-2$  能够降低因过度的通过电压的施加引起的误写入的发生可能性。

[0309] 另一方面,对字线  $WLi+1 \sim WLn-1$  施加比较高的通过电压  $V_{pass2}$ ,因此不受存储单元  $MC0 \sim MCi-2$  的影响,能够高效地使数据写入前的存储单元  $MCi \sim MCn-1$  的沟道电压自举。其结果,能够降低对禁止写入的选择存储单元  $MCi$  的误写入的发生可能性。

[0310] 也就是说,根据本实施方式的图 37 及图 38 所示的实施例,不仅具有与第 6 实施方式的图 30 及图 31 所示的实施例相同的效果,而且进而能够进一步降低对禁止写入的选择存储单元的误写入的发生可能性。

[0311] 另外,如图 39 所示,通过对与选择字线  $W_{Li+1}$  的两侧相邻的非选择字线  $W_{Li}$ 、 $W_{Li+2}$  施加通过电压  $V_{pass1}$ ,能够有效地抑制存储单元组的阈值分布的扩大。

[0312] 接下来,关于本实施方式的写入序列的变形例的几种进行说明。

[0313] 第 1 个变形例,是如图 40 所示控制图 37 所示的各电压的例子。图 40 是表示本实施方式的写入序列时的写入循环数与编程电压及通过电压的关系的曲线图。

[0314] 在该变形例中,与本实施方式的使图 37 及图 38 组合的实施例不同,使通过电压  $V_{pass2}$  以最大通过电压  $V_{psmax}$  为上限,随着写入循环增加而升高。这样,在本实施方式中,不仅使通过电压  $V_{pass1}$  升高,而且也可以使通过电压  $V_{pass2}$  升高。这样通过使通过电压  $V_{pass2}$  升高,能够进一步使沟道电压上升。

[0315] 另外,如图 40 所示,通过使通过电压  $V_{pass2}$  的升高幅度  $\Delta V_{pass2}$  变化的定时与使通过电压  $V_{pass1}$  的升高幅度  $\Delta V_{pass1}$  变化的定时一致,能够使通过电压  $V_{pass2}$  的控制所需要的参数与通过电压  $V_{pass1}$  相同,也能够使由数据写入部进行的通过电压  $V_{pass2}$  的控制变得容易。

[0316] 第 2 个变形例是如图 41 那样控制图 37 所示的各电压的例子。图 41 是表示本实施方式的写入序列时的写入循环数与编程电压及通过电压的关系的曲线图。

[0317] 在该变形例中,与本实施方式的使图 37 及图 38 组合的实施例不同,使通过电压  $V_{pass1}$  以最大通过电压  $V_{psmax}$  为上限,随着写入循环增加而指数函数地升高。也就是说,在该变形例的情况下,与编程的阈值电压无关,对容易编程的存储单元 MC 执行使用了低通过电压  $V_{pass1}$  的编程工作,对难以编程的存储单元 MC 执行使用了高通过电压  $V_{pass1}$  的编程工作。

[0318] 因此,根据该变形例,与本实施方式的使图 37 及图 38 组合的实施例相比较,能够执行符合于存储单元的编程特性的最适合的编程工作。

[0319] 第 3 个变形例是如图 42 那样控制图 38 所示的各电压的例子。图 42 是表示本实施方式的编程工作时的存储单元阵列的偏压状态的图。

[0320] 在该变形例中,与本实施方式的使图 37 及图 38 组合的实施例不同,不仅将与选择字线  $W_{Li}$  的源线 CELSRC 侧相邻的非选择字线  $W_{Li-1}$  用作分离用字线,而且进而将其相邻的非选择字线  $W_{Li-2}$  也用作分离用字线。

[0321] 在如本实施方式的使图 37 及图 38 组合的实施例那样分离用字线 WL 为 1 条的情况下,有时不能够充分地将数据写入后的存储单元 MC 的沟道与数据写入前的存储单元 MC 的沟道电分离。在这一点,根据该变形例,由于分离用字线 WL 为多条,所以与本实施方式的使图 37 及图 38 组合的实施例相比较,能够更切实地将数据写入后的存储单元 MC 的沟道与数据写入前的存储单元 MC 的沟道电分离。

[0322] [第 8 实施方式]

[0323] 在第 7 实施方式中,关于使用了 EASB 方式的编程工作的非易失性半导体存储装置进行了说明,但是在第 8 实施方式中,关于使用了修订的擦除区域自举方式(以下称为“REASB 方式”)的编程工作的非易失性半导体存储装置进行说明。另外,关于未说明的方面,与第 7 实施方式相同。

[0324] 图 43 是表示本实施方式的编程工作中的存储单元阵列的偏压状态的图,图 44 是表示本实施方式的写入序列时的写入循环数与编程电压及通过电压的关系的曲线图。另

外,图 43 及图 44,以从源线 CELSRC 侧的存储单元 MC 顺序地写入数据为前提。

[0325] 在使用了 EASB 方式的编程工作的情况下,就图 37 的例子而言,在连接于分离用字线  $W_{Li-1}$  的存储单元  $MC_{i-1}$  的沟道和与该存储单元  $MC_{i-1}$  相邻的存储单元  $MC_{i-2}$  或存储单元  $MC_i$  的沟道之间会产生大电位差。该情况下,从存储单元  $MC_{i-1}$  的沟道朝向存储单元  $MC_{i-2}$  或存储单元  $MC_i$  释放加速了的电子。并且,在该电子进入了存储单元  $MC_{i-2}$  或  $MC_i$  的浮置栅的情况下,会产生对存储单元  $MC_{i-2}$  或  $MC_i$  的误写入。

[0326] 在此,在 REASB 方式的编程工作中,对与分离用字线相邻的一方或双方的非选择字线施加分离电压与编程电压或通过电压的中间电压即缓和电压。

[0327] 具体地,如图 43 所示,对选择字线  $W_{Li}$  施加编程电压  $V_{pgm}$ ,对相邻字线  $W_{Li-1}$  以及  $W_{Li+1}$  施加通过电压  $V_{pass1}$ (第 1 通过电压),对选择字线  $W_{Li}$  的源线 CELSRC 侧的非选择字线  $W_{Li-3}$  施加分离电压  $V_{iso}$ ,对与分离用字线  $W_{Li-3}$  相邻的非选择字线  $W_{Li-4}$  及  $W_{Li-2}$  施加缓和电压  $V_{gp}$ ,对非选择字线  $W_{Li+2} \sim W_{Ln-1}$  施加通过电压  $V_{pass2}$  (第 2 通过电压),对非选择字线  $W_{L0} \sim W_{Li-5}$  施加通过电压  $V_{pass3}$  (第 3 通过电压)。

[0328] 例如,缓和电压  $V_{gp}$  如图 44 所示,是无论写入循环如何都为固定的电压,是比编程电压  $V_{pgm}$  的最低值、通过电压  $V_{pass1}$  的最低值、通过电压  $V_{pass2}$  或通过电压  $V_{pass3}$  低且比分离电压  $V_{iso}$  高的电压。另外,编程电压  $V_{pgm}$ 、通过电压  $V_{pass1}$ 、 $V_{pass2}$  及  $V_{pass3}$  以及分离电压  $V_{iso}$  与图 38 所示的实施例相同。另外,有时也将施加了缓和电压  $V_{gp}$  的非选择字线称为“缓和用字线”。另外,通过对与选择字线  $W_{Li}$  的双方相邻的字线  $W_{Li-1}$ 、 $W_{Li+1}$  施加通过电压  $V_{pass1}$ ,能够有效地抑制存储单元组的阈值分布的扩大。

[0329] 如以上所述,通过对与分离用字线  $W_{Li-3}$  相邻的非选择字线  $W_{Li-2}$  及  $W_{Li-4}$  施加缓和电压  $V_{gp}$ ,可降低从存储单元  $MC_{i-3}$  的沟道朝向存储单元  $MC_{i-4}$  及  $MC_{i-2}$  的电子的加速。因此,该电子进入存储单元  $MC_{i-4}$  及  $MC_{i-2}$  的电荷蓄积层的可能性变低。

[0330] 也就是说,根据本实施方式的使图 43 及图 44 组合的实施例,不仅具有与第 7 实施方式的使图 37 及图 38 组合的实施例相同的效果,而且还能够进一步降低对与连接于分离用字线的存储单元相邻的存储单元误写入的发生可能性。

[0331] 接下来,关于本实施方式的写入序列的变形例的几种进行说明。

[0332] 第 1 个变形例是如图 45 那样控制图 43 所示的各电压的例子。图 45 是表示本实施方式的写入序列时的写入循环数与编程电压及通过电压的关系的曲线图的一例。

[0333] 在该变形例中,与本实施方式的使图 43 及图 44 组合的实施例不同,使通过电压  $V_{pass2}$  以最大通过电压  $V_{psmax}$  为上限,随着写入循环增加而升高。这样,在本实施方式中,不仅使通过电压  $V_{pass1}$  升高,而且也可以使通过电压  $V_{pass2}$  升高。

[0334] 第 2 个变形例,是如图 46 那样控制图 43 所示的各电压的例子。图 46 是表示本实施方式的写入序列时的写入循环数与编程电压及通过电压的关系的曲线图。

[0335] 在该变形例中,与本实施方式的使图 43 及图 44 组合的实施例不同,使通过电压  $V_{pass1}$  以最大通过电压  $V_{psmax}$  为上限,随着写入循环增加而指数函数地升高。

[0336] 因此,根据该变形例,与本实施方式的使图 43 及图 44 组合的实施例相比较,能够执行符合于存储单元的编程特性的最适合的编程工作。

[0337] 第 3 个变形例,是如图 47 那样控制图 43 所示的各电压的例子。图 47 是表示本实施方式的编程工作时的存储单元阵列的偏压状态的图。

[0338] 在该变形例中,与本实施方式的使图 43 及图 44 组合的实施例不同,不仅将与选择字线  $WLi$  的源线 CELSRC 侧相邻的非选择字线  $WLi-3$  用作分离用字线,而且进而将其相邻的非选择字线  $WLi-4$  也用作分离用字线。

[0339] 因此,根据该变形例,与本实施方式的使图 43 及图 44 组合的实施例相比较,能够更切实地将数据写入后的存储单元 MC 的沟道与数据写入前的存储单元 MC 的沟道电分离。

[0340] [第 9 实施方式]

[0341] 在第 7 实施方式中,关于使用了 EASB 方式的编程工作的非易失性半导体存储装置进行了说明,但在第 9 实施方式中,关于使用了所谓局部自举方式(以下称为“LSB 方式”)的编程工作的非易失性半导体存储装置进行说明。另外,关于未说明的方面,与第 7 实施方式相同。

[0342] 图 48 是表示本实施方式的编程工作时的存储单元阵列的偏压状态的图的一例。另外,图 48 假定从源线 CELSRC 侧的存储单元 MC 写入数据的情况。

[0343] 在使用了 EASB 方式的编程工作的情况下,通过将数据写入后的存储单元的沟道与数据写入前的存储单元的沟道电分离,与使用了 SB 方式的编程工作的情况相比较,能够更高效地使选择存储单元的沟道电压增压。

[0344] 相对于此,在 LSB 方式的编程工作中,将选择存储单元的沟道不仅与选择存储单元的源线 CELSRC 侧、而且也与位线 BL 侧的存储单元的沟道电分离。由此,与使用了 EASB 方式的编程工作的情况相比,能够更高效地使选择存储单元的沟道电压增压。

[0345] 具体地,如图 48 所示,对选择字线  $WLi$  施加编程电压  $V_{pgm}$ ,对相邻字线  $WLi-1$  以及  $WLi+1$  施加通过电压  $V_{pass1}$  (第 1 通过电压),对与相邻字线  $WLi-1$  的源线 CELSRC 侧相邻的非选择字线  $WLi-2$  及与相邻字线  $WLi+1$  的位线 BL 侧相邻的非选择字线  $WLi+2$  施加通过电压  $V_{pass2}$  (第 2 通过电压),对与非选择字线  $WLi-2$  的源线 CELSRC 侧相邻的非选择字线  $WLi-3$  及与非选择字线  $WLi+2$  的位线 BL 侧相邻的非选择字线  $WLi+3$  施加分离电压  $V_{iso}$ ,对其他非选择字线  $WLi-4$  及  $WLi+4$  施加通过电压  $V_{pass3}$  (第 3 通过电压)。

[0346] 在此,相对于写入循环的编程电压  $V_{pgm}$ 、通过电压  $V_{pass1} \sim V_{pass3}$  以及分离电压  $V_{iso}$  的控制,与图 38 所示的实施例相同。

[0347] 如以上所述,在本实施方式的使图 38 及图 48 组合的实施例的情况下,通过使非选择存储单元  $MCi-3$  及  $MCi+3$  截止,能够将选择存储单元  $MCi$  周边的沟道与其他非选择存储单元 MC 的沟道电分离。

[0348] 由此,根据本实施方式的使图 38 及图 48 组合的实施例,不仅具有与第 7 实施方式的使图 37 及图 38 组合的实施例同样的效果,而且进一步地,能够更减少对禁止写入的选择存储单元的误写入。

[0349] 接下来,关于本实施方式的写入序列的变形例的几种进行说明。

[0350] 第 1 个变形例,是如图 40 那样控制图 48 所示的各电压的例子。

[0351] 在该变形例中,与本实施方式的使图 38 及图 48 组合的实施例不同,使通过电压  $V_{pass2}$  以最大通过电压  $V_{psmax}$  为上限,随着写入循环增加而升高。这样,在本实施方式中,不仅使通过电压  $V_{pass1}$  升高,而且也可以使通过电压  $V_{pass2}$  升高。

[0352] 第 2 个变形例,是如图 41 那样控制图 48 所示的各电压的例子。

[0353] 在该变形例中,与本实施方式的使图 38 及图 48 组合的实施例不同,使通过电压

Vpass1 以最大通过电压 Vpsmax 为上限,随着写入循环增加而指数函数地升高。

[0354] 因此,根据该变形例,与本实施方式的使图 38 及图 48 组合的实施例相比,能够执行符合于存储单元的编程特性的最适合的编程工作。

[0355] 第 3 个变形例,是如图 49 那样控制图 48 所示的各电压的例子。图 49 是表示本实施方式的编程工作时的存储单元阵列的偏压状态的图。

[0356] 在该变形例中,与本实施方式的使图 38 及图 48 组合的实施例不同,不仅将与选择字线 WLi 的源线 CELSRC 侧相邻的非选择字线 WLi-3 用作分离用字线,而且进而也将其相邻的非选择字线 WLi-4 也用作分离用字线。

[0357] 因此,根据该变形例,与本实施方式的使图 38 及图 48 组合的实施例相比,能够更切实地将选择存储单元 MC 周边的沟道与其他非选择存储单元的沟道电分离。

[0358] [第 10 实施方式]

[0359] 在第 8 实施方式中,关于使用了 REASB 方式的编程工作的非易失性半导体存储装置进行了说明,但在第 10 实施方式中,关于使用了所谓修订局部自举方式(以下称为“RLSB 方式”)的编程工作的非易失性半导体存储装置进行说明。另外,关于未说明的点,与第 8 实施方式相同。

[0360] 图 50 是表示本实施方式的编程工作时的存储单元阵列的偏压状态的图。另外,图 50 以从源线 CELSRC 侧的存储单元 MC 顺序地写入数据为前提。

[0361] 在使用了 REASB 方式的编程工作的情况下,通过将数据写入后的存储单元的沟道与数据写入前的存储单元的沟道电分离,与使用了 SB 方式的编程工作的情况相比,能够更高效地使选择存储单元的沟道电压升高。

[0362] 相对于此,在 RLSB 方式的编程工作中,将选择存储单元的沟道不仅与选择存储单元的源线 CELSRC 侧、而且也与位线 BL 侧的存储单元的沟道电分离。由此,与使用了 EASB 方式的编程工作的情况相比,能够更高效地使选择存储单元的沟道增压。

[0363] 具体地,如图 50 所示,对选择字线 WLi 施加编程电压 Vp<sub>gm</sub>,对相邻字线 WLi-1 以及 WLi+1 施加通过电压 Vpass1 (第 1 通过电压),对与相邻字线 WLi-1 的源线 CELSRC 侧相邻的非选择字线 WLi-2 及与相邻字线 WLi+1 的位线 BL 侧相邻的非选择字线 WLi+2 施加通过电压 Vpass2 (第 2 通过电压),对与非选择字线 WLi-2 的源线 CELSRC 侧相邻的非选择字线 WLi-3 及与非选择字线 WLi+2 的位线 BL 侧相邻的非选择字线 WLi+3 施加分离电压 V<sub>iso</sub>,对与分离用字线 WLi-4 及 WLi+4 相邻的非选择字线 WLi-5、WLi-3、WLi+3 及 WLi+5 施加缓和电压 V<sub>gp</sub>,对其他非选择字线 WL0 ~ WLi-6 及 WLi+6 ~ WLn-1 施加通过电压 Vpass3 (第 3 通过电压)。

[0364] 在此,相对于写入循环的编程电压 Vp<sub>gm</sub>、通过电压 Vpass1 ~ Vpass3、分离电压 V<sub>iso</sub> 以及缓和电压 V<sub>gp</sub> 的控制,与图 44 所示的实施例相同。

[0365] 如以上所示,在本实施方式的使图 44 及图 50 组合的实施例的情况下,通过使非选择存储单元 M<sub>Ci-4</sub> 及 M<sub>Ci+4</sub> 截止,能够将选择存储单元 M<sub>Ci</sub> 周边的沟道与其他非选择存储单元 MC 的沟道电分离。

[0366] 由此,根据本实施方式的使图 44 及图 50 组合的实施例,不仅具有与第 8 实施方式的使图 43 及图 44 组合的实施例同样的效果,而且进一步地,能够更减少对禁止写入的选择存储单元的误写入。

[0367] 接下来,关于本实施方式的写入序列的变形例的几种进行说明。

[0368] 第 1 个变形例,是如图 45 那样控制图 50 所示的各电压的例子。

[0369] 在该变形例中,与使本实施方式的图 44 及图 50 组合的实施例不同,将最大通过电压  $V_{psmax}$  作为上限,随着写入循环增加使通过电压  $V_{pass2}$  升高。这样,本实施方式中,不仅通过电压  $V_{pass1}$ ,也可以使通过电压  $V_{pass2}$  升高。

[0370] 第 2 个变形例,是如图 46 那样控制图 50 所示的各电压的例子。

[0371] 在该变形例中,与本实施方式的使图 44 及图 50 组合的实施例不同,使通过电压  $V_{pass1}$  以最大通过电压  $V_{psmax}$  为上限,随着写入循环增加而指数函数地升高。

[0372] 因此,根据该变形例,与本实施方式的使图 44 及图 50 组合的实施例相比,能够执行符合于存储单元的编程特性的最适合的编程工作。

[0373] 第 3 个变形例,是如图 51 那样控制图 44 所示的各电压的例子。图 51 是表示本实施方式的编程工作时的存储单元阵列的偏压状态的图的一例。

[0374] 在该变形例中,与本实施方式的使图 44 及图 50 组合的实施例不同,不仅将与选择字线  $WLi$  的源线 CELSRC 侧相邻的非选择字线  $WLi-4$  用作分离用字线,而且进而也将其相邻的非选择字线  $WLi-5$  也用作分离用字线。同样地,不仅将与选择字线  $WLi$  的位线 BL 侧相邻的非选择字线  $WLi+4$  用作分离用字线,而且进而也将其相邻的非选择字线  $WLi+5$  也用作分离用字线。

[0375] 因此,根据该变形例,与本实施方式的使图 44 及图 50 组合的实施例相比,能够更切实地将选择存储单元 MC 周边的沟道与其他非选择存储单元的沟道电分离。

[0376] [第 11 实施方式]

[0377] 在第 11 实施方式中,关于通过事后修正因单元间干涉效应的影响引起的存储单元的阈值分布的扩大来实现狭窄的阈值分布的数据写入进行说明。

[0378] 首先,参照图 52、图 53,关于第 11 实施方式涉及的非易失性半导体存储装置的数据写入进行说明。

[0379] 图 52 是表示本实施方式的写入序列的流程图的一例。

[0380] 图 52 表示对连接于字线  $WLi$  ( $i=0 \sim n-1$ )的各存储单元 MC 写入数据的情况。该写入序列的控制,例如通过包括行解码器 / 字线驱动器 2a、列解码器 2b、页缓冲器 3 及电压发生电路 8 的数据写入部来进行。

[0381] 另外,字线  $WLi$  是第 2 字线的例子,在字线  $WLi$  之前进行写入的字线是第 1 字线的例子。例如,能够按字线  $WL0$ 、 $WL1$ 、 $\dots$ 、 $WLn-2$ 、 $WLn-1$  的顺序进行写入,在此情况下,在字线  $WLi$  之前进行写入的字线  $WLi-1$  是第 1 字线的例子。

[0382] 图 53 是表示第 11 实施方式的写入循环数 / 追加电压的施加次数与编程电压 / 追加电压的关系的曲线图。

[0383] 在写入时,对字线  $WLi$  施加编程电压  $V_{pgm}$  和 / 或追加电压  $V_{add}$ 。编程电压  $V_{pgm}$  的值,如图 53 所示,根据写入循环数而增加。同样地,追加电压  $V_{add}$  的值,根据追加电压  $V_{pgm}$  的施加次数而增加。有时将使该编程电压、追加电压增加的工作称为“升高工作”。

[0384] 以下,关于图 52 的流程图进行说明。在图 52 的说明中,也适宜参照图 53 的曲线图。

[0385] 首先,将存储单元阵列 1 内的全部位线 BL 之中的写入对象的全部位线 BL 设定为

选择位线,将其他的位线 BL 设定为非选择位线(步骤 SB01)。接下来,对字线 WLi 施加编程电压 V<sub>pgm</sub>(步骤 SB02)。在第 1 次的编程工作中,编程电压的值设定为 V<sub>pgm1</sub>(参照图 53)。

[0386] 接下来,进行确认是否在连接于字线 WLi 的存储单元 MC 内写入了数据的校验工作(步骤 SB03)。接下来,判断未完成写入的存储单元 MC 是否小于等于 n1 个(n1 为大于等于 0 的整数)(步骤 SB04)。另外,等价地,也能够判断连接于未完成写入的存储单元 MC 的位线 BL 的条数是否小于等于作为条件值的 n1 条。

[0387] 如果未完成存储单元个数小于等于 n1 个,则判断为写入结束,并前进至步骤 SB11。另一方面,在未完成存储单元个数比 n1 个多的情况下,使编程电压 V<sub>pgm</sub> 增加  $\Delta V_{pgm}$ (步骤 SB05),之后反复步骤 SB01 ~ SB04 的处理。图 53 表示通过 5 次的写入循环结束了写入的例子。在第 2 次~第 5 次的写入循环中,编程电压的值分别设定为 V<sub>pgm2</sub> ~ V<sub>pgm5</sub>(V<sub>pgm1</sub><V<sub>pgm2</sub><V<sub>pgm3</sub><V<sub>pgm4</sub><V<sub>pgm5</sub>)(参照图 53)。另外,个数 n1 既可以设为预定写入的存储单元 MC 的个数,也可以设定为在预定写入的存储单元 MC 的个数上考虑了能够通过 ECC(Error-Correcting Code)纠正的个数的个数。

[0388] 接下来,若向字线 WLi 的写入结束,则将追加电压 V<sub>add</sub> 的初始值设定为编程电压 V<sub>pgm</sub> 的最终值加上  $\Delta V_{add}$  而得到的值(步骤 SB11)。也就是说,将 V<sub>add1</sub> 的值设定为 V<sub>pgm5</sub>+ $\Delta V_{add}$ 。

[0389] 接下来,将存储单元阵列 1 内的全部位线 BL 设定为非选择位线(步骤 SB12)。接下来,对字线 WLn 施加追加电压 V<sub>add</sub>(步骤 SB13)。在第 1 次的追加电压的施加中,追加电压的值设定为 V<sub>add1</sub>(参照图 53)。

[0390] 接下来,确认是否施加了指定次的追加电压(步骤 SB14)。在追加电压 V<sub>add</sub> 的施加次数小于指定次的情况下,使追加电压 V<sub>add</sub> 增加  $\Delta V_{add}$ (步骤 SB15),之后反复步骤 SB12 ~ SB14 的处理。图 53 表示指定次为 3 次的例子。在第 2 次、第 3 次的处理中,追加电压的值分别设定为 V<sub>add2</sub>、V<sub>add3</sub>(参照图 53)。

[0391] 另一方面,在追加电压 V<sub>add</sub> 的施加次数达到了指定次的情况下,向字线 WLi 的追加电压 V<sub>add</sub> 的施加结束。此后,能够对下一字线 WLi+1,进行步骤 SB01 ~ SB15 的处理。在该处理中,字线 WLi+1 是第 2 字线的例子,已进行了写入的字线 WLi 是第 1 字线的例子。

[0392] 另外, $\Delta V_{add}$  的值既可以是与  $\Delta V_{pgm}$  相同的值,也可以为不同的值。在本实施方式中,将  $\Delta V_{pgm}$ 、 $\Delta V_{add}$  的值和 / 或上述的指定次设定在例如 ROM 熔断器 12 内,也可以在由控制器 11 生成之后,从控制器 11 发送。

[0393] 另外,追加电压的初始值 V<sub>add1</sub> 的值也可以设定为 V<sub>pgm5</sub>+ $\Delta V_{add}$  以外的值。例如,追加电压的初始值 V<sub>add1</sub> 的值,既可以设定为比编程电压的最终值 V<sub>pgm5</sub> 高的值,也可以设定为比编程电压的最终值 V<sub>pgm5</sub> 低的值(或者,也可以设定为与编程电压的最终值 V<sub>pgm5</sub> 相等的值)。但是,从减少追加电压 V<sub>add</sub> 的施加次数的观点来看,追加电压的初始值 V<sub>add1</sub> 的值,优选设定为比编程电压的最终值 V<sub>pgm5</sub> 高的值。在本实施方式中,通过设定为 V<sub>add1</sub>>V<sub>pgm5</sub>,追加电压 V<sub>add1</sub> ~ V<sub>add3</sub> 的值都设定为比最终值 V<sub>pgm5</sub> 高的值。

[0394] 接下来,参照图 54 ~ 图 58,关于图 52 的写入序列的作用效果进行说明。

[0395] 图 54 ~ 图 57 是表示本实施方式的存储单元 MC 的阈值分布的曲线图的一例。图 54 ~ 图 57 表示对于 NAND 型闪存的、利用公司内制造的模拟器进行的模拟的一例。图 54 ~ 图 57 的横轴表示存储单元 MC 的阈值电压,纵轴以对数标度表示存储单元 MC 的个数。另外,

在图 54 ~ 图 57 中,以使用了 3 位 / 单元的存储单元的情况为例进行模拟。

[0396] 图 54 表示连接于刚写入后(即 SB04 的“是”刚刚后)的字线 WLi 的存储单元 MC 的阈值分布。另外,图 55 表示连接于追加电压的刚施加后(即 SB14 的“是”刚刚后)的字线 WLi 的存储单元 MC 的阈值分布。

[0397] 图 54、图 55 的箭头 A、B,表示擦除级别(相当于图 3 所示的 ER 级别)的阈值分布。根据图 54、图 55 能够看出,通过追加电压的施加,擦除级别的阈值分布向高电压侧移动。这样,若将全部位线 BL 设为非选择位线并对字线 WLi 施加追加电压,则连接于字线 WLi 的擦除级别的存储单元 MC 选择性地被追加写入,连接于字线 WLi 的擦除级别的存储单元 MC 的阈值分布向高电压侧移动。

[0398] 接下来,关于字线 WLi 对字线 WLi-1 产生的影响(单元间干涉效应)进行说明。

[0399] 图 56 是表示对字线 WLi 刚写入之后的、连接于字线 WLi-1 的存储单元 MC 的阈值分布。另外,图 57 表示对字线 WLi 的追加电压的刚施加之后的、连接于字线 WLi-1 的存储单元 MC 的阈值分布。

[0400] 对字线 WLi 的写入,对连接于相邻的写入完毕的字线 WLi-1 的存储单元 MC 的阈值分布造成影响。此时,连接于字线 WLi-1 的存储单元 MC 受到的影响,依连接于字线 WLi 的相邻存储单元 MC 的阈值电压  $V_{th}$  而不同。其结果,通过对字线 WLi 的写入,如图 56 所示,字线 WLi-1 上的阈值分布扩大了。图 56 的范围 C 表示比这样扩大了了的擦除级别高的写入级别的存储单元 MC 的写入级别的阈值分布。

[0401] 一般地,在扩大了了的阈值分布内的高电压侧,存在很多受到单元间干涉效应的存储单元 MC、即相邻单元的阈值电压  $V_{th}$  高的存储单元 MC。另一方面,在扩大了了的阈值分布内的低电压侧,存在很多不怎么受到单元间干涉效应的存储单元 MC、即相邻单元的阈值电压  $V_{th}$  低的存储单元 MC(例如,相邻单元的阈值电压  $V_{th}$  为擦除级别的存储单元 MC)。

[0402] 图 57 的范围 D 与范围 C 同样,表示比擦除级别高的写入级别的存储单元 MC 的阈值分布。根据图 57 可以看出,字线 WLi-1 上的写入级别的阈值分布的下底缘(下裾)向高电压侧移动,字线 WLi-1 上的阈值分布变窄。这相当于对连接于字线 WLi 的擦除级别的存储单元 MC 进行了追加写入。追加写入的结果,认为下底缘内的存储单元 MC 的阈值电压通过单元间干涉效应而上升了。

[0403] 另一方面,对于比擦除级别高的写入级别的存储单元 MC,几乎没有追加写入的效果。这是因为,由于写入级别高,所以即使对非选择字线 WLi 施加追加电压,存储单元 MC 的阈值电压  $V_{th}$  也几乎不移动。其结果,认为阈值分布的上底缘(上裾)内的存储单元 MC 的阈值电压  $V_{th}$  几乎不受到单元间干涉效应,不上升。也就是说,本实施方式的追加电压的施加,可认为相当于对连接于字线 WLi 的擦除级别的存储单元 MC 选择性地追加写入。

[0404] 这样,根据本实施方式,通过将全部位线 BL 设为非选择位线并对字线 WLi 施加追加电压,能够使字线 WLi-1 上的存储单元 MC 的阈值分布变窄。另外,本实施方式的写入序列,在使用了 1 位 / 单元的存储单元的情况等使用了 3 位 / 单元的存储单元的情况以外,也可以应用。

[0405] 图 58 是表示本实施方式的追加电压施加次数与阈值分布幅度的关系的曲线图。

[0406] 图 58 的横轴表示对字线 WLi 的追加电压的施加次数。施加次数为 0 次的状态,相当于刚写入之后的状态。另外,图 58 的纵轴表示以刚写入之后的幅度成为 1 的方式规格化

后的、字线  $W_{Li-1}$  上的写入级别的阈值分布幅度。图 58 与图 54 ~ 图 57 同样,表示关于使用了 3 位 / 单元的存储单元的 NAND 型闪存的模拟例子。

[0407] 根据图 58 可以理解,若追加电压的施加次数从 0 次起增加,则阈值分布幅度变窄,通过某施加次数,阈值分布幅度成为最小。在图 58 的例子中,该施加次数是 8 次。并且,可以理解,若施加次数进一步增加,则阈值分布幅度相反会扩大。这认为是因为,字线  $W_{Li}$  上的存储单元 MC 追加地受到的单元间干涉效应过大。

[0408] 这样,在追加电压的施加次数上,存在最佳值。因此,在本实施方式中,通过实验和 / 或模拟确定该最佳值或近似于最佳值的值,将所确定的值作为上述的指定次数而预先设定在 ROM 熔断器 12 内。因而,根据本实施方式,可以实现最佳化的阈值分布幅度。另外,该指定次数也可以通过非易失性半导体存储装置的测试时的调整来确定。

[0409] 最后,关于本实施方式的效果进行说明。

[0410] 如以上所述,在本实施方式中,若对字线  $W_{Li}$  的写入结束,则将全部位线 BL 设定为非选择位线并对字线  $W_{Li}$  施加追加电压。另外,对字线  $W_{Li}$  的追加电压的施加,能够在对字线  $W_{Li+1}$  的写入开始前进行。因而,根据本实施方式,可以使相邻的写入完毕的字线  $W_{Li-1}$  上的存储单元 MC 的阈值分布变窄。

[0411] 另外,在本实施方式中,施加编程电压和追加电压的处理,以指对字线  $W_{Li}$  的编程电压的施加、对字线  $W_{Li}$  的追加电压的施加、对字线  $W_{Li+1}$  的编程电压的施加、对字线  $W_{Li+1}$  的追加电压的施加的方式,连续地进行对相同的字线的编程电压和追加电压的施加。因而,根据本实施方式,可以高速地进行这些电压的施加。

[0412] 另外,根据本实施方式,由于能够通过上限低的编程电压使多值方式的非易失性半导体存储装置工作,所以耐压条件得到缓解,可以实现存储单元 MC 的进一步精细化。

[0413] [第 12 实施方式]

[0414] 在第 12 实施方式中,在施加追加电压时,将存储单元阵列 1 内的全部位线 BL 设定为选择位线。另外,在第 12 实施方式中,将追加电压  $V_{add1} \sim V_{add3}$  的值都设定为比编程电压的初始值  $V_{pgm1}$  低的值。

[0415] 以下,参照图 59、图 60,关于第 12 实施方式涉及的非易失性半导体存储装置的数据写入进行说明。

[0416] 图 59 是表示本实施方式的写入序列的流程图的一例。图 60 是表示本实施方式的写入循环数 / 追加电压的施加次数与编程电压 / 追加电压的关系的曲线图。以下,适宜参照图 60 说明图 59 的流程图。

[0417] 首先,将存储单元阵列 1 内的全部位线 BL 之中的写入对象的全部位线 BL 设定为选择位线,将其他的位线 BL 设定为非选择位线(步骤 SC01)。接下来,对字线  $W_{Li}$  施加编程电压  $V_{pgm}$  (步骤 SB02)。

[0418] 接下来,进行确认是否在字线  $W_{Li}$  上的存储单元 MC 内写入了数据的校验工作(步骤 SC03)。接下来,判断未完成写入的存储单元 MC 是否小于等于  $n1$  个( $n1$  为大于等于 0 的整数)(步骤 SC04)。

[0419] 如果未完成存储单元个数小于等于  $n1$  个,则判断为写入结束,并前进至步骤 SC11。另一方面,在未完成存储单元个数比  $n1$  个多的情况下,使编程电压  $V_{pgm}$  增加  $\Delta V_{pgm}$  (步骤 SC05),之后反复步骤 SC01 ~ SC04 的处理。图 60 表示通过 5 次的写入循环结束了写

入的例子。

[0420] 接下来,若向字线  $WLi$  的写入结束,则将追加电压  $V_{add}$  的初始值设定为比编程电压  $V_{pgm}$  的初始值低的值(步骤 SC11)。也就是说,设定为  $V_{add1}$  的值成为  $V_{pgm1} - \Delta$  ( $\Delta > 0$ ),且  $V_{add1} > 0$ 。

[0421] 接下来,将存储单元阵列 1 内的全部位线 BL 设定为选择位线(步骤 SC12)。接下来,对字线  $WLn$  施加追加电压  $V_{add}$  (步骤 SC13)。在第 1 次的追加电压的施加中,追加电压的值设定为  $V_{add1}$  (参照图 60)。

[0422] 接下来,确认是否施加了指定次的追加电压  $V_{add}$  (步骤 SC14)。在追加电压  $V_{add}$  的施加次数小于指定次的情况下,使追加电压  $V_{add}$  增加  $\Delta V_{add}$  (步骤 SC15),之后反复步骤 SC12 ~ SC14 的处理。图 60 表示指定次为 3 次的例子。在第 2 次、第 3 次的处理中,追加电压的值分别设定为  $V_{add2}$ 、 $V_{add3}$  (参照图 60)。

[0423] 另一方面,在追加电压  $V_{add}$  的施加次数达到了指定次数的情况下,对字线到  $WLi$  的追加电压的施加结束。此后,在本实施方式中,对下一字线  $WLi+1$  进行步骤 SC01 ~ SC15 的处理。

[0424] 接下来,参照图 61 ~ 图 63,关于图 59 的写入序列的作用效果进行说明。

[0425] 图 61 及图 62 是表示本实施方式的存储单元 MC 的阈值分布的曲线图。图 61 及图 62 表示关于使用了 3 位 / 单元的存储单元的情况下的 NAND 型闪存的模拟例子。

[0426] 本实施方式中的追加电压的施加,与第 11 实施方式的情况相同,具有使擦除级别(相当于图 3 所示的 ER 级别)的阈值分布向高电压侧移动的效果。也就是说,通过将全部位线 BL 设为选择位线并对字线  $WLi$  施加追加电压,可得到与对字线  $WLi$  上的擦除级别的存储单元 MC 进行追加写入的情况同等的效果,字线  $WLi$  上的擦除级别的阈值分布向高电压侧移动。其状况,与图 54、图 55 同样。

[0427] 接下来,关于字线  $WLi$  对字线  $WLi-1$  造成的影响(单元间干涉效应)进行说明。

[0428] 图 61 表示对字线  $WLi$  刚写入之后的、连接于字线  $WLi-1$  的存储单元 MC 的阈值分布。另外,图 62 表示对字线  $WLi$  的追加电压的刚施加之后的、连接于字线  $WLi-1$  的存储单元 MC 的阈值分布。

[0429] 在本实施方式中,因与第 11 实施方式的情况同样的理由,通过对字线  $WLi$  的写入,连接于字线  $WLi-1$  的存储单元 MC 的阈值分布扩大了(图 61)。图 61 的范围 E 表示比这样扩大了擦除级别高的写入级别的存储单元 MC 的写入级别的阈值分布。

[0430] 图 62 的范围 F 与范围 E 同样,表示比擦除级别高的写入级别的存储单元 MC 的阈值分布。根据图 62 可以看出,连接于字线  $WLi-1$  的存储单元 MC 的写入级别的阈值分布的下底缘向高电压侧移动,连接于字线  $WLi-1$  的存储单元 MC 的阈值分布变窄。这是因为,与第 11 实施方式的情况同样,通过对连接于字线  $WLi$  的擦除级别的存储单元 MC 选择性地进行了追加写入,下底缘内的存储单元 MC 的阈值电压  $V_{th}$  通过单元间干涉效应而上升了。

[0431] 另一方面,对于比擦除级别高的写入级别的存储单元 MC,几乎没有追加写入的效果。这是因为,由于写入级别高,所以即使对选择字线  $WLi$  施加追加电压,存储单元 MC 的阈值电压  $V_{th}$  也几乎不移动。其结果,认为阈值分布的上底缘内的存储单元 MC 的阈值电压  $V_{th}$  几乎不受到单元间干涉效应,不上升。也就是说,本实施方式的追加电压的施加,可认为相当于对连接于字线  $WLi$  的擦除级别的存储单元 MC 选择性地进行了追加写入。

[0432] 这样,根据本实施方式,通过将全部位线 BL 设为选择位线并对字线 WLi 施加追加电压,能够使连接于字线 WLi-1 的存储单元 MC 的阈值分布变窄。另外,在本实施方式中,由于将位线设定为选择位线,所以为了防止过剩的追加写入,将全部的追加电压 Vadd1 ~ Vadd3 的值设定为比编程电压的初始值 Vp<sub>gm1</sub> 低的值。

[0433] 图 63 是表示本实施方式中的追加电压施加次数与阈值分布幅度的关系的曲线图。图 63 与图 61 及图 62 同样,表示关于使用了 3 位 / 单元的存储单元的 NAND 型闪存的、通过公司内制的模拟器进行的模拟例子。

[0434] 如图 63 所示,对于追加电压的施加次数,存在最佳值。在图 63 的例子中,最佳值为 15 次左右。因此,在本实施方式中,通过实验和 / 或模拟确定该最佳值或接近于最佳值的值,将所确定的值作为上述的指定次数而预先设定在 ROM 熔断器 12 内。因而,根据本实施方式,可以实现最佳化的阈值分布幅度。

[0435] 最后,关于本实施方式的效果进行说明。

[0436] 如以上所述,在本实施方式中,若对字线 WLi 的写入结束,则将全部位线 BL 设定为选择位线并对字线 WLi 施加追加电压。另外,对字线 WLi 的追加电压的施加,能够在对字线 WLi+1 的写入开始前进行。因而,根据本实施方式,与第 11 实施方式同样,可以使相邻的写入完毕的字线 WLi-1 上的存储单元 MC 的阈值分布变窄。

[0437] [第 13 实施方式]

[0438] 图 64 是表示第 13 实施方式的写入循环数 / 追加电压的施加次数与编程电压 / 追加电压的关系的曲线图的一例。

[0439] 在第 11 实施方式中,在施加追加电压时,将存储单元阵列 1 内的全部位线 BL 设定为非选择位线。另外,在第 12 实施方式中,在施加追加电压时,将存储单元阵列 1 内的全部位线 BL 设定为选择位线。相对于此,在第 13 实施方式中,在施加追加电压时,根据追加电压的值,将存储单元阵列 1 内的全部位线 BL 设定为选择位线或非选择位线。

[0440] 具体地,在将追加电压 Vadd 的值设定为比编程电压的初始值 Vp<sub>gm1</sub> 低的值的情况下,将全部位线 BL 设定为选择位线。在图 64 中, Vadd1、Vadd2 相当于该例子。

[0441] 另一方面,在将追加电压 Vadd 的值设定为比编程电压的初始值 Vp<sub>gm1</sub> 高的值的情况下,将全部位线 BL 设定为非选择位线。在图 64 中, Vadd3 ~ Vadd5 相当于该例子。

[0442] 根据本实施方式,与在追加电压的值上存在限制的第 11、第 12 实施方式不同,可以将追加电压的值设定为任意值。

[0443] 另外,将全部位线 BL 设为选择位线并施加追加电压,比将全部位线 BL 设为非选择位线并施加追加电压,从位线 BL 的电位的稳定性的观点来看优选。另一方面,若将全部位线 BL 设定为选择位线,则如上所述,可发生过剩的追加写入。但是,在本实施方式中,由于能够对将全部位线 BL 设为选择位线还是设为非选择位线进行切换,所以可以具有作为选择位线的情况下的优点,并防止过剩的追加写入。

[0444] 虽然说明了本发明的几种实施方式,但这些实施方式是作为例子而提示的,并非要限定发明的范围。这些新的实施方式可以通过其他各种形式实施,在不脱离发明的主旨的范围内,能够进行各种省略、置换、变更。这些实施方式和 / 或其变形,包含于发明的范围和 / 或主旨,并且也包含于权利要求记载的发明及其均等的范围。

[0445] 例如,在第 11 ~ 第 13 实施方式的情况下,也能够将追加电压 Vadd 的施加方法从

多个独立的脉冲的施加,变更为单个电压连续地变化的脉冲的施加(参考图 65、图 66)。图 65、图 66 分别是表示第 11、第 12 实施方式的变形例中的写入循环数 / 追加电压的施加次数与编程电压 / 追加电压的关系的曲线图。这样,通过使单个电压连续地变化,能够使对存储单元 MC 的栅绝缘膜施加的应力减小。另外,与施加独立的脉冲的情况相比,没有使电压下降的时间,因此能够减少写入时间。另外,在“单个电压的连续的变化”中,不仅包括如图 65、图 66 那样电压直线地变化的情况,也包括电压曲线地、阶梯状地变化的情况。这是因为,这样的电压变化,也可获得减小对存储单元 MC 的栅绝缘膜施加的应力的效果和 / 或减少写入时间的效果。

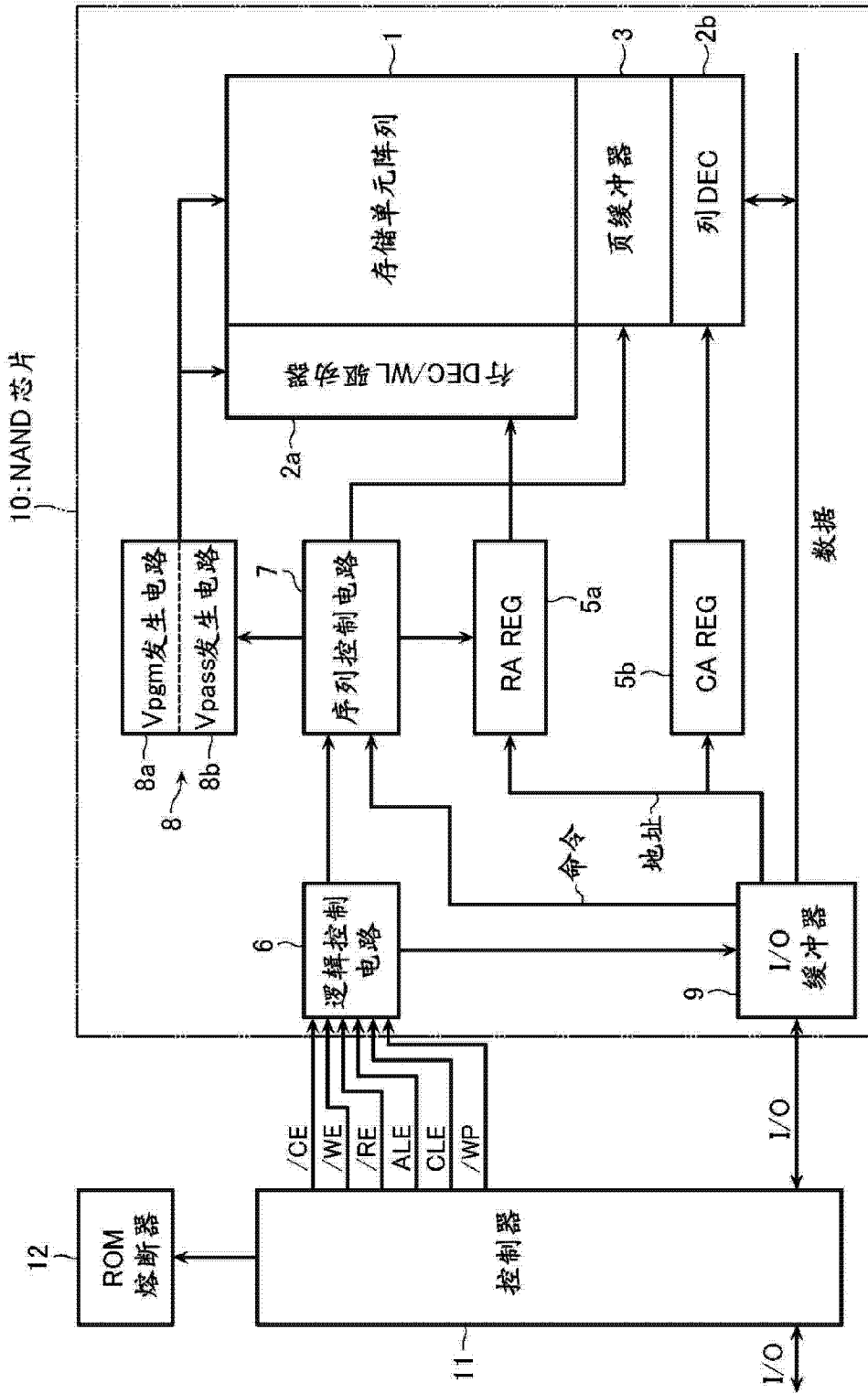


图 1

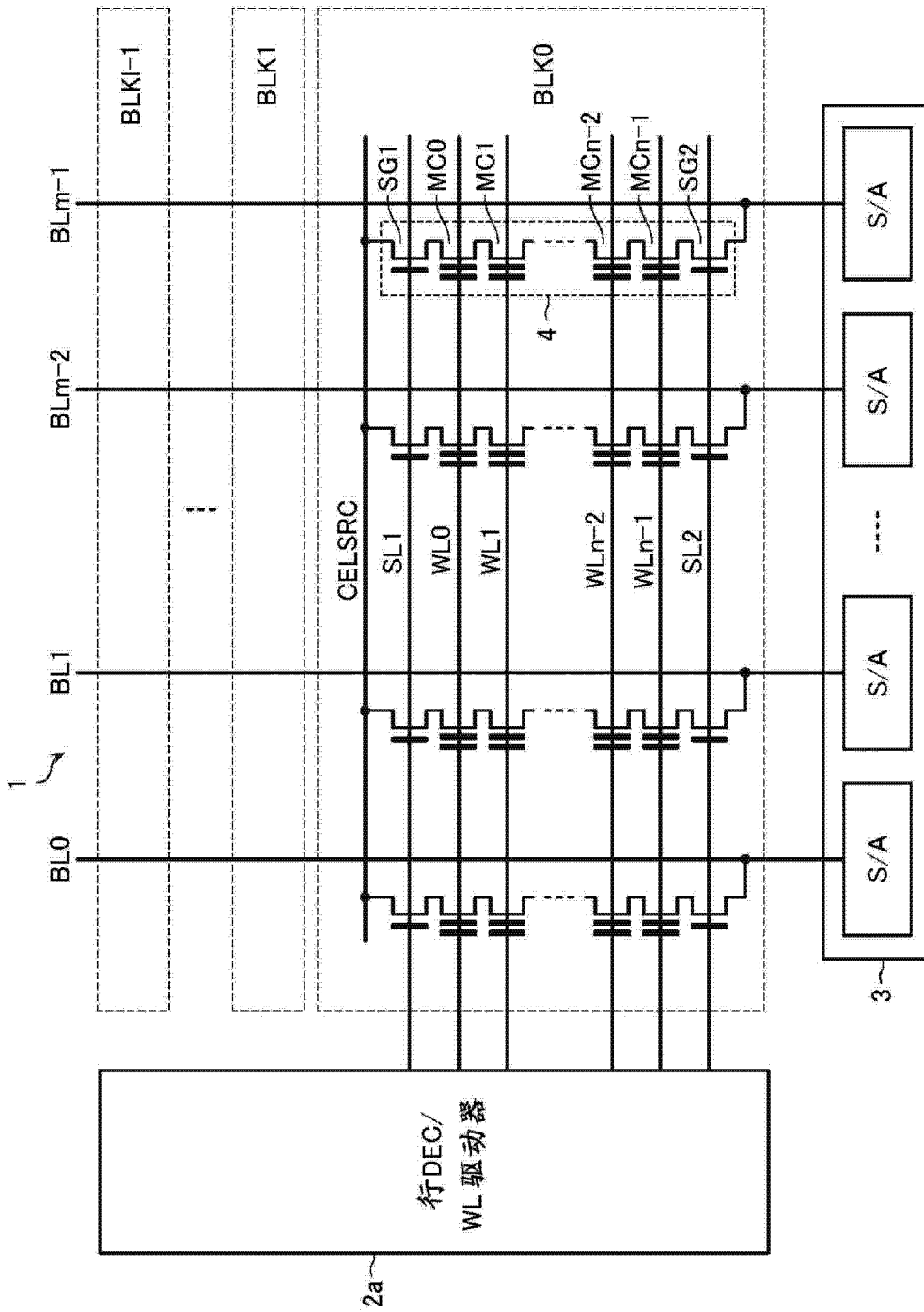


图 2

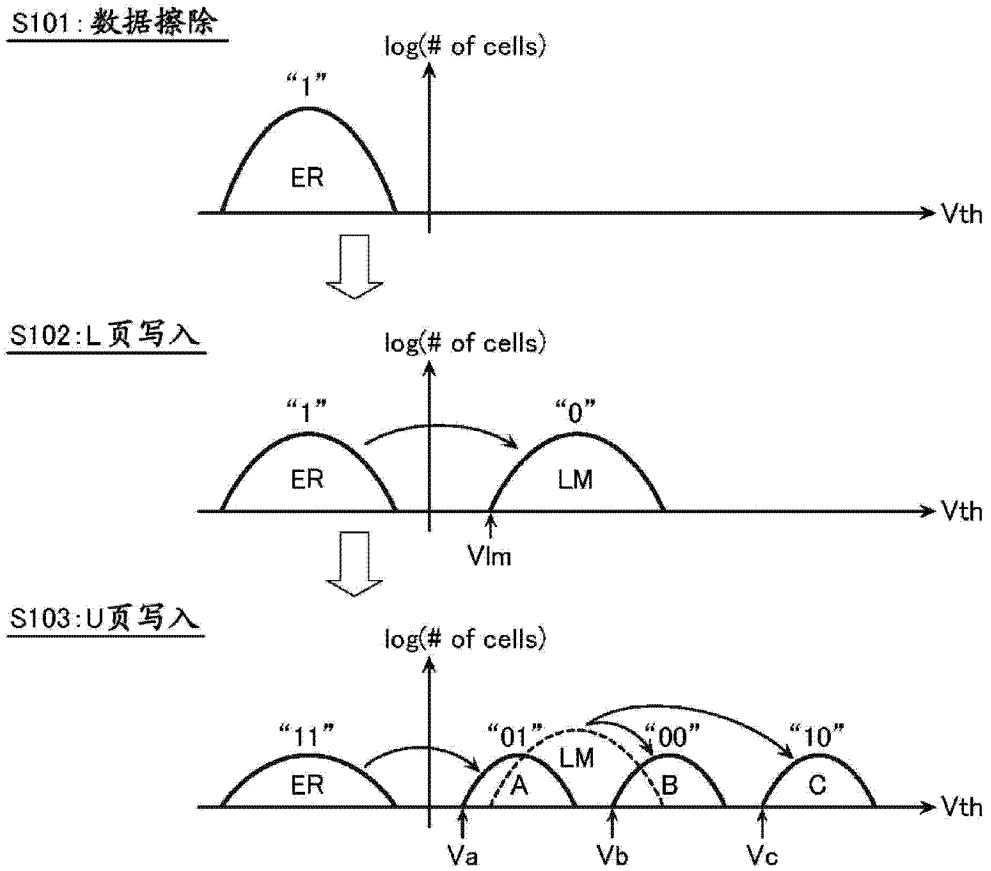


图 3

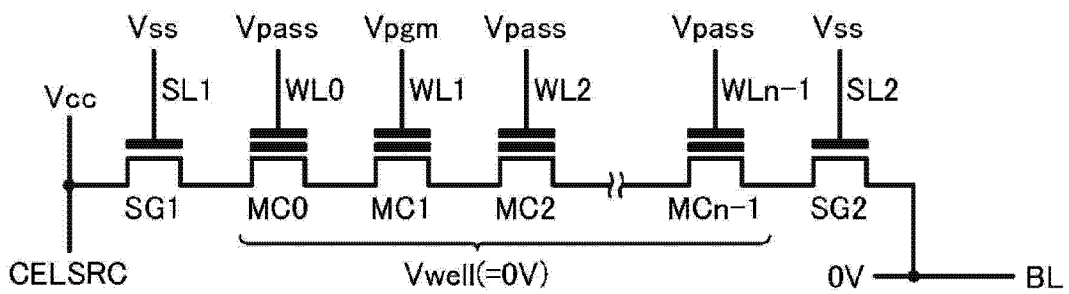


图 4

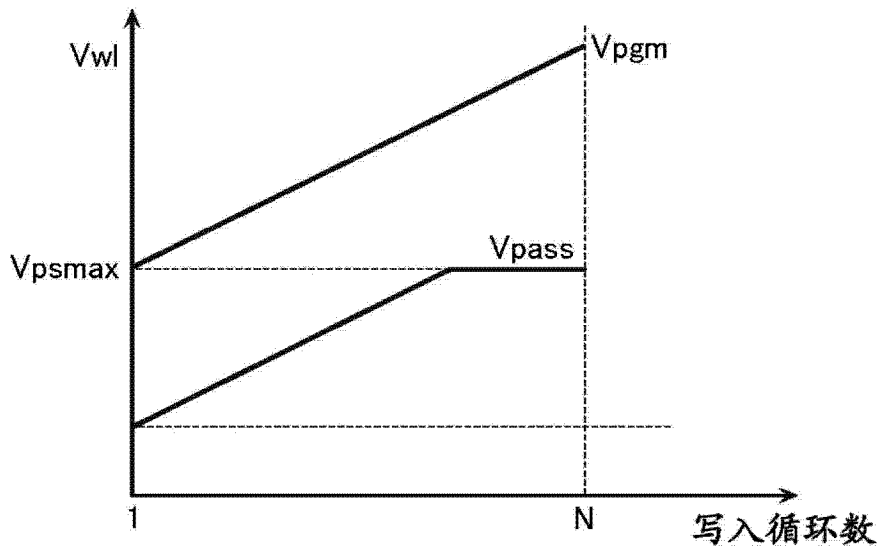


图 5

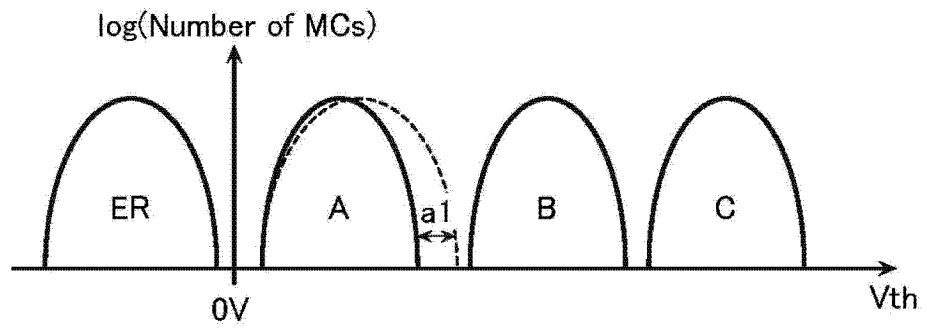


图 6

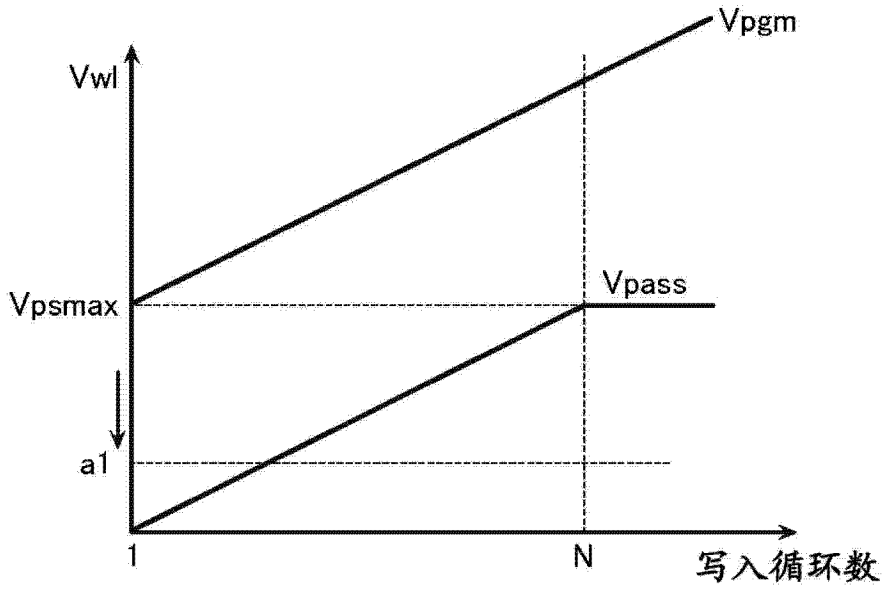


图 7

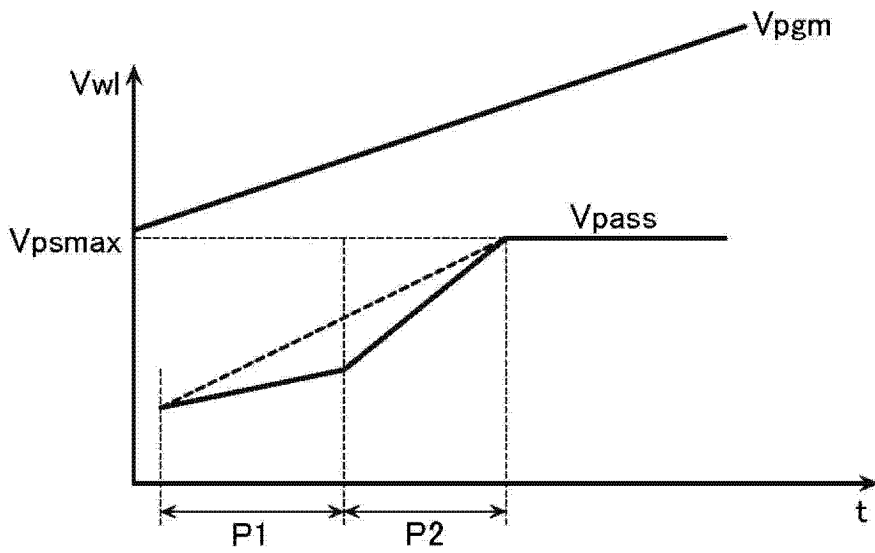


图 8

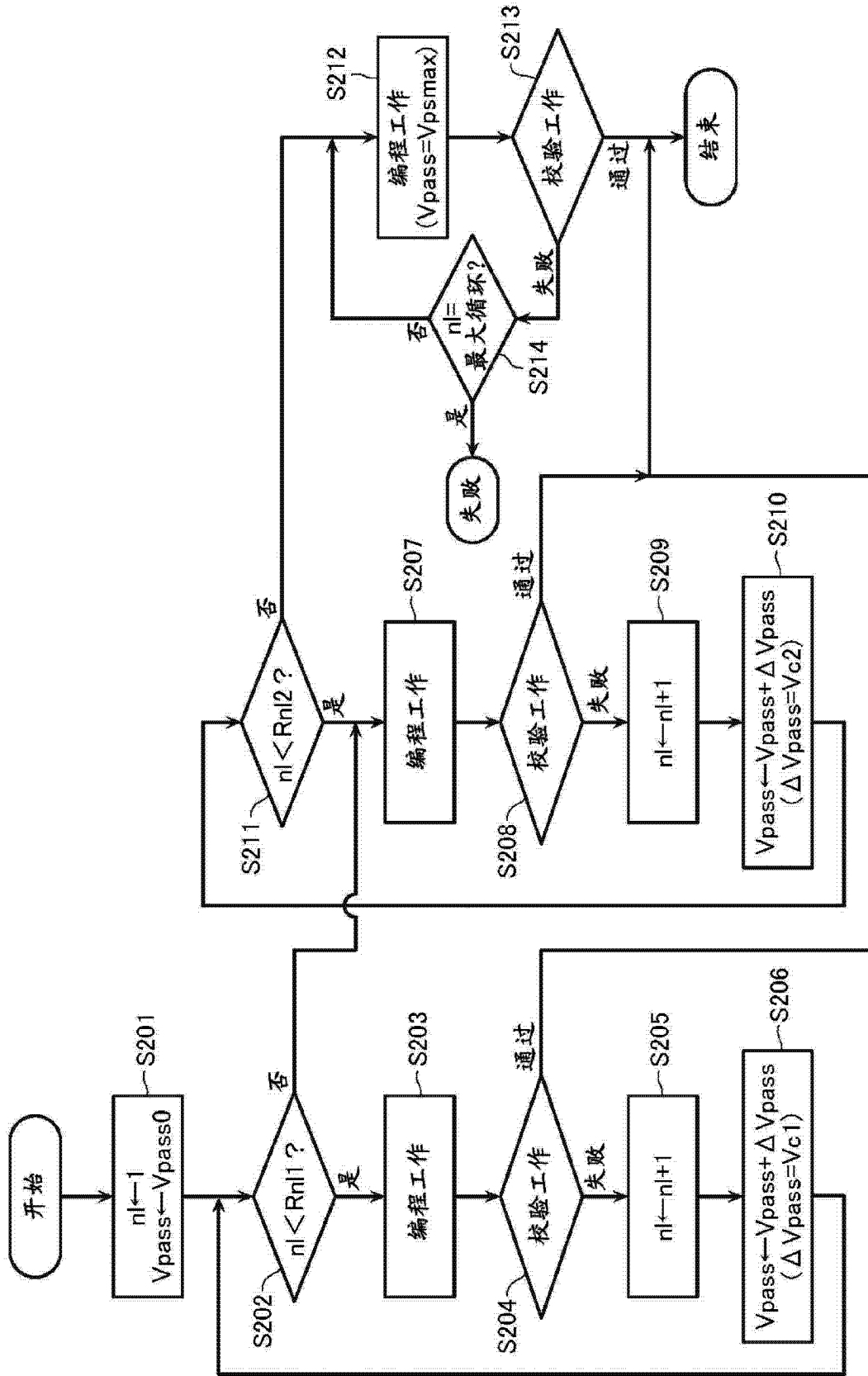


图 9

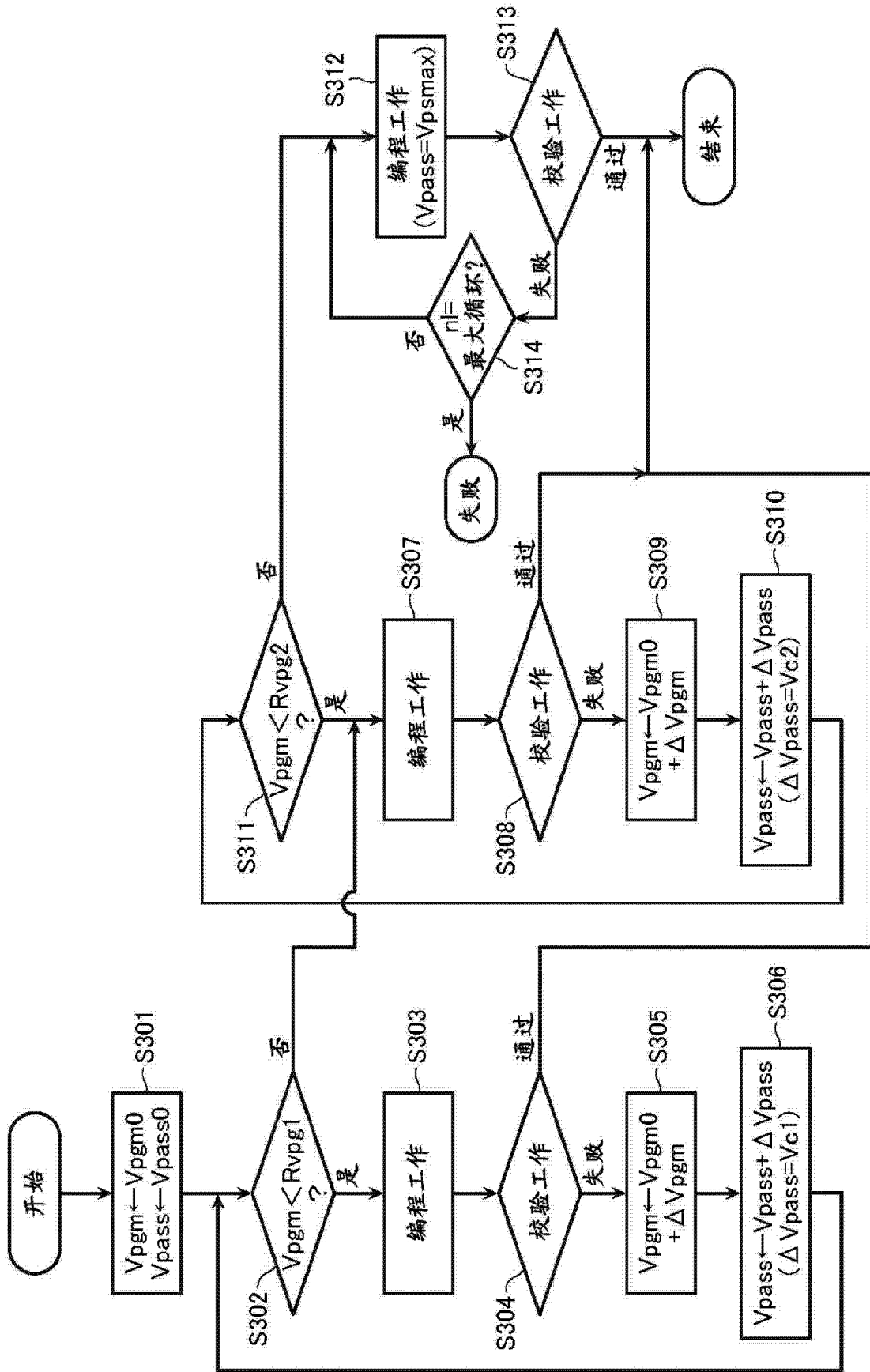


图 10

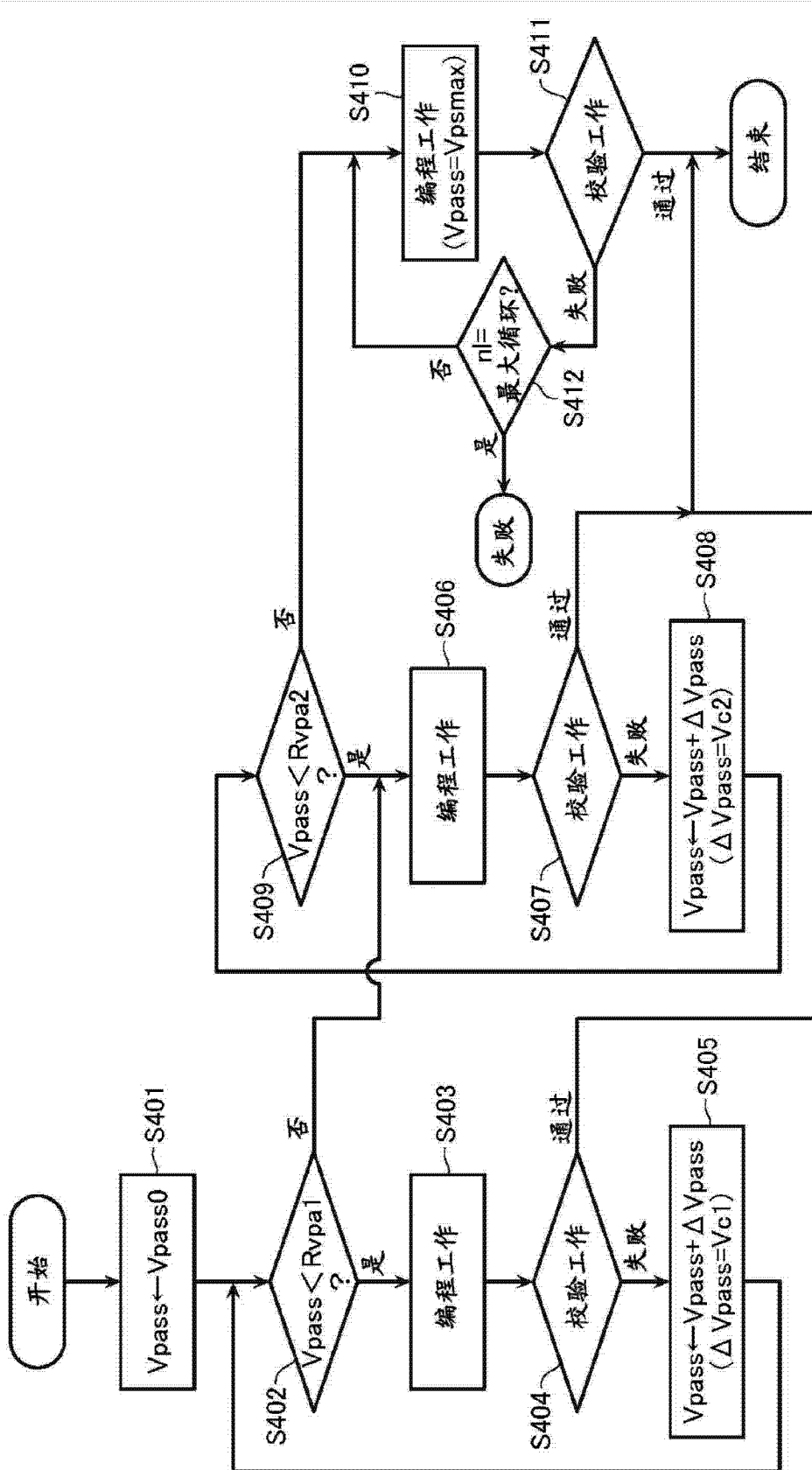


图 11

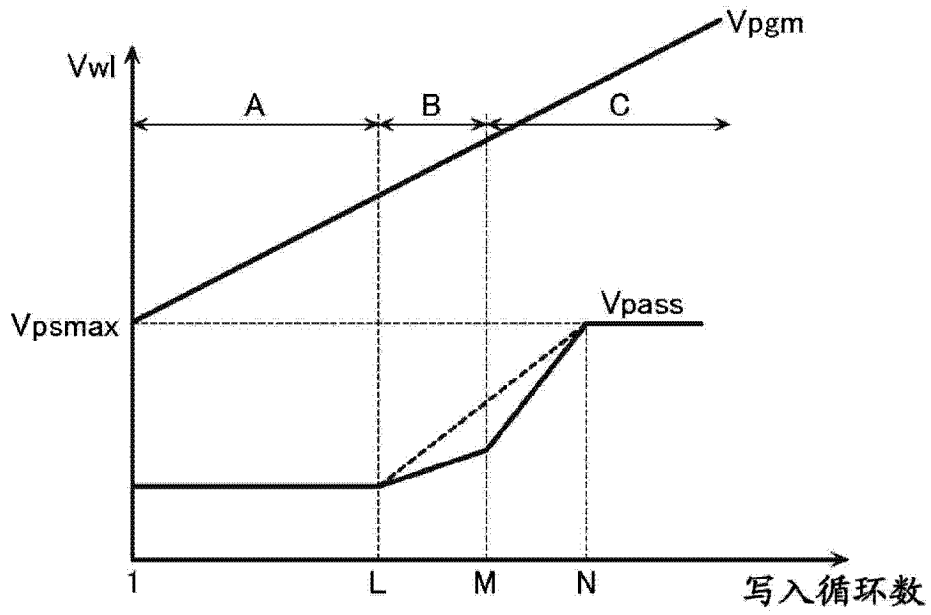


图 12

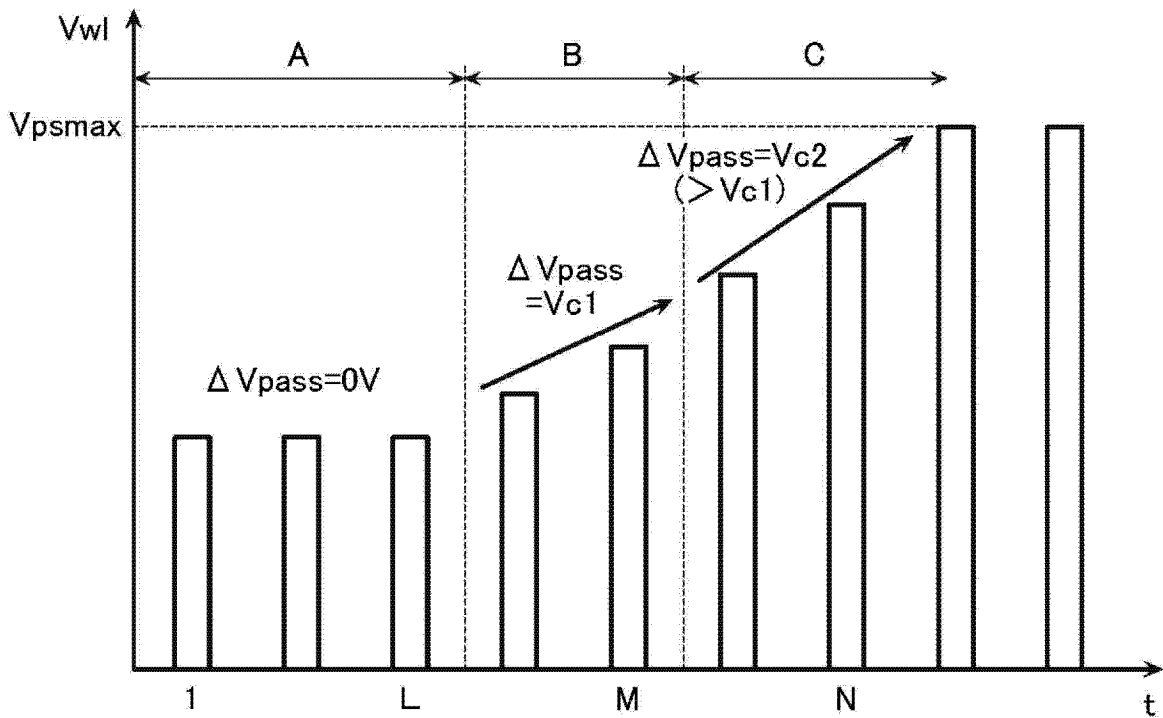


图 13

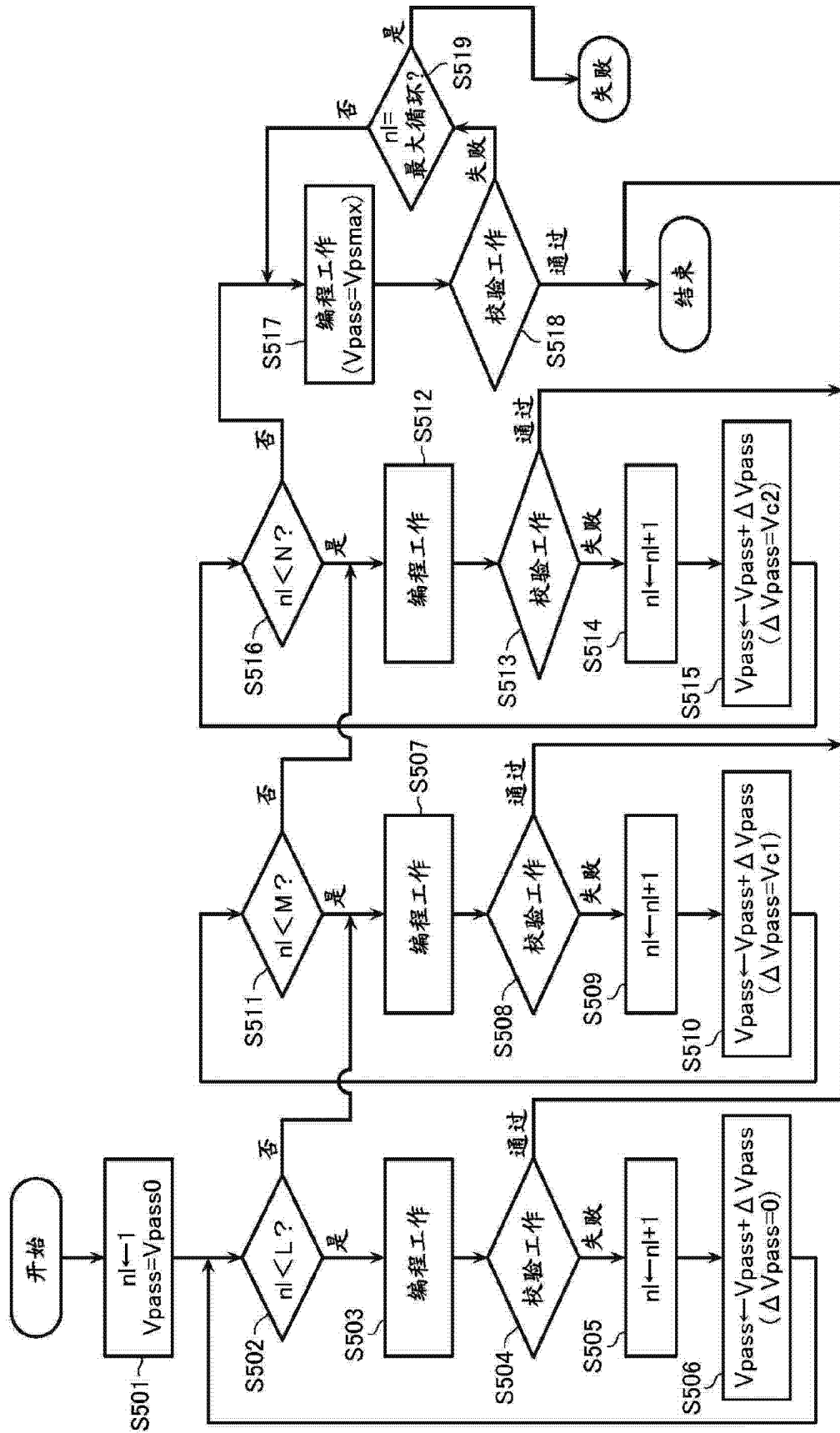


图 14

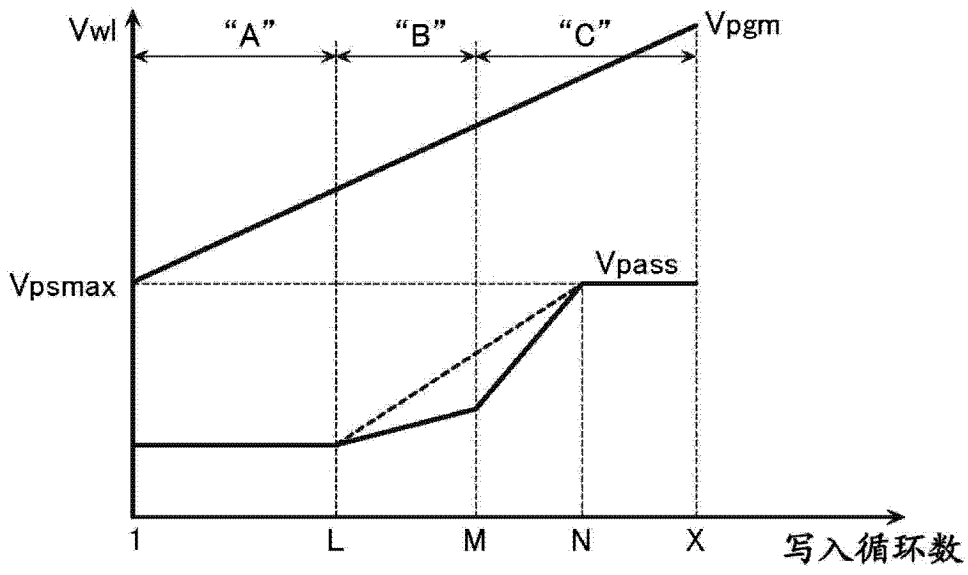


图 15

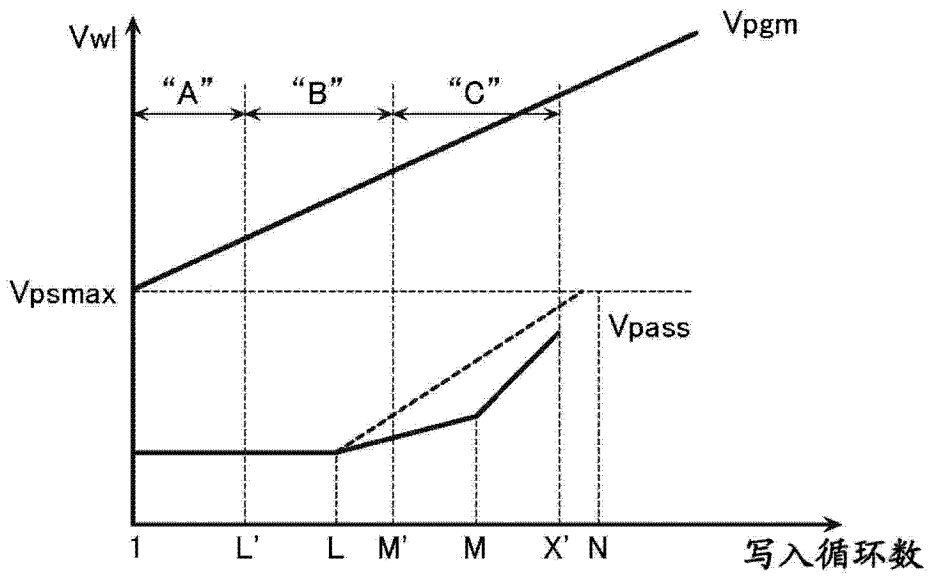


图 16

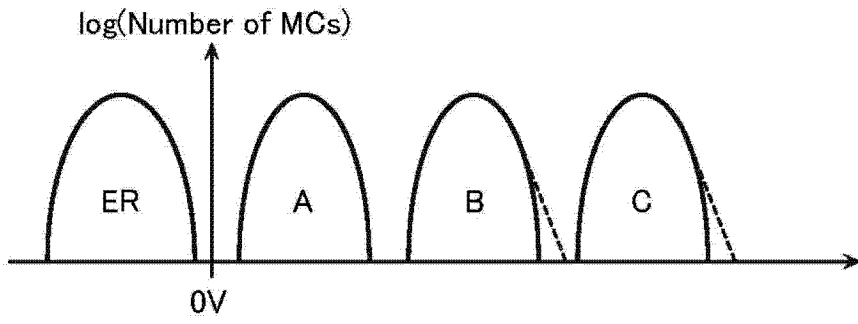


图 17

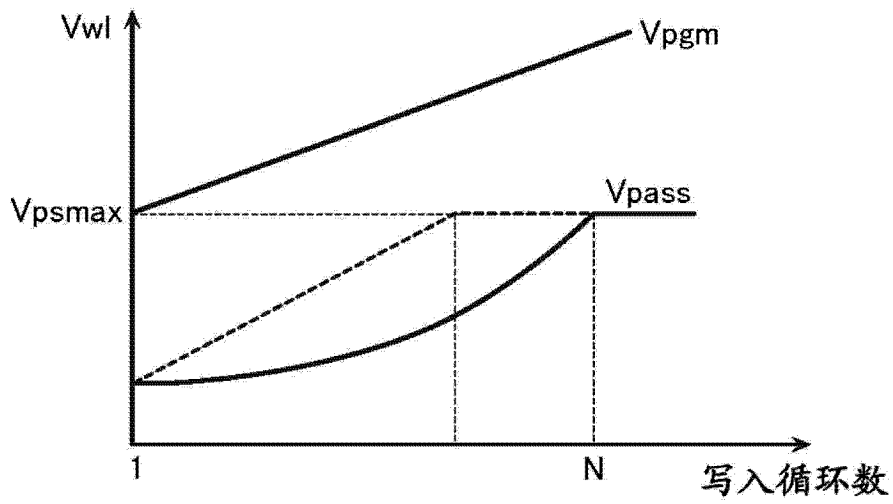


图 18

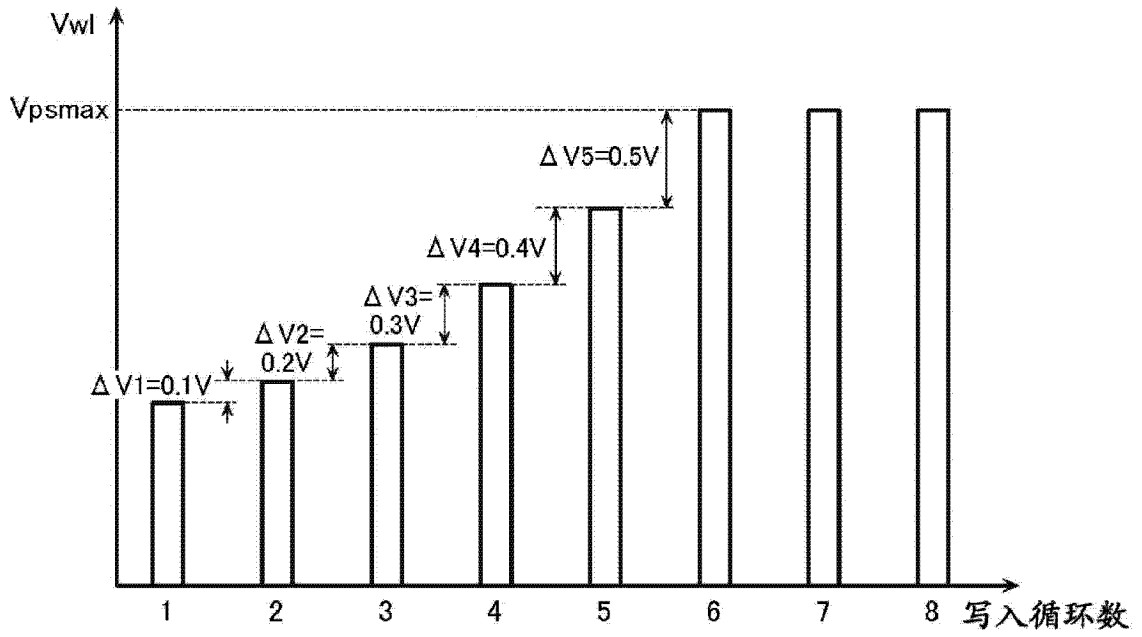


图 19

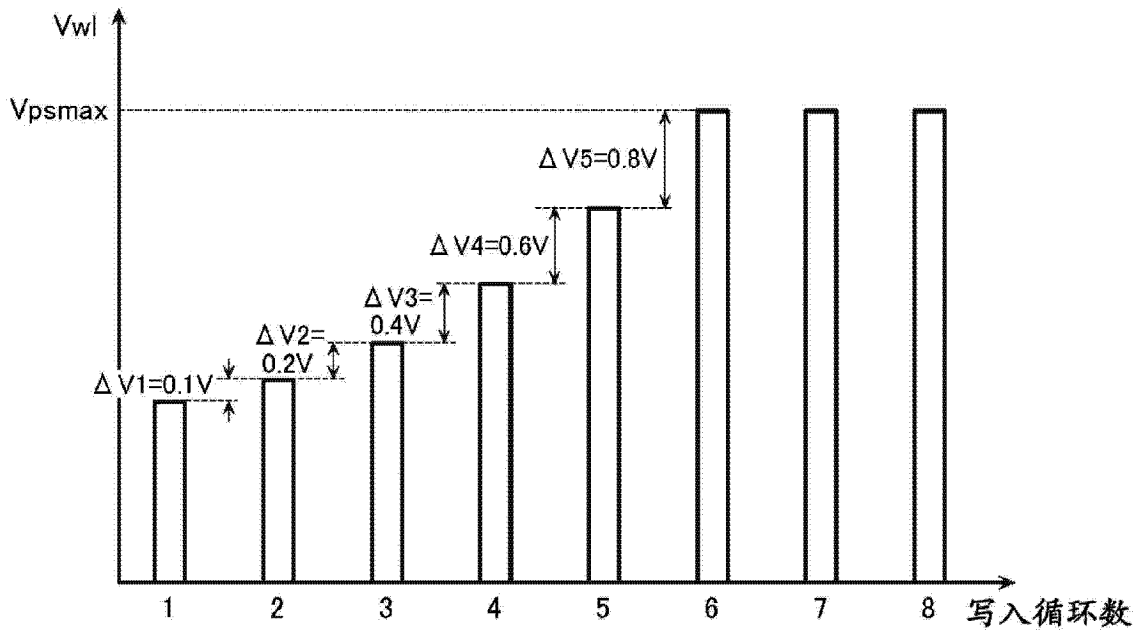


图 20

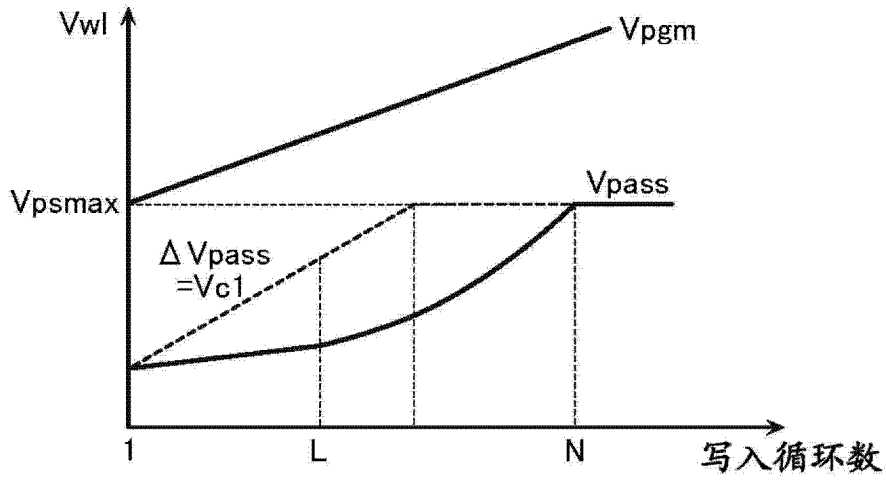


图 21

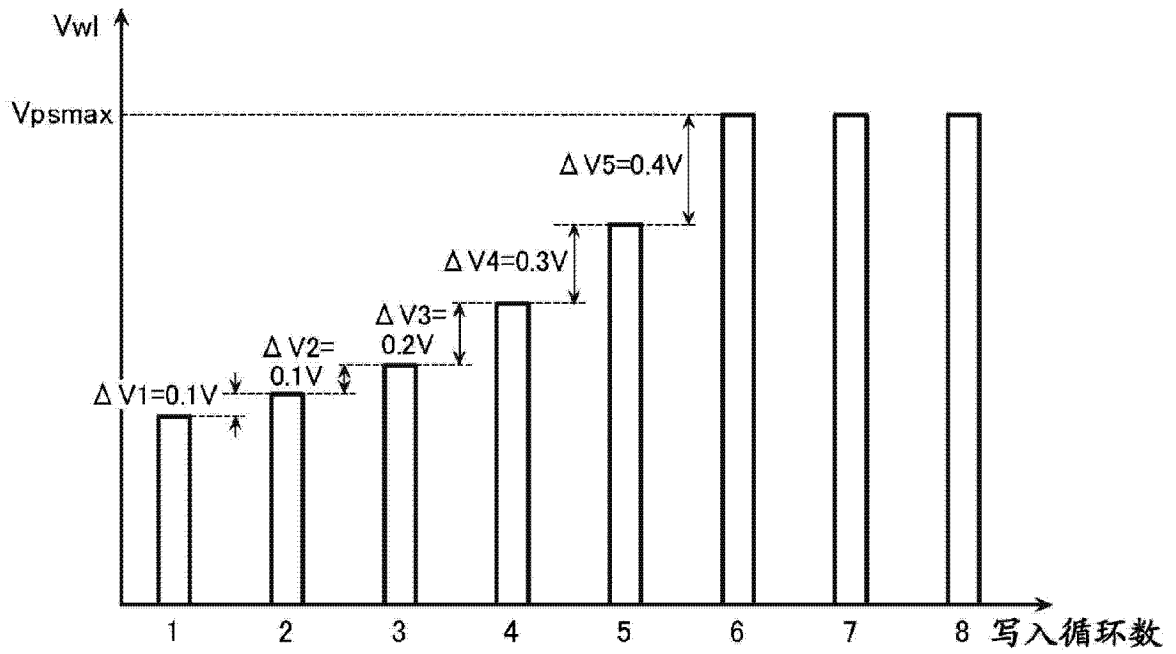


图 22

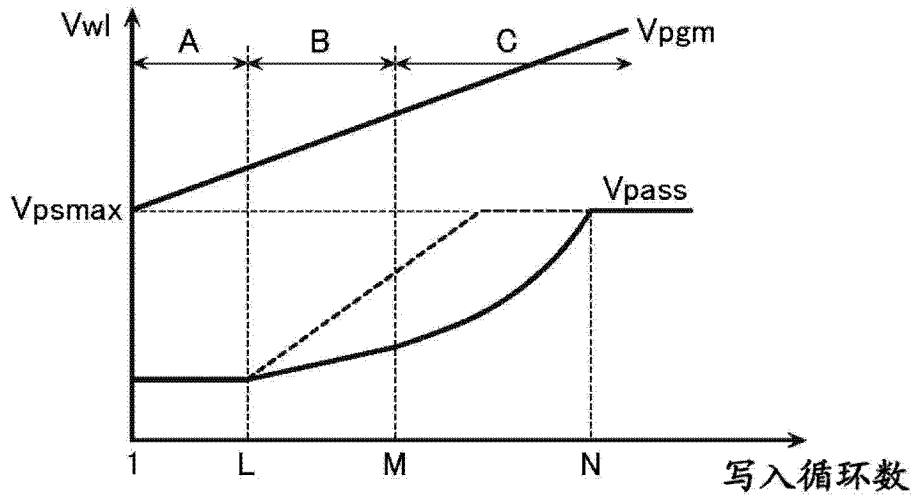


图 23

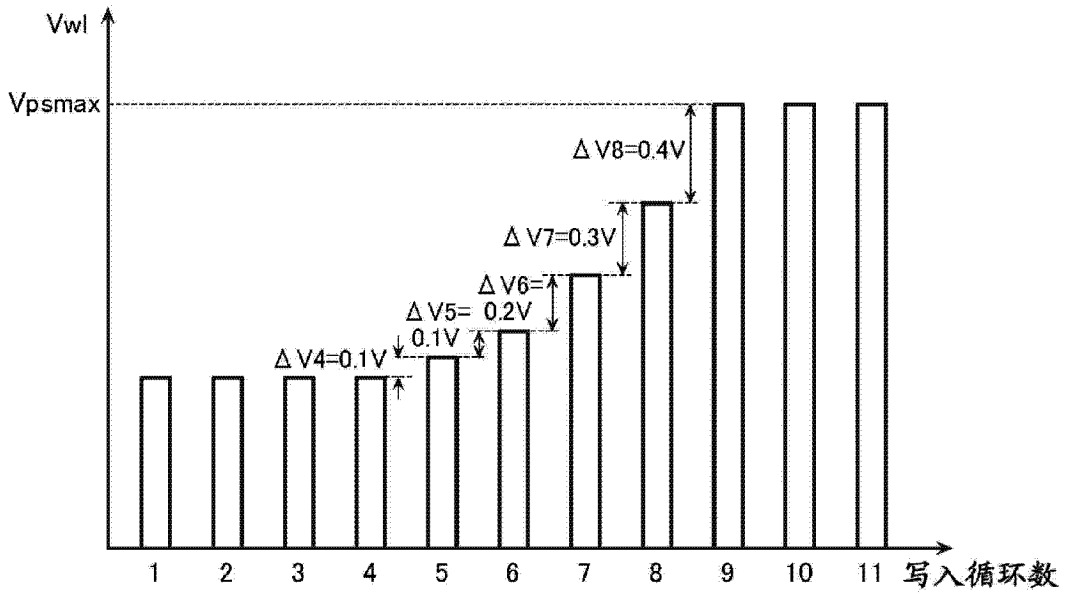


图 24

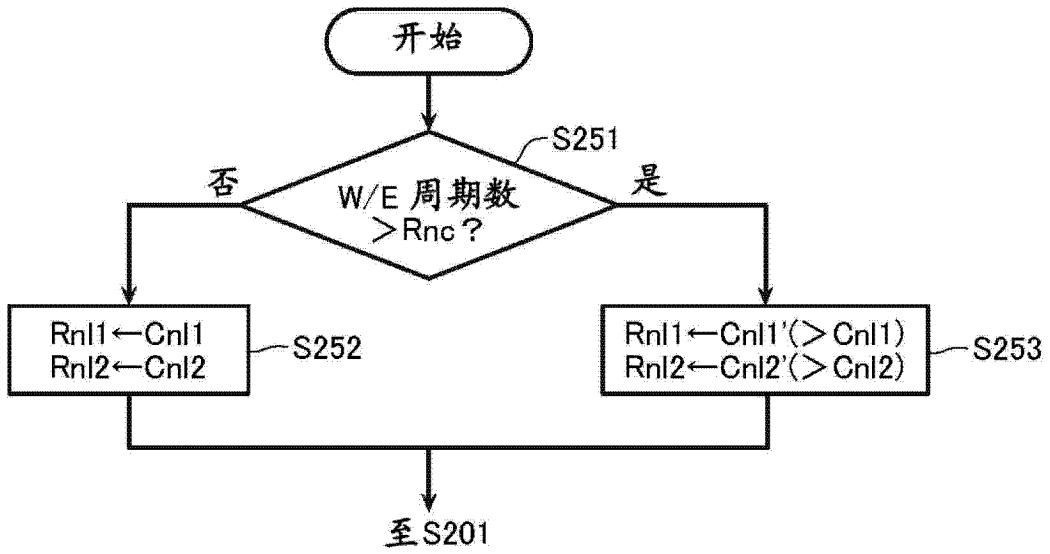


图 26

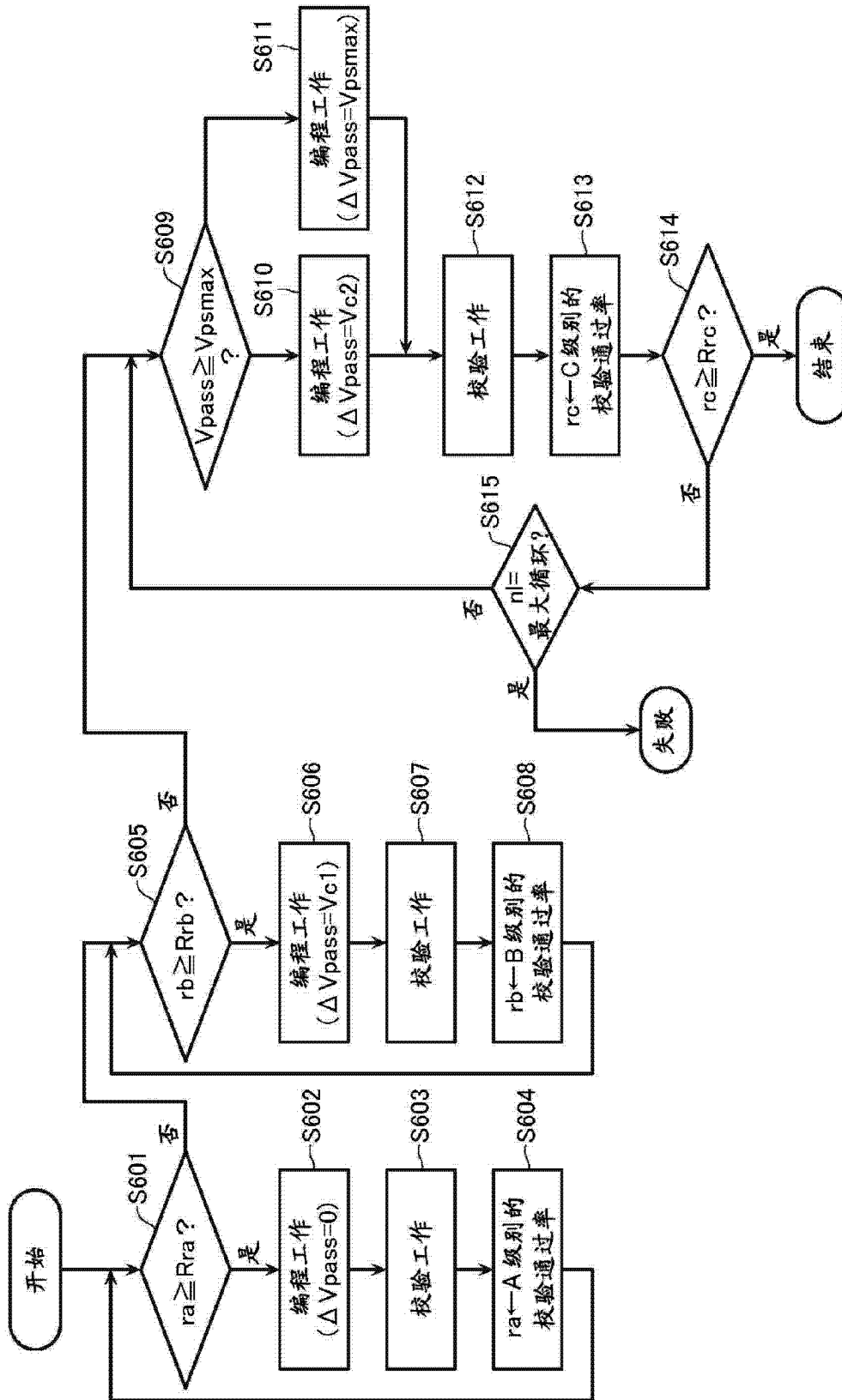


图 25

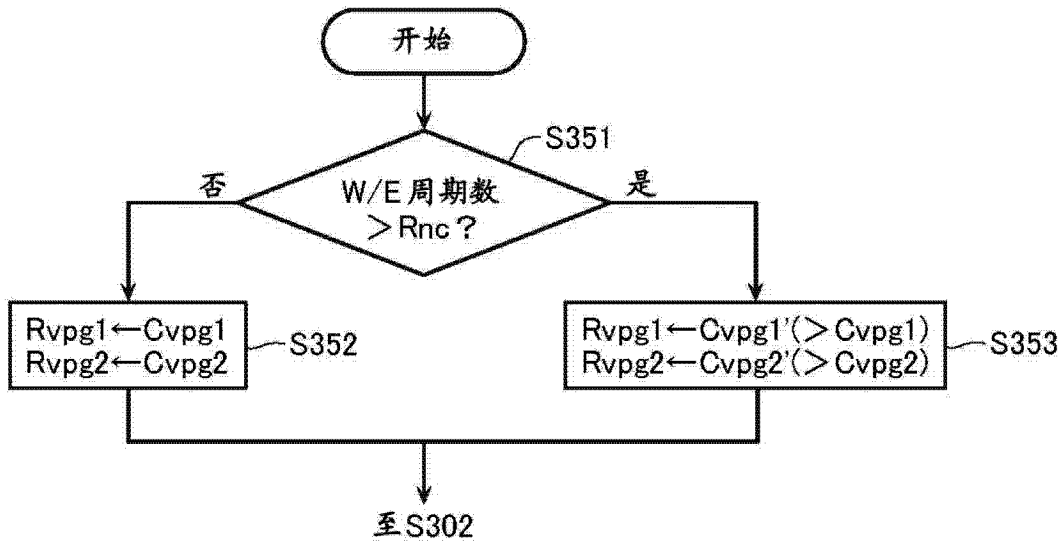


图 27

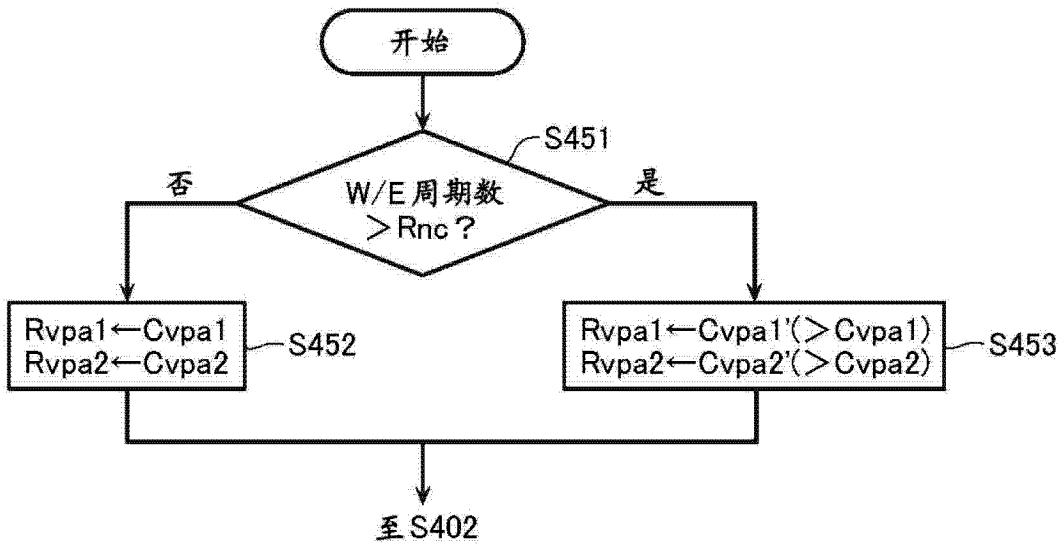


图 28

W/E 周期数 (Rnc)	步骤 S601	步骤 S605	步骤 S614
小于 1,000	A 级别的校验 通过率 100%?	B 级别的校验 通过率 100%?	C 级别的校验 通过率 100%?
小于 10,000	B 级别的校验 通过率 50% 以上	C 级别的校验 通过率 50% 以上	C 级别的校验 通过率 100%?
大于等于 100,000	B 级别的校验 通过率 75%	C 级别的校验 通过率 75%	C 级别的校验 通过率 100%?

图 29



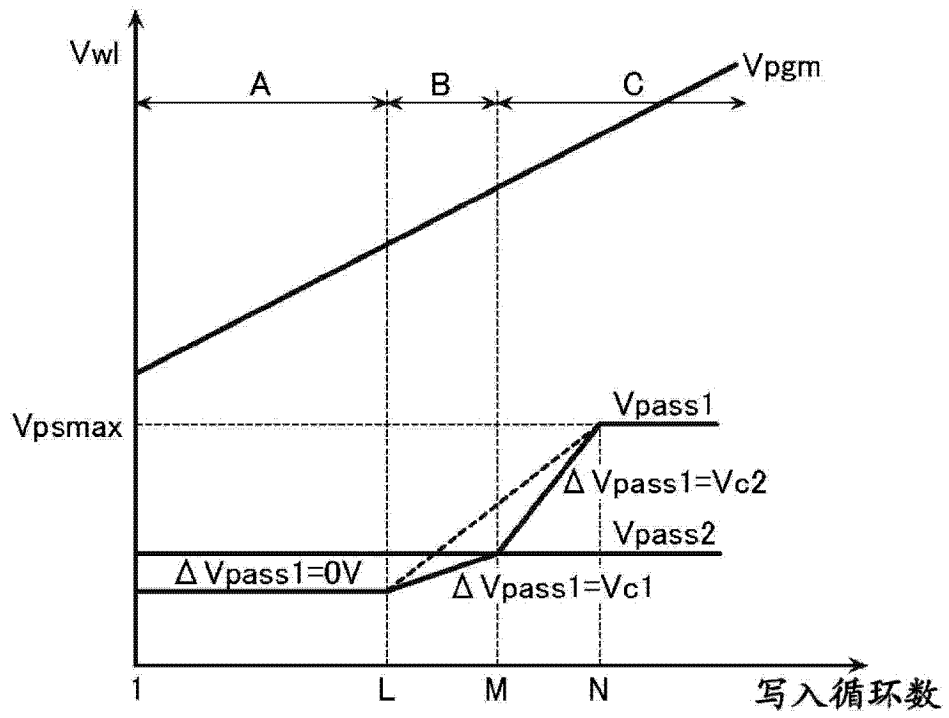


图 31

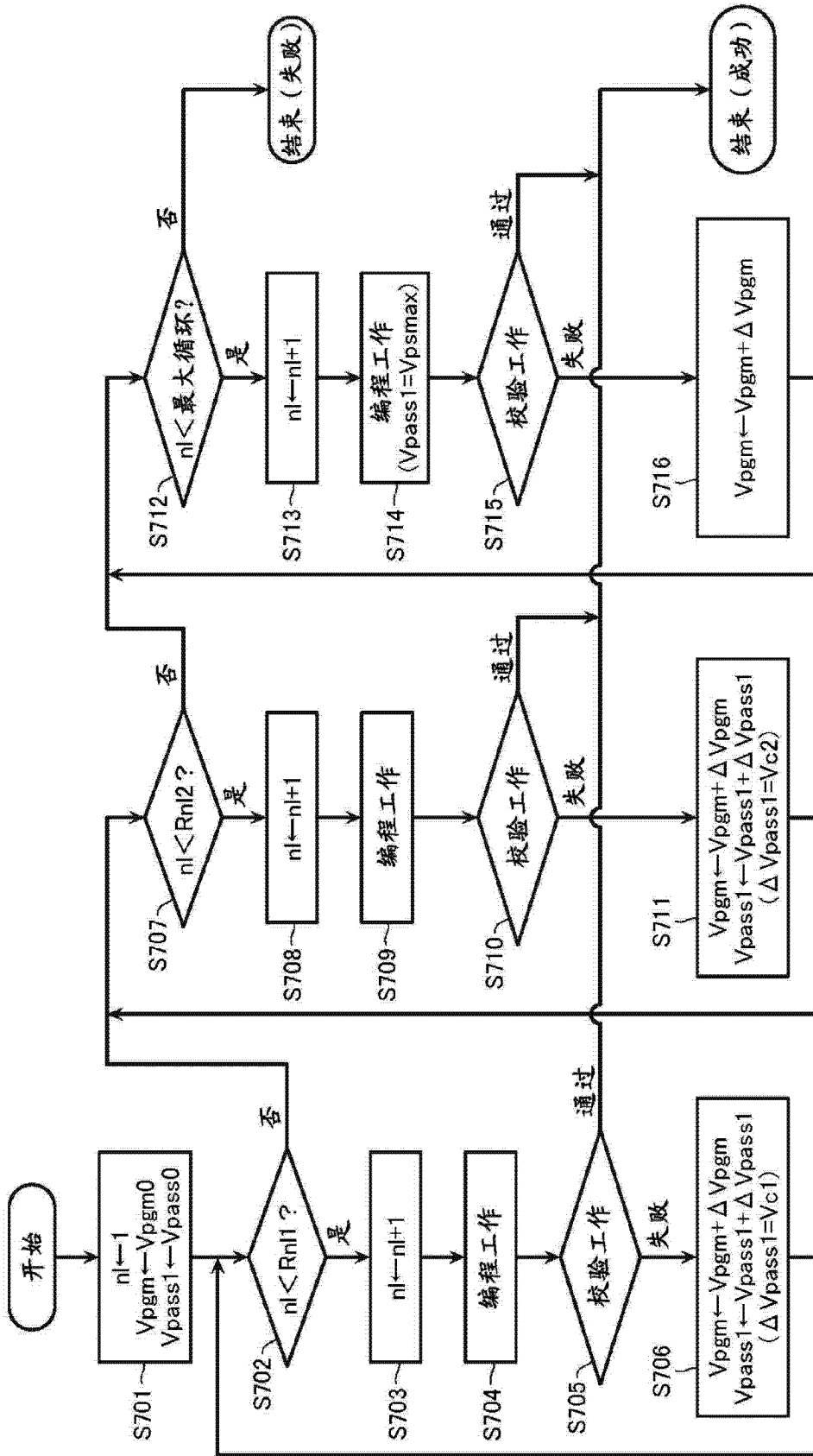


图 32

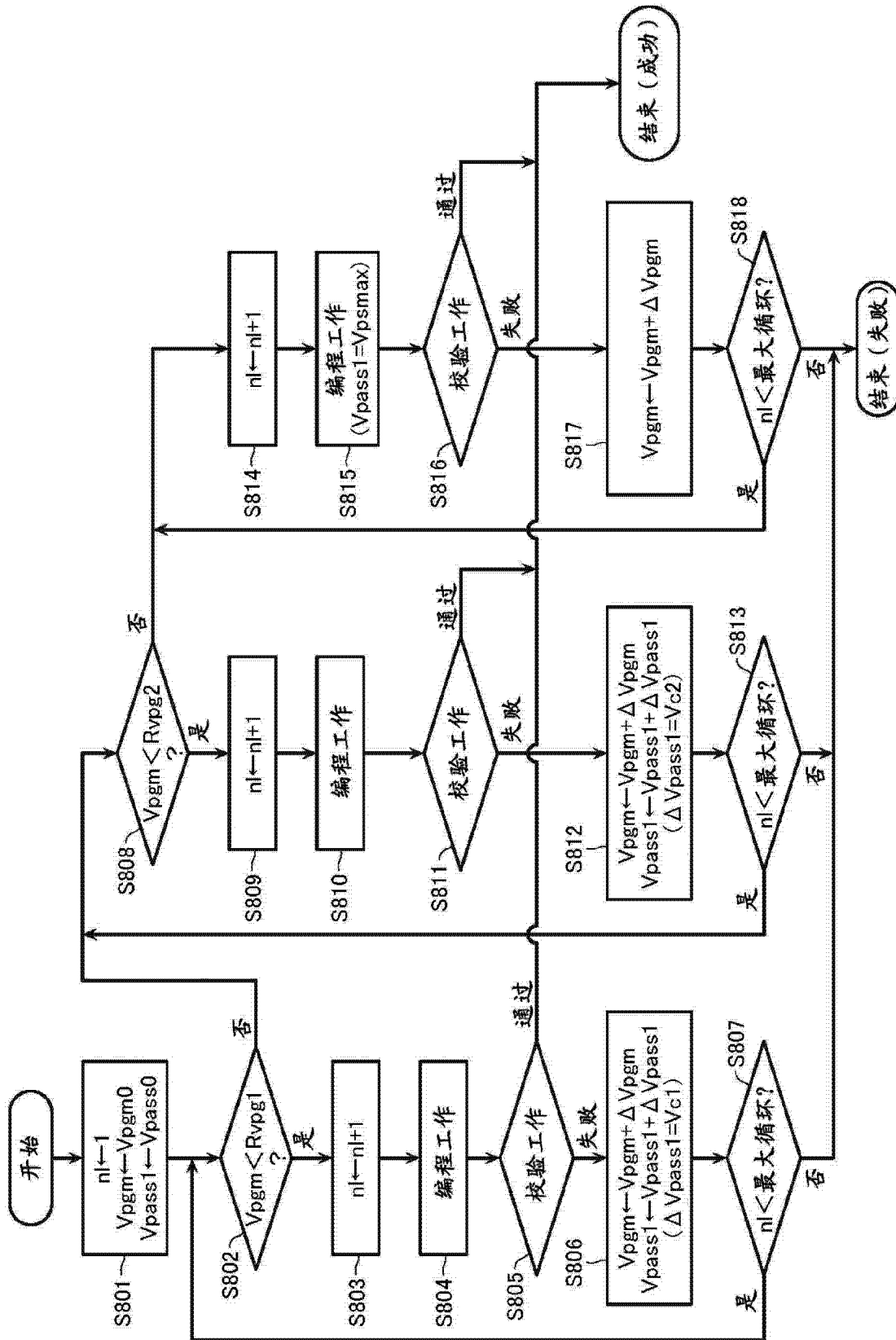


图 33

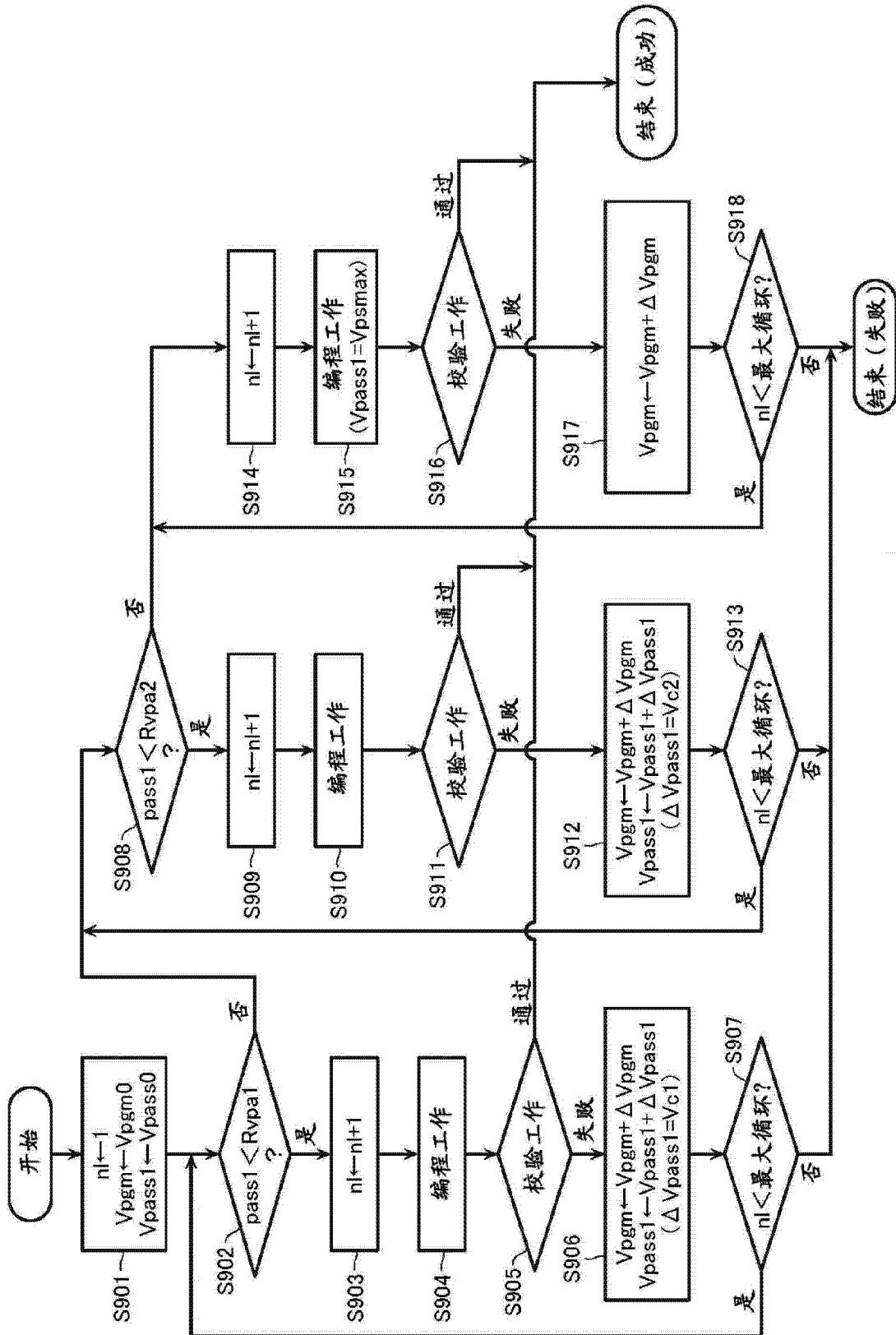


图 34

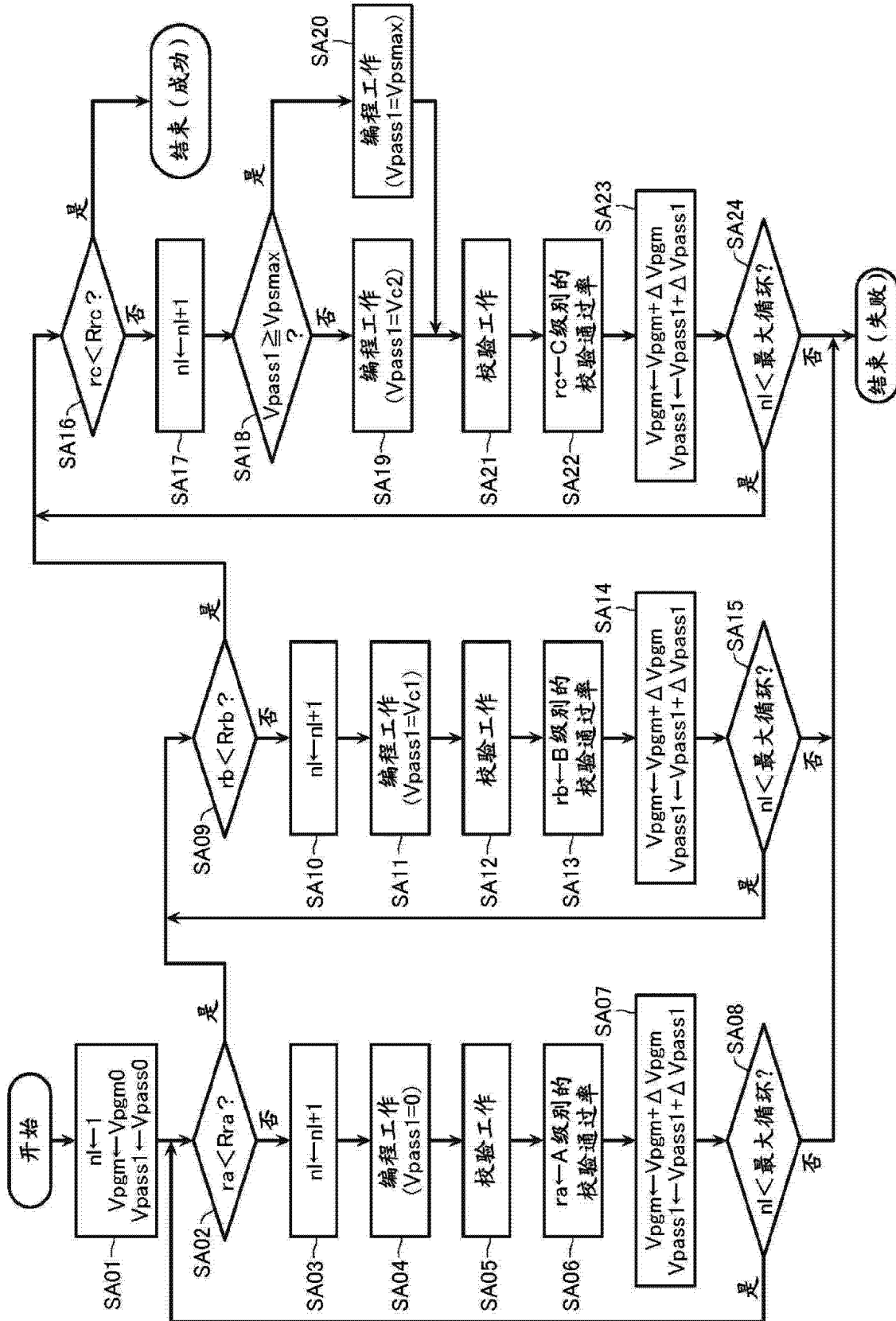


图 35

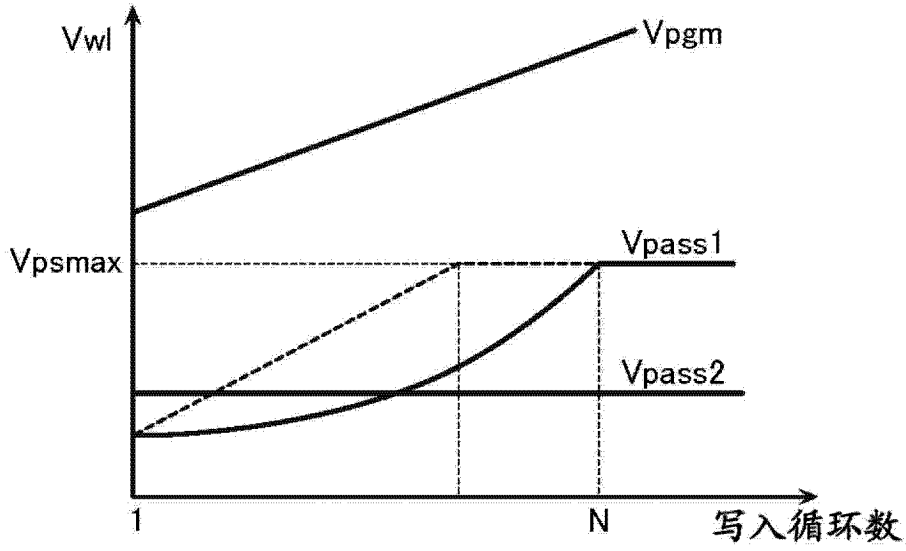


图 36

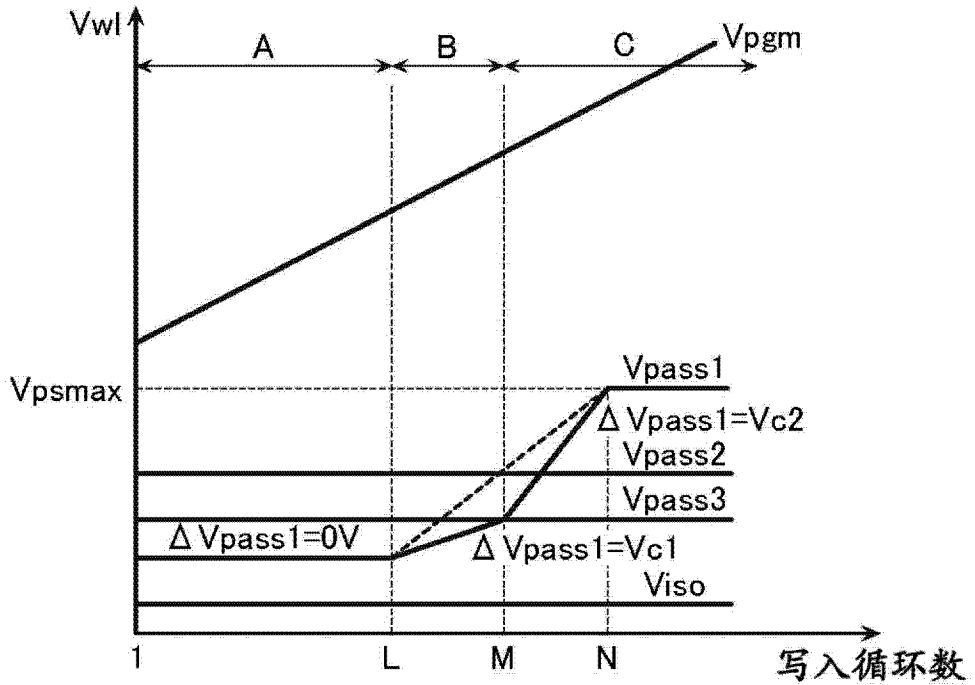


图 38

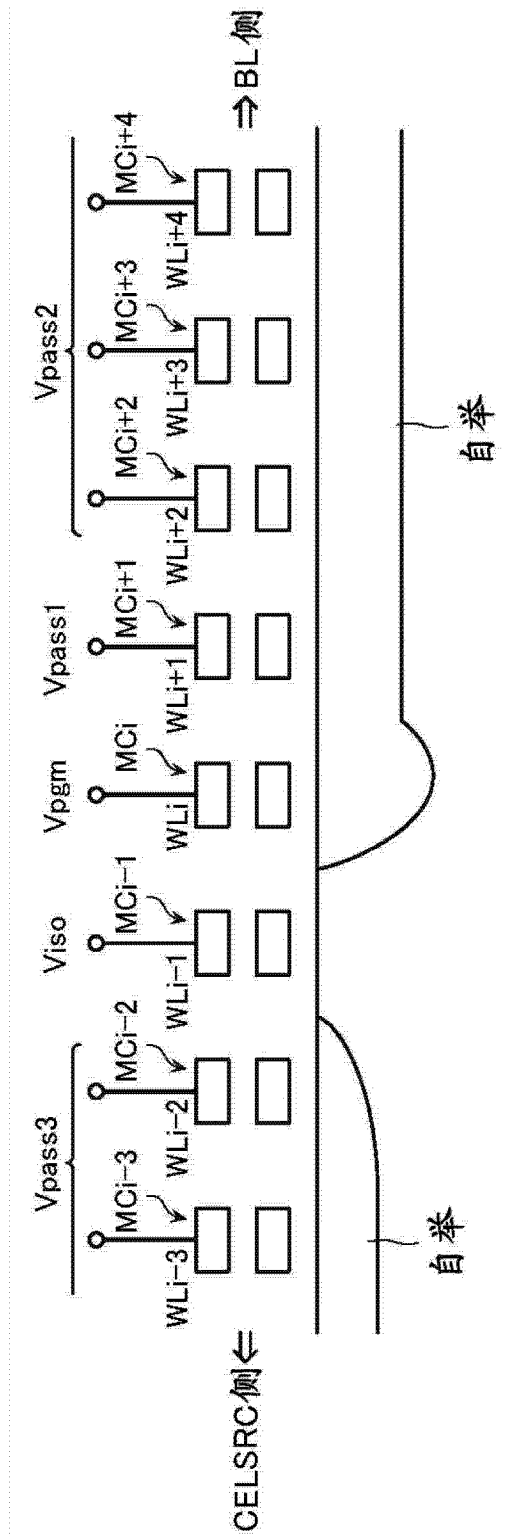


图 37

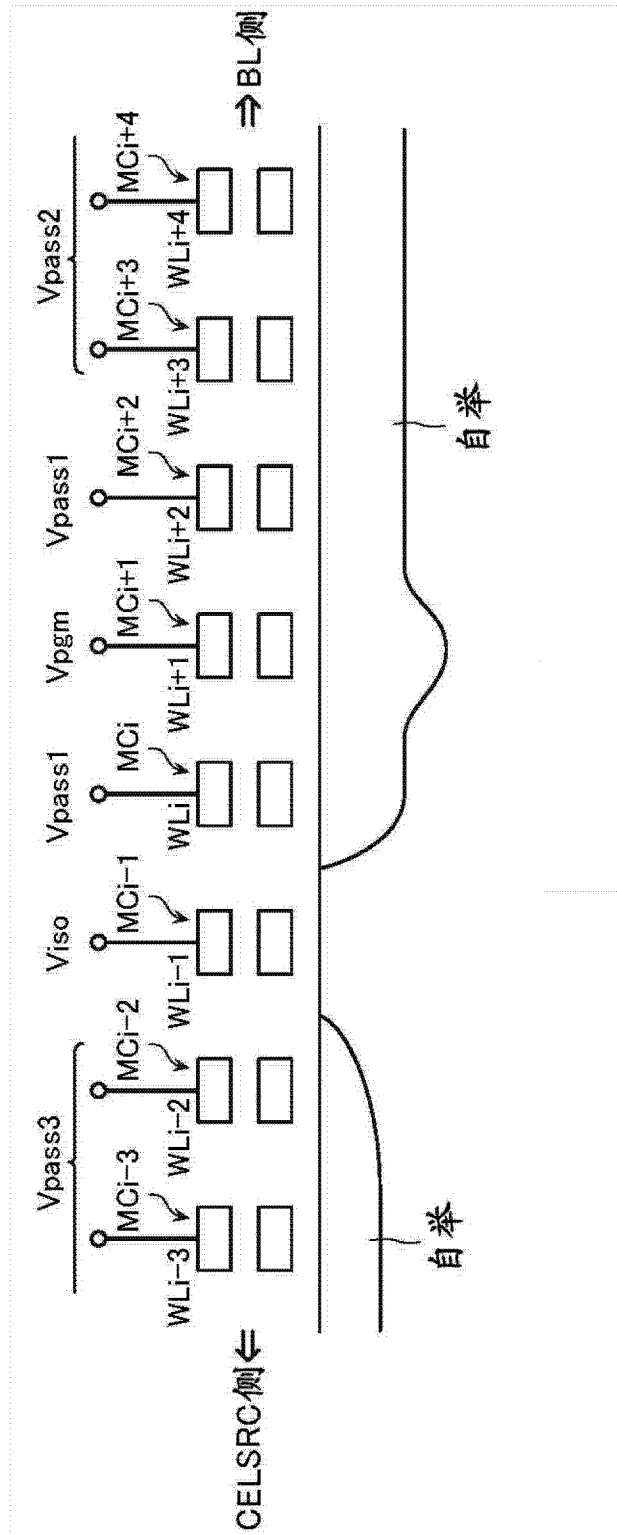


图 39

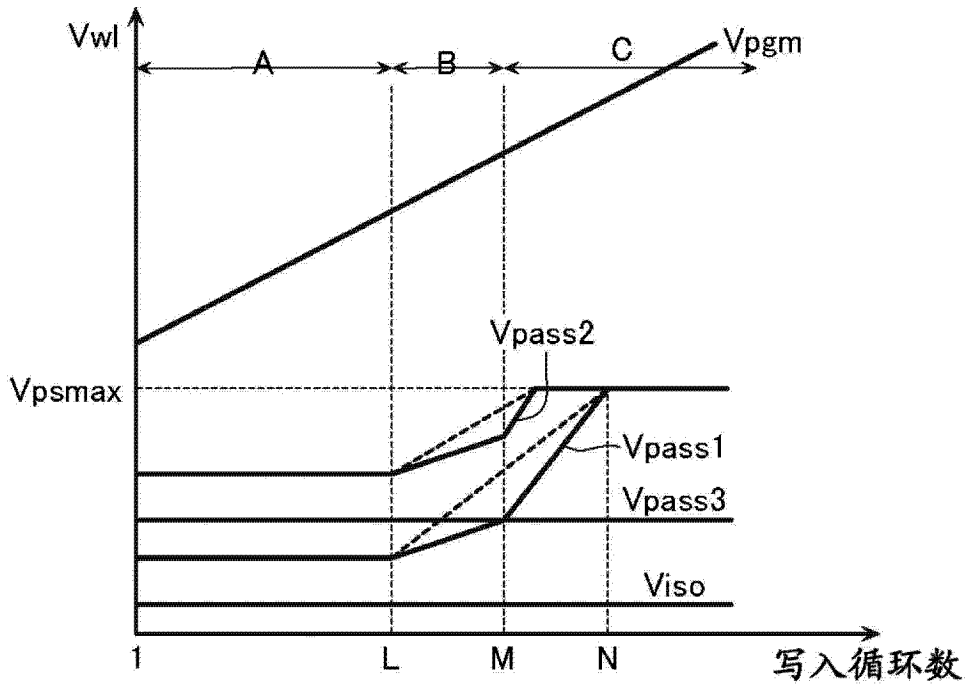


图 40

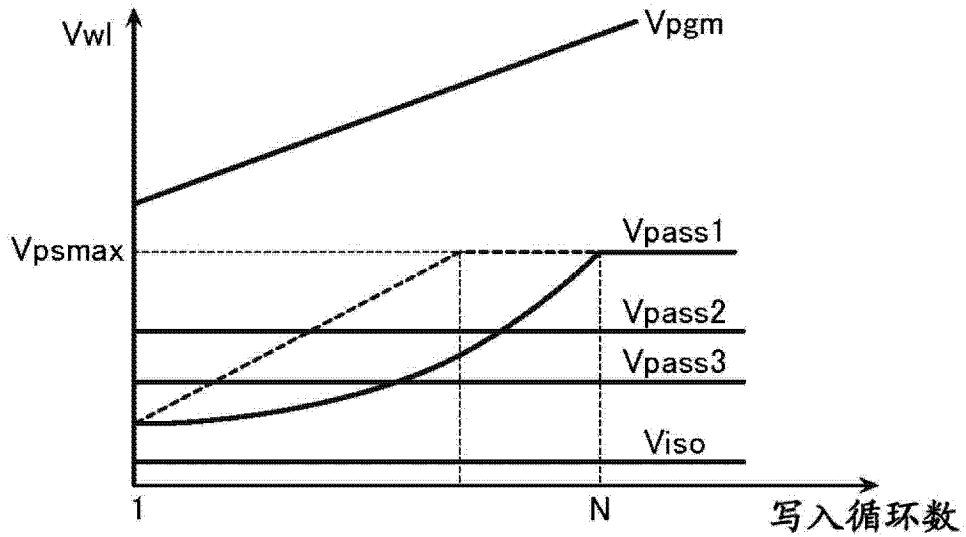


图 41

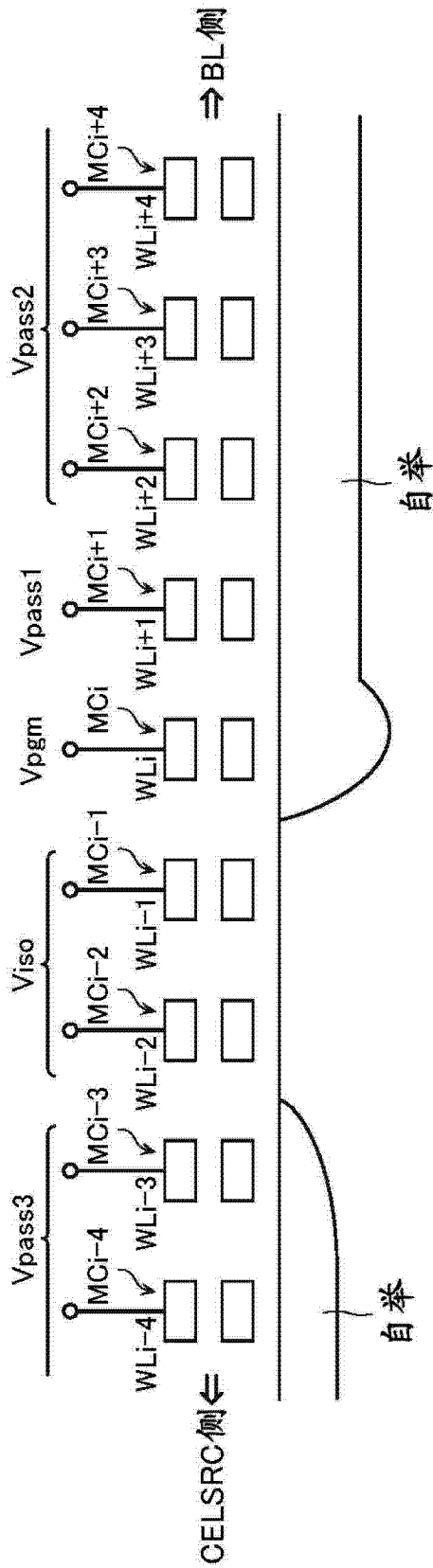


图 42

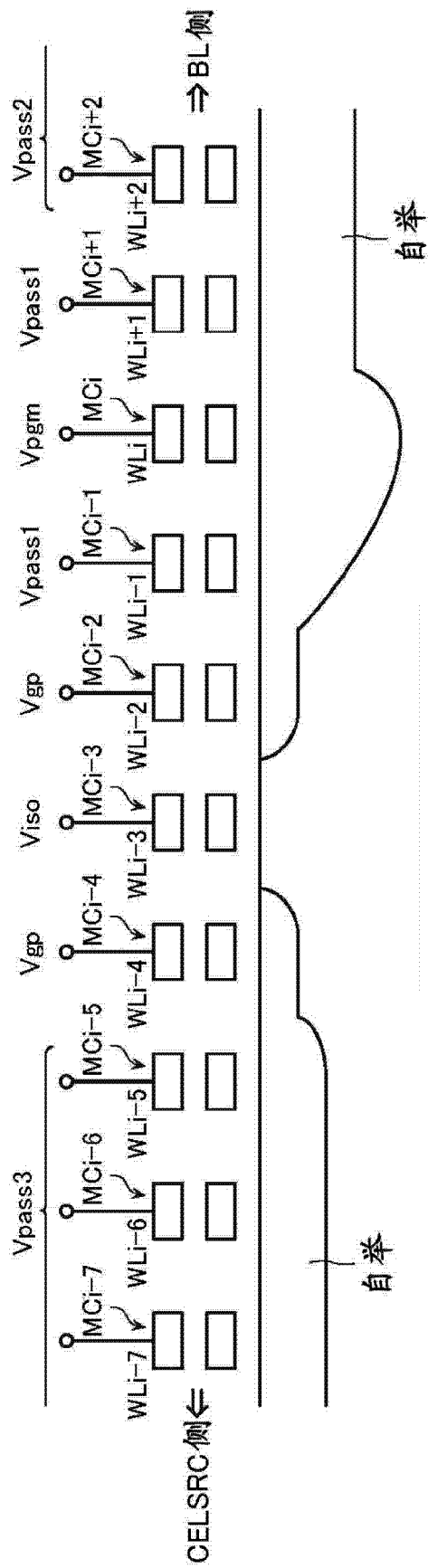


图 43

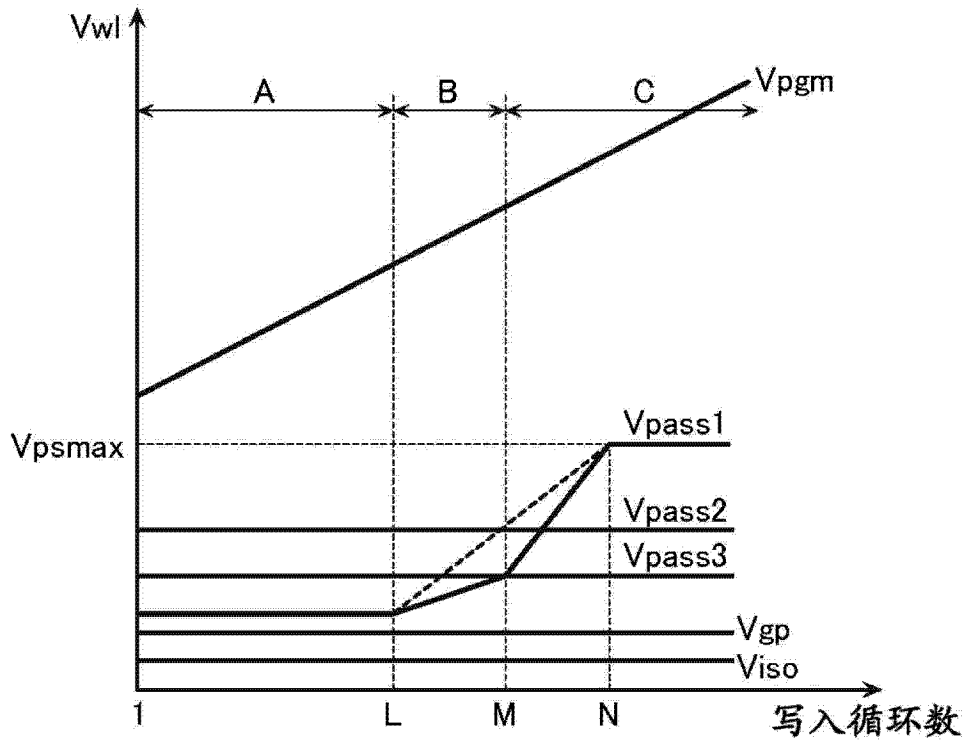


图 44

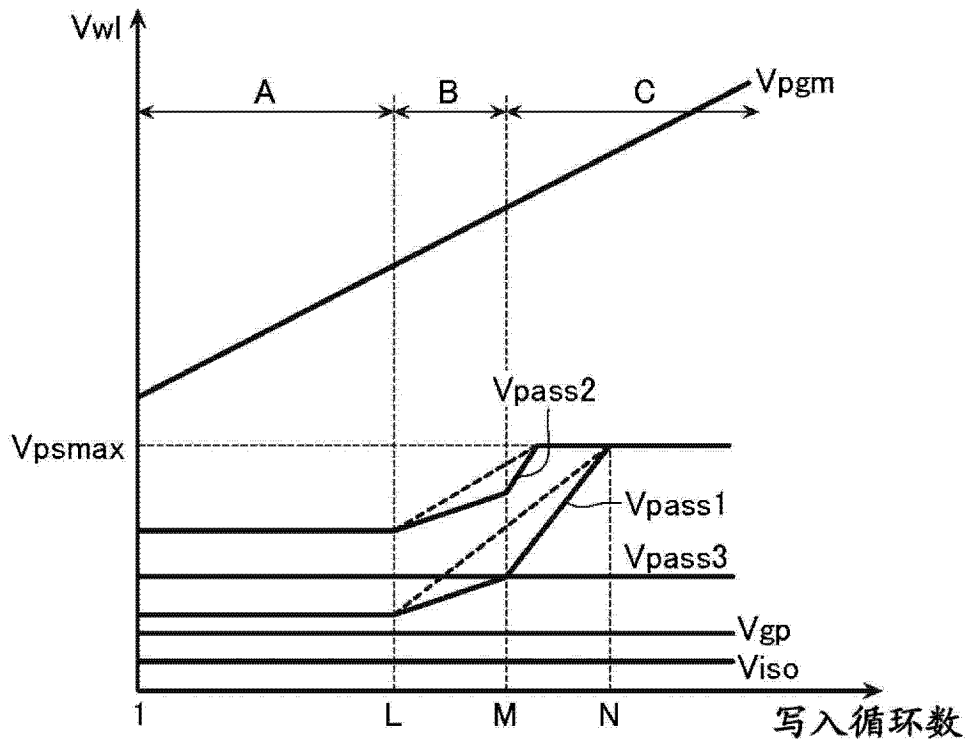


图 45

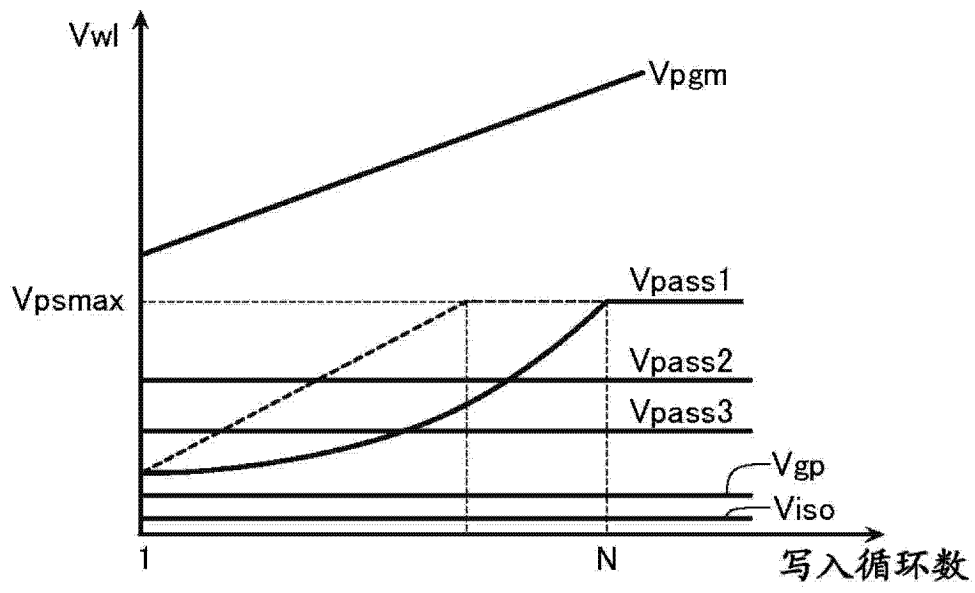


图 46

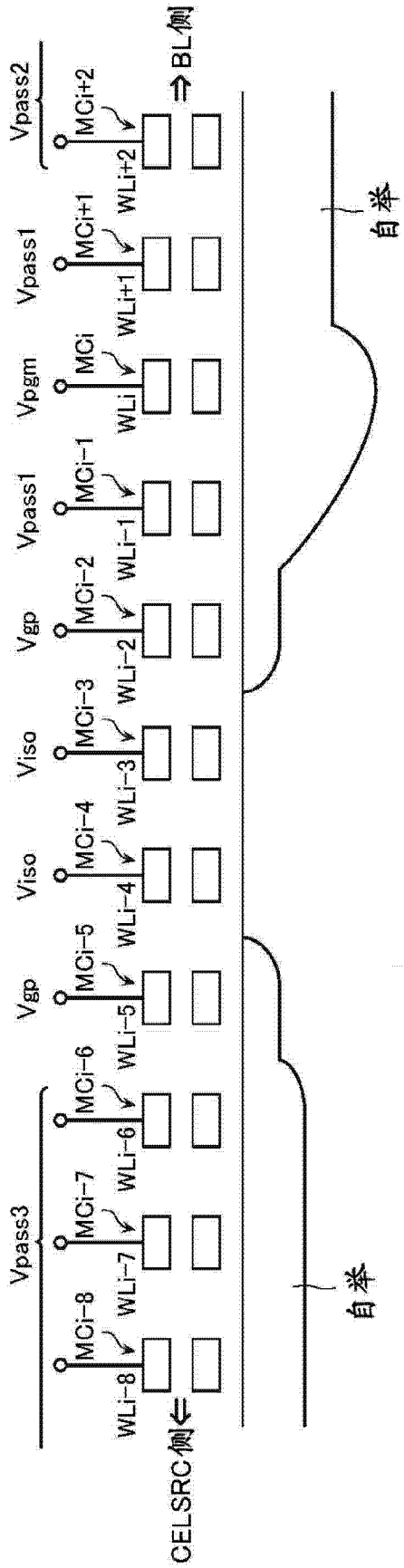


图 47

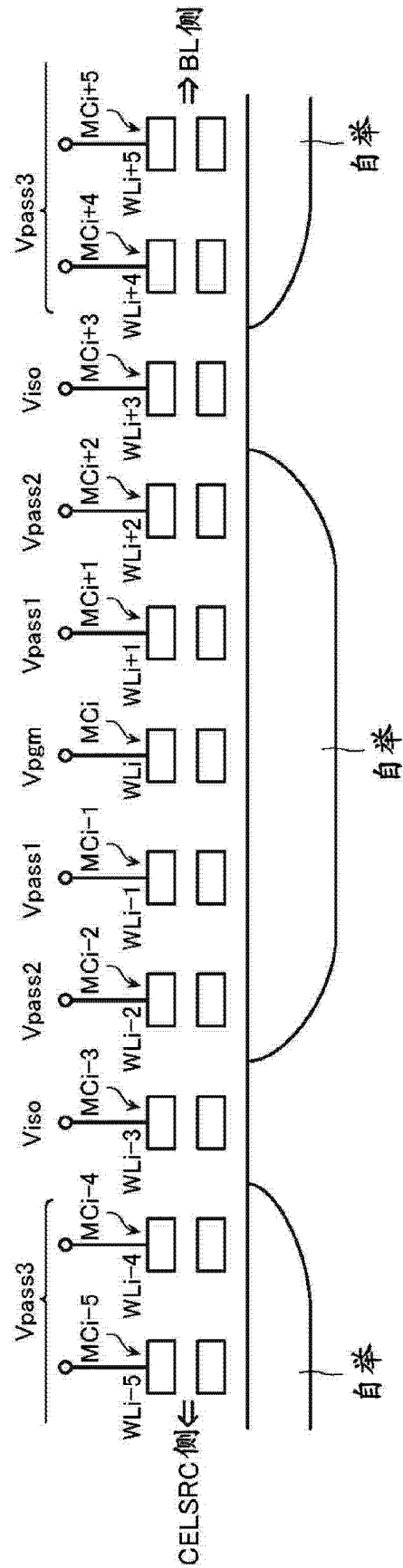


图 48

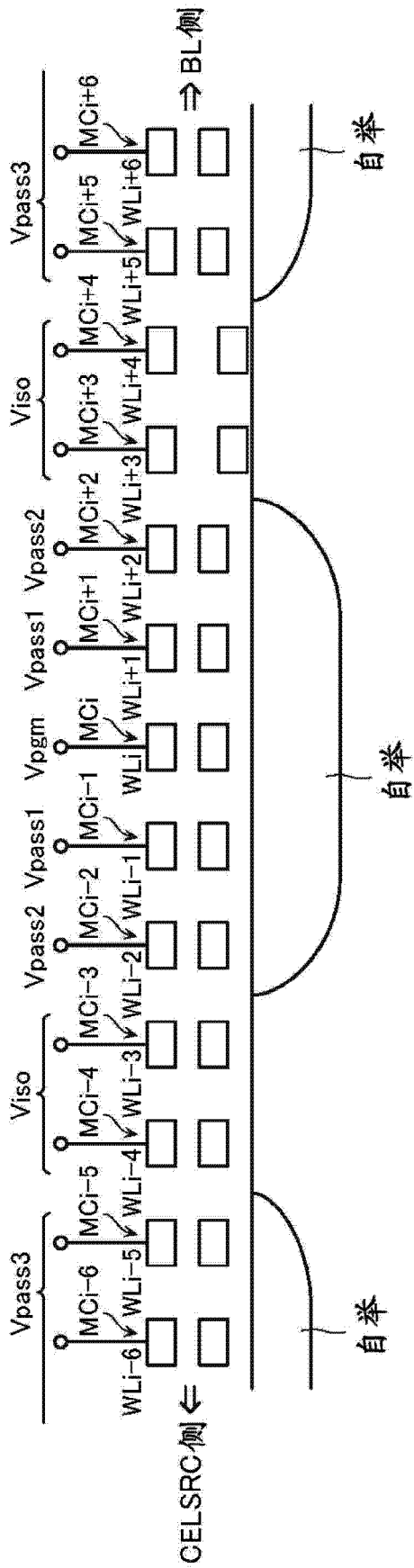


图 49

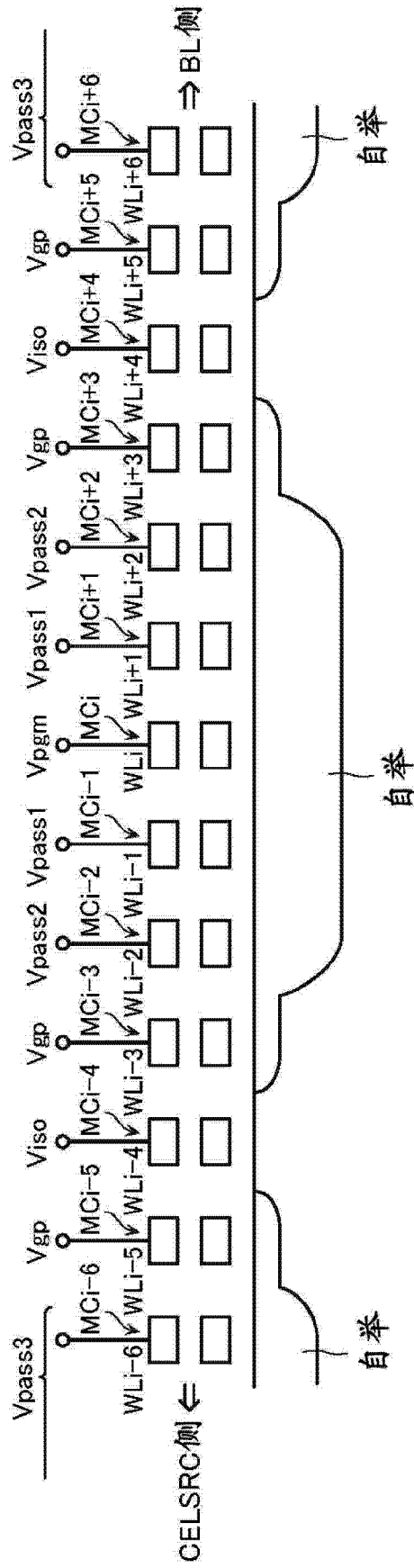


图 50

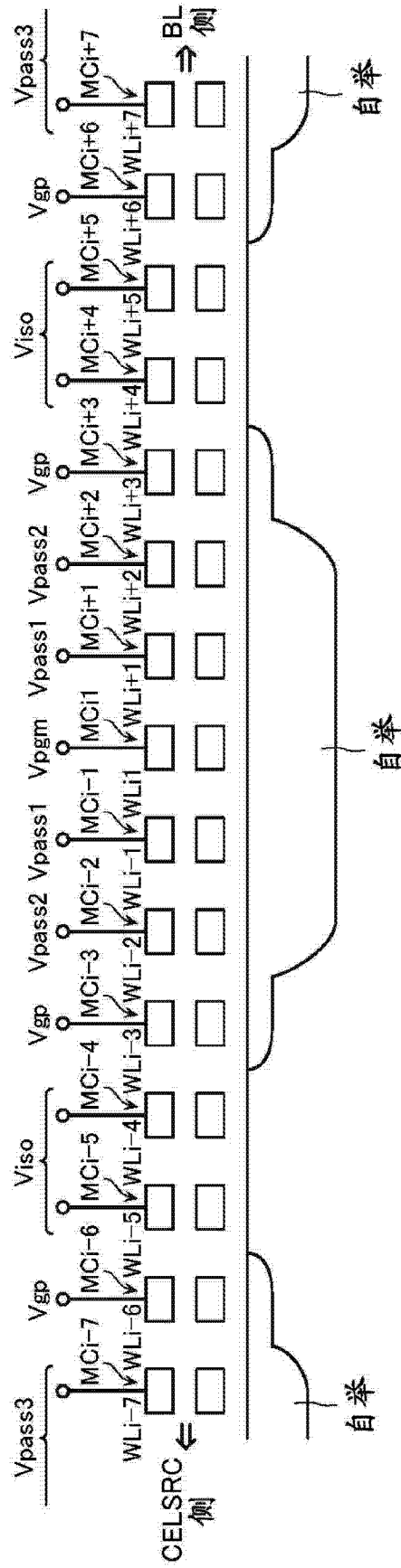


图 51

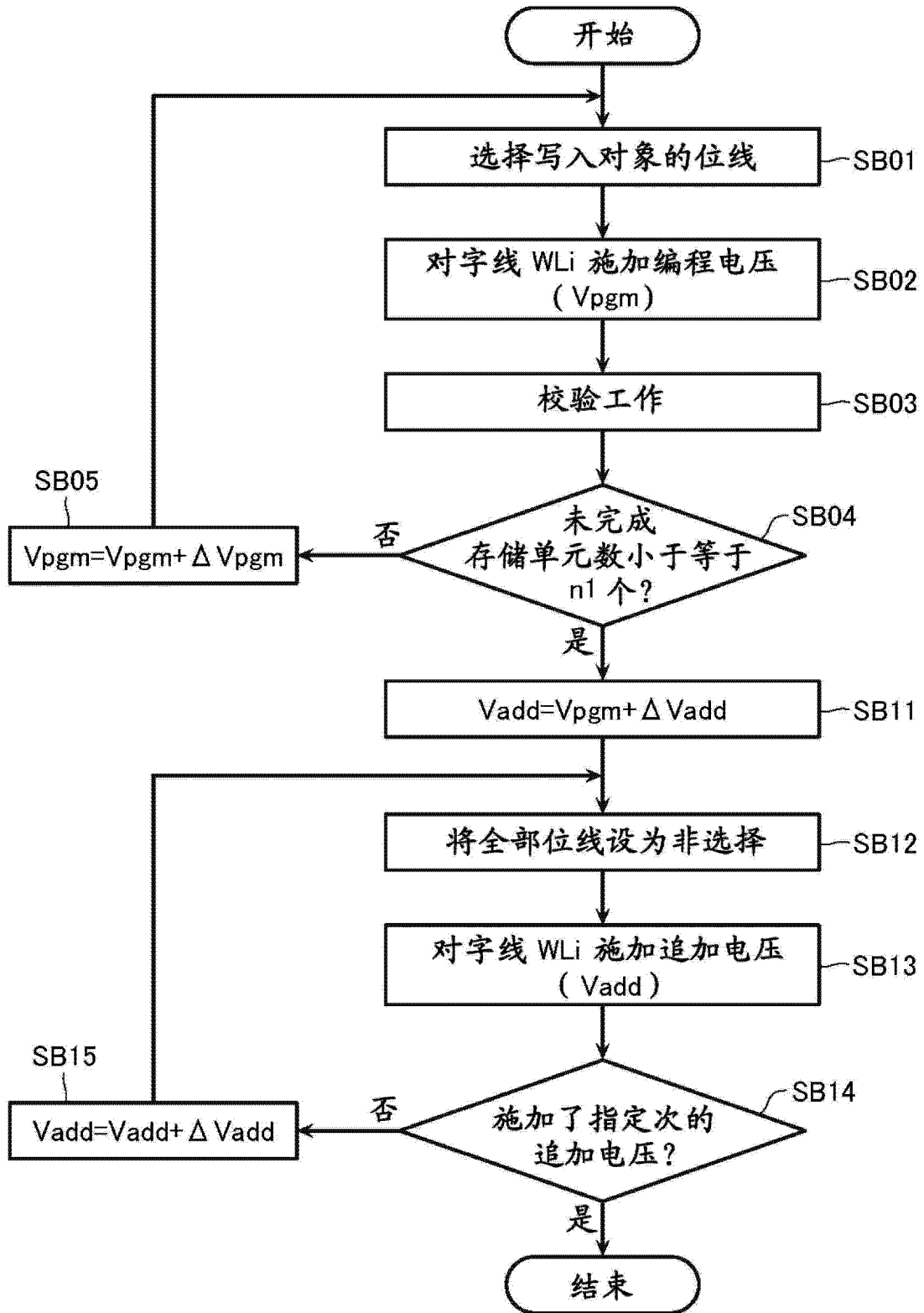


图 52

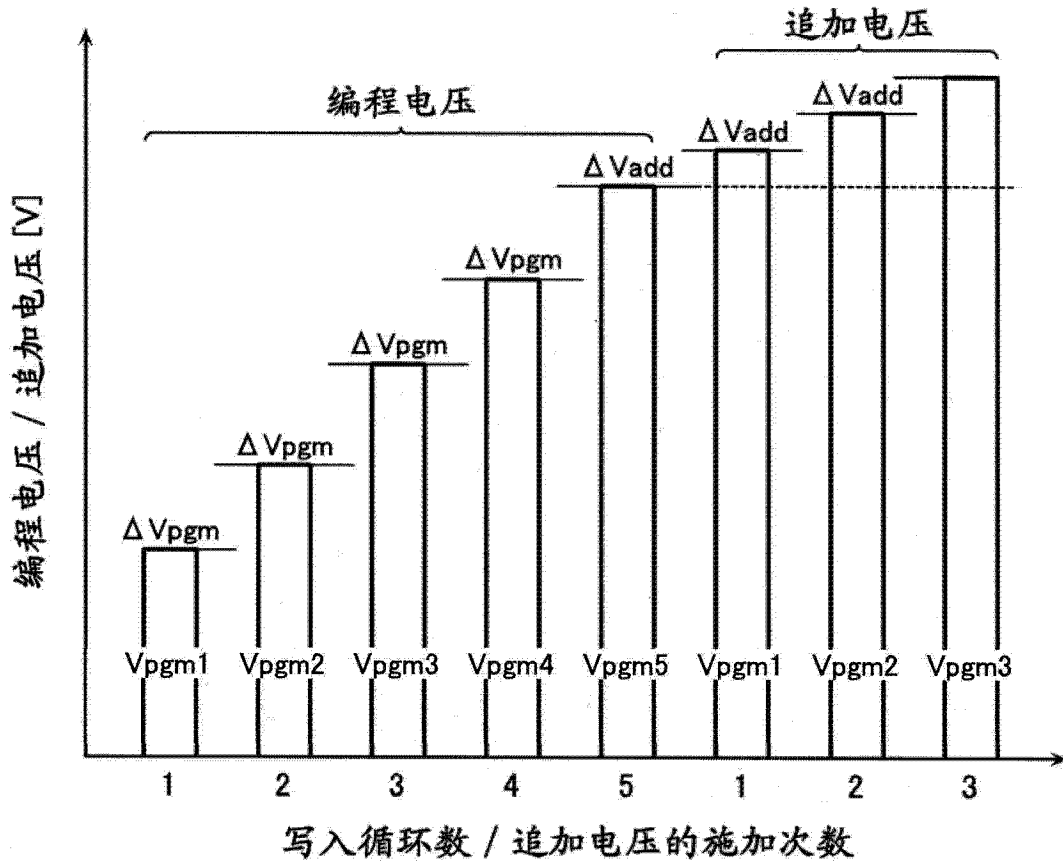


图 53

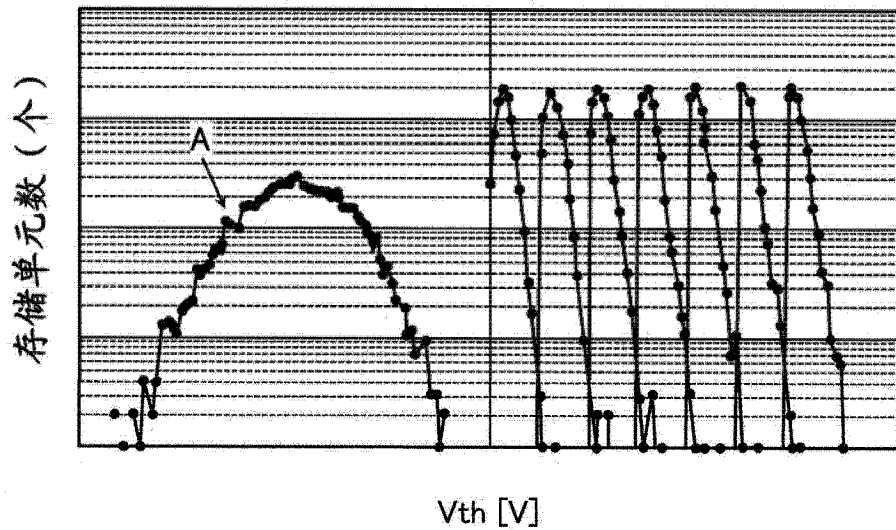


图 54

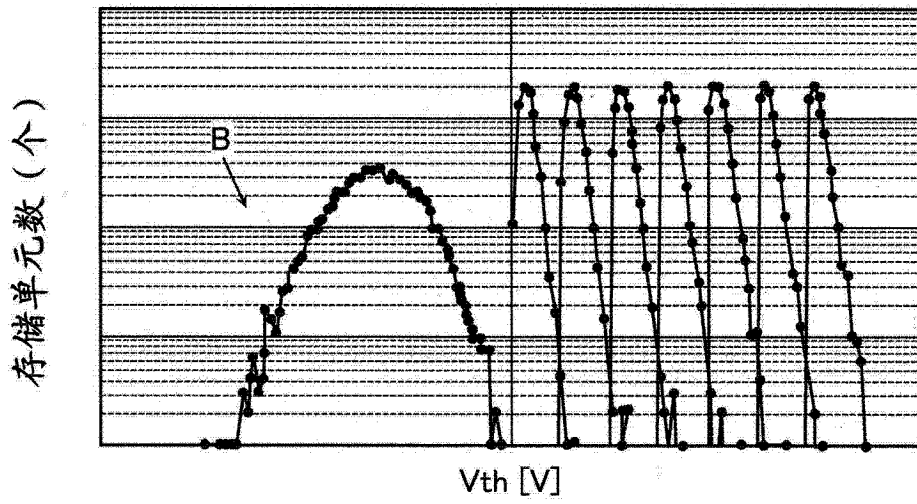


图 55

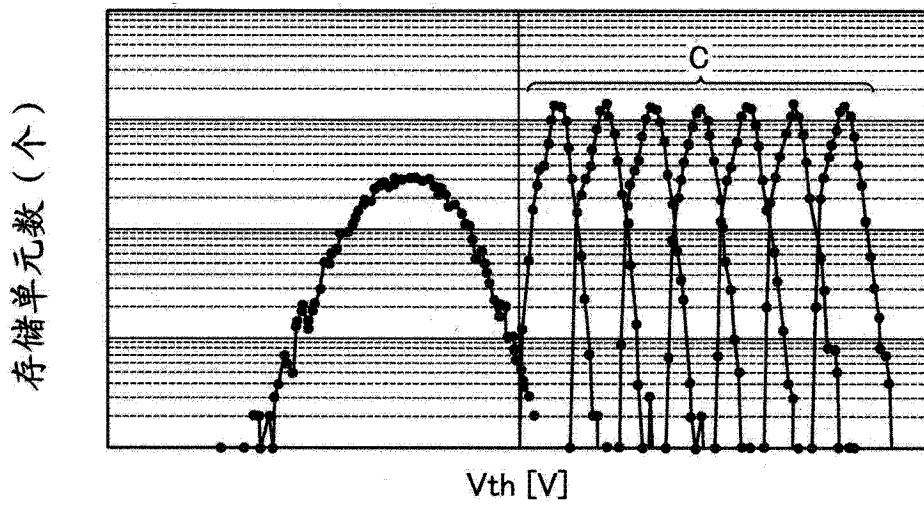


图 56

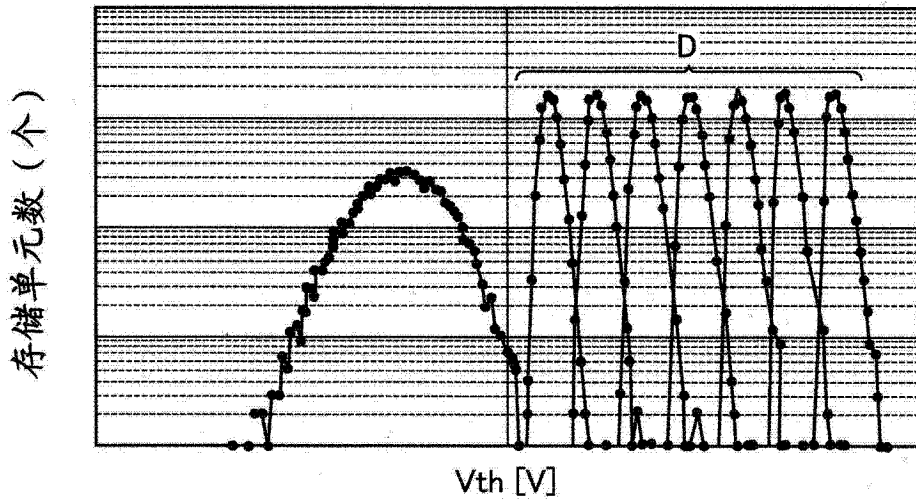


图 57

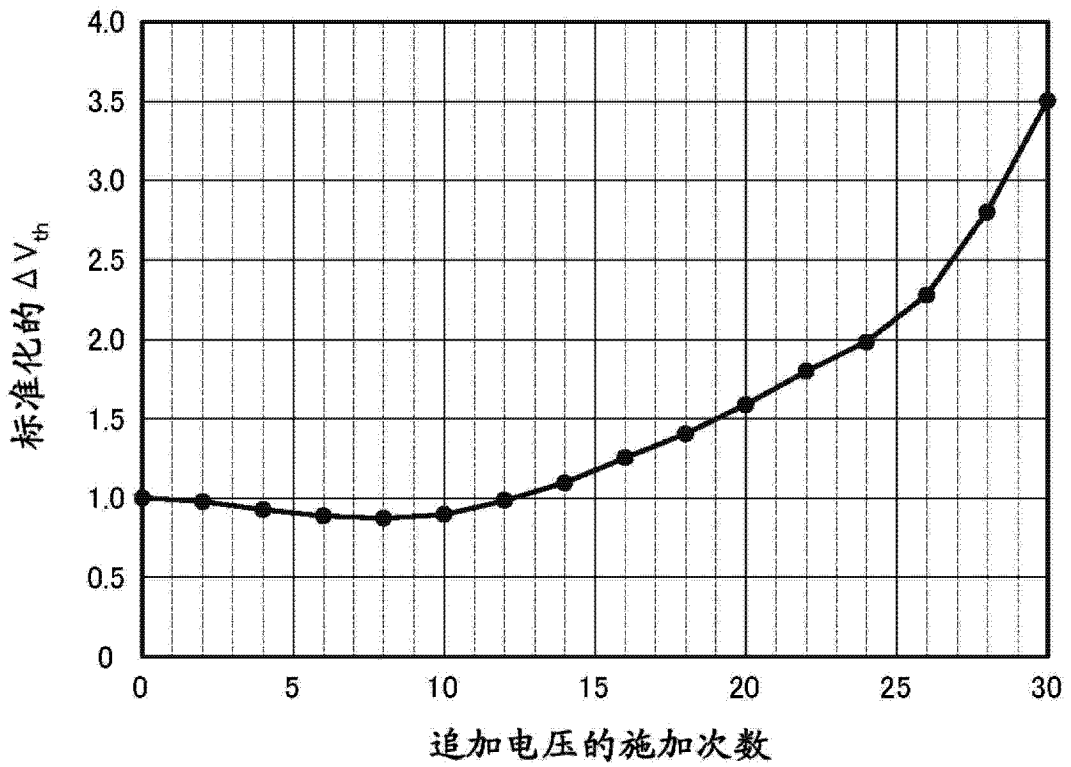


图 58

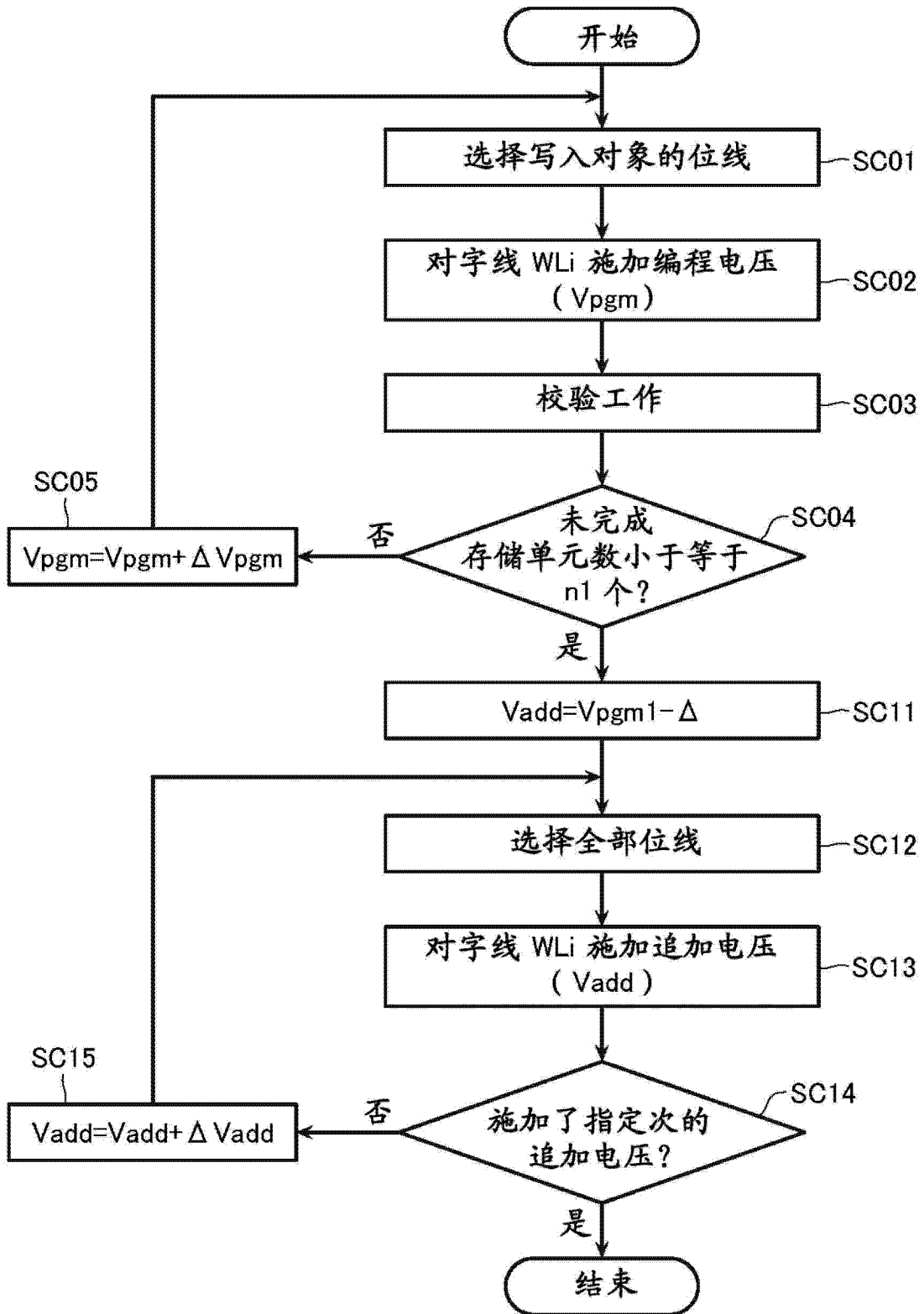


图 59

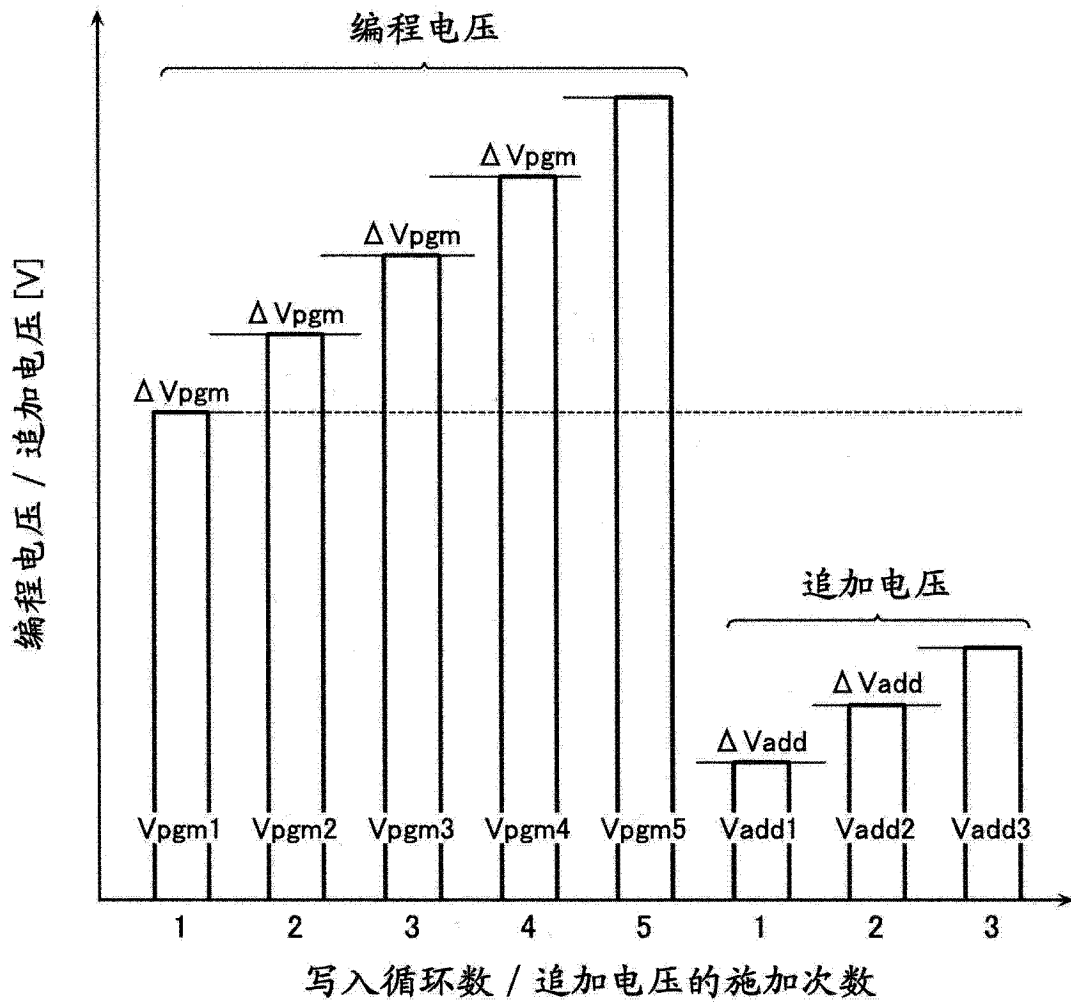


图 60

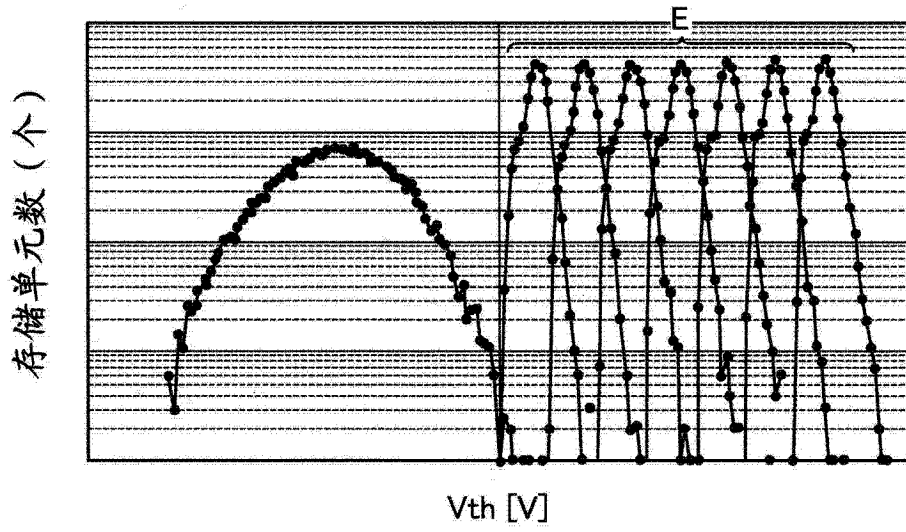


图 61

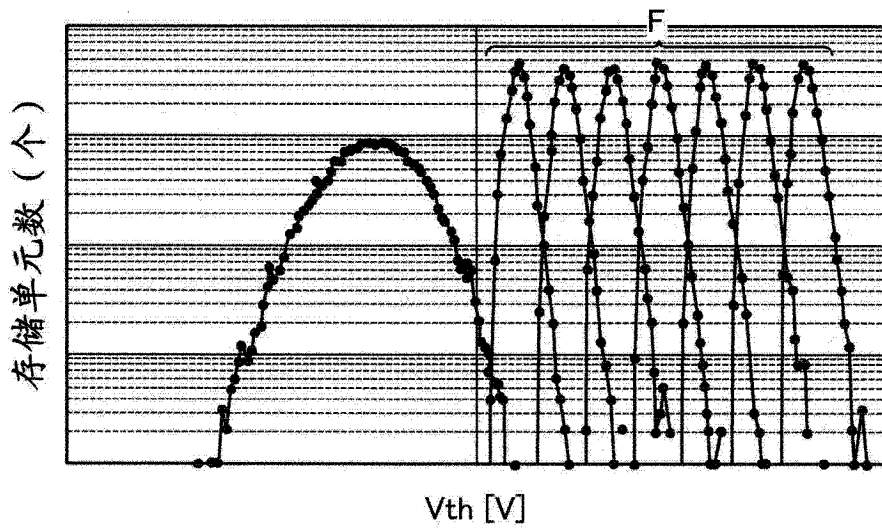


图 62

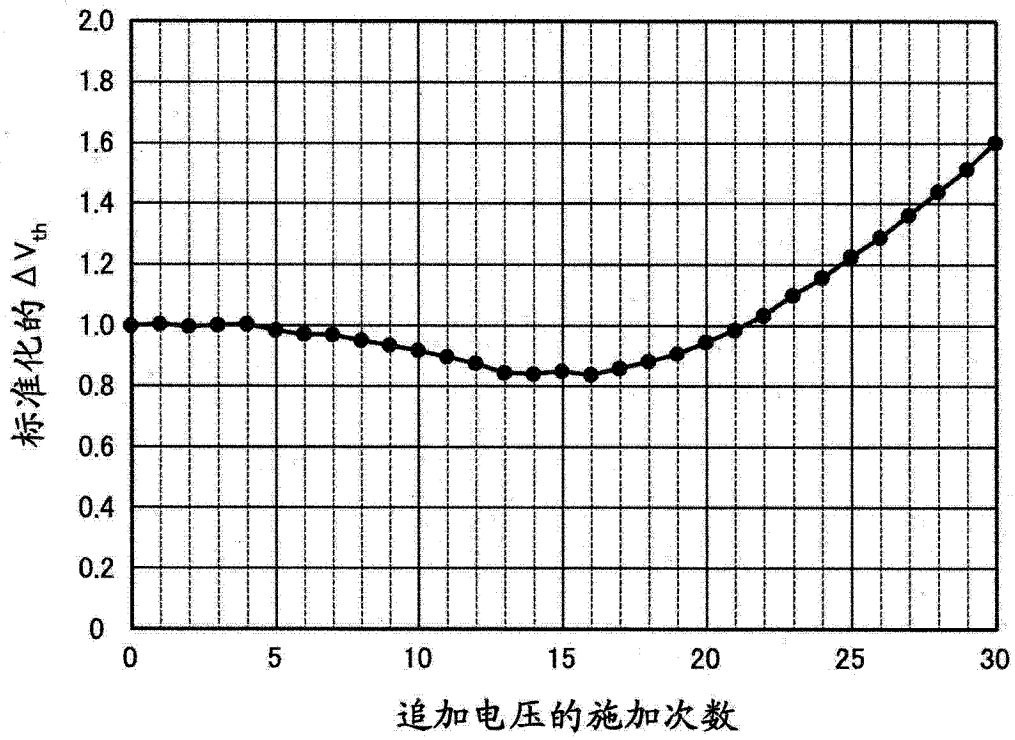


图 63

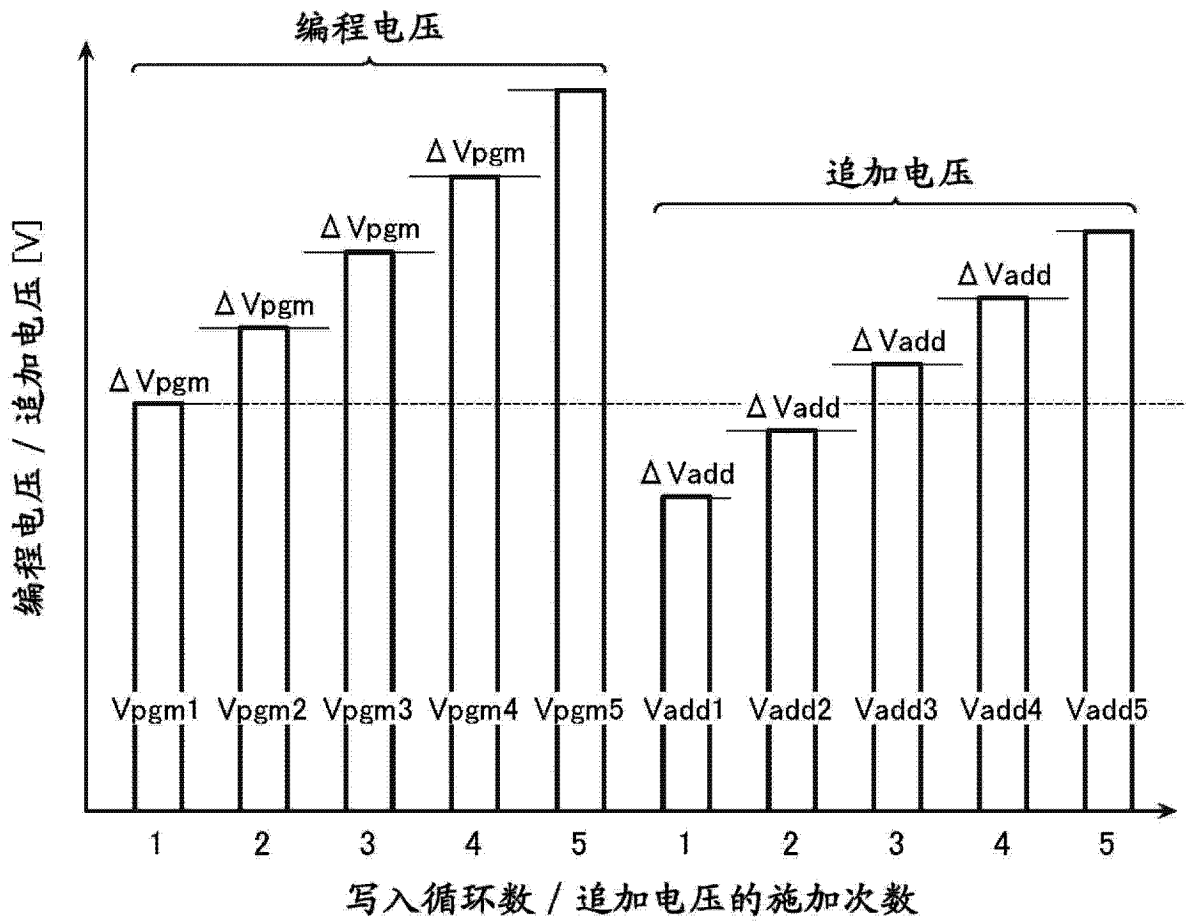


图 64

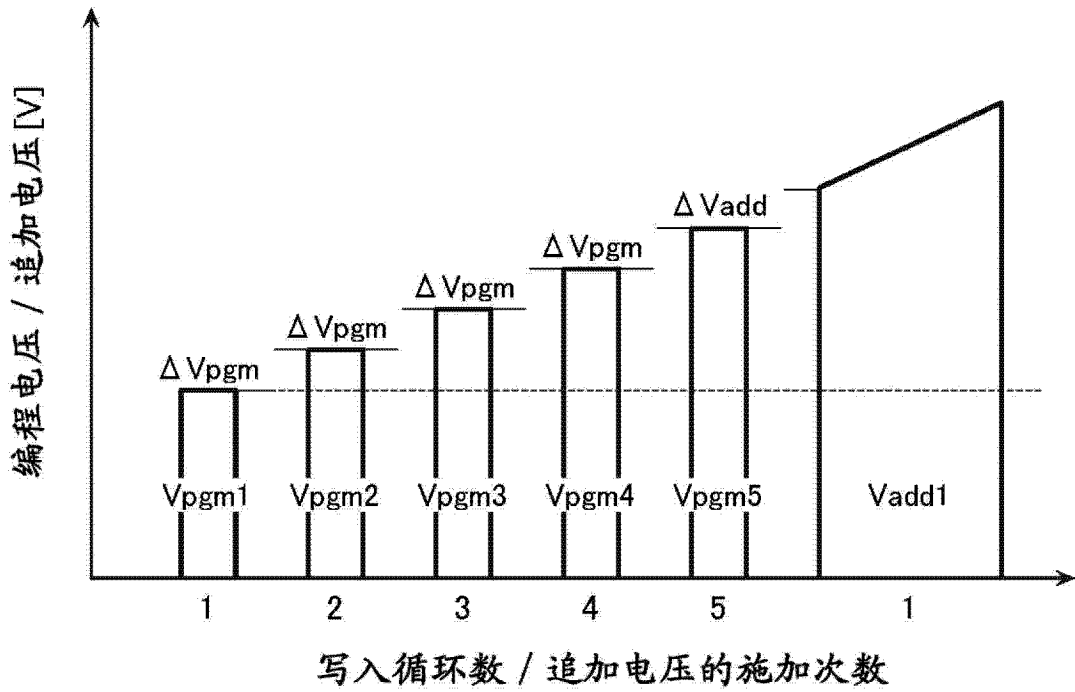


图 65

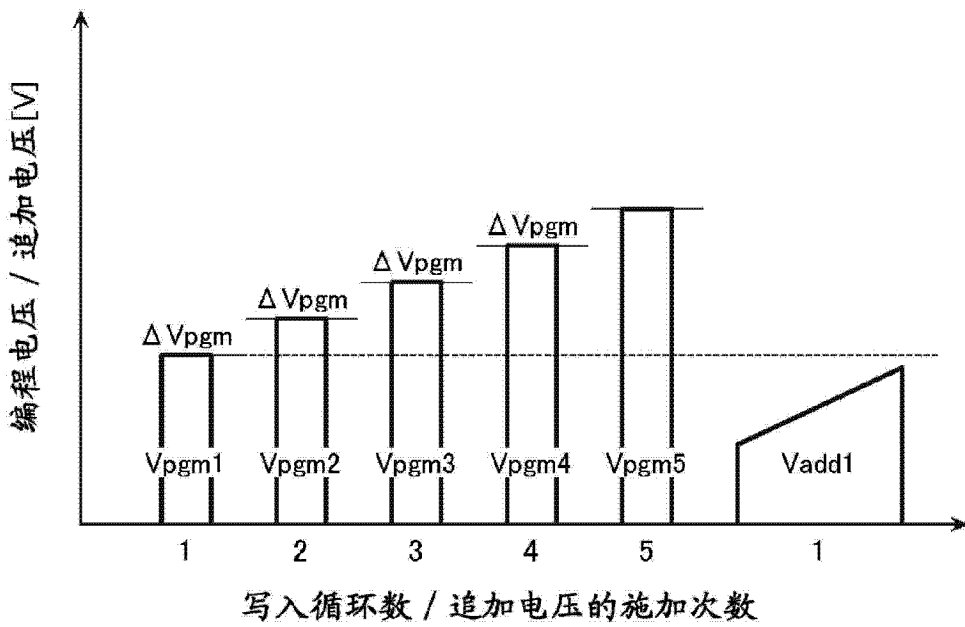


图 66