

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号  
特許第5962167号  
(P5962167)

(45) 発行日 平成28年8月3日 (2016.8.3)

(24) 登録日 平成28年7月8日 (2016.7.8)

(51) Int. Cl.	F I
GO 1 J 1/42 (2006.01)	GO 1 J 1/42 B
GO 1 J 1/44 (2006.01)	GO 1 J 1/44 N
GO 1 V 8/10 (2006.01)	GO 1 V 9/04 S
GO 1 N 21/35 (2014.01)	GO 1 N 21/35
HO 4 N 5/33 (2006.01)	HO 4 N 5/33

請求項の数 12 (全 20 頁)

(21) 出願番号	特願2012-95353 (P2012-95353)	(73) 特許権者	000002369
(22) 出願日	平成24年4月19日 (2012.4.19)		セイコーエプソン株式会社
(65) 公開番号	特開2013-221907 (P2013-221907A)		東京都新宿区新宿四丁目1番6号
(43) 公開日	平成25年10月28日 (2013.10.28)	(74) 代理人	100095728
審査請求日	平成27年3月25日 (2015.3.25)		弁理士 上柳 雅誉
		(74) 代理人	100107261
			弁理士 須澤 修
		(72) 発明者	山村 光宏
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	塚本 丈二

最終頁に続く

(54) 【発明の名称】 検出回路、センサーデバイス及び電子機器

(57) 【特許請求の範囲】

【請求項1】

焦電素子と、  
前記焦電素子からの検出信号がゲートに入力されるトランジスターを含むソースフォロワー回路と、  
前記トランジスターに流れる電流を遮断する第1スイッチング素子と、  
前記焦電素子と前記トランジスターのゲートとの接続を遮断する第2スイッチング素子と、を有し、  
前記第1スイッチング素子が前記トランジスターに流れる電流の遮断を解除する前に、  
前記第2スイッチング素子が前記焦電素子と前記トランジスターのゲートとの接続を遮断することを特徴とする検出回路。

【請求項2】

請求項1において、  
前記第2スイッチング素子と前記トランジスターのゲートとを接続する配線の電荷を放電させる放電スイッチをさらに有することを特徴とする検出回路。

【請求項3】

請求項2において、  
前記第1スイッチング素子が前記トランジスターに流れる電流の遮断を解除する後であって、かつ、前記第2スイッチング素子が前記焦電素子と前記トランジスターのゲートとの接続の遮断を解除する前に、前記放電スイッチによる放電が終了することを特徴とする

検出回路。

【請求項 4】

請求項 3 において、

前記第 2 スイッチング素子により前記ゲートと前記焦電素子との接続が解除される前に、前記放電スイッチが放電動作を開始することを特徴とする検出回路。

【請求項 5】

請求項 1 乃至 4 のいずれか 1 項において、

前記ソースフォロワー回路は、

前記検出回路の出力ノードと低電位電源ノードとの間に設けられ、前記焦電素子からの検出信号がゲートに入力される第 1 の P 型トランジスターと、

高電位電源ノードと前記出力ノードとの間に設けられ、ゲートが基準電圧に設定される第 2 の P 型トランジスターと、

を有することを特徴とする検出回路。

【請求項 6】

請求項 5 において、

前記第 2 の P 型トランジスターのゲートに前記基準電圧を供給する基準電圧生成回路がさらに設けられ、

前記基準電圧生成回路は、前記高電位電源ノードと前記低電位電源ノードとの間に直列接続された第 3 の P 型トランジスターと第 4 の P 型トランジスターとを有し、

前記低電位電源ノードがドレインに接続された前記第 3 の P 型トランジスターのソースと、前記高電位電源ノードがソースに接続された前記第 4 の P 型トランジスターのドレインとの接続ノードが、前記基準電圧生成回路の出力ノードとされ、

前記第 3 の P 型トランジスターは、前記低電位電源ノードがゲートに接続され、

前記第 4 の P 型トランジスターは、前記基準電圧生成回路の出力ノードがゲートに接続されることを特徴とする検出回路。

【請求項 7】

請求項 6 において、

前記第 1 スイッチング素子は、前記第 1 の P 型トランジスター及び前記第 2 の P 型トランジスターに流れる電流を遮断する第 5 の P 型トランジスターであり、

前記基準電圧生成回路は、前記第 3 の P 型トランジスター及び前記第 4 の P 型トランジスターに流れる電流を遮断する第 6 の P 型トランジスターを有し、

前記第 5 の P 型トランジスター及び前記第 6 の P 型トランジスターのゲートに同一信号が供給されることを特徴とする検出回路。

【請求項 8】

請求項 1 乃至 7 のいずれか 1 項に記載の検出回路を含むことを特徴とするセンサーデバイス。

【請求項 9】

複数の行線と、

複数の列線と、

前記複数の行線と前記複数の列線の各 1 本に接続される複数の画素回路と、を有し、

前記複数の画素回路の各々は、

焦電素子と、

前記焦電素子からの検出信号がゲートに入力されるトランジスターを含むソースフォロワー回路と、

前記トランジスターに流れる電流を遮断する第 1 スイッチング素子と、

前記第 1 スイッチング素子が前記トランジスターに流れる電流の遮断を解除する前に、

前記焦電素子と前記トランジスターのゲートとの間を遮断する第 2 スイッチング素子と、

前記複数の行線の 1 本が駆動される期間に、前記焦電素子の電荷の変化に基づく信号を、前記複数の列線の 1 本に供給する画素選択スイッチと、

前記第 2 スイッチング素子と前記トランジスターのゲートとを接続する配線の電荷を放

10

20

30

40

50

電させる放電スイッチと、を含み、

駆動された前記 1 本の行線に接続された画素回路では、前記第 1 スイッチング素子が前記トランジスターに流れる電流の遮断を解除した後であって、かつ、前記第 2 スイッチング素子が前記焦電素子と前記トランジスターのゲートとの接続の遮断を解除する前に、前記放電スイッチによる放電を終了することを特徴とするセンサーデバイス。

【請求項 10】

請求項 9 において、

前記第 1 スイッチング素子は、前記 1 本の行線に接続された画素回路に共用されることを特徴とするセンサーデバイス。

【請求項 11】

請求項 1 乃至 7 のいずれか 1 項に記載の検出回路を含むことを特徴とする電子機器。

【請求項 12】

請求項 8 乃至 10 のいずれか 1 項に記載のセンサーデバイスを含むことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、焦電素子を備えた検出回路、センサーデバイス及び電子機器等に関する。

【背景技術】

【0002】

従来、焦電素子等を用いた赤外線検出回路が知られている。例えば人体からは、波長が  $10\ \mu\text{m}$  付近の赤外線が輻射されており、これを検出することで人体の存在や温度の情報を非接触で取得できる。従って、このような赤外線の検出回路を利用することで、侵入検知や物理量計測を実現できる。

【0003】

赤外線の検出回路の従来技術としては例えば非特許文献 1 に開示される技術が知られている。非特許文献 1 の従来技術では図 1 に示すように、直列接続されたトランジスター (JFET) と抵抗とから構成されるソースフォロワー回路により、焦電素子の焦電流を検出している。

【先行技術文献】

【非特許文献】

【0004】

【非特許文献 1】Daisuke Akai et al., "Pyroelectric infrared sensors with fast response time and high sensitivity using epitaxial PbZr, TiO<sub>3</sub> films on epitaxial -Al<sub>2</sub>O<sub>3</sub>/Si substrates", Sensors and Actuators A: Physical, Volumes 130-131, 14 August 2006, Pages 111-115, Elsevier Science B.V.

【発明の概要】

【発明が解決しようとする課題】

【0005】

非特許文献 1 では、各画素回路内のソースフォロア回路に常時電流が流れている。この電流は画素数の増加に伴って増大し、大きな電源電圧降下を引き起こすという問題があった。

【0006】

本発明の幾つかの態様によれば、画素回路内のソースフォロア回路に常時電流が流れることを抑制し、あるいは電流遮断時のノイズが焦電流に悪影響することを抑制できる検出回路、センサーデバイス及び電子機器を提供することができる。

【課題を解決するための手段】

【0007】

(1) 本発明の一態様は、  
焦電素子と、

10

20

30

40

50

前記焦電素子からの検出信号がゲートに入力されるトランジスターを含むソースフォロワー回路と、

前記トランジスターに流れる電流を遮断する第１スイッチング素子と、

前記焦電素子と前記トランジスターのゲートとの接続を遮断する第２スイッチング素子と、

を有する検出回路に関する。

【０００８】

本発明の一態様によれば、第１スイッチング素子がソースフォロワー回路内のトランジスターに流れる電流を遮断するので、画素回路内のソースフォロア回路に常時電流が流れることを抑制できる。ソースフォロワー回路内のトランジスターには比較的大きな電流が流れているので、第１スイッチング素子の遮断解除動作によりソースフォロワー回路を動作させる際に、スイッチングノイズを引き起こす。このスイッチングノイズが、トランジスターのゲート－ソース間寄生容量を介してゲートに伝達され、さらにゲートから焦電素子に伝達される虞がある。焦電素子にノイズが伝達されると、微小な焦電流による電荷はノイズの大きな電荷に埋もれてしまい、焦電流の変動に伴う電圧変化をソースフォロワー回路が検出できなくなる。第２スイッチング素子が焦電素子とトランジスターのゲートとの接続を遮断できるので、スイッチングノイズが焦電素子に伝達されることはない。なお、焦電素子からの焦電流は十分に小さいので、第２スイッチング素子のオン／オフによるスイッチングノイズは無視できる。

【０００９】

(２) 本発明の一態様では、前記第１スイッチング素子が前記トランジスターに流れる電流の遮断を解除する前に、前記第２スイッチング素子が前記焦電素子と前記トランジスターのゲートとの接続を遮断することができる。

【００１０】

それにより、ソースフォロワー回路が動作中にスイッチングノイズが焦電素子に伝達されることはない。なお、第１スイッチング素子の遮断動作時のスイッチングノイズが焦電素子に伝達されても問題はない。つまり、第１スイッチング素子がトランジスターに流れる電流を遮断するときに、第２スイッチング素子が焦電素子とトランジスターのゲートとの接続を維持していてもよい。このときソースフォロワー回路は動作停止状態だからである。

【００１１】

(３) 本発明の一態様では、前記第２スイッチング素子と前記トランジスターのゲートとを接続する配線の電荷を放電させる放電スイッチをさらに有することができる。

【００１２】

放電スイッチは、ゲートから第２スイッチング素子を接続する配線上にスイッチングノイズが重畳しているとき、そのスイッチングノイズを含む電荷を放電させることができる。

【００１３】

(４) 本発明の一態様では、前記第１スイッチング素子が前記トランジスターに流れる電流の遮断を解除した後であって、かつ、前記第２スイッチング素子が前記焦電素子と前記トランジスターのゲートとの接続の遮断を解除する前に、前記放電スイッチによる放電を終了することができる。

【００１４】

こうすると、第１スイッチング素子の動作によりスイッチングノイズが発生しても、そのノイズの電荷は放電スイッチにより放電され、放電後に第２スイッチング素子によりゲートと焦電素子とが接続されるので、ノイズの電荷が焦電素子に伝達されない。

【００１５】

(５) 本発明の一態様では、前記第２スイッチング素子により前記ゲートと前記焦電素子との接続が解除される前に、前記放電スイッチが放電動作を開始することができる。

【００１６】

放電スイッチのオン/オフによって、光照射後の焦電素子にチャージされた電荷と、焦電素子よりディスチャージされた光照射前の電荷との変化に基づく信号（電圧変化）を検出することができる。こうして、光照射前後の電圧変化を高感度にて検出することができる。

【0017】

（6）本発明の一態様では、

前記ソースフォロア回路は、

前記検出回路の出力ノードと低電位電源ノードとの間に設けられ、前記焦電素子からの検出信号がゲートに入力される第1のP型トランジスターと、

高電位電源ノードと前記出力ノードとの間に設けられ、ゲートが基準電圧に設定される第2のP型トランジスターと、

を有することができる。

10

【0018】

こうすると、第1、第2のP型トランジスターのしきい値電圧等の特性バラツキの影響が出力電圧に及ぶのを抑制できるため、素子特性のバラツキを原因とする出力電圧のバラツキの低減が可能になる。

【0019】

（7）本発明の一態様では、前記第2のP型トランジスターのゲートに前記基準電圧を供給する基準電圧生成回路がさらに設けられ、

前記基準電圧生成回路は、前記高電位電源ノードと前記低電位電源ノードとの間に直列接続された第3のP型トランジスターと第4のP型トランジスターとを有し、

20

前記低電位電源ノードがドレインに接続された前記第3のP型トランジスターのソースと、前記高電位電源ノードがソースに接続された前記第4のP型トランジスターのドレインとの接続ノードが、前記基準電圧発生回路の出力ノードとされ、

前記第3のP型トランジスターは、前記低電位電源ノードがゲートに接続され、

前記第4のP型トランジスターは、前記基準電圧発生回路の出力ノードをゲートに接続することができる。

【0020】

このように、基準電圧 $V_{cc}/2$ を生成する基準電圧発生回路の第3、第4のP型トランジスターは、ソースフォロワー回路の第1、第2のP型トランジスターと同じ構成となり、プロセスばらつきがあっても第1、第2のP型トランジスターと同じ傾向でばらつくので、相対的なばらつきが解消されて、プロセス変動への依存が少ない出力を確保することができる。特に、第1～第4のP型トランジスターのサイズを同一にすれば、プロセスばらつきの影響を最小にすることができる。

30

【0021】

（8）本発明の一態様では、

前記第1スイッチング素子は、前記第1のP型トランジスター及び前記第2のP型トランジスターに流れる電流を遮断する第5のP型トランジスターであり、

前記基準電圧生成回路は、前記第3のP型トランジスター及び前記第4のP型トランジスターに流れる電流を遮断する第6のP型トランジスターを有し、

40

前記第5のP型トランジスター及び前記第6のP型トランジスターのゲートに同一信号を供給することができる。

【0022】

これにより、ソースフォロワー回路と、それを駆動する基準電圧生成回路の双方での貫通電流を抑制して消費電力を低減できる。

【0023】

（9）本発明の他の態様は、上述の（1）～（8）の検出回路を含むセンサーデバイスを定義している。

【0024】

（10）本発明のさらに他の態様は、

50

複数の行線と、  
複数の列線と、  
前記複数の行線と前記複数の列線の各 1 本に接続される複数の画素回路と、  
を有し、  
前記複数の画素回路の各々は、  
焦電素子と、  
前記焦電素子からの検出信号がゲートに入力されるトランジスターを含むソースフォロ  
ワー回路と、  
前記トランジスターに流れる電流を遮断する第 1 スイッチング素子と、  
前記第 1 スイッチング素子が前記トランジスターに流れる電流の遮断を解除する前に、  
前記焦電素子と前記トランジスターのゲートとの間を遮断する第 2 スイッチング素子と、  
前記複数の行線の 1 本が駆動される期間に、前記焦電素子の電荷の変化に基づく信号を  
、前記複数の列線の 1 本に供給する画素選択スイッチと、  
前記第 2 スイッチング素子と前記トランジスターのゲートとを接続する配線の電荷を放  
電させる放電スイッチと、  
を含み、

駆動された前記 1 本の行線に接続された画素回路では、前記第 1 スイッチング素子が前  
記トランジスターに流れる電流の遮断を解除した後であって、かつ、前記第 2 スイッチ  
ング素子が前記焦電素子と前記トランジスターのゲートとの接続の遮断を解除する前に、前  
記放電スイッチによる放電を終了するセンサーデバイスに関する。

【0025】

こうすると、1 本の行線を駆動する期間毎に 1 本の行線に接続された画素回路から同時  
に読み出す際に、上述したスイッチングノイズが焦電素子に与える悪影響を排除できる。

【0026】

(11) 本発明のさらに他の態様では、前記第 1 スイッチング素子は、前記 1 本の行線  
に接続された画素回路に共用することができる。こうすると、1 本の行線に接続された画  
素回路に対して共用される一つの第 1 スイッチング素子を設けるだけでよく、1 本の行線  
に接続された画素回路の各々に第 1 スイッチング素子を設けなくて済む。

【0027】

(12) 本発明のさらに他の態様は、(1) ~ (8) の検出回路または (9) ~ (11)  
のセンサーデバイスを含む電子機器を定義している。

【図面の簡単な説明】

【0028】

【図 1】本発明の一実施形態に係る検出回路の回路図である。

【図 2】図 1 に示す検出回路の動作を示すタイミングチャートである。

【図 3】本発明の他の実施形態に係る検出回路の回路図である。

【図 4】図 3 に示す検出回路の動作を示すタイミングチャートである。

【図 5】2 つの P 型トランジスターを備えたソースフォロワー回路と基準電圧生成回路を  
備えた本発明のさらに他の実施形態に係る検出回路の回路図である。

【図 6】図 6 (A) (B) はセンサーデバイスの構成図である。

【図 7】増幅回路を備えた 1 本の列線に接続される複数の画素回路を示すブロック図であ  
る。

【図 8】増幅回路を示す回路図である。

【図 9】センサーデバイスのタイミングチャートである。

【図 10】複数の画素回路に対して一つの第 1 スイッチング素子を共用する変形例の回路  
図である。

【図 11】電子機器のブロック図である。

【図 12】テラヘルツカメラを含む体温測定装置 (電子機器) を示す図である。

【図 13】テラヘルツカメラの斜視図である。

【図 14】テラヘルツカメラのブロック図である。

10

20

30

40

50

**【発明を実施するための形態】****【0029】**

以下、本発明の好適な実施の形態について詳細に説明する。なお以下に説明する本実施形態は特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

**【0030】****１．第１実施形態**

図１に示す検出回路（画素回路ともいう）１Ａは、焦電素子２とソースフォロワー回路３とを含む基本回路を有する。図１に示す画素回路１Ａは、行線ＷＬ０により制御される画素選択スイッチＳＷ０に接続することができる。

10

**【0031】**

焦電素子２は、焦電キャパシター１０の容量ＣＰと抵抗ＲＰとにより、等価的に表される。焦電素子２には例えば波長が赤外帯域の光（赤外線）やテラヘルツの光（電磁波ともいう）等の光が入射され、焦電キャパシター１０の焦電体（強誘電体）１１には、焦電素子２の温度に応じた自発分極が発生している。そして電極１２、１３の表面電荷と電氣的に中性を保っている。

**【0032】**

ソースフォロワー回路３は、例えばＮ型のデプレッション・トランジスタＴＮと、プルダウン抵抗Ｒとを含む。

**【0033】**

20

Ｎ型のデプレッション・トランジスタＴＮと抵抗Ｒは、ＶＣＣのノード（広義には高電位電源ノード）とＧＮＤのノード（広義には低電位電源ノード）の間に直列に設けられ、ソースフォロワー回路３を構成している。

**【0034】**

Ｎ型トランジスタＴＮのゲートには、焦電素子２からの検出信号ＳＤ（検出電圧）が入力され、Ｎ型トランジスタＴＮのソースは、抵抗Ｒの一端に接続される。これらのトランジスタＴＮと抵抗Ｒによりソースフォロワー回路３が構成され、そのゲインはほぼ１になる。そしてＮ型トランジスタＴＮのソースに対応する出力ノードＮＱから、検出信号ＳＤの電圧変化に伴い変化する出力電圧ＶＯが出力される。

**【0035】**

30

本実施形態の画素回路１Ａは、焦電素子２とソースフォロワー回路３とを含む基本回路に、さらに追加の構成を備えている。第１スイッチング素子４は、Ｎ型トランジスタＴＮに流れる電流を遮断し、Ｎ型トランジスタＴＮと直列接続された例えばＰ型トランジスタにて形成されている。第２スイッチング素子５は、焦電素子２とＮ型トランジスタＴＮのゲートとの接続を遮断し、例えばＮ型トランジスタで形成されている。

**【0036】**

画素回路１Ａでは、第１スイッチング素子４のゲートに入力される信号ＸＯＮが、図２に示すように一定期間だけＬＯＷとなる。なお、信号ＸＯＮは、図１に示す行線ＷＬ０をアクティブとして画素選択スイッチＳＷ０をオンさせる水平走査信号の反転信号とすることができる。信号ＸＯＮがＨＩＧＨである期間は第１スイッチングトランジスタ４がオフされるので、ソースフォロワー回路３内のトランジスタＴＮに流れる電流を遮断して、画素回路１Ａ内のソースフォロワー回路３に常時電流が流れることを抑制できる。

40

**【0037】**

信号ＸＯＮがＬＯＷである期間に第１スイッチング素子４がオンする。このとき、従来のように光入射に起因して焦電素子２にて温度変化があると、その温度変化によって分極量に変化する焦電素子２に焦電流が流れ、検出信号ＳＤが変化する。この検出信号ＳＤがゲートに供給されるトランジスタＴＮは、そのソースに対応する出力ノードＮＱから、検出信号ＳＤの電圧変化に伴い変化する出力電圧ＶＯが出力される。

**【0038】**

このとき、第１スイッチング素子４がオン／オフされると、トランジスタＴＮのソー

50

ス電圧、チャネル電圧、ドレイン電圧が大きく変動する。これらの電圧変動がノイズとして、比較的大きなトランジスタ-TNのゲート寄生容量を介してトランジスタ-TNのゲートに伝達され、さらにゲートから焦電素子2に伝達される虞がある。

【0039】

もし焦電素子2にノイズが伝達されると、微小な焦電流による電荷はノイズの大きな電荷に埋もれてしまい、焦電流の変動に伴う電圧変化をソースフォロワー回路3が検出できなくなる。

【0040】

そこで、焦電素子2とトランジスタ-TNのゲートとの接続を遮断する第2スイッチング素子5を設けている。こうして、第1スイッチング素子4がオン/オフされる時には、第2スイッチング素子5により焦電素子2とトランジスタ-TNのゲートとの接続を遮断しておくことができる。それにより、スイッチングノイズがトランジスタ-TNのゲートに伝達されたとしても、そのスイッチングノイズが焦電素子2に伝達されることを防止できる。なお、第2スイッチング素子5はノイズの発生の少ないトランジスタで構成できるため、オン/オフ動作によるスイッチングノイズは無視できるほど小さくすることができる。

【0041】

特に、第1スイッチング素子4が図2の時刻t1にてオンされて遮断解除されたときに発生するノイズが問題となる。ソースフォロワー回路3が動作状態となり、ノイズが重畳された電荷に基づく検出信号SDが、ソースフォロワー回路3のトランジスタ-TNのゲートに供給された状態で検出動作が実施されてしまうからである。従って、本実施形態では、図2に示すように、時刻t1にて信号XONをLOWにして第1スイッチング素子4により遮断解除する時には、第2スイッチング素子5のゲートに供給される信号CNTをLOWとして、第2スイッチング素子5により焦電素子2とトランジスタ-TNのゲートとの接続を遮断している。

【0042】

図2の時刻t1後の時刻t2にて、第2スイッチング素子5のゲートに供給される信号CNTがHIGHとなるので、焦電素子2からの、ノイズが重畳されていない電荷に基づく検出信号SDが、ソースフォロワー回路3のトランジスタ-TNのゲートに供給されて、検出動作を実施できる。

【0043】

一方、第1スイッチング素子4が図2の時刻t4にて遮断動作する時のスイッチングノイズは、焦電素子2に伝達されても問題はない。つまり、第1スイッチング素子4がトランジスタ-TNに流れる電流を遮断するときに、第2スイッチング素子5が焦電素子2とトランジスタ-TNのゲートとの接続を維持していてもよい。このときソースフォロワー回路3は動作停止状態だからである。よって、第2スイッチング素子5のゲートに供給される信号CNTをLOWとして第2スイッチング素子5により遮断動作を開始する時刻t3は、時刻t4の前後の何れであってもよい。

【0044】

## 2. 第2実施形態

図3は、図1の検出回路(画素回路)1Aに放電スイッチ6を追加した検出回路(画素回路)1Bを示している。

【0045】

図3に示す放電スイッチは、第2スイッチング素子5とトランジスタ-TNのゲートとを接続する配線の電荷を放電させるスイッチであり、例えばN型トランジスタにて形成される。

【0046】

放電スイッチ6は、トランジスタ-TNのゲートと第2スイッチング素子5とを接続する配線上にスイッチングノイズが重畳しているとき、そのスイッチングノイズを含む電荷を放電させることができる。



## 【 0 0 4 7 】

図 4 は、図 3 に示す画素回路 1 B のタイミングチャートであり、信号 X O N の L O W 期間  $t_1 - t_6$  と、信号 C N C T の H I G H 期間  $t_3 - t_5$  は、図 2 と同様に設定されている。

## 【 0 0 4 8 】

放電スイッチ 6 による放電動作は、図 4 に示す時刻  $t_1$  の前から実施され、時刻  $t_1$  と時刻  $t_3$  との間の時刻  $t_2$  に終了させることができる。つまり、放電スイッチ 6 による放電動作は、第 1 スイッチング素子 4 がトランジスター T N に流れる電流の遮断を解除する時（図 4 の時刻  $t_1$ ）の後であって、かつ、第 2 スイッチング素子 5 が焦電素子 2 とトランジスター T N のゲートとの接続の遮断を解除する時（図 4 の時刻  $t_3$ ）よりも前の時刻  $t_2$  に終了させることができる。

10

## 【 0 0 4 9 】

こうすると、第 1 スイッチング素子 4 の動作によりスイッチングノイズが発生しても、そのノイズの電荷は放電スイッチ 6 により放電され、放電後に第 2 スイッチング素子 5 によりトランジスター T N のゲートと焦電素子 2 とが接続されるので、ノイズの電荷が焦電素子 2 に伝達されることはない。

## 【 0 0 5 0 】

また、放電スイッチ 6 による放電動作は、図 4 に示す時刻  $t_1$  と同時またはそれ以前から開始されていると良い。時刻  $t_1$  での第 1 スイッチング素子 4 の動作によりスイッチングノイズが発生しても、直ちにそのノイズの電荷を放電スイッチ 6 により放電できるからである。

20

## 【 0 0 5 1 】

また、第 2 スイッチング素子 5 によりトランジスター T N のゲートと焦電素子 2 との接続が解除される時刻  $t_5$  の前の時刻  $t_4$  に、放電スイッチ 6 が放電動作を開始することができる。

## 【 0 0 5 2 】

ここで、図 3 の放電スイッチ 6 がオフしている図 4 の期間  $t_2 - t_4$  では、焦電素子 2 に電荷がチャージされた状態である。その一方で、図 3 の放電スイッチ 6 が図 4 の時刻  $t_4$  でオンすると、光照射時に蓄えられた電荷がディスチャージされる。放電スイッチ 6 がオンされた後の焦電素子 2 の電荷は、光照射中にも拘わらず光照射がない時の電荷となる。つまり、ソースフォロア 回路 3 の出力電圧 V O は、光照射前後の焦電流を反映した電圧変化とる。なお、放電スイッチ 6 がオンしてソースフォロワー回路 3 のトランジスター T N のゲートに 0 V が印加されても、トランジスター T N はデプレッション型であるのでオンされて、光照射前の出力電圧 V O を出力することができる。

30

## 【 0 0 5 3 】

このように、第 2 スイッチング素子 5 がオンしている期間  $t_3 - t_5$  の途中で放電スイッチ 6 をオンさせることで、放電スイッチ 6 を電子チョッパーとして利用できる。つまり、図示しない機械式チョッパーにより光が継続して照射しているにも拘わらず、放電スイッチ 6 のオン / オフによって、期間  $t_3 - t_4$  での光照射後の焦電素子 2 の電荷と、期間  $t_4 - t_5$  での光照射前と等価のディスチャージ後の電荷との変化に基づく信号（電圧変化）を検出することができる。こうして、期間  $t_3 - t_5$  中に時系列で出力される光照射の前後の電圧変化 V O を高感度にて検出することができる。このため、各画素回路 1 B に増幅回路を設ける必要が必ずしもなく、画素回路 1 B を小型化することができる。

40

## 【 0 0 5 4 】

## 3 . 第 3 実施形態

## 3 . 1 . ソースフォロワー回路

図 5 は、本発明のさらに他の実施形態に係る検出回路（画素回路）1 C を示している。この画素回路 1 C のソースフォロワー回路 3 A は、図 3 に示す N 型デプレッション・トランジスター T N に代えて、第 1 の P 型トランジスター T P 1 と第 2 の P 型トランジスター T P 2 とを有する。図 5 に示す検出回路 1 C が、焦電素子 2、第 2 スイッチング素子 5 及

50

び放電スイッチ6を有する点は、図3と同じである。なお、検出回路1Cに接続される画素選択スイッチSW0は省略されている。

【0055】

第1のP型トランジスタTP1(P型MOSトランジスタ)は、出力ノードNQとGNDノード(低電位電源ノード)との間に設けられる。例えば図5ではTP1のソースが出力ノードNQに接続され、ドレインがGNDノードに接続され、焦電素子2からの検出信号SDがゲートに入力される。

【0056】

第2のP型トランジスタTP2(P型MOSトランジスタ)は、VCCノード(高電位電源ノード)と出力ノードNQとの間に設けられる。例えば図5ではTP2のソースがVCCノードに接続され、ドレインが出力ノードNQに接続され、ゲートが出力ノードNQと接続されて、そのゲートは基準電圧 $V_{cc}/2$ に設定される。

【0057】

また、P型トランジスタTP1の基板電位はTP1のソースの電位に設定される。またP型トランジスタTP2の基板電位はTP2のソースの電位に設定される。このようにP型トランジスタTP1、TP2の基板電位をそのソース電位に設定することで、基板バイアス効果によるTP1、TP2のしきい値電圧の変動を防止できるため、TP1とTP2のしきい値電圧を、より近づけることが可能になる。

【0058】

P型トランジスタTP1とTP2とは、そのゲート長及びゲート幅の両方を同一にして、P型トランジスタTP1、TP2のしきい値電圧等の素子特性を近づけることが可能になる。こうして、製造プロセス変動等に起因する出力電圧 $V_o$ の変動を抑制できる。

【0059】

図5に示すようにトランジスタTP2のゲートは基準電圧 $V_{cc}/2$ に設定されている。従って、トランジスタTP2のゲート・ソース間電圧はほとんど $V_{cc}/2$ であり、TP2は飽和領域で動作するため、TP2には、ほとんどゲート・ソース間電圧 $V_{cc}/2$ としきい値電圧だけで決まる電流が流れる。

【0060】

一方、トランジスタTP1はトランジスタTP2に直列接続されているため、TP1には同じ電流が流れる。そしてトランジスタTP1の基板電位は、トランジスタTP2と同様にソース電位に設定されている。従って、トランジスタTP1のしきい値電圧とトランジスタTP2のしきい値電圧を等しくできる。更にトランジスタTP1は飽和領域で動作し、トランジスタTP1とTP2が同一のトランジスタサイズ(ゲート幅、ゲート長が同一)であるとする、TP1のゲート・ソース間電圧は、TP2のゲート・ソース間電圧である $V_{cc}/2$ とほぼ同じ電圧になる。また、トランジスタTP1のゲートは第2スイッチング素子5を介して焦電素子2に接続され、TP1のゲートのノードNDとGNDの間には焦電素子10の抵抗RPが存在するため、ノードNDは定常的にはほぼ0Vに設定される。より正確には、放電スイッチ6がオンしているときにはノードNDは0Vであり、第2スイッチング素子5を介して焦電素子2がノードNDと接続された場合も、焦電素子2に蓄積された電荷は非常に小さいので、それが充電されたノードNDの電位はほぼ0Vである。従って、トランジスタTP1のソースノードである検出回路の出力ノードNQの電圧 $V_o$ は、定常的には $V_{cc}/2$ とほぼ同じ電圧に設定される。

【0061】

この状態で焦電素子2に光が照射されて焦電素子2の温度が変化すると、図4の期間 $t_3 - t_4$ では、発生した焦電流によりトランジスタTP1のゲート(ゲート容量)が過渡的に充電され、電圧が $V$ だけ変動する。このとき、トランジスタTP1とトランジスタTP2には等しい電流が流れるため、トランジスタTP1とトランジスタTP2のゲート・ソース間電圧が等しくなるようにノードNQの電圧が変化する。これにより、トランジスタTP1とトランジスタTP2のゲート・ソース間電圧は共に $V_{cc}/$

10

20

30

40

50

2 -  $V/2$  となり、このとき、TP1のソース電圧であるVQは、 $VQ = V_{cc}/2 + V/2$  となる。即ち、トランジスタTP1、TP2からなる回路はゲイン = 0.5のソースフォロワー回路3Aとして動作する。なお、ソースフォロワー回路3Aの電流を遮断する第1スイッチング素子4Aを、図1及び図3の第1スイッチング素子4として機能させることで、図4の期間 $t_4 - t_5$ での光照射前のディスチャージ電圧もサンプリングすることができる。

#### 【0062】

本実施形態の検出回路では、P型トランジスタTP1とTP2のしきい値電圧等が相殺されて、これらのしきい値電圧等の特性バラツキが出力電圧のバラツキとして現れることを抑制できる。従って、出力電圧のバラツキを低減でき、赤外線検出精度等を向上できる。

10

#### 【0063】

##### 3.2. 基準電圧発生回路

図5では、例えば画素回路1C中に、第2のP型トランジスタTP2のゲートに基準電圧 $V_{cc}/2$ を供給する基準電圧生成回路7を設けることができる。

#### 【0064】

基準電圧生成回路7は、高電位電源ノードと低電位電源ノードとの間に直列接続された第3のP型トランジスタTP3と第4のP型トランジスタTP4とを有する。低電位電源ノードがドレインに接続された第3のP型トランジスタTP3のソースと、高電位電源ノードがソースに接続された第4のP型トランジスタTP4のドレインとの接続ノードNRが、基準電圧発生回路7の出力ノードとされる。

20

#### 【0065】

第3のP型トランジスタTP3は低電源ノードがゲートに接続され、第4のP型トランジスタTP4は、基準電圧発生回路7の出力ノードNRがゲートに接続される。

#### 【0066】

つまり、基準電圧生成回路7の第3、第4のP型トランジスタTP3、TP4の構成は、焦電素子2に接続される第1、第2のP型トランジスタTP1、TP2と実質的に同じ構成である。第3のP型トランジスタTP3のゲートは低電位電源ノードの電圧0Vが供給されるが、焦電素子2の定常状態では第1のP型トランジスタTP1のゲート電圧SDは上述の通り0Vだからである。

30

#### 【0067】

ここで、基準電圧発生回路7の出力ノードNRの電圧は、焦電素子2が定常状態の時の第1、第2のP型トランジスタTP1、TP2と同様に第3、第4のトランジスタTP3、TP4が動作することで、 $V_{cc}/2$ の定電圧となる。よって、第2のP型トランジスタTP2のゲートに、基準電圧 $V_{cc}/2$ を供給することができる。

#### 【0068】

このように、基準電圧発生回路7の第3、第4のP型トランジスタTP3、TP4は、焦電素子2に接続される第1、第2のP型トランジスタTP1、TP2のソースフォロワー回路3Aと同じ構成となり、プロセスばらつきがあっても第1、第2のP型トランジスタTP1、TP2と同じ傾向となるので、プロセス変動への依存が少ない出力を確保することができる。特に、第1～第4のP型トランジスタTP1～TP4のサイズを同一にすれば、プロセスばらつきの影響を最小にすることができる。

40

#### 【0069】

##### 3.3. 第1のスイッチング素子

図5では、図1に示す第1スイッチング素子4と同様にして、ソースフォロワー回路3Aの電流を遮断する第1スイッチング素子4Aと、基準電圧発生回路7の電流を遮断する第1スイッチング素子4Bとを設けることができる。第1スイッチング素子4Aは第5のP型トランジスタTP5で形成でき、第1スイッチング素子4Bは第6のP型トランジスタTP6で形成できる。この場合、同一の信号XONにより第1スイッチング素子4A、4Bをオン/オフすることができる。

50

## 【 0 0 7 0 】

## 4 . センサーデバイス

## 4 . 1 . センサーデバイスの概要

図 6 ( A ) ( B ) に本発明の一実施形態に係るセンサーデバイス 1 0 0 を示す。このセンサーデバイス 1 0 0 は、センサーアレイ 1 0 1 と、行選択回路 ( 行ドライバー ) 1 1 0 と、読み出し回路 1 2 0 と、画素駆動回路 1 3 0 とを含む。また A / D 変換部 1 4 0 、制御回路 1 5 0 を含むことができる。このセンサーデバイス 1 0 0 を用いることで、例えば赤外線カメラやテラヘルツカメラなどを実現できる。

## 【 0 0 7 1 】

センサーアレイ 1 0 1 ( 焦点面アレイ ) には、複数の行線 ( ワード線、走査線 ) W L と複数の列線 ( データ線 ) D L とが設けられる。なお、図 1 、図 3 及び図 5 に示す信号 X O N 、 C N C T 及び R S T の信号線は、図 6 ( A ) ( B ) では省略されている。

10

## 【 0 0 7 2 】

センサーアレイ 1 0 1 の各センサーセルは、各行線 W L と各列線 D L の交差位置に対応する場所に配置 ( 形成 ) される。例えば図 6 ( B ) のセンサーセル S 1 1 は、行線 W L 1 と列線 D L 1 の交差位置に対応する場所に配置されている。他のセンサーセルも同様である。

## 【 0 0 7 3 】

行選択回路 1 1 0 は、複数の行線 W L に接続される。そして各行線 W L の選択動作を行う。例えば図 1 ( B ) のような Q V G A ( 3 2 0 × 2 4 0 画素 ) のセンサーアレイ 1 0 1 ( 焦点面アレイ ) を例にとれば、行線 W L 0 、 W L 1 、 W L 2 、 ... W L 2 3 9 を順次選択 ( 走査 ) する動作を行う。即ちこれらの行線 W L を選択する信号 ( ワード選択信号 ) をセンサーアレイ 1 0 1 に出力する。

20

## 【 0 0 7 4 】

読み出し回路 1 2 0 は、複数の列線 D L に接続される。そして各列線 D L の読み出し動作を行う。Q V G A のセンサーアレイ 1 0 1 を例にとれば、列線 D L 0 、 D L 1 、 D L 2 、 ... D L 3 1 9 からの検出信号 ( 検出電流、検出電荷 ) を読み出す動作を行う。例えば読み出し回路 1 2 0 には、複数の列線の各列線に対応して各増幅回路が設けられる。そして、各増幅回路は、対応する列線の信号の増幅処理を行う。

## 【 0 0 7 5 】

画素駆動回路 1 3 0 は、図 1 、図 3 及び図 5 に示す信号 X O N 、 C N C T 及び R S T の信号線を駆動する。

30

## 【 0 0 7 6 】

A / D 変換部 1 4 0 は、読み出し回路 1 2 0 において取得された検出電圧 ( 測定電圧、到達電圧 ) をデジタルデータに A / D 変換する処理を行う。そして A / D 変換後のデジタルデータ D O U T を出力する。具体的には、A / D 変換部 1 4 0 には、複数の列線 D L に対応して各 A / D 変換器が設けられる。そして、各 A / D 変換器は、対応する列線 D L において読み出し回路 1 2 0 により取得された検出電圧の A / D 変換処理を行う。なお、複数の列線 D L に対応して 1 つの A / D 変換器を設け、この 1 つの A / D 変換器を用いて、複数の列線 D L の検出電圧を時分割に A / D 変換してもよい。また読み出し回路 1 2 0 の増幅回路を設けなくて、各列線の信号を直接に A / D 変換部 1 4 0 の各 A / D 変換器に入力するようにしてもよい。

40

## 【 0 0 7 7 】

制御回路 1 5 0 ( タイミング生成回路 ) は、各種の制御信号を生成して、行選択回路 1 1 0 、読み出し回路 1 2 0 、画素駆動回路 1 3 0 及び A / D 変換部 1 4 0 のタイミングを制御する信号などを生成して出力する。

## 【 0 0 7 8 】

センサーデバイス 1 0 0 の制御回路 1 5 0 は、このセンサーデバイスが搭載される電子機器側からタイミング信号を入力することができる。例えば図 6 ( A ) に示すように、電子機器は、波長が赤外帯域の光 ( 赤外線 ) やテラヘルツ帯域の光 ( 電磁波ともいう ) を断

50

続制御が可能な光源 160 を有することができる。光源 160 は、例えば連続発光する光源部 170 と、チョッパ 172 と、チョッパ 172 を回転駆動するモーター 180 と、モーター 180 の回転量を符号化するエンコーダー 190 とを有することができる。

【0079】

チョッパ 172 は、光源部 170 からの連続光をセンサーアレイ 101 に透過させる透過部 172A と、連続光を遮断する遮断部 172B とが形成された円盤であり、モーター 180 の駆動により透過部 172A と遮断部 172B とが交互にセンサーアレイ 101 と対向される。チョッパ 172 の透過部 172A がセンサーアレイ 101 と対向する期間を少なくとも一水平走査期間 (1H) 以上、例えば一垂直期間 (1V) とすることができる。センサーデバイス 100 の制御回路 150 は、エンコーダー 190 からの出力が基準タイミング信号として入力されることで、一水平走査期間 (1H)、一垂直走査期間 (1V) やその他のタイミング信号を生成することができる。

10

【0080】

#### 4.2. 読み出し回路

本実施形態では、各画素回路に増幅回路を設ける必要はないが、図 6(A) に示す読み出し回路 120 が、複数の列線 DL0 ~ DL319 に接続される複数の増幅回路をさらに有することができ、図 7 には列線 DL0 に接続される増幅回路 122 を示している。

【0081】

図 7 に示す増幅回路 122 は、図 8 に示すように、第 1 入力端 IN1 に入力される列線 DL0 からの電圧と第 2 入力端 IN2 に入力される基準電圧 Vref (例えば Vcc/2) とを差動増幅して出力端に出力するアンプ OP と、第 1 入力端 IN1 と出力端 OUT とをショートさせるアンプスイッチ ASW と、を有する。

20

【0082】

1 本の列線 DL に一つの増幅回路 122 が設けられることで、1 本の列線 DL に画素選択スイッチ SW0, SW1, SW2, ... を介して接続される列方向の複数の画素回路 1 (図 7 に示すセンサーセル S00, S10, S20, ... 内の画素回路 1) で一つの増幅回路 122 が共用される。アンプスイッチ ASW をオンするとアンプ OP は第 1 入力端 S1 と出力端 OUT とがショートされて不動作状態となる。一水平走査期間 (1H) 毎にアンプ OP を不動作状態として、1 本の列線 DL に流れる複数の画素回路 1 からの電圧同士が影響するクロストークを防止できる。なお、画素選択スイッチ SW0, SW1, SW2, ... は、対応する画素回路に含めることができる。

30

【0083】

#### 4.3. センサーデバイスの動作

図 9 は、センサーデバイス 100 の動作を示すタイミングチャートである。図 6(A) のチョッパ 172 の透過部 172A がセンサーアレイ 101 と対向する期間が、図 9 に示す一垂直走査期間 (1V) である。図 9 に示す一垂直走査期間 (1V) に亘って、図 6(A) に示すセンサーアレイ 101 に光が照射されることになる。

【0084】

図 6(A) に示す制御回路 150 は、エンコーダー 190 からの基準タイミング信号に基づいて、一垂直走査期間 (1V) を示す一垂直走査信号を生成し、さらに行線 WL の本数に基づいて一水平走査期間 (1H) を示す一水平走査信号を生成する。

40

【0085】

図 6(A) に示す行選択回路 110 は、複数の行線 WL0, WL1, ... に、図 9 に示すように一水平走査期間 (1H) 毎にアクティブとなる電位の走査信号を供給する。例えば行線 WL1 の電位がアクティブとなると、図 7 に示す行線 WL1 に接続された 320 個の画素回路 1 にて、図 7 に示す画素選択スイッチ SW1 が一水平走査期間 (1H) に亘って同時にオンされる。

【0086】

これにより、行線 WL1 に接続された 320 個の画素回路 1 の各々にてセンサーデバイス 100 の焦電素子 2 からの検出信号 SD の電圧変化に伴う出力電圧 VO が画素選択スイ

50

ッチSW1を介して、複数の列線DL0～DL239に出力可能となる。

#### 【0087】

本実施形態では、画素駆動回路130は、一水平走査期間(1H)の途中で、アクティブ電位である例えば行線WL1に接続された一行分の320個の画素回路1内の放電スイッチ6を、複数のリセット線RL0～RL239の1本(RL1)に供給されるリセット信号RST(図9)によりオンさせている。

#### 【0088】

一水平走査期間(1H)は一垂直期間(1V)に含まれるので図6(A)のセンサーアレイ101に光が入射されており、しかも一水平走査期間(1H)中では対応する画素回路1の画素選択スイッチSW1がオンされて、出力電圧VOを対応する列線DL0に出力することができる。

10

#### 【0089】

ここで、信号XONは例えば水平走査信号WLの反転信号とすることができる。また、アンプスイッチASWのオフ期間の開始時期は、信号CNTがHIGHとなる時刻t3の後に設定され、アンプスイッチASWのオフ期間の終了時期は、信号CNTのHIGH期間が終了する時刻t5と一致させることができる。

#### 【0090】

図9に示すように、アンプスイッチASWは、一水平走査期間(1H)内であって放電スイッチ6がオンされる前にオフされる。信号CNTがHIGHとなって第2スイッチング素子5がオンしてから放電スイッチ6がオンされるまでの第1期間T1に、焦電素子2に電荷がチャージされた光照射後の焦電流を反映した電圧が出力される。その後放電スイッチ6がオンされた後の第2期間T2では照射前の焦電流を反映した電圧が出力される。図8に示すアンプOPは、上述した第1,第2期間T1+T2ではアンプスイッチASWがオフとなって動作状態であり、この期間の途中にて放電スイッチ6がオンされる。アンプOPは第1期間T1での光照射時の焦電流に伴う電圧と第2期間T2での光照射前の焦電流に伴う電圧との差分(電圧変化) V1を増幅する。

20

#### 【0091】

なお、図9でも図4に示す時刻t1～t6の関係と等しく設定されているので、図4にて説明した作用効果をセンサーデバイス100の各画素でも奏することができる。

30

#### 【0092】

図8に示すように、アンプOPは列線DL0に接続される第1容量C1と、第1入力端IN1と出力端OUTとに接続される第2容量C2とをさらに有する。ここで、列線DL0からの電圧変化を V1とし、アンプOPの出力端OUTの電圧変化を V2とし、第1容量C1の容量値をC1とし、第2容量C2の容量値をC2としたとき、 $V2 = V1 \times C1 / C2$ が成立する。

#### 【0093】

このように、アンプOPの出力端OUTの電圧変化 V2には第1入力端IN1の電圧変化V1のみが利得C1/C2で増幅されるので、焦電流の変化を電圧変化として増幅できる。

40

#### 【0094】

なお、図6(A)に示すセンサーデバイス100のようにセンサーセルをマトリクス状に有する場合には、図1、図3及び図5に示す一つの画素回路1A,1B,1C内の特定の回路を全画素回路に設けることなく、特定回路を複数の画素回路にて共用することができる。

#### 【0095】

例えば、図10は一つの第1スイッチング素子4を、1本の行線WLに接続される一行分の画素回路1Aにて共用する例を示している。1本の行線WLに接続される一行分の画素回路1Aは、同一の一水平走査期間(1H)内にて同時に動作するので、その一行分の

50

画素回路 1 A 内のソースフォロワー回路 3 を一つの第 1 スイッチング素子 4 により同時に不動作とすることができる。

【 0 0 9 6 】

この他、図 3 に示す第 1 スイッチング素子 4 も図 1 0 と同様に共用することができる。また、図 5 に示す基準電圧発生回路 7 も 1 本の行線 W L に接続される一行分の画素回路 1 A にて共用することができる。もし、図 5 に示す基準電圧発生回路 7 に第 1 スイッチング素子 4 B を設けないのであれば、その基準電圧発生回路 7 は図 6 ( A ) ( B ) に示すセンサーアレイ 1 0 1 中の全画素回路に共用することができる。

【 0 0 9 7 】

#### 5 . 電子機器

図 1 1 に本実施形態のセンサーデバイス含む電子機器の構成例を示す。この電子機器は、図 6 ( A ) に示す光源 1 6 0 の他に、光学系 2 0 0 、センサーデバイス 2 1 0 ( 検出回路 ) 、画像処理部 2 2 0 、処理部 2 3 0 、記憶部 2 4 0 、操作部 2 5 0 、表示部 2 6 0 を含む。なお本実施形態の電子機器は図 1 1 の構成に限定されず、その構成要素の一部 ( 例えば光学系、操作部、表示部等 ) を省略したり、他の構成要素を追加したりするなどの種々の変形実施が可能である。

【 0 0 9 8 】

光学系 2 0 0 は、例えば 1 又は複数のレンズや、これらのレンズを駆動する駆動部などを含む。そしてセンサーデバイス 2 1 0 への物体像の結像などを行う。また必要であればフォーカス調整なども行う。

【 0 0 9 9 】

センサーデバイス 2 1 0 は、図 6 等で説明したものであり、物体像の撮像処理を行う。画像処理部 2 2 0 は、センサーデバイス 2 1 0 からのデジタルの画像データ ( 画素データ ) に基づいて、画像補正処理などの各種の画像処理を行う。

【 0 1 0 0 】

処理部 2 3 0 は、電子機器の全体の制御を行ったり、電子機器内の各ブロックの制御を行ったりする。この処理部 2 3 0 は、例えば C P U 等により実現される。記憶部 2 4 0 は、各種の情報を記憶するものであり、例えば処理部 2 3 0 や画像処理部 2 2 0 のワーク領域として機能する。操作部 2 5 0 は、ユーザが電子機器を操作するためのインターフェースとなるものであり、例えば各種ボタンや G U I ( Graphical User Interface ) 画面などにより実現される。表示部 2 6 0 は、例えばセンサーデバイス 2 1 0 により取得された画像や G U I 画面などを表示するものであり、液晶ディスプレイや有機 E L ディスプレイなどの各種のディスプレイや投写型表示装置などにより実現される。

【 0 1 0 1 】

なお本実施形態は、 F P A ( Focal Plane Array: 焦点面アレイ ) を用いた赤外線カメラや赤外線カメラを用いた電子機器に適用できる。赤外線カメラを適用した電子機器としては、例えば夜間の物体像を撮像するナイトビジョン機器、物体の温度分布を取得するサーモグラフィー機器、人の侵入を検知する侵入検知機器、物体の物理情報の解析 ( 測定 ) を行う解析機器 ( 測定機器 ) 、火や発熱を検知するセキュリティー機器、工場などに設けられる F A ( Factory Automation ) 機器などが想定できる。ナイトビジョン機器を車載機器に適用すれば、車の走行時に夜間の人等の姿を検知して表示することができる。またサーモグラフィー機器に適用すれば、インフルエンザ検疫等に利用することができる。

【 0 1 0 2 】

図 1 2 に本実施形態の焦電型光検出器または焦電型光検出装置を含む電子機器の例として、前述のセンサーデバイス 1 1 0 の焦電型光検出器の光吸収材の吸収波長をテラヘルツ域としたセンサーデバイスをテラヘルツ光センサーデバイスとして用い、テラヘルツ光照射ユニットと組み合わせて特定物質探知装置 1 0 0 0 を構成した例を示す。

【 0 1 0 3 】

特定物質探知装置 1 0 0 0 は、制御ユニット 1 0 1 0 と、照射光ユニット 1 0 2 0 と、光学フィルター 1 0 3 0 と、撮像ユニット 1 0 4 0 と、表示部 1 0 5 0 とを備えて構成さ

10

20

30

40

50

れている。撮像ユニット１０４０は、図示しないレンズなどの光学系と前述の焦電型光検出器の光吸収材の吸収波長をテラヘルツ域としたセンサーデバイスを含んで構成されている。

#### 【０１０４】

制御ユニット１０１０は、本装置全体を制御するシステムコントローラーを含み、該システムコントローラーは制御ユニットに含まれる光源駆動部および画像処理ユニットを制御する。照射光ユニット１０２０は、テラヘルツ光（波長が１００μm～１０００μmの範囲にある電磁波を指す。）出射するレーザー装置と光学系を含み、テラヘルツ光を検査対象の人物１０６０に照射する。なお、照射光ユニット１０２０は、図６（Ａ）の光源１６０と同様に光照射を断続できるが、必ずしもチョッパー１７２を使用せずにレーザー発振自体をオン／オフしてもよい。人物１０６０からの反射テラヘルツ光は、探知対象である特定物質１０７０の分光スペクトルのみを通過させる光学フィルター１０３０を介して撮像ユニット１０４０に受光される。撮像ユニット１０４０で生成された画像信号は、制御ユニット１０１０の画像処理ユニットで所定の画像処理が施され、その画像信号が表示部１０５０へ出力される。そして人物１０６０の衣服内等に特定物質１０７０が存在するか否かにより受光信号の強度が異なるので特定物質１０７０の存在が判別できる。

10

#### 【０１０５】

図１３は、周波数がテラヘルツの光を受信して撮像するテラヘルツカメラ１１００を示している。テラヘルツカメラ１１００は、筐体１１１０にスリット１１２０とレンズ１１３０を有する。

20

#### 【０１０６】

図１４に示すように、筐体１１１０内には、テラヘルツ光源１２００と、光源駆動回路１２１０とが設けられ、スリット１１２０を介して対象物に向けてテラヘルツ光を出射する。

#### 【０１０７】

対象物からの反射光はレンズ１１３０にて集光され、上述した実施形態に係るセンサーデバイス（焦電型光検出装置）１２２０にて検出される。センサーデバイス１２２０からのデジタル信号は、演算処理装置１２３０にて演算処理され、描画処理回路１２４０で描画処理されて、記憶装置１２５０に記憶され、あるいは表示装置１２６０に表示される。

30

#### 【０１０８】

テラヘルツカメラの用途は様々であり、上述した以外の分野、例えば薬剤検査の分野では、製薬時には決勝投薬多形の混入、薬効成分の偏り、空洞または異物の有無が検査される。調剤時には、薬の種類や分量のチェックや異物混合が検査される。投薬時には、投薬すべき薬剤の種類や成分が正しいかがチェックされる。この他、テラヘルツカメラを各種工場ラインに組み込めば、製品の全数チェックが可能となる。

#### 【０１０９】

なお、上記のように本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは、当業者には容易に理解できるであろう。従って、このような変形例はすべて本発明の範囲に含まれるものとする。例えば、明細書又は図面において、少なくとも一度、より広義または同義な異なる用語（高電位電源ノード、低電位電源ノード等）と共に記載された用語（ＶＣＣノード、ＧＮＤノード）は、明細書又は図面のいかなる箇所においても、その異なる用語に置き換えることができる。また検出回路、センサーデバイス、電子機器の構成、動作も本実施形態で説明したものに限定に限定されず、種々の変形実施が可能である。

40

#### 【符号の説明】

#### 【０１１０】

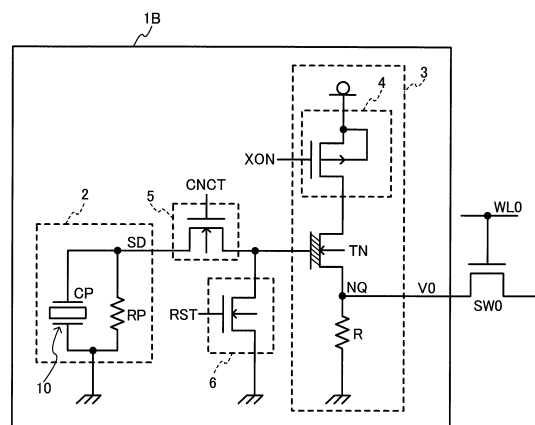
１Ａ，１Ｂ，１Ｃ 画素回路、２ 焦電素子、３，３Ａ ソースフォロア回路、４，４Ａ，４Ｂ 第１スイッチング素子、５ 第２スイッチング素子、６ 放電スイッチ、７ 基準電圧発生回路、１０ 焦電キャパシター、１００ センサーデバイス、１２０ 読み出し回路、１２２ 増幅回路、１３０ 画素駆動回路、１６０ 光源、１７０ 光源部、

50

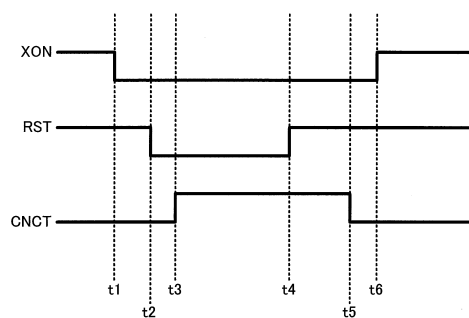


1 7 2 チョッパー、W L 行線、D L 列線、O P アンプ、I N 1 第 1 入力端、I N 2 第 2 入力端、O U T 出力端、C 1 第 1 容量、C 2 第 2 容量、A S W アンプスイッチ、S W 0 , S W 1 , S W 2 画素選択スイッチ、T P 1 , T P 2 第 1 , 第 2 の P 型トランジスター、1 H 一水平走査期間

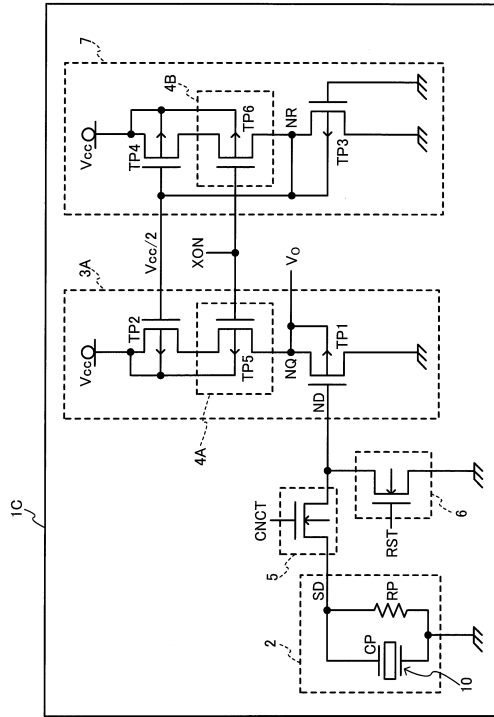
【圖 3】



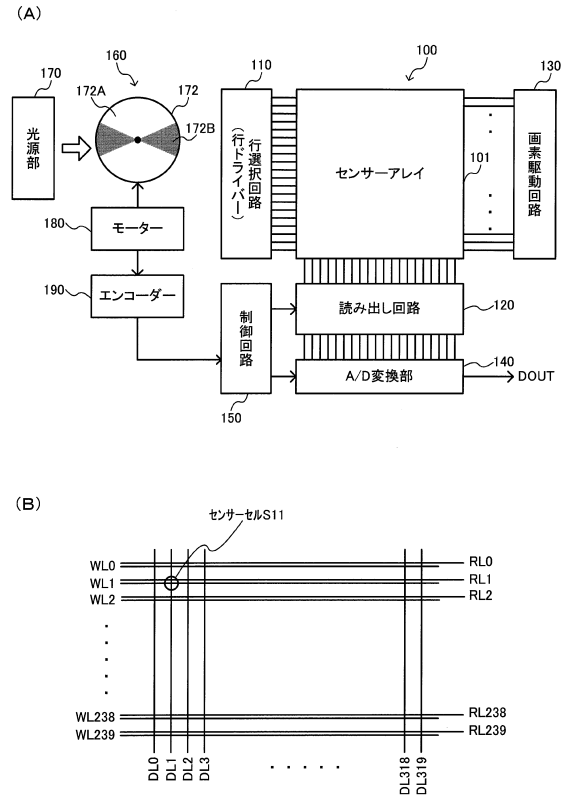
【 図 4 】



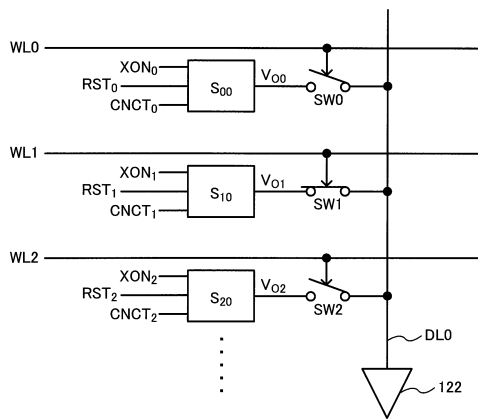
【図 5】



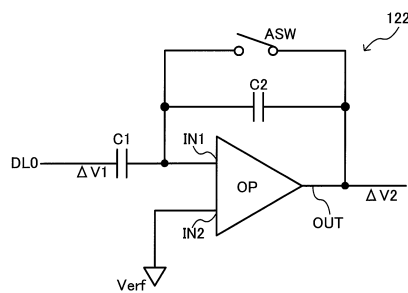
【図 6】



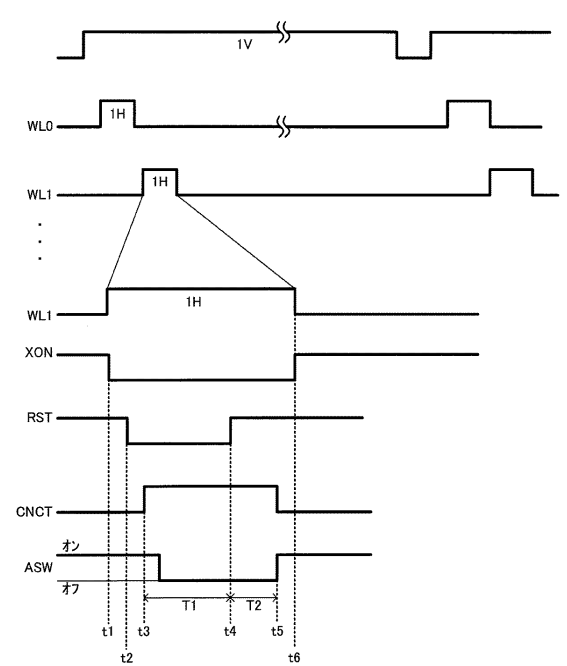
【図 7】



【図 8】



【図 9】





---

フロントページの続き

(56)参考文献 特開昭61-002025(JP,A)  
特開2009-010640(JP,A)  
特開2010-050636(JP,A)  
特開2009-253559(JP,A)  
米国特許第04808822(US,A)  
特開2005-303325(JP,A)  
特開平05-145853(JP,A)  
特開2009-068863(JP,A)

(58)調査した分野(Int.Cl., DB名)

G01J	1/00 - 1/60
G01J	5/00 - 5/62
G01N	21/35
G01V	8/10
H04N	5/33
G08B	13/191