(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年4月8日(08.04.2021)

WIPO | PCT

(10) 国際公開番号
WO 2021/064502 A1

(51) 国際特許分類:
H01L 29/786 (2006.01) *G06N 3/063* (2006.01)
G06F 9/38 (2006.01) *G06F 17/10* (2006.01)

(21) 国際出願番号： PCT/IB2020/058696

(22) 国際出願日： 2020年9月18日(18.09.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2019-183393 2019年10月4日(04.10.2019) JP
特願 2019-190753 2019年10月18日(18.10.2019) JP

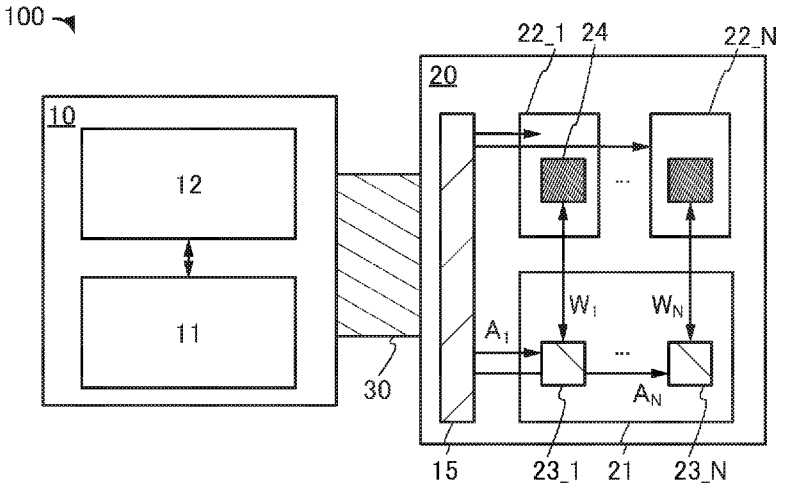
(71) 出願人: 株式会社半導体エネルギー研究所 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

(72) 発明者: 石津貴彦 (ISHIZU, Takahiko). 青木健 (AOKI, Takeshi); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 古谷一馬 (FURUTANI, Kazuma); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 池田隆之 (IKEDA, Takayuki); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 山崎舜平 (YAMAZAKI, Shunpei); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP).

(54) **Title:** SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置

図1A



(57) **Abstract:** This semiconductor device has: a CPU; and an accelerator. The accelerator has a first memory circuit, a drive circuit, and a product-sum operation circuit. The first memory circuit has a first data holding unit, a second data holding unit, and a data readout unit. The first data holding unit, the second data holding unit, and the data readout unit have a first transistor. The first transistor has a metal oxide in a channel formation region. First data held in the first data holding unit and second data held in the second data holding unit are weighted data to be inputted to the product-sum operation circuit. The product-sum operation circuit has a function for performing a product-sum operation using the weighted data and input data which is inputted via the drive circuit. The product-sum operation circuit and the drive circuit have a second transistor. The second transistor has silicon in the channel formation region. The first transistor and the

WO 2021/064502 A1

[続葉有]

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

— 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

second transistor are provided so as to be stacked.

(57) 要約:半導体装置は、ＣＰＵとアクセラレータを有する。アクセラレータは、第１メモリ回路と駆動回路と積和演算回路を有する。第１メモリ回路は、第１データ保持部と第２データ保持部とデータ読出し部を有する。第１データ保持部と第２データ保持部とデータ読出し部は第１トランジスタを有する。第１トランジスタは、チャネル形成領域に金属酸化物を有する。第１データ保持部に保持される第１データと第２データ保持部に保持される第２データは、積和演算回路に入力される重みデータである。積和演算回路は、重みデータと、駆動回路を介して入力される入力データとの積和演算を行う機能を有する。積和演算回路と駆動回路は第２トランジスタを有する。第２トランジスタは、チャネル形成領域にシリコンを有する。第１トランジスタと第２トランジスタは積層して設けられる。

明細書

発明の名称

半導体装置

技術分野

［０００１］

本明細書は、半導体装置等について説明する。

［０００２］

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する本発明の一態様の技術分野としては、半導体装置、撮像装置、表示装置、発光装置、蓄電装置、記憶装置、表示システム、電子機器、照明装置、入力装置、入出力装置、それらの駆動方法、又はそれらの製造方法、を一例として挙げることができる。

背景技術

［０００３］

ＣＰＵ（Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）等を含む半導体装置を有する電子機器が普及している。このような電子機器では、大量のデータを高速に処理するため、半導体装置の性能向上に関する技術開発が活発である。高性能化を実現する技術としては、例えば、ＧＰＵ（Ｇｒａｐｈｉｃｓ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）等のアクセラレータとＣＰＵとを密結合させた、所謂ＳｏＣ（Ｓｙｓｔｅｍ　ｏｎ　Ｃｈｉｐ）化がある。ＳｏＣ化によって高性能化した半導体装置では、発熱、及び消費電力の増加が問題となってくる。

［０００４］

ＡＩ（Ａｒｔｉｆｉｃｉａｌ　Ｉｎｔｅｌｌｉｇｅｎｃｅ）技術では、計算量とパラメータ数が膨大になるため、演算量が増大する。演算量の増大は、発熱、および消費電力を増加させる要因となるため、演算量を低減するためのアーキテクチャが盛んに提案されている。代表的なアーキテクチャとして、Ｂｉｎａｒｙ　Ｎｅｕｒａｌ　Ｎｅｔｗｏｒｋ（ＢＮＮ）、およびＴｅｒｎａｒｙ　Ｎｅｕｒａｌ　Ｎｅｔｗｏｒｋ（ＴＮＮ）があり、回路規模縮小、および低消費電力化に対して特に有効となる（例えば特許文献１を参照）。

［０００５］

例えば、ＴＮＮでは、もともと３２ビット、もしくは１６ビット精度で表現されたデータを、「＋１」、「０」または「－１」の３値に圧縮することで、計算量とパラメータ数を大幅に削減できる。またＢＮＮでは、もともと３２ビット、もしくは１６ビット精度で表現されたデータを、「＋１」または「－１」の２値に圧縮することで、計算量とパラメータ数を大幅に削減できる。ＢＮＮまたはＴＮＮは、回路規模縮小や低消費電力化に有効なため、限られたハードウエア資源において低消費電力が求められるアプリケーションと相性が良いと考えられている。

［先行技術文献］

［特許文献］

［０００６］

［特許文献１］国際公開第２０１９／０７８９２４号

発明の概要

発明が解決しようとする課題

［０００７］

ＴＮＮの演算には３値のデータを用いる。３値のデータをＳＲＡＭ（Ｓｔａｔｉｃ　ＲＡＭ）に記憶する場合、メモリセル内のトランジスタ数が増えてしまう。そのため、半導体装置の小型化が難しくなるといった虞がある。またトランジスタの微細化が進むにつれて、トランジスタのリーク電流に伴う消費電力が増大し、半導体装置全体の消費電力に対する寄与が大きくなるといった虞がある。

［０００８］

また全結合なニューラルネットワークの積和演算では、演算時にメモリからデータを読み出す頻度が大きくなるため、ビット線の充放電エネルギーを如何にして低減するかが低消費電力化を図るうえで重要となる。ビット線の充放電エネルギーを低減するため、ビット線を短くする場合、メモリセルアレイの面積が増大するため、周辺回路の面積が著しく増大する虞がある。またビット線を短くすることを目的として、貼り合わせ技術などを用いてメモリセルアレイを３次元で集積化する技術を用いる場合、電気的に接続するための接続部の間隔が大きいため、却って寄生容量等が増えてしまい充放電エネルギーを低減できない虞がある。

［０００９］

本発明の一態様は、小型化された半導体装置を提供することを課題の一とする。または、本発明の一態様は、低消費電力化された半導体装置を提供することを課題の一とする。または、新規な構成の半導体装置を提供することを課題の一とする。

［００１０］

なお、本発明の一態様は、必ずしも上記の課題の全てを解決する必要はなく、少なくとも一の課題を解決できるものであればよい。また、上記の課題の記載は、他の課題の存在を妨げるものではない。これら以外の課題は、明細書、特許請求の範囲、図面などの記載から、自ずと明らかとなるものであり、明細書、特許請求の範囲、図面などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

［００１１］

本発明の一態様は、ＣＰＵと、アクセラレータと、を有し、アクセラレータは、第１メモリ回路と、駆動回路と、積和演算回路と、を有し、第１メモリ回路は、第１データ保持部、第２データ保持部、およびデータ読出し部を有し、第１データ保持部、第２データ保持部、およびデータ読出し部はそれぞれ、第１トランジスタを有し、第１トランジスタは、チャネル形成領域に金属酸化物を有する第１半導体層を有し、第１データ保持部に保持される第１データおよび第２データ保持部に保持される第２データは、積和演算回路に入力される重みデータであり、積和演算回路は、重みデータと、駆動回路を介して入力される入力データと、の積和演算を行う機能を有し、積和演算回路および駆動回路はそれぞれ、第２トランジスタを有し、第２トランジスタは、チャネル形成領域にシリコンを有する第２半導体層を有し、第１トランジスタと、第２トランジスタと、は積層して設けられる、半導体装置である。

［００１２］

本発明の一態様は、ＣＰＵと、アクセラレータと、を有し、アクセラレータは、第１メモリ回路と、駆動回路と、積和演算回路と、を有し、第１メモリ回路は、第１データ保持部、第２データ保持部、およびデータ読出し部を有し、第１データ保持部、第２データ保持部、およびデータ読出し部はそれぞれ、第１トランジスタを有し、第１トランジスタは、チャネル形成領域に金属酸化物を

有する第１半導体層を有し、第１データ保持部に保持される第１データおよび第２データ保持部に保持される第２データは、積和演算回路に入力される重みデータであり、積和演算回路は、重みデータと、駆動回路を介して入力される入力データと、の積和演算を行う機能を有し、積和演算回路および駆動回路はそれぞれ、第２トランジスタを有し、第２トランジスタは、チャネル形成領域にシリコンを有する第２半導体層と、導電性を付与する不純物元素を有するウェル領域と、ウェル領域および第２半導体層に接して設けられた酸化物層と、を有し、第１トランジスタと、第２トランジスタと、は積層して設けられる、半導体装置である。

［００１３］

本発明の一態様は、ＣＰＵと、アクセラレータと、を有し、アクセラレータは、第１メモリ回路と、駆動回路と、積和演算回路と、を有し、第１メモリ回路は、第１データ保持部、第２データ保持部、およびデータ読出し部を有し、第１データ保持部、第２データ保持部、およびデータ読出し部はそれぞれ、第１トランジスタを有し、第１トランジスタは、チャネル形成領域に金属酸化物を有する第１半導体層を有し、第１データ保持部に保持される第１データおよび第２データ保持部に保持される第２データは、積和演算回路に入力される重みデータであり、積和演算回路は、重みデータと、駆動回路を介して入力される入力データと、の積和演算を行う機能を有し、積和演算回路および駆動回路はそれぞれ、第２トランジスタを有し、第２トランジスタは、チャネル形成領域にシリコンを有する第２半導体層を有し、ＣＰＵは、バックアップ回路が設けられたフリップフロップを有するＣＰＵコアを有し、バックアップ回路は、第３トランジスタを有し、第３トランジスタは、チャネル形成領域に金属酸化物を有する第３半導体層を有し、第１トランジスタおよび第３トランジスタと、第２トランジスタと、は積層して設けられる、半導体装置である。

［００１４］

本発明の一態様は、ＣＰＵと、アクセラレータと、を有し、アクセラレータは、第１メモリ回路と、駆動回路と、積和演算回路と、を有し、第１メモリ回路は、第１データ保持部、第２データ保持部、およびデータ読出し部を有し、第１データ保持部、第２データ保持部、およびデータ読出し部はそれぞれ、第１トランジスタを有し、第１トランジスタは、チャネル形成領域に金属酸化物を有する第１半導体層を有し、第１データ保持部に保持される第１データおよび第２データ保持部に保持される第２データは、積和演算回路に入力される重みデータであり、積和演算回路は、重みデータと、駆動回路を介して入力される入力データと、の積和演算を行う機能を有し、積和演算回路および駆動回路はそれぞれ、第２トランジスタを有し、第２トランジスタは、チャネル形成領域にシリコンを有する第２半導体層と、導電性を付与する不純物元素を有するウェル領域と、ウェル領域および第２半導体層に接して設けられた酸化物層と、を有し、ＣＰＵは、バックアップ回路が設けられたフリップフロップを有するＣＰＵコアを有し、バックアップ回路は、第３トランジスタを有し、第３トランジスタは、チャネル形成領域に金属酸化物を有する第３半導体層を有し、第１トランジスタおよび第３トランジスタと、第２トランジスタと、は積層して設けられる、半導体装置である。

［００１５］

本発明の一態様において、バックアップ回路は、ＣＰＵが非動作時において、フリップフロップに保持されたデータを電源電圧の供給が停止した状態で保持する機能を有する、半導体装置が好ましい。

［００１６］

本発明の一態様において、第１データ保持部および第２データ保持部は、第１トランジスタを非導通状態とすることで第１データおよび第２データを保持する機能を有する、半導体装置が好ましい。

［００１７］

本発明の一態様において、第１メモリ回路は、第１データを読み出すための第１ビット線、および第２データを読み出すための第２ビット線に電気的に接続され、第１ビット線及び第２ビット線は、第２トランジスタが設けられた基板表面に垂直または概略垂直に設けられた第１配線を介して積和演算回路に電気的に接続される、半導体装置が好ましい。

［００１８］

本発明の一態様において、金属酸化物は、Ｉｎと、Ｇａと、Ｚｎと、を含む、半導体装置が好ましい。

［００１９］

なおその他の本発明の一態様については、以下で述べる実施の形態における説明、および図面に記載されている。

発明の効果

［００２０］

本発明の一態様は、小型化された半導体装置を提供することができる。または、本発明の一態様は、低消費電力化された半導体装置を提供することができる。または、新規な構成の半導体装置を提供することができる。

［００２１］

複数の効果の記載は、他の効果の存在を妨げるものではない。また、本発明の一形態は、必ずしも、例示した効果の全てを有する必要はない。また、本発明の一形態について、上記以外の課題、効果、および新規な特徴については、本明細書の記載および図面から自ずと明らかになるものである。

図面の簡単な説明

［００２２］

図１Ａおよび図１Ｂは、半導体装置の構成例を説明する図である。

図２Ａおよび図２Ｂは、半導体装置の構成例を説明する図である。

図３Ａ、図３Ｂおよび図３Ｃは、半導体装置の構成例を説明する図である。

図４は、半導体装置の構成例を説明する図である。

図５Ａ、図５Ｂおよび図５Ｃは、半導体装置の構成例を説明する図である。

図６Ａおよび図６Ｂは、半導体装置の構成例を説明する図である。

図７Ａおよび図７Ｂは、半導体装置の構成例を説明する図である。

図８Ａおよび図８Ｂは、半導体装置の構成例を説明する図である。

図９Ａおよび図９Ｂは、半導体装置の構成例を説明する図である。

図１０Ａおよび図１０Ｂは、半導体装置の構成例を説明する図である。

図１１は、半導体装置の構成例を説明する図である。

図１２は、ＣＰＵの構成例を説明する図である。

図１３Ａおよび図１３Ｂは、ＣＰＵの構成例を説明する図である。

図１４は、ＣＰＵの構成例を説明する図である。

図１５は、半導体装置の構成例を示す図である。
図１６Ａおよび図１６Ｂは、トランジスタの構成例を示す図である。
図１７Ａ乃至図１７Ｃは、トランジスタの構成例を示す図である。
図１８Ａ乃至図１８Ｃは、トランジスタの構成例を示す図である。
図１９ＡはＩＧＺＯの結晶構造の分類を説明する図である。図１９ＢはＣＡＡＣ－ＩＧＺＯ膜のＸＲＤスペクトルを説明する図である。図１９ＣはＣＡＡＣ－ＩＧＺＯ膜の極微電子線回折パターンを説明する図である。
図２０は、集積回路の構成例を説明する図である。
図２１Ａおよび図２１Ｂは、集積回路の構成例を説明する図である。
図２２Ａおよび図２２Ｂは、集積回路の適用例を説明する図である。
図２３Ａおよび図２３Ｂは、集積回路の適用例を説明する図である。
図２４Ａ、図２４Ｂおよび図２４Ｃは、集積回路の適用例を説明する図である。
図２５は、集積回路の適用例を説明する図である。
図２６は、実施例を説明するための図である。

発明を実施するための形態

［００２３］
以下に、本発明の実施の形態を説明する。ただし、本発明の一形態は、以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明の一形態は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。
［００２４］
なお本明細書等において、「第１」、「第２」、「第３」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第１」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第２」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第１」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。
［００２５］
図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。
［００２６］
本明細書において、例えば、電源電位ＶＤＤを、電位ＶＤＤ、ＶＤＤ等と省略して記載する場合がある。これは、他の構成要素（例えば、信号、電圧、回路、素子、電極、配線等）についても同様である。
［００２７］
また、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“＿１”、”＿２”、”［ｎ］”、”［ｍ，ｎ］”等の識別用の符号を付記して記載する場合がある。例えば、２番目の配線ＧＬを配線ＧＬ［０］と記載する。
［００２８］
（実施の形態１）

本発明の一態様である半導体装置の構成、および動作等について説明する。

［００２９］

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器などは、半導体装置を有すると言える場合がある。

［００３０］

図１Ａおよび図１Ｂは、本発明の一態様である半導体装置１００を説明するための図である。図１Ａおよび図１Ｂにおける半導体装置１００では、一例として、ＣＰＵ１０、アクセラレータ２０およびバス３０を図示している。ＣＰＵ１０は、ＣＰＵコア１１およびバックアップ回路１２を有する。アクセラレータ２０は、駆動回路１５、演算処理部２１、メモリ部２２＿１乃至２２＿Ｎ（Ｎは自然数）を有する。駆動回路１５は、メモリ部２２を駆動するための回路である。演算処理部２１は、演算回路２３＿１乃至２３＿Ｎを有する。駆動回路１５は、メモリ部２２＿１乃至２２＿Ｎおよび演算処理部２１を駆動するための回路である。メモリ部２２＿１乃至２２＿Ｎはそれぞれ、メモリ回路２４を有する。メモリ部２２＿１乃至２２＿Ｎは、デバイスメモリ、共有メモリという場合がある。メモリ回路２４は、チャネル形成領域を有する半導体層２９を有するトランジスタ２５を有する。

［００３１］

ＣＰＵ１０は、オペレーティングシステムの実行、データの制御、各種演算やプログラムの実行など、汎用の処理を行う機能を有する。ＣＰＵ１０は、ＣＰＵコア１１を有する。ＣＰＵコア１１は、１つまたは複数のＣＰＵコアに相当する。またＣＰＵ１０は、電源電圧の供給が停止してもＣＰＵコア１１内のデータを保持できるバックアップ回路１２を有する。電源電圧の供給は、電源ドメイン（パワードメイン）からのパワースイッチ等による電気的な切り離しによって制御することができる。なお電源電圧は、駆動電圧という場合がある。バックアップ回路１２として、例えば、酸化物半導体（Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）をチャネル形成領域に有するトランジスタ（ＯＳトランジスタ）を有するメモリが好適である。

［００３２］

ＯＳトランジスタで構成されるバックアップ回路１２は、Ｓｉ　ＣＭＯＳで構成することができるＣＰＵコア１１と積層して設けることができる。バックアップ回路１２の面積はＣＰＵコア１１の面積より小さいため、回路面積の増加を招くことなく、ＣＰＵコア上にバックアップ回路１２を配置することができる。バックアップ回路１２は、ＣＰＵコア１１が有するレジスタのデータを保持する機能を有する。バックアップ回路１２は、データ保持回路ともいう。

［００３３］

なおＯＳトランジスタを有するバックアップ回路１２を備えたＣＰＵコア１１の構成の詳細については、実施の形態３でも説明する。

［００３４］

アクセラレータ２０は、ホストプログラムから呼び出されたプログラム（カーネル、またはカーネルプログラムとも呼ばれる。）を実行する機能を有する。アクセラレータ２０は、例えば、グラフィック処理における行列演算の並列処理、ニューラルネットワークの積和演算の並列処理、科学

技術計算における浮動小数点演算の並列処理などを行うことができる。

［００３５］

メモリ部２２＿１乃至２２＿Ｎは、アクセラレータ２０が処理するデータを記憶する機能を有する。具体的には、ニューラルネットワークの積和演算の並列処理に用いる重みデータW_1乃至W_Nを記憶することができる。重みデータW_1乃至W_Nは、ＴＮＮに用いる「＋１」、「０」または「－１」の３値で表されるデータである。メモリ部２２＿１乃至２２＿Ｎが有するメモリ回路２４では、３値のデータを２つのデータ保持部において２値の電圧値を保持することで、３値のデータを保持する機能を有する。なお３値に限らず、４値以上のデータとすることも可能である。

［００３６］

演算処理部２１とメモリ部２２＿１乃至２２＿Ｎとは、ビット線ＰＢＬおよびビット線ＮＢＬを介して接続される。メモリ部２２＿１乃至２２＿Ｎのいずれか一は、一対のビット線ＰＢＬおよびビット線ＮＢＬに接続されたメモリ回路２４を有する。なお一対のビット線ＰＢＬおよびビット線ＮＢＬは、ビット線ＢＬと省略して表す場合がある。一対のビット線ＰＢＬおよびビット線ＮＢＬはそれぞれ、演算回路２３＿１乃至２３＿Ｎのいずれか一に接続される。一対のビット線ＰＢＬおよびビット線ＮＢＬは、重みデータW_1乃至W_Nをメモリ部２２（メモリ部２２＿１乃至２２＿Ｎのいずれか一をメモリ部２２という）から演算回路２３（演算回路２３＿１乃至２３＿Ｎのいずれか一を演算回路２３という）に与えるための配線である。

［００３７］

駆動回路１５と演算処理部２１とは、データ入力線A_{IN}を介して接続される。演算回路２３＿１乃至２３＿Ｎのいずれか一は、データ入力線A_{IN}を介して入力データA_1乃至A_Nのいずれか一が与えられる。入力データA_1乃至A_Nは、ＴＮＮに用いる「＋１」または「－１」の２値で表されるデータである。データ入力線A_{IN}は、演算回路２３に入力データA_1乃至A_Nを与えるための配線である。当該構成とすることで、Ｔｅｒｎａｒｙ　Ｎｅｕｒａｌ　Ｎｅｔｗｏｒｋ（ＴＮＮ）といったアーキテクチャに基づく演算処理を演算処理部２１で効率的に行うことができる。

［００３８］

メモリ回路２４において、トランジスタ２５が有する半導体層２９は、酸化物半導体である。つまり、トランジスタ２５は、ＯＳトランジスタである。メモリ回路２４は、ＯＳトランジスタを有するメモリ（以下、ＯＳメモリともいう。）が好適である。ＯＳメモリは、ＯＳトランジスタを非導通状態とすることで電圧値に応じた電荷を保持する機能を有する。

［００３９］

金属酸化物のバンドギャップは２．５ｅＶ以上あるため、ＯＳトランジスタは極小のオフ電流をもつ。一例として、ソースとドレイン間の電圧が３．５Ｖ、室温（２５℃）下において、チャネル幅１μｍ当たりのオフ電流を1×10^{-20}Ａ未満、1×10^{-22}Ａ未満、あるいは1×10^{-24}Ａ未満とすることができる。すなわち、ドレイン電流のオン／オフ電流比を２０桁以上１５０桁以下とすることができる。そのため、ＯＳメモリは、ＯＳトランジスタを介して保持ノードからリークする電荷量が極めて少ない。従って、ＯＳメモリは不揮発性メモリ回路として機能できるため、アクセラレータのパワーゲーティングが可能となる。

［００４０］

高密度で集積化された半導体装置は、回路の駆動による熱が発生する場合がある。この発熱により、トランジスタの温度が上がることで、当該トランジスタの特性が変化して、電界効果移動度の

変化や動作周波数の低下などが起こることがある。ＯＳトランジスタは、Ｓｉトランジスタよりも熱耐性が高いため、温度変化による電界効果移動度の変化が起こりにくく、また動作周波数の低下も起こりにくい。さらに、ＯＳトランジスタは、温度が高くなっても、ドレイン電流がゲート－ソース間電圧に対して指数関数的に増大する特性を維持しやすい。そのため、ＯＳトランジスタを用いることにより、高い温度環境下での安定した動作を行うことができる。

［００４１］

ＯＳトランジスタに適用される金属酸化物は、Ｚｎ酸化物、Ｚｎ－Ｓｎ酸化物、Ｇａ－Ｓｎ酸化物、Ｉｎ－Ｇａ酸化物、Ｉｎ－Ｚｎ酸化物、Ｉｎ－Ｍ－Ｚｎ酸化物（Ｍは、Ｔｉ、Ｇａ、Ｙ、Ｚｒ、Ｌａ、Ｃｅ、Ｎｄ、ＳｎまたはＨｆの中から選ばれるいずれか一または複数）などがある。特にＭとしてＧａを用いる金属酸化物をＯＳトランジスタに採用する場合、元素の比率を調整することで電界効果移動度等の電気特性に優れたトランジスタとすることができるため、好ましい。また、インジウムおよび亜鉛を含む酸化物に、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

［００４２］

ＯＳトランジスタの信頼性、電気特性の向上のため、半導体層に適用される金属酸化物は、ＣＡＡＣ－ＯＳ、ＣＡＣ－ＯＳ、ｎｃ－ＯＳなどの結晶部を有する金属酸化物であることが好ましい。ＣＡＡＣ－ＯＳとは、ｃ－ａｘｉｓ－ａｌｉｇｎｅｄ ｃｒｙｓｔａｌｌｉｎｅ ｏｘｉｄｅ ｓｅｍｉｃｏｎｄｕｃｔｏｒの略称である。ＣＡＣ－ＯＳとは、Ｃｌｏｕｄ－Ａｌｉｇｎｅｄ Ｃｏｍｐｏｓｉｔｅ ｏｘｉｄｅ ｓｅｍｉｃｏｎｄｕｃｔｏｒの略称である。ｎｃ－ＯＳとは、ｎａｎｏｃｒｙｓｔａｌｌｉｎｅ ｏｘｉｄｅ ｓｅｍｉｃｏｎｄｕｃｔｏｒの略称である。

［００４３］

ＣＡＡＣ－ＯＳは、ｃ軸配向性を有し、かつａ－ｂ面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域との間で格子配列の向きが変化している箇所を指す。

［００４４］

ＣＡＣ－ＯＳは、キャリアとなる電子（または正孔）を流す機能と、キャリアとなる電子を流さない機能とを有する。電子を流す機能と、電子を流さない機能とを分離させることで、双方の機能を最大限に高めることができる。つまり、ＣＡＣ－ＯＳをＯＳトランジスタのチャネル形成領域に用いることで、高いオン電流と、極めて低いオフ電流との双方を実現できる。

［００４５］

金属酸化物は、バンドギャップが大きく、電子が励起されにくいこと、ホールの有効質量が大きいことなどから、ＯＳトランジスタは、一般的なＳｉトランジスタと比較して、アバランシェ崩壊等が生じにくい場合がある。従って、例えばアバランシェ崩壊に起因するホットキャリア劣化等を抑制できる。ホットキャリア劣化を抑制できることで、高いドレイン電圧でＯＳトランジスタを駆動することができる。

［００４６］

ＯＳトランジスタは、電子を多数キャリアとする蓄積型トランジスタである。そのため、ｐｎ接

合を有する反転型トランジスタ（代表的には、Ｓｉトランジスタ）と比較して短チャネル効果の一つであるＤＩＢＬ（Ｄｒａｉｎ－Ｉｎｄｕｃｅｄ　Ｂａｒｒｉｅｒ　Ｌｏｗｅｒｉｎｇ）の影響が小さい。つまり、ＯＳトランジスタは、Ｓｉトランジスタよりも短チャネル効果に対する高い耐性を有する。

［００４７］

ＯＳトランジスタは、短チャネル効果に対する耐性が高いために、ＯＳトランジスタの信頼性を劣化させずに、チャネル長を縮小できるので、ＯＳトランジスタを用いることで回路の集積度を高めることができる。チャネル長が微細化するのに伴いドレイン電界が強まるが、上掲したように、ＯＳトランジスタはＳｉトランジスタよりもアバランシェ崩壊が起きにくい。

［００４８］

また、ＯＳトランジスタは、短チャネル効果に対する耐性が高いために、Ｓｉトランジスタよりもゲート絶縁膜を厚くすることが可能となる。例えば、チャネル長及びチャネル幅が５０ｎｍ以下の微細なトランジスタにおいても、１０ｎｍ程度の厚いゲート絶縁膜を設けることが可能な場合がある。ゲート絶縁膜を厚くすることで、寄生容量を低減することができるので、回路の動作速度を向上できる。またゲート絶縁膜を厚くすることで、ゲート絶縁膜を介したリーク電流が低減されるため、静的消費電流の低減につながる。

［００４９］

以上より、アクセラレータ２０は、ＯＳメモリであるメモリ回路２４を有することで電源電圧の供給が停止してもデータを保持できる。そのため、アクセラレータ２０のパワーゲーティングが可能となり、消費電力の大幅な低減を図ることができる。

［００５０］

ＯＳトランジスタで構成されるメモリ回路２４は、Ｓｉ　ＣＭＯＳで構成することができる演算回路２３と積層して設けることができる。そのため、回路面積の増加を招くことなく、配置することができる。

［００５１］

メモリ回路２４は、ＮＯＳＲＡＭの回路構成を有することが好ましい。「ＮＯＳＲＡＭ（登録商標）」とは、「Ｎｏｎｖｏｌａｔｉｌｅ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　ＲＡＭ」の略称である。ＮＯＳＲＡＭは、メモリセルが２トランジスタ型（２Ｔ）、又は３トランジスタ型（３Ｔ）ゲインセルであり、アクセストランジスタがＯＳトランジスタであるメモリのことをいう。ＯＳトランジスタはオフ状態でソースとドレインとの間を流れる電流、つまりリーク電流が極めて小さい。ＮＯＳＲＡＭは、リーク電流が極めて小さい特性を用いてデータに応じた電荷をメモリ回路内に保持することで、不揮発性メモリとして用いることができる。特にＮＯＳＲＡＭは保持しているデータを破壊することなく読み出しすること（非破壊読み出し）が可能なため、データ読み出し動作のみを大量に繰り返す、ニューラルネットワークの積和演算の並列処理に適している。

［００５２］

演算処理部２１は、デジタル値を用いた演算処理を行う機能を有する。デジタル値はノイズの影響を受けにくい。そのためアクセラレータ２０は、高い精度の演算結果が要求される演算処理を行うのに適している。なお演算処理部２１は、Ｓｉ　ＣＭＯＳ、すなわちシリコンをチャネル形成領域に有するトランジスタ（Ｓｉトランジスタ）で構成されること好ましい。当該構成とすることでＯＳトランジスタと積層して設けることができる。

［００５３］
駆動回路１５は、メモリ部２２＿１乃至２２＿Ｎに重みデータを保持させるための機能を有する。また駆動回路１５は、演算回路２３＿１乃至２３＿Ｎに入力データを与えてニューラルネットワークの積和演算等を実行させるための機能を有する。

［００５４］
ＯＳトランジスタで構成されるメモリ回路２４と演算回路２３＿１乃至２３＿Ｎとは、駆動回路１５および演算回路２３＿１乃至２３＿Ｎが設けられる基板表面に対して概略垂直な方向に延在して設けられるビット線ＮＢＬおよびビット線ＰＢＬを介して電気的に接続される。なお「概略垂直」とは、８５度以上９５度以下の角度で配置されている状態をいう。なお本明細書において図１Ｂ等に図示するＸ方向、Ｙ方向、およびＺ方向は、それぞれが互いに直交または交差する方向である。また、Ｘ方向およびＹ方向は基板面に対して平行または概略平行であり、Ｚ方向は基板面に対して垂直または概略垂直である。

［００５５］
演算回路２３＿１乃至２３＿Ｎは、入力データA_1乃至A_Nおよび重みデータW_1乃至W_Nを用いて、整数演算、単精度浮動小数点演算、倍精度浮動小数点演算などの処理のいずれか一を行う機能を有する。演算回路２３は、積和演算といった同じ処理を繰り返し実行する機能を有する。

［００５６］
なお演算回路２３＿１乃至２３＿Ｎは、メモリ回路２４のビット線ＮＢＬおよびビット線ＰＢＬ毎、つまり一列（Ｃｏｌｕｍｎ）毎に１つの演算回路２３を設ける構成とする（Ｃｏｌｕｍｎ－Ｐａｒａｌｌｅｌ　Ｃａｌｃｕｌａｔｉｏｎ）。当該構成とすることで、メモリ回路２４の１行分（最大で全ビット線）のデータを並列で演算処理することができる。ＣＰＵ１０を用いた積和演算に比べて、ＣＰＵとメモリ間のデータバスサイズ（３２ビット、など）に制限されないことから、Ｃｏｌｕｍｎ－Ｐａｒａｌｌｅｌ　Ｃａｌｃｕｌａｔｉｏｎでは、演算の並列度を大幅に上げることができるため、ＡＩ技術であるディープニューラルネットワークの学習（深層学習）、浮動小数点演算を行う科学技術計算などの膨大な演算処理に係る演算効率の向上を図ることができる。加えてメモリ回路２４から出力されるデータの演算を完了させて読み出すことができるため、メモリアクセス（ＣＰＵとメモリ間のデータ転送やＣＰＵでの演算）で生じる電力を削減することができ、発熱および消費電力の増加を抑制することができる。さらに、１つの演算回路２３とメモリ回路２４の物理的な距離を近づけること、例えば積層によって配線距離が短くできることで、信号線に生じる寄生容量を削減できるため、低消費電力化が可能である。

［００５７］
演算回路２３＿１乃至２３＿Ｎにおいて、回路を構成するトランジスタの半導体層はシリコンである。半導体層としてシリコンを有するトランジスタをＳｉトランジスタという。Ｓｉトランジスタは、シリコン基板に埋め込み酸化（Ｂｕｒｒｉｅｄ　ｏｘｉｄｅ）によって形成された絶縁層（ＢＯＸ層ともいう）と、絶縁層上の単結晶シリコンと、を有するＳＯＩ基板を用いて形成される構成が好ましい。シリコン基板は、例えばｐ型の単結晶シリコン基板である。

［００５８］
Ｓｉトランジスタが設けられる領域のシリコン基板には、導電性を付与する不純物元素が付加されたウェル領域を重ねて設けることができる。ウェル領域は、ウェル領域の電位を独立して変化させることで、ボトムゲート電極として機能させることができる。そのため、Ｓｉトランジスタのし

きい値電圧を制御することができる。特に、ウェル領域に負の電位を印加することにより、Ｓｉトランジスタのしきい値電圧をより大きくし、オフ電流を低減することが可能となる。したがって、ウェル領域に負の電位を印加することで、Ｓｉトランジスタのゲート電極に印加する電位が０Ｖのときのドレイン電流を小さくすることができる。またしきい値電圧を制御することを目的としたチャネル形成領域への不純物元素の付加が不要になるため、しきい値電圧のばらつきを低減でき、電源電圧を下げることができる。その結果、演算回路２３＿１乃至２３＿Ｎにおける消費電力を低減でき、演算効率の向上を図ることができる。

［００５９］

バス３０は、ＣＰＵ１０とアクセラレータ２０とを電気的に接続する。つまりＣＰＵ１０とアクセラレータ２０とは、バス３０を介してデータ伝送を行うことができる。

［００６０］

次いで図１Ａ、図１Ｂの構成とすることによる利点について説明する。図２Ａでは、図１Ｂの模式図をｚ方向から見た平面視の模式図である。なお図２Ａでは、６個の演算回路２３＿１乃至２３＿６をｙ方向に並べて配置し、ｚ方向で重なるように６個のメモリ部２２＿１乃至２２＿６を図示している。また図２Ａでは、データ入力線A_{IN}を介して６個の演算回路２３＿１乃至２３＿６に入力データA_1乃至A_6を与える駆動回路１５を図示している。

［００６１］

なお図２Ａにおける演算回路２３＿１乃至２３＿６では、一対のビット線ＮＢＬ、ＰＢＬのデータに基づく３値で表されるデータＷ（W_1乃至W_6）、およびデータ入力線A_{IN}の入力データＡ（A_1乃至A_6）と、の積（＝Ｗ×Ａ）に相当する出力信号Y_1乃至Y_6が得られる。

［００６２］

また図２Ａにおいて、演算回路２３＿１乃至２３＿６はそれぞれ、メモリ部２２＿１乃至２２＿６とビット線ＮＢＬ、ＰＢＬ（図２Ａでは１個の開口部で図示）で接続される。つまり、ｚ方向に延びた配線を介して接続されるよう図示している。つまり、ビット線ＮＢＬ、ＰＢＬによって演算回路２３＿１乃至２３＿６と、メモリ部２２＿１乃至２２＿６と、を短い距離に配置することができる。そのため、ビット線ＮＢＬ、ＰＢＬと、そのほかの素子との寄生容量を削減することができる。そのためビット線の充放電による電荷を削減でき、低消費電力化および演算効率の向上を図ることができる。

［００６３］

加えて、図２Ａの構成では、メモリ部２２＿１乃至２２＿６の全てのトランジスタはＯＳトランジスタであるため、Ｓｉトランジスタで構成される演算回路２３＿１乃至２３＿６上に積層することができる。そのため、演算回路とメモリ部とを重ねて配置することができるため、メモリ部が配置されて増加する分の回路面積を縮小することができる。そのため、半導体装置を小型化することができる。加えて、駆動回路１５から延びて設けられるデータ入力線A_{IN}を短くすることができる。

［００６４］

また図２Ｂでは、演算回路２３＿１乃至２３＿６とメモリ部２２＿１乃至２２＿６とが交互にｙ方向に並んで配置した場合の模式図を、図２Ａと同様にして図示している。図２Ｂの例は、メモリ回路のデータ保持回路をＳＲＡＭ（Ｓｔａｔｉｃ　ＲＡＭ）とするようにメモリ回路をＳｉトランジスタで構成する場合である。そのため、図２Ａのように演算処理部とメモリ部とを重ねて配置せず、平面上に並べて配置する構成となる。

［００６５］

図２Ｂにおいて、演算回路２３＿１乃至２３＿６はそれぞれ、隣接して設けられるメモリ部２２＿１乃至２２＿６から伸びて設けられるビット線ＮＢＬ、ＰＢＬ（図２Ａでは１本の配線として図示）で接続される。つまり、ｙ方向に延びた配線を介して接続されるよう図示している。つまり、ビット線ＮＢＬ、ＰＢＬによって演算回路２３＿１乃至２３＿６と、メモリ部２２＿１乃至２２＿６と、をｚ方向と比べて長い距離に配置することができる。そのため、ビット線ＮＢＬ、ＰＢＬと、そのほかの素子との寄生容量が増える。そのためビット線の充放電による電荷が増える。そのため、図２Ａで図示した本発明の一態様の構成は、小型化、低消費電力化に優れた構成であるといえる。

［００６６］

本発明の一態様は、アクセラレータとＣＰＵを備えた半導体装置において、小型化された半導体装置を提供することができる。または、本発明の一態様は、アクセラレータとＣＰＵを備えた半導体装置において、低消費電力化された半導体装置を提供することができる。または、本発明の一態様は、ＣＰＵにおけるデータ転送回数が削減された半導体装置を提供することができる。または、新規な構成の半導体装置を提供することができる。本発明の一態様の半導体装置は、非ノイマン型アーキテクチャを有し、処理速度の増加に伴って消費電力が大きくなるノイマン型アーキテクチャと比較して、極めて少ない消費電力で並列処理を行うことができる。

［００６７］

図３Ａは、処理能力（ＯＰＳ：Ｏｐｅｒａｔｉｏｎｓ　Ｐｅｒ　Ｓｅｃｏｎｄ）と、消費電力（Ｗ）との関係を説明する図である。なお、図３Ａにおいて、縦軸が処理能力を、横軸が消費電力を、それぞれ表している。また、図３Ａ中には、演算効率の指標として、０．１ＴＯＰＳ／Ｗ（Ｔｅｒａ　Ｏｐｅｒａｔｉｏｎｓ　Ｐｅｒ　Ｓｅｃｏｎｄ／Ｗ）、１ＴＯＰＳ／Ｗ、１０ＴＯＰＳ／Ｗ、１００ＴＯＰＳ／Ｗ、及び１ＰＯＰＳ／Ｗ（Ｐｅｒａ　Ｏｐｅｒａｔｉｏｎｓ　Ｐｅｒ　Ｓｅｃｏｎｄ／Ｗ）を、破線にてそれぞれ明示してある。

［００６８］

また、図３Ａにおいて、領域９１０が従来の汎用ＡＩアクセラレータ（ノイマン型）が含まれる領域を、領域９１２が本発明の一態様の半導体装置が含まれる領域を、それぞれ示している。なお、領域９１０には、例えば、ＣＰＵ（Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）、ＧＰＵ（Ｇｒａｐｈｉｃｓ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）、ＦＰＧＡ（Ｆｉｅｌｄ－Ｐｒｏｇｒａｍｍａｂｌｅ　Ｇａｔｅ　Ａｒｒａｙ）などが含まれる。

［００６９］

図３Ａに示すように、本発明の一態様の半導体装置を適用することで、従来の汎用ＡＩアクセラレータ（ノイマン型）よりも、２桁程度の消費電力を低減することができ、且つ処理性能を大幅（例えば１０００倍以上）に向上させることができる。なお、本発明の一態様の半導体装置を適用することで、１００ＴＯＰＳ／Ｗ以上の演算効率が期待できる。

［００７０］

ここで、従来構成と、本発明の一態様の半導体装置を適用する構成との具体例について、図３Ｂ、及び図３Ｃを用いて説明する。図３Ｂが、画像認識における従来構成の半導体装置の消費電力のイメージ図を表し、図３Ｃが、画像認識における本発明の一態様の構成を用いる半導体装置の消費電力のイメージ図を表している。

［００７１］

なお、図３Ｂ、及び図３Ｃにおいて、縦軸が電力を、横軸が時間を、それぞれ表している。また、図３Ｂにおいて、電力９１４がリーク電力を、電力９１６がＣＰＵ電力（ＣＰＵの消費電力）を、電力９１８がメモリ電力を、それぞれ示している。また、図３Ｃにおいて、電力９１４がリーク電力を、電力９２０がＣＰＵ電力を、電力９２２がアクセラレータ電力（アクセラレータの消費電力）を、それぞれ示している。なお、電力９２２には、演算回路、及びメモリ回路に用いられる電力も含まれる。

［００７２］

また、図３Ｂ、及び図３Ｃにおいて、矢印ａ、矢印ｂ、及び矢印ｃは、それぞれ画像認識における信号を表している。なお、矢印ａ、矢印ｂ、及び矢印ｃの信号が入力された際に、半導体装置にて、画像認識などの演算処理が開始されると仮定する。

［００７３］

図３Ｂに示すように、従来構成の半導体装置の場合、時間に対して一定のリーク電力（電力９１４）が生じている。一方で、図３Ｃに示すように、本発明の一態様の半導体装置を適用する構成の場合、ＣＰＵ電力（電力９２０）、及びアクセラレータ電力（電力９２２）を使用している間はリーク電力（電力９１４）が生じているが、ＣＰＵ電力（電力９２０）、及びアクセラレータ電力（電力９２２）を使用していない期間は、リーク電力（電力９１４）が発生しないノーマリーオフ駆動（図３Ｃ中に示す期間ｔ１）とすることができる。これにより、消費電力を大幅に低減することが可能となる。すなわち、極低消費電力な半導体装置を提供することができる。

［００７４］

図４には、図３Ａで説明した本発明の一態様の半導体装置が有するＮＯＳＲＡＭ、ＣＰＵ（Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）、ＧＰＵ（Ｇｒａｐｈｉｃｓ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）、ＦＰＧＡ（Ｆｉｅｌｄ－Ｐｒｏｇｒａｍｍａｂｌｅ　Ｇａｔｅ　Ａｒｒａｙ）などが有するＤＲＡＭ（Ｄｙｎａｍｉｃ　ＲＡＭ）、ＳＲＡＭ（Ｓｔａｔｉｃ　ＲＡＭ）およびフラッシュメモリ（ｆｌａｓｈ）における読出しエネルギーと、１Ｇｂｉｔあたりの相対コスト（１Ｇｂｉｔ／ｃｏｓｔ）と、を比較したグラフを示す。

［００７５］

フラッシュメモリは、１Ｇｂｉｔあたりの相対コストに優れているものの読出しエネルギーが１００ｐＪと高い。またＤＲＡＭは、１Ｇｂｉｔあたりの相対コストがフラッシュメモリに対して劣るものの、読出しエネルギーが小さくなる。またＳＲＡＭは、１Ｇｂｉｔあたりの相対コストがＤＲＡＭ、フラッシュメモリに対して大幅に劣るものの、読出しエネルギーが大幅に小さい。これらフラッシュメモリ、ＤＲＡＭ、ＳＲＡＭに対して本発明の一態様の半導体装置が有するＮＯＳＲＡＭは、読み出しエネルギーが極めて小さく、１Ｇｂｉｔあたりの相対コストもＳＲＡＭと比べて優れている。そのため、図３Ａで説明したように１００ＴＯＰＳ／Ｗを越えた演算効率を目指す場合、ＮＯＳＲＡＭを有する半導体装置が適しているといえる。

［００７６］

図５Ａは、本発明の半導体装置１００が有するメモリ部２２＿１乃至２２＿Ｎに適用可能な回路構成例について説明する図である。図５Ａでは、Ｍ行Ｎ列（Ｍ、Ｎは２以上の自然数）行列方向に並べて配置されたビット線ＰＢＬ＿１乃至ＰＢＬ＿Ｎ、ビット線ＮＢＬ＿１乃至ＮＢＬ＿Ｎ、およびワード線ＷＬ＿１乃至ＷＬ＿Ｍ（Ｍは自然数）を図示している。また各ワード線およびビット線に接続されたメモリ回路２４を図示している。

［００７７］

図５Ｂは、メモリ回路２４に適用可能な回路構成例について説明する図である。メモリ回路２４は、データ保持回路３１＿Ｐ、データ保持回路３１＿Ｎ、トランジスタ３２＿Ｐ、トランジスタ３２＿Ｎ、トランジスタ３３＿Ｐ、およびトランジスタ３３＿Ｎを有する。

［００７８］

なおメモリ回路２４における各トランジスタは、バックゲートを有していてもよい。この場合、バックゲートは、ゲートと接続してもよいし、ゲートとは異なる電位を与え、トランジスタの電気特性を制御する構成としてもよい。

［００７９］

データ保持回路３１＿Ｐは、トランジスタ３２＿Ｐのゲートに接続される配線のノードＭＮ＿Ｐに接続される。トランジスタ３２＿Ｐのソースまたはドレインの一方は、ＧＮＤなどの固定電位に接続される。トランジスタ３３＿Ｐのソースまたはドレインの一方は、トランジスタ３２＿Ｐのソースまたはドレインの他方に接続される。トランジスタ３３＿Ｐのソースまたはドレインの一方は、ビット線ＰＢＬに接続される。トランジスタ３３＿Ｐのゲートは、ワード線ＷＬに接続される。

［００８０］

データ保持回路３１＿Ｎは、トランジスタ３２＿Ｎのゲートに接続される配線のノードＭＮ＿Ｎに接続される。トランジスタ３２＿Ｎのソースまたはドレインの一方は、ＧＮＤなどの固定電位に接続される。トランジスタ３３＿Ｎのソースまたはドレインの一方は、トランジスタ３２＿Ｎのソースまたはドレインの他方に接続される。トランジスタ３３＿Ｎのソースまたはドレインの一方は、ビット線ＮＢＬに接続される。トランジスタ３３＿Ｎのゲートは、ワード線ＷＬに接続される。

［００８１］

データ保持回路３１＿Ｐおよびデータ保持回路３１＿Ｎはそれぞれ、ＨレベルまたはＬレベルの電圧に応じた信号を保持する機能を有する。図５Ｃには、図５Ｂのデータ保持回路３１＿Ｐおよびデータ保持回路３１＿Ｎに適用可能なデータ保持回路３１の回路構成を図示する。

［００８２］

データ保持回路３１は、トランジスタ３２＿Ｐ、３２＿Ｎに適用可能なトランジスタ３２、およびトランジスタ３３＿Ｐ、３３＿Ｎに適用可能なトランジスタ３３と合わせて、３トランジスタ型（３Ｔ）ゲインセルのＮＯＳＲＡＭに相当する。つまり、データ保持回路３１は、図５Ｃに図示するように、トランジスタ３４および容量素子３５を有する。図５Ｃに図示する各トランジスタは、ＯＳトランジスタである。ＯＳトランジスタはオフ状態でソースとドレインとの間を流れる電流、つまりリーク電流が極めて小さい。ＮＯＳＲＡＭは、リーク電流が極めて小さい特性を用いてデータに応じた電荷をメモリ回路２４内のノードＭＮに保持することで、不揮発性メモリとして用いることができる。ノードＭＮの電圧は、データ保持回路３１で保持される電圧である。なおデータ保持回路３１に保持される電圧は、信号ＭＢＬで与えられる。信号ＭＢＬは、トランジスタ３４のゲートに与える信号ＭＷＬの制御のタイミングでノードＭＮに書き込む構成とすればよい。なお３トランジスタ型（３Ｔ）ゲインセルのＮＯＳＲＡＭは、５値や７値といった２値以上の電圧を保持することが可能である。

［００８３］

図５Ｃのデータ保持回路３１の回路構成を図５Ｂに適用したメモリ回路２４の回路構成について、図６Ａに示す。図６Ａに図示する各信号の真理値表は、表１のようになる。表１においてＨレベル

およびＬレベルの電圧は、論理「１」、「０」で表している。「Ｃｅｌｌ　Ｐ」は、ノードＭＮ＿Ｐつまりデータ保持回路３１＿Ｐで保持する電圧に応じた論理に相当する。「Ｃｅｌｌ　Ｎ」は、ノードＭＮ＿Ｎつまりデータ保持回路３１＿Ｎで保持する電圧に応じた論理に相当する。「Ｗ」は、ビット線ＮＢＬ、ＰＢＬの論理で決まるデータであり、ＴＮＮに用いる「０」、「＋１」または「－１」の３値で表されるデータである。また禁止は、「×」で表している。

［００８４］

［表１］

PBL	NBL	Cell P	Cell N	W
0	0	1	1	X
0	1	1	0	-1
1	0	0	1	+1
1	1	0	0	0

［００８５］

図６Ａの構成の場合、ノードＭＮ＿ＰのＨレベルの電圧を保持するとし、ノードＭＮ＿Ｎのソースまたはドレインの一方の固定電位がグラウンド電位（Ｌレベルの電圧）とすると、ビット線ＰＢＬに読み出される電圧はＬレベルとなり、保持した電圧と読み出される電圧とが反転することになる。そのため、図６Ｂに図示するようにノードＭＮ＿Ｐとトランジスタ３２＿Ｎのゲート、ノードＭＮ＿Ｎとトランジスタ３２＿Ｐのゲート、を接続する構成が好ましい。図６Ｂに図示する各信号の真理値表は、表２のようになる。

［００８６］

［表２］

PBL	NBL	Cell P	Cell N	W
0	0	1	1	X
0	1	0	1	-1
1	0	1	0	+1
1	1	0	0	0

［００８７］

なお図６Ａは、図７Ａの回路構成に変形することができる。図７Ａは図示するように、トランジスタ３３＿Ｐおよび３３＿Ｎをトランジスタ３４に置き換え、各配線およびトランジスタ間の接続を変更した構成に相当する。図７Ａの回路構成において、表１で示す真理値表のデータを得ることができる。

［００８８］

同様に図６Ｂは、図７Ｂの回路構成に変形することができる。図７Ｂは図示するように、トラン

ジスタ３３＿Ｐおよび３３＿Ｎをトランジスタ３４に置き換え、各配線およびトランジスタ間の接続を変更した構成に相当する。図７Ｂの回路構成において、表２で示す真理値表のデータを得ることができる。

［００８９］

図８Ａは、本発明の半導体装置１００が有する演算処理部２１に適用可能な回路構成例について説明する図である。演算処理部２１は、演算回路２３＿１乃至２３＿Ｎを有する。Ｎ個の演算回路２３＿１乃至２３＿Ｎはそれぞれ、Ｎ本のビット線ＰＢＬ＿１乃至ビット線ＰＢＬ＿Ｎのいずれか一、Ｎ本のビット線ＮＢＬ＿１乃至ビット線ＮＢＬ＿Ｎのいずれか一、およびデータ入力線$Ａ_{ＩＮ}$に与えられた入力データ$Ａ_{1}$乃至$Ａ_{Ｎ}$のいずれか一、の各信号が入力され、出力信号Ｑ＿１乃至Ｑ＿Ｎを出力する。出力信号Ｑ＿１乃至Ｑ＿Ｎは、メモリ回路２４に保持したデータ、およびデータ入力線$Ａ_{ＩＮ}$を介して駆動回路１５より入力されるデータを用いて積和演算を行うことで得られるデータに相当する。

［００９０］

図８Ｂは、演算回路２３＿１乃至演算回路２３＿Ｎに適用可能な演算回路２３の回路構成例を説明する図である。図８Ｂは、ＴＮＮのアーキテクチャに基づく演算処理を実行するための回路である。演算回路２３は、積和演算を行うための論理回路４２と、アキュムレータ４３と、ラッチ回路４４、および出力信号Ｑを出力する符号化回路４５を有する。論理回路４２は、Ｎ本のビット線ＰＢＬ＿１乃至ビット線ＰＢＬ＿Ｎのいずれか一（図中データＰＢＬ）、Ｎ本のビット線ＮＢＬ＿１乃至ビット線ＮＢＬ＿Ｎのいずれか一（図中、データＮＢＬ）、およびデータ入力線$Ａ_{ＩＮ}$に与えられた入力データ$Ａ_{1}$乃至$Ａ_{Ｎ}$のいずれか一（図中、データＡ）、の各信号が入力される。データＰＢＬおよびデータＮＢＬから「０」、「＋１」または「－１」の３値として表されるデータ（データＷ）と、「＋１」または「－１」の２値で表されるデータＡと、の積（＝Ｗ×Ａ）に相当するデータＹを出力する。

［００９１］

図８Ａにおける論理回路の各信号の真理値表は、表３のようになる。なお表３において、データＡにおける「＋１」を「（０）」、データＡにおける「－１」を「（１）」と１ビットのデジタル信号で表している。また表３において、データＹにおける「０」を「（００）」、データＹにおける「＋１」を「（０１）」、データＹにおける「－１」を「（１１）」と２ビットのデジタル信号で表している。また禁止は、「×」で表している。

［００９２］

［表３］

PBL	NBL	W	A	Y=W×A
1	1	0	-1 (0)	0 (00)
1	0	+1	-1 (0)	-1 (11)
0	1	-1	-1 (0)	+1 (01)
0	0	X	-1 (0)	X
1	1	0	+1 (1)	0 (00)
1	0	+1	+1 (1)	+1 (01)
0	1	-1	+1 (1)	-1 (11)
0	0	X	+1 (1)	X

［００９３］

図８Ａ、図８Ｂでは、メモリアクセスは１クロックで１行を選択するため、Ｍ個（＝１ビット×Ｍ行）の積とその和をＭクロックで実行する。図８Ａ、図８Ｂの演算回路では、同じＭ個の積とその和をＮ並列×１ビット×Ｍ／Ｎ行で実行できるため、Ｍ／Ｎクロックを要する。したがって、図８Ａ、図８Ｂの構成は並列に積和演算を実行することで演算時間を短縮できるため、演算効率を向上できる。

［００９４］

図９Ａには、階層型のニューラルネットワークを図示する。図９Ａでは、ニューロン５０、入力層１層（Ｉ１）、中間層３層（Ｍ１乃至Ｍ３）、出力層１層（Ｏ１）の全結合型のニューラルネットワークを図示している。入力層Ｉ１におけるニューロン数を７８６、中間層Ｍ１乃至Ｍ３におけるニューロン数を２５６、出力層Ｏ１におけるニューロン数を１０とすると、各層（層５１、層５２、層５３および層５４）の結合数は（７８６×２５６）＋（２５６×２５６）＋（２５６×２５６）＋（２５６×１０）で計３３４３３６個となる。つまり、ニューラルネットワーク計算に必要な重みパラメータが合計３３０Ｋビット程度であるため、小規模システムでも十分実装可能なメモリ容量とすることができる。

［００９５］

次に、図９Ａに図示するニューラルネットワークの演算ができる、半導体装置１００の詳細なブロック図について図９Ｂに示す。

［００９６］

図９Ｂでは、図１Ａおよび図１Ｂで説明した、演算処理部２１、演算回路２３＿１乃至２３＿Ｎに対応する演算回路２３、メモリ部２２＿１乃至２２＿Ｎに対応するメモリ部２２、メモリ回路２４、およびビット線ＮＢＬ、ＰＢＬの他、図１Ａおよび図１Ｂで図示する駆動回路１５の構成例について図示している。

［００９７］

図９Ｂでは、図１Ａおよび図１Ｂで説明した駆動回路１５に対応する構成として、コントローラ６１、ロウデコーダ６２、ワード線ドライバ６３、カラムデコーダ６４、書き込みドライバ６５、プリチャージ回路６６、入力バッファ７１および演算制御回路７２を図示している。

［００９８］

図１０Ａは、図９Ｂに図示する各構成について、メモリ部２２を制御するブロックを抜き出した図である。図１０Ａでは、コントローラ６１、ロウデコーダ６２、ワード線ドライバ６３、カラム

デコーダ６４、書き込みドライバ６５、プリチャージ回路６６を抜き出して図示している。

［００９９］

コントローラ６１は、外部からの入力信号を処理して、ロウデコーダ６２およびカラムデコーダ６４の制御信号を生成する。外部からの入力信号は、書き込みイネーブル信号や読み出しイネーブル信号などのメモリ部２２を制御するための制御信号である。またコントローラ６１は、ＣＰＵ１０との間でバスを介してメモリ部２２に書き込まれるデータあるいはメモリ部２２から読み出されるデータの入出力が行われる。

［０１００］

ロウデコーダ６２は、ワード線ドライバ６３を駆動するための信号を生成する。ワード線ドライバ６３は、データ保持回路３１＿Ｐ、３１＿Ｎに与える信号ＭＷＬの他、ワード線ＷＬに与える信号を生成する。カラムデコーダ６４は、書き込みドライバ６５を駆動するための信号を生成する。書き込みドライバ６５は、データ保持回路３１＿Ｐ、３１＿Ｎに与える信号ＭＢＬの他、データ入力線$Ａ_{ＩＮ}$に与えられる入力データ$Ａ_{1}$乃至$Ａ_{Ｎ}$を生成する。プリチャージ回路６６は、ビット線ＮＢＬ、ＰＢＬなどをプリチャージする機能を有する。メモリ部２２のメモリ回路２４から読み出される信号は、ビット線ＮＢＬ、ＰＢＬを介して演算回路２３に入力される。

［０１０１］

図１０Ｂは、図９Ｂに図示する各構成について、演算処理部２１を制御するブロックを抜き出した図である。

［０１０２］

コントローラ６１は、外部からの入力信号を処理して、演算制御回路７２の制御信号を生成する。またコントローラ６１は、演算処理部２１が有する演算回路２３を制御するためのクロック信号などの各種信号を生成する。演算制御回路７２は、コントローラ６１の制御および入力バッファ７１の出力に応じて、データ入力線$Ａ_{ＩＮ}$に与えられる入力データ$Ａ_{1}$乃至$Ａ_{Ｎ}$を生成する。演算処理部２１は、入力バッファ７１および演算制御回路７２を介して、演算結果に関するデータを演算処理部２１に再入力する。演算処理部２１は、入力バッファ７１におけるバッファメモリを利用して演算結果に応じたデータを処理することで、演算途中のデータをアクセラレータの外部にあるメインメモリなどに読み出すことなく、ＣＰＵのデータバス幅以上のビット数の並列計算が可能となる。また膨大な数の重みパラメータをＣＰＵ１０との間で転送する回数を削減できるため、低消費電力化を図ることができる。

［０１０３］

以上説明したように、本発明の一態様は、アクセラレータとＣＰＵを備えた半導体装置において、小型化された半導体装置を提供することができる。または、本発明の一態様は、アクセラレータとＣＰＵを備えた半導体装置において、低消費電力化された半導体装置を提供することができる。または、本発明の一態様は、ＣＰＵにおけるデータ転送回数が削減された半導体装置を提供することができる。または、新規な構成の半導体装置を提供することができる。

［０１０４］

（実施の形態２）

本実施の形態では、上記実施の形態で説明したＣＰＵ１０で実行するプログラムの演算の一部をアクセラレータ２０で実行する場合の、動作の一例を説明する。

［０１０５］

図１１は、ＣＰＵで実行するプログラムの演算の一部をアクセラレータで実行する場合の、動作の一例を説明する図である。

［０１０６］

ＣＰＵにて、ホストプログラムが実行される（ステップＳ１）。

［０１０７］

ＣＰＵは、アクセラレータを用いて演算を行う際に必要とされるデータ用領域を、メモリ部に確保するとの命令を確認した場合（ステップＳ２）、該データ用領域を、メモリ部に確保する（ステップＳ３）。

［０１０８］

次に、ＣＰＵは、メインメモリから上記メモリ部へ入力データを送信する（ステップＳ４）。上記メモリ部は該入力データを受信し、該入力データを、ステップＳ２で確保された領域に格納する（ステップＳ５）。

［０１０９］

ＣＰＵは、カーネルプログラムを起動するとの命令を確認した場合（ステップＳ６）、アクセラレータは、カーネルプログラムの実行を開始する（ステップＳ７）。

［０１１０］

アクセラレータがカーネルプログラムの実行を開始した直後、ＣＰＵを、演算を行う状態からＰＧ状態へと切り替えてもよい（ステップＳ８）。その場合、アクセラレータがカーネルプログラムの実行を終了する直前に、ＣＰＵは、ＰＧ状態から演算を行う状態へ切り替えられる（ステップＳ９）。ステップＳ８からステップＳ９までの期間、ＣＰＵをＰＧ状態にすることで、半導体装置全体として消費電力および発熱を抑制することができる。

［０１１１］

アクセラレータがカーネルプログラムの実行を終了すると、出力データが上記メモリ部に格納される（ステップＳ１０）。

［０１１２］

カーネルプログラムの実行が終了した後、ＣＰＵは、メモリ部に格納された出力データをメインメモリへ送信するとの命令を確認した場合（ステップＳ１１）、上記の出力データが上記メインメモリへ送信され、上記メインメモリに格納される（ステップＳ１２）。

［０１１３］

ＣＰＵは、メモリ部上に確保されたデータ用領域を解放するとの指示を確認した場合（ステップＳ１３）、上記メモリ部上に確保された領域が解放される（ステップＳ１４）。

［０１１４］

以上のステップＳ１からステップＳ１４までの動作を繰り返すことにより、ＣＰＵおよびアクセラレータの消費電力および発熱を抑制しつつ、ＣＰＵで実行する演算の一部をアクセラレータで実行することができる。

［０１１５］

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

［０１１６］

（実施の形態３）

本実施の形態では、パワーゲーティングが可能なＣＰＵコアを有するＣＰＵの一例について説明

する。

［０１１７］

図１２に、ＣＰＵ１０の構成例を示す。ＣＰＵ１０は、ＣＰＵコア（ＣＰＵ　Ｃｏｒｅ）２００、Ｌ１（レベル１）キャッシュメモリ装置（Ｌ１　Ｃａｃｈｅ）２０２、Ｌ２キャッシュメモリ装置（Ｌ２　Ｃａｃｈｅ）２０３、バスインターフェース部（Ｂｕｓ　Ｉ／Ｆ）２０５、パワースイッチ２１０～２１２、レベルシフタ（ＬＳ）２１４を有する。ＣＰＵコア２００はフリップフロップ２２０を有する。

［０１１８］

バスインターフェース部２０５によって、ＣＰＵコア２００、Ｌ１キャッシュメモリ装置２０２、Ｌ２キャッシュメモリ装置２０３が相互に接続される。

［０１１９］

外部から入力される割り込み信号（Ｉｎｔｅｒｒｕｐｔｓ）、ＣＰＵ１０が発行する信号ＳＬＥＥＰ１等の信号に応じて、ＰＭＵ１９３はクロック信号ＧＣＬＫ１、各種のＰＧ（パワーゲーティング）制御信号（ＰＧ　ｃｏｎｔｒｏｌ　ｓｉｇｎａｌｓ）の生成を行う。クロック信号ＧＣＬＫ１、ＰＧ制御信号はＣＰＵ１０に入力される。ＰＧ制御信号は、パワースイッチ２１０～２１２、フリップフロップ２２０を制御する。

［０１２０］

パワースイッチ２１０、２１１は、仮想電源線Ｖ＿ＶＤＤ（以下、Ｖ＿ＶＤＤ線と呼ぶ）への電圧ＶＤＤＤ、ＶＤＤ１の供給をそれぞれ制御する。パワースイッチ２１２は、仮想電源線Ｖ＿ＶＤＨ（以下、Ｖ＿ＶＤＨ線と呼ぶ。）への電圧ＶＤＤＨの供給を制御する。ＣＰＵ１０およびＰＭＵ１９３には、パワースイッチを介さずに電圧ＶＳＳＳが入力される。ＰＭＵ１９３には、パワースイッチを介さずに電圧ＶＤＤＤが入力される。

［０１２１］

電圧ＶＤＤＤ、ＶＤＤ１はＣＭＯＳ回路用の駆動電圧である。電圧ＶＤＤ１は電圧ＶＤＤＤよりも低く、スリープ状態での駆動電圧である。電圧ＶＤＤＨはＯＳトランジスタ用の駆動電圧であり、電圧ＶＤＤＤよりも高い。

［０１２２］

Ｌ１キャッシュメモリ装置２０２、Ｌ２キャッシュメモリ装置２０３、バスインターフェース部２０５それぞれは、少なくとも１つパワーゲーティング可能なパワードメインを有する。パワーゲーティング可能なパワードメインには、１または複数のパワースイッチが設けられている。これらのパワースイッチは、ＰＧ制御信号によって制御される。

［０１２３］

フリップフロップ２２０は、レジスタに用いられる。フリップフロップ２２０には、バックアップ回路が設けられている。以下、フリップフロップ２２０について説明する。

［０１２４］

図１３Ａにフリップフロップ２２０（Ｆｌｉｐ－ｆｌｏｐ）の回路構成例を示す。フリップフロップ２２０はスキャンフリップフロップ（Ｓｃａｎ　Ｆｌｉｐ－ｆｌｏｐ）２２１、バックアップ回路（Ｂａｃｋｕｐ　Ｃｉｒｃｕｉｔ）２２２を有する。

［０１２５］

スキャンフリップフロップ２２１は、ノードＤ１、Ｑ１、ＳＤ、ＳＥ、ＲＴ、ＣＫ、クロックバ

ッファ回路２２１Ａを有する。

［０１２６］

ノードＤ１はデータ（ｄａｔａ）入力ノードであり、ノードＱ１はデータ出力ノードであり、ノードＳＤはスキャンテスト用データの入力ノードである。ノードＳＥは信号ＳＣＥの入力ノードである。ノードＣＫはクロック信号ＧＣＬＫ１の入力ノードである。クロック信号ＧＣＬＫ１はクロックバッファ回路２２１Ａに入力される。スキャンフリップフロップ２２１のアナログスイッチは、クロックバッファ回路２２１Ａのノード ＣＫ１、ＣＫＢ１に接続される。ノードＲＴはリセット信号（ｒｅｓｅｔ　ｓｉｇｎａｌ）の入力ノードである。

［０１２７］

信号ＳＣＥは、スキャンイネーブル信号であり、ＰＭＵ１９３で生成される。ＰＭＵ１９３は信号ＢＫ、ＲＣを生成する。レベルシフタ２１４は信号ＢＫ、ＲＣをレベルシフトし、信号ＢＫＨ、ＲＣＨを生成する。信号ＢＫ、ＲＣはバックアップ信号、リカバリ信号である。

［０１２８］

スキャンフリップフロップ２２１の回路構成は、図１３に限定されない。標準的な回路ライブラリに用意されているフリップフロップを適用することができる。

［０１２９］

バックアップ回路２２２は、ノードＳＤ＿ＩＮ、ＳＮ１１、トランジスタＭ１１～Ｍ１３、容量素子Ｃ１１を有する。

［０１３０］

ノードＳＤ＿ＩＮは、スキャンテストデータの入力ノードであり、スキャンフリップフロップ２２１のノードＱ１に接続される。ノードＳＮ１１は、バックアップ回路２２２の保持ノードである。容量素子Ｃ１１はノードＳＮ１１の電圧を保持するための保持容量である。

［０１３１］

トランジスタＭ１１はノードＱ１とノードＳＮ１１間の導通状態を制御する。トランジスタＭ１２はノードＳＮ１１とノードＳＤ間の導通状態を制御する。トランジスタＭ１３はノードＳＤ＿ＩＮとノードＳＤ間の導通状態を制御する。トランジスタＭ１１、Ｍ１３のオンオフは信号ＢＫＨで制御され、トランジスタＭ１２のオンオフは信号ＲＣＨで制御される。

［０１３２］

トランジスタＭ１１～Ｍ１３は、上述したメモリ回路２４が有するデータ保持回路３１＿Ｎ、３１＿Ｐが有するトランジスタ、並びにトランジスタ３２＿Ｐ、３２＿Ｎ、３３＿Ｐ、および３３＿Ｎと同様に、ＯＳトランジスタである。トランジスタＭ１１～Ｍ１３はバックゲート有する構成を図示している。トランジスタＭ１１～Ｍ１３のバックゲートは、電圧ＶＢＧ１を供給する電源線に接続されている。

［０１３３］

少なくともトランジスタＭ１１、Ｍ１２がＯＳトランジスタであることが好ましい。オフ電流が極めて小さいというＯＳトランジスタの特長によって、ノードＳＮ１１の電圧の低下を抑えることができること、データの保持に電力を殆んど消費しないことから、バックアップ回路２２２は不揮発性の特性をもつ。容量素子Ｃ１１の充放電によってデータを書き換えるため、バックアップ回路２２２は原理的には書き換え回数に制約はなく、低エネルギーで、データの書き込みおよび読み出しが可能である。

［０１３４］
バックアップ回路２２２の全てのトランジスタはＯＳトランジスタであることが非常に好ましい。図１３Ｂに示すように、シリコンＣＭＯＳ回路で構成されるスキャンフリップフロップ２２１上にバックアップ回路２２２を積層することができる。

［０１３５］
バックアップ回路２２２は、スキャンフリップフロップ２２１と比較して素子数が非常に少ないので、バックアップ回路２２２を積層するためにスキャンフリップフロップ２２１の回路構成およびレイアウトの変更が必要ない。つまり、バックアップ回路２２２は、汎用性が非常に高いバックアップ回路である。また、スキャンフリップフロップ２２１が形成されている領域内にバックアップ回路２２２を設けることができるので、バックアップ回路２２２を組み込んでも、フリップフロップ２２０の面積オーバーヘッドはゼロにすることが可能である。よって、バックアップ回路２２２をフリップフロップ２２０に設けることで、ＣＰＵコア２００のパワーゲーティングが可能となる。パワーゲーティングに必要なエネルギーが少ないため、ＣＰＵコア２００を高効率にパワーゲーティングすることが可能である。

［０１３６］
バックアップ回路２２２を設けることによって、トランジスタＭ１１による寄生容量がノードＱ１に付加されることになるが、ノードＱ１に接続される論理回路による寄生容量と比較して小さいので、スキャンフリップフロップ２２１の動作に影響はない。つまり、バックアップ回路２２２を設けても、フリップフロップ２２０の性能は実質的に低下しない。

［０１３７］
ＣＰＵコア２００の低消費電力状態として、例えば、クロックゲーティング状態、パワーゲーティング状態、休止状態を設定することができる。ＰＭＵ１９３は、割り込み信号、信号ＳＬＥＥＰ１等に基づき、ＣＰＵコア２００の低消費電力モードを選択する。例えば、通常動作状態からクロックゲーティング状態に移行する場合、ＰＭＵ１９３はクロック信号ＧＣＬＫ１の生成を停止する。

［０１３８］
例えば、通常動作状態から休止状態に移行する場合は、ＰＭＵ１９３は、電圧および／または周波数スケーリングを行う。例えば、電圧スケーリングを行う場合、ＰＭＵ１９３は、電圧ＶＤＤ１をＣＰＵコア２００に入力するため、パワースイッチ２１０をオフにし、パワースイッチ２１１をオンにする。電圧ＶＤＤ１は、スキャンフリップフロップ２２１のデータを消失させない電圧である。周波数スケーリングを行う場合、ＰＭＵ１９３はクロック信号ＧＣＬＫ１の周波数を低下させる。

［０１３９］
ＣＰＵコア２００を通常動作状態からパワーゲーティング状態に移行する場合には、スキャンフリップフロップ２２１のデータをバックアップ回路２２２にバックアップする動作が行われる。ＣＰＵコア２００をパワーゲーティング状態から通常動作状態に復帰する際には、バックアップ回路２２２のデータをスキャンフリップフロップ２２１にリカバリする動作が行われる。

［０１４０］
図１４に、ＣＰＵコア２００のパワーゲーティングシーケンスの一例を示す。なお、図１４において、ｔ１～ｔ７は時刻を表している。信号ＰＳＥ０～ＰＳＥ２は、パワースイッチ２１０～２１２の制御信号であり、ＰＭＵ１９３で生成される。信号ＰＳＥ０が“Ｈ”／“Ｌ”のとき、パワー

スイッチ２１０はオン／オフである。信号ＰＳＥ１、ＰＳＥ２についても同様である。

［０１４１］

時刻ｔ１以前は、通常動作状態（Ｎｏｒｍａｌ　Ｏｐｅｒａｔｉｏｎ）である。パワースイッチ２１０はオンであり、ＣＰＵコア２００には電圧ＶＤＤＤが入力される。スキャンフリップフロップ２２１は通常動作を行う。このとき、レベルシフタ２１４は動作させる必要がないため、パワースイッチ２１２はオフであり、信号ＳＣＥ、ＢＫ、ＲＣは“Ｌ”である。ノードＳＥが“Ｌ”であるため、スキャンフリップフロップ２２１はノードＤ１のデータを記憶する。なお、図１４の例では、時刻ｔ１において、バックアップ回路２２２のノードＳＮ１１は“Ｌ”である。

［０１４２］

バックアップ（Ｂａｃｋｕｐ）時の動作を説明する。動作時刻ｔ１で、ＰＭＵ１９３はクロック信号ＧＣＬＫ１を停止し、信号ＰＳＥ２、ＢＫを“Ｈ”にする。レベルシフタ２１４はアクティブになり、“Ｈ”の信号ＢＫＨをバックアップ回路２２２に出力する。

［０１４３］

バックアップ回路２２２のトランジスタＭ１１がオンになり、スキャンフリップフロップ２２１のノードＱ１のデータがバックアップ回路２２２のノードＳＮ１１に書き込まれる。スキャンフリップフロップ２２１のノードＱ１が“Ｌ”であれば、ノードＳＮ１１は“Ｌ”のままであり、ノードＱ１が“Ｈ”であれば、ノードＳＮ１１は“Ｈ”になる。

［０１４４］

ＰＭＵ１９３は、時刻ｔ２で信号ＰＳＥ２、ＢＫを“Ｌ”にし、時刻ｔ３で信号ＰＳＥ０を“Ｌにする。時刻ｔ３で、ＣＰＵコア２００の状態はパワーゲーティング状態に移行する。なお、信号ＢＫを立ち下げるタイミングで信号ＰＳＥ０を立ち下げてもよい。

［０１４５］

パワーゲーティング（Ｐｏｗｅｒ－ｇａｔｉｎｇ）時の動作を説明する。信号ＰＳＥ０が“Ｌになることで、Ｖ＿ＶＤＤ線の電圧が低下するため、ノードＱ１のデータは失われる。ノードＳＮ１１は、時刻ｔ３でのノードＱ１のデータを保持し続ける。

［０１４６］

リカバリ（Ｒｅｃｏｖｅｒｙ）時の動作を説明する。時刻ｔ４で、ＰＭＵ１９３が信号ＰＳＥ０を“Ｈ”にすることで、パワーゲーティング状態からリカバリ状態に移行する。Ｖ＿ＶＤＤ線の充電が開始され、Ｖ＿ＶＤＤ線の電圧がＶＤＤＤになった状態（時刻ｔ５）で、ＰＭＵ１９３は信号ＰＳＥ２、ＲＣ、ＳＣＥを“Ｈ”にする。

［０１４７］

トランジスタＭ１２はオンになり、容量素子Ｃ１１の電荷がノードＳＮ１１とノードＳＤとに分配される。ノードＳＮ１１が“Ｈ”であれば、ノードＳＤの電圧は上昇する。ノードＳＥは“Ｈ”であるので、スキャンフリップフロップ２２１の入力側ラッチ回路にノードＳＤのデータが書き込まれる。時刻ｔ６でノードＣＫにクロック信号ＧＣＬＫ１が入力されると、入力側ラッチ回路のデータがノードＱ１に書き込まれる。つまり、ノードＳＮ１１のデータがノードＱ１に書き込まれたことになる。

［０１４８］

時刻ｔ７で、ＰＭＵ１９３は信号ＰＳＥ２、ＳＣＥ、ＲＣを“Ｌ”にし、リカバリ動作が終了する。

［０１４９］
ＯＳトランジスタを用いたバックアップ回路２２２は、動的および静的低消費電力双方が小さいため、ノーマリオフ・コンピューティングに非常に好適である。なお、ＯＳトランジスタを用いたバックアップ回路２２２を有するＣＰＵコア２００を含むＣＰＵ１０は、ＮｏｆｆＣＰＵ（登録商標）と呼称することができる。ＮｏｆｆＣＰＵは、不揮発性メモリを有し、動作が必要ない場合には、電力供給を停止することができる。フリップフロップ２２０を搭載しても、ＣＰＵコア２００の性能低下、動的電力の増加をほとんど発生させないようにできる。
［０１５０］
なお、ＣＰＵコア２００は複数のパワーゲーティング可能なパワードメインを有してもよい。複数のパワードメインには、電圧の入力を制御するための１または複数のパワースイッチが設けられる。また、ＣＰＵコア２００は、１または複数のパワーゲーティングが行われないパワードメインを有していてもよい。例えば、パワーゲーティングが行われないパワードメインに、フリップフロップ２２０、パワースイッチ２１０～２１２の制御を行うためのパワーゲーティング制御回路を設けてもよい。
［０１５１］
なお、フリップフロップ２２０の適用はＣＰＵ１０に限定されない。演算装置において、パワーゲーティング可能なパワードメインに設けられるレジスタに、フリップフロップ２２０を適用できる。
［０１５２］
本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。
［０１５３］
（実施の形態４）
本実施の形態では、上記実施の形態で説明した半導体装置１００、ＣＰＵ１０およびアクセラレータ２０に適用可能なトランジスタの構成について説明する。一例として、異なる電気特性を有するトランジスタを積層して設ける構成について説明する。当該構成とすることで、半導体装置の設計自由度を高めることができる。また、異なる電気特性を有するトランジスタを積層して設けることで、半導体装置の集積度を高めることができる。
［０１５４］
半導体装置の断面構造の一部を図１５に示す。図１５に示す半導体装置は、トランジスタ５５０と、トランジスタ５００と、容量素子６００と、を有している。図１６Ａはトランジスタ５００のチャネル長方向の断面図であり、図１６Ｂはトランジスタ５００のチャネル幅方向の断面図である。例えば、トランジスタ５００は上記実施の形態に示したトランジスタ３２乃至３４に相当し、トランジスタ５５０は演算回路２３が有するＳｉトランジスタに相当する。また、容量素子６００は容量素子３５に相当する。
［０１５５］
トランジスタ５００は、ＯＳトランジスタである。ＯＳトランジスタは、オフ電流が極めて少ない。よって、トランジスタ５００を介して記憶ノードに書き込んだデータ電圧あるいは電荷を長期間保持することが可能である。つまり、記憶ノード（ノードMN）のリフレッシュ動作頻度を低減、あるいは、リフレッシュ動作を必要としないため、半導体装置の消費電力を低減することができる。
［０１５６］

図１５では、トランジスタ５００はトランジスタ５５０の上方に設けられ、容量素子６００はトランジスタ５５０、およびトランジスタ５００の上方に設けられている。

［０１５７］

トランジスタ５５０は、基板３１１に設けられる。基板３１１は、例えば、ｐ型のシリコン基板である。基板３１１は、ｎ型のシリコン基板でもよい。酸化物層３１４は、基板３１１に埋め込み酸化（Ｂｕｒｒｉｅｄ　ｏｘｉｄｅ）によって形成された絶縁層（ＢＯＸ層ともいう）、例えば酸化シリコンであることが好ましい。トランジスタ５５０は、基板３１１に酸化物層３１４を介して設けられた単結晶シリコン、いわゆるＳＯＩ（Ｓｉｌｉｃｏｎ　Ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板に設けられる。

［０１５８］

ＳＯＩ基板における基板３１１は、素子分離層として機能する絶縁体３１３が設けられる。また基板３１１は、ウェル領域３１２を有する。ウェル領域３１２は、トランジスタ５５０の導電型に応じてｎ型またはｐ型の導電性が付与された領域である。ＳＯＩ基板における単結晶シリコンには、半導体領域３１５、ソース領域またはドレイン領域として機能する低抵抗領域３１６ａ、低抵抗領域３１６ｂが設けられる。またウェル層３１２上には、低抵抗領域３１６ｃを有する。

［０１５９］

トランジスタ５５０は、導電性を付与する不純物元素が付加されたウェル領域３１２に重ねて設けることができる。ウェル領域３１２は、低抵抗領域３１６ｃを介して電位を独立して変化させることで、トランジスタ５５０のボトムゲート電極として機能させることができる。そのため、トランジスタ５５０のしきい値電圧を制御することができる。特に、ウェル領域３１２に負の電位を印加することにより、トランジスタ５５０のしきい値電圧をより大きくし、オフ電流を低減することが可能となる。したがって、ウェル領域３１２に負の電位を印加することで、Ｓｉトランジスタのゲート電極に印加する電位が０Ｖのときのドレイン電流を小さくすることができる。その結果、トランジスタ５５０を有する演算回路２３における貫通電流等に基づく消費電力を低減でき、演算効率の向上を図ることができる。

［０１６０］

トランジスタ５５０は、半導体層の上面およびチャネル幅方向の側面が絶縁体３１７を介して導電体３１８に覆われている、いわゆるＦｉｎ型とすることが好ましい。トランジスタ５５０をＦｉｎ型とすることにより、実効上のチャネル幅が増大することによりトランジスタ５５０のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ５５０のオフ特性を向上させることができる。

［０１６１］

なお、トランジスタ５５０は、ｐチャネル型のトランジスタ、あるいはｎチャネル型のトランジスタのいずれでもよい。

［０１６２］

導電体３１８は、第１ゲート（トップゲートともいう）電極として機能する場合がある。また、ウェル領域３１２は、第２ゲート（ボトムゲートともいう）電極として機能する場合がある。その場合、ウェル領域３１２に印加する電位は、低抵抗領域３１６ｃを介して制御することができる。

［０１６３］

半導体領域３１５のチャネルが形成される領域、その近傍の領域、ソース領域、またはドレイン

領域となる低抵抗領域３１６ａ、および低抵抗領域３１６ｂ、ウェル領域３１２の電位を制御する電極に接続される低抵抗領域３１６ｃなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ｇｅ（ゲルマニウム）、ＳｉＧｅ（シリコンゲルマニウム）、ＧａＡｓ（ガリウムヒ素）、ＧａＡｌＡｓ（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。またはＧａＡｓとＧａＡｌＡｓ等を用いることで、トランジスタ５５０をＨＥＭＴとしてもよい。

［０１６４］

ウェル領域３１２、低抵抗領域３１６ａ、低抵抗領域３１６ｂ、および低抵抗領域３１６ｃは、半導体領域３１５に適用される半導体材料に加え、ヒ素、リンなどのｎ型の導電性を付与する元素、またはホウ素などのｐ型の導電性を付与する元素を含む。

［０１６５］

ゲート電極として機能する導電体３１８は、ヒ素、リンなどのｎ型の導電性を付与する元素、もしくはホウ素などのｐ型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。また導電体３１８は、ニッケルシリサイド等のシリサイドを用いてもよい。

［０１６６］

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

［０１６７］

低抵抗領域３１６ａ、低抵抗領域３１６ｂ、および低抵抗領域３１６ｃは、別の導電体、例えばニッケルシリサイド等のシリサイドを積層して設ける構成としてもよい。当該構成とすることで、電極として機能する領域の導電性を高めることができる。またこのとき、ゲート電極として機能する導電体３１８の側面、およびゲート絶縁膜として機能する絶縁体の側面には、サイドウオールスペーサ（側壁絶縁層ともいう）として機能する絶縁体を設ける構成としてもよい。当該構成とすることで、導電体３１８と、低抵抗領域３１６ａおよび低抵抗領域３１６ｂと、が導通状態となることを防ぐことができる。

［０１６８］

トランジスタ５５０を覆って、絶縁体３２０、絶縁体３２２、絶縁体３２４、および絶縁体３２６が順に積層して設けられている。

［０１６９］

絶縁体３２０、絶縁体３２２、絶縁体３２４、および絶縁体３２６として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

［０１７０］

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を

示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

［０１７１］

絶縁体３２２は、その下方に設けられるトランジスタ５５０などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体３２２の上面は、平坦性を高めるために化学機械研磨（ＣＭＰ）法等を用いた平坦化処理により平坦化されていてもよい。

［０１７２］

また、絶縁体３２４には、基板３１１、またはトランジスタ５５０などから、トランジスタ５００が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

［０１７３］

水素に対するバリア性を有する膜の一例として、例えば、ＣＶＤ法で形成した窒化シリコンを用いることができる。ここで、トランジスタ５００等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ５００と、トランジスタ５５０との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

［０１７４］

水素の脱離量は、例えば、昇温脱離ガス分析法（ＴＤＳ）などを用いて分析することができる。例えば、絶縁体３２４の水素の脱離量は、ＴＤＳ分析において、膜の表面温度が５０℃から５００℃の範囲において、水素原子に換算した脱離量が、絶縁体３２４の面積当たりに換算して、１０×10^{15}ａｔｏｍｓ／ｃｍ^{2}以下、好ましくは５×10^{15}ａｔｏｍｓ／ｃｍ^{2}以下であればよい。

［０１７５］

なお、絶縁体３２６は、絶縁体３２４よりも誘電率が低いことが好ましい。例えば、絶縁体３２６の比誘電率は４未満が好ましく、３未満がより好ましい。また例えば、絶縁体３２６の比誘電率は、絶縁体３２４の比誘電率の０．７倍以下が好ましく、０．６倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

［０１７６］

また、絶縁体３２０、絶縁体３２２、絶縁体３２４、および絶縁体３２６には容量素子６００、またはトランジスタ５００と接続する導電体３２８、および導電体３３０等が埋め込まれている。なお、導電体３２８、および導電体３３０は、プラグまたは配線としての機能を有する。また、プラグまたは配線としての機能を有する導電体は、複数の構成をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

［０１７７］

各プラグ、および配線（導電体３２８、導電体３３０等）の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料

で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

［０１７８］

絶縁体３２６、および導電体３３０上に、配線層を設けてもよい。例えば、図１５では、絶縁体３５０、絶縁体３５２、および絶縁体３５４が順に積層して設けられている。また、絶縁体３５０、絶縁体３５２、および絶縁体３５４には、導電体３５６が形成されている。導電体３５６は、トランジスタ５５０と接続するプラグ、または配線としての機能を有する。なお導電体３５６は、導電体３２８、および導電体３３０と同様の材料を用いて設けることができる。

［０１７９］

なお、例えば、絶縁体３５０は、絶縁体３２４と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体３５６は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体３５０が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ５５０とトランジスタ５００とは、バリア層により分離することができ、トランジスタ５５０からトランジスタ５００への水素の拡散を抑制することができる。

［０１８０］

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ５５０からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体３５０と接する構成であることが好ましい。

［０１８１］

絶縁体３５４、および導電体３５６上に、配線層を設けてもよい。例えば、図１５では、絶縁体３６０、絶縁体３６２、および絶縁体３６４が順に積層して設けられている。また、絶縁体３６０、絶縁体３６２、および絶縁体３６４には、導電体３６６が形成されている。導電体３６６は、プラグまたは配線としての機能を有する。なお導電体３６６は、導電体３２８、および導電体３３０と同様の材料を用いて設けることができる。

［０１８２］

なお、例えば、絶縁体３６０は、絶縁体３２４と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体３６６は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体３６０が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ５５０とトランジスタ５００とは、バリア層により分離することができ、トランジスタ５５０からトランジスタ５００への水素の拡散を抑制することができる。

［０１８３］

絶縁体３６４、および導電体３６６上に、配線層を設けてもよい。例えば、図１５では、絶縁体３７０、絶縁体３７２、および絶縁体３７４が順に積層して設けられている。また、絶縁体３７０、絶縁体３７２、および絶縁体３７４には、導電体３７６が形成されている。導電体３７６は、プラグまたは配線としての機能を有する。なお導電体３７６は、導電体３２８、および導電体３３０と同様の材料を用いて設けることができる。

［０１８４］

なお、例えば、絶縁体３７０は、絶縁体３２４と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体３７６は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体３７０が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ５５０とトランジスタ５００とは、バリア層により分離することができ、トランジスタ５５０からトランジスタ５００への水素の拡散を抑制することができる。

［０１８５］

絶縁体３７４、および導電体３７６上に、配線層を設けてもよい。例えば、図１５では、絶縁体３８０、絶縁体３８２、および絶縁体３８４が順に積層して設けられている。また、絶縁体３８０、絶縁体３８２、および絶縁体３８４には、導電体３８６が形成されている。導電体３８６は、プラグまたは配線としての機能を有する。なお導電体３８６は、導電体３２８、および導電体３３０と同様の材料を用いて設けることができる。

［０１８６］

なお、例えば、絶縁体３８０は、絶縁体３２４と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体３８６は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体３８０が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ５５０とトランジスタ５００とは、バリア層により分離することができ、トランジスタ５５０からトランジスタ５００への水素の拡散を抑制することができる。

［０１８７］

上記において、導電体３５６を含む配線層、導電体３６６を含む配線層、導電体３７６を含む配線層、および導電体３８６を含む配線層、について説明したが、本実施の形態に係る半導体装置はこれに限られるものではない。導電体３５６を含む配線層と同様の配線層を３層以下にしてもよいし、導電体３５６を含む配線層と同様の配線層を５層以上にしてもよい。

［０１８８］

絶縁体３８４上には絶縁体５１０、絶縁体５１２、絶縁体５１４、および絶縁体５１６が、順に積層して設けられている。絶縁体５１０、絶縁体５１２、絶縁体５１４、および絶縁体５１６のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

［０１８９］

例えば、絶縁体５１０、および絶縁体５１４には、例えば、基板３１１、またはトランジスタ５５０を設ける領域などから、トランジスタ５００を設ける領域に、水素や不純物に対するバリア性を有する膜を用いることが好ましい。したがって、絶縁体３２４と同様の材料を用いることができる。

［０１９０］

水素に対するバリア性を有する膜の一例として、ＣＶＤ法で形成した窒化シリコンを用いることができる。ここで、トランジスタ５００等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ５００と、トランジスタ５５０との間に、水素の拡散を抑制する膜を用いることが好ましい。

［０１９１］

また、水素に対するバリア性を有する膜として、例えば、絶縁体５１０、および絶縁体５１４に

は、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

［０１９２］

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ５００への混入を防止することができる。また、トランジスタ５００を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ５００に対する保護膜として用いることに適している。

［０１９３］

また、例えば、絶縁体５１２、および絶縁体５１６には、絶縁体３２０と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体５１２、および絶縁体５１６として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

［０１９４］

また、絶縁体５１０、絶縁体５１２、絶縁体５１４、および絶縁体５１６には、導電体５１８、およびトランジスタ５００を構成する導電体（例えば、導電体５０３）等が埋め込まれている。なお、導電体５１８は、容量素子６００、またはトランジスタ５５０と接続するプラグ、または配線としての機能を有する。導電体５１８は、導電体３２８、および導電体３３０と同様の材料を用いて設けることができる。

［０１９５］

特に、絶縁体５１０、および絶縁体５１４と接する領域の導電体５１８は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ５５０とトランジスタ５００とは、酸素、水素、および水に対するバリア性を有する層で、分離することができ、トランジスタ５５０からトランジスタ５００への水素の拡散を抑制することができる。

［０１９６］

絶縁体５１６の上方には、トランジスタ５００が設けられている。

［０１９７］

図１６Ａおよび図１６Ｂに示すように、トランジスタ５００は、絶縁体５１４および絶縁体５１６に埋め込まれるように配置された導電体５０３と、絶縁体５１６および導電体５０３の上に配置された絶縁体５２０と、絶縁体５２０の上に配置された絶縁体５２２と、絶縁体５２２の上に配置された絶縁体５２４と、絶縁体５２４の上に配置された酸化物５３０ａと、酸化物５３０ａの上に配置された酸化物５３０ｂと、酸化物５３０ｂ上に互いに離れて配置された導電体５４２ａおよび導電体５４２ｂと、導電体５４２ａおよび導電体５４２ｂ上に配置され、導電体５４２ａと導電体５４２ｂの間に重畳して開口が形成された絶縁体５８０と、開口の底面および側面に配置された絶縁体５４５と、絶縁体５４５の形成面に配置された導電体５６０と、を有する。

［０１９８］

また、図１６Ａおよび図１６Ｂに示すように、酸化物５３０ａ、酸化物５３０ｂ、導電体５４２ａ、および導電体５４２ｂと、絶縁体５８０の間に絶縁体５４４が配置されることが好ましい。また、図１６Ａおよび図１６Ｂに示すように、導電体５６０は、絶縁体５４５の内側に設けられた導電体５６０ａと、導電体５６０ａの内側に埋め込まれるように設けられた導電体５６０ｂと、を有

することが好ましい。また、図１６Ａおよび図１６Ｂに示すように、絶縁体５８０、導電体５６０、および絶縁体５４５の上に絶縁体５７４が配置されることが好ましい。

［０１９９］

なお、本明細書などにおいて、酸化物５３０ａ、および酸化物５３０ｂをまとめて酸化物５３０という場合がある。

［０２００］

なお、トランジスタ５００では、チャネルが形成される領域と、その近傍において、酸化物５３０ａ、および酸化物５３０ｂの２層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物５３０ｂの単層、または３層以上の積層構成を設ける構成にしてもよい。

［０２０１］

また、トランジスタ５００では、導電体５６０を２層の積層構成として示しているが、本発明はこれに限られるものではない。例えば、導電体５６０が、単層構成であってもよいし、３層以上の積層構成であってもよい。また、図１５、図１６Ａ、および図１６Ｂに示すトランジスタ５００は一例であり、その構成に限定されず、回路構成や駆動方法などに応じて適切なトランジスタを用いればよい。

［０２０２］

ここで、導電体５６０は、トランジスタのゲート電極として機能し、導電体５４２ａおよび導電体５４２ｂは、それぞれソース電極またはドレイン電極として機能する。上記のように、導電体５６０は、絶縁体５８０の開口、および導電体５４２ａと導電体５４２ｂに挟まれた領域に埋め込まれるように形成される。導電体５６０、導電体５４２ａおよび導電体５４２ｂの配置は、絶縁体５８０の開口に対して、自己整合的に選択される。つまり、トランジスタ５００において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体５６０を位置合わせのマージンを設けることなく形成することができるので、トランジスタ５００の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

［０２０３］

さらに、導電体５６０が、導電体５４２ａと導電体５４２ｂの間の領域に自己整合的に形成されるので、導電体５６０は、導電体５４２ａまたは導電体５４２ｂと重畳する領域を有さない。これにより、導電体５６０と導電体５４２ａおよび導電体５４２ｂとの間に形成される寄生容量を低減することができる。よって、トランジスタ５００のスイッチング速度を向上させ、高い周波数特性を有せしめることができる。

［０２０４］

導電体５６０は、第１ゲート（トップゲートともいう）電極として機能する場合がある。また、導電体５０３は、第２ゲート（ボトムゲートともいう）電極として機能する場合がある。その場合、導電体５０３に印加する電位を、導電体５６０に印加する電位と、連動させず、独立して変化させることで、トランジスタ５００のしきい値電圧を制御することができる。特に、導電体５０３に負の電位を印加することにより、トランジスタ５００のしきい値電圧をより大きくし、オフ電流を低減することが可能となる。したがって、導電体５０３に負の電位を印加したほうが、印加しない場合よりも、導電体５６０に印加する電位が０Ｖのときのドレイン電流を小さくすることができる。

［０２０５］
導電体５０３は、酸化物５３０、および導電体５６０と、重なるように配置する。これにより、導電体５６０、および導電体５０３に電位を印加した場合、導電体５６０から生じる電界と、導電体５０３から生じる電界と、がつながり、酸化物５３０に形成されるチャネル形成領域を覆うことができる。

［０２０６］
本明細書等において、一対のゲート電極（第１のゲート電極、および第２のゲート電極）の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構成を、ｓｕｒｒｏｕｎｄｅｄ ｃｈａｎｎｅｌ（Ｓ－ｃｈａｎｎｅｌ）構成とよぶ。また、本明細書等で開示するＳ－ｃｈａｎｎｅｌ構成は、Ｆｉｎ型構成およびプレーナ型構成とは異なる。Ｓ－ｃｈａｎｎｅｌ構成を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

［０２０７］
また、導電体５０３は、導電体５１８と同様の構成であり、絶縁体５１４および絶縁体５１６の開口の内壁に接して導電体５０３ａが形成され、さらに内側に導電体５０３ｂが形成されている。なお、トランジスタ５００では、導電体５０３ａおよび導電体５０３ｂを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体５０３は、単層、または３層以上の積層構成として設ける構成にしてもよい。

［０２０８］
ここで、導電体５０３ａは、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）導電性材料を用いることが好ましい。なお、本明細書において、不純物、または酸素の拡散を抑制する機能とは、上記不純物、または上記酸素のいずれか一または、すべての拡散を抑制する機能とする。

［０２０９］
例えば、導電体５０３ａが酸素の拡散を抑制する機能を持つことにより、導電体５０３ｂが酸化して導電率が低下することを抑制することができる。

［０２１０］
また、導電体５０３が配線の機能を兼ねる場合、導電体５０３ｂは、タングステン、銅、またはアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。なお、本実施の形態では導電体５０３を導電体５０３ａと導電体５０３ｂの積層で図示したが、導電体５０３は単層構成であってもよい。

［０２１１］
絶縁体５２０、絶縁体５２２、および絶縁体５２４は、第２のゲート絶縁膜としての機能を有する。

［０２１２］
ここで、酸化物５３０と接する絶縁体５２４は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。当該酸素は、加熱により膜中から放出されやすい。本明細書などでは、加熱により放出される酸素を「過剰酸素」と呼ぶ場合がある。つまり、絶縁体５２４

には、過剰酸素を含む領域（「過剰酸素領域」ともいう。）が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物５３０に接して設けることにより、酸化物５３０中の酸素欠損（V_O：ｏｘｙｇｅｎ　ｖａｃａｎｃｙともいう）を低減し、トランジスタ５００の信頼性を向上させることができる。なお、酸化物５３０中の酸素欠損に水素が入った場合、当該欠陥（以下、V_OHと呼ぶ場合がある。）はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。また、酸化物半導体中の水素は、熱、電界などのストレスによって動きやすいため、酸化物半導体に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。本発明の一態様においては、酸化物５３０中のV_OHをできる限り低減し、高純度真性または実質的に高純度真性にすることが好ましい。このように、V_OHが十分低減された酸化物半導体を得るには、酸化物半導体中の水分、水素などの不純物を除去すること（「脱水」または「脱水素化処理」ともいう。）と、酸化物半導体に酸素を供給して酸素欠損を補填すること（「加酸素化処理」ともいう。）が重要である。V_OHなどの不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

［０２１３］

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、ＴＤＳ（Ｔｈｅｒｍａｌ　Ｄｅｓｏｒｐｔｉｏｎ　Ｓｐｅｃｔｒｏｓｃｏｐｙ）分析にて、酸素原子に換算しての酸素の脱離量が１．０×10^{18}ａｔｏｍｓ／ｃｍ^{3}以上、好ましくは１．０×10^{19}ａｔｏｍｓ／ｃｍ^{3}以上、さらに好ましくは２．０×10^{19}ａｔｏｍｓ／ｃｍ^{3}以上、または３．０×10^{20}ａｔｏｍｓ／ｃｍ^{3}以上である酸化物膜である。なお、上記ＴＤＳ分析時における膜の表面温度としては１００℃以上７００℃以下、または１００℃以上４００℃以下の範囲が好ましい。

［０２１４］

また、上記過剰酸素領域を有する絶縁体と、酸化物５３０と、を接して加熱処理、マイクロ波処理、またはＲＦ処理のいずれか一または複数の処理を行っても良い。当該処理を行うことで、酸化物５３０中の水、または水素を除去することができる。例えば、酸化物５３０において、ＶｏＨの結合が切断される反応が起きる、別言すると「V_OH→Ｖｏ＋Ｈ」という反応が起きて、脱水素化することができる。このとき発生した水素の一部は、酸素と結合してH_2Oとして、酸化物５３０、または酸化物５３０近傍の絶縁体から除去される場合がある。

［０２１５］

また、上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、または、基板側にＲＦを印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスを用い、且つ高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にＲＦを印加することで、高密度プラズマによって生成された酸素ラジカルを、効率よく酸化物５３０、または酸化物５３０近傍の絶縁体中に導入することができる。また、上記マイクロ波処理は、圧力を１３３Ｐａ以上、好ましくは２００Ｐａ以上、さらに好ましくは４００Ｐａ以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば、酸素と、アルゴンとを用い、酸素流量比（O_2／（O_2＋Ａｒ））が５０％以下、好ましくは１０％以上３０％以下で行うとよい。

［０２１６］

また、トランジスタ５００の作製工程中において、酸化物５３０の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、１００℃以上４５０℃以下、より好ましくは３５０℃以上４００℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを１０ｐｐｍ以上、１％以上、もしくは１０％以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物５３０に酸素を供給して、酸素欠損（V_O）の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを１０ｐｐｍ以上、１％以上、または１０％以上含む雰囲気で行ってもよい。または、酸化性ガスを１０ｐｐｍ以上、１％以上、または１０％以上含む雰囲気で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気で加熱処理を行っても良い。

［０２１７］

なお、酸化物５３０に加酸素化処理を行うことで、酸化物５３０中の酸素欠損を、供給された酸素により修復させる、別言すると「Ｖｏ＋Ｏ→ｎｕｌｌ」という反応を促進させることができる。さらに、酸化物５３０中に残存した水素に供給された酸素が反応することで、当該水素をH_2Oとして除去する（脱水化する）ことができる。これにより、酸化物５３０中に残存していた水素が酸素欠損に再結合してV_OHが形成されるのを抑制することができる。

［０２１８］

また、絶縁体５２４が、過剰酸素領域を有する場合、絶縁体５２２は、酸素（例えば、酸素原子、酸素分子など）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

［０２１９］

絶縁体５２２が、酸素や不純物の拡散を抑制する機能を有することで、酸化物５３０が有する酸素は、絶縁体５２０側へ拡散することがなく、好ましい。また、導電体５０３が、絶縁体５２４や、酸化物５３０が有する酸素と反応することを抑制することができる。

［０２２０］

絶縁体５２２は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（ＰＺＴ）、チタン酸ストロンチウム（$SrTiO_3$）、または（Ｂａ，Ｓｒ）TiO_3（ＢＳＴ）などのいわゆるｈｉｇｈ－ｋ材料を含む絶縁体を単層または積層で用いることが好ましい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体にｈｉｇｈ－ｋ材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

［０２２１］

特に、不純物、および酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料であるアルミニウム、ハフニウムの一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウムの一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体５２２を形成した場合、絶縁体５２２は、酸化物５３０からの酸素の放出や、トランジスタ５００の周辺部から酸化物５３０への水素等の不純物の混入を抑制する層として機能する。

［０２２２］

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

［０２２３］

また、絶縁体５２０は、熱的に安定していることが好ましい。例えば、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、好適である。また、ｈｉｇｈ－ｋ材料の絶縁体を酸化シリコン、または酸化窒化シリコンと組み合わせることで、熱的に安定かつ比誘電率の高い積層構成の絶縁体５２０や、絶縁体５２６を得ることができる。

［０２２４］

なお、図１６Ａおよび図１６Ｂのトランジスタ５００では、３層の積層構成からなる第２のゲート絶縁膜として、絶縁体５２０、絶縁体５２２、および絶縁体５２４が図示されているが、第２のゲート絶縁膜は、単層、２層、または４層以上の積層構成を有していてもよい。その場合、同じ材料からなる積層構成に限定されず、異なる材料からなる積層構成でもよい。

［０２２５］

トランジスタ５００は、チャネル形成領域を含む酸化物５３０に、酸化物半導体として機能する金属酸化物を用いる。例えば、酸化物５３０として、Ｉｎ－Ｍ－Ｚｎ酸化物（元素Ｍは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。

［０２２６］

酸化物半導体として機能する金属酸化物の形成は、スパッタリング法で行なってもよいし、ＡＬＤ（Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法で行なってもよい。なお、酸化物半導体として機能する金属酸化物については、他の実施の形態で詳細に説明する。

［０２２７］

また、酸化物５３０においてチャネル形成領域として機能する金属酸化物は、バンドギャップが２ｅＶ以上、好ましくは２．５ｅＶ以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

［０２２８］

酸化物５３０は、酸化物５３０ｂ下に酸化物５３０ａを有することで、酸化物５３０ａよりも下方に形成された構成物から、酸化物５３０ｂへの不純物の拡散を抑制することができる。

［０２２９］

なお、酸化物５３０は、各金属原子の原子数比が異なる複数の酸化物層の積層構成を有することが好ましい。具体的には、酸化物５３０ａに用いる金属酸化物において、構成元素中の元素Ｍの原子数比が、酸化物５３０ｂに用いる金属酸化物における、構成元素中の元素Ｍの原子数比より、大きいことが好ましい。また、酸化物５３０ａに用いる金属酸化物において、Ｉｎに対する元素Ｍの原子数比が、酸化物５３０ｂに用いる金属酸化物における、Ｉｎに対する元素Ｍの原子数比より大きいことが好ましい。また、酸化物５３０ｂに用いる金属酸化物において、元素Ｍに対するＩｎの原子数比が、酸化物５３０ａに用いる金属酸化物における、元素Ｍに対するＩｎの原子数比より大

きいことが好ましい。

［０２３０］

また、酸化物５３０ａの伝導帯下端のエネルギーが、酸化物５３０ｂの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物５３０ａ電子親和力が、酸化物５３０ｂの電子親和力より小さいことが好ましい。

［０２３１］

ここで、酸化物５３０ａおよび酸化物５３０ｂの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物５３０ａおよび酸化物５３０ｂの接合部における伝導帯下端のエネルギー準位は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物５３０ａと酸化物５３０ｂとの界面において形成される混合層の欠陥準位密度を低くするとよい。

［０２３２］

具体的には、酸化物５３０ａと酸化物５３０ｂが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物５３０ｂがＩｎ－Ｇａ－Ｚｎ酸化物の場合、酸化物５３０ａとして、Ｉｎ－Ｇａ－Ｚｎ酸化物、Ｇａ－Ｚｎ酸化物、酸化ガリウムなどを用いるとよい。

［０２３３］

このとき、キャリアの主たる経路は酸化物５３０ｂとなる。酸化物５３０ａを上述の構成とすることで、酸化物５３０ａと酸化物５３０ｂとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ５００は高いオン電流を得られる。

［０２３４］

酸化物５３０ｂ上には、ソース電極、およびドレイン電極として機能する導電体５４２ａ、および導電体５４２ｂが設けられる。導電体５４２ａ、および導電体５４２ｂとしては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。更に、窒化タンタルなどの金属窒化物膜は、水素または酸素に対するバリア性があるため好ましい。

［０２３５］

また、図１６Ａでは、導電体５４２ａ、および導電体５４２ｂを単層構成として示したが、２層以上の積層構成としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層す

る二層構成、銅－マグネシウム－アルミニウム合金膜上に銅膜を積層する二層構成、チタン膜上に銅膜を積層する二層構成、タングステン膜上に銅膜を積層する二層構成としてもよい。

［０２３６］

また、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構成、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構成等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

［０２３７］

また、図１６Ａに示すように、酸化物５３０の、導電体５４２ａ（導電体５４２ｂ）との界面とその近傍には、低抵抗領域として、領域５４３ａ、および領域５４３ｂが形成される場合がある。このとき、領域５４３ａはソース領域またはドレイン領域の一方として機能し、領域５４３ｂはソース領域またはドレイン領域の他方として機能する。また、領域５４３ａと領域５４３ｂに挟まれる領域にチャネル形成領域が形成される。

［０２３８］

酸化物５３０と接するように上記導電体５４２ａ（導電体５４２ｂ）を設けることで、領域５４３ａ（領域５４３ｂ）の酸素濃度が低減する場合がある。また、領域５４３ａ（領域５４３ｂ）に導電体５４２ａ（導電体５４２ｂ）に含まれる金属と、酸化物５３０の成分とを含む金属化合物層が形成される場合がある。このような場合、領域５４３ａ（領域５４３ｂ）のキャリア密度が増加し、領域５４３ａ（領域５４３ｂ）は、低抵抗領域となる。

［０２３９］

絶縁体５４４は、導電体５４２ａ、および導電体５４２ｂを覆うように設けられ、導電体５４２ａ、および導電体５４２ｂの酸化を抑制する。このとき、絶縁体５４４は、酸化物５３０の側面を覆い、絶縁体５２４と接するように設けられてもよい。

［０２４０］

絶縁体５４４として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、ネオジム、ランタンまたは、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。また、絶縁体５４４として、窒化酸化シリコンまたは窒化シリコンなども用いることができる。

［０２４１］

特に、絶縁体５４４として、アルミニウム、またはハフニウムの一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウム、およびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいため好ましい。なお、導電体５４２ａ、および導電体５４２ｂが耐酸化性を有する材料、または、酸素を吸収しても著しく導電性が低下しない場合、絶縁体５４４は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

［０２４２］

絶縁体５４４を有することで、絶縁体５８０に含まれる水、および水素などの不純物が絶縁体５

４５を介して、酸化物５３０ｂに拡散することを抑制することができる。また、絶縁体５８０が有する過剰酸素により、導電体５６０が酸化するのを抑制することができる。

［０２４３］

絶縁体５４５は、第１のゲート絶縁膜として機能する。絶縁体５４５は、上述した絶縁体５２４と同様に、過剰に酸素を含み、かつ加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

［０２４４］

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

［０２４５］

過剰酸素を含む絶縁体を絶縁体５４５として設けることにより、絶縁体５４５から、酸化物５３０ｂのチャネル形成領域に効果的に酸素を供給することができる。また、絶縁体５２４と同様に、絶縁体５４５中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体５４５の膜厚は、１ｎｍ以上２０ｎｍ以下とするのが好ましい。また、絶縁体５４５の形成前および／または形成後に、前述したマイクロ波処理を行なってもよい。

［０２４６］

また、絶縁体５４５が有する過剰酸素を、効率的に酸化物５３０へ供給するために、絶縁体５４５と導電体５６０との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体５４５から導電体５６０への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体５４５から導電体５６０への過剰酸素の拡散が抑制される。つまり、酸化物５３０へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体５６０の酸化を抑制することができる。当該金属酸化物としては、絶縁体５４４に用いることができる材料を用いればよい。

［０２４７］

なお、絶縁体５４５は、第２のゲート絶縁膜と同様に、積層構成としてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合があるため、ゲート絶縁膜として機能する絶縁体を、ｈｉｇｈ－ｋ材料と、熱的に安定している材料との積層構成とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、熱的に安定かつ比誘電率の高い積層構成とすることができる。

［０２４８］

第１のゲート電極として機能する導電体５６０は、図１６Ａおよび図１６Ｂでは２層構成として示しているが、単層構成でもよいし、３層以上の積層構成であってもよい。

［０２４９］

導電体５６０ａは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（N_2O、ＮＯ、NO_2など）、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体５６０ａが酸素の拡散を抑制する機能を持つことにより、絶縁体５４５に含まれる酸素により、導電体５６０ｂが酸化して導電率が低下す

ることを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。また、導電体５６０ａとして、酸化物５３０に適用できる酸化物半導体を用いることができる。その場合、導電体５６０ｂをスパッタリング法で成膜することで、導電体５６０ａの電気抵抗値を低下させて導電体にすることができる。これをＯＣ（Ｏｘｉｄｅ　Ｃｏｎｄｕｃｔｏｒ）電極と呼ぶことができる。

［０２５０］

また、導電体５６０ｂは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体５６０ｂは、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体５６０ｂは積層構成としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層構成としてもよい。

［０２５１］

絶縁体５８０は、絶縁体５４４を介して、導電体５４２ａ、および導電体５４２ｂ上に設けられる。絶縁体５８０は、過剰酸素領域を有することが好ましい。例えば、絶縁体５８０として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。特に、酸化シリコン、および酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

［０２５２］

絶縁体５８０は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体５８０を設けることで、絶縁体５８０中の酸素を酸化物５３０へと効率良く供給することができる。なお、絶縁体５８０中の水または水素などの不純物濃度が低減されていることが好ましい。

［０２５３］

絶縁体５８０の開口は、導電体５４２ａと導電体５４２ｂの間の領域に重畳して形成される。これにより、導電体５６０は、絶縁体５８０の開口、および導電体５４２ａと導電体５４２ｂに挟まれた領域に、埋め込まれるように形成される。

［０２５４］

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体５６０の導電性が下がらないようにする必要がある。そのために導電体５６０の膜厚を大きくすると、導電体５６０はアスペクト比が高い形状となりうる。本実施の形態では、導電体５６０を絶縁体５８０の開口に埋め込むように設けるため、導電体５６０をアスペクト比の高い形状にしても、工程中に導電体５６０を倒壊させることなく、形成することができる。

［０２５５］

絶縁体５７４は、絶縁体５８０の上面、導電体５６０の上面、および絶縁体５４５の上面に接して設けられることが好ましい。絶縁体５７４をスパッタリング法で成膜することで、絶縁体５４５、および絶縁体５８０へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物５３０中に酸素を供給することができる。

［０２５６］

例えば、絶縁体５７４として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、またはマグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

［０２５７］

特に、酸化アルミニウムはバリア性が高く、０．５ｎｍ以上３．０ｎｍ以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。

［０２５８］

また、絶縁体５７４の上に、層間膜として機能する絶縁体５８１を設けることが好ましい。絶縁体５８１は、絶縁体５２４などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。

［０２５９］

また、絶縁体５８１、絶縁体５７４、絶縁体５８０、および絶縁体５４４に形成された開口に、導電体５４０ａ、および導電体５４０ｂを配置する。導電体５４０ａおよび導電体５４０ｂは、導電体５６０を挟んで対向して設ける。導電体５４０ａおよび導電体５４０ｂは、後述する導電体５４６、および導電体５４８と同様の構成である。

［０２６０］

絶縁体５８１上には、絶縁体５８２が設けられている。絶縁体５８２は、酸素や水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体５８２には、絶縁体５１４と同様の材料を用いることができる。例えば、絶縁体５８２には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

［０２６１］

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ５００への混入を防止することができる。また、トランジスタ５００を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ５００に対する保護膜として用いることに適している。

［０２６２］

また、絶縁体５８２上には、絶縁体５８６が設けられている。絶縁体５８６は、絶縁体３２０と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体５８６として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

［０２６３］

また、絶縁体５２０、絶縁体５２２、絶縁体５２４、絶縁体５４４、絶縁体５８０、絶縁体５７４、絶縁体５８１、絶縁体５８２、および絶縁体５８６には、導電体５４６、および導電体５４８等が埋め込まれている。

［０２６４］

導電体５４６、および導電体５４８は、容量素子６００、トランジスタ５００、またはトランジ

スタ５５０と接続するプラグ、または配線としての機能を有する。導電体５４６、および導電体５４８は、導電体３２８、および導電体３３０と同様の材料を用いて設けることができる。

［０２６５］

また、トランジスタ５００の形成後、トランジスタ５００を囲むように開口を形成し、当該開口を覆うように、水素、または水に対するバリア性が高い絶縁体を形成してもよい。上述のバリア性の高い絶縁体でトランジスタ５００を包み込むことで、外部から水分、および水素が侵入するのを防止することができる。または、複数のトランジスタ５００をまとめて、水素、または水に対するバリア性が高い絶縁体で包み込んでもよい。なお、トランジスタ５００を囲むように開口を形成する場合、例えば、絶縁体５２２または絶縁体５１４に達する開口を形成し、絶縁体５２２または絶縁体５１４に接するように上述のバリア性の高い絶縁体を形成すると、トランジスタ５００の作製工程の一部を兼ねられるため、好適である。なお、水素、または水に対するバリア性が高い絶縁体としては、例えば、絶縁体５２２または絶縁体５１４と同様の材料を用いればよい。

［０２６６］

続いて、トランジスタ５００の上方には、容量素子６００が設けられている。容量素子６００は、導電体６１０と、導電体６２０と、絶縁体６３０とを有する。

［０２６７］

また、導電体５４６、および導電体５４８上に、導電体６１２を設けてもよい。導電体６１２は、トランジスタ５００と接続するプラグ、または配線としての機能を有する。導電体６１０は、容量素子６００の電極としての機能を有する。なお、導電体６１２、および導電体６１０は、同時に形成することができる。

［０２６８］

導電体６１２、および導電体６１０には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。または、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

［０２６９］

本実施の形態では、導電体６１２、および導電体６１０を単層構成で示したが、当該構成に限定されず、２層以上の積層構成でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

［０２７０］

絶縁体６３０を介して、導電体６１０と重畳するように、導電体６２０を設ける。なお、導電体６２０は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構成と同時に形成する場合は、低抵抗金属材料であるＣｕ（銅）やＡｌ（アルミニウム）等を用いればよい。

［０２７１］

導電体６２０、および絶縁体６３０上には、絶縁体６４０が設けられている。絶縁体６４０は、絶縁体３２０と同様の材料を用いて設けることができる。また、絶縁体６４０は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

［０２７２］

本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。

［０２７３］

＜トランジスタの変形例１＞

図１７Ａ、図１７Ｂ、および図１７Ｃに示すトランジスタ５００Ａは、図１６Ａ、図１６Ｂに示す構成のトランジスタ５００の変形例である。図１７Ａはトランジスタ５００Ａの上面図であり、図１７Ｂはトランジスタ５００Ａのチャネル長方向の断面図であり、図１７Ｃはトランジスタ５００Ａのチャネル幅方向の断面図である。なお、図１７Ａの上面図では、図の明瞭化のために一部の要素の記載を省略している。図１７Ａ、図１７Ｂ、および図１７Ｃに示す構成は、トランジスタ５５０等、本発明の一態様の半導体装置が有する他のトランジスタにも適用することができる。

［０２７４］

図１７Ａ、図１７Ｂ、および図１７Ｃに示す構成のトランジスタ５００Ａは、絶縁体５５２、絶縁体５１３および絶縁体４０４を有する点が、図１６Ａ、図１６Ｂに示す構成のトランジスタ５００と異なる。また、導電体５４０ａの側面に接して絶縁体５５２が設けられ、導電体５４０ｂの側面に接して絶縁体５５２が設けられる点が、図１６Ａ、図１６Ｂに示す構成のトランジスタ５００と異なる。さらに、絶縁体５２０を有さない点が、図１６Ａ、図１６Ｂに示す構成のトランジスタ５００と異なる。

［０２７５］

図１７Ａ、図１７Ｂ、および図１７Ｃに示す構成のトランジスタ５００Ａは、絶縁体５１２上に絶縁体５１３が設けられる。また、絶縁体５７４上、および絶縁体５１３上に絶縁体４０４が設けられる。

［０２７６］

図１７Ａ、図１７Ｂ、および図１７Ｃに示す構成のトランジスタ５００Ａでは、絶縁体５１４、絶縁体５１６、絶縁体５２２、絶縁体５２４、絶縁体５４４、絶縁体５８０、および絶縁体５７４がパターニングされており、絶縁体４０４がこれらを覆う構成になっている。つまり、絶縁体４０４は、絶縁体５７４の上面、絶縁体５７４の側面、絶縁体５８０の側面、絶縁体５４４の側面、絶縁体５２４の側面、絶縁体５２２の側面、絶縁体５１６の側面、絶縁体５１４の側面、絶縁体５１３の上面とそれぞれ接する。これにより、酸化物５３０等は、絶縁体４０４と絶縁体５１３によって外部から隔離される。

［０２７７］

絶縁体５１３および絶縁体４０４は、水素（例えば、水素原子、水素分子などの少なくとも一）または水分子の拡散を抑制する機能が高いことが好ましい。例えば、絶縁体５１３および絶縁体４０４として、水素バリア性が高い材料である、窒化シリコンまたは窒化酸化シリコンを用いることが好ましい。これにより、酸化物５３０に水素等が拡散することを抑制することができるので、トランジスタ５００Ａの特性低下を抑制できる。よって、本発明の一態様の半導体装置の信頼性を高めることができる。

［０２７８］

絶縁体５５２は、絶縁体５８１、絶縁体４０４、絶縁体５７４、絶縁体５８０、および絶縁体５４４に接して設けられる。絶縁体５５２は、水素または水分子の拡散を抑制する機能を有することが好ましい。たとえば、絶縁体５５２として、水素バリア性が高い材料である、窒化シリコン、酸化アルミニウム、または窒化酸化シリコン等の絶縁体を用いることが好ましい。特に、窒化シリコンは水素バリア性が高い材料であるので、絶縁体５５２として用いると好適である。絶縁体５５２として水素バリア性が高い材料を用いることにより、水または水素等の不純物が、絶縁体５８０等から導電体５４０ａおよび導電体５４０ｂを通じて酸化物５３０に拡散することを抑制することができる。また、絶縁体５８０に含まれる酸素が導電体５４０ａおよび導電体５４０ｂに吸収されることを抑制することができる。以上により、本発明の一態様の半導体装置の信頼性を高めることができる。

［０２７９］

＜トランジスタの変形例２＞

図１８Ａ、図１８Ｂおよび図１８Ｃを用いて、トランジスタ５００Ｂの構成例を説明する。図１８Ａはトランジスタ５００Ｂの上面図である。図１８Ｂは、図１８Ａに一点鎖線で示すＬ１－Ｌ２部位の断面図である。図１８Ｃは、図１８Ａに一点鎖線で示すＷ１－Ｗ２部位の断面図である。なお、図１８Ａの上面図では、図の明瞭化のために一部の要素の記載を省略している。

［０２８０］

トランジスタ５００Ｂはトランジスタ５００の変形例であり、トランジスタ５００に置き換え可能なトランジスタである。よって、説明の繰り返しを防ぐため、主にトランジスタ５００Ｂのトランジスタ５００と異なる点について説明する。

［０２８１］

第１のゲート電極として機能する導電体５６０は、導電体５６０ａ、および導電体５６０ａ上の導電体５６０ｂを有する。導電体５６０ａは、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

［０２８２］

導電体５６０ａが酸素の拡散を抑制する機能を持つことにより、導電体５６０ｂの材料選択性を向上することができる。つまり、導電体５６０ａを有することで、導電体５６０ｂの酸化が抑制され、導電率が低下することを防止することができる。

［０２８３］

また、導電体５６０の上面および側面と絶縁体５４５の側面を覆うように、絶縁体５４４を設けることが好ましい。なお、絶縁体５４４は、水または水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

［０２８４］

絶縁体５４４を設けることで、導電体５６０の酸化を抑制することができる。また、絶縁体５４

４を有することで、絶縁体５８０が有する水、および水素などの不純物がトランジスタ５００Ｂへ拡散することを抑制することができる。

［０２８５］

トランジスタ５００Ｂは、導電体５４２ａの一部と導電体５４２ｂの一部に導電体５６０が重なるため、トランジスタ５００よりも寄生容量が大きくなりやすい。よって、トランジスタ５００に比べて動作周波数が低くなる傾向がある。しかしながら、絶縁体５８０などに開口を設けて導電体５６０や絶縁体５４５などを埋めこむ工程が不要であるため、トランジスタ５００と比較して生産性が高い。

［０２８６］

本実施の形態に示す構成、構造、方法などは、他の実施の形態および実施例などに示す構成、構造、方法などと適宜組み合わせて用いることができる。

［０２８７］

（実施の形態５）

本実施の形態では、酸化物半導体の結晶構造などに関して詳細に説明する。

［０２８８］

〔結晶構造の分類〕

まず、酸化物半導体における、結晶構造の分類について、図１９Ａを用いて説明を行う。図１９Ａは、酸化物半導体、代表的にはＩＧＺＯ（Ｉｎと、Ｇａと、Ｚｎと、を含む金属酸化物）の結晶構造の分類を説明する図である。

［０２８９］

図１９Ａに示すように、酸化物半導体は、大きく分けて「Ａｍｏｒｐｈｏｕｓ（無定形）」と、「Ｃｒｙｓｔａｌｌｉｎｅ（結晶性）」と、「Ｃｒｙｓｔａｌ（結晶）」と、に分類される。また、「Ａｍｏｒｐｈｏｕｓ」の中には、ｃｏｍｐｌｅｔｅｌｙ　ａｍｏｒｐｈｏｕｓが含まれる。また、「Ｃｒｙｓｔａｌｌｉｎｅ」の中には、ＣＡＡＣ（ｃ－ａｘｉｓ－ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌｌｉｎｅ）、ｎｃ（ｎａｎｏｃｒｙｓｔａｌｌｉｎｅ）、及びＣＡＣ（ｃｌｏｕｄ－ａｌｉｇｎｅｄ　ｃｏｍｐｏｓｉｔｅ）が含まれる。なお、「Ｃｒｙｓｔａｌｌｉｎｅ」の分類には、ｓｉｎｇｌｅ　ｃｒｙｓｔａｌ、ｐｏｌｙ　ｃｒｙｓｔａｌ、及びｃｏｍｐｌｅｔｅｌｙ　ａｍｏｒｐｈｏｕｓは除かれる。また、「Ｃｒｙｓｔａｌ」の中には、ｓｉｎｇｌｅ　ｃｒｙｓｔａｌ、及びｐｏｌｙ　ｃｒｙｓｔａｌが含まれる。

［０２９０］

なお、図１９Ａに示す太枠内の構造は、「Ａｍｏｒｐｈｏｕｓ（無定形）」と、「Ｃｒｙｓｔａｌ（結晶）」との間の中間状態であり、新しい境界領域（Ｎｅｗ　ｃｒｙｓｔａｌｌｉｎｅ　ｐｈａｓｅ）に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Ａｍｏｒｐｈｏｕｓ（無定形）」や、「Ｃｒｙｓｔａｌ（結晶）」とは全く異なる構造と言い換えることができる。

［０２９１］

なお、膜または基板の結晶構造は、Ｘ線回折（ＸＲＤ：Ｘ－Ｒａｙ　Ｄｉｆｆｒａｃｔｉｏｎ）スペクトルを用いて評価することができる。ここで、「Ｃｒｙｓｔａｌｌｉｎｅ」に分類されるＣＡＡＣ－ＩＧＺＯ膜のＧＩＸＤ（Ｇｒａｚｉｎｇ－Ｉｎｃｉｄｅｎｃｅ　ＸＲＤ）測定で得られるＸＲＤスペクトルを図１９Ｂに示す。なお、ＧＩＸＤ法は、薄膜法またはＳｅｅｍａｎｎ－Ｂｏｈｌｉｎ法ともいう。以降、図１９Ｂに示すＧＩＸＤ測定で得られるＸＲＤスペクトルを、単にＸＲ

Ｄスペクトルと記す。なお、図１９Ｂに示すＣＡＡＣ－ＩＧＺＯ膜の組成は、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３［原子数比］近傍である。また、図１９Ｂに示すＣＡＡＣ－ＩＧＺＯ膜の厚さは、５００ｎｍである。

［０２９２］

図１９Ｂに示すように、ＣＡＡＣ－ＩＧＺＯ膜のＸＲＤスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、ＣＡＡＣ－ＩＧＺＯ膜のＸＲＤスペクトルでは、２θ＝３１°近傍に、ｃ軸配向を示すピークが検出される。なお、図１９Ｂに示すように、２θ＝３１°近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

［０２９３］

また、膜または基板の結晶構造は、極微電子線回折法（ＮＢＥＤ：Ｎａｎｏ　Ｂｅａｍ　Ｅｌｅｃｔｒｏｎ　Ｄｉｆｆｒａｃｔｉｏｎ）によって観察される回折パターン（極微電子線回折パターンともいう。）にて評価することができる。ＣＡＡＣ－ＩＧＺＯ膜の回折パターンを、図１９Ｃに示す。図１９Ｃは、電子線を基板に対して平行に入射するＮＢＥＤによって観察される回折パターンである。なお、図１９Ｃに示すＣＡＡＣ－ＩＧＺＯ膜の組成は、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３［原子数比］近傍である。また、極微電子線回折法では、プローブ径を１ｎｍとして電子線回折が行われる。

［０２９４］

図１９Ｃに示すように、ＣＡＡＣ－ＩＧＺＯ膜の回折パターンでは、ｃ軸配向を示す複数のスポットが観察される。

［０２９５］

［酸化物半導体の構造］

なお、酸化物半導体は、結晶構造に着目した場合、図１９Ａとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のＣＡＡＣ－ＯＳ、及びｎｃ－ＯＳがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体（ａ－ｌｉｋｅ　ＯＳ：ａｍｏｒｐｈｏｕｓ－ｌｉｋｅ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、非晶質酸化物半導体、などが含まれる。

［０２９６］

続いて、上述のＣＡＡＣ－ＯＳ、ｎｃ－ＯＳ、及びａ－ｌｉｋｅ　ＯＳの詳細について、説明を行う。

［０２９７］

［ＣＡＡＣ－ＯＳ］

ＣＡＡＣ－ＯＳは、複数の結晶領域を有し、当該複数の結晶領域はｃ軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、ＣＡＡＣ－ＯＳ膜の厚さ方向、ＣＡＡＣ－ＯＳ膜の被形成面の法線方向、またはＣＡＡＣ－ＯＳ膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、ＣＡＡＣ－ＯＳは、ａ－ｂ面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、ＣＡＡＣ－ＯＳは、ｃ軸配向し、ａ－ｂ面方向には明

らかな配向をしていない酸化物半導体である。

［０２９８］

なお、上記複数の結晶領域のそれぞれは、１つまたは複数の微小な結晶（最大径が１０ｎｍ未満である結晶）で構成される。結晶領域が１つの微小な結晶で構成されている場合、当該結晶領域の最大径は１０ｎｍ未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十ｎｍ程度となる場合がある。

［０２９９］

また、Ｉｎ－Ｍ－Ｚｎ酸化物（元素Ｍは、アルミニウム、ガリウム、イットリウム、スズ、チタンなどから選ばれた一種、または複数種）において、ＣＡＡＣ－ＯＳは、インジウム（Ｉｎ）、及び酸素を有する層（以下、Ｉｎ層）と、元素Ｍ、亜鉛（Ｚｎ）、及び酸素を有する層（以下、（Ｍ，Ｚｎ）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Ｍは、互いに置換可能である。よって、（Ｍ，Ｚｎ）層にはインジウムが含まれる場合がある。また、Ｉｎ層には元素Ｍが含まれる場合がある。なお、Ｉｎ層にはＺｎが含まれる場合もある。当該層状構造は、例えば、高分解能ＴＥＭ像において、格子像として観察される。

［０３００］

ＣＡＡＣ－ＯＳ膜に対し、例えば、ＸＲＤ装置を用いて構造解析を行うと、θ／２θ スキャンを用いたＯｕｔ－ｏｆ－ｐｌａｎｅ　ＸＲＤ測定では、ｃ軸配向を示すピークが２θ＝３１°またはその近傍に検出される。なお、ｃ軸配向を示すピークの位置（２θ の値）は、ＣＡＡＣ－ＯＳを構成する金属元素の種類、組成などにより変動する場合がある。

［０３０１］

また、例えば、ＣＡＡＣ－ＯＳ膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう。）を対称中心として、点対称の位置に観測される。

［０３０２］

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、ＣＡＡＣ－ＯＳにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、ＣＡＡＣ－ＯＳが、ａ－ｂ面方向において酸素原子の配列が稠密でないことや、金属原子が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

［０３０３］

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（ｐｏｌｙｃｒｙｓｔａｌ）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないＣＡＡＣ－ＯＳは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、ＣＡＡＣ－ＯＳを構成するには、Ｚｎを有する構成が好ましい。例えば、Ｉｎ－Ｚｎ酸化物、及びＩｎ－Ｇａ－Ｚｎ酸化物は、Ｉｎ酸化物よりも結晶粒界の発生を抑制できるため好適である。

［０３０４］

ＣＡＡＣ－ＯＳは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、

ＣＡＡＣ－ＯＳは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、ＣＡＡＣ－ＯＳは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、ＣＡＡＣ－ＯＳを有する酸化物半導体は、物理的性質が安定する。そのため、ＣＡＡＣ－ＯＳを有する酸化物半導体は熱に強く、信頼性が高い。また、ＣＡＡＣ－ＯＳは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、ＯＳトランジスタにＣＡＡＣ－ＯＳを用いると、製造工程の自由度を広げることが可能となる。

［０３０５］

［ｎｃ－ＯＳ］

ｎｃ－ＯＳは、微小な領域（例えば、１ｎｍ以上１０ｎｍ以下の領域、特に１ｎｍ以上３ｎｍ以下の領域）において原子配列に周期性を有する。別言すると、ｎｃ－ＯＳは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、１ｎｍ以上１０ｎｍ以下、特に１ｎｍ以上３ｎｍ以下であることから、当該微小な結晶をナノ結晶ともいう。また、ｎｃ－ＯＳは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、ｎｃ－ＯＳは、分析方法によっては、ａ－ｌｉｋｅ　ＯＳや非晶質酸化物半導体と区別が付かない場合がある。例えば、ｎｃ－ＯＳ膜に対し、ＸＲＤ装置を用いて構造解析を行うと、θ／２θ　スキャンを用いたＯｕｔ－ｏｆ－ｐｌａｎｅ　ＸＲＤ測定では、結晶性を示すピークが検出されない。また、ｎｃ－ＯＳ膜に対し、ナノ結晶よりも大きいプローブ径（例えば５０ｎｍ以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、ｎｃ－ＯＳ膜に対し、ナノ結晶の大きさと近いかナノ結晶より小さいプローブ径（例えば１ｎｍ以上３０ｎｍ以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

［０３０６］

［ａ－ｌｉｋｅ　ＯＳ］

ａ－ｌｉｋｅ　ＯＳは、ｎｃ－ＯＳと非晶質酸化物半導体との間の構造を有する酸化物半導体である。ａ－ｌｉｋｅ　ＯＳは、鬆又は低密度領域を有する。即ち、ａ－ｌｉｋｅ　ＯＳは、ｎｃ－ＯＳ及びＣＡＡＣ－ＯＳと比べて、結晶性が低い。また、ａ－ｌｉｋｅ　ＯＳは、ｎｃ－ＯＳ及びＣＡＡＣ－ＯＳと比べて、膜中の水素濃度が高い。

［０３０７］

［酸化物半導体の構成］

次に、上述のＣＡＣ－ＯＳの詳細について、説明を行う。なお、ＣＡＣ－ＯＳは材料構成に関する。

［０３０８］

［ＣＡＣ－ＯＳ］

ＣＡＣ－ＯＳとは、例えば、金属酸化物を構成する元素が、０．５ｎｍ以上１０ｎｍ以下、好ましくは、１ｎｍ以上３ｎｍ以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、０．５ｎｍ以上１０ｎｍ以下、好ましくは、１ｎｍ以上３ｎｍ以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

［０３０９］

さらに、ＣＡＣ－ＯＳとは、第１の領域と、第２の領域と、に材料が分離することでモザイク状となり、当該第１の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、ＣＡＣ－ＯＳは、当該第１の領域と、当該第２の領域とが、混合している構成を有する複合金属酸化物である。

［０３１０］

ここで、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳを構成する金属元素に対するＩｎ、Ｇａ、およびＺｎの原子数比のそれぞれを、［Ｉｎ］、［Ｇａ］、および［Ｚｎ］と表記する。例えば、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳにおいて、第１の領域は、［Ｉｎ］が、ＣＡＣ－ＯＳ膜の組成における［Ｉｎ］よりも大きい領域である。また、第２の領域は、［Ｇａ］が、ＣＡＣ－ＯＳ膜の組成における［Ｇａ］よりも大きい領域である。または、例えば、第１の領域は、［Ｉｎ］が、第２の領域における［Ｉｎ］よりも大きく、且つ、［Ｇａ］が、第２の領域における［Ｇａ］よりも小さい領域である。また、第２の領域は、［Ｇａ］が、第１の領域における［Ｇａ］よりも大きく、且つ、［Ｉｎ］が、第１の領域における［Ｉｎ］よりも小さい領域である。

［０３１１］

具体的には、上記第１の領域は、インジウム酸化物、インジウム亜鉛酸化物などが主成分である領域である。また、上記第２の領域は、ガリウム酸化物、ガリウム亜鉛酸化物などが主成分である領域である。つまり、上記第１の領域を、Ｉｎを主成分とする領域と言い換えることができる。また、上記第２の領域を、Ｇａを主成分とする領域と言い換えることができる。

［０３１２］

なお、上記第１の領域と、上記第２の領域とは、明確な境界が観察できない場合がある。

［０３１３］

例えば、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳでは、エネルギー分散型Ｘ線分光法（ＥＤＸ：Ｅｎｅｒｇｙ　Ｄｉｓｐｅｒｓｉｖｅ　Ｘ－ｒａｙ　ｓｐｅｃｔｒｏｓｃｏｐｙ）を用いて取得したＥＤＸマッピングにより、Ｉｎを主成分とする領域（第１の領域）と、Ｇａを主成分とする領域（第２の領域）とが、偏在し、混合している構造を有することが確認できる。

［０３１４］

ＣＡＣ－ＯＳをトランジスタに用いる場合、第１の領域に起因する導電性と、第２の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能（Ｏｎ／Ｏｆｆさせる機能）をＣＡＣ－ＯＳに付与することができる。つまり、ＣＡＣ－ＯＳとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、ＣＡＣ－ＯＳをトランジスタに用いることで、高いオン電流（I_{on}）、高い電界効果移動度（μ）、および良好なスイッチング動作を実現することができる。

［０３１５］

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、ａ－ｌｉｋｅ　ＯＳ、ＣＡＣ－ＯＳ、ｎｃ－ＯＳ、ＣＡＡＣ－ＯＳのうち、二種以上を有していてもよい。

［０３１６］

〔酸化物半導体を有するトランジスタ〕

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

［０３１７］

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

［０３１８］

トランジスタのチャネル形成領域には、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のチャネル形成領域のキャリア濃度は、$１\times１０^{18}ｃｍ^{-3}$以下であることが好ましく、$１\times１０^{17}ｃｍ^{-3}$未満であることがより好ましく、$１\times１０^{16}ｃｍ^{-3}$未満であることがさらに好ましく、$１\times１０^{13}ｃｍ^{-3}$未満であることがさらに好ましく、$１\times１０^{12}ｃｍ^{-3}$未満であることがさらに好ましい。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

［０３１９］

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

［０３２０］

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

［０３２１］

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

［０３２２］

〔不純物〕

ここで、酸化物半導体中における各不純物の影響について説明する。

［０３２３］

酸化物半導体において、第１４族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体のチャネル形成領域におけるシリコンや炭素の濃度と、酸化物半導体のチャネル形成領域との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ　Ｉｏｎ　Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）により得られる濃度）を、$２\times１０^{18}ａｔｏｍｓ／ｃｍ^{3}$以下、好ましくは$２\times１０^{17}ａｔｏｍｓ／ｃｍ^{3}$以下とする。

［０３２４］

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、ＳＩＭＳにより得ら

れる酸化物半導体のチャネル形成領域中のアルカリ金属又はアルカリ土類金属の濃度を、１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは２×１０^{16}ａｔｏｍｓ／ｃｍ^{3}以下にする。

［０３２５］

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、ｎ型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、ＳＩＭＳにより得られる酸化物半導体のチャネル形成領域中の窒素濃度を、５×１０^{19}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは５×１０^{17}ａｔｏｍｓ／ｃｍ^{3}以下にする。

［０３２６］

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体のチャネル形成領域における中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体のチャネル形成領域において、ＳＩＭＳにより得られる水素濃度を、１×１０^{20}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは５×１０^{19}ａｔｏｍｓ／ｃｍ^{3}未満、より好ましくは１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}未満、さらに好ましくは５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}未満、さらに好ましくは１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}未満にする。

［０３２７］

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

［０３２８］

本実施の形態に示す構成、構造、方法などは、他の実施の形態および実施例などに示す構成、構造、方法などと適宜組み合わせて用いることができる。

［０３２９］

（実施の形態６）

本実施の形態では、上記実施の形態で説明した半導体装置１００の構成を含む集積回路の構成について図２０および図２１を参照しながら説明する。

［０３３０］

図２０は、半導体装置１００の構成を含む集積回路の構成例を説明するためのブロック図の一例である。

［０３３１］

図２０に図示する集積回路３９０は、ＣＰＵ１０、アクセラレータ２０、オンチップメモリ１３１、ＤＭＡＣ（Ｄｉｒｅｃｔ　Ｍｅｍｏｒｙ　Ａｃｃｅｓｓ　Ｃｏｎｔｒｏｌｌｅｒ）１４１、電源回路１６０、パワーマネジメントユニット（ＰＭＵ）１４２、セキュリティー回路１４７、メモリコントローラ１４３、ＤＤＲ　ＳＤＲＡＭ（Ｄｏｕｂｌｅ　Ｄａｔａ　Ｒａｔｅ　Ｓｙｎｃｈｒｏｎｏｕｓ　Ｄｙｎａｍｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）コントローラ１４４、ＵＳＢ（Ｕｎｉｖｅｒｓａｌ　Ｓｅｒｉａｌ　Ｂｕｓ）インターフェース回路１４５、ディスプレ

イインターフェース回路１４６、ブリッジ回路１５０、割り込み制御回路１５１、インターフェース回路１５２、バッテリー制御回路１５３、およびＡＤＣ（Ａｎａｌｏｇ－ｔｏ－ｄｉｇｉｔａｌ ｃｏｎｖｅｒｔｅｒ）／ＤＡＣ（Ｄｉｇｉｔａｌ－ｔｏ－ａｎａｌｏｇ ｃｏｎｖｅｒｔｅｒ）インターフェース回路１５４を有する。

［０３３２］

ＣＰＵ１０は、一例として、ＣＰＵコア１１１、命令キャッシュ１１２、データキャッシュ１１３、およびバスインターフェース回路１１４を有する。アクセラレータ２０は、メモリ回路１２１、演算回路１２２、および駆動回路１２３を有する。

［０３３３］

ＣＰＵコア１１１は、複数のＣＰＵコアを有する。命令キャッシュ１１２は、ＣＰＵコア１１１で実行する命令を一時的に記憶する回路構成とすればよい。データキャッシュ１１３は、ＣＰＵコア１１１で処理するデータまたは処理によって得られたデータを一時的に記憶する回路構成とすればよい。バスインターフェース回路１１４は、ＣＰＵ１０と、半導体装置内の他の回路とを接続するためのバスとデータやアドレス等の信号を送受信することができる回路構成であればよい。

［０３３４］

メモリ回路１２１は、実施の形態１で説明したメモリ回路２４に相当する。メモリ回路１２１は、アクセラレータ２０で処理するデータを記憶する回路構成とすればよい。演算回路１２２は、実施の形態１で説明した演算回路２３に相当する。演算回路１２２は、メモリ回路１２１に保持したデータの演算処理を行う回路構成とすればよい。駆動回路１２３は、実施の形態１で説明した駆動回路１５を備えた構成に相当する。駆動回路１２３は、図９Ｂで図示したように、アクセラレータ２０内の各回路を制御するための回路構成とすればよい。

［０３３５］

高速バス１４０Ａは、ＣＰＵ１０、アクセラレータ２０、オンチップメモリ１３１、ＤＭＡＣ１４１、パワーマネジメントユニット１４２、セキュリティー回路１４７、メモリコントローラ１４３、ＤＤＲ ＳＤＲＡＭコントローラ１４４、ＵＳＢインターフェース回路１４５、およびディスプレイインターフェース回路１４６の間の各種信号を高速で送受信するためのバスである。一例としては、ＡＭＢＡ（Ａｄｖａｎｃｅｄ Ｍｉｃｒｏｃｏｎｔｏｒｏｌｌｅｒ Ｂｕｓ Ａｒｔｃｉｔｅｃｔｕｒｅ）－ＡＨＢ（Ａｄｖａｎｃｅｄ Ｈｉｇｈ－ｐｅｒｆｅｒｍａｎｃｅ Ｂｕｓ）をバスとして用いることができる。

［０３３６］

オンチップメモリ１３１は、集積回路３９０が有する回路、例えばＣＰＵ１０またはアクセラレータ２０に入出力するデータまたはプログラムを記憶するための回路構成を有する。

［０３３７］

ＤＭＡＣ１４１は、ダイレクトメモリアクセスコントローラである。ＤＭＡＣ１４１を有することで、ＣＰＵ１０以外の周辺機器は、ＣＰＵ１０を介さずにオンチップメモリ１３１にアクセスすることができる。

［０３３８］

パワーマネジメントユニット１４２は、集積回路３９０が有するＣＰＵコア等の回路のパワーゲーティングを制御するための回路構成を有する。

［０３３９］

セキュリティー回路１４７は、集積回路３９０と外部の回路との間で暗号化して信号を送受信するなど、信号の秘匿性を高めるための回路構成を有する。

［０３４０］

メモリコントローラ１４３は、集積回路３９０の外部にあるプログラムメモリからＣＰＵ１０またはアクセラレータ２０で実行するためのプログラムを書き込みまたは読み出しを行うための回路構成を有する。

［０３４１］

ＤＤＲ　ＳＤＲＡＭコントローラ１４４は、集積回路３９０の外部にあるＤＲＡＭ等のメインメモリとの間でデータを書き込みまたは読み出しを行うための回路構成を有する。

［０３４２］

ＵＳＢインターフェース回路１４５は、集積回路３９０の外部にある回路とＵＳＢ端子を介してデータの送受信を行うための回路構成を有する。

［０３４３］

ディスプレイインターフェース回路１４６は、集積回路３９０の外部にあるディスプレイデバイスとデータの送受信を行うための回路構成を有する。

［０３４４］

電源回路１６０は、集積回路３９０内で用いる電圧を生成するための回路である。例えば、ＯＳトランジスタのバックゲートに与える、電気的特性を安定化するための負電圧を生成する回路である。

［０３４５］

低速バス１４０Ｂは、割り込み制御回路１５１、インターフェース回路１５２、バッテリー制御回路１５３、およびＡＤＣ／ＤＡＣインターフェース回路１５４の間の各種信号を低速で送受信するためのバスである。一例としては、ＡＭＢＡ－ＡＰＢ（Ａｄｖａｎｃｅｄ　Ｐｅｒｉｐｈｅｒａｌ　Ｂｕｓ）をバスとして用いることができる。高速バス１４０Ａと低速バス１４０Ｂとの間の各種信号の送受信は、ブリッジ回路１５０を介して行う。

［０３４６］

割り込み制御回路１５１は、周辺機器から受け取る要求に対して、割り込み処理を行うための回路構成を有する。

［０３４７］

インターフェース回路１５２は、ＵＡＲＴ（Ｕｎｉｖｅｒｓａｌ　Ａｓｙｎｃｈｒｏｎｏｕｓ　Ｒｅｃｅｉｖｅｒ／Ｔｒａｎｓｍｉｔｔｅｒ）や、Ｉ２Ｃ（Ｉｎｔｅｒ－Ｉｎｔｅｇｒａｔｅｄ　Ｃｉｒｃｕｉｔ）、ＳＰＩ（Ｓｅｒｉａｌ　Ｐｅｒｉｐｈｅｒａｌ　Ｉｎｔｅｒｆａｃｅ）などのインターフェースを機能させるための回路構成を有する。

［０３４８］

バッテリー制御回路１５３は、集積回路３９０の外部にあるバッテリーの充放電に関するデータを送受信するための回路構成を有する。

［０３４９］

ＡＤＣ／ＤＡＣインターフェース回路１５４は、集積回路３９０の外部にあるＭＥＭＳ（Ｍｉｃｒｏ　Ｅｌｅｃｔｒｏ　Ｍｅｃｈａｎｉｃａｌ　Ｓｙｓｔｅｍｓ）デバイス等のアナログ信号を出力するデバイスとの間でデータを送受信するための回路構成を有する。

［０３５０］

図２１Ａ、図２１Ｂは、ＳｏＣ化した際の回路ブロックの配置の一例を示す図である。図２１Ａに図示する集積回路３９０のように図２０のブロック図で図示した各構成は、チップ上で領域を区切って配置することができる。

［０３５１］

なお図２０で説明したオンチップメモリ１３１は、ＯＳトランジスタで構成される記憶回路、例えばＮＯＳＲＡＭ等で構成することができる。つまりオンチップメモリ１３１とメモリ回路１２１とは、同じ回路構成を有する。そのため、ＳｏＣ化した際、図２１Ｂに図示する集積回路３９０Ｅのようにオンチップメモリ１３１とメモリ回路１２１とを一体化して同じ領域内に配置することも可能である。

［０３５２］

以上説明した本発明の一態様により、新規な半導体装置および電子機器を提供することができる。又は、本発明の一態様により、消費電力の小さい半導体装置および電子機器を提供することができる。又は、本発明の一態様により、発熱の抑制が可能な半導体装置および電子機器を提供することができる。

［０３５３］

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

［０３５４］

（実施の形態７）

本実施の形態では、上記実施の形態で説明した集積回路３９０を適用することが可能な電子機器、移動体、演算システムについて、図２２乃至図２５を参照しながら説明する。

［０３５５］

図２２Ａは、移動体の一例として自動車の外観図を図示している。図２２Ｂは、自動車内でのデータのやり取りを簡略化した図である。自動車５９０は、複数のカメラ５９１等を有する。また、自動車５９０は、赤外線レーダー、ミリ波レーダー、レーザーレーダーなど各種センサ（図示せず）などを備える。

［０３５６］

自動車５９０において、カメラ５９１等に上記集積回路３９０を用いることができる。自動車５９０は、カメラ５９１が複数の撮像方向５９２で得られた複数の画像を上記実施の形態で説明した集積回路３９０で処理し、バス５９３等を介してホストコントローラ５９４等により複数の画像をまとめて解析することで、ガードレールや歩行者の有無など、周囲の交通状況を判断し、自動運転を行うことができる。また、道路案内、危険予測などを行うシステムに用いることができる。

［０３５７］

集積回路３９０では、得られた画像データをニューラルネットワークなどの演算処理を行うことで、例えば、画像の高解像度化、画像ノイズの低減、顔認識（防犯目的など）、物体認識（自動運転の目的など）、画像圧縮、画像補正（広ダイナミックレンジ化）、レンズレスイメージセンサの画像復元、位置決め、文字認識、反射映り込み低減などの処理を行うことができる。

［０３５８］

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機

（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様の半導体装置を適用して、人工知能を利用したシステムを付与することができる。

［０３５９］

図２３Ａは、携帯型電子機器の一例を示す外観図である。図２３Ｂは、携帯型電子機器内でのデータのやり取りを簡略化した図である。携帯型電子機器５９５は、プリント配線基板５９６、スピーカー５９７、カメラ５９８、マイクロフォン５９９等を有する。

［０３６０］

携帯型電子機器５９５において、プリント配線基板５９６に上記集積回路３９０を設けることができる。携帯型電子機器５９５は、スピーカー５９７、カメラ５９８、マイクロフォン５９９等で得られる複数のデータを上記実施の形態で説明した集積回路３９０を用いて処理・解析することで、ユーザの利便性を向上させることができる。また、音声案内、画像検索などを行うシステムに用いることができる。

［０３６１］

集積回路３９０では、得られた画像データをニューラルネットワークなどの演算処理を行うことで、例えば、画像の高解像度化、画像ノイズの低減、顔認識（防犯目的など）、物体認識（自動運転の目的など）、画像圧縮、画像補正（広ダイナミックレンジ化）、レンズレスイメージセンサの画像復元、位置決め、文字認識、反射映り込み低減などの処理を行うことができる。

［０３６２］

図２４Ａに示す携帯型ゲーム機１１００は、筐体１１０１、筐体１１０２、筐体１１０３、表示部１１０４、接続部１１０５、操作キー１１０７等を有する。筐体１１０１、筐体１１０２および筐体１１０３は、取り外すことが可能である。筐体１１０１に設けられている接続部１１０５を筐体１１０８に取り付けることで、表示部１１０４に出力される映像を、別の映像機器に出力することができる。他方、筐体１１０２および筐体１１０３を筐体１１０９に取り付けることで、筐体１１０２および筐体１１０３を一体化し、操作部として機能させる。筐体１１０２および筐体１１０３の基板に設けられているチップなどに先の実施の形態に示す集積回路３９０を組み込むことができる。

［０３６３］

図２４ＢはＵＳＢ接続タイプのスティック型の電子機器１１２０である。電子機器１１２０は、筐体１１２１、キャップ１１２２、ＵＳＢコネクタ１１２３および基板１１２４を有する。基板１１２４は、筐体１１２１に収納されている。例えば、基板１１２４には、メモリチップ１１２５、コントローラチップ１１２６が取り付けられている。基板１１２４のコントローラチップ１１２６などに先の実施の形態に示す集積回路３９０を組み込むことができる。

［０３６４］

図２４Ｃは人型のロボット１１３０である。ロボット１１３０は、センサ２１０１乃至２１０６、および制御回路２１１０を有する。例えば、制御回路２１１０には、先の実施の形態に示す集積回路３９０を組み込むことができる。

［０３６５］

上記実施の形態で説明した集積回路３９０は、電子機器に内蔵する代わりに、電子機器と通信を行うサーバーに用いることもできる。この場合、電子機器とサーバーによって演算システムが構成される。図２５に、システム３０００の構成例を示す。

［０３６６］

システム３０００は、電子機器３００１と、サーバー３００２によって構成される。電子機器３００１とサーバー３００２間の通信は、インターネット回線３００３を介して行うことができる。

［０３６７］

サーバー３００２には、複数のラック３００４を有する。複数のラックには、複数の基板３００５が設けられ、当該基板３００５上に上記実施の形態で説明した集積回路３９０を搭載することができる。これにより、サーバー３００２にニューラルネットワークが構成される。そして、サーバー３００２は、電子機器３００１からインターネット回線３００３を介して入力されたデータを用いて、ニューラルネットワークの演算を行うことができる。サーバー３００２による演算の結果は必要に応じて、インターネット回線３００３を介して電子機器３００１に送信することができる。これにより、電子機器３００１における演算の負担を低減することができる。

［０３６８］

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

［実施例１］

［０３６９］

本実施例では、上記実施の形態１で説明した非常に優れた処理性能を有するアクセラレータに関し、演算効率を見積もるためのシミュレーション結果について説明する。

［０３７０］

シミュレーションに用いたデータでは、アクセラレータを構成するトランジスタのＳｉテクノロジは５５ｎｍを想定し、ＩＧＺＯテクノロジは６０ｎｍを想定した。また各レイアウトにおいて寄生容量を付加した。ニューラルネットワークにおいて全ニューロン（メモリ回路）が活性化、つまりニューラルネットワークによる積和演算においてもっと消費電力の大きい場合を想定し、演算効率を見積もった。なお１本のビット線に接続されるメモリ回路（メモリセル）数を１６セル、３２セル、６４セル、および１２８セルで見積もった。

［０３７１］

具体的な計算例としては、例えば３２セル／ビット線の場合、（２０４８（ＰＥ）×２（積と和の２種類の演算）×（５０ＭＨｚ））／（２０４８（ＰＥ）×２０．２ｆＪ×（５０ＭＨｚ））＝９９ＴＯＰＳ／Ｗ　と見積もることができる。なお２０４８（ＰＥ）とは、一度に演算を行える演算回路の数、つまりメモリセルアレイの列数に対応する。２０．２ｆＪは、メモリセルからの読み出しエネルギー（１３．９ｆＪ）に積和演算に要する積和演算エネルギー（６．３ｆＪ）を足し合わせたトータルエネルギーである。

［０３７２］

つまり、図２６に示す回路図で言えば、メモリ回路２４（ＰＥ）の列数が２０４８個である場合の演算効率を見積もった。図２６の場合、ビット線ＰＢＬ＿１乃至ＰＢＬ＿Ｎ、およびビット線のＮＢＬ＿１乃至ＮＢＬ＿Ｎの２本のビット線の充放電し、１本のビット線に接続されるメモリセル数が大きいほど、メモリセルからの読み出しエネルギー（メモリ部２２に相当）が大きくなる。積和演算エネルギー（演算処理部２１に相当）は、１本のビット線に接続されるメモリセル数にかかわらず、６．３ｆＪと見積もることができる。

［０３７３］

なお図２６では、その他の構成として、ワード線ＷＬ＿１乃至ＷＬ＿Ｍを図示している。また積

和演算を行う演算処理部では、掛け算を行う複数の論理ブロックと、足し算を行う複数の論理ブロックと、を図示している。掛け算を行う論理ブロックでは、ビット線ＰＢＬ、ＮＢＬからの信号と、入力データA_1と、が与えられ、掛け算されたデータY_1乃至Y_Nが得られ、当該データY_1乃至Y_N同士が加算され、積和演算されたデータY_{AS}を得る構成を図示している。

［０３７４］

以上を表４にまとめた。表４に図示するように、メモリセル数を１６セル、３２セル、６４セル、および１２８セルで見積もった場合の演算効率を得られた。

［０３７５］

［表４］

メモリセル数	メモリセルのデータ読み出しに要するエネルギー	データの積和演算に要するエネルギー	エネルギー合計	演算効率
16 セル	8.4 fJ	6.3 fJ	14.7 fJ	136 TOPS/W
32 セル	13.9 fJ	6.3 fJ	20.2 fJ	99 TOPS/W
64 セル	25.0 fJ	6.3 fJ	31.3 fJ	64 TOPS/W
128 セル	47.0 fJ	6.3 fJ	53.3 fJ	38 TOPS/W

［０３７６］

表４に示すように、本発明の一態様の半導体装置を適用することで、１００ＴＯＰＳ／W以上の演算効率が期待できることがわかった。

［０３７７］

（本明細書等の記載に関する付記）

以上の実施の形態、および実施の形態における各構成の説明について、以下に付記する。

［０３７８］

各実施の形態に示す構成は、他の実施の形態あるいは実施例に示す構成と適宜組み合わせて、本発明の一態様とすることができる。また、１つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

［０３７９］

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、および／または、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、または置き換えなどを行うことが出来る。

［０３８０］

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、または明細書に記載される文章を用いて述べる内容のことである。

［０３８１］

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実

施の形態において述べる別の図（一部でもよい）、および／または、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

［０３８２］

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合や、複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されず、状況に応じて適切に言い換えることができる。

［０３８３］

また、図面において、大きさ、層の厚さ、または領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、または、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

［０３８４］

また、図面等において図示する構成要素の位置関係は、相対的である。従って、図面を参照して構成要素を説明する場合、位置関係を示す「上に」、「下に」等の語句は便宜的に用いられる場合がある。構成要素の位置関係は、本明細書の記載内容に限定されず、状況に応じて適切に言い換えることができる。

［０３８５］

本明細書等において、トランジスタの接続関係を説明する際、「ソースまたはドレインの一方」（または第１電極、または第１端子）、「ソースまたはドレインの他方」（または第２電極、または第２端子）という表記を用いる。これは、トランジスタのソースとドレインは、トランジスタの構造または動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

［０３８６］

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

［０３８７］

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電圧（接地電圧）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも０Ｖを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

［０３８８］

また本明細書等において、ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、

導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

［０３８９］

本明細書等において、ＡとＢとが接続されている、とは、ＡとＢとが電気的に接続されているものをいう。ここで、ＡとＢとが電気的に接続されているとは、ＡとＢとの間で対象物（スイッチ、トランジスタ素子、またはダイオード等の素子、あるいは当該素子および配線を含む回路等を指す）が存在する場合にＡとＢとの電気信号の伝達が可能である接続をいう。なおＡとＢとが電気的に接続されている場合には、ＡとＢとが直接接続されている場合を含む。ここで、ＡとＢとが直接接続されているとは、上記対象物を介することなく、ＡとＢとの間で配線（または電極）等を介してＡとＢとの電気信号の伝達が可能である接続をいう。換言すれば、直接接続とは、等価回路で表した際に同じ回路図として見なせる接続をいう。

［０３９０］

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

［０３９１］

本明細書等において、チャネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャネルが形成される領域における、ソースとドレインとの間の距離をいう。

［０３９２］

本明細書等において、チャネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

［０３９３］

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

［符号の説明］

［０３９４］

：Ｍ１１：トランジスタ、Ｍ１２：トランジスタ、Ｍ１３：トランジスタ、１０：ＣＰＵ、１１：ＣＰＵコア、１２：バックアップ回路、１５：駆動回路、２０：アクセラレータ、２１：演算処理部、２２：メモリ部、２２＿Ｎ：メモリ部、２２＿１：メモリ部、２２＿６：メモリ部、２３：演算回路、２３＿Ｎ：演算回路、２３＿１：演算回路、２３＿６：演算回路、２４：メモリ回路、２５：トランジスタ、２７：トランジスタ、２９：半導体層、３０：バス、３１：データ保持回路、３１＿Ｎ：データ保持回路、３１＿Ｐ：データ保持回路、３２：トランジスタ、３２＿Ｎ：トランジスタ、３２＿Ｐ：トランジスタ、３３：トランジスタ、３３＿Ｎ：トランジスタ、３３＿Ｐ：トランジスタ、３４：トランジスタ、３５：容量素子、４２：論理回路、４３：アキュムレータ、４４：ラッチ回路、４５：符号化回路、５０：ニューロン、５１：層、５２：層、５３：層、５４：層、６１：コントローラ、６２：ロウデコーダ、６３：ワード線ドライバ、６４：カラムデコーダ、

６５：書き込みドライバ、６６：プリチャージ回路、７１：入力バッファ、７２：演算制御回路、１００：半導体装置、１１１：ＣＰＵコア、１１２：命令キャッシュ、１１３：データキャッシュ、１１４：バスインターフェース回路、１２１：メモリ回路、１２２：演算回路、１２３：駆動回路、１３１：オンチップメモリ、１４０Ａ：高速バス、１４０Ｂ：低速バス、１４１：ＤＭＡＣ、１４２：パワーマネジメントユニット、１４３：メモリコントローラ、１４４：コントローラ、１４５：インターフェース回路、１４６：ディスプレイインターフェース回路、１４７：セキュリティー回路、１５０：ブリッジ回路、１５１：制御回路、１５２：インターフェース回路、１５３：バッテリー制御回路、１５４：インターフェース回路、１６０：電源回路、１９３：ＰＭＵ、２００：ＣＰＵコア、２０２：キャッシュメモリ装置、２０３：キャッシュメモリ装置、２０５：バスインターフェース部、２１０：パワースイッチ、２１１：パワースイッチ、２１２：パワースイッチ、２１４：レベルシフタ、２２０：フリップフロップ、２２１：スキャンフリップフロップ、２２１Ａ：クロックバッファ回路、２２２：バックアップ回路、３１１：基板、３１２：ウェル領域、３１３：絶縁体、３１４：酸化物層、３１５：半導体領域、３１６ａ：低抵抗領域、３１６ｂ：低抵抗領域、３１６ｃ：低抵抗領域、３１７：絶縁体、３１８：導電体、３２０：絶縁体、３２２：絶縁体、３２４：絶縁体、３２６：絶縁体、３２８：導電体、３３０：導電体、３５０：絶縁体、３５２：絶縁体、３５４：絶縁体、３５６：導電体、３６０：絶縁体、３６２：絶縁体、３６４：絶縁体、３６６：導電体、３７０：絶縁体、３７２：絶縁体、３７４：絶縁体、３７６：導電体、３８０：絶縁体、３８２：絶縁体、３８４：絶縁体、３８６：導電体、３９０：集積回路、３９０Ｅ：集積回路、４０４：絶縁体、５００：トランジスタ、５００Ａ：トランジスタ、５００Ｂ：トランジスタ、５０３：導電体、５０３ａ：導電体、５０３ｂ：導電体、５１０：絶縁体、５１２：絶縁体、５１３：絶縁体、５１４：絶縁体、５１６：絶縁体、５１８：導電体、５２０：絶縁体、５２２：絶縁体、５２４：絶縁体、５２６：絶縁体、５３０：酸化物、５３０ａ：酸化物、５３０ｂ：酸化物、５４０ａ：導電体、５４０ｂ：導電体、５４２：導電体、５４２ａ：導電体、５４２ｂ：導電体、５４３ａ：領域、５４３ｂ：領域、５４４：絶縁体、５４５：絶縁体、５４６：導電体、５４８：導電体、５５０：トランジスタ、５５２：絶縁体、５６０：導電体、５６０ａ：導電体、５６０ｂ：導電体、５７４：絶縁体、５８０：絶縁体、５８１：絶縁体、５８２：絶縁体、５８６：絶縁体、５９０：自動車、５９１：カメラ、５９２：撮像方向、５９３：バス、５９４：ホストコントローラ、５９５：携帯型電子機器、５９６：プリント配線基板、５９７：スピーカー、５９８：カメラ、５９９：マイクロフォン、６００：容量素子、６１０：導電体、６１２：導電体、６２０：導電体、６３０：絶縁体、６４０：絶縁体、９１０：領域、９１２：領域、９１４：電力、９１６：電力、９１８：電力、９２０：電力、９２２：電力、１１００：携帯型ゲーム機、１１０１：筐体、１１０２：筐体、１１０３：筐体、１１０４：表示部、１１０５：接続部、１１０７：操作キー、１１０８：筐体、１１０９：筐体、１１２０：電子機器、１１２１：筐体、１１２２：キャップ、１１２３：ＵＳＢコネクタ、１１２４：基板、１１２５：メモリチップ、１１２６：コントローラチップ、１１３０：ロボット、２１０１：センサ、２１０６：センサ、２１１０：制御回路、３０００：システム、３００１：電子機器、３００２：サーバー、３００３：インターネット回線、３００４：ラック、３００５：基板

請求の範囲

［請求項１］

ＣＰＵと、

アクセラレータと、を有し、

前記アクセラレータは、第１メモリ回路と、駆動回路と、積和演算回路と、を有し、

前記第１メモリ回路は、第１データ保持部、第２データ保持部、およびデータ読出し部を有し、

前記第１データ保持部、前記第２データ保持部、および前記データ読出し部はそれぞれ、第１トランジスタを有し、

前記第１トランジスタは、チャネル形成領域に金属酸化物を有する第１半導体層を有し、

前記第１データ保持部に保持される第１データおよび前記第２データ保持部に保持される第２データは、前記積和演算回路に入力される重みデータであり、

前記積和演算回路は、前記重みデータと、前記駆動回路を介して入力される入力データと、の積和演算を行う機能を有し、

前記積和演算回路および前記駆動回路はそれぞれ、第２トランジスタを有し、

前記第２トランジスタは、チャネル形成領域にシリコンを有する第２半導体層を有し、

前記第１トランジスタと、前記第２トランジスタと、は積層して設けられる、半導体装置。

［請求項２］

ＣＰＵと、

アクセラレータと、を有し、

前記アクセラレータは、第１メモリ回路と、駆動回路と、積和演算回路と、を有し、

前記第１メモリ回路は、第１データ保持部、第２データ保持部、およびデータ読出し部を有し、

前記第１データ保持部、前記第２データ保持部、および前記データ読出し部はそれぞれ、第１トランジスタを有し、

前記第１トランジスタは、チャネル形成領域に金属酸化物を有する第１半導体層を有し、

前記第１データ保持部に保持される第１データおよび前記第２データ保持部に保持される第２データは、前記積和演算回路に入力される重みデータであり、

前記積和演算回路は、前記重みデータと、前記駆動回路を介して入力される入力データと、の積和演算を行う機能を有し、

前記積和演算回路および前記駆動回路はそれぞれ、第２トランジスタを有し、

前記第２トランジスタは、チャネル形成領域にシリコンを有する第２半導体層と、導電性を付与する不純物元素を有するウェル領域と、前記ウェル領域および前記第２半導体層に接して設けられた酸化物層と、を有し、

前記第１トランジスタと、前記第２トランジスタと、は積層して設けられる、半導体装置。

［請求項３］

請求項１または請求項２において、

前記ＣＰＵは、バックアップ回路が設けられたフリップフロップを有するＣＰＵコアを有し、

前記バックアップ回路は、第３トランジスタを有し、

前記フリップフロップは、第４トランジスタを有し、

前記第３トランジスタは、チャネル形成領域に金属酸化物を有する第３半導体層を有し、

前記第４トランジスタは、チャネル形成領域にシリコンを有する第４半導体層を有し、

前記第３トランジスタと、前記第４トランジスタと、は積層して設けられる、半導体装置。

［請求項４］

請求項３において、

前記バックアップ回路は、前記ＣＰＵが非動作時において、前記フリップフロップに保持されたデータを電源電圧の供給が停止した状態で保持する機能を有する、半導体装置。

［請求項５］

請求項１乃至４のいずれか一において、

前記第１データ保持部および前記第２データ保持部は、前記第１トランジスタを非導通状態とすることで前記第１データおよび前記第２データを保持する機能を有する、半導体装置。

［請求項６］

請求項５において、

前記第１メモリ回路は、前記第１データを読み出すための第１ビット線、および前記第２データを読み出すための第２ビット線に電気的に接続され、

前記第１ビット線及び前記第２ビット線は、前記第２トランジスタが設けられた基板表面に垂直または概略垂直に設けられた第１配線を介して前記積和演算回路に電気的に接続される、半導体装置。

［請求項７］

請求項１乃至６のいずれか一において、

前記金属酸化物は、Ｉｎと、Ｇａと、Ｚｎと、を含む、半導体装置。

図1A

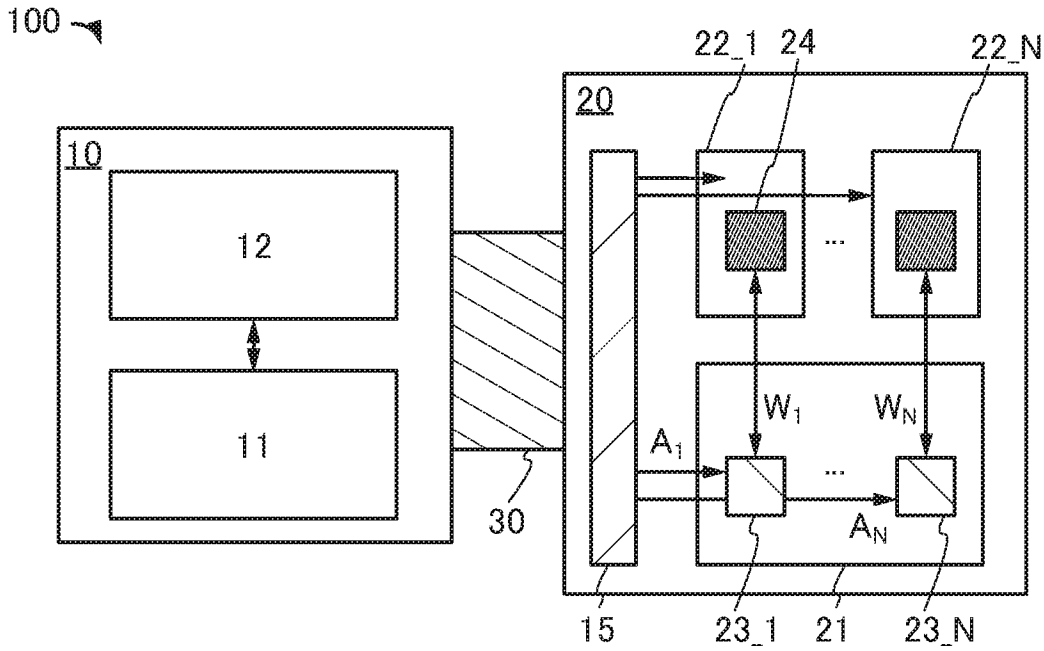

100
10
12
11
30
20
22_1
24
22_N
W1
WN
A1
AN
15
23_1
21
23_N

図1B

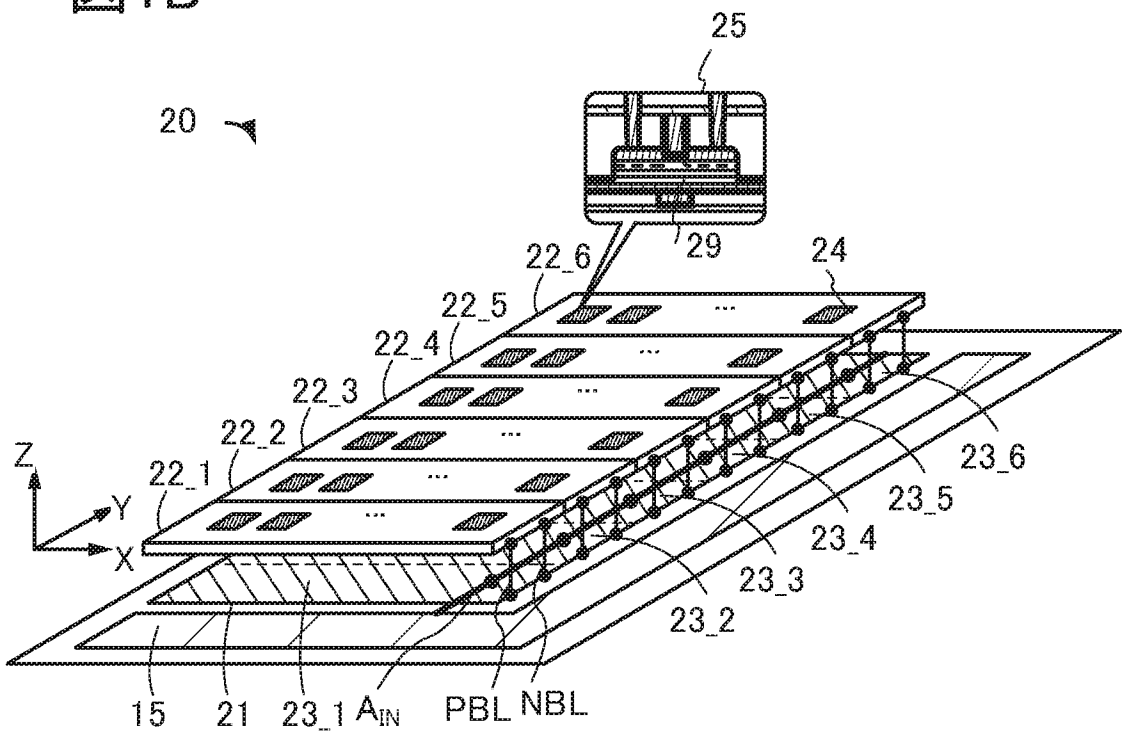

20
25
29
22_6
24
22_5
22_4
22_3
22_2
22_1
Z
Y
X
23_6
23_5
23_4
23_3
23_2
15
21
23_1
AIN
PBL
NBL

図2A

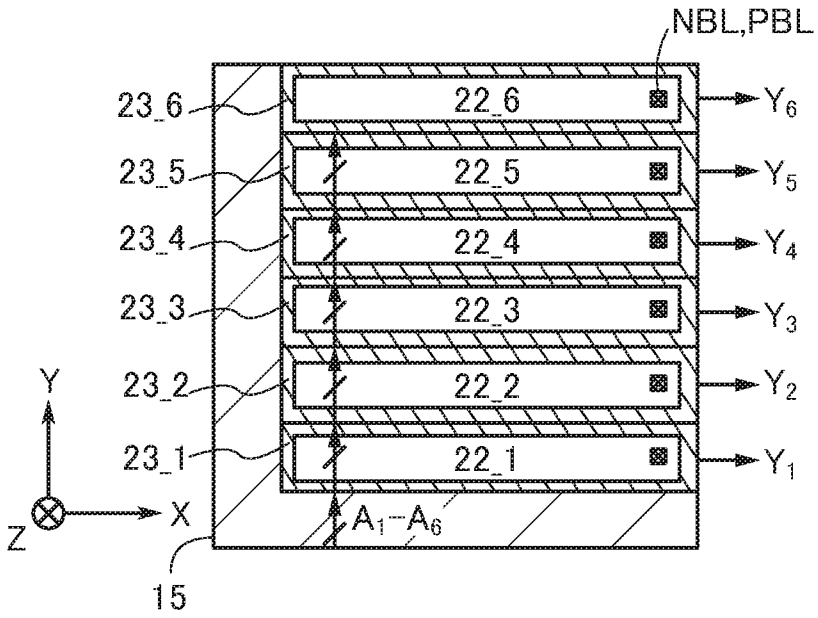

NBL,PBL
23_6
22_6
Y_6
23_5
22_5
Y_5
23_4
22_4
Y_4
23_3
22_3
Y_3
23_2
22_2
Y_2
23_1
22_1
Y_1
Y
X
Z
A_1–A_6
15

図2B

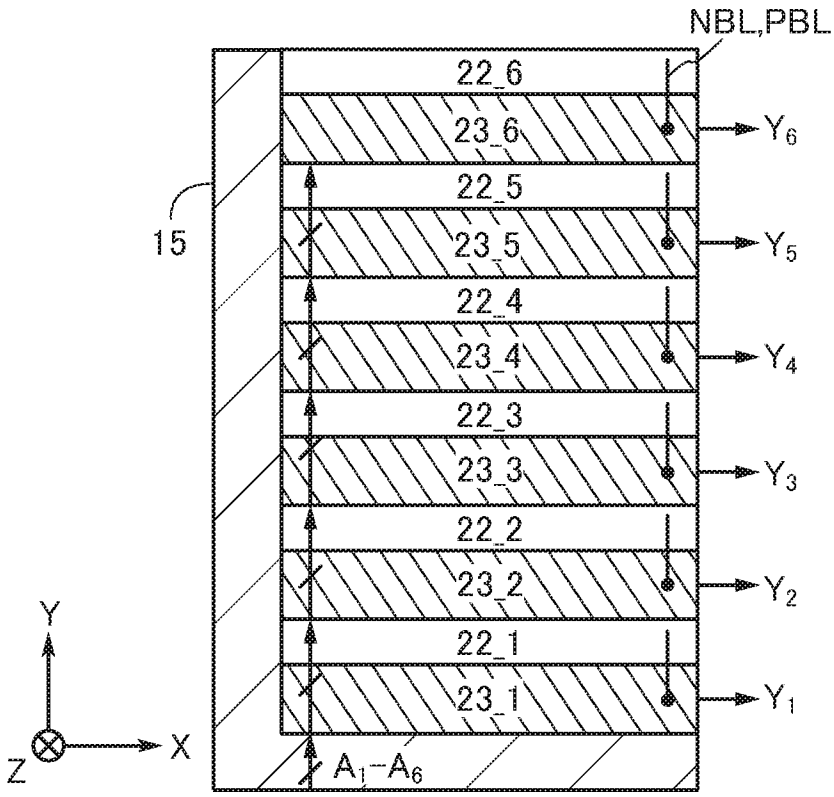

NBL,PBL
22_6
23_6
Y_6
22_5
23_5
Y_5
22_4
23_4
Y_4
22_3
23_3
Y_3
22_2
23_2
Y_2
22_1
23_1
Y_1
15
Y
X
Z
A_1–A_6

図3A

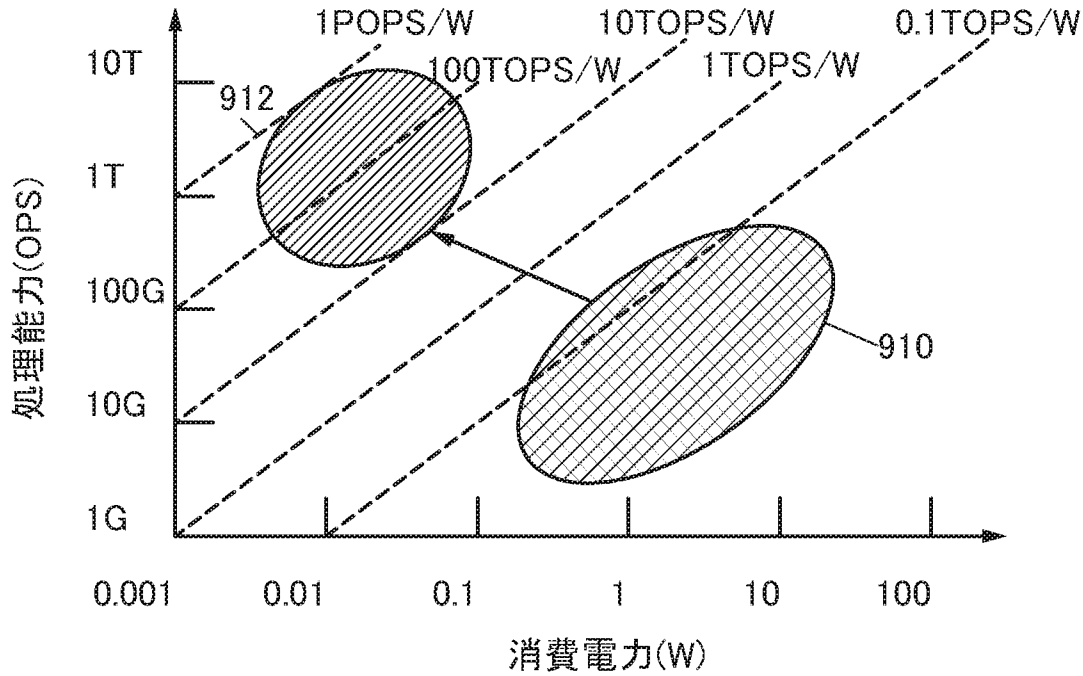

1POPS/W
10TOPS/W
0.1TOPS/W
100TOPS/W
1TOPS/W
912
910
10T
1T
100G
10G
1G
処理能力(OPS)
0.001
0.01
0.1
1
10
100
消費電力(W)

図3B

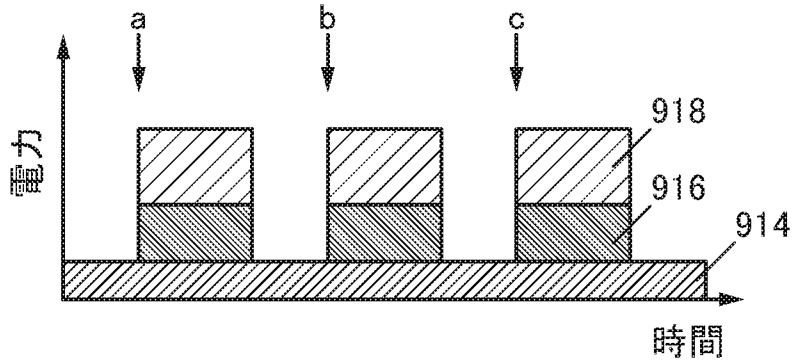

a
b
c
918
916
914
電力
時間

図3C

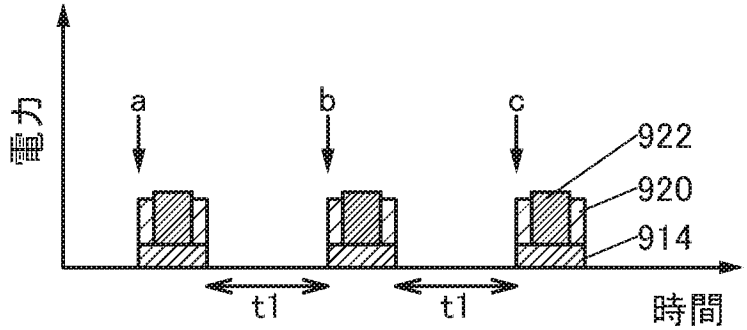

a
b
c
922
920
914
電力
t1
t1
時間

図4

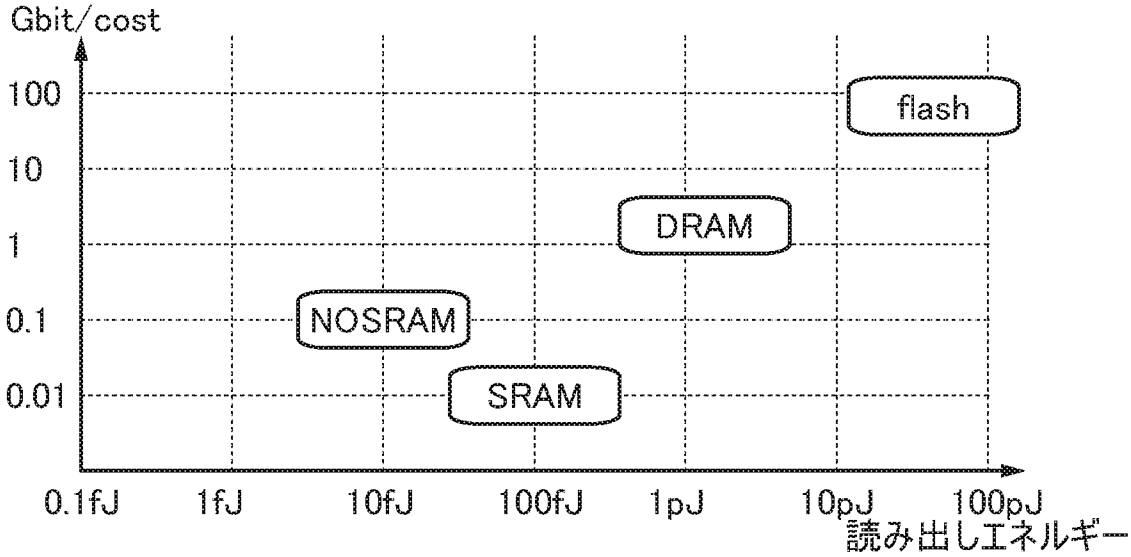

Gbit/cost
100
10
1
0.1
0.01
flash
DRAM
NOSRAM
SRAM
0.1fJ
1fJ
10fJ
100fJ
1pJ
10pJ
100pJ
読み出しエネルギー

図5A

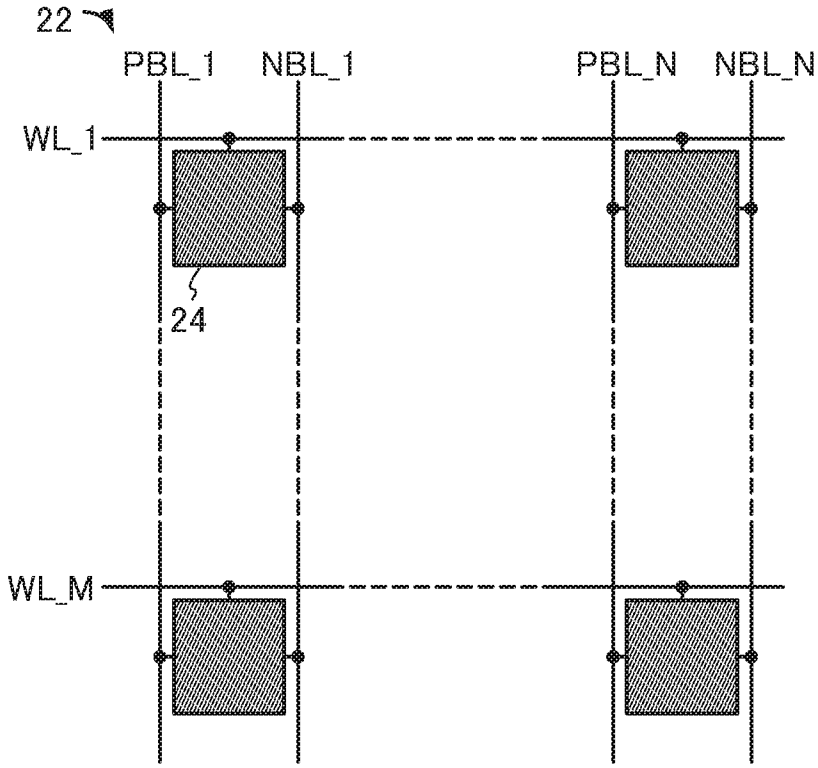

22
PBL_1
NBL_1
PBL_N
NBL_N
WL_1
24
WL_M

図5B

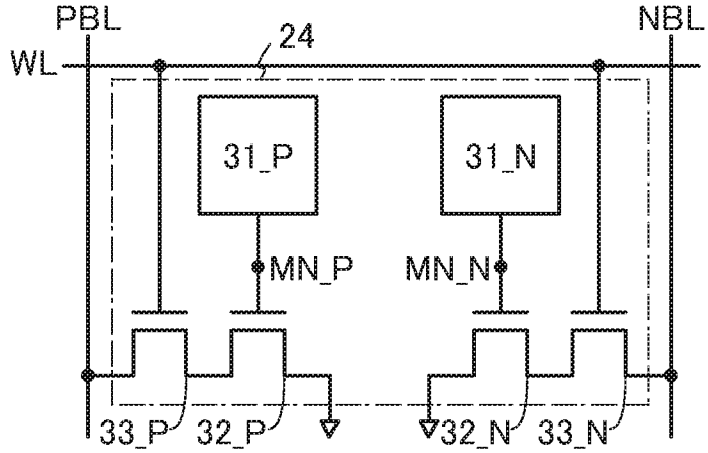

PBL
NBL
WL
24
31_P
31_N
MN_P
MN_N
33_P
32_P
32_N
33_N

図5C

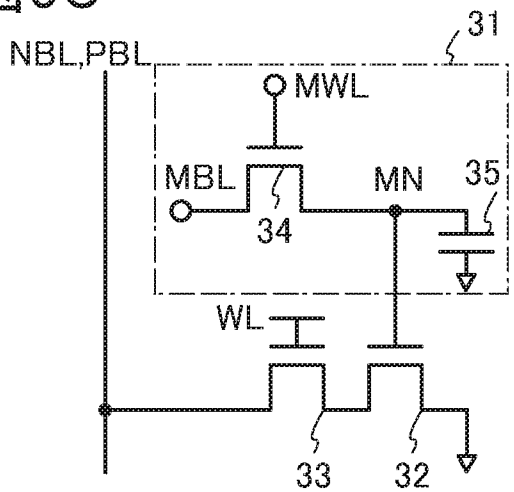

31
NBL,PBL
MWL
MBL
34
MN
35
WL
33
32

図6A

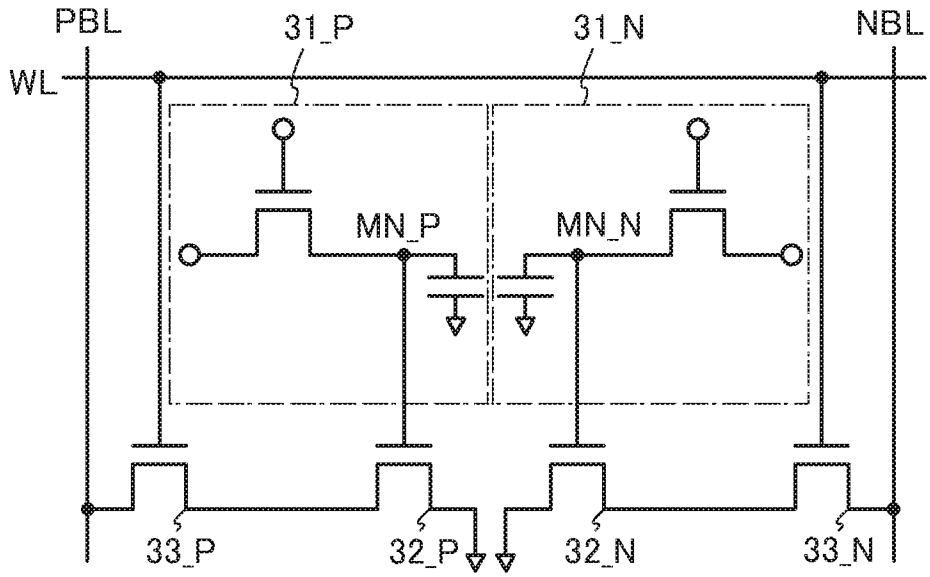

PBL
31_P
31_N
NBL
WL
MN_P
MN_N
33_P
32_P
32_N
33_N

図6B

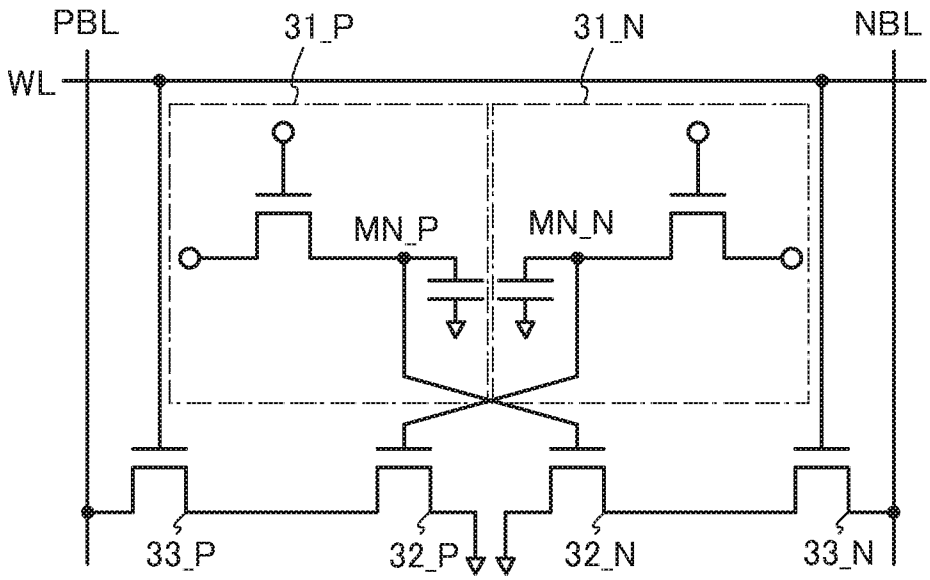

PBL
31_P
31_N
NBL
WL
MN_P
MN_N
33_P
32_P
32_N
33_N

図7A

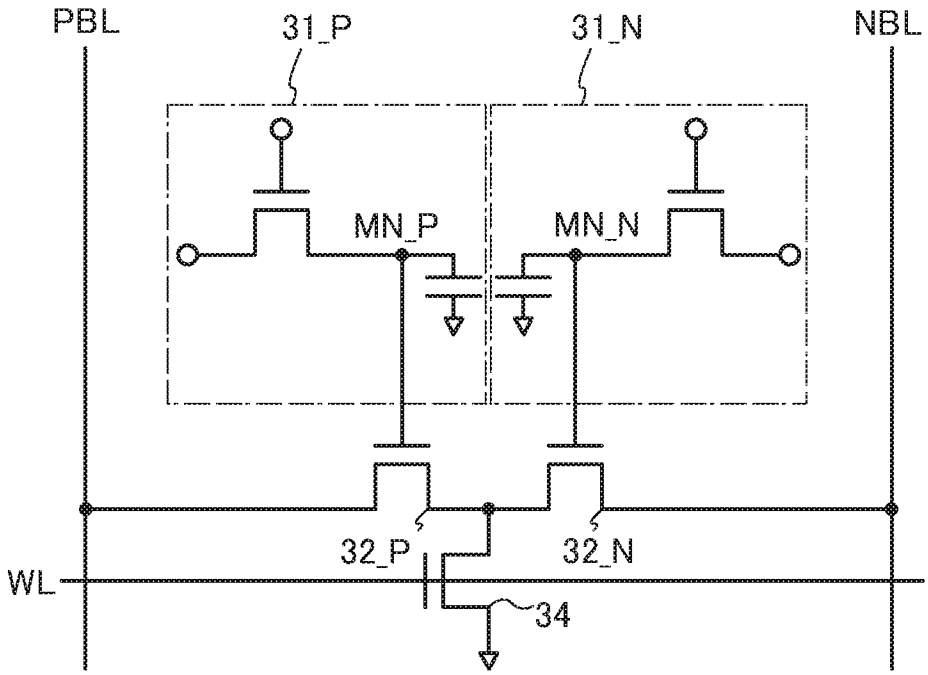

PBL
31_P
31_N
NBL
MN_P
MN_N
32_P
32_N
WL
34

図7B

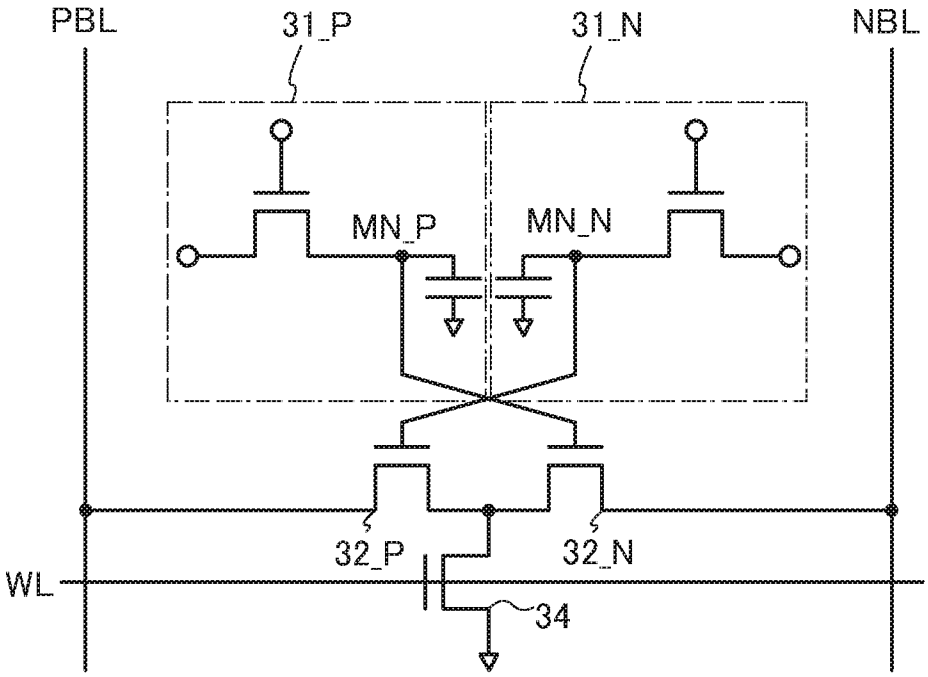

PBL
31_P
31_N
NBL
MN_P
MN_N
32_P
32_N
WL
34

図8A

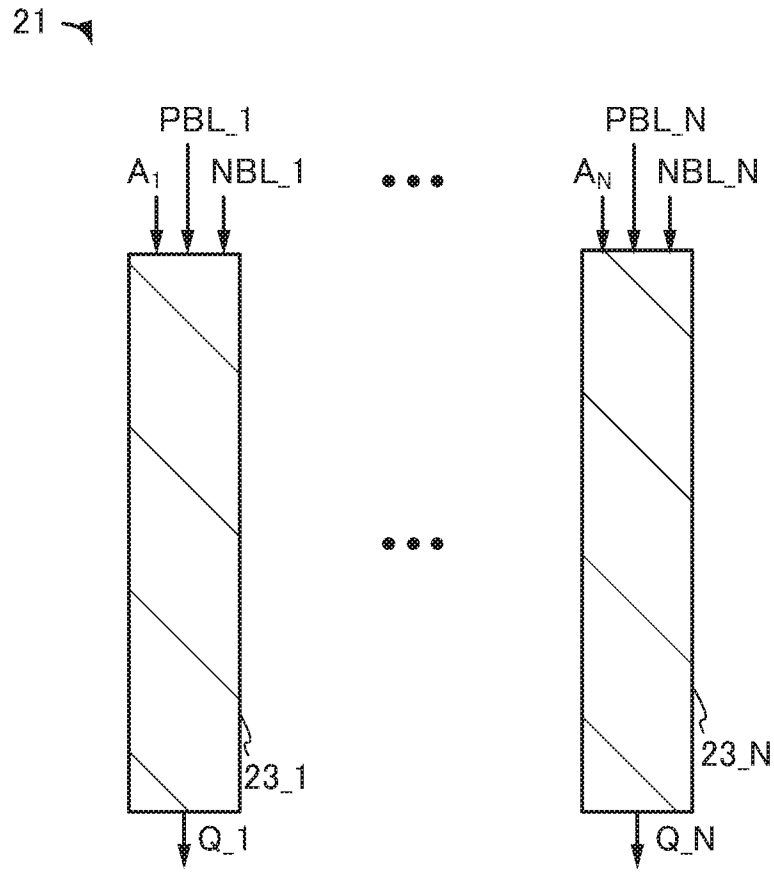

21
PBL_1
A1
NBL_1
PBL_N
AN
NBL_N
23_1
23_N
Q_1
Q_N

図8B

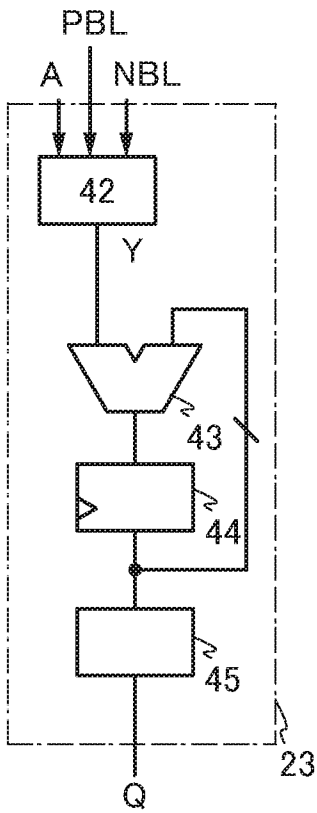

PBL
A
NBL
42
Y
43
44
45
23
Q

図9A

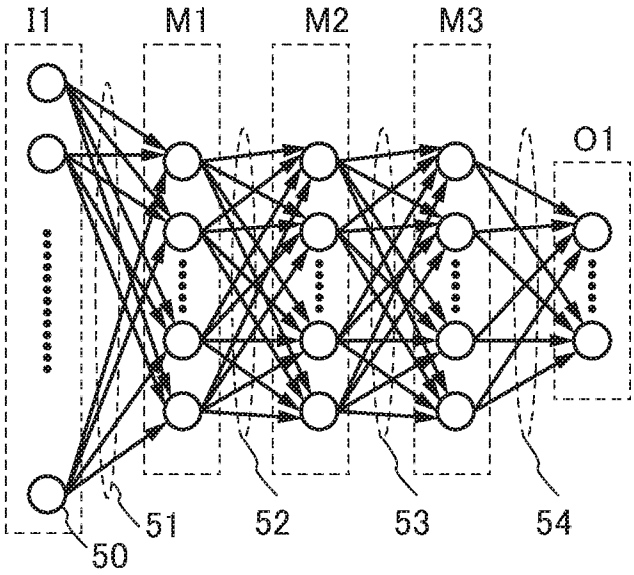

I1
M1
M2
M3
O1
50
51
52
53
54

図9B

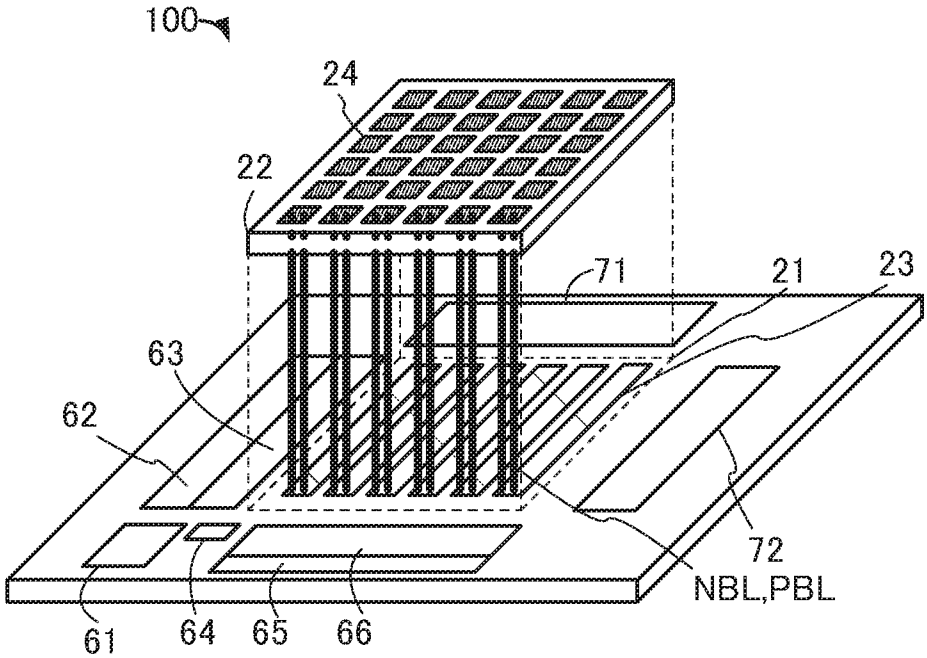

100
24
22
71
21
23
63
62
72
NBL,PBL
61
64
65
66

図10A

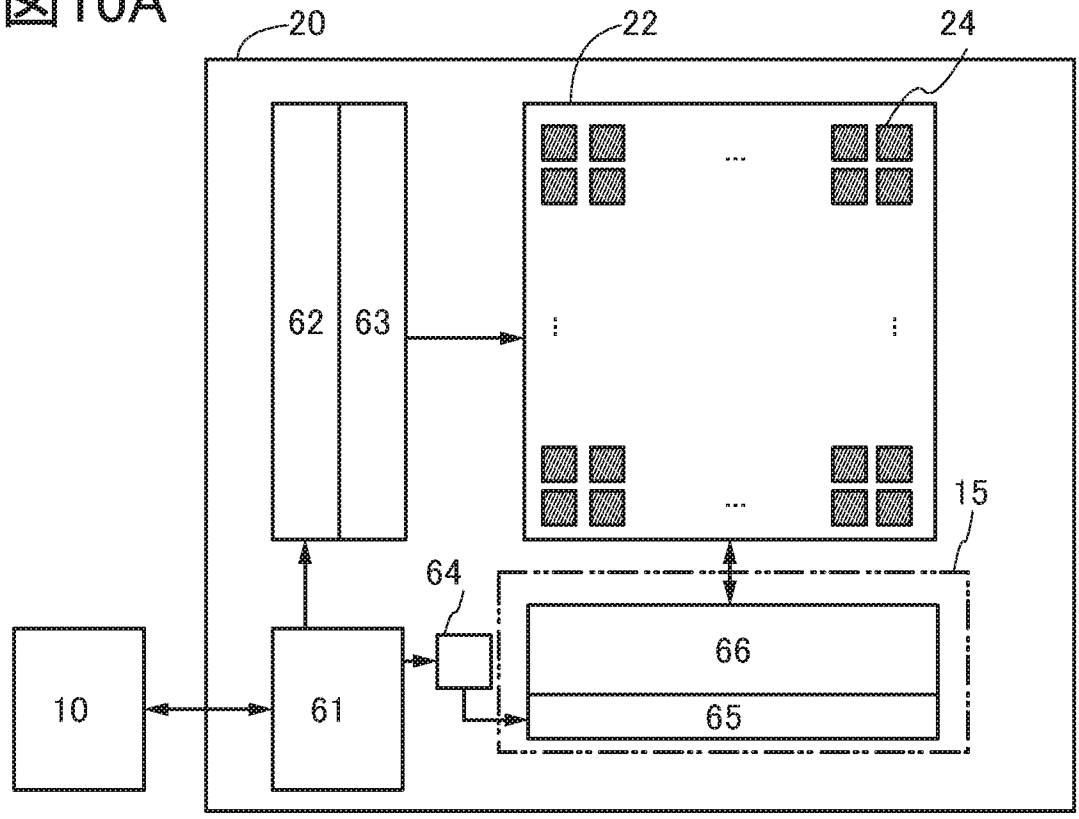


図10B

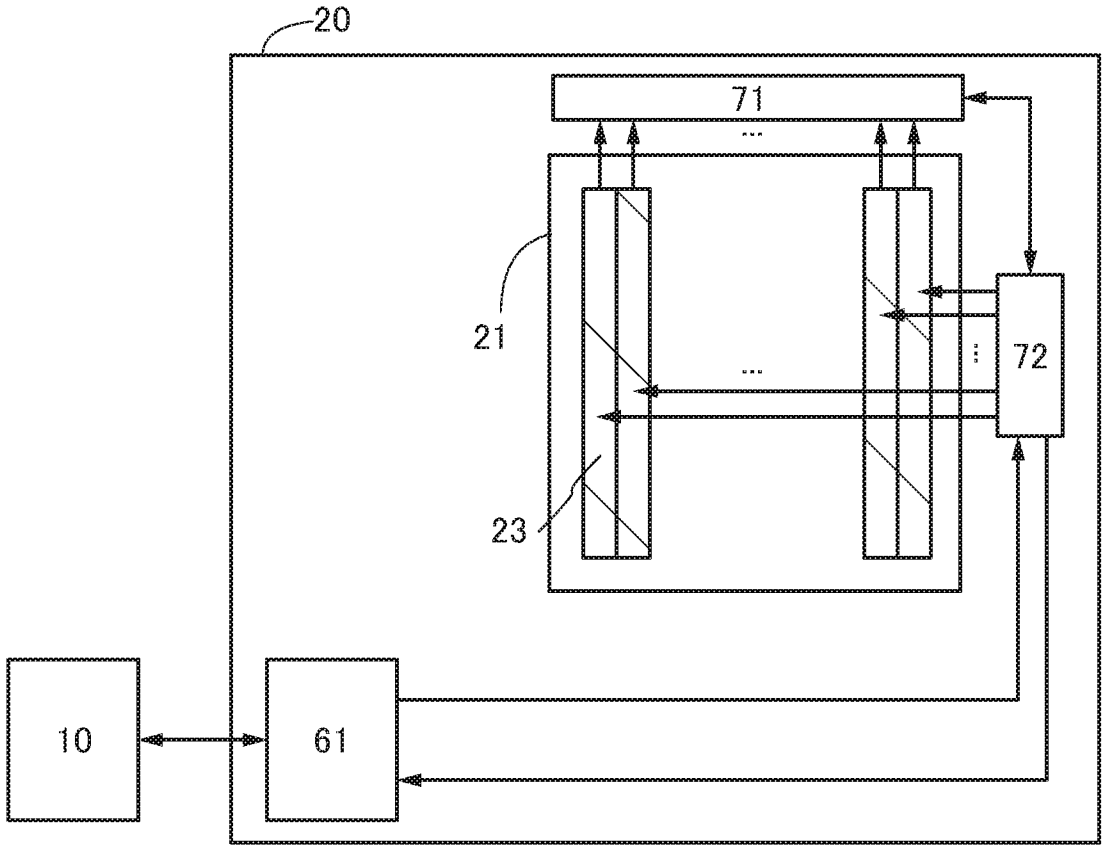


図11

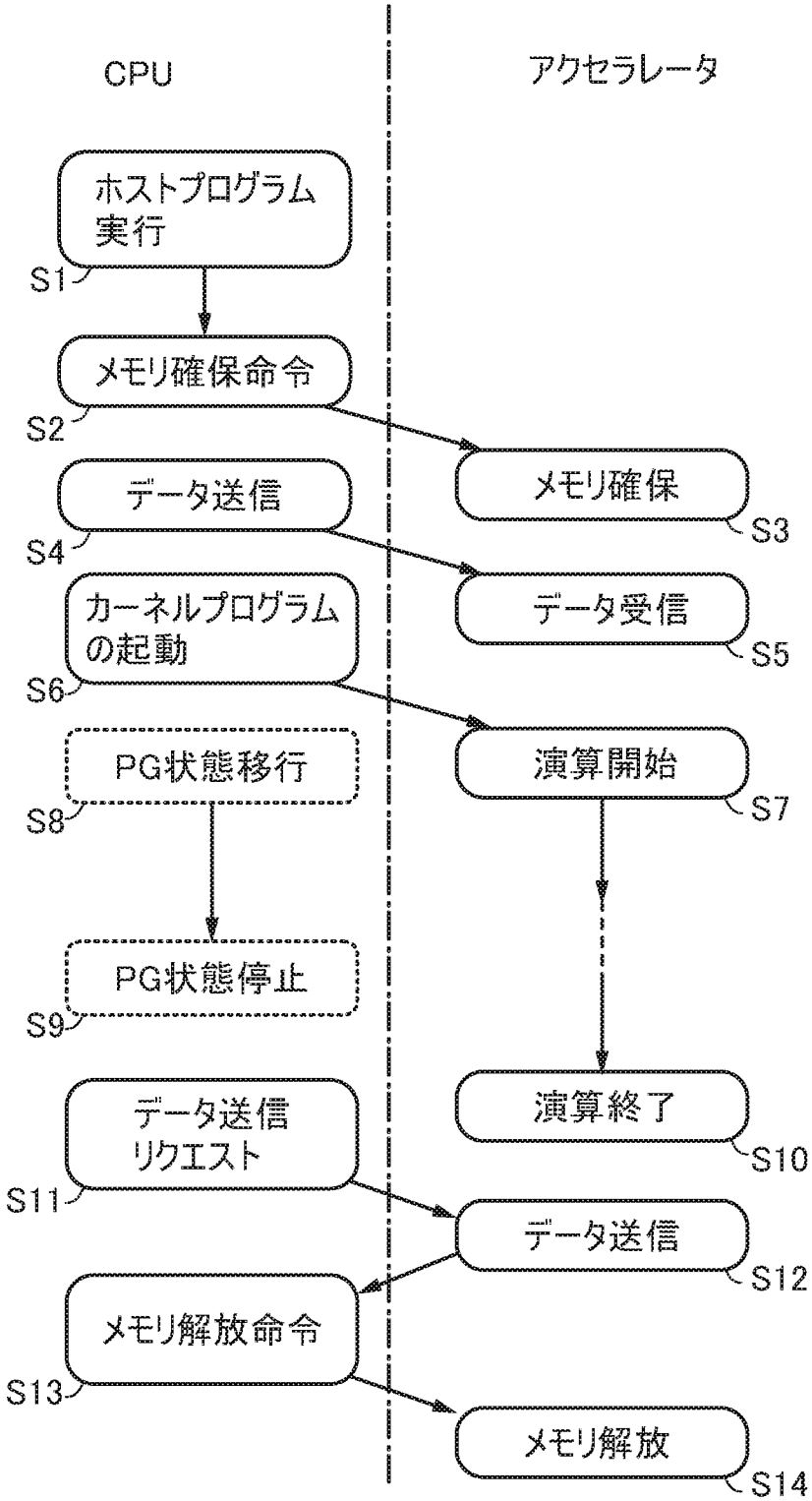

CPU
アクセラレータ
ホストプログラム実行
S1
メモリ確保命令
S2
メモリ確保
S3
データ送信
S4
データ受信
S5
カーネルプログラムの起動
S6
演算開始
S7
PG状態移行
S8
PG状態停止
S9
演算終了
S10
データ送信リクエスト
S11
データ送信
S12
メモリ解放命令
S13
メモリ解放
S14

図12

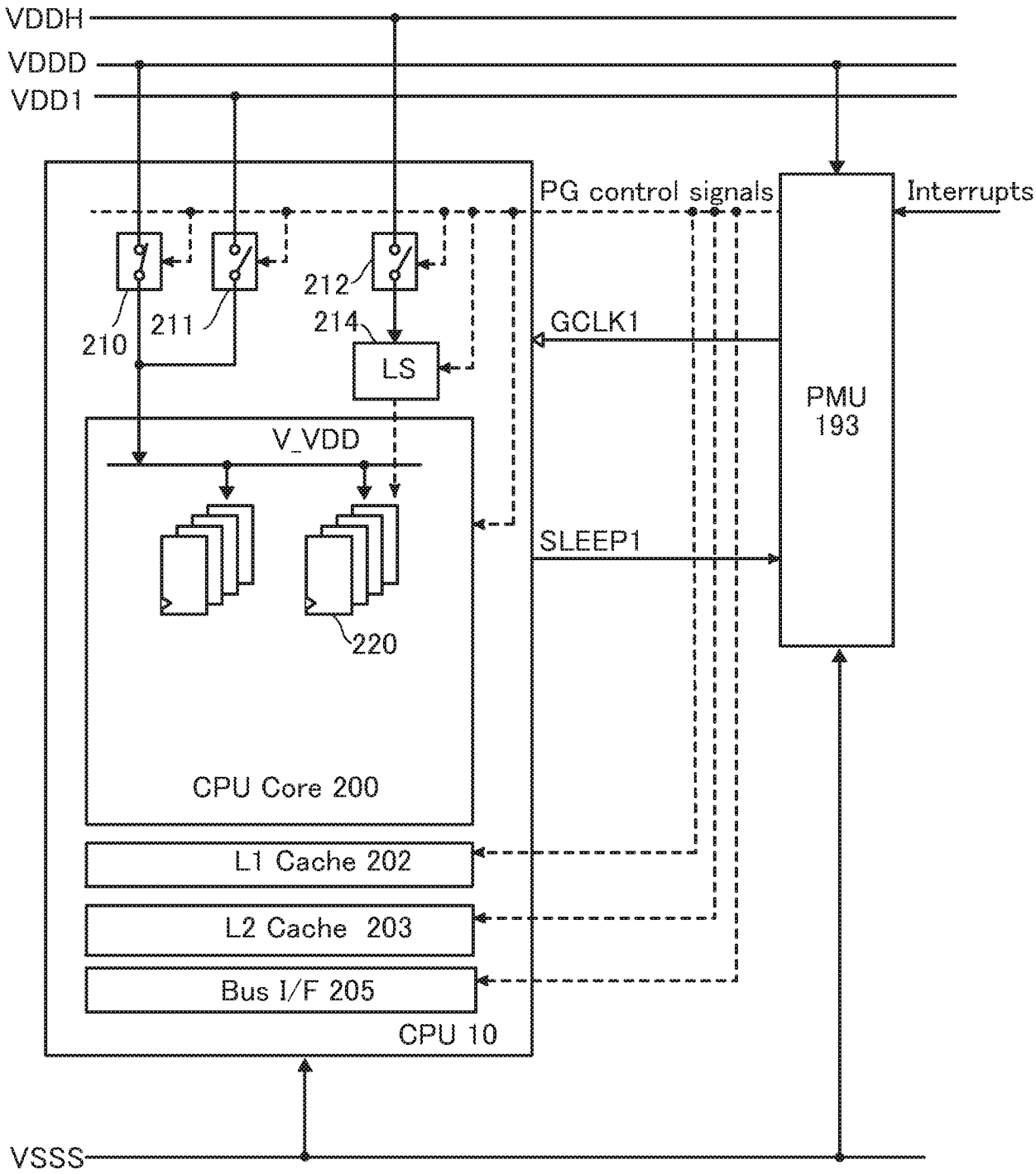

VDDH
VDDD
VDD1
PG control signals
Interrupts
212
210
211
214
GCLK1
LS
PMU
193
V_VDD
SLEEP1
220
CPU Core 200
L1 Cache 202
L2 Cache 203
Bus I/F 205
CPU 10
VSSS

図13A

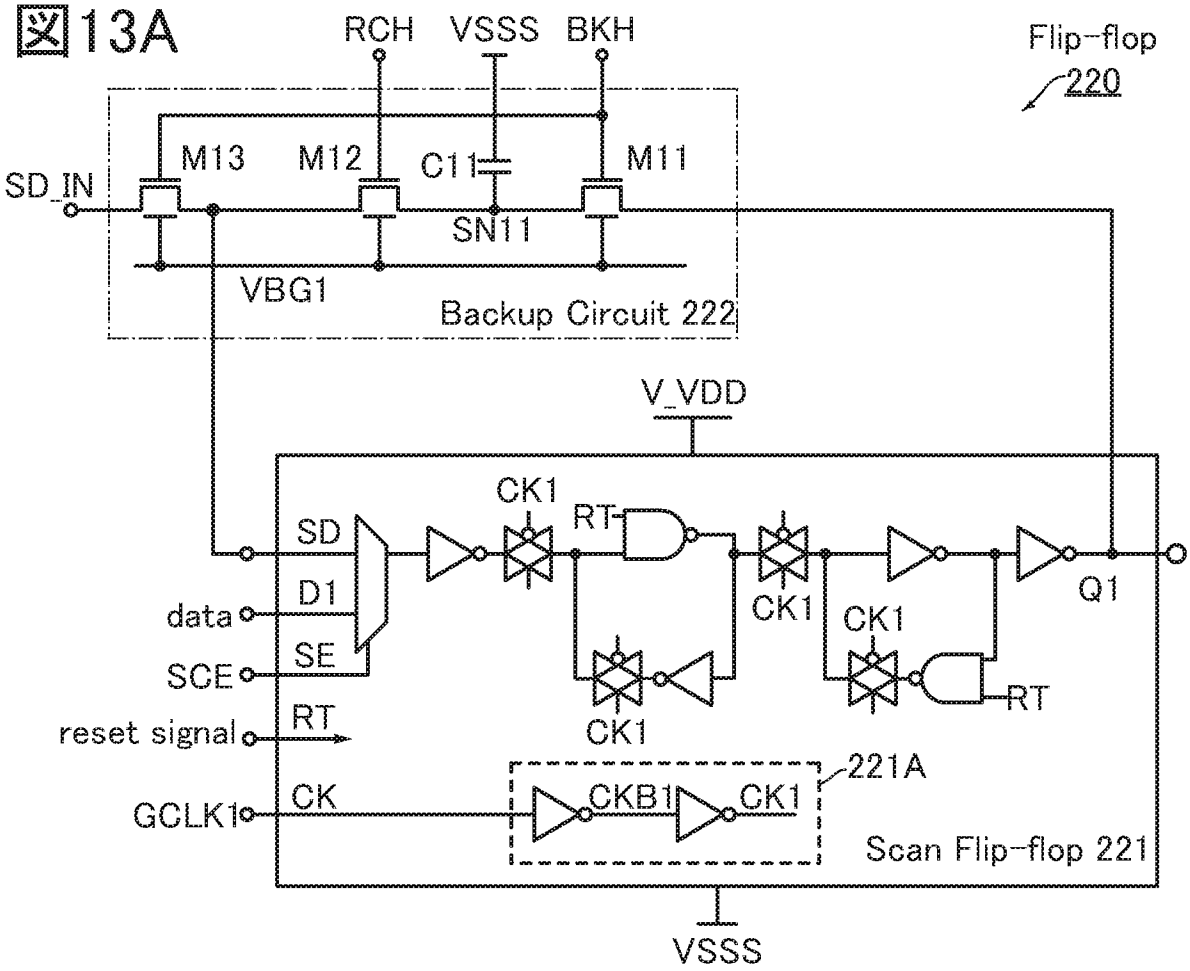

RCH
VSSS
BKH
Flip-flop
220
M13
M12
C11
M11
SD_IN
SN11
VBG1
Backup Circuit 222
V_VDD
CK1
RT
SD
D1
data
SE
SCE
RT
reset signal
CK
GCLK1
CKB1
CK1
221A
Scan Flip-flop 221
Q1
VSSS

図13B

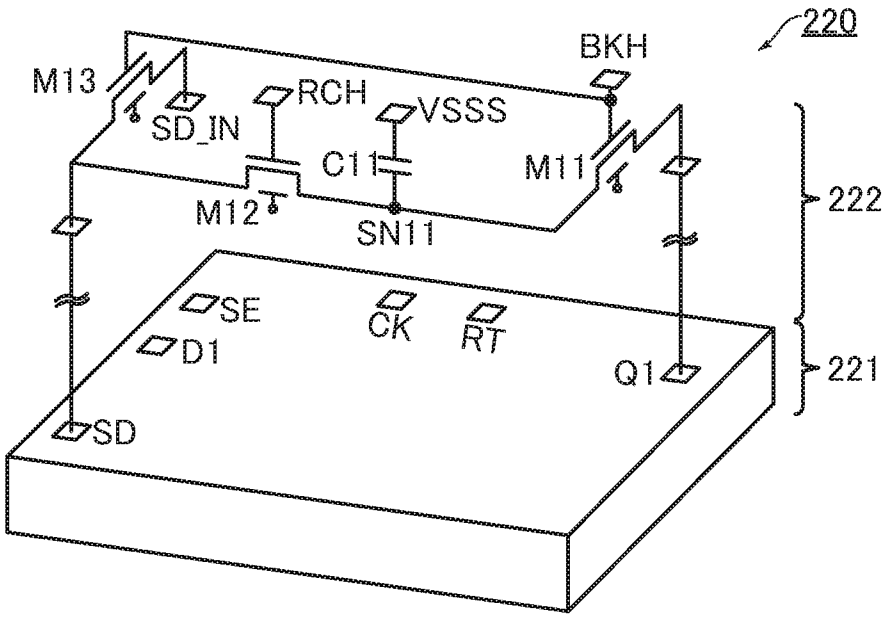

220
BKH
M13
SD_IN
RCH
VSSS
C11
M11
M12
SN11
222
SE
CK
RT
D1
Q1
221
SD

図14

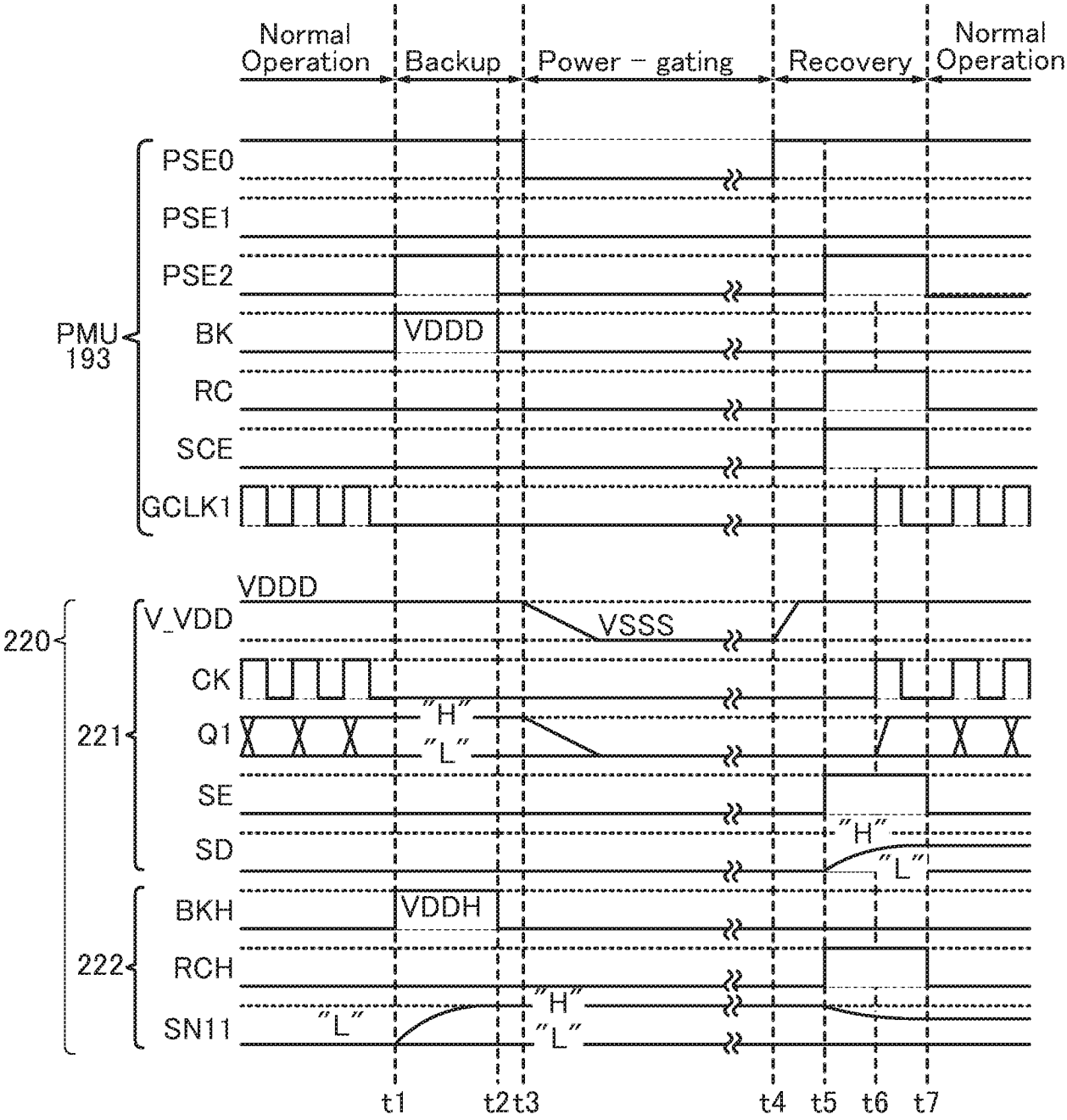

Normal Operation
Backup
Power − gating
Recovery
Normal Operation
PMU 193
PSE0
PSE1
PSE2
BK
VDDD
RC
SCE
GCLK1
220
VDDD
V_VDD
VSSS
CK
221
Q1
"H"
"L"
SE
SD
"H"
"L"
222
BKH
VDDH
RCH
"H"
SN11
"L"
"L"
t1
t2
t3
t4
t5
t6
t7

図15

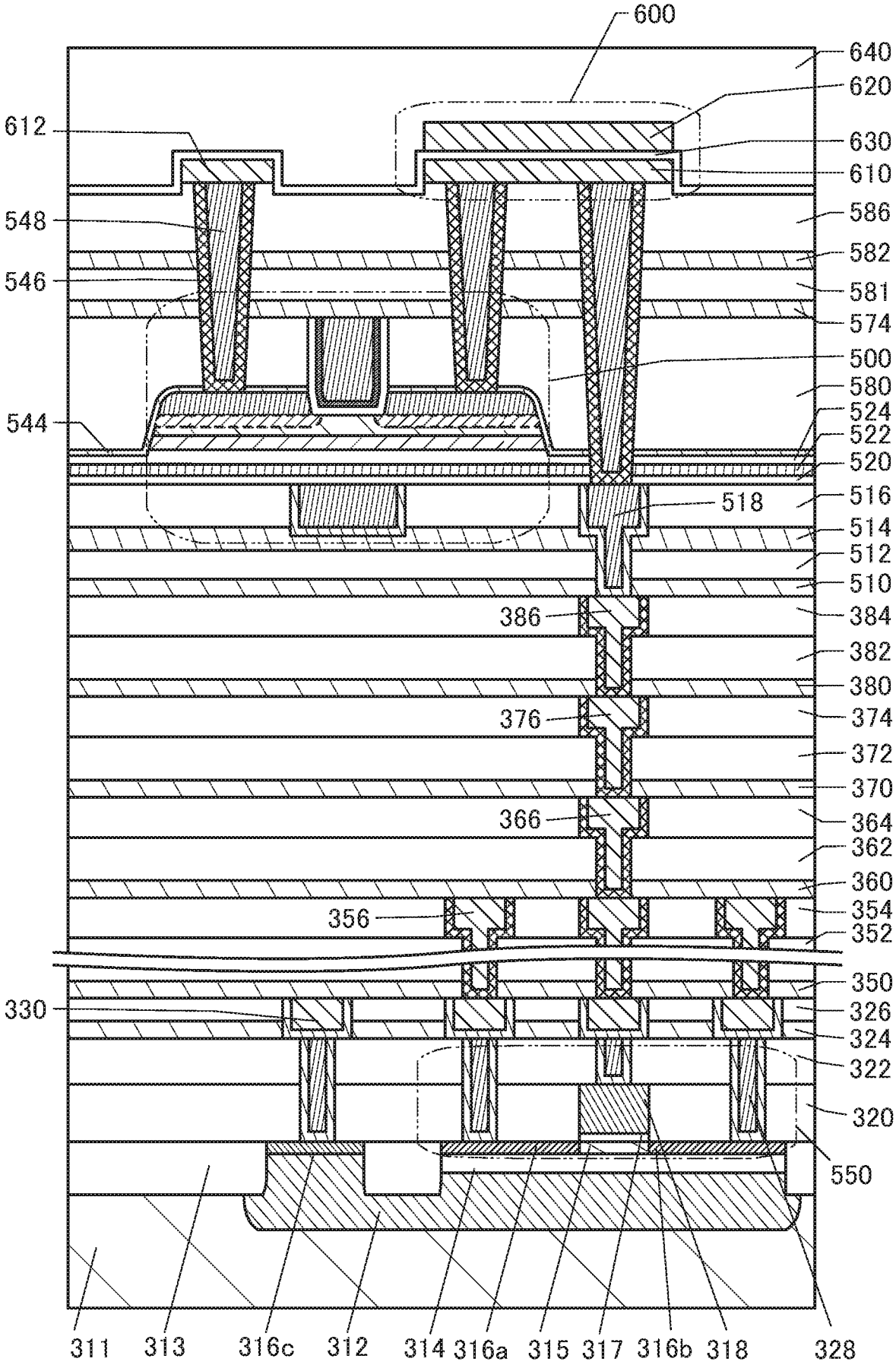

600
640
620
612
630
610
548
586
582
546
581
574
500
580
544
524
522
520
518
516
514
512
510
386
384
382
380
376
374
372
370
366
364
362
360
356
354
352
350
330
326
324
322
320
550
311
313
316c
312
314
316a
315
317
316b
318
328

図16A

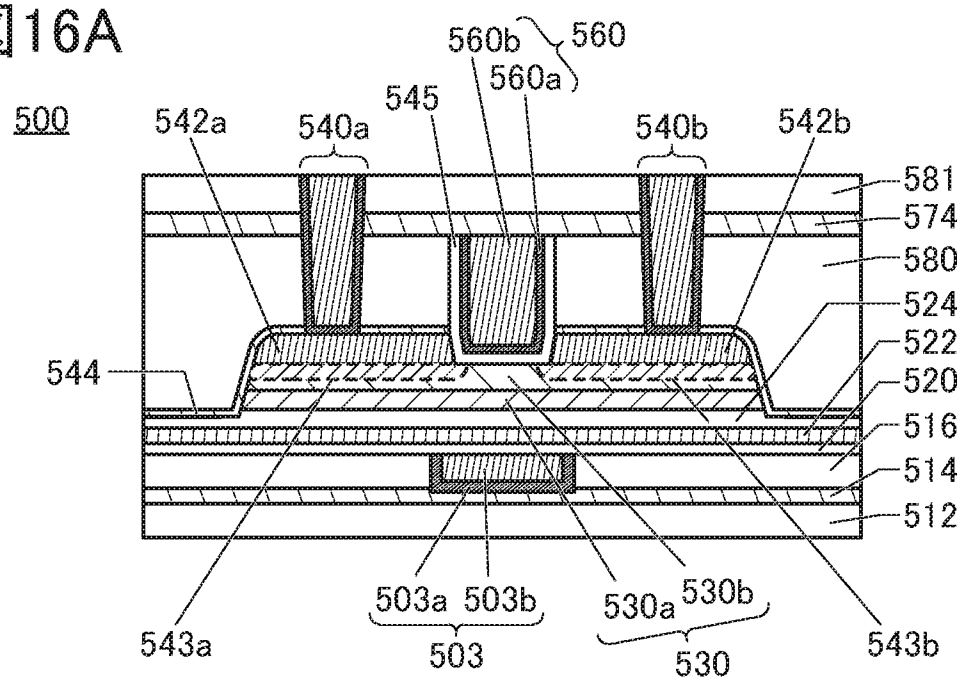

500
542a
540a
545
560b
560
560a
540b
542b
581
574
580
524
522
520
516
514
512
544
543a
503a
503b
503
530a
530b
530
543b

図16B

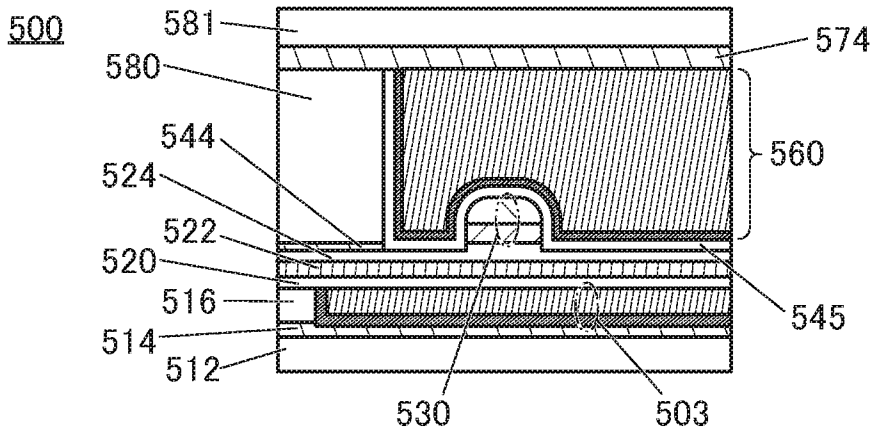

500
581
574
580
560
544
524
522
520
516
514
512
545
530
503

図17A

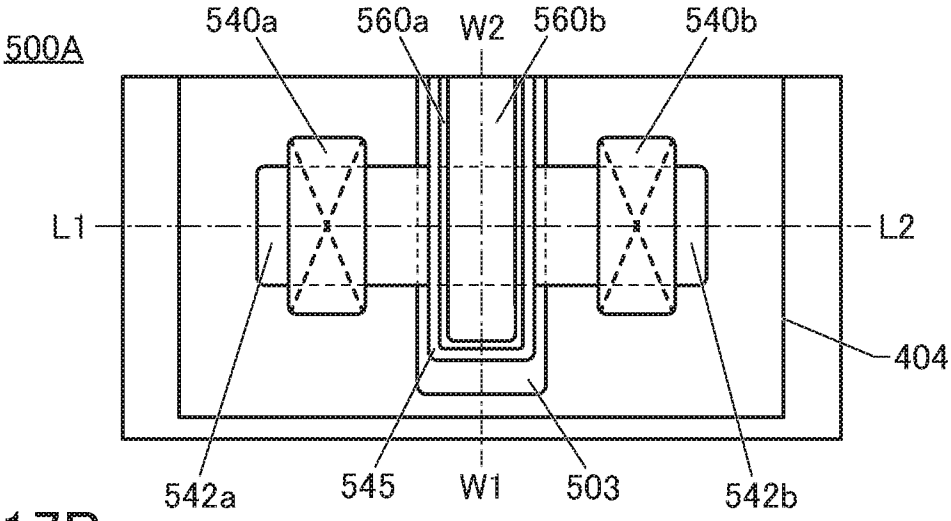


図17B

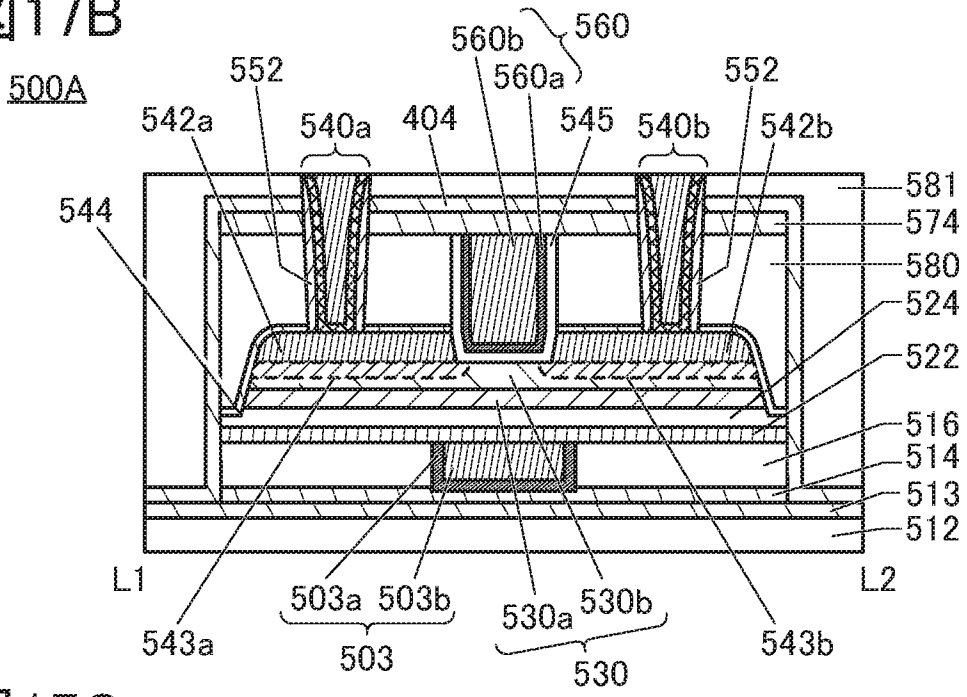


図17C

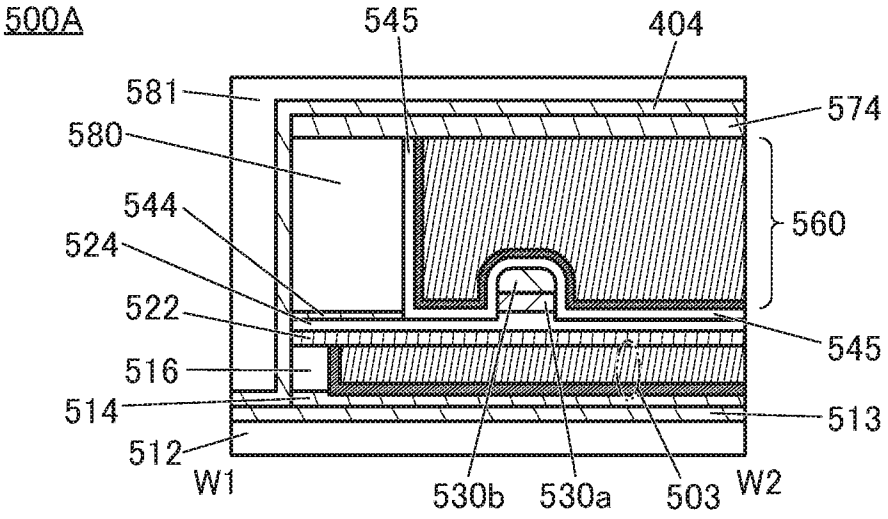


図18A

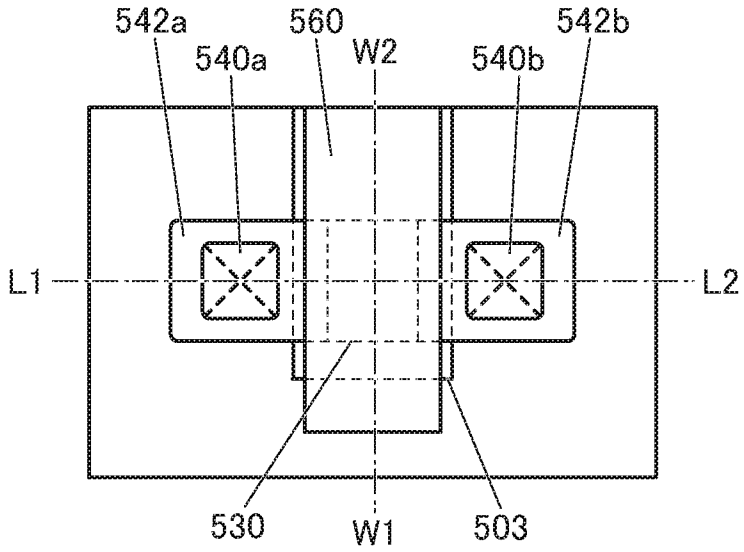


図18B

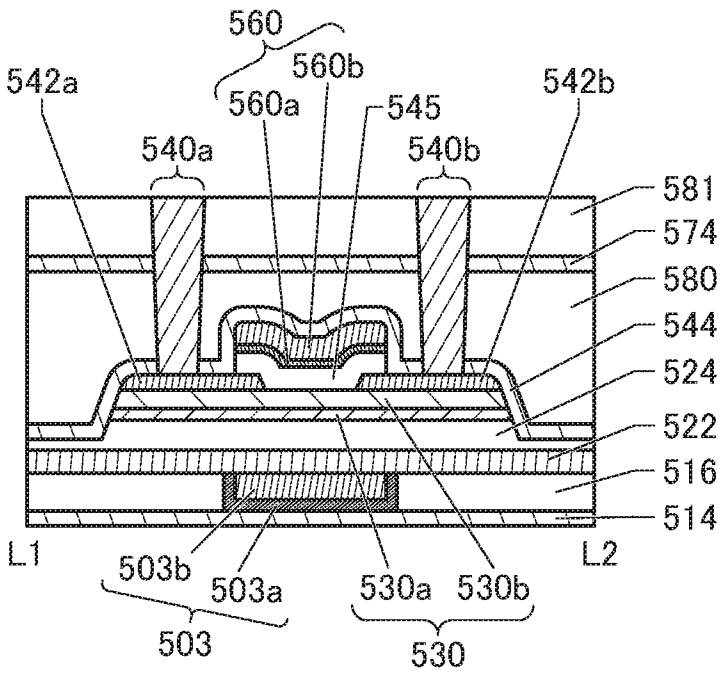


図18C

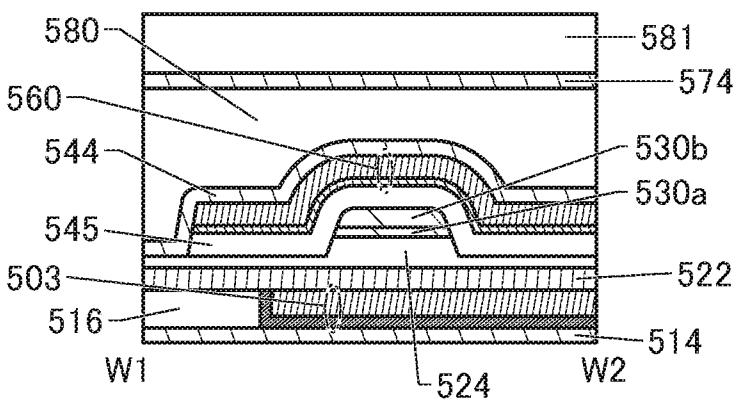


図19A

中間状態
新しい境界領域

Amorphous （無定形）	Crystalline （結晶性）	Crystal （結晶）
・completely amorphous	・CAAC ・nc ・CAC excluding single crystal and poly crystal	・single crystal ・poly crystal

図19B

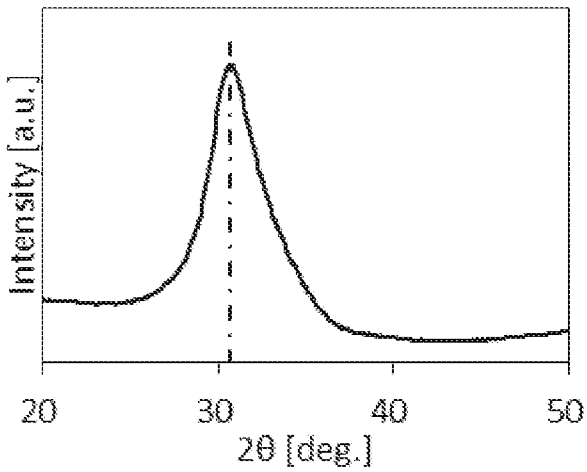
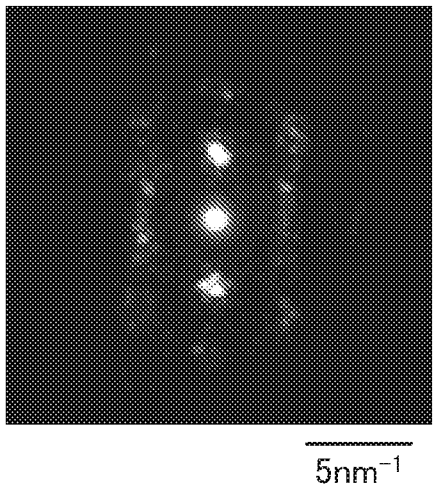


図19C



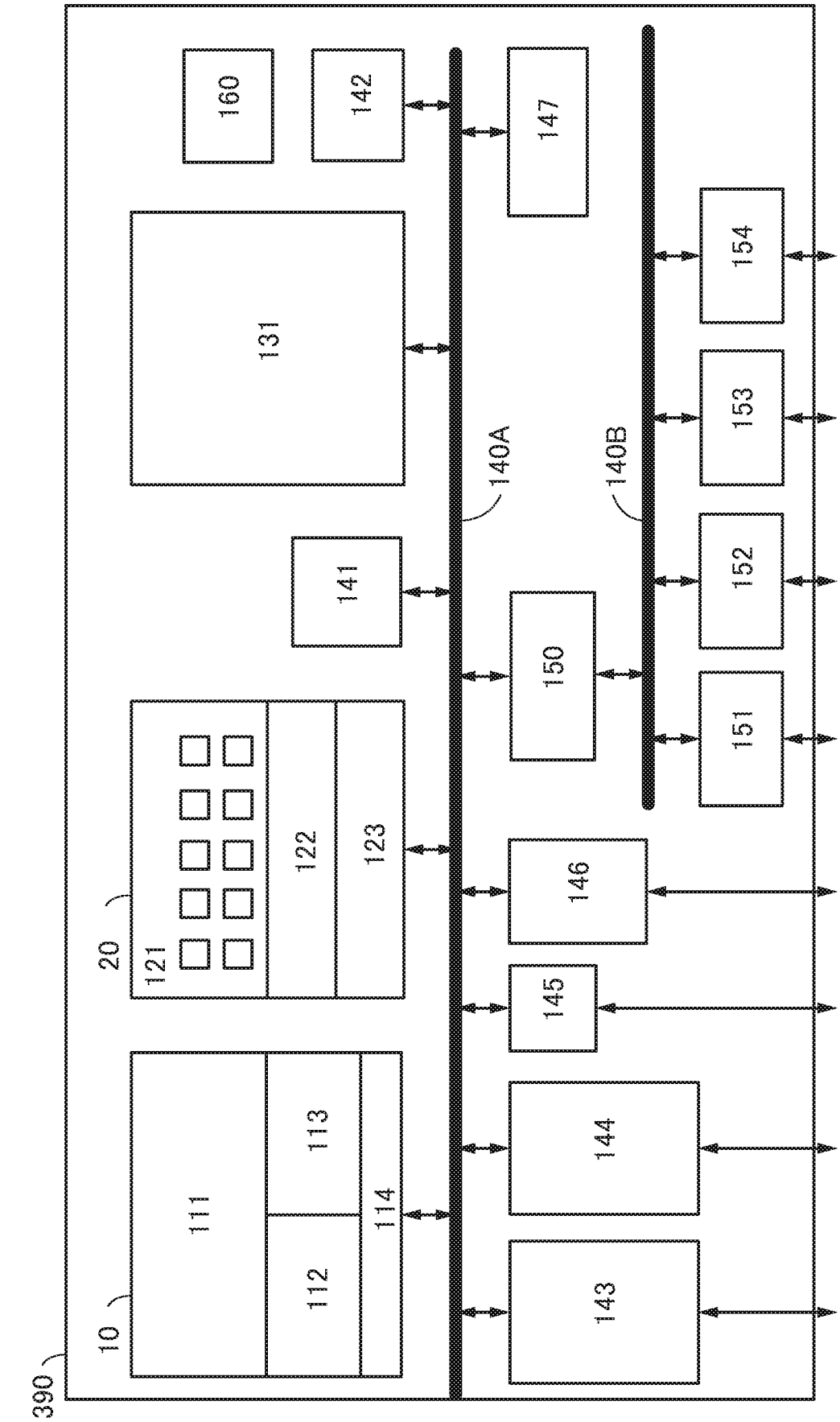

390
10
111
112
113
114
20
121
122
123
131
141
142
160
140A
140B
143
144
145
146
147
150
151
152
153
154

図20

図21A

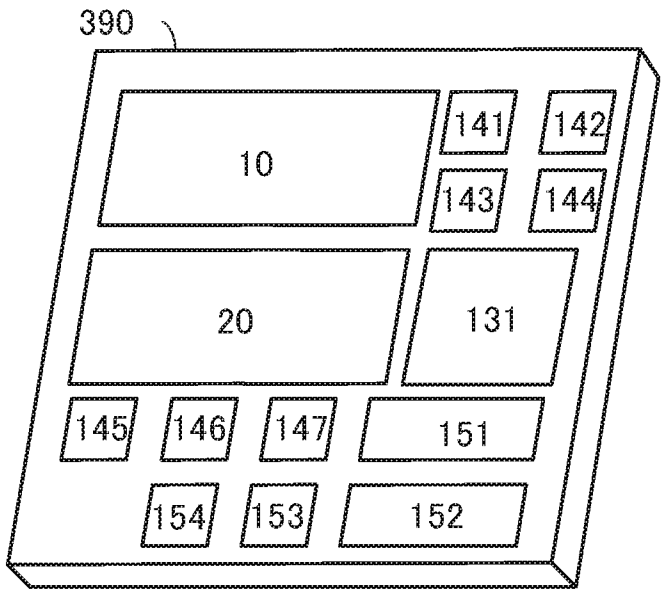
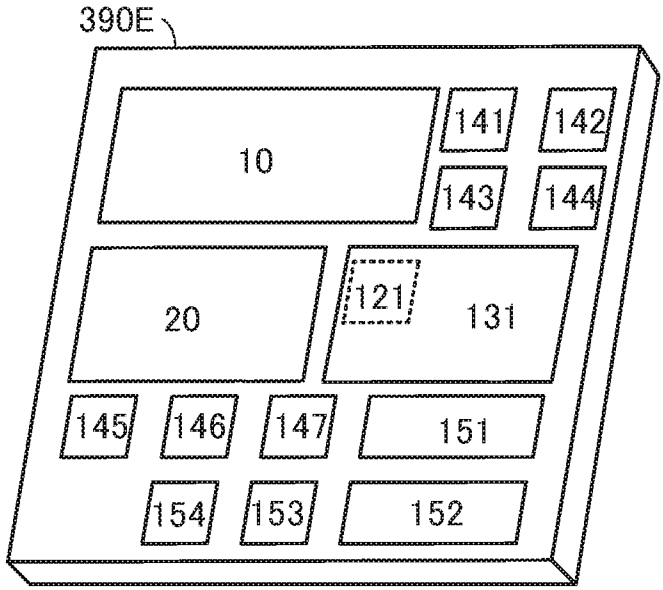

390
10
141
142
143
144
20
131
145
146
147
151
154
153
152

図21B


390E
10
141
142
143
144
20
121
131
145
146
147
151
154
153
152

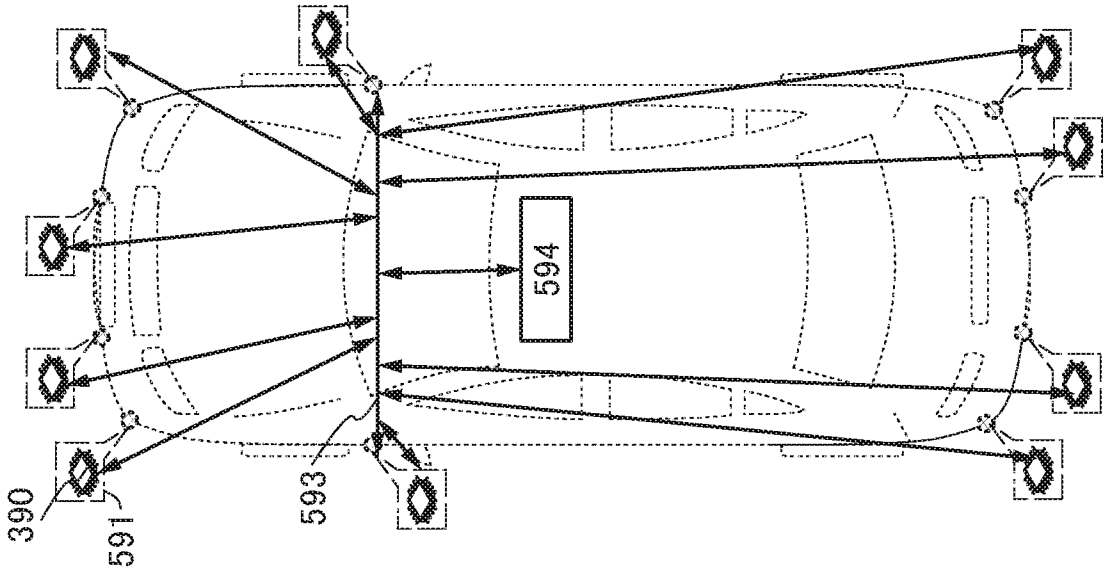


図22B

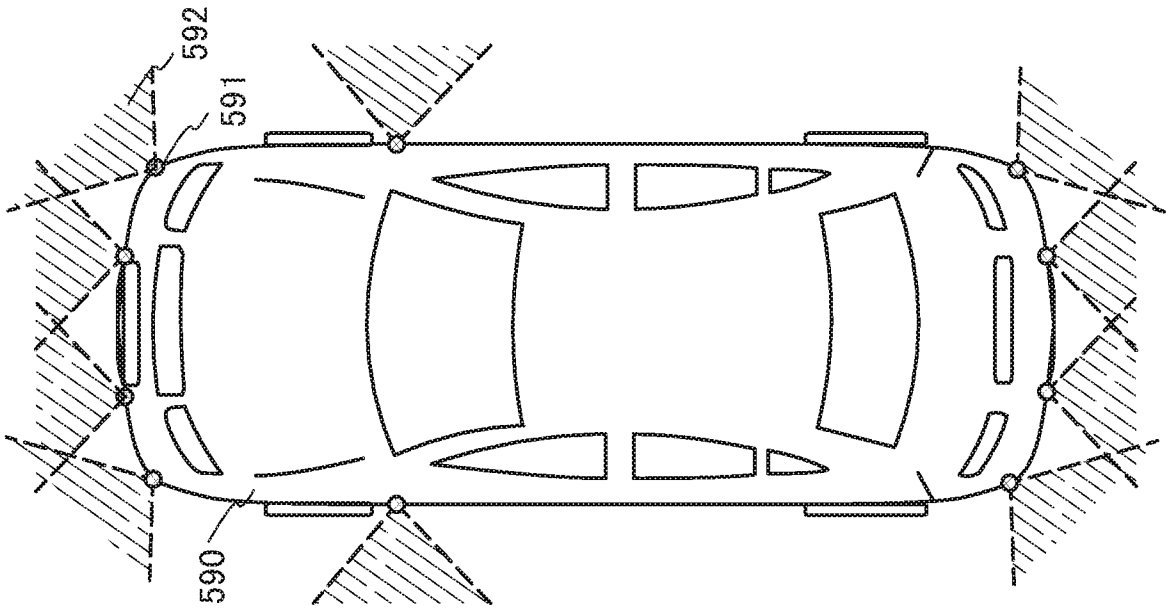


図22A

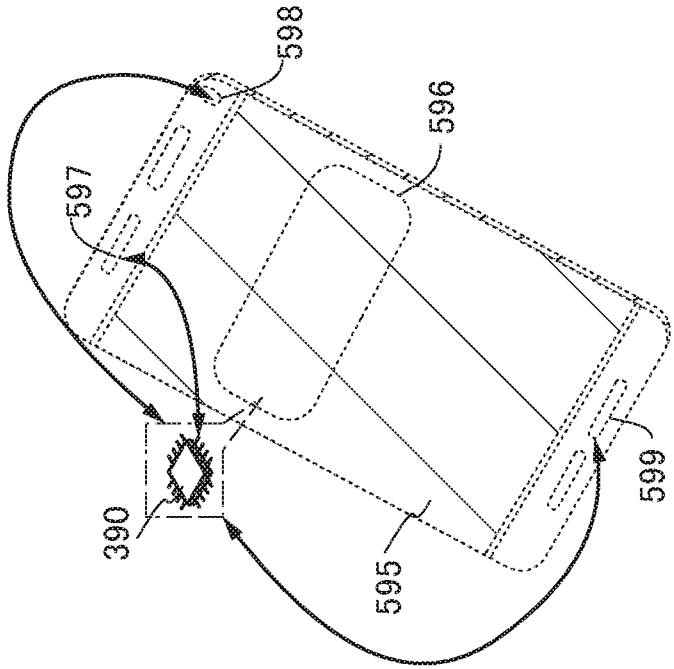


図23B

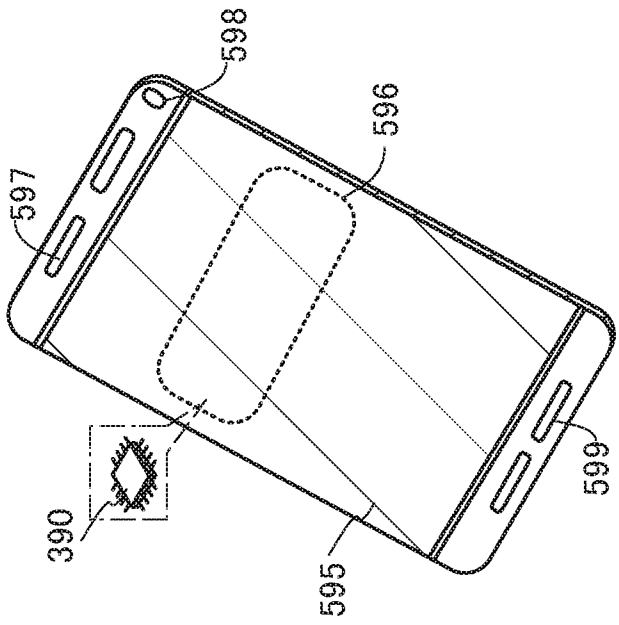


図23A

図24A

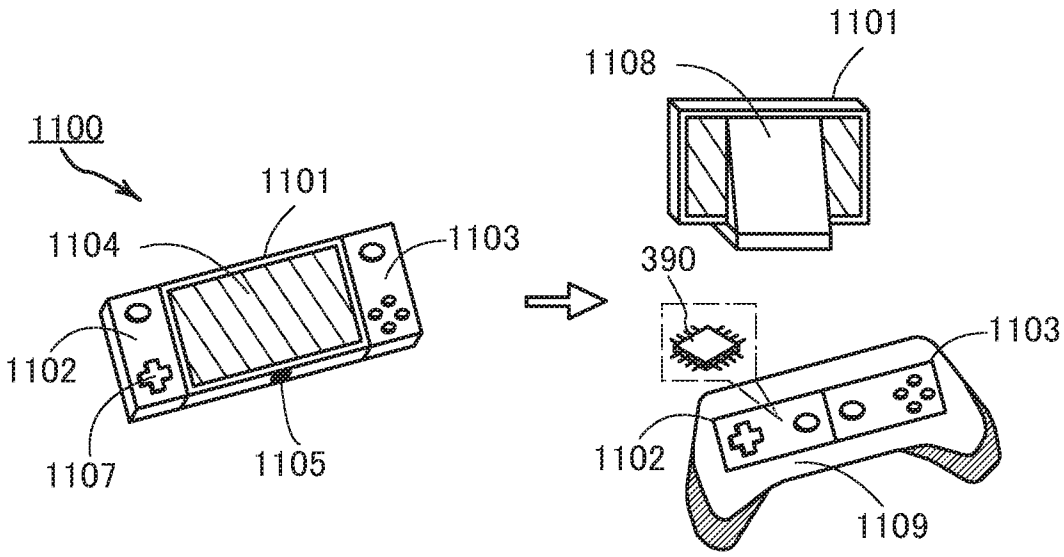


図24B

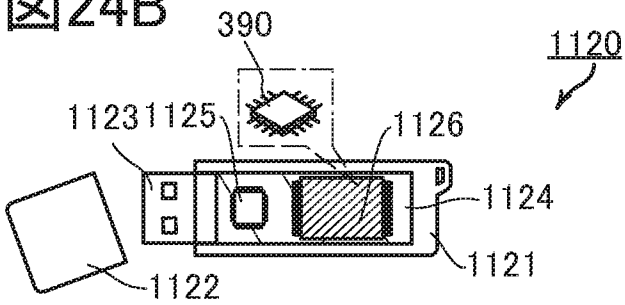
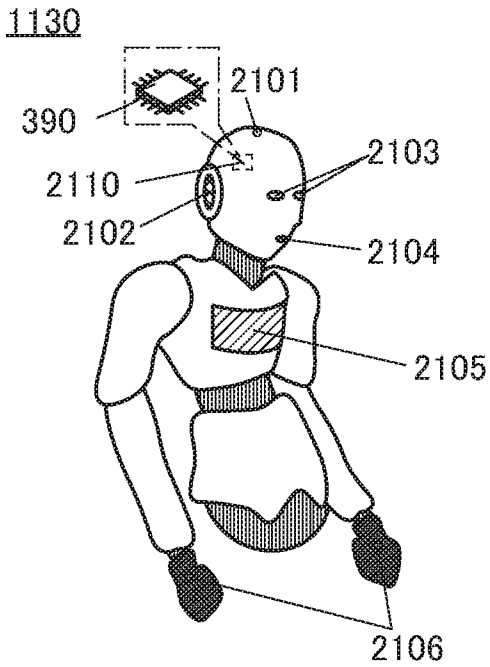


図24C



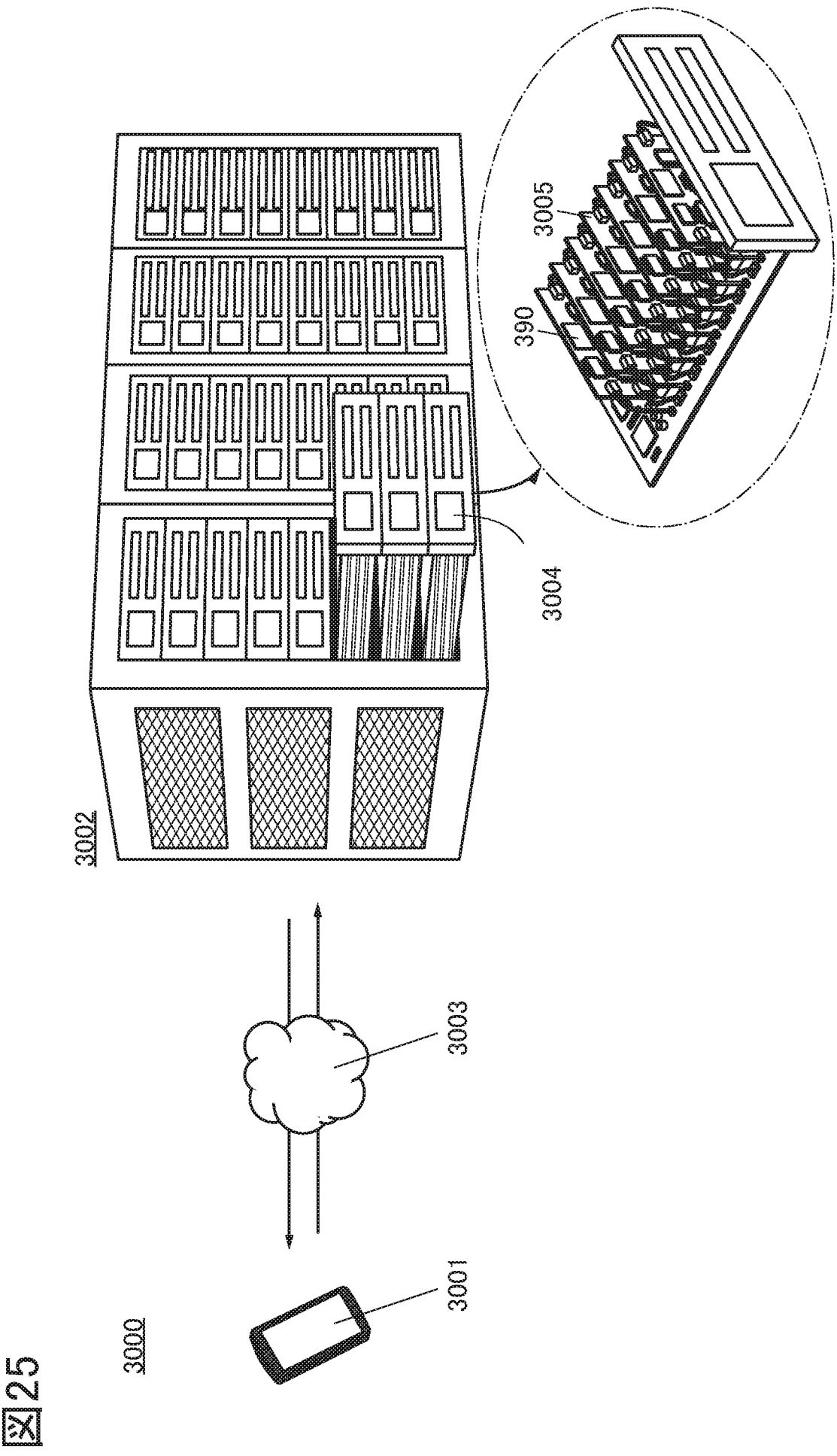
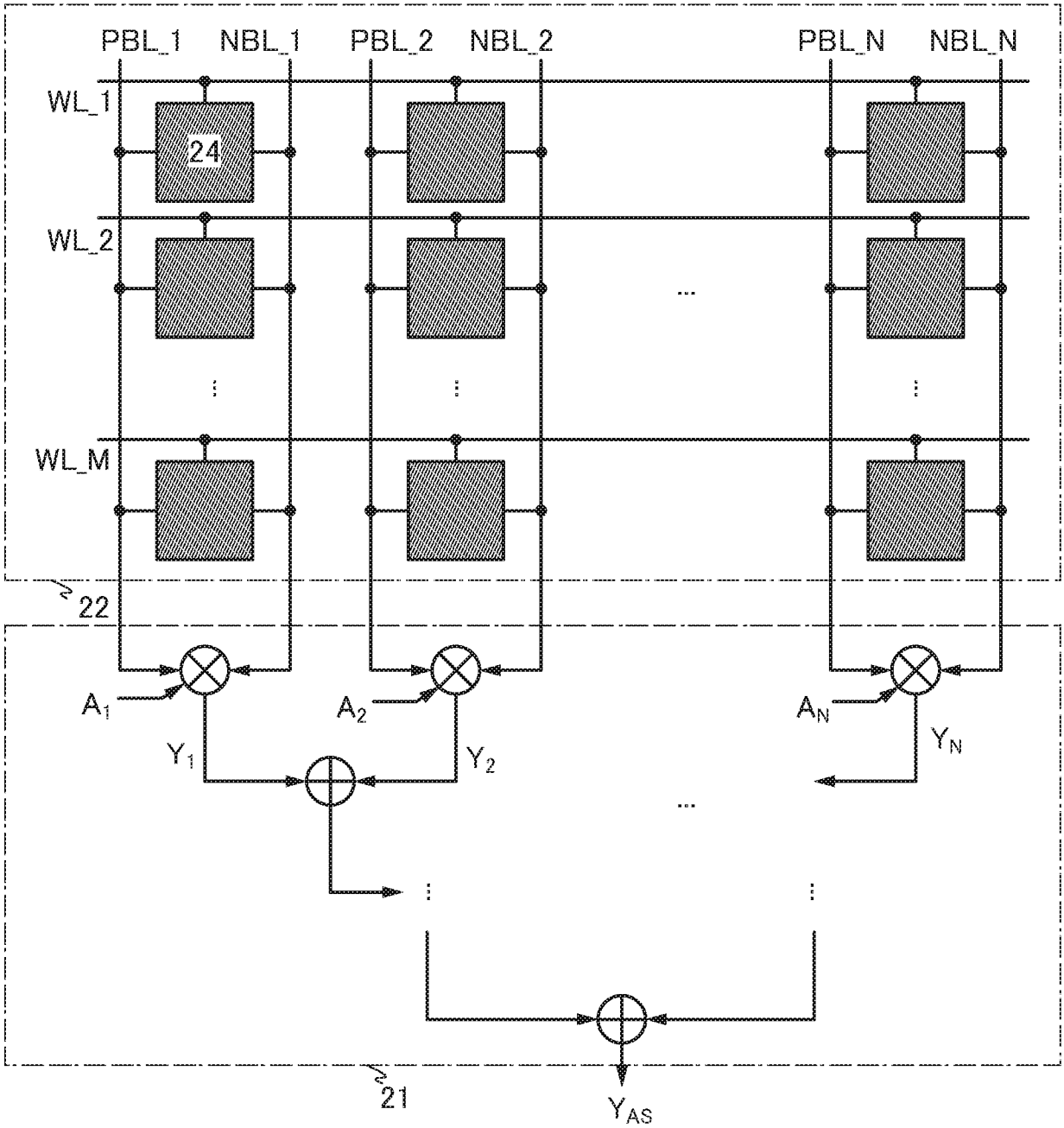


図25

図26


PBL_1
NBL_1
PBL_2
NBL_2
PBL_N
NBL_N
WL_1
WL_2
WL_M
24
22
21
A1
A2
AN
Y1
Y2
YN
YAS

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2020/058696

A. CLASSIFICATION OF SUBJECT MATTER
H01L 29/786(2006.01)i; G06F 9/38(2006.01)i; G06N 3/063(2006.01)i; G06F 17/10(2006.01)i
FI: G06F17/10 S; G06F9/38 370C; G06N3/063; H01L29/78 618B
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06F17/10-17/18; G06F9/38; H01L21/336; H01L29/786-29/792; G06N3/00-3/12; G06N7/08-99/00; H01L27/04; H01L21/822; H01L27/10-27/11597; H01L21/8229-21/8246; G11C11/401-11/4099; G11C11/56; G06F15/78; G06F1/26-1/3296

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2019/048982 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 14 March 2019 (2019-03-14) paragraphs [0022], [0030], [0038], [0040], [0043]-[0050], [0125], [0128], [0134]-[0135], [0144]-[0145], [0150], [0268]-[0270], [0275], [0278], fig. 1, 9, 11, 12, 27, 28	1-7
A	JP 2019-36280 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 07 March 2019 (2019-03-07) paragraphs [0022], [0039], [0045]-[0047], [0054]-[0055], [0057]-[0060], [0063]-[0065], [0111], fig. 1, 2, 3	1-7
A	JP 2018-129046 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 16 August 2018 (2018-08-16) paragraphs [0029]-[0032], [0034]-[0037], [0040], [0044], [0046], [0049], [0089]-[0091], [0093], [0128]-[0132], fig. 1, 6, 9	1-7

☒ Further documents are listed in the continuation of Box C.
☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 16 December 2020 (16.12.2020)	Date of mailing of the international search report 28 December 2020 (28.12.2020)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2020/058696

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2019-47006 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 22 March 2019 (2019-03-22) paragraphs [0017], [0034], [0036], [0055], [0066], [0079], [0112]-[0114], [0119], [0124], [0129], fig. 1, 3, 5, 7	1-7
A	JP 2019-46199 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 22 March 2019 (2019-03-22) paragraphs [0039], [0047], [0053], [0064]-[0065], [0070], [0084], [0089], [0093], [0139]-[0140], [0144]-[0152], fig. 1, 2, 3, 5, 6, 12, 13, 14	1-7

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2020/058696

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 2019/048982 A1	14 Mar. 2019	US 2020/0250521 A1 paragraphs [0052], [0060], [0068], [0070], [0073]-[0080], [0155], [0158], [0164]-[0165], [0174]-[0175], [0180], [0299]-[0301], [0306], [0309], fig. 1, 9, 11, 12A, 12B, 27A, 27B, 27C, 27D, 28A, 28B, 28C CN 111033438 A KR 10-2020-0050949 A DE 112018004814 T5	
JP 2019-36280 A	07 Mar. 2019	(Family: none)	
JP 2018-129046 A	16 Aug. 2018	(Family: none)	
JP 2019-47006 A	22 Mar. 2019	(Family: none)	
JP 2019-46199 A	22 Mar. 2019	(Family: none)	

国際調査報告

国際出願番号
PCT/IB2020/058696

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 29/786(2006.01)i; G06F 9/38(2006.01)i; G06N 3/063(2006.01)i; G06F 17/10(2006.01)i
FI: G06F17/10 S; G06F9/38 370C; G06N3/063; H01L29/78 618B

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G06F17/10-17/18; G06F9/38; H01L21/336; H01L29/786-29/792; G06N3/00-3/12; G06N7/08-99/00; H01L27/04; H01L21/822; H01L27/10-27/11597; H01L21/8229-21/8246; G11C11/401-11/4099; G11C11/56; G06F15/78; G06F1/26-1/3296

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2019/048982 A1 (株式会社半導体エネルギー研究所) 14.03.2019 (2019-03-14) 段落[0022], 段落[0030], 段落[0038], 段落[0040], 段落[0043]-[0050], 段落[0125], 段落[0128], 段落[0134]-[0135], 段落[0144]-[0145], 段落[0150], 段落[0268]-[0270], 段落[0275], 段落[0278], 図1, 図9, 図11, 図12, 図27, 図28	1-7
A	JP 2019-36280 A (株式会社半導体エネルギー研究所) 07.03.2019 (2019-03-07) 段落[0022], 段落[0039], 段落[0045]-[0047], 段落[0054]-[0055], 段落[0057]-[0060], 段落[0063]-[0065], 段落[0111], 図1, 図2, 図3	1-7
A	JP 2018-129046 A (株式会社半導体エネルギー研究所) 16.08.2018 (2018-08-16) 段落[0029]-[0032], 段落[0034]-[0037], 段落[0040], 段落[0044], 段落[0046], 段落[0049], 段落[0089]-[0091], 段落[0093], 段落[0128]-[0132], 図1, 図6, 図9	1-7
A	JP 2019-47006 A (株式会社半導体エネルギー研究所) 22.03.2019 (2019-03-22) 段落[0017], 段落[0034], 段落[0036], 段落[0055], 段落[0066], 段落[0079], 段落[0112]-[0114], 段落[0119], 段落[0124], 段落[0129], 図1, 図3, 図5, 図7	1-7

☑ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
16.12.2020	28.12.2020

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
清木　泰 5B 9643

電話番号 03-3581-1101 内線 3545

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2019-46199 A (株式会社半導体エネルギー研究所) 22.03.2019 (2019-03-22) 段落[0039], 段落[0047], 段落[0053], 段落[0064]-[0065], 段落[0070], 段落[0084], 段落[0089], 段落[0093], 段落[0139]-[0140], 段落[0144]-[0152], 図1, 図2, 図3, 図5, 図6, 図12, 図13, 図14	1-7

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/IB2020/058696

引用文献	公表日	パテントファミリー文献	公表日
WO 2019/048982 A1	14.03.2019	US 2020/0250521 A1 段落[0052], 段落[0060], 段落[0068], 段落[0070], 段落[0073]-[0080], 段落[0155], 段落[0158], 段落[0164]-[0165], 段落[0174]-[0175], 段落[0180], 段落[0299]-[0301], 段落[0306], 段落[0309], 図1, 図9, 図11, 図12A, 図12B, 図27A, 図27B, 図27C, 図27D, 図28A, 図28B, 図28C CN 111033438 A KR 10-2020-0050949 A DE 112018004814 T5	
JP 2019-36280 A	07.03.2019	（ファミリーなし）	
JP 2018-129046 A	16.08.2018	（ファミリーなし）	
JP 2019-47006 A	22.03.2019	（ファミリーなし）	
JP 2019-46199 A	22.03.2019	（ファミリーなし）	