(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
H03L 7/00 (2006.01)

(11) 공개번호 10-2007-0071141
(43) 공개일자 2007년07월04일

(21) 출원번호 10-2005-0134337
(22) 출원일자 2005년12월29일
심사청구일자 2007년01월23일

(71) 출원인 고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내

(72) 발명자 김철우
서울특별시 노원구 공릉2동 81번지 태강아파트 1021-1103
정경훈
서울특별시 중랑구 면목4동 1521 두원아파트 101동 305호
안성훈
경기도 남양주시 별내면 청학리 주공아파트 205동 603호

(74) 대리인 현종철

전체 청구항 수 : 총 17 항

(54) 지연 고정 루프 기반의 주파수 체배 기능을 갖는 클럭발생기

(57) 요약

본 발명은 지연 고정 루프 기반의 주파수 체배 기능을 갖으며 입출력 신호의 위상을 고정하는 클럭 발생기에 대하여 개시된다.

클럭 발생기는 지연 고정 루프, 전압 제어 지연부, 주파수 체배기, 록킹 검출부, 스위칭부, 위상 검출부, 전하 펌프부를 포함한다. 지연 고정 루프는 기준 클럭 신호와 제1 지연단들 중 마지막 지연단의 출력 신호를 비교하여 제1 지연단들의 지연 시간을 조절한다. 주파수 체배기는 전압 제어 지연부의 출력 신호들과 상보 출력 신호들의 사이의 지연 시간에 대응되는 펄스를 갖는 체배된 클럭 신호를 발생한다. 록킹 검출부는 기준 클록 신호와 전압 제어 지연선의 마지막 지연단의 출력 신호와의 동기화 상태를 검출하여 스위치 제어 신호를 발생한다. 스위칭부는 스위치 제어 신호에 응답하여 기준 클럭 신호와 체배된 클럭 신호를 전송한다. 위상 검출부는 인에이블 신호에 응답하여 스위칭부를 통해 전송되는 기준 클럭 신호와 체배된 클럭 신호의 위상을 비교하고, 업 신호 또는 다운 신호를 발생한다. 전하 펌프부는 업 신호 또는 다운 신호에 응답하여 제어 신호의 레벨을 조절한다.

대표도

도 1

특허청구의 범위

청구항 1.

기준 클럭 신호를 입력하는 직렬 연결된 다수개의 제1 지연단들을 포함하고, 상기 기준 클럭 신호와 상기 제1 지연단들 중 마지막 지연단의 출력 신호를 비교하여 상기 제1 지연단들의 지연 시간을 조절하는 지연 고정 루프;

상기 지연 고정 루프의 출력 신호를 입력하는 직렬 연결된 다수개의 제2 지연단들을 포함하고, 상기 지연 고정 루프의 출력 신호와 상기 제2 지연단들 중 마지막 지연단의 출력 신호를 비교하여 상기 제2 지연단들의 지연 시간을 조절하는 상기 전압 제어 지연부; 및

상기 전압 제어 지연부의 출력 신호들과 상보 출력 신호들의 사이의 지연 시간에 대응되는 펄스를 갖는 체배된 클럭 신호를 발생하는 주파수 체배기를 구비하는 것을 특징으로 하는 클럭 발생기.

청구항 2.

제1항에 있어서, 상기 지연 고정 루프는

상기 기준 클럭 신호를 입력하여 차동 클럭 신호들을 출력하는 버퍼부;

상기 차동 클럭 신호를 입력하고, 제어 신호에 응답하여 상기 제1 지연단들의 지연 시간을 조절하는 전압 제어 지연선;

상기 기준 클럭 신호와 상기 전압 제어 신호선의 출력 신호의 위상을 비교하여 업 신호 또는 다운 신호를 발생하는 위상 검출부;

상기 업 신호 또는 상기 다운 신호에 응답하여 상기 제어 신호를 변화시키는 전하 펌프; 및

상기 제어 신호의 노이즈 성분을 제거하는 루프 필터를 구비하는 것을 특징으로 하는 클럭 발생기.

청구항 3.

제1항에 있어서, 상기 주파수 체배기는

전원 전압이 그 소스에 연결되고, 접지 전압이 그 게이트에 연결되는 제1 피모스 트랜지스터;

상기 제1 피모스 트랜지스터의 드레인이 그 소스들에 연결되고, 상기 접지 전압이 그 게이트들에 연결되는 제2 및 제3 피모스 트랜지스터들;

상기 제2 피모스 트랜지스터의 드레인과 상기 접지 전압 사이에 직렬 연결되는 다수개의 제1 체배 라인부들; 및

상기 제3 피모스 트랜지스터의 드레인과 상기 접지 전압 사이에 직렬 연결되는 다수개의 제2 체배 라인부들을 구비하는 것을 특징으로 하는 클럭 발생기.

청구항 4.

제3항에 있어서, 상기 제1 체배 라인부들은

상기 전압 제어 지연부의 짝수번 출력 신호들과 짝수번 상보 출력 신호들이 그 게이트들에 연결되는 직렬 연결된 엔모스 트랜지스터들로 구성되는 것을 특징으로 하는 클럭 발생기.

청구항 5.

제3항에 있어서, 상기 제2 체배 라인부들은

상기 전압 제어 지연부의 홀수번 출력 신호들과 홀수번 상보 출력 신호들이 그 게이트들에 연결되는 직렬 연결된 엔모스 트랜지스터들로 구성되는 것을 특징으로 하는 클럭 발생기.

청구항 6.

제2항에 있어서, 상기 클럭 발생기는

상기 기준 클록 신호와 상기 전압 제어 지연선의 마지막 지연단의 출력 신호와의 동기화 상태를 검출하는 록킹 검출기를 더 구비하는 것을 특징으로 하는 클럭 발생기.

청구항 7.

제6항에 있어서, 상기 록킹 검출기는

상기 기준 클럭 신호와 상기 전압 제어 지연선의 마지막 지연단의 출력 신호를 입력하는 배타적 논리합 로직부;

상기 전압 제어 지연선의 첫번째 지연단의 출력 신호에 응답하여 상기 배타적 논리합 로직부의 출력을 래치하는 제1 D-플립플롭;

상기 전압 제어 지연선의 네번째 지연단의 출력 신호에 응답하여 상기 배타적 논리합 로직부의 출력을 래치하는 제2 D-플립플롭;

상기 제1 D-플립플롭의 출력과 제2 D-플립플롭의 출력을 입력하는 노아 로직부; 및

상기 전압 제어 신호선 내 초기 제어 회로의 출력 신호와 상기 노아 로직부의 출력을 입력하는 앤드 로직부를 구비하는 것을 특징으로 하는 클럭 발생기.

청구항 8.

제7항에 있어서, 상기 초기 제어 회로는

상기 전압 제어 신호선의 지연 정도가 한 주기가 되도록 조절하는 것을 특징으로 하는 클럭 발생기.

청구항 9.

기준 클럭 신호를 입력하는 직렬 연결된 다수개의 제1 지연단들을 포함하고, 상기 기준 클럭 신호와 상기 제1 지연단들 중 마지막 지연단의 출력 신호를 비교하여 상기 제1 지연단들의 지연 시간을 조절하는 지연 고정 루프;

상기 지연 고정 루프의 출력 신호를 입력하는 직렬 연결된 다수개의 제2 지연단들을 포함하고, 제어 신호에 응답하여 상기 지연 고정 루프의 출력 신호와 상기 제2 지연단들 중 마지막 지연단의 출력 신호를 비교하고 상기 제2 지연단들의 지연 시간을 조절하는 전압 제어 지연부;

상기 전압 제어 지연부의 출력 신호들과 상보 출력 신호들의 사이의 지연 시간에 대응되는 펄스를 갖는 체배된 클럭 신호를 발생하는 주파수 체배기;

상기 기준 클록 신호와 상기 전압 제어 지연선의 마지막 지연단의 출력 신호와의 동기화 상태를 검출하여 스위치 제어 신호를 발생하는 록킹 검출기;

상기 스위치 제어 신호에 응답하여 상기 기준 클럭 신호와 상기 체배된 클럭 신호를 전송하는 스위칭부;

인에이블 신호에 응답하여 상기 스위칭부를 통해 전송되는 상기 기준 클럭 신호와 상기 체배된 클럭 신호의 위상을 비교하고, 업 신호 또는 다운 신호를 발생하는 위상 검출부; 및

상기 업 신호 또는 다운 신호에 응답하여 상기 제어 신호의 레벨을 조절하는 전하 펌프부를 구비하는 것을 특징으로 하는 클럭 발생기.

청구항 10.

제9항에 있어서, 상기 지연 고정 루프는

상기 기준 클럭 신호를 입력하여 차동 클럭 신호들을 출력하는 버퍼부;

상기 차동 클럭 신호를 입력하고, 제어 신호에 응답하여 상기 제1 지연단들의 지연 시간을 조절하는 전압 제어 지연선;

상기 기준 클럭 신호와 상기 전압 제어 신호선의 출력 신호의 위상을 비교하여 업 신호 또는 다운 신호를 발생하는 위상 검출부;

상기 업 신호 또는 상기 다운 신호에 응답하여 상기 제어 신호를 변화시키는 전하 펌프; 및

상기 제어 신호의 노이즈 성분을 제거하는 루프 필터를 구비하는 것을 특징으로 하는 클럭 발생기.

청구항 11.

제9항에 있어서, 상기 주파수 체배기는

전원 전압이 그 소스에 연결되고, 접지 전압이 그 게이트에 연결되는 제1 피모스 트랜지스터;

상기 제1 피모스 트랜지스터의 드레인이 그 소스들에 연결되고, 상기 접지 전압이 그 게이트들에 연결되는 제2 및 제3 피모스 트랜지스터들;

상기 제2 피모스 트랜지스터의 드레인과 상기 접지 전압 사이에 직렬 연결되는 다수개의 제1 체배 라인부들; 및

상기 제3 피모스 트랜지스터의 드레인과 상기 접지 전압 사이에 직렬 연결되는 다수개의 제2 체배 라인부들을 구비하는 것을 특징으로 하는 클럭 발생기.

청구항 12.

제11항에 있어서, 상기 제1 체배 라인부들은

상기 전압 제어 지연부의 짝수번 출력 신호들과 짝수번 상보 출력 신호들이 그 게이트들에 연결되는 직렬 연결된 엔모스 트랜지스터들로 구성되는 것을 특징으로 하는 클럭 발생기.

청구항 13.

제11항에 있어서, 상기 제2 체배 라인부들은

상기 전압 제어 지연부의 홀수번 출력 신호들과 홀수번 상보 출력 신호들이 그 게이트들에 연결되는 직렬 연결된 엔모스 트랜지스터들로 구성되는 것을 특징으로 하는 클럭 발생기.

청구항 14.

제10항에 있어서, 상기 클럭 발생기는

상기 기준 클록 신호와 상기 전압 제어 지연선의 마지막 지연단의 출력 신호와의 동기화 상태를 검출하는 록킹 검출기를 더 구비하는 것을 특징으로 하는 클럭 발생기.

청구항 15.

제14항에 있어서, 상기 록킹 검출기는

상기 기준 클럭 신호와 상기 전압 제어 지연선의 마지막 지연단의 출력 신호를 입력하는 배타적 논리합 로직부;

상기 전압 제어 지연선의 첫번째 지연단의 출력 신호에 응답하여 상기 배타적 논리합 로직부의 출력을 래치하는 제1 D-플립플롭;

상기 전압 제어 지연선의 네번째 지연단의 출력 신호에 응답하여 상기 배타적 논리합 로직부의 출력을 래치하는 제2 D-플립플롭;

상기 제1 D-플립플롭의 출력과 제2 D-플립플롭의 출력을 입력하는 노아 로직부; 및

상기 전압 제어 신호선 내 초기 제어 회로의 출력 신호와 상기 노아 로직부의 출력을 입력하는 앤드 로직부를 구비하는 것을 특징으로 하는 클럭 발생기.

청구항 16.

제15항에 있어서, 상기 초기 제어 회로는

상기 전압 제어 신호선의 지연 정도가 한 주기가 되도록 조절하는 것을 특징으로 하는 클럭 발생기.

청구항 17.

제9항에 있어서, 상기 위상 검출부는

상기 기준 클럭 신호를 입력하여 반전된 기준 클럭 신호를 출력하는 제1 버퍼부;

상기 전압 제어 지연부의 출력 신호들을 입력하여 상기 인에이블 신호를 발생하는 윈도우 발생부;

상기 인에이블 신호와 상기 반전된 기준 클럭 신호를 입력하여 래치된 기준 클럭 신호를 발생하는 기준 클럭 래치부;

상기 체배된 클럭 신호를 입력하여 반전된 체배 클럭 신호를 출력하는 제2 버퍼부;

상기 인에이블 신호와 상기 반전된 체배 클럭 신호를 입력하여 래치된 체배 클럭 신호를 발생하는 체배 클럭 래치부; 및

상기 래치된 기준 클럭 신호와 상기 래치된 체배 클럭 신호의 위상을 비교하고, 위상차에 응답하여 상기 업 신호 또는 상기 다운 신호를 발생하는 위상 검출기를 구비하는 것을 특징으로 클럭 발생기.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 집적 회로에 관한 것으로, 특히 지연 고정 루프 기반의 주파수 체배 기능을 갖는 클럭 발생기에 관한 것이다.

마이크로프로세서가 고성능으로 발전하면서, 컴퓨터와 디지털 통신의 여러 부품들의 대역폭이 증가하고 있다. 데이터가 전송되거나 이동하는 시간은 더욱 짧아지고 있으며, 이를 판별하여 처리하는 시간 또한 짧아지고 있다. 하지만, 데이터를 저장할 때 레지스터가 안정화되는 시간은 더 이상 짧아지지 않는다.

종래의 수만에서 수십만개의 트랜지스터가 집적될 때와 달리, 수백만이나 1억개 이상의 트랜지스터가 집적되는 시스템 온 칩(SoC)의 환경에서는 잡음과 스큐의 증가가 예상된다. 왜냐하면, 시스템 온 칩에 아날로그 블록과 디지털 블록이 함께 집적됨에 따라, 디지털 블록에서 발생하는 스위칭 잡음이 전원 전압과 접지 전압에 그대로 전달되기 때문이다. 그리고 많은 트랜지스터들의 집적으로 칩의 크기가 증가하는데, 이 때문에 클록 스큐가 증가하게 된다. 따라서 시스템이 점점 더 고속화, 집적화되어감에 따라 저지터의 클록 발생기의 개발은 중요하다.

한편, 저전력의 프로세서를 위해서 빠른 록킹 타임을 갖는 클록 발생기의 개발이 요구되고 있다. 프로세서는 록킹 동작 동안 전력 소모가 커질 수 있다. 저전력의 프로세서를 구현하기 위하여, 동적 전원 전압 제어와 함께 동적 주파수 체배가 제안되고 있다. 이러한 제안은 프로세서의 동작 모드에 따라 전원 전압과 함께 주파수를 변환하여 필요한 만큼의 전력을 소모한다는 것을 의미한다. 이를 위해서 여러 가지 블록들이 필요하지만, 필수적으로 빠른 록킹 시간을 갖고 주파수가 변화하는 클록 발생기가 요구된다.

기존의 시스템에서 사용되는 전형적인 클록 발생기는 위상 고정 루프(Phase Locked Loop : PLL) 기반의 클록 발생기이다. 위상 고정 루프는 전압 제어 방식의 전압 제어 발진기(Voltage Controlled Oscillator : VCO)의 주파수를 조정함으로 동작하게 된다. 전압 제어 발진기는 폐루프로 구성되어, 구조적으로 지터가 누적되는 단점이 있다. 그리고 전압 제어 발진기는 주파수가 변화할 때마다 록킹 시간이 오래 걸려 저전력을 구현하는 데 어려움이 있다.

게다가, 기존의 위상고정루프 기반의 클록 발생기는 전압 제어 발진기의 출력이 분주기를 거쳐서 기준 클럭 신호와 비교되므로, 분주기 위상만큼 오차가 발생하고 3차 이상의 특성식을 가지므로 불안정하게 동작할 위험이 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 지연 고정 루프 방식의 주파수 체배 기능을 갖고 입출력 신호의 위상을 고정시킬 수 있는 클럭 발생기를 제공하는 데 있다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명의 일면에 따른 클럭 발생기는 지연 고정 루프, 전압 제어 지연부, 주파수 체배기, 록킹 검출부, 스위칭부, 위상 검출부, 전하 펌프부를 포함한다. 지연 고정 루프는 기준 클럭 신호를 입력하는 직렬 연결된 다수개의 제1 지연단들을 포함하고, 기준 클럭 신호와 제1 지연단들 중 마지막 지연단의 출력 신호를 비교하여 제1 지연단들의 지연 시간을 조절한다. 전압 제어 지연부는 지연 고정 루프의 출력 신호를 입력하는 직렬 연결된 다수개의 제2 지연단들을 포함하고, 제어 신호에 응답하여 지연 고정 루프의 출력 신호와 제2 지연단들 중 마지막 지연단의 출력 신호를 비교하고 제2 지연단들의 지연 시간을 조절한다. 주파수 체배기는 전압 제어 지연부의 출력 신호들과 상보 출력 신호들의 사이의 지연 시간에 대응되는 펄스를 갖는 체배된 클럭 신호를 발생한다. 록킹 검출부는 기준 클록 신호와 전압 제어 지연선의 마지막 지연단의 출력 신호와의 동기화 상태를 검출하여 스위치 제어 신호를 발생한다. 스위칭부는 스위치 제어 신호에 응

답하여 기준 클럭 신호와 체배된 클럭 신호를 전송한다. 위상 검출부는 인에이블 신호에 응답하여 스위칭부를 통해 전송되는 기준 클럭 신호와 체배된 클럭 신호의 위상을 비교하고, 업 신호 또는 다운 신호를 발생한다. 전하 펌프부는 업 신호 또는 다운 신호에 응답하여 제어 신호의 레벨을 조절한다.

본 발명의 바람직한 실시예들에 따라, 지연 고정 루프는 기준 클럭 신호를 입력하여 차동 클럭 신호들을 출력하는 버퍼부와, 차동 클럭 신호를 입력하고 제어 신호에 응답하여 제1 지연단들의 지연 시간을 조절하는 전압 제어 지연선과, 기준 클럭 신호와 전압 제어 신호선의 출력 신호의 위상을 비교하여 업 신호 또는 다운 신호를 발생하는 위상 검출부와, 업 신호 또는 다운 신호에 응답하여 제어 신호를 변화시키는 전하 펌프와, 그리고 제어 신호의 노이즈 성분을 제거하는 루프 필터를 포함할 수 있다.

본 발명의 바람직한 실시예들에 따라, 주파수 체배기는 전원 전압이 그 소스에 연결되고 접지 전압이 그 게이트에 연결되는 제1 피모스 트랜지스터와, 제1 피모스 트랜지스터의 드레인이 그 소스들에 연결되고 접지 전압이 그 게이트들에 연결되는 제2 및 제3 피모스 트랜지스터들와, 제2 피모스 트랜지스터의 드레인과 접지 전압 사이에 직렬 연결되는 다수개의 제1 체배 라인부들과, 제3 피모스 트랜지스터의 드레인과 접지 전압 사이에 직렬 연결되는 다수개의 제2 체배 라인부들을 포함할 수 있다.

본 발명의 바람직한 실시예들에 따라, 제1 체배 라인부들은 전압 제어 지연부의 짝수번 출력 신호들과 짝수번 상보 출력 신호들이 그 게이트들에 연결되는 직렬 연결된 엔모스 트랜지스터들로 구성되고, 제2 체배 라인부들은 전압 제어 지연부의 홀수번 출력 신호들과 홀수번 상보 출력 신호들이 그 게이트들에 연결되는 직렬 연결된 엔모스 트랜지스터들로 구성될 수 있다.

본 발명의 바람직한 실시예들에 따라, 클럭 발생기는 기준 클록 신호와 상기 전압 제어 지연선의 마지막 지연단의 출력 신호와의 동기화 상태를 검출하는 록킹 검출기를 더 포함할 수 있다.

본 발명의 바람직한 실시예들에 따라, 록킹 검출기는 기준 클럭 신호와 전압 제어 지연선의 마지막 지연단의 출력 신호를 입력하는 배타적 논리합 로직부와, 전압 제어 지연선의 첫번째 지연단의 출력 신호에 응답하여 배타적 논리합 로직부의 출력을 래치하는 제1 D-플립플롭과, 전압 제어 지연선의 네번째 지연단의 출력 신호에 응답하여 배타적 논리합 로직부의 출력을 래치하는 제2 D-플립플롭과, 제1 D-플립플롭의 출력과 제2 D-플립플롭의 출력을 입력하는 노아 로직부와, 그리고 전압 제어 신호선 내 초기 제어 회로의 출력 신호와 노아 로직부의 출력을 입력하는 앤드 로직부를 포함할 수 있다.

본 발명의 바람직한 실시예들에 따라, 초기 제어 회로는 전압 제어 신호선의 지연 정도가 한 주기가 되도록 조절할 수 있다.

본 발명의 바람직한 실시예들에 따라, 위상 검출부는 기준 클럭 신호를 입력하여 반전된 기준 클럭 신호를 출력하는 제1 버퍼부와, 제어 지연부의 출력 신호들을 입력하여 인에이블 신호를 발생하는 윈도우 발생부와, 인에이블 신호와 반전된 기준 클럭 신호를 입력하여 래치된 기준 클럭 신호를 발생하는 기준 클럭 래치부와, 체배된 클럭 신호를 입력하여 반전된 체배 클럭 신호를 출력하는 제2 버퍼부와, 인에이블 신호와 반전된 체배 클럭 신호를 입력하여 래치된 체배 클럭 신호를 발생하는 체배 클럭 래치부와, 그리고 래치된 기준 클럭 신호와 래치된 체배 클럭 신호의 위상을 비교하고 위상차에 응답하여 업 신호 또는 다운 신호를 발생하는 위상 검출기를 포함할 수 있다.

따라서, 본 발명의 클럭 발생기는 1차의 안정된 특성식을 가지고, 체배된 클럭 신호가 기준 클럭 신호의 위상과 일치한다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 예시적인 실시예를 설명하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 1은 본 발명의 일실시예에 따른 클럭 발생기를 설명하는 블락 다이어그램이다. 이를 참조하면, 클럭 발생기(100)는 지연 고정 루프(110), 전압 제어 지연부 (Voltage Controlled Delay Line, 115), 주파수 체배기(Frequency Multiplier, 120), 록킹 검출기(Lock Detector, 130), 스위칭부(140), 위상 검출부(Phase Detector, 150), 전하 펌프부(Charge Pump, 160), 그리고 루프 필터부(Loop Filter, 170)를 포함한다.

지연 고정 루프(110)는 구체적으로 도 2에 도시되어 있다. 도 2를 참조하면, 지연 고정 루프(110)는 버퍼부(210), 전압 제어 지연선(220), 초기 제어 회로(230), 위상 검출부(240), 전하 펌프(250), 그리고 루프 필터(260)를 포함한다.

버퍼부(210)는 기준 클럭 신호(fref)를 입력하여 차동 신호들(fref_in, frefb_in)을 출력한다. 전압 제어 지연선(220)은 차동 신호들(fref_in, frefb_in)을 입력하고, 제어 신호(Vc)에 따라 지연 정도를 조절한다. 전압 제어 지연선(220)은 다수개의 지연단들(221-224)로 구성된다. 각 지연단들(221-224)은 도 3의 회로 다이어그램으로 나타낸다.

도 3을 참조하면, 각 지연단들(221-224)은 전원 전압(Vcc)과 접지 전압(Vss) 사이에 직렬 연결되는 제3 트랜지스터(M3)와 제1 트랜지스터(M1), 제4 트랜지스터(M4)와 제2 트랜지스터(M2)를 포함한다. 제3 트랜지스터(M3)와 제4 트랜지스터(M4)는 게이트와 드레인이 서로 교차 연결되어 있고, 그 드레인들이 차동 출력 신호들(out, outb)로 출력된다. 제1 및 제2 트랜지스터(M1, M2)의 게이트들은 제1 및 제2 차동 신호(in, inb)에 각각 연결된다. 그리고, 각 지연단들(221-224)은 전원 전압(Vcc)과 제1 및 제2 차동 출력 신호(out, outb) 사이에, 제어 신호(vc)가 그 게이트들에 연결되는 제5 및 제6 트랜지스터들(M5, M6)을 더 포함한다.

각 지연단들(221-224)은 제어 신호(Vc)의 전압 레벨에 따라 제5 및 제6 트랜지스터들(M5, M6)을 통해 제1 및 제2 차동 출력 신호들(out, outb)로 공급되는 전류 량에 따라 그 지연 시간이 달라진다.

전압 제어 지연선(220)의 마지막 지연단(224)의 출력 신호(D8)는 피이드백되어 초기 제어 회로(230)로 입력된다. 전압 제어 지연선(220)은 그 지연 정도가 한 주기에 맞춰져야 한다. 즉, 전압 제어 신호선(220)의 범위는 수학식 1과 같이 되어야 한다.

$$\frac{Tref}{2} < VCDLdelay < \frac{3Tref}{2}$$

만약, 전압 제어 지연선(220)이 이 범위를 벗어나게 되면, 지연 고정 루프(110)는 한 주기 미만에서 록킹이 되지 않거나, 두 주기에서 록킹이 되는 잘못된 록킹(false locking)을 할 수 있다. 이를 방지하기 위하여, 초기 제어 회로(230)가 이용된다. 초기 제어 회로(230)는 전압 제어 지연선(220)의 지연 정도가 한 주기가 되도록 조절한다. 또한 초기 제어 회로(230)는 저지터의 주파수 체배를 위해서 정적 위상 오차를 줄인다.

위상 검출기(240)는 기준 클럭 신호(Fref_in)와 전압 제어 지연선(220)의 출력 신호의 위상을 비교하여 업 신호(UP) 또는 다운 신호(DN)의 펄스를 발생한다. 전하 펌프(250)는 이러한 업 신호(UP) 또는 다운 신호(DN) 펄스에 따라 전하를 공급 또는 방출함으로 제어 신호(Vc)를 변화시킨다. 루프 필터(260)는 제어 신호(Vc)의 노이즈 성분을 제거한다.

이에 따라, 지연 고정 루프(110)의 출력(D1~DN)은 동일한 위상차를 가지고 지연되어 출력된다. 지연 고정 루프(110)의 출력(D1~DN)은 기준 클록 신호(fref)와 전압 제어 지연부(120)의 마지막 지연단의 출력 신호(D8)가 동기화 된다.

다시, 도 1로 돌아가서, 전압 제어 지연부(115)는 앞서 설명한 전압 제어 지연선과 동일한 구조를 갖는다. 설명의 중복을 피하기 위하여 구체적인 설명은 생략된다.

주파수 체배기(120)는 전압 제어 지연부(115)의 동일한 위상차를 갖는 다중 위상 신호를 이용하는 데, 마지막 위상 신호(D8)와 기준 클럭 신호(fref)의 차이가 나게 되면, 이것이 체배된 신호의 지터로 나타나기 때문이다. 지터를 없애기 위하여, 주파수 채배기(120)는 전하 펌프가 적은 전류 미스매치가 되도록 하며 전하 공유(charge sharing)를 하지 않도록 설계된다.

주파수 체배기(120)는 도 4에 도시되어 있다. 도 4를 참조하면, 주파수 체배기(120)는 전압 제어 지연부(115)의 출력(D1 ~ DN)을 입력한다. 주파수 체배기(120)는 전원 전압(Vcc)이 그 소스에 연결되는 제1 피모스 트랜지스터(401)를 포함한다. 제1 피모스 트랜지스터(401)의 게이트는 접지 전압(Vss)에 연결된다. 제2 및 제3 피모스 트랜지스터(402, 403)의 소스들은 제1 피모스 트랜지스터(401)의 드레인과 연결되고, 그 게이트들은 접지 전압(Vss)에 연결된다.

제2 피모스 트랜지스터(402)의 드레인은 다수개의 체배 라인부들(412-418)과 연결되고, 제3 피모스 트랜지스터(403)의 드레인은 다수개의 체배 라인부들(411-417)과 연결된다. 체배 라인부들(412-418)은 제2 피모스 트랜지스터(402)의 드레인과 접지 전압(Vss) 사이에, 전압 제어 지연부(115)의 짝수번 출력 신호들(D2, Dbd2, D4, Dbd4, D6, Dbd6, D8,

Dbd8)이 그 게이트들에 연결되는 직렬 연결된 엔모스 트랜지스터들로 구성된다. 체배 라인부들(411-417)은 제3 피모스 트랜지스터(403)의 드레인과 접지 전압(Vss) 사이에, 전압 제어 지연부(115)의 홀수번 출력 신호들(D1, Dbd1, D3, Dbd3, D5, Dbd5, D7, Dbd7)이 그 게이트들에 연결되는 직렬 연결된 엔모스 트랜지스터들로 구성된다.

도 5는 전압 제어 지연부(115)의 출력 신호들(D1-D8)과 상보 출력 신호들(Dbd1-Dbd8)의 관계를 설명하는 회로 다이어그램이다. 도 5를 참조하면, 전압 제어 지연부(115)의 출력 신호(Di)는 홀수개의 직렬 연결된 인버터들로 입력되어, 상보 출력 신호(Dbdi)로 출력된다. 전압 제어 지연부(115)의 출력 신호(Di)와 상보 출력 신호(Dbdi)는 소정의 지연 시간을 갖고 서로 반대되는 로직 레벨로 발생된다.

도 4의 주파수 체배기(120)는 수학식 2의 관계에 의해서 주파수를 체배하게 된다.

$$out = (\overline{D_2 \cdot D_{bd2}})(\overline{D_4 \cdot D_{bd4}})(\overline{D_6 \cdot D_{bd6}})(\overline{D_8 \cdot D_{bd8}})$$

주파수 체배기(120)의 동작은 도 6과 같이 나타난다.

전압 제어 지연부(115)의 짝수번 출력 신호들(D2, Dbd2, D4, Dbd4, D6, Dbd6, D8, Dbd8)은 T/2+ δ의 하이 펄스 듀레이션과 T/2-δ의 로우 펄스 듀레이션을 갖는 클럭 신호들로 발생된다. 주파수 체배기(120)의 출력(out)은 전압 제어 지연부(115)의 짝수번 출력 신호(D2, D4, D6, D8)와 상보 짝수번 출력 신호(Dbd2, Dbd4, Dbd6, Dbd8) 사이의 지연 시간 만큼의 로우 펄스를 갖는 클럭 신호로 발생된다. 주파수 체배기(120)의 출력(out)은 체배된 클럭 신호(fmul_locked)가 된다.

지연 고정 루프(110, 도 1)가 록킹이 되기 전까지, 전압 제어 지연단(220, 도 2)에서 지연된 출력 신호들(D1~DN)은 기준 클록 신호(fref)를 정확이 N(N은 자연수) 등분하지 못한다. 이러한 전압 제어 지연단(220)의 출력 신호들(D1~DN)을 주파수 체배기(120)가 사용한다면, 정확하게 체배된 클럭 신호(fmul_locked)를 얻을 수 없다. 또한 부정확하게 체배된 클록 신호들(fmul_locked)에 의해서 위상 검출부(150)의 업 신호(UP) 또는 다운 신호(DOWN)들이 오동작을 일으킬 수 있다. 이에 따라, 지연 고정 루프(110)의 록킹 후에 두 번째 루프를 동작시키기 위한 록킹 검출기(130)가 필요하다.

록킹 검출기(130)는 도 7에 구체적으로 도시된다. 도 7을 참조하면, 록킹 검출기(130)는 배타적 논리합 로직부(XOR, 710), 제1 및 제2 D-플립플롭들(720, 730), 노아 로직부(NOR, 740), 그리고 앤드 로직부(750)를 포함한다.

배타적 논리합 로직부(710)는 기준 클럭 신호(fref)와 전압 제어 지연선(220)의 마지막 지연단(224)의 출력 신호(D8)를 입력하여 배타적 논리합한다. 배타적 논리합 로직부(710)의 출력(N710)은 제1 및 제2 D-플립플롭들(720, 730)로 입력된다.

제1 D-플립플롭(720)은 전압 제어 지연선(220)의 첫번째 지연단(221)의 출력 신호(D1)에 응답하여 배타적 논리합 로직부(710)의 출력(N710)을 래치한다. 제2 D-플립플롭(730)은 전압 제어 지연선(220)의 네번째 지연단(미도시)의 출력 신호(D4b)에 응답하여 배타적 논리합 로직부(710)의 출력(N710)을 래치한다.

노아 로직부(740)는 제1 D-플립플롭(720)의 출력과 제2 D-플립플롭(730)의 출력을 입력하고, 그 출력(N720)을 앤드 로직부(750)로 전달한다. 앤드 로직부(750)는 초기 제어 회로(230, 도 2)의 출력 신호와 노아 로직부(740)의 출력(N720)을 입력하여 스위치 제어 신호(SW_con)를 출력한다.

록킹 검출기(130)는 도 8과 같이 동작한다. 기준 클록 신호(fref)와 전압 제어 지연부(220)의 마지막 지연단(224)의 출력 신호(D8)가 동기화되어야 록킹 상태가 된다. 록킹 검출기(130)는 완벽한 록킹 상태를 검출하는 것을 목적하는 것이 아니라, 두 번째 루프가 오동작하지 않을 정도의 록킹 상태(Coarse Lock)를 검출하여 제어하게 된다. 록킹 검출기(130)의 동작은 크게 세 가지로 구분할 수 있다. 도 8의 (a) 부분과 (b) 부분은 록킹이 안된 상태이고, (c) 부분은 어느 정도 록킹이 되어서 두 번째 루프의 스위치부(140)를 온시키는 스위치 제어 신호(SW_con)를 발생하게 된다.

록킹 검출기(130)는 지연 고정 루프(110)가 록킹되어 동일한 위상차를 가지고 전압 제어 지연 신호들을 발생할 때까지 스위치를 제어한다. 즉, 지연 고정 루프(110)가 어느 정도 록킹 상태에 이르기 전까지는 스위치부(140)를 오프시켜 놓는다.

체배된 클록 신호(fmul_locked)는 위상 검출부(150)로 귀환하여 기준 클록 신호(fref)와 다시 위상을 비교하게 되며 동기화될 때까지 전압 제어 지연부(115)의 제어로 위상을 조절한다. 체배된 클록 신호(fmul_locked)는 기준 클록 신호(fref)보다 주파수가 매우 빠르기 때문에, 기준 클록 신호(fref)가 로직 로우 상태로 떨어지기 전에 여러번 신호 레벨을 바꿀 수 있

다. 이 때문에, 위상 검출부(150)가 잘못된 업 신호(UP) 또는 다운 신호(DOWN)를 발생하므로 전하 펌프부(160)를 오작동시켜 위상을 동기화시킬 수 없는 문제점을 야기할 수 있다. 이를 해결하기 위하여, 위상을 비교하기 위한 창(Window)을 이용하는 위상 검출기가 요구된다.

이러한 위상 검출부(150)는 구체적으로 도 9에 도시되어 있다. 도 9를 참조하면, 위상 검출부(150)는 제1 버퍼부(910), 제1 윈도우 발생부(920), 기준 클럭 래치부(930), 제2 버퍼부(940), 제2 윈도우 발생부(950), 체배 클럭 래치부(960), 그리고 위상 검출기(970)로 구성된다.

제1 버퍼부(910)는 3단의 인버터 체인으로 구성되고, 기준 클럭 신호(fref)를 입력하여 반전된 기준 클럭 신호(frefb)를 출력한다. 제1 윈도우 발생부(920)는 전압 제어 지연부(115)의 출력 신호들(D7, Db1)을 입력하여 인에이블 신호(en)를 발생하는 앤드 게이트로 구성된다. 기준 클럭 래치부(930)는 인에이블 신호(en)와 반전된 기준 클럭 신호(frefb)를 입력하여 래치된 기준 클럭 신호(frefd)를 발생하는 낸드 게이트로 구성된다.

제2 버퍼부(940)는 3단의 인버터 체인으로 구성되고, 체배된 클럭 신호(fmul_locked)를 입력하여 반전된 체배 클럭 신호(fmulb)를 출력한다. 제2 윈도우 발생부(950)는 전압 제어 지연부(115)의 출력 신호들(D7, Db1)을 입력하여 인에이블 신호(en)를 발생하는 앤드 게이트로 구성된다. 체배 클럭 래치부(960)는 인에이블 신호(en)와 반전된 체배 클럭 신호(fmulb)를 입력하여 래치된 체배 클럭 신호(fmuld)를 발생하는 낸드 게이트로 구성된다.

위상 검출기(970)는 래치된 기준 클럭 신호(frefd)와 래치된 체배 클럭 신호(fmuld)의 위상을 비교하여, 위상차에 응답하여 업 신호(UP) 또는 다운 신호(DN)를 발생한다.

위상 검출기(150)의 동작은 도 10에서 구체적으로 설명된다. 도 10을 참조하면, 반전된 기준 클럭 신호(frefb)와 반전된 체배 클럭 신호(fmulb)는 인에이블 신호(en)의 로직 하이레벨 윈도우 내에서 래치된 기준 클럭 신호(frefd)와 래치된 체배 클럭 신호(fmuld)를 발생한다. 래치된 기준 클럭 신호(frefd)와 래치된 체배 클럭 신호(fmuld)의 위상차를 비교하여, 래치된 기준 클럭 신호(frefd)가 래치된 체배 클럭 신호(fmuld) 보다 앞서면 업 신호(UP)를 발생하고, 래치된 체배 클럭 신호(fmuld)가 래치된 기준 클럭 신호(frefd) 보다 앞서면 다운 신호(DN)를 발생한다.

다시, 도 1로 돌아가서, 전하 펌프부(160)는 업 신호(UP) 또는 다운 신호(DN)에 응답하여 전압 제어 신호(Vc)의 레벨을 조절한다. 루프 필터(170)의 전압 제어 신호(vc)의 노이즈 성분을 제거한다. 전하 펌프부(160)와 루프 필터(170)는 당업자에게 잘 알려진 기술이다.

따라서, 클럭 발생기(100)는 지연 고정 루프(110), 전압 제어 지연부(115), 주파수 체배기(120) 그리고 록킹 검출부(130)로 구성되는 제1 지연 고정 루프 라인과, 스위칭부, 위상 검출부 그리고 전하 펌프부로 구성되는 제2 지연 고정 루프 라인으로 이루어진다. 2개의 지연 고정 루프 라인을 이용한 클록 발생기(100)는 1차의 안정된 특성식을 가지고 체배된 신호가 기준신호의 위상과 일치하는 결과를 얻을 수 있다.

본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 본 발명의 클럭 발생기는 1차의 안정된 특성식을 가지고, 체배된 클럭 신호가 기준 클럭 신호의 위상과 일치한다.

도면의 간단한 설명

도 1은 본 발명의 일실시예에 따른 클럭 발생기를 설명하는 블락 다이어그램이다.

도 2는 도 1의 지연 고정 루프를 구체적으로 설명하는 블락 다이어그램이다.

도 3은 도 2의 지연단을 설명하는 회로 다이어그램이다.

도 4는 도 1의 주파수 체배기를 설명하는 회로 다이어그램이다.

도 5는 도 4의 전압 제어 지연부의 출력 신호들과 상보 출력 신호들의 관계를 설명하는 회로 다이어그램이다.

도 6은 도 4의 주파수 체배기의 동작을 설명하는 타이밍 다이어그램이다.

도 7은 도 1의 록킹 검출부를 설명하는 블락 다이어그램이다.

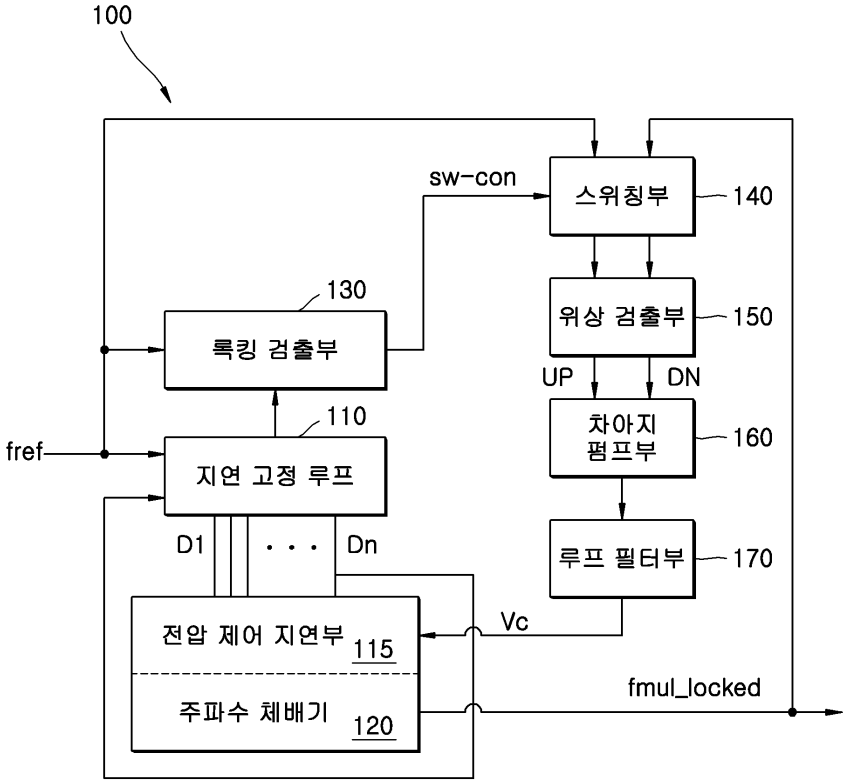
도 8은 도 7의 록킹 검출부의 동작을 설명하는 타이밍 다이어그램이다.

도 9는 도 1의 위상 검출부를 설명하는 블락 다이어그램이다.

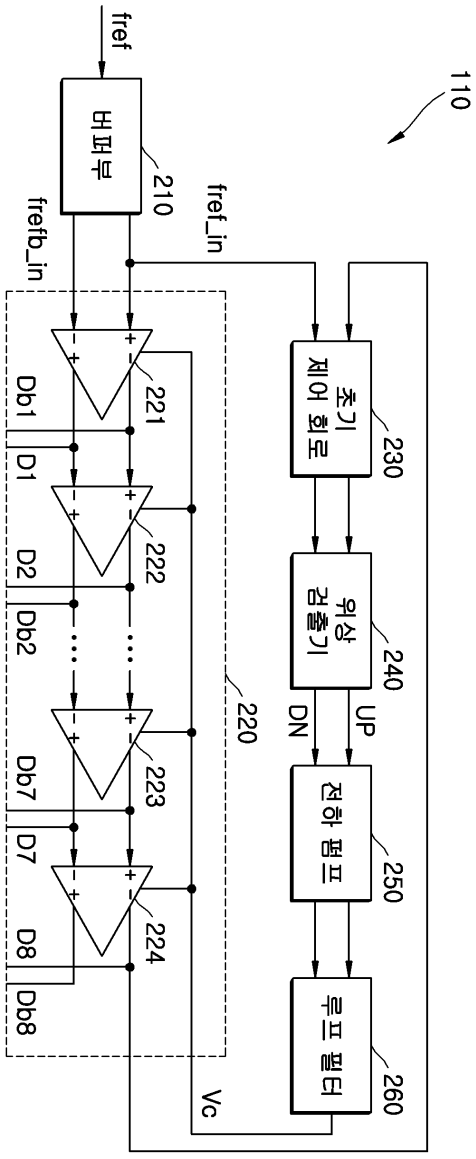
도 10은 도 9의 위상 검출부의 동작을 설명하는 타이밍 다이어그램이다.

도면

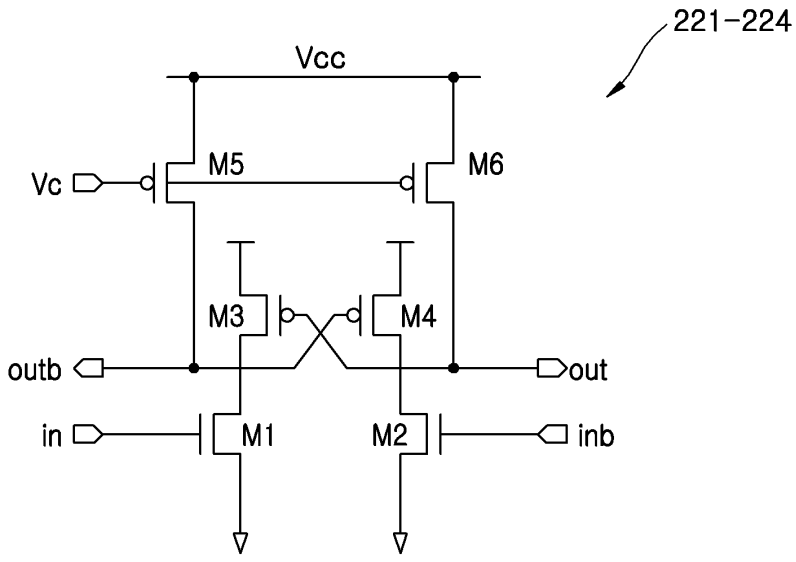
도면1



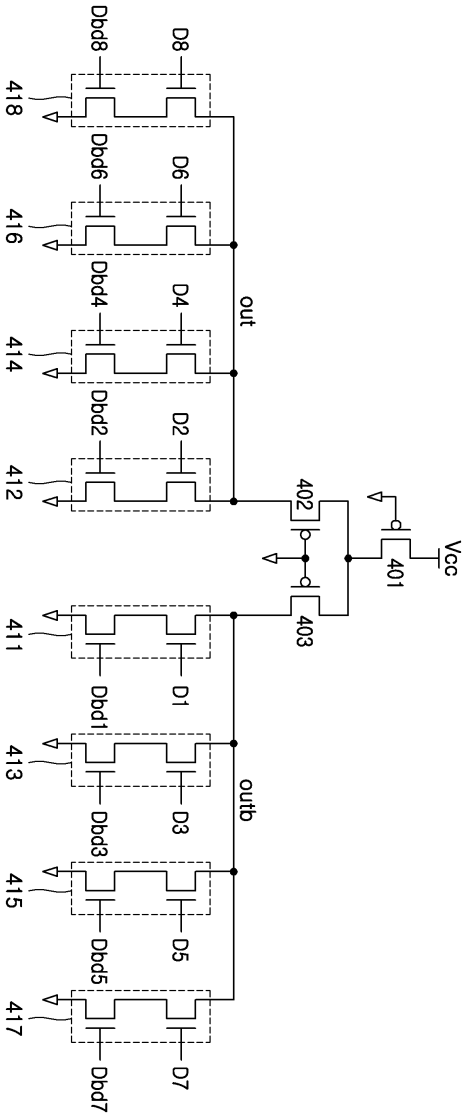
도면2


fref
버퍼부
210
110
frefb_in
fref_in
Db1
D1
D2
Db2
Db7
D7
D8
Db8
221
222
223
224
220
Vc
초기 제어 회로
230
위상 검출기
240
DN
UP
전하 펌프
250
루프 필터
260

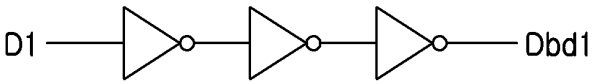
도면3


221-224
Vcc
Vc
M5
M6
M3
M4
outb
out
in
M1
M2
inb

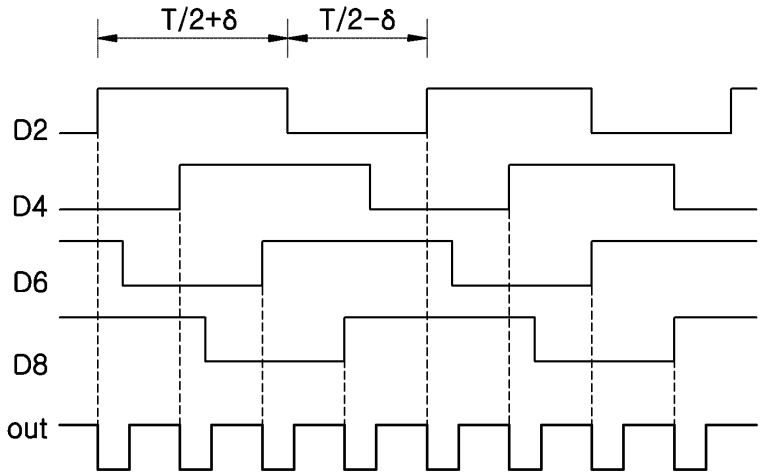
도면4


Dbd8
D8
418
Dbd6
D6
416
Dbd4
D4
414
Dbd2
D2
412
out
402
401
Vcc
403
411
Dbd1
D1
413
Dbd3
D3
outb
415
Dbd5
D5
417
Dbd7
D7

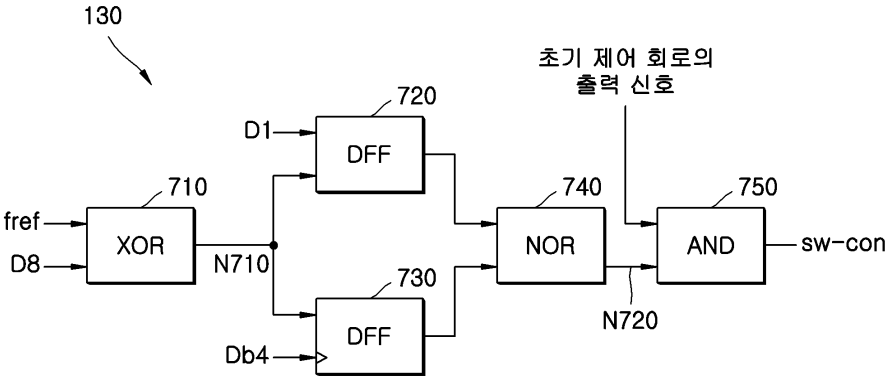
도면5


D1
Dbd1

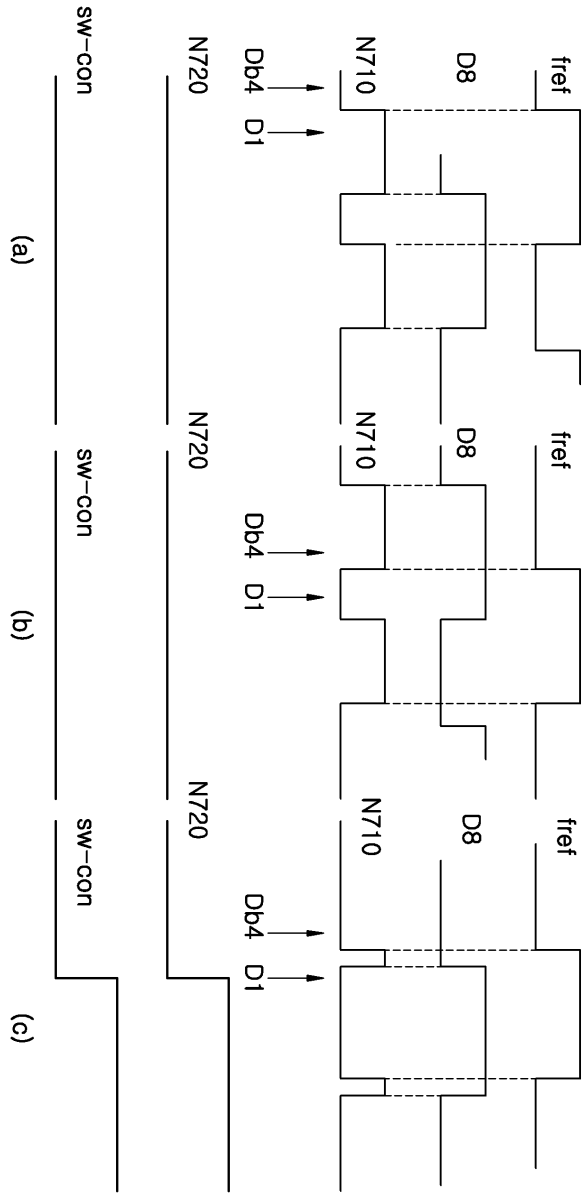
도면6


T/2+δ
T/2-δ
D2
D4
D6
D8
out

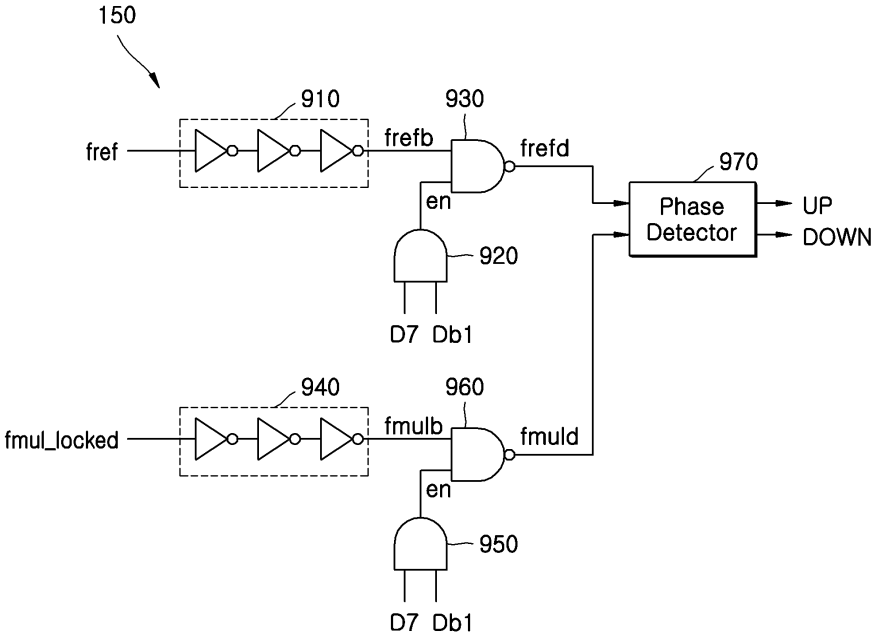
도면7


130
초기 제어 회로의
출력 신호
720
D1
DFF
710
fref
D8
XOR
N710
740
NOR
750
AND
sw-con
730
DFF
Db4
N720

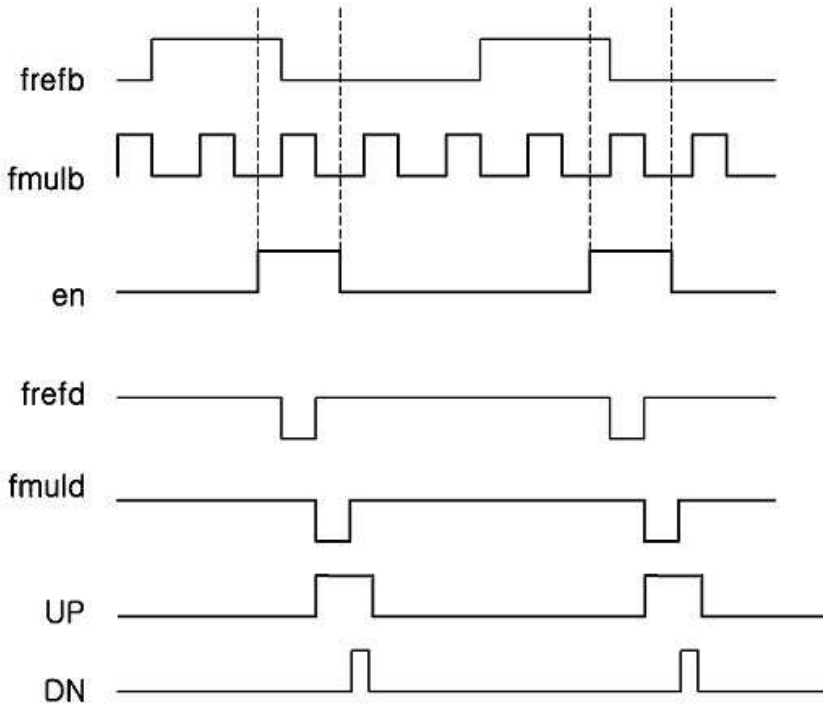
도면8



도면9


150
910
930
fref
frefb
frefd
970
Phase
Detector
UP
DOWN
en
920
D7 Db1
940
960
fmul_locked
fmulb
fmuld
en
950
D7 Db1

도면10


frefb
fmulb
en
frefd
fmuld
UP
DN