(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7348443号
(P7348443)

(45)発行日　令和5年9月21日(2023.9.21)

(24)登録日　令和5年9月12日(2023.9.12)

(51)国際特許分類		FI		
H02M 7/12 (2006.01)		H02M	7/12	Q
G01R 19/04 (2006.01)		G01R	19/04	B

請求項の数　19　（全18頁）

(21)出願番号　特願2020-573109(P2020-573109)
(86)(22)出願日　令和1年6月24日(2019.6.24)
(65)公表番号　特表2021-530189(P2021-530189A)
(43)公表日　令和3年11月4日(2021.11.4)
(86)国際出願番号　PCT/US2019/038650
(87)国際公開番号　WO2020/005796
(87)国際公開日　令和2年1月2日(2020.1.2)
審査請求日　令和4年6月23日(2022.6.23)
(31)優先権主張番号　62/691,121
(32)優先日　平成30年6月28日(2018.6.28)
(33)優先権主張国・地域又は機関
米国(US)
(31)優先権主張番号　16/214,770
(32)優先日　平成30年12月10日(2018.12.10)
最終頁に続く

(73)特許権者　507107291
テキサス インスツルメンツ インコーポレイテッド
アメリカ合衆国 テキサス州 ７５２６５－５４７４ ダラス メイル ステイション ３９９９ ピーオーボックス ６５５４７４
(74)代理人　230129078
弁護士　佐藤 仁
(72)発明者　マキシム ジェームズ フランケ
アメリカ合衆国 ７５２０１ テキサス州 ダラス， エイピーティー ７０７，エヌ アカード ストリート ３００
(72)発明者　マイケル ライアン ハンシュケ
アメリカ合衆国 ７５２５４ テキサス州 ダラス， エイピーティー ４２０９，
最終頁に続く

(54)【発明の名称】　ピーク検出方法、装置、及び回路

(57)【特許請求の範囲】

【請求項１】

ピーク検出器であって、

第１の入力端子と第１の出力端子とを有する第１のピークホールド回路であって、第１の時間間隔の間に前記第１の入力端子における整流された入力電圧の第１のピークを判定し、前記第１の時間間隔と異なる第２の時間間隔の間に前記整流された入力電圧の第２のピークを追跡するように構成される、前記第１のピークホールド回路と、

第２の入力端子と第２の出力端子を有する第２のピークホールド回路であって、前記第２の時間間隔の間に前記第１のピークと前記第２のピークとの大きい方を判定するように構成される、前記第２のピークホールド回路と、

を含み、

前記第１の出力端子が前記第１のピークと前記第２のピークとを前記第２のピークホールド回路に搬送するために前記第２の入力端子に結合され、前記第１のピークと前記第２のピークとの大きい方が前記第２の出力端子において出力される、ピーク検出器。

【請求項２】

請求項１に記載のピーク検出器であって、

前記整流された入力電圧が閾値を満たすときに、前記第２の出力端子における前記第２のピークホールド回路の出力を前記第１の出力端子における前記第１のピークホールド回路の出力にセットするように構成される制御信号生成器を更に含む、ピーク検出器。

【請求項３】

請求項２に記載のピーク検出器であって、
前記制御信号生成器が、前記第１の出力端子における前記第１のピークホールド回路の出力をリセットするように更に構成される、ピーク検出器。
【請求項４】
請求項２に記載のピーク検出器であって、
前記制御信号生成器が、
前記第２の時間間隔の間に、前記第１の出力端子における前記第１のピークホールド回路の出力の複数のリセットを防止し、
前記第２の時間間隔の間に、前記第２の出力端子における前記第２のピークホールド回路の出力への前記第１の出力端子における前記第１のピークホールド回路の出力の複数のセッティングを防止する、
ように更に構成される、ピーク検出器。
【請求項５】
請求項２に記載のピーク検出器であって、
前記制御信号生成器が、
前記第２の時間間隔の間に、前記第１の出力端子における前記第１のピークホールド回路の出力がリセットされることを保証し、
第２の時間間隔の間に、前記第２の出力端子における前記第２のピークホールド回路の出力が前記第１の出力端子における前記第１のピークホールド回路の出力にセットされることを保証する、
ように更に構成される、ピーク検出器。
【請求項６】
請求項１に記載のピーク検出器であって、
前記第１の時間間隔が前記整流された入力電圧の半波サイクルであり、前記整流された入力電圧が整流された交流信号である、ピーク検出器。
【請求項７】
請求項１に記載のピーク検出器であって、
前記第２の出力端子に結合され、前記第１のピークと前記第２のピークとの大きい方に基づいて力率改善回路を充電、放電するように構成されるオン－オフコントローラを更に含み、
前記整流された入力電圧が整流された交流電圧である、ピーク検出器。
【請求項８】
請求項１に記載のピーク検出器であって、
前記第１のピークと前記第２のピークとの大きい方に基づく利得を有する自動利得制御回路を更に含み、
前記整流された入力電圧が整流された無線周波数電圧である、ピーク検出器。
【請求項９】
力率改善回路を制御する方法であって、
前記波形の第１のサイクル部の間に波形の第１のピークを追跡することと、
前記波形の第２のサイクル部の間に前記波形の第２のピークを追跡することと、
前記波形の第２のサイクル部の間に前記第１のピークと前記第２のピークとの大きい方を追跡することと、
前記第１のピークと前記第２のピークとの大きい方に基づいて力率改善回路を選択的に充電することと、
前記波形が閾値を満たすときに、前記第１のピークと前記第２のピークとの大きい方を追跡する第１のピークホールド回路の第１の出力を前記第２のピークを追跡する第２のピークホールド回路の第２の出力にセットすることと、
を含む、方法。
【請求項１０】
請求項９に記載の方法であって、

前記第２のピークホールド回路の第２の出力をリセットすることを更に含む、方法。
【請求項１１】
請求項９に記載の方法であって、
前記第２のサイクル部の間に、前記第２のピークホールド回路の第２の出力への前記第１のピークホールド回路の第１の出力の複数のセッティングを防止することと、
前記第２のサイクル部の間に、前記第２のピークホールド回路の第２の出力の複数のリセットを防止することと、
を更に含む、方法。
【請求項１２】
請求項９に記載の方法であって、
前記第２のサイクル部の間に、前記第１のピークホールド回路の第１の出力が前記第２のピークホールド回路の第２の出力にセットされることを保証することと、
前記第２のサイクル部の間に、前記第２のピークホールド回路の第２の出力がリセットされることを保証することと、
を更に含む、方法。
【請求項１３】
請求項９に記載の方法であって、
前記第１のサイクル部が交流信号の半波サイクルである、方法。
【請求項１４】
ピーク検出器であって、
第１の入力端子と第２の出力端子とを有する第１のピークホールド回路と、
前記第２の出力端子に結合される第３の入力端子と、第４の出力端子とを有する第２のピークホールド回路であって、
第５の端子と第６の端子と第７の端子とを有する第１の演算増幅器であって、前記第５の端子が前記第３の入力端子に結合される、前記第１の演算増幅器と、
第８の端子と第９の端子とを有する第１のダイオードであって、前記第８の端子が前記第７の端子に結合され、前記第９の端子が前記第４の出力端子に結合される、前記第１のダイオードと、
第１０の端子と第１１の端子と第１２の端子とを有する第１のスイッチであって、前記第１０の端子が前記第７の端子と前記第８の端子とに結合され、前記第１１の端子が前記第９の端子と前記第４の出力端子とに結合され、前記第１２の端子が第１のリセット信号に結合される、前記第１のスイッチと、
第１３の端子と第１４の端子とを有する第１のコンデンサであって、前記第１３の端子が前記第４の出力端子と前記第６の端子と前記第９の端子と前記第１１の端子とに結合され、前記第１４の端子が接地に結合される、前記第１のコンデンサと、
を含む、前記第２のピークホールド回路と、
を含む、ピーク検出器。
【請求項１５】
請求項１４に記載のピーク検出器であって、
前記第１のピークホールド回路が、
第１６の端子と第１７の端子と第１８の端子とを有する第２の演算増幅器であって、前記第１６の端子が前記第１の入力端子に結合される、前記第２の演算増幅器と、
第１９の端子と第２０の端子とを有する第２のダイオードであって、前記第１９の端子が前記第１８の端子に結合され、前記第２０の端子が前記第２の出力端子に結合される、前記第２のダイオードと、
第２１の端子と第２２の端子とを有する第２のコンデンサであって、前記第２１の端子が前記第２の出力端子と前記第１７の端子と前記第２０の端子とに結合され、前記第２２の端子が接地に結合される、前記第２のコンデンサと、
第２３の端子と第２４の端子と第２５の端子とを有する第２のスイッチであって、前記第２３の端子が前記第２の出力端子と前記第２１の端子と前記第２０の端子とに結合され

、前記第２４の端子が接地に結合され、前記第２５の端子が第２のリセット信号に結合される、前記第２のスイッチと、
を含む、ピーク検出器。
【請求項１６】
請求項１５に記載のピーク検出器であって、
論理回路であって、
前記第１のリセット信号を提供するために前記第１２の端子に結合される第１の出力を有する第１のパルス生成器と、
前記第１の出力に結合される第１の入力と、前記第２のリセット信号を提供するために前記第２５の端子に結合される第２の出力とを有する第２のパルス生成器と、
を含む、前記論理回路を更に含む、ピーク検出器。
【請求項１７】
請求項１６に記載のピーク検出器であって、
前記論理回路が、前記第１のリセット信号のインスタンスと前記第２のリセット信号のインスタンスとを離間するために前記第１の入力に結合される第３の出力を有するブランキング回路を更に含む、ピーク検出器。
【請求項１８】
請求項１４に記載のピーク検出器であって、
第１のピークと第２のピークとの大きい方に基づいて力率改善回路を充電、放電するように構成されるオン－オフコントローラを更に含む、ピーク検出器。
【請求項１９】
請求項１４に記載のピーク検出器であって、
第１のピークと第２のピークとの大きい方に基づく利得を有する自動利得制御回路を更に含む、ピーク検出器。
【発明の詳細な説明】
【技術分野】
【０００１】
本願は、一般に、ピーク検出器に関し、特に、ピーク検出方法、装置、及び回路に関する。
【背景技術】
【０００２】
交流（ＡＣ）－直流（ＤＣ）コンバータのための力率改善（ＰＦＣ）コントローラは、ＡＣラインの電圧変化を補償するために、ＡＣを整流したライン上のピーク電圧を検出し、出力電力段の充電時間を調整する。ＰＦＣの目標は、ＡＣ供給によって測定された電力消費を、ＤＣ負荷によって実際に消費された電力と一致させることである。ＰＦＣコントローラは、検出したピークを用いて、ＤＣ負荷に供給される電流をシェーピングし、そのため、ＤＣ負荷は、ＡＣ供給に対して実質的に現実（例えば、実質的に抵抗性）であるように見える。
【図面の簡単な説明】
【０００３】
【図１】本開示の教示に従って構成され及び例示の電力コンバータにおいて示される、ピーク検出器を有する例示のＰＦＣコントローラを図示する。
【０００４】
【図２】図１の例示のピーク検出器を実装するために用いられ得る例示のピーク検出器回路の図である。
【０００５】
【図３】図２の例示の制御信号生成器回路のための例示の機械読み出し可能命令、例示のハードウェア実装の状態機械、又はハードウェア論理のフローチャートである。
【０００６】
【図４】図２の例示のピーク検出器の例示の動作の間の信号を示すグラフである。

【０００７】
【図５】本開示の教示に従って構成されるピーク検出器を有する例示の自動利得制御（ＡＧＣ）回路を図示する。
【０００８】
【図６】例示の無線周波数（ＲＦ）信号に対する図５のＡＧＣ回路の例示の適用の間の信号を図示するグラフである。
【０００９】
【図７】図２の例示のピーク検出器回路と共に用いられ得る別の例示のピーク検出器トポロジーの図である。
【００１０】
概して、図面及び添付の明細書を通して、同じ又は同様の部分を指すために同じ参照番号が用いられる。提示される種々の図面に示される接続ライン又はコネクタは、種々の要素間の例示の機能的関係及び／又は物理的若しくは論理的結合を表すことが意図される。
【発明を実施するための形態】
【００１１】
ライン電圧変化を補償するためのＡＣ－ＤＣ電力コンバータの電力段の充電時間の調整は、ＰＦＣのライン電圧フィードフォワードと呼ばれる。ライン電圧フィードフォワードの有効性は、ライン電圧のためのピーク検出の精度に強く依存する。例示のデジタル的解決策が、入力ライン電圧をデジタル化することによってピーク検出を行う。一旦、入力ライン電圧がデジタル的にキャプチャされると、フィードフォワード信号を判定するために、デジタルコンパレータ及びメモリレジスタが用いられ得る。従来のデジタル的解決策は複雑なものであり、重要なエリア、精度、複雑性等の要件を有する高解像度アナログ－デジタルコンバータ（ＡＤＣ）、低解像度非線形ＡＤＣ、高忠実度サンプリング技法／回路、精密コンパレータ、デジタルデコーダ等に頼っている。付加的な従来の解決策は、入力ライン電圧を、パルス幅変調器（ＰＷＭ）を制御するランプ信号に変換するために、複雑なフィルタを用いる。
【００１２】
本願において、デジタル的でありフィルタベースの解決策の少なくとも欠陥及び複雑性を克服する、コスト効率のよいシンプルなライン電圧ピーク検出方法、装置、システム、及び回路が開示される。開示されるライン電圧ピーク検出方法、装置、システム、及び回路は、正のライン過渡現象を（例えば、それらが生じた際に）追跡し得、波サイクルの４分の３内で負のライン過渡現象を感知及び追跡し得る。４分の３波サイクルとは、或るゼロ交差と、次のゼロ交差に続くピークとの間にある、ＡＣ信号の部分を指す。開示される例は、正のライン過渡現象の形状及び特性を、例えば、全般に、詳細に、迅速に、瞬時に、実質的に、効果的に、本質的に追跡することによって、正のライン過渡現象を追跡し、偶発的な処理時間、偶発的な信号伝搬時間等を無視する。開示される方法、装置、システム、及び回路は、正のライン電圧過渡現象を補償し、負のライン電圧過渡現象の影響を減らし（例えば、最小化し）、及び／又は、全波サイクルの間に生じ得る非対称のピークを補償するＡＣ－ＤＣコンバータのための、正確で高速で高感度のライン電圧フィードフォワードを実現する。正のライン電圧過渡現象は、レギュレートされる出力に接続される電力段及び／又は回路における損傷となり得る。負のライン電圧過渡現象は、レギュレートされる出力の一層長いアンダーシュートとなり得るが、それらは損傷に関連しないので、概して一層許容されている。
【００１３】
次に、非限定的な例を詳細に参照する。非限定的な例のいくつかは、添付の図面に図示される。
【００１４】
図１は、例示のＡＣ－ＤＣ電力変換回路１０２を有する例示の電力コンバータ１００の図である。例示のＡＣ－ＤＣ電力変換回路１０２は、例示のＡＣ－ＤＣコンバータ回路１０４及び例示のＰＦＣ回路１０６を含む。例示のＰＦＣ回路１０６は、入力端子１０６Ａ

及び出力端子１０６Ｂを有する。ＰＦＣ回路１０６の入力端子１０６Ａは、ＡＣ－ＤＣコンバータ回路１０４の例示の整流器１０８の出力端子１０８Ａに接続される（例えば、直接的に及び／又は間接的に結合される）。ＰＦＣ回路１０６の出力端子１０６Ｂは、ＡＣ－ＤＣ電力変換回路がＤＣ電力を供給している負荷１１０の端子１１０Ａに接続される。負荷１１０の別の端子１１０Ｂは接地に接続される。

【００１５】

図１の例示の整流器１０８は、ＡＣ－ＤＣ電力変換回路１０２の入力端子１１２Ａ及び１１２Ｂ間のＡＣ入力ライン電圧V_{IN_LINE}１１２を、整流器１０８の出力端子１０８Ａ及び接地端子１１６間の整流された入力ライン電圧V_{IN}１１４（例えば、整流されたＡＣ入力ライン電圧）に変換する。ＰＦＣ回路１０６は、整流された入力ライン電圧V_{IN}１１４から、コンデンサ１２０の出力電圧V_{OUT}１１８を形成する。

【００１６】

ＡＣ－ＤＣ電力変換回路１０２によって生成される出力電圧V_{OUT}１１８の品質を改善するために、図１の例示の電力コンバータ１００は、例示のＰＦＣコントローラ１２２を含む。例示のＰＦＣコントローラ１２２は、電力コンバータ１００の力率を増加させるように、例示のＰＦＣ回路１０６を制御する。ＡＣ電力システムの力率は、有効電力（例えば、１ラインサイクルにわたってシステムにおいて入力される電力の平均値と定義される）と、皮相電力（例えば、電力システムに対する入力電圧ＲＭＳ値と入力電流ＲＭＳ値との積と定義される）との比を指し、０から１の閉区間における無次元数である。或る電力システムにおいて、伝送される使用可能電力の所与の量に対し、低い力率を有する負荷は、高い力率を有する負荷よりも大きな電流を引き込む。

【００１７】

図１の例示のＰＦＣコントローラ１２２は、正弦波であり及びＡＣ入力電圧V_{IN_LINE}１１２と同相であるＡＣ入力電流１２６を形成するために、可変デューティサイクルでＰＦＣ回路１０６のスイッチ１２４をオフ及びオンにする。ＡＣ入力電流１２６が正弦波であり、ＡＣ入力電圧V_{IN_LINE}１１２と同相であるとき、負荷１１０は、ＡＣ入力電圧V_{IN_LINE}のソース（例えば、電力会社）にとって純粋に真の負荷として現れ、それゆえ、電力は、高い力率で負荷１１０に提供され得る。いくつかの例において、例示のＰＦＣコントローラ１２２は、一つ又は複数のアナログ回路を用いて実装される。

【００１８】

動作において、ＰＦＣコントローラ１２２は、ＰＦＣ回路１０６を二つの状態間で循環させる。第１の状態は、ＰＦＣコントローラ１２２がスイッチ１２４を閉じる（例えば、電界効果トランジスタ（ＦＥＴ）をオンにする）ときに生じる。この状態では、例示のインダクタ１２８が整流器１０８を介して励磁され、それにより、インダクタ１２８を介して流れる電流１３０が増加する。同時に、ダイオード１３２が（そのアノード端子１３２Ａが接地に接続されるので）逆バイアスされ、それにより、エネルギーが、コンデンサ１２０によって負荷１１０に提供される。第２の状態において、ＰＦＣコントローラ１２２はスイッチ１２４を開く（例えば、ＦＥＴをオフにする）。この状態では、インダクタ１２８は無励磁化し、インダクタ１２８がエネルギーを負荷１１０に供給するにつれて、及びコンデンサ１２０を再充電するために、インダクタ電流１３０は低減する。

【００１９】

図１の例示のＰＦＣコントローラ１２２は、上述の二つの状態間のＰＦＣ回路１０６の循環を制御する。これらの状態間を交互に循環させることは、一定である出力電圧V_{OUT}１１８を維持することによって電力コンバータ１００の力率を制御し、及び、インダクタ電流１３０の平均とその後にＡＣ入力電流１２６の平均とを制御する方式で、急速に（例えば、数十又は数百キロヘルツ（ｋＨｚ）などの高周波数で）成される。

【００２０】

インダクタ電流１３０が、第１の状態において増加し、第２の状態において低減するので、ＰＦＣコントローラ１２２がスイッチ１２４を開く及び閉じるデューティサイクルは、インダクタ１２８を介して流れるインダクタ電流１３０が低減している時間の量に対す

る、インダクタ１２８を介して流れるインダクタ電流１３０が増加している時間の量を判定する。スイッチ１２４が動作するデューティサイクルを変えることによって、ＰＦＣコントローラ１２２は、インダクタ電流１３０の平均を制御し得る。負荷１１０によって消費される予測される電流を追跡するためにインダクタ電流１３０の平均を制御することによって、力率及び全高周波歪み（ＴＨＤ）が著しく改善され得る。或る理想的なシステムにとって、インダクタ電流１３０は整流された正弦波であり、ＡＣ入力電流１２６は正弦波であり、インダクタ電流１３０及びＡＣ入力電流１２６は互いに及びＶＩＮ＿ＬＩＮＥに整合するように位相される。ＰＦＣの目的は、負荷の形状及び大きさを、ＡＣ入力電流１２６及びインダクタ電流１３０の位相整合に影響させないことである。例えば、ＤＣ負荷は「位相」を有さない。

【００２１】

ピークを検出及び追跡し、ライン１３４上のピーク検出器入力電圧ＰＤＩＮの負の過渡現象（例えば、波形、信号等）を感知するために、図１の例示のＰＦＣコントローラ１２２はピーク検出器１３６を含む。図２に関連して下記でより詳細に説明するように、例示のピーク検出器１３６は、ライン１３８上に出力電圧ＶＰＫ＿ＯＵＴを生成する。ピーク検出器１３６は、ライン１３４上のピーク検出器入力電圧ＰＤＩＮのピークを迅速に追跡し、ＡＣ入力ライン電圧V_{IN_LINE}１１２のラインサイクルの半波サイクル＋４分の１に対応する時間間隔内で、ライン１３４上のピーク検出器入力電圧ＰＤＩＮの大きさの減少を追跡する。

【００２２】

スイッチ１２４に対してライン１４０上に制御信号を生成するために、図１の例示のＰＦＣコントローラ１２２は、ピーク検出器１３６によって検出されるピークに基づいてライン１４０上に制御信号を生成する例示のスイッチオン－オフコントローラ１４２を含む。例示のスイッチオン－オフコントローラ１４２は、ライン１４０上に制御信号を、或るパルス幅ＰＷを有するように生成する。このパルス幅ＰＷは、

$$PW = ton_constant \times COMP / VPK_OUT^2$$

として数学的に表現することができ、ここで、

・パルス幅ＰＷは、秒単位の時間で測定され、

・ｔｏｎ＿ｃｏｎｓｔａｎｔは、ボルト×秒単位のＣＯＭＰ／VPK_OUT^2を秒単位の時間に変換する定数であり、

・ＣＯＭＰは、端子１４４上の電圧であり、

・ライン１３８上の出力電圧ＶＰＫ＿ＯＵＴは、ピーク検出器によって判定される。

一つのパルスから次のパルスまでの時間（スイッチング期間）は、ＰＦＣコントローラ１２２がどのように働くかに従って変わり得る。いくつかの例では、固定のスイッチング期間が、コントローラの内部の発振器（例えば、連続伝導モード（ＣＣＭ）を実装するコントローラ）に基づく。異なる制御戦略が用いられる場合、スイッチング期間は、サイクル毎に変化し得る。例えば、遷移モード（ＴｒＭ）において、スイッチ１２４は、インダクタ電流がゼロに減衰するときオンにされる。いくつかの例において、（例えば、ＰＦＣコントローラ１２２に対して内部の）誤差増幅器が、負荷１１０上の出力電圧ＶＯＵＴに比例する電圧を、（例えば、ＰＦＣコントローラ１２２に対して内部の）基準と比較し、ライン上のＶＯＵＴに比例する電圧が基準を下回る場合にＣＯＭＰを増加させ、ライン上のＶＯＵＴに比例する電圧が基準を上回る場合にＣＯＭＰを低減させる。いくつかの例において、ＣＯＭＰは、ラインサイクルにわたって一定であると考えられ得るのに充分にゆっくりと変化される。

【００２３】

電力コンバータ１００を実装する例示の方式が図１に図示される一方、図１に図示される要素、プロセス、及び／又はデバイスの一つ又は複数が、任意のその他の方式で組み合わされ、分割され、再配置され、省かれ、なくされ、及び／又は、実装され得る。また、図１の例示の電力コンバータ１００は、図１に図示されるものに加えて、又はそれらの代わりに、一つ又は複数の要素、プロセス、及び／又はデバイスを含み得、及び／又は、図

示される要素、プロセス、及びデバイスの任意の一つ以上又は全てを含み得る。本願において用いられるように、「通信して」という表現は、その変形も含め、直接的通信、及び／又は、一つ又は複数の媒介構成要素を介する間接的通信を包含し、直接的な物理的（例えば、有線）通信及び／又は一定の通信を必要とせず、付加的に、周期的間隔、スケジュールされた間隔、非周期的間隔、及び／又は一度限りの事象における選択的通信を含む。

【００２４】

図２は、図１の例示のピーク検出器１３６を実装するために用いられ得る例示のピーク検出器２００（例えば、ピーク検出器回路）の図である。ライン１３４上のピーク検出器入力電圧ＰＤＩＮを追跡するために、例示のピーク検出器２００は、例示のピーク検出器回路２０２及び２０４を含む。図２の例示のピーク検出器回路２０２及び２０４は、パイプライン、シリアル等の構成において接続されるアナログピークホールド回路である。ピーク検出器回路２０２の出力端子２０２Ａが、ピーク検出器回路２０４の入力端子２０４Ａに接続される。

【００２５】

図２の第１のピーク検出器回路２０２は、例示のアナログピークホールド回路を含み、アナログピークホールド回路は、電流半波サイクルに対するライン１３４上のピーク検出器入力電圧ＰＤＩＮ上の最も高いピークを、ライン２０６上の例示の電圧ＶＰＫ＿ＴＲＡＣＫとして継続的に追跡する。例示のピーク検出器回路２０２は、例示の演算増幅器２０８を含み、演算増幅器２０８は、ライン１３４上のピーク検出器入力電圧ＰＤＩＮに接続される第１の入力端子２０８Ａを有し、及び、例示のダイオード２１０の端子２１０Ａに接続される出力端子２０８Ｂを有する。ダイオード２１０の別の端子２１０Ｂは、演算増幅器２０８の第２の入力端子２０８Ｃに接続され、例示のコンデンサＣＴＲＡＣＫ２１２の端子２１２Ａに接続され、及び、ピーク検出器回路２０２の出力端子２０２Ａに接続される。コンデンサＣＴＲＡＣＫ２１２の別の端子２１２Ｂが接地に接続される。スイッチ２１４の端子２１４Ａが、ダイオード２１０の端子２１０Ｂに接続され、スイッチ２１４の第２の端子２１４Ｂが接地に接続される。

【００２６】

例示のピーク検出器回路２０２は、ライン１３４上のピーク検出器入力電圧ＰＤＩＮの最も高いピークを、ライン２０６上の電圧ＶＰＫ＿ＴＲＡＣＫとして追跡及びホールドする。スイッチ２１４の制御端子２１４Ｃに接続される、ライン２１６上の例示のリセット信号ＲＥＳＥＴ＿ＴＲＡＣＫが、例示のスイッチ２１４を閉じるまで、ピークはホールドされ、それにより、例示のコンデンサＣＴＲＡＣＫ２１２を放電し、ライン２０６上の出力電圧ＶＰＫ＿ＴＲＡＣＫを、例えば小さい値又は最小値（例えば、ゼロ）に、リセットする。追跡動作において、ライン１３４上のピーク検出器入力電圧ＰＤＩＮは、コンデンサＣＴＲＡＣＫ２１２を充電し、例示のダイオード２１０は、コンデンサＣＴＲＡＣＫ２１２が放電しないようにする。ライン１３４上のピーク検出器入力電圧ＰＤＩＮがさらに増加する場合、コンデンサＣＴＲＡＣＫ２１２は一層高い電圧までさらに充電される。ライン１３４上のピーク検出器入力電圧ＰＤＩＮが以前のピーク値を下回って低減する場合、コンデンサＣＴＲＡＣＫ２１２上の電圧は、以前のピーク値にとどまる。

【００２７】

図２の第２のピーク検出器回路２０４は、（ａ）第１のピーク検出器回路２０２によって追跡される、電流半波電圧のライン２０６上のピークＶＰＫ＿ＴＲＡＣＫと、（ｂ）第２のピーク検出器回路２０４によってライン２１８の電圧ＶＰＫとしてホールドされる、以前の半波サイクルのピークとの大きい方、大規模な方等を継続的に追跡する別の例示のアナログピークホールド回路である。例示のピーク検出器回路２０４は例示の演算増幅器２２０を含む。例示の演算増幅器２２０は、ピーク検出器回路２０４の入力端子２０４Ａに接続される第１の入力端子２２０Ａを有し、また、例示のダイオード２２２の端子２２２Ａに接続される出力端子２２０Ｂを有する。ダイオード２２２の別の端子２２２Ｂが、演算増幅器２２０の第２の入力端子２２０Ｃに接続され、例示のコンデンサＣＯＵＴ２２４の端子２２４Ａに接続され、また、ピーク検出器回路２０４の出力端子２０４Ｂに接続

される。コンデンサＣＯＵＴ２２４の別の端子２２４Ｂが接地に接続される。スイッチ２２６の第１の端子２２６Ａが、ダイオード２２２の端子２２２Ｂに接続され、スイッチ２２６の第２の端子２２６Ｂが、ダイオード２２２の端子２２２Ａに接続される。

【００２８】

半波ラインサイクル遷移において、スイッチ２２６の端子２２６Ｃに接続される、ライン２３０上のリセット信号ＲＥＳＥＴ＿ＶＰＫが、例示のスイッチ２２６を閉じ、それにより、例示のダイオード２２２をバイパスして、ライン２０６上の電圧ＶＰＫ＿ＴＲＡＣＫが（ライン２１８上の電圧ＶＰＫより低い場合でも）、ライン２１８上の電圧ＶＰＫとしてバッファ及びホールドされることを可能にする。すなわち、ピーク検出器回路２０４のライン２１８上の出力電圧ＶＰＫは、ピーク検出器回路２０２のライン２０６上の出力電圧ＶＰＫ＿ＴＲＡＣＫにセットされる。第２のピーク検出器回路２０４のためのライン２３０上のリセット信号ＲＥＳＥＴ＿ＶＰＫは、第１のピーク検出器回路２０２のためのライン２１６上のリセット信号ＲＥＳＥＴ＿ＴＲＡＣＫより前に生じる。それにより、電流半波サイクルのためのライン２０６上のピーク電圧ＶＰＫ＿ＴＲＡＣＫは、ライン２０６上の電圧ＶＰＫ＿ＴＲＡＣＫが、第１のピーク検出器回路２０２においてリセットされる前に、第１のピーク検出器回路２０２から第２のピーク検出器回路２０４に、ライン２１８上の電圧ＶＰＫとして伝送される。ピーク検出器回路２０２及び２０４のための制御信号を生成するために、例示のピーク検出器２００は例示の制御信号生成器回路２３２を含む。例示の制御信号生成器回路２３２は、リセット信号ＲＥＳＥＴ＿ＴＲＡＣＫ２１６とライン２３０上のリセット信号ＲＥＳＥＴ＿ＶＰＫとを生成する。

【００２９】

ピーク検出器回路２０２及び２０４のリセットを開始するかどうかを判定するために、図２の例示の制御信号生成器回路２３２は例示のコンパレータ２３４を含む。例示のコンパレータ２３４は、コンパレータ２３４の第１の入力２３４Ａ上における、ライン１３４上のピーク検出器入力電圧ＰＤＩＮを、コンパレータ２３４の第２の入力２３４Ｂにおけるライン２３６上の閾値ＬＩＮＥ＿ＲＥＳＥＴ＿ＴＨＲＥＳＨＯＬＤと比較する。各半波サイクルの終わり付近で、ライン１３４上のピーク検出器入力電圧ＰＤＩＮは、ライン２３６上の閾値ＬＩＮＥ＿ＲＥＳＥＴ＿ＴＨＲＥＳＨＯＬＤより下に下がることによってライン２３６上の閾値ＬＩＮＥ＿ＲＥＳＥＴ＿ＴＨＲＥＳＨＯＬＤを公称的に（nominally）満たし、それにより、コンパレータ２３４によって、ライン２３８上の出力ＬＯＷ＿ＬＩＮＥ＿ＤＥＴＥＣＴ上に論理立ち上がりエッジを生じさせる。

【００３０】

ライン２３６上のＬＩＮＥ＿ＲＥＳＥＴ＿ＴＨＲＥＳＨＯＬＤの値は、ゼロ交差を検出するように選択される。また、及び／又は代替として、ライン２３６上のＬＩＮＥ＿ＲＥＳＥＴ＿ＴＨＲＥＳＨＯＬＤの値は、例えば分圧器２６０によって生成されるライン１３８上の最新の出力電圧ＶＰＫ＿ＯＵＴに比例し得る（例えば、最新の出力電圧ＶＰＫ＿ＯＵＴの１０パーセントであり得る）。ライン２３６上の比例閾値ＬＩＮＥ＿ＲＥＳＥＴ＿ＴＨＲＥＳＨＯＬＤを用いると、ピーク検出器２００は、定常状態の間、ライン１３４上のピーク検出器入力電圧ＰＤＩＮのピークに比例する一定の時間において更新され、一層予想可能な挙動となる。

【００３１】

ピーク検出器回路２０２及び２０４のリセットをいつ開始するかを判定するために、図２の例示の制御信号生成器回路２３２は、例示のＯＲゲート２４０、例示のタイマー２４２、及び例示のブランキング回路２４４を含む。ＯＲゲート２４０は、コンパレータ２３４によるライン２３８上の出力ＬＯＷ＿ＬＩＮＥ＿ＤＥＴＥＣＴの論理ＯＲ及びタイマー２４２の出力２４６を計算する。ライン２３８上の出力ＬＯＷ＿ＬＩＮＥ＿ＤＥＴＥＣＴが論理高であるとき、或いは、タイマー２４２の出力２４６が、タイマー２４２が満了したことを示す論理高であるとき、ＯＲゲート２４０の出力２４８は論理高である。いくつかの例において、公衆の交流電源（public mains）のための最大ライン期間は２１．３ミリ秒（ｍｓ）であり、タイマー２４２は、最大ラインの半分の期間より長い時間期間をカ

ウントする。従って、図示される例において、タイマー２４２は、ピーク検出器回路２０２及び２０４が少なくとも１２ミリ秒（１２ｍｓ）毎にリセットされることを保証する。いくつかの応用例において、入力ＡＣ電圧が異なる期間を有し得（例えば、飛行機では、期間は概ね２．５ｍｓである）、それゆえこの場合、タイマー２４２のために一層短い時間（例えば、２．６ｍｓ）が選択され得る。

【００３２】

ブランキング間隔（例えば、ブランキング回路２４４のライン２５０上の出力の論理低部分）の間、ピーク検出器回路２０２及び２０４は、リセットされることが防止される。ライン２５０上の出力上の論理低は、論理ＡＮＤゲート２５４の出力２５２が論理低から論理高に遷移することを防止する。ブランキング間隔は、ピーク検出器回路２０２及び２０４のリセットが近接し過ぎて生じることを防止する。ブランキング間隔の終わりにおいて、ライン２３８上のＬＯＷ＿ＬＩＮＥ＿ＤＥＴＥＣＴが論理高である場合、或いは、タイマー２４２が満了した場合、論理立ち上がりエッジが論理ＡＮＤゲート２５４の出力２５２上に生じる。論理ＡＮＤゲート２５４の出力上の論理立ち上がりエッジはタイマー２４２をリセットする。

【００３３】

ライン２１６上にリセット信号ＲＥＳＥＴ＿ＴＲＡＣＫ及びライン２３０上にリセット信号ＲＥＳＥＴ＿ＶＰＫをつくるために、例示の制御信号生成器回路２３２は、第１の例示のパルス生成器２５６（例えば、立ち上がりエッジ単安定パルサー）及び第２のパルス生成器２５８（例えば、立ち下がりエッジ単安定パルサー）を含む。立ち上がりエッジが論理ＡＮＤゲート２５４の出力２５２上で生じるとき、パルス生成器２５６が、ライン２３０上のリセット信号ＲＥＳＥＴ＿ＶＰＫを高にセットし、それにより、時間２の持続時間の間スイッチ２２６を閉じ、これが、ライン２１８上の電圧ＶＰＫを、ライン２０６上の電圧ＶＰＫ＿ＴＲＡＣＫと等しくセットする。論理立ち下がりエッジが、ライン２３０上のリセット信号ＲＥＳＥＴ＿ＶＰＫ上で生じるとき、第２のパルス生成器２５８がライン２１４上のリセット信号ＲＥＳＥＴ＿ＴＲＡＣＫを高にセットし、それにより、時間１の持続時間の間スイッチ２１４を閉じ、これが、ライン２０６上の電圧ＶＰＫ＿ＴＲＡＣＫをゼロにリセットする。

【００３４】

例示のハードウェア論理、ハードウェア実装の状態機械、及び／又は、図２の制御信号生成器回路２３２を実装するためのそれらの任意の組み合わせを表すフローチャートを図３に示す。例示のハードウェア論理、ハードウェア実装の状態機械が図３に図示されるフローチャートを参照して説明されるが、例示の制御信号生成器回路２３２を実装する多くのその他の方法が代替として用いられ得る。例えば、ブロックの実行順が変更され得、及び／又は、説明されるブロックのいくつかが、変更され、なくされ、又は組み合わされ得る。また、及び／又は代替として、ブロックの任意のもの又は全てが、一つ又は複数のハードウェア回路（例えば、ディスクリート及び／又は集積アナログ及び／又はデジタル回路要素、フィールドプログラマブルゲートアレイ（ＦＰＧＡ）、特定用途向け集積回路（ＡＳＩＣ）、コンパレータ、演算増幅器（オペアンプ）、論理回路等）、プロセッサによって実装され得る。

【００３５】

図３の例示のハードウェア実装の状態機械は、ライン１３４上のピーク検出器入力電圧ＰＤＩＮが閾値を満たして（例えば、ライン２３６上の閾値ＬＩＮＥ＿ＲＥＳＥＴ＿ＴＨＲＥＳＨＯＬＤより下に下がり）、ライン２３８上の出力ＬＯＷ＿ＬＩＮＥ＿ＤＥＴＥＣＴ上に立ち上がりエッジを生じさせること（ブロック３０２）、又はタイマー２４２（例えば、１２ｍｓタイマー）が満了すること（ブロック３０４）で始まる。（例えば、ＯＲゲート２４０によって判定される）これらの二つの事象のうち最初の方が、（例えば、ブランキング回路２４４によって判定される）ブランキング間隔の間に生じる場合（ブロック３０６）、その最初の方は無視され、他方の事象を待つ。

【００３６】

二つの事象のうちの最初の方がブランキング間隔（例えば、１２ｍｓ）外で生じる場合、ピーク検出器２０２及び２０４のリフレッシュシーケンスが実施される。例示のパルス生成器２５６（例えば、立ち上がりエッジ単安定パルサー）は、ライン２３０上のリセット信号ＲＥＳＥＴ＿ＶＰＫを高にセットし、それにより、時間２の持続時間（例えば、４ｍｓ）の間（ブロック３１０）スイッチ２２６を閉じ（ブロック３０８）、これが、ライン２１８上の電圧ＶＰＫを、ライン２０６上の電圧ＶＰＫ＿ＴＲＡＣＫと等しくセットする（ブロック３１６）。スイッチ２２６が閉じられると、次のブランキング時間が開始され（ブロック３１２）、タイマー２４２（例えば、１２ｍｓタイマー）がリセットされる（ブロック３１４）。別のパルス生成器２５８（例えば、パルス生成器２５６のリセットによってトリガされる立ち下がりエッジ単安定パルサー）がライン２１４上の信号ＲＥＳＥＴ＿ＴＲＡＣＫを高にセットし、それにより、時間１の持続時間（例えば、４ｍｓ）の間（ブロック３２０）、スイッチ２１４を閉じ（ブロック３１８）、これが、ライン２０６上の電圧ＶＰＫ＿ＴＲＡＣＫをゼロにリセットする。時間１が経過した後（ブロック３２０）、ライン２１４上の信号ＲＥＳＥＴ＿ＴＲＡＣＫがリセットされ、それにより、スイッチ２１４を開く（ブロック３２２）。スイッチ２１４を開くことでリフレッシュシーケンスが完了する。

【００３７】

ライン２０６上のＶＰＫ＿ＴＲＡＣＫが最小値まで放電されることを可能にするために、時間１は充分な長さ（例えば、４ｍｓ）であるように選択され、スイッチ２１４の出力は充分強くなければならない。ライン２１８上の電圧ＶＰＫをライン２０６上の電圧ＶＰＫ＿ＴＲＡＣＫにセットするために、時間２は充分な長さ（例えば、４ｍｓ）であるように選択され、スイッチ２２６の出力は充分強くなければならない。

【００３８】

ブランキング間隔の期間（例えば、１２ｍｓ）は、半波サイクルの間、ピーク検出器回路２０２及び２０４の複数のリセット、複数のセット、複数の更新等を防止して、リセット、セット、更新等のインスタンスを離間するために充分な長さであるように選択される。

【００３９】

ゼロ交差が検出されない場合、タイマー２４２は、ピーク検出器回路２０２及び２０４の少なくとも一つの更新が各半波サイクルの間に生じることを保証する。ゼロ交差が検出されたとき、タイマー２４２は、第２のリフレッシュシーケンスをトリガすることを回避する。

【００４０】

ピーク検出器２００の例示の動作を図４の例示のグラフを参照して説明する。図４の図示される例を、ライン１３４上のピーク検出器入力電圧ＰＤＩＮの５つの半波サイクル４０２、４０４、４０６、４０８、及び４１０を参照して説明する。例示の半波サイクル４０２において、ライン２０６上の電圧ＶＰＫ＿ＴＲＡＣＫ及びライン１３８上の電圧ＶＰＫ＿ＯＵＴは、ライン１３４上のピーク検出器入力電圧ＰＤＩＮを追跡する。ライン１３４上のピーク検出器入力電圧ＰＤＩＮが、閾値ＬＩＮＥ＿ＲＥＳＥＴ＿ＴＨＲＥＳＨＯＬＤより下に下がるとき（円４１２を参照）、ライン２０６上の電圧ＶＰＫ＿ＴＲＡＣＫは、半波サイクル４０４において用いるため、長さ時間１の第１の間隔４１４の間、ライン１３８上の電圧ＶＰＫ＿ＯＵＴに伝送され、ライン２０６上の電圧ＶＰＫ＿ＴＲＡＣＫは、長さ時間２の第２の間隔４１６の間、ゼロにリセットされる。

【００４１】

半波サイクル４０６において、ライン１３４上のピーク検出器入力電圧ＰＤＩＮは、前の半波サイクル４０２及び４０４より大きいピークを有する。ライン２０６上の電圧ＶＰＫ＿ＴＲＡＣＫとライン１３８上の電圧ＶＰＫ＿ＯＵＴの両方が、ライン１３４上のピーク検出器入力電圧ＰＤＩＮを瞬時に追跡し、それゆえ、電力コンバータ１００に対する如何なる回路損傷も防止する。

【００４２】

半波サイクル４０８に示すように、ライン２０６上の電圧ＶＰＫ＿ＴＲＡＣＫは、ライ

ン１３４上のピーク検出器入力電圧ＰＤＩＮが半波サイクル４０６におけるほど大きくなくても、半波サイクル４０８の間にわたってホールドされる。これは、ライン１３４上のピーク検出器入力電圧ＰＤＩＮが任意の更なる正の過渡現象を有する場合、電力コンバータ１００に対する如何なる回路損傷も防止することを助ける。

【００４３】

本願において開示される例示のピーク検出器は、本開示の教示に従って波形のピークを知ること又は推測することが有益であるその他の応用例においても用いられ得る。例えば、振幅変調された波形の包絡線の検出や、ライン電圧又はピーク（ＲＭＳ）モニタリングが行われる太陽熱及び風力発電などのインバータ応用例である。

【００４４】

図５は、例えば、図２～図４に関連して開示されるような例示のピーク検出器５０２を有する、例示のＡＧＣ回路５００を図示する。図５の例示のピーク検出器５０２は、ライン５０４上の受信信号のピークを追跡し、図２のライン１３８上の例示の電圧ＶＰＫ＿ＯＵＴとしてピークを出力する。例示のコンパレータ５０６が、ライン１３８上の電圧ＶＰＫ＿ＯＵＴを、ライン５０８上のターゲットＶＰＥＡＫ＿ＴＡＲＧＥＴと比較する。ライン５１０上のコンパレータ５０６の出力が、受信増幅器５１２の利得を制御するために用いられる。

【００４５】

図６は、ＲＦ信号への、図５の自動利得制御回路５００の例示の適用を示すグラフである。図６の例において、受信ＲＦ信号６０２は、時間６０６において増加したピーク振幅６０４を有する。上述したように、ピーク検出器５０２は、受信信号６０２のピーク振幅６０４の増加を迅速に追跡する。受信信号６０２のピーク振幅６０４の増加に応答して、受信増幅器５１２の利得６０８が低下し、それにより、利得制御信号６１０を概ね均一であるように調整する。いくつかの例において、ＲＦ応用例に対し、ピークの１０パーセントではなく、ゼロ交差が用いられる。

【００４６】

演算増幅器２０８、２２０、ダイオード２１０、２２２、及びコンデンサ２１２、２２４を含む例示のピーク検出器トポロジーを図２に示したが、他のピーク検出器トポロジーが用いられてもよい。図７は、第１のピーク検出器回路２０２及び／又は第２のピーク検出器回路２０４を実装するために用いられ得る別の例示のピーク検出器トポロジーを図示する。また、及び／又は代替として、第１のピーク検出器回路２０２及び／又は第２のピーク検出器回路２０４は、異なるピーク検出器トポロジーを実装し得る。

【００４７】

図７の例示のピーク検出器トポロジーは、演算増幅器７０４の出力に基づいて、オープンドレインＰＭＯＳデバイス７０８のゲート電圧を変える。入力電圧７０６が出力電圧７０２より大きいとき、演算増幅器７０４はオープンドレインＰＭＯＳデバイスをオンにし、それにより、コンデンサ７１０を充電する。入力電圧７０６が出力電圧７０２より小さいとき、演算増幅器７０４はオープンドレインＰＭＯＳデバイスをオフにし、それにより、コンデンサ７１０の出力電圧７０２を維持する。

【００４８】

本願において、「含む（including、comprising）」（及びその全ての変化形及び時制）は、非限定的な用語であるように用いられる。それゆえ、特許請求の範囲が、「含む」の任意の変化形（例えば、含む（comprises）、（includes）、（comprising）、（including）、有する（having）等）を、プリアンブルとして又は任意の種類の請求項の記載において用いる場合、対応する請求項又は記載の範囲から逸脱することなく、付加的な要素、用語等が存在し得ることを理解すべきである。本願において用いられるように、「少なくとも」という表現は、例えば、或る請求項のプリアンブルにおいて移行句として用いられる場合、「含む」という用語が非限定的な用語であるのと同様に非限定的である。例えば、Ａ、Ｂ、及び／又はＣといった形態で用いられる場合の「及び／又は」という用語は、（１）Ａのみ、（２）Ｂのみ、（３）Ｃのみ、（４）ＡとＢ、（５）ＡとＣ、（６

）ＢとＣ、及び（７）ＡとＢとＣなど、Ａ、Ｂ、Ｃの任意の組み合わせ又はサブセットを指す。

【００４９】

上記から、力率改善のためのピーク検出を行う、例示の方法、装置、及び回路を開示してきたことが理解されよう。開示された方法、装置、及び回路は、アナログ－デジタル変換、ディスクリートコンパレータ、複合スイッチネットワーク、複合スイッチ制御をなくすことによって、力率改善の効率を高める。全く対照的に、開示した例は、二つの半波ピーク－ホールド検出器及びシンプルな制御論理のみを必要とする。

【００５０】

例示のピーク検出方法、装置、システム、及び回路が本願において開示される。それらの更なる例及びその組み合わせは、少なくとも下記を含む。

【００５１】

例１は、第１のピークホールド回路と第２のピークホールド回路を含むピーク検出器である。第１のピークホールド回路は、第１の入力端子と第１の出力端子とを有し、第１の時間間隔の間、第１の入力端子における整流された入力電圧の第１のピークを判定し、第２の時間間隔の間、整流された入力電圧の第２のピークを追跡する。第２の時間間隔は第１の時間間隔とは異なる。第２のピークホールド回路は、第２の入力端子と第２の出力端子とを有し、第２の時間間隔の間、第１のピーク及び第２のピークの大きい方を判定する。第１の出力端子は、第１のピーク及び第２のピークを第２のピークホールド回路に搬送するために第２の入力端子に結合され、第１のピーク及び第２のピークの大きい方が第２の出力端子において出力される。

【００５２】

例２は、制御信号生成器をさらに含む、例１のピーク検出器である。制御信号生成器は、整流された入力電圧が閾値を満たすとき、第２の出力端子における第２のピークホールド回路の出力を、第１の出力端子における第１のピークホールド回路の出力にセットする。

【００５３】

例３は、制御信号生成器が、第１の出力端子における第１のピークホールド回路の出力をリセットするためのものである、例２のピーク検出器である。

【００５４】

例４は、制御信号生成器が、第２の時間間隔の間、第１の出力端子における第１のピークホールド回路の出力の複数のリセットを防止し、第２の時間間隔の間、第２の出力端子における第２のピークホールド回路の出力への、第１の出力端子における第１のピークホールド回路の出力の複数のセッティングを防止するためのものである、例２のピーク検出器である。

【００５５】

例５は、制御信号生成器が、第１の出力端子における第１のピークホールド回路の出力が、第２の時間間隔の間リセットされることを保証し、第２の出力端子における第２のピークホールド回路の出力が、第２の時間間隔の間、第１の出力端子における第１のピークホールド回路の出力にセットされることを保証するためのものである、例２のピーク検出器である。

【００５６】

例６は、第１の時間間隔が、整流された入力電圧の半波サイクルであり、整流された入力電圧が、整流された交流信号である、例１のピーク検出器である。

【００５７】

例７は、第２の出力端子に結合されるオン－オフコントローラをさらに含み、整流された入力電圧が、整流された交流電圧である、例１のピーク検出器である。オン－オフコントローラは、第１のピーク及び第２のピークの大きい方に基づいて力率改善回路を充電及び放電するためのものである。

【００５８】

例８は、第１のピーク及び第２のピークの大きい方に基づく利得を有する自動利得制御

回路をさらに含み、整流された入力電圧が、整流された無線周波数電圧である、例１のピーク検出器である。

【００５９】

例９は、力率改善回路を制御する方法であり、この方法は、波形の第１のサイクル部の間、波形の第１のピークを追跡すること、波形の第２のサイクル部の間、波形の第２のピークを追跡すること、及び、波形の第２のサイクル部の間、第１のピーク及び第２のピークの大きい方を追跡し、第１のピーク及び第２のピークの大きい方に基づいて力率改善回路を選択的に充電することを含む。

【００６０】

例１０は、波形が閾値を満たすとき、第１のピーク及び第２のピークの大きい方を追跡する第１のピークホールド回路の第１の出力を、第２のピークを追跡する第２のピークホールド回路の第２の出力にセットすることをさらに含む、例９の力率改善回路を制御する方法である。

【００６１】

例１１は、第２のピークホールド回路の第２の出力をリセットすることをさらに含む、例１０の力率改善回路を制御する方法である。

【００６２】

例１２は、第２のサイクル部の間、第２のピークホールド回路の第２の出力への、第１のピークホールド回路の第１の出力の複数のセッティングを防止し、第２のサイクル部の間、第２のピークホールド回路の第２の出力の複数のリセットを防止することをさらに含む、例１０の力率改善回路を制御する方法である。

【００６３】

例１３は、第１のピークホールド回路の第１の出力が、第２のサイクル部の間、第２のピークホールド回路の第２の出力にセットされることを保証し、第２のピークホールド回路の第２の出力が、第２のサイクル部の間リセットされることを保証することをさらに含む、例１０の力率改善回路を制御する方法である。

【００６４】

例１４は、第１のサイクル部が交流信号の半波サイクルである、例９の波形において力率改善回路を制御する方法である。

【００６５】

例１５は下記を含むピーク検出器である。

【００６６】

例１５のピーク検出器は、

第１の入力端子と第２の入力端子とを有する第１のピークホールド回路、及び、

第１の入力端子に結合される第３の入力端子と、第４の出力端子とを有する第２のピークホールド回路、

を含む。

第２のピークホールド回路は、

第５の端子と、第６の端子と、第７の端子とを有する第１の演算増幅器であって、第５の端子が第３の入力端子に結合される、第１の演算増幅器、

第８の端子と第９の端子とを有する第１のダイオードであって、第８の端子が第７の端子に結合され、第９の端子が第４の出力端子に結合される、第１のダイオード、

第１０の端子と、第１１の端子と、第１２の端子とを有する第１のスイッチであって、第１０の端子が第７の端子及び第８の端子に結合され、第１１の端子が第９の端子及び第４の出力端子に結合され、第１２の端子が第１のリセット信号に結合される、第１のスイッチ、及び、

第１３の端子と第１４の端子とを有する第１のコンデンサであって、第１３の端子が、第４の出力端子、第６の端子、第９の端子、及び第１１の端子に結合され、第１４の端子が接地に結合される、第１のコンデンサ、

を含む。

【００６７】
例１６は、例１５のピーク検出器であって、第１のピークホールド回路が、
第１６の端子と、第１７の端子と、第１８の端子とを有する第２の演算増幅器であって、第１６の端子が第１の入力端子に結合される、第２の演算増幅器、
第１９の端子と第２０の端子とを有する第２のダイオードであって、第１９の端子が第１８の端子に結合され、第２０の端子が第２の出力端子に結合される、第２のダイオード、
第２１の端子と第２２の端子とを有する第２のコンデンサであって、第２１の端子が、第２の出力端子、第１７の端子、及び第２０の端子に結合され、第２２の端子が接地に結合される、第２のコンデンサ、及び、
第２３の端子と、第２４の端子と、第２５の端子とを有する第２のスイッチであって、第２３の端子が、第２の出力端子、第２１の端子、及び第２０の端子に結合され、第２４の端子が接地に結合され、第２５の端子が第２のリセット信号に結合される、第２のスイッチ、
を含む。
【００６８】
例１７は例１６のピーク検出器であって、さらに論理回路を含み、論理回路が、
第１のリセット信号を提供するために、第１２の端子に結合される第１の出力を有する第１のパルス生成器、及び
第１の出力に結合される第１の入力と、第２のリセット信号を提供するために、２５の端子に結合される第２の出力とを有する第２のパルス生成器、
を含む。
【００６９】
例１８は例１７のピーク検出器であって、論理回路がさらに、第１のリセット信号のインスタンスと第２のリセット信号のインスタンスとを離間するために、第１の入力に結合される第３の出力を有するブランキング回路を含む。
【００７０】
例１９は例１５に記載のピーク検出器であって、さらに、第１のピーク及び第２のピークの大きい方に基づいて力率改善回路を充電及び放電するためのオン－オフコントローラを含む。
【００７１】
例２０は例１５に記載のピーク検出器であって、さらに、第１のピーク及び第２のピークの大きい方に基づく利得を有する自動利得制御回路を含む。
【００７２】
幾つかの例示の方法、装置、及び回路を本願で開示してきたが、本願の適用の範囲はこれらに限定されない。むしろ、本願は、公正に本願の範囲内に含まれる全ての方法、装置、及び回路に及ぶ。

【図面】

【図１】

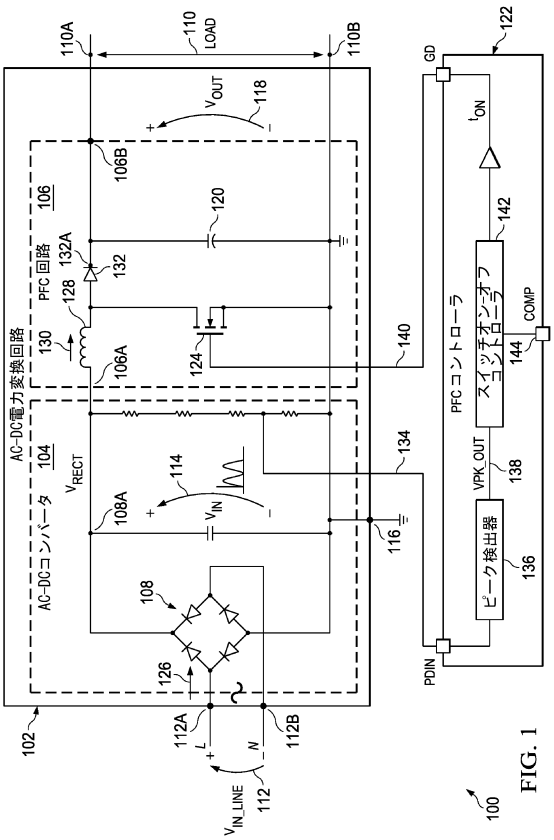

FIG. 1

【図２】

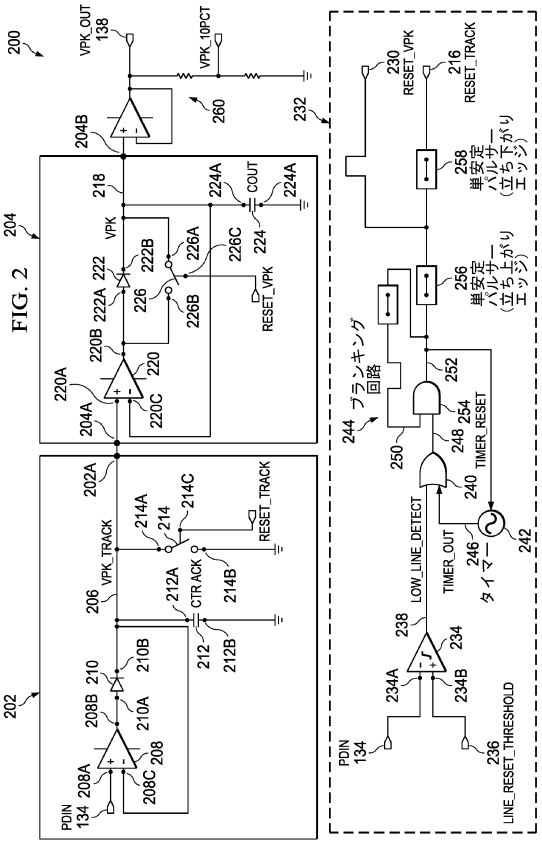

FIG. 2

【図３】

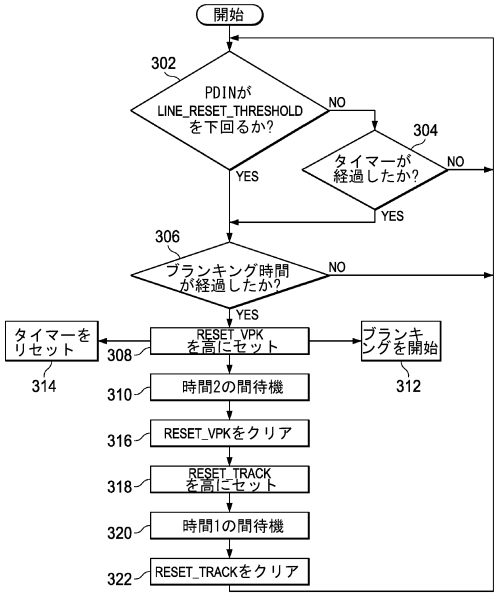

FIG. 3

【図４】

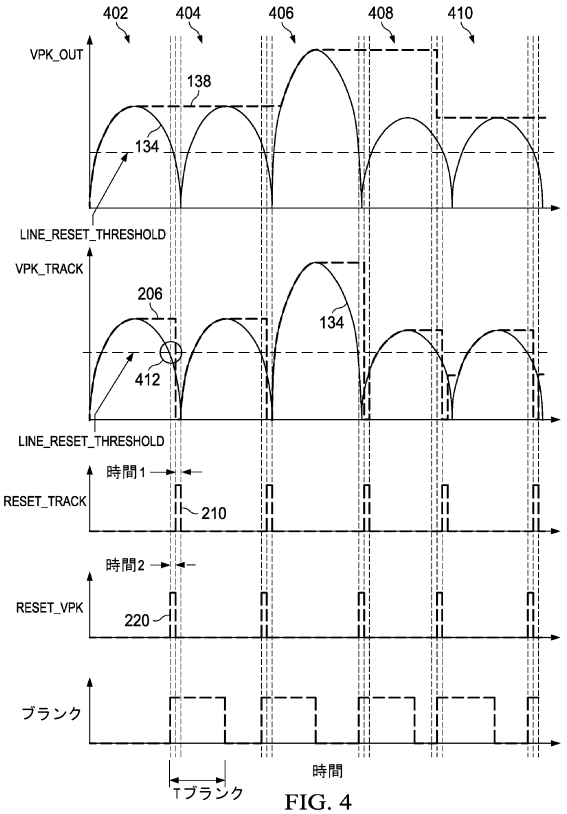

FIG. 4

【図５】

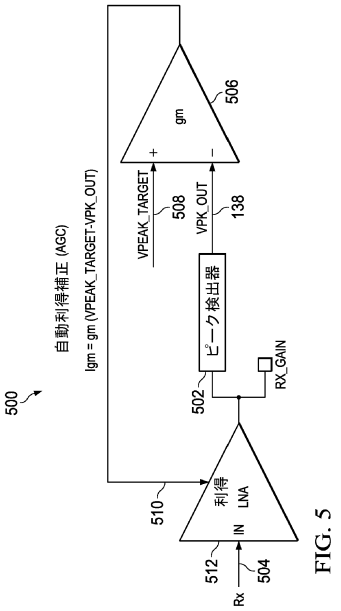

FIG. 5

【図６】

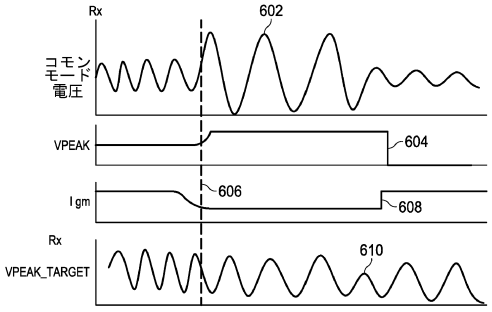

FIG. 6

【図７】

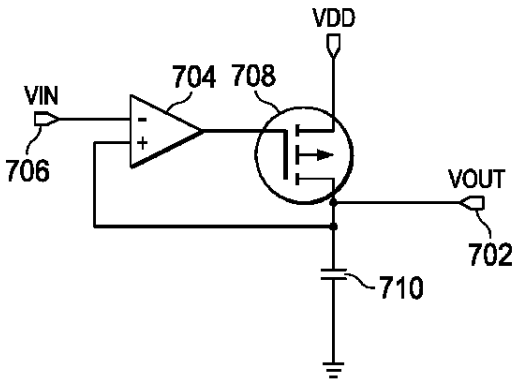

FIG. 7

フロントページの続き

(33)優先権主張国・地域又は機関
米国(US)
モントフォート ドライブ １４３３２
(72)発明者 アントニオ アモロソ
イタリア共和国 シチリア州 トレメスティエリ エトネーオ， ９５０３０， ヴィア サン パオロ ， エヌ ２０
(72)発明者 ロザリオ ストラクアダイニ
イタリア共和国 シチリア州 サン グレゴリオ ディ カターニャ， ９５０２７， ヴィアレ エウロパ， エヌ ８１
審査官 麻生 哲朗
(56)参考文献 特開２０１０－１１４９９３（ＪＰ，Ａ）
特開平１０－０３２９７７（ＪＰ，Ａ）
特開２００３－００９５３４（ＪＰ，Ａ）
(58)調査した分野 (Int.Cl.，ＤＢ名)
Ｈ０２Ｍ ７／１２
Ｇ０１Ｒ １９／０４