

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成16年12月9日(2004.12.9)

【公表番号】特表2001-517333(P2001-517333A)

【公表日】平成13年10月2日(2001.10.2)

【出願番号】特願平9-514327

【国際特許分類第7版】

G 0 6 F 9/318

G 0 6 F 9/38

【F I】

G 0 6 F 9/30 3 2 0 B

G 0 6 F 9/38 3 1 0 X

G 0 6 F 9/38 3 7 0 X

【手続補正書】

【提出日】平成16年3月25日(2004.3.25)

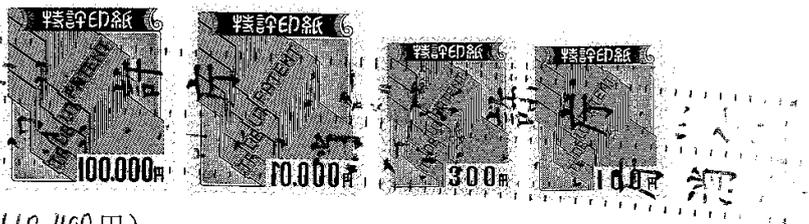
【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】



(110,400円)



### 手続補正書 (自発)

平成16年3月25日

特許庁長官 殿

- 1. 事件の表示                    平成9年特許願第514327号
- 2. 補正をする者
  - 住 所                    アメリカ合衆国カリフォルニア州94088-3453・
  - サニーバイル・エイエムディープレイス 1
  - 名 称                    アドバンスト・マイクロ・デバイスズ・
  - インコーポレイテッド
- 3. 代 理 人
  - 住 所                    東京都港区芝3丁目22番7号 芝NKビル4階
  - 鈴木国際特許事務所
  - 氏 名                    (9932) 弁理士      鈴木 正剛
- 4. 補正により増加する請求項の数      69
- 5. 補正対象書類名    明細書
- 6. 補正対象項目名
  - (1) 明細書の請求の範囲の欄
- 7. 補正の内容
  - (1) 別紙のとおり。



### 請求の範囲

1. 自己修飾コード処理システムを有するスーパースケラプロセッサが組み込まれたネットワークサーバコンピュータシステムであって、

前記スーパースケラプロセッサは、命令取り出しから結果コミットメントまでのオペレーションを表すオペレーションエントリと、メモリ内の目標アドレスにストアオペランドを記憶させるストアパイプとを備え、

前記自己修飾コード処理システムは、

各々がオペレーションエントリの第1グループに関連しており、関連するオペレーションエントリに対応する命令のメモリ内における第1アドレスを表す複数の第1タグストアと、

前記複数の第1タグストア及び前記ストアパイプに接続されており、前記ストアパイプによって実行されるストアオペレーションのための目標アドレスと前記第1タグストアに表されるいずれかの第1アドレスとの整合に応じて、自己修飾コード表示を供給する第1比較ロジックと、

前記第1比較ロジック及び前記オペレーションエントリに接続されており、前記自己修飾コード表示に応じたオペレーションエントリの実行されていないものをフラッシュする制御ロジックと、を備えており、

プロセッサバスを介して前記スーパースケラプロセッサに接続されるメモリと、

ローカルバス及び入力／出力バスと、

前記プロセッサバスを前記ローカルバスに接続させる第1ブリッジと、

前記ローカルバスを前記入力／出力バスに接続される第2ブリッジと、

前記ローカルバス又は前記入力／出力バスのいずれかに接続されるLANアダプタと、を備えている、

ネットワークサーバコンピュータシステム。

2. 前記ローカルバス又は前記入力／出力バスのいずれかに接続されるデータ記憶装置をさらに備える、

請求項1記載のネットワークサーバ。

3. 前記記憶装置は、ハードディスクによって構成される、

請求項 2 記載のネットワークサーバ。

4. 前記ハードディスクは、IDE ディスク、エンハンスド IDE ディスク、ATA ディスク、ESDI ディスク、又は SCSI ディスクのいずれかを含んで構成される、

請求項 3 記載のネットワークサーバ。

5. 前記記憶装置は、テープユニットによって構成される、

請求項 2 記載のネットワークサーバ。

6. 前記テープユニットは、IDE テープユニット、エンハンスド IDE テープユニット、ATA テープユニット、ESDI テープユニット、又は SCSI テープユニットのいずれかを含んで構成される、

請求項 5 記載のネットワークサーバ。

7. 前記記憶装置は、CD-ROM によって構成される、

請求項 2 記載のネットワークサーバ。

8. 前記 CD-ROM は、IDE CD-ROM、エンハンスド IDE CD-ROM、ATA CD-ROM、ESDI CD-ROM、又は SCSI CD-ROM のいずれかを含んで構成される、

請求項 7 記載のネットワークサーバ。

9. 前記記憶装置は、ジュークボックスによって構成される、

請求項 2 記載のネットワークサーバ。

10. 前記記憶装置は、RAID によって構成される、

請求項 2 記載のネットワークサーバ。

11. 前記記憶装置は、フラッシュメモリによって構成される、

請求項 2 記載のネットワークサーバ。

12. 前記ローカルバス又は前記入力／出力バスのいずれかに接続される通信装置をさらに備える、

請求項 1 記載のネットワークサーバ。

13. 前記通信装置は、モデム、ファックスモデム、又は総合電話装置のいずれかを含んで構成される、

請求項 12 記載のネットワークサーバ。

14. 前記通信装置は、前記ローカルバス又は前記入力／出力バスのいずれかに、モジュラコネクタを介して接続されるプリント回路カードをさらに備える、

請求項13記載のネットワークサーバ。

15. 前記通信装置は、前記ローカルバス又は前記入力／出力バスのいずれかに、シリアルインタフェースを介して接続される、

請求項13記載のネットワークサーバ。

16. 前記ローカルバス又は前記入力／出力バスのいずれかに接続される入力／出力デバイスをさらに備える、

請求項1記載のネットワークサーバ。

17. 前記入力／出力デバイスは、テキストディスプレイアダプタ、グラフィックアダプタ、3-Dグラフィックアダプタ、SVGAディスプレイアダプタ、XGAアダプタ、VESAグラフィック標準対応ディスプレイアダプタ、CGAアダプタ、又は Hercules グラフィック標準対応アダプタのいずれかを含んで構成される、

請求項16記載のネットワークサーバ。

18. 前記入力／出力デバイスは、ポインティングデバイス、マウス、トラックボール、又はキーボードのいずれかを含んで構成される、

請求項16記載のネットワークサーバ。

19. 前記LANアダプタは、ベースバンドネットワークLANアダプタ、ブロードバンドネットワークLANアダプタ、トークンパッシングネットワークLANアダプタ、トークンリングネットワークLANアダプタ、10ベースTネットワークLANアダプタ、又はイーサネットLANアダプタのいずれかを含んで構成される、

請求項1記載のネットワークサーバ。

20. 前記ローカルバスは、VLバスによって構成される、

請求項1記載のネットワークサーバ。

21. 前記ローカルバスは、PCIバスによって構成される、

請求項1記載のネットワークサーバ。

22. 前記入力／出力バスは、ISAバス、EISAバス、マイクロチャネルア

ーキテクチャバス、又はローカルバスのいずれかを含んで構成される、

請求項1記載のネットワークサーバ。

23. 命令取り出しから結果コミットメントまでのオペレーションを表すオペレーションエントリ、及びメモリ内の目標アドレスにストアオペランドを記憶させるストアパイプを有するコンピュータに用いられる自己修飾コード処理システムであって、

各々がオペレーションエントリの第1グループに関連しており、関連するオペレーションエントリに対応する命令のメモリ内における第1アドレスを表す複数の第1タグストアと、

前記複数の第1タグストア及び前記ストアパイプに接続されており、前記ストアパイプによって実行されるストアオペレーションのための目標アドレスと前記第1タグストアに表されるいずれかの第1アドレスとの整合に応じて、自己修飾コード表示を供給する第1比較ロジックと、

前記第1比較ロジック及び前記オペレーションエントリに接続されており、前記自己修飾コード表示に回答してオペレーションエントリの実行されていないものをフラッシュする制御ロジックとを備える、

自己修飾コード処理システム。

24. 前記オペレーションエントリの前記第1グループは、スケジューラに表されるOpグループに編成された複数のOpエントリを備えており、

前記第1タグストアの各々は、関連するOpグループのOpエントリが復号する命令グループのためのメモリアドレスをカバーする一対のタグフィールドを含み、

前記一対のタグフィールドは、前記命令グループがキャッシュライン境界と交差するとき、当該キャッシュライン境界のいずれかの側のメモリアドレスをカバーするように構成されている、

請求項23記載の自己修飾コード処理システム。

25. 前記ストアパイプに接続されて、連続ストアオペレーションのための目標アドレスを受け取るとともに、メモリサブシステムからのストア確認応答に応じてクリアされるアドレスストアと、

前記アドレスストアに接続され、現取り出しアドレスと前記アドレスストアに格納された目標アドレスとの整合に応じて、前記現取り出しアドレスからの命令取り出しを無効にする取り出し制御ロジックと、をさらに備える、

請求項 2 4 記載の自己修飾コード処理システム。

2 6 . 命令デコーダと前記メモリサブシステムとの間に接続される命令キャッシュと、

前記ストアパイプと前記メモリサブシステムとの間に接続されるデータキャッシュと、

前記命令キャッシュ及び前記データキャッシュの両方にキャッシュラインが同時に存在することを防止する命令/データキャッシュ制御ロジックと、をさらに備える、

請求項 2 5 記載の自己修飾コード処理システム。

2 7 . 前記命令キャッシュは、前記メモリサブシステムからのスヌープを処理する間、前記命令デコーダからの取り出しが禁止されるように構成されている、

請求項 2 6 記載の自己修飾コード処理システム。

2 8 . 前記一対のタグフィールドにより表される第 1 アドレスが複数の部分的アドレスであり、

前記第 1 比較ロジックは、タグフィールドにより表される前記複数の部分的アドレスのいずれかと、前記ストアパイプにより実行されるストアオペレーションのための目標アドレスの対象部分との整合に応じて自己修飾コード表示を供給するように構成されている、

請求項 2 4 記載の自己修飾コード処理システム。

2 9 . 前記タグフィールドにより表される前記部分的アドレスと、前記ストアパイプにより実行されるストアオペレーションのための目標アドレスの前記対象部分とは、それぞれ個別のアドレスにビット 5 乃至 1 9 を含む

請求項 2 8 記載の自己修飾コード処理システム。

3 0 . 前記 Op エントリは、Op クアッドとして構成される、

請求項 2 4 記載の自己修飾コード処理システム。

3 1 . オペレーションエントリの前記第 1 グループと第 2 グループとが、それぞれ

れスケジューラと命令デコーダとに関連付けられており、

各々が前記オペレーションエントリの第2グループに関連しており、関連する前記オペレーションエントリに対応する命令のメモリ内における第2アドレスを表す複数の第2タグストアと、

前記第2タグストア、前記ストアパイプ、及び前記制御ロジックに接続されており、前記ストアパイプによって実行されるストアオペレーションのための目標ターゲットと前記第2タグストアに表されるアドレスとの整合に応じて、自己修飾コード表示を供給する第2比較ロジックと、をさらに備え、

前記制御ロジックは、自己修飾コード表示に回答してオペレーションエントリの第2グループとオペレーションエントリの第1グループの完了されていないものをフラッシュするように構成される、

請求項23記載の自己修飾コード処理システム。

32. 前記オペレーションエントリの前記第1グループは、スケジューラに表されるOpグループに編成された複数のOpエントリを備えており、

前記第1タグストアの各々は、関連するOpグループのOpエントリが復号する命令グループのためのメモリアドレスをカバーする一対のタグフィールドを含み、

前記一対のタグフィールドは、前記命令グループがキャッシュライン境界と交差するとき、当該キャッシュライン境界のいずれかの側のメモリアドレスをカバーするものであり、

前記オペレーションエントリの第2グループは、前記命令デコーダ内の命令バッファとして構成されており、各々がキャッシュラインに対応する複数の命令エントリを備えており、

前記第2アドレスが前記キャッシュラインをカバーするように構成されている、  
請求項31記載の自己修飾コード処理システム。

33. 前記第1アドレス及び第2アドレスは複数の部分的アドレスであり、

前記第1比較ロジックは、前記タグフィールドに表される前記複数の部分的アドレスのいずれかと前記目標アドレスの対象部分との整合に応じて自己修飾コード表示を供給するように構成されており、

前記第2比較ロジックは、第2タグストアに表される前記複数の部分的アドレスのいずれかと前記目標アドレスの対象部分との整合に応じて自己修飾コード表示を供給するように構成されている、

請求項32記載の自己修飾コード処理システム。

34. 前記部分的アドレスは、個々の全アドレスのビット5乃至19を含む、

請求項33記載の自己修飾コード処理システム。

35. 前記オペントリは、Opクアッドとして構成される、

請求項32記載の自己修飾コード処理システム。

36. 自己修飾コード処理システムを備えるプロセッサが組み込まれたマルチメディアコンピュータシステムであって、

マルチメディア機能デバイスと、

前記マルチメディア機能デバイス及びマルチメディア信号取得デバイスに接続されており、マルチメディア信号を合成及びサンプリングするための信号変換インタフェースを有するマルチメディアアダプタと、

前記マルチメディアアダプタに接続され、マルチメディアデータの転送を行うための入力/出力バスと、

マルチメディアデータを処理するとともに、前記マルチメディアアダプタとの間でマルチメディアデータの転送を行うために前記入力/出力バスに接続されており、命令取り出しから結果コミットメントまでのオペレーションを表すオペレーションエントリ、メモリ内の目標アドレスにストアオペランドを記憶させるストアパイプ、及び前記自己修飾コード処理システムを有するスーパースケラプロセッサと、を備え、

前記自己修飾コード処理システムは、

各々が前記オペレーションエントリの第1グループに関連しており、関連するオペレーションエントリに対応する命令のメモリ内における第1アドレスを表す複数の第1タグストアと、

前記複数の第1タグストア及び前記ストアパイプに接続されており、前記ストアパイプによって実行されるストアオペレーションのための目標アドレスと前記第1タグストアより表されるいずれかの前記第1アドレスとの整合に応じて、

自己修飾コード表示を供給する第1比較ロジックと、

前記第1比較ロジック及び前記オペレーションエントリに接続されており、前記自己修飾コード表示に応じたオペレーションエントリの実行されていないものをフラッシュする制御ロジックと、を備える、

マルチメディアコンピュータシステム。

37. マルチメディア信号取得デバイスをさらに備える、

請求項36記載のマルチメディアコンピュータシステム。

38. 前記マルチメディア機能デバイスは、テレビジョン、高精細度テレビジョン、又は高分解能コンピュータモニタかのいずれかを含んで構成される動画ビデオディスプレイを備え、

前記マルチメディア信号取得デバイスは、ビデオカメラを備え、

前記マルチメディアアダプタは、動画ビデオアダプタを備える、

請求項37記載のマルチメディアコンピュータシステム。

39. 前記マルチメディア機能デバイスは、ビデオフレームバッファを備える、

請求項38記載のマルチメディアコンピュータシステム。

40. 前記マルチメディアアダプタ機能デバイスは、MPEG標準に準拠してビデオのエンコーディング及びデコーディングを行うシステムを備える、

請求項38記載のマルチメディアコンピュータシステム。

41. 前記マルチメディア機能デバイスは、ミキシングコンソール、信号処理デバイス、シンセサイザ、MIDIシーケンサ、電力増幅器、又はスピーカのいずれかを含んで構成されるオーディオ機能デバイスを備えており、

前記マルチメディアアダプタは、D/Aインタフェース又はA/Dインタフェースのいずれかを含んで構成されるオーディオアダプタを備える、

請求項36記載のマルチメディアコンピュータシステム。

42. マイクロフォン、信号処理デバイス、又はデジタルサンプラのいずれかを含んで構成されるオーディオ信号取得デバイスを含むマルチメディア信号取得デバイスをさらに備えている、

請求項41記載のマルチメディアコンピュータシステム。

43. 前記マルチメディア機能デバイスは、ビデオフレームバッファと、テレビ

ジョン、高精細度テレビジョン、又は高分解能コンピュータモニタのいずれかを  
含んで構成されるグラフィックディスプレイとを備え、

前記マルチメディアアダプタが、SVGA、XGA、VESA、CGA、又は  
Hercules グラフィック標準アダプタのいずれかを含んで構成されるグラフィッ  
クアダプタを備えている、

請求項36記載のマルチメディアコンピュータシステム。

44. 前記入力/出力バスに接続されるSCSIアダプタと、

前記SCSIアダプタに接続され、マルチメディアデータを含むデータが記憶  
され且つアクセスされる記憶媒体と、をさらに備えている、

請求項36記載のマルチメディアコンピュータシステム。

45. 前記記憶媒体は、磁気ディスクドライブ、磁気テープドライブ、又はCD  
-ROMドライブのいずれかを含んで構成された媒体を含む、

請求項44記載のマルチメディアコンピュータシステム。

46. 前記入力/出力バスに接続されるLANアダプタをさらに備える、

請求項36記載のマルチメディアコンピュータシステム。

47. メモリサブシステムと、

前記メモリサブシステムに接続される命令キャッシュ及びデータキャッシュと、  
前記データキャッシュに接続されてストアオペレーションの結果を前記メモリ  
サブシステムに記録するとともに、ストアオペレーション結果の記録に関するス  
トアオペレーション目標アドレス表示を供給するストアパイプ、を備える複数の  
実行ユニットと、

命令から復号されたOpsのために配列された複数のOpエントリ、及び命令  
のためのメモリアドレスをカバーする複数の第1アドレスタグを含むスケジュー  
ラと、

前記ストアパイプ及び前記第1アドレスタグに接続されて、ストアオペレーシ  
ョン目標アドレスといずれか1つの第1アドレスタグとの間の整合に応じて、自  
己修飾コードフォールト処理手段をトリガするように接続される第1比較ロジ  
ックと、

前記命令キャッシュと前記スケジューラとの間に接続されて、複数の命令バッ

ファエントリ及び命令バッファエントリの各々に関連する複数の第2アドレスタグを有する命令デコーダと、

前記ストアパイプ及び前記第2アドレスタグに接続され、ストアオペレーション目標アドレスといずれか1つの第2アドレスタグとの間の整合に応じて、自己修飾コードフォールト処理手段をトリガするように接続される第2比較ロジックと、を備える、

装置。

48. 前記自己修飾コードフォールト処理手段は、

第1比較ロジック、第2比較ロジック、スケジューラ、及び命令デコーダに接続されて、第1比較ロジック又は第2比較ロジックのいずれかからの自己修飾コードフォールト表示に応じて、OpエントリからのOpの実行していないものと、命令バッファからの命令とをフラッシュする制御ロジックを備えている、

請求項47記載の装置。

49. 前記自己修飾コードフォールト処理手段は、

トリガするストアオペレーションと同一の命令に関連したOpsを実行する過程と、

トリガするストアオペレーションのための命令ポインタを得る過程と、

前記メモリサブシステムによってトリガされるストアオペレーションが確認応答されるまで待機する過程と、

命令ストリーム内の、トリガするストアオペレーションに関連する命令の直後の命令にジャンプして戻る過程と、を実行するように構成されている、

請求項48記載の装置。

50. 前記自己修飾コードフォールト処理手段は、

前記ストアパイプに接続されて、連続ストアオペレーションのための目標アドレスを受け取り、前記メモリサブシステムからのストアオペレーションの確認応答に応じてクリアされるアドレスストアと、

前記アドレスストアに接続され、現取り出しアドレスと前記アドレスストアに格納された目標アドレスとの整合に応じて、前記現取り出しアドレスからの命令取り出しを無効にする取り出し制御ロジックと、をさらに備える、

請求項 4 8 記載の装置。

5 1. 前記命令キャッシュ及び前記データキャッシュの両方にキャッシュラインが同時に存在することを防止する命令／データキャッシュ制御ロジックをさらに備える、

請求項 4 8 記載の自己修飾コード処理システム。

5 2. データ及び命令を記憶するメモリサブシステムと、

前記メモリサブシステムに記憶される前記データ及び命令にアクセス可能に接続され、命令取り出しから結果コミットメントまでのオペレーションを表すオペレーションエントリ、メモリ内の目標アドレスにストアオペランドを記憶させるストアパイプ、及び自己修飾コード処理システムを有するプロセッサとを備え、

前記自己修飾コード処理システムは、

各々がオペレーションエントリの第 1 グループに関連しており、関連するオペレーションエントリに対応する命令のメモリ内の第 1 アドレスを表す複数の第 1 タグストアと、

前記複数の第 1 タグストア及び前記ストアパイプに接続されており、前記ストアパイプによって実行されるストアオペレーションのための目標アドレスと前記第 1 タグストアに表されるいずれかの第 1 アドレスとの整合に応じて、自己修飾コード表示を供給する第 1 比較ロジックと、

前記第 1 比較ロジック及び前記オペレーションエントリに接続されており、前記自己修飾コード表示に応じたオペレーションエントリの実行されていないものをフラッシュする制御ロジックと、を備える、

コンピュータシステム。

5 3. 前記プロセッサ及び前記メモリサブシステムは、マザーボードの構成部品である、

請求項 5 2 記載のコンピュータシステム。

5 4. 前記マザーボードは、前記プロセッサに動作可能に接続されたバックプレーンバスをさらに備え、

このバックプレーンバスを介して前記マザーボードに接続されたカードに 1 若しくは複数のデバイスがさらに備えられる、

請求項 5 3 記載のコンピュータシステム。

5 5. 前記プロセッサに動作可能に接続されたパラレルインタフェースをさらに備える、

請求項 5 2 記載のコンピュータシステム。

5 6. 前記パラレルインタフェースを介して前記プロセッサに接続されるプリンタをさらに備える、

請求項 5 5 記載のコンピュータシステム。

5 7. 前記プロセッサに動作可能に接続されたシリアルインタフェースをさらに備える、

請求項 5 2 記載のコンピュータシステム。

5 8. 前記シリアルインタフェースを介して前記プロセッサに接続されるモデムをさらに備える、

請求項 5 7 記載のコンピュータシステム。

5 9. 前記プロセッサに動作可能に接続されたグラフィックアダプタをさらに備える、

請求項 5 2 記載のコンピュータシステム。

6 0. 前記グラフィックアダプタを介して前記プロセッサに接続されるビデオディスプレイをさらに備える、

請求項 5 9 記載のコンピュータシステム。

6 1. 前記プロセッサに動作可能に接続されたLANアダプタをさらに備える、

請求項 5 2 記載のコンピュータシステム。

6 2. 前記LANアダプタを介して前記プロセッサに接続されるネットワークデバイスをさらに備える、

請求項 6 1 記載のコンピュータシステム。

6 3. 前記プロセッサに動作可能に接続されたディスクコントローラをさらに備える、

請求項 5 2 記載のコンピュータシステム。

6 4. 前記ディスクコントローラを介して前記プロセッサに接続されるハードディスクをさらに備える、

請求項 6 3 記載のコンピュータシステム。

6 5. 前記ディスクコントローラを介して前記プロセッサに接続されるフレキシブルディスクをさらに備える、

請求項 6 3 記載のコンピュータシステム。

6 6. 自己修飾コード処理システムを有するプロセッサが組み込まれたネットワークサーバコンピュータシステムであって、

LANアダプタと、

前記 LAN アダプタとの間で処理するデータの送受を行うために当該 LAN アダプタに接続され、命令取り出しから結果コミットメントまでのオペレーションを表すオペレーションエントリ、メモリ内の目標アドレスにストアオペランドを記憶させるストアパイプ、及び自己修飾コード処理システムを有するスーパースケラプロセッサとを備え、

前記自己修飾コード処理システムは、

各々がオペレーションエントリの第 1 グループに関連しており、関連するオペレーションエントリに対応する命令のメモリ内における第 1 アドレスを表す複数の第 1 タグストアと、

前記複数の第 1 タグストア及び前記ストアパイプに接続されており、前記ストアパイプによって実行されるストアオペレーションのための目標アドレスと前記第 1 タグストアに表されるいずれかの第 1 アドレスとの整合に応じて、自己修飾コード表示を供給する第 1 比較ロジックと、

前記第 1 比較ロジック及び前記オペレーションエントリに接続されており、前記自己修飾コード表示に応じたオペレーションエントリの実行されていないものをフラッシュする制御ロジックと、を備える、

ネットワークサーバコンピュータシステム。

6 7. 前記スーパースケラプロセッサに接続されるハードディスクをさらに備えている、

請求項 6 6 記載のネットワークサーバ。

6 8. 前記ハードディスクは、IDE ディスク、エンハンスド IDE ディスク、ATA ディスク、ESDI ディスク、又は SCSI ディスクのいずれかを含んで

構成される、

請求項 67 記載のネットワークサーバ。

69. 前記スーパースケラプロセッサに接続されるテープユニットをさらに備えている、

請求項 66 記載のネットワークサーバ。

70. 前記テープユニットは、IDEテープユニット、エンハンストIDEテープユニット、ATAテープユニット、ESDIテープユニット、又はSCSIテープユニットのいずれかを含んで構成される、

請求項 69 記載のネットワークサーバ。

71. 前記スーパースケラプロセッサに接続されるCD-ROMをさらに備えている、

請求項 66 記載のネットワークサーバ。

72. 前記CD-ROMは、IDE CD-ROM、エンハンストIDE CD-ROM、ATA CD-ROM、ESDI CD-ROM、又はSCSI CD-ROMのいずれかを含んで構成される、

請求項 71 記載のネットワークサーバ。

73. 前記LANアダプタは、ベースバンドネットワークLANアダプタ、ブロードバンドネットワークLANアダプタ、トークンパッシングネットワークLANアダプタ、トークンリングネットワークLANアダプタ、10ベースTネットワークLANアダプタ、又はイーサネットLANアダプタのいずれかを含んで構成される、

請求項 66 記載のネットワークサーバ。

74. 前記スーパースケラプロセッサに接続されるジュークボックスをさらに備えている、

請求項 66 記載のネットワークサーバ。

75. 前記スーパースケラプロセッサに接続されるRAIDをさらに備えている、

請求項 66 記載のネットワークサーバ。

76. 前記スーパースケラプロセッサに接続されるフラッシュメモリをさらに

備えている、

請求項 6 6 記載のネットワークサーバ。

7 7. 前記スーパースケラプロセッサに接続されるモデムをさらに備えている、

請求項 6 6 記載のネットワークサーバ。

7 8. 前記スーパースケラプロセッサに接続されるファックスモデムをさらに備えている、

請求項 6 6 記載のネットワークサーバ。

7 9. 前記スーパースケラプロセッサに接続される総合電話装置をさらに備えている、

請求項 6 6 記載のネットワークサーバ。

8 0. 前記スーパースケラプロセッサに接続されるディスプレイアダプタをさらに備えており、

前記ディスプレイアダプタは、テキストディスプレイアダプタ、グラフィックアダプタ、3-Dグラフィックアダプタ、SVGAディスプレイアダプタ、XGAアダプタ、VESAグラフィック標準対応ディスプレイアダプタ、CGAアダプタ、又は Hercules グラフィック標準対応アダプタのいずれかを含んで構成される、

請求項 6 6 記載のネットワークサーバ。

8 1. 前記スーパースケラプロセッサに接続される入力/出力デバイスをさらに備えており、

前記入力/出力デバイスは、ポインティングデバイス、マウス、トラックボール、又はキーボードのいずれかを含んで構成される、

請求項 6 6 記載のネットワークサーバ。

8 2. メモリサブシステムと、

前記メモリサブシステムに接続される命令キャッシュ及びデータキャッシュと、  
前記データキャッシュに接続され、ストアオペレーションの結果を前記メモリサブシステムの目標アドレスに記憶させるストアパイプを備える複数の実行ユニットと、

第 1 命令アドレスによりメモリ内に表される関連命令により復号された O p s

のための配列された複数のオペントリを含むスケジューラと、

前記目標アドレスと前記第1命令アドレスとの第1符号を検出し、前記ストアパイプ及び前記スケジューラに接続され、前記第1符号を検出すると自己修飾コードフォールトをトリッガする第1符号検出手段と、

前記命令キャッシュと前記スケジューラとの間に接続され、各第2命令アドレスによりメモリ内に表される命令のための複数の命令バッファエントリを有する命令デコーダと、

前記目標アドレスと前記第2命令アドレスとの第2符号を検出し、前記ストアパイプ及び前記スケジューラに接続され、前記第2符号を検出すると自己修正コードフォールトをトリッガする第2符号検出手段と、を備える、

装置。