



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0003968
(43) 공개일자 2023년01월06일

(51) 국제특허분류(Int. Cl.)

H01L 21/822 (2006.01) H01L 21/8238 (2006.01)
H01L 27/092 (2006.01) H01L 29/06 (2006.01)
H01L 29/08 (2006.01) H01L 29/423 (2006.01)
H01L 29/66 (2006.01) H01L 29/786 (2006.01)

(52) CPC특허분류

H01L 21/8221 (2013.01)
H01L 21/823807 (2013.01)

(21) 출원번호 10-2021-0085671

(22) 출원일자 2021년06월30일

심사청구일자 2021년06월30일

(71) 출원인

울산과학기술원

울산광역시 울주군 언양읍 유니스트길 50

(72) 발명자

김경록

울산광역시 울주군 언양읍 유니스트길 50

정재원

울산광역시 울주군 언양읍 유니스트길 50

(뒷면에 계속)

(74) 대리인

리앤목특허법인

전체 청구항 수 : 총 12 항

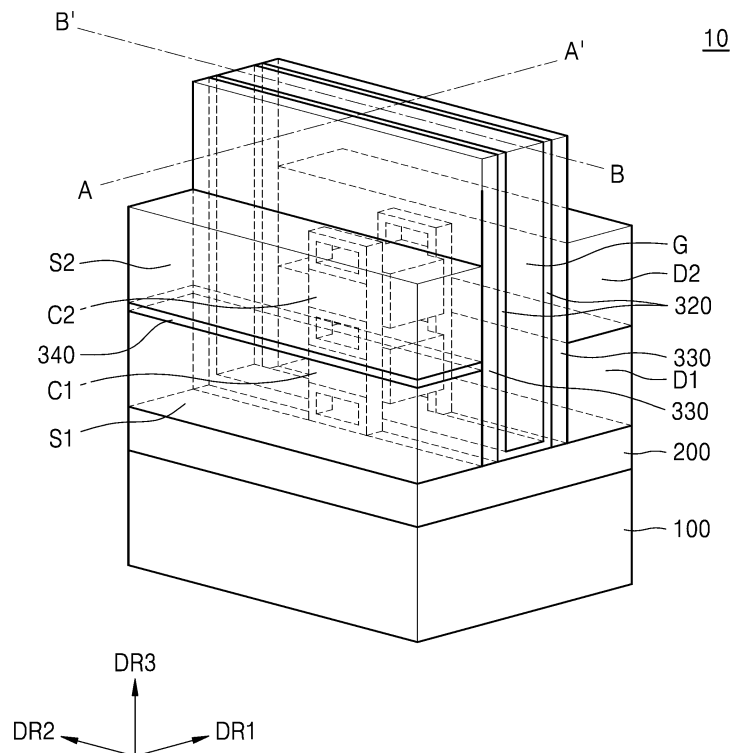
(54) 발명의 명칭 삼진 인버터 및 그 제조방법

(57) 요약

본 발명은 차지하는 면적이 좁고 에너지 효율이 높은 삼진 인버터 및 그 제조방법을 위하여, 상호 이격되어 위치하는 제1소스와 제1드레인과, 상기 제1소스 상에 위치하는 층간절연막과, 상기 층간절연층 상에 위치하는 제2소스와 상기 제1드레인 상에 위치하는 제2드레인과, 상기 제1소스와 상기 제1드레인 사이에 개재되어 상기 제1소스

(뒷면에 계속)

대표도 - 도1



방향의 제1-1단부면이 상기 제1소스에 컨택하고 상기 제1드레인 방향의 제1-2단부면이 상기 제1드레인에 컨택하는 제1채널과, 상기 제1채널로부터 이격되어 상기 제1채널 상부에 위치하고 상기 제2소스와 상기 제2드레인 사이에 개재되어 상기 제2소스 방향의 제2-1단부면이 상기 제2소스에 컨택하고 상기 제2드레인 방향의 제2-2단부면이 상기 제2드레인에 컨택하는 제2채널과, 상기 제1채널의 외측면과 상기 제2채널의 외측면과 상기 제1소스의 상기 제1드레인 방향의 면 중 상기 제1채널과 컨택하는 부분 외의 부분과 상기 제2소스의 상기 제2드레인 방향의 면 중 상기 제2채널과 컨택하는 부분 외의 부분과 상기 제1드레인의 상기 제1소스 방향의 면 중 상기 제1채널과 컨택하는 부분 외의 부분과 상기 제2드레인의 상기 제2소스 방향의 면 중 상기 제2채널과 컨택하는 부분 외의 부분을 덮는 게이트절연막과, 상기 제1소스와 상기 제1드레인 사이 및 상기 제2소스와 상기 제2드레인 사이에 개재되는 게이트전극을 구비하는, 삼진 인버터 및 그 제조방법을 제공한다.

(52) CPC특허분류

김우석

울산광역시 울주군 언양읍 유니스트길 50

H01L 21/823814 (2013.01)

H01L 21/823828 (2013.01)

H01L 21/823857 (2013.01)

H01L 27/092 (2013.01)

H01L 29/0673 (2013.01)

H01L 29/0847 (2013.01)

H01L 29/42392 (2013.01)

H01L 29/66545 (2013.01)

H01L 29/78696 (2013.01)

(72) 발명자

최영은

울산광역시 울주군 언양읍 유니스트길 50

이 발명을 지원한 국가연구개발사업

과제고유번호	1711128659
과제번호	2016M3A7B4909943
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	나노·소재기술개발(R&D)
연구과제명	그래핀 배리스터 기반 삼진로직 아키텍처 연구
기 여 율	1/2
과제수행기관명	울산과학기술원
연구기간	2021.01.01 ~ 2021.07.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711129075
과제번호	2015M3D1A1068062
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	미래소재디스커버리지원(R&D)
연구과제명	멀티레벨 소재 설계 및 응용연구
기 여 율	1/2
과제수행기관명	포항공과대학교
연구기간	2021.01.04 ~ 2021.12.03

명세서

청구범위

청구항 1

상호 이격되어 위치하는 제1소스와 제1드레인;

상기 제1소스 상에 위치하는 층간절연막;

상기 층간절연층 상에 위치하는 제2소스와 상기 제1드레인 상에 위치하는 제2드레인;

상기 제1소스와 상기 제1드레인 사이에 개재되어 상기 제1소스 방향의 제1-1단부면이 상기 제1소스에 접촉하고
상기 제1드레인 방향의 제1-2단부면이 상기 제1드레인에 접촉하는, 제1채널;

상기 제1채널로부터 이격되어 상기 제1채널 상부에 위치하고, 상기 제2소스와 상기 제2드레인 사이에 개재되어
상기 제2소스 방향의 제2-1단부면이 상기 제2소스에 접촉하고 상기 제2드레인 방향의 제2-2단부면이 상기 제2드레인에 접촉하는, 제2채널;

상기 제1채널의 외측면과, 상기 제2채널의 외측면과, 상기 제1소스의 상기 제1드레인 방향의 면 중 상기 제1채널과 접촉하는 부분 외의 부분과, 상기 제2소스의 상기 제2드레인 방향의 면 중 상기 제2채널과 접촉하는 부분 외의 부분과, 상기 제1드레인의 상기 제1소스 방향의 면 중 상기 제1채널과 접촉하는 부분 외의 부분과, 상기 제2드레인의 상기 제2소스 방향의 면 중 상기 제2채널과 접촉하는 부분 외의 부분을 덮는 게이트절연막; 및

상기 제1소스와 상기 제1드레인 사이 및 상기 제2소스와 상기 제2드레인 사이에 개재되는 게이트전극;

을 구비하는, 삼진 인버터.

청구항 2

제1항에 있어서,

상기 제1소스와 상기 제2소스는 상이한 도전형으로 도핑된, 삼진 인버터.

청구항 3

제2항에 있어서,

상기 제1드레인과 상기 제1소스는 상이한 도전형으로 도핑된, 삼진 인버터.

청구항 4

제2항에 있어서,

상기 제1드레인과 상기 제2드레인은 상이한 도전형으로 도핑된, 삼진 인버터.

청구항 5

제1항에 있어서,

상기 게이트전극은 상기 제1채널과 상기 제2채널 사이를 채우는, 삼진 인버터.

청구항 6

제5항에 있어서,

상기 게이트전극은 상기 게이트절연막의 상기 제1채널을 감싸는 부분과 상기 게이트절연막의 상기 제2채널을 감싸는 부분을 감싸는, 삼진 인버터.

청구항 7

제1항에 있어서,

정전류 형성층을 더 구비하고,

상기 제1소스와 상기 제1드레인은 상기 정전류 형성층 상에 위치하는, 삼진 인버터.

청구항 8

기관 상에, 제1회생층, 제1회생층 상의 제1채널, 제1채널 상의 제2회생층, 제2회생층 상의 제2채널 및 제2채널 상의 제3회생층을 포함하며, 제1방향으로 연장된, 게이트구조체를 형성하는 단계;

제1방향과 교차하는 제2방향으로 연장되어 게이트구조체와 교차하는 더미 게이트를 형성하는 단계;

더미 게이트의 일측에 제1채널의 제1-1단부면에 접촉하는 제1소스를 형성하고 더미 게이트의 타측에 제1채널의 제1-2단부면에 접촉하는 제1드레인을 형성하는 단계;

제1소스 상에 층간절연층을 형성하는 단계;

층간절연층 상에 제2채널의 제2-1단부면에 접촉하는 제2소스를 형성하고 제1드레인 상에 제2채널의 제2-2단부면에 접촉하는 제2드레인을 형성하는 단계;

더미 게이트를 제거하는 단계;

제1회생층, 제2회생층 및 제3회생층을 제거하는 단계;

제1채널의 외측면과, 제2채널의 외측면과, 제1소스의 제1드레인 방향의 면 중 제1채널과 접촉하는 부분 외의 부분과, 제2소스의 제2드레인 방향의 면 중 제2채널과 접촉하는 부분 외의 부분과, 제1드레인의 제1소스 방향의 면 중 제1채널과 접촉하는 부분 외의 부분과, 제2드레인의 제2소스 방향의 면 중 제2채널과 접촉하는 부분 외의 부분을 덮는 게이트절연막을 형성하는 단계; 및

제1소스와 제1드레인 및 제2소스와 제2드레인 사이에 개재되는 게이트전극을 형성하는 단계;

를 포함하는, 삼진 인버터 제조방법.

청구항 9

제8항에 있어서,

제1소스와 제1드레인을 상이한 도전형으로 도핑하는 단계를 더 포함하는, 삼진 인버터 제조방법.

청구항 10

제9항에 있어서,

제2소스를 제1소스와 상이한 도전형으로 도핑하고, 제2드레인을 제1드레인과 상이한 도전형으로 도핑하는 단계를 더 포함하는, 삼진 인버터 제조방법.

청구항 11

제8항에 있어서,

상기 게이트전극을 형성하는 단계는, 제1소스와 제1드레인 사이 및 제2소스와 제2드레인 사이의 더미 게이트가 제거된 공간을 채우도록 게이트전극을 형성하는 단계인, 삼진 인버터 제조방법.

청구항 12

제8항에 있어서,

상기 게이트전극을 형성하는 단계는, 게이트절연막의 제1채널을 감싸는 부분과 게이트절연막의 제2채널을 감싸는 부분을 감싸도록 게이트전극을 형성하는 단계인, 삼진 인버터 제조방법.

발명의 설명

기술 분야

본 발명의 실시예들은 삼진 인버터 및 그 제조방법에 관한 것으로서, 더 상세하게는 차지하는 면적이 좁고 에너지

지 효율이 높은 삼진 인버터 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 종래 2진수 논리 기반의 디지털 시스템은 많은 양의 데이터를 빠르게 처리하기 위하여 CMOS 소자의 소형화를 통한 정보 밀도(bit density)를 높이는데 주력하였다. 하지만 최근 30 nm 이하로 집적되면서 양자적 터널링 효과에 의한 누설전류와 전력 소비의 증가로 인해 정보 밀도를 높이는데 한계가 있었다. 이러한 정보 밀도의 한계를 극복하기 위하여 다중 값 논리(multi-valued logic) 중 하나인 3진수 논리소자 및 회로에 대한 관심이 급증하고 있으며, 특히 3진수 논리 구현을 위한 기본 단위로서 표준 3진수 인버터(STI)에 대한 개발이 활발하게 진행되어 오고 있다. 하지만 하나의 전압원에 두 개의 CMOS를 사용하는 기존의 2진수 인버터와 달리, 표준 3진수 인버터에 관한 종래 기술들은 보다 많은 전압원을 필요로 하거나 복잡한 회로 구성이 요구되거나 차지하는 면적이 넓다는 문제점이 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 차지하는 면적이 좁고 에너지 효율이 높은 삼진 인버터 및 그 제조방법을 제공하는 것을 목적으로 한다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

과제의 해결 수단

[0004] 본 발명의 일 관점에 따르면, 상호 이격되어 위치하는 제1소스와 제1드레인과, 상기 제1소스 상에 위치하는 층간절연막과, 상기 층간절연층 상에 위치하는 제2소스와 상기 제1드레인 상에 위치하는 제2드레인과, 상기 제1소스와 상기 제1드레인 사이에 개재되어 상기 제1소스 방향의 제1-1단부면이 상기 제1소스에 콘택하고 상기 제1드레인 방향의 제1-2단부면이 상기 제1드레인에 콘택하는 제1채널과, 상기 제1채널로부터 이격되어 상기 제1채널 상부에 위치하고 상기 제2소스와 상기 제2드레인 사이에 개재되어 상기 제2소스 방향의 제2-1단부면이 상기 제2소스에 콘택하고 상기 제2드레인 방향의 제2-2단부면이 상기 제2드레인에 콘택하는 제2채널과, 상기 제1채널의 외측면과 상기 제2채널의 외측면과 상기 제1소스의 상기 제1드레인 방향의 면 중 상기 제1채널과 콘택하는 부분 외의 부분과 상기 제2소스의 상기 제2드레인 방향의 면 중 상기 제2채널과 콘택하는 부분 외의 부분과 상기 제1드레인의 상기 제1소스 방향의 면 중 상기 제1채널과 콘택하는 부분 외의 부분과 상기 제2드레인의 상기 제2소스 방향의 면 중 상기 제2채널과 콘택하는 부분 외의 부분을 덮는 게이트절연막과, 상기 제1소스와 상기 제1드레인 사이 및 상기 제2소스와 상기 제2드레인 사이에 개재되는 게이트전극을 구비하는, 삼진 인버터가 제공된다.

[0005] 상기 제1소스와 상기 제2소스는 상이한 도전형으로 도핑될 수 있다.

[0006] 상기 제1드레인과 상기 제1소스는 상이한 도전형으로 도핑될 수 있다.

[0007] 상기 제1드레인과 상기 제2드레인은 상이한 도전형으로 도핑될 수 있다.

[0008] 상기 게이트전극은 상기 제1채널과 상기 제2채널 사이를 채울 수 있다.

[0009] 상기 게이트전극은 상기 게이트절연막의 상기 제1채널을 감싸는 부분과 상기 게이트절연막의 상기 제2채널을 감싸는 부분을 감쌀 수 있다.

[0010] 정전류 형성층을 더 구비하고, 상기 제1소스와 상기 제1드레인은 상기 정전류 형성층 상에 위치할 수 있다.

[0011] 본 발명의 다른 일 관점에 따르면, 기판 상에 제1회생층과 제1회생층 상의 제1채널과 제1채널 상의 제2회생층과 제2회생층 상의 제2채널 및 제2채널 상의 제3회생층을 포함하며 제1방향으로 연장된 게이트구조체를 형성하는 단계와, 제1방향과 교차하는 제2방향으로 연장되어 게이트구조체와 교차하는 더미 게이트를 형성하는 단계와, 더미 게이트의 일측에 제1채널의 제1-1단부면에 콘택하는 제1소스를 형성하고 더미 게이트의 타측에 제1채널의 제1-2단부면에 콘택하는 제1드레인을 형성하는 단계와, 제1소스 상에 층간절연층을 형성하는 단계와, 층간절연층 상에 제2채널의 제2-1단부면에 콘택하는 제2소스를 형성하고 제1드레인 상에 제2채널의 제2-2단부면에 콘택하는 제2드레인을 형성하는 단계와, 더미 게이트를 제거하는 단계와, 제1회생층, 제2회생층 및 제3회생층을 제거하는 단계와, 제1채널의 외측면과 제2채널의 외측면과 제1소스의 제1드레인 방향의 면 중 제1채널과 콘택하는

부분 외의 부분과 제2소스의 제2드레인 방향의 면 중 제2채널과 접촉하는 부분 외의 부분과 제1드레인의 제1소스 방향의 면 중 제1채널과 접촉하는 부분 외의 부분과 제2드레인의 제2소스 방향의 면 중 제2채널과 접촉하는 부분 외의 부분을 덮는 게이트절연막을 형성하는 단계와, 제1소스와 제1드레인 및 제2소스와 제2드레인 사이에 개재되는 게이트전극을 형성하는 단계를 포함하는, 삼진 인버터 제조방법이 제공된다.

[0012] 제1소스와 제1드레인을 상이한 도전형으로 도핑하는 단계를 더 포함할 수 있다.

[0013] 제2소스를 제1소스와 상이한 도전형으로 도핑하고, 제2드레인을 제1드레인과 상이한 도전형으로 도핑하는 단계를 더 포함할 수 있다.

[0014] 상기 게이트전극을 형성하는 단계는, 제1소스와 제1드레인 사이 및 제2소스와 제2드레인 사이의 더미 게이트가 제거된 공간을 채우도록 게이트전극을 형성하는 단계일 수 있다.

[0015] 상기 게이트전극을 형성하는 단계는, 게이트절연막의 제1채널을 감싸는 부분과 게이트절연막의 제2채널을 감싸는 부분을 감싸도록 게이트전극을 형성하는 단계일 수 있다.

[0016] 전술한 것 외의 다른 측면, 특징, 이점은 이하의 발명을 실시하기 위한 구체적인 내용, 청구범위 및 도면으로부터 명확해질 것이다.

발명의 효과

[0017] 상기한 바와 같이 이루어진 본 발명의 일 실시예에 따르면, 차지하는 면적이 좁고 에너지 효율이 높은 삼진 인버터 및 그 제조방법을 구현할 수 있다. 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

[0018] 도 1은 본 발명의 일 실시예에 따른 삼진 인버터를 개략적으로 도시하는 사시도이다.

도 2는 도 1의 A-A' 선을 따라 취한 단면을 개략적으로 도시하는 단면도이다.

도 3은 도 1의 B-B' 선을 따라 취한 단면을 개략적으로 도시하는 단면도이다.

도 4는 도 1의 삼진 인버터의 등가 회로도이다.

도 5는 도 1의 삼진 인버터와 종래의 이진(binary) 인버터의 게이트 전압-드레인 전류 그래프이다.

도 6은 도 1의 삼진 인버터와 종래의 이진 인버터의 입력 전압(V_{IN})-출력 전압(V_{OUT}) 그래프이다.

도 7은 본 발명의 일 실시예에 따른 삼진 인버터의 전압의 입출력 특성을 나타낸 그래프이다.

도 8 내지 도 23은 도 1의 삼진 인버터의 제조방법을 설명하기 위한 사시도들 또는 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0019] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

[0020] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0021] 이하의 실시예에서 층, 막, 영역, 판 등의 각종 구성요소가 다른 구성요소 "상에" 있다고 할 때, 이는 다른 구성요소 "바로 상에" 있는 경우뿐 아니라 그 사이에 다른 구성요소가 개재된 경우도 포함한다. 또한 설명의 편의를 위하여 도면에서는 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0022] 이하의 실시예에서, x축, y축 및 z축은 직교 좌표계 상의 세 축으로 한정되지 않고, 이를 포함하는 넓은 의미로 해석될 수 있다. 예를 들어, x축, y축 및 z축은 서로 직교할 수도 있지만, 서로 직교하지 않는 서로 다른 방향을 지칭할 수도 있다.

[0023] 도 1은 본 발명의 일 실시예에 따른 삼진 인버터를 개략적으로 도시하는 사시도이고, 도 2는 도 1의 A-A' 선을

따라 취한 단면을 개략적으로 도시하는 단면도이며, 도 3은 도 1의 B-B' 선을 따라 취한 단면을 개략적으로 도시하는 단면도이다.

- [0024] 본 실시예에 따른 삼진 인버터는 기판(100) 상에 형성될 수 있다. 기판(100)은 반도체 기판일 수 있다. 예컨대, 기판(100)은 실리콘(Si), Ge, SiGe, InGaAs 또는 InAs을 포함할 수 있다. 물론 본 발명이 이에 한정되는 것은 아니며, 기판(100)은 다른 다양한 반도체 물질을 포함할 수 있다. 기판(100)은 제1도전형을 가질 수 있다. 제1도전형은 n형 또는 p형일 수 있다. 기판(100)의 도전형이 n형인 경우, 기판(100)은 V족 원소(예컨대, P 또는 As)를 불순물로 포함할 수 있다. 기판(100)의 도전형이 p형인 경우, 기판(100)은 III족 원소(예컨대 B 또는 In)를 불순물로 포함할 수 있다.
- [0025] 필요에 따라, 기판(100) 상에는 정전류 형성층(200)이 형성될 수 있다. 정전류 형성층(200)은 에피택시 성장(Epitaxy Growth) 공정에 형성된 에피택시얼 층(Epitaxial Layer) 일 수 있다. 이러한 정전류 형성층(200)은 실리콘(Si)을 포함할 수 있다. 정전류 형성층(200)은 제1도전형을 가질 수 있다. 정전류 형성층(200)의 도전형이 n형인 경우, 정전류 형성층(200)은 V족 원소(예컨대 P 또는 As)를 불순물로 포함할 수 있다. 정전류 형성층(200)의 도전형이 p형인 경우, 정전류 형성층(200)은 III족 원소(예컨대 B 또는 In)를 불순물로 포함할 수 있다. 정전류 형성층(200)의 도핑 농도는 기판(100)의 도핑 농도보다 높을 수 있다. 예컨대, 정전류 형성층(200)의 도핑 농도는 $3 \times 10^{18} \text{ cm}^{-3}$ 이상일 수 있다.
- [0026] 정전류 형성층(200) 상에 제1소스(S1)와 제1드레인(D1)이 상호 이격되어 위치할 수 있다. 도 1에서는 제1소스(S1)와 제1드레인(D1)이 기판(100)의 상면에 평행한 제1방향(DR1)을 따라 상호 이격되어 위치하는 것으로 도시하고 있다. 제1소스(S1)와 제1드레인(D1)은 도핑된 반도체 물질을 포함할 수 있다. 예컨대, 제1소스(S1)와 제1드레인(D1)은 도핑된 폴리 실리콘(doped-poly Si)을 포함할 수 있다. 제1소스(S1)와 제1드레인(D1)은 에피택시얼 층 일 수 있다.
- [0027] 제1소스(S1)와 제1드레인(D1)은 상이한 도전형으로 도핑되어 상호 상이한 도전형을 가질 수 있다. 예컨대 제1소스(S1)는 제1도전형을 갖고, 제1드레인(D1)은 제2도전형을 가질 수 있다. 제1도전형이 p형인 경우, 제2도전형은 n형일 수 있다. 예컨대 제1소스(S1)는 III족 원소(예컨대 B 또는 In)를 불순물로 포함하고, 제1드레인(D1)은 V족 원소(예컨대 P 또는 As)를 불순물로 포함할 수 있다.
- [0028] 제1소스(S1)와 제1드레인(D1)과 정전류 형성층(200)은 서로 전기적으로 연결될 수 있다. 예컨대, 제1소스(S1)와 제1드레인(D1) 각각은 정전류 형성층(200)과 서로 직접 접할 수 있다. 제1소스(S1)와 제1드레인(D1)과 정전류 형성층(200) 사이에 전기장이 형성될 수 있다. 이 전기장의 세기는 예컨대 10^6 V/cm 이상일 수 있다.
- [0029] 정전류 형성층(200)은 제1소스(S1)와 제1드레인(D1) 중 어느 하나와 기판(100) 사이에 정전류를 생성할 수 있다. 정전류는 제1드레인(D1)과 기판(100) 사이를 흐르는 BTBT(Band-To-Band Tunneling) 전류일 수 있다. 이러한 정전류는 게이트 전극(G)에 인가되는 게이트 전압으로부터 독립적일 수 있다. 즉, 정전류는 게이트 전압과 무관하게 흐를 수 있다. 제1소스(S1)가 p형이고 제1드레인(D1)이 n형이어서 제1소스(S1), 제1드레인(D1) 및 게이트전극(G)이 NMOS 트랜지스터를 구성할 시, 정전류는 제1드레인(D)에서 정전류 형성층(200)을 경유하여 기판(100)으로 흐를 수 있다. 만일 제1소스(S1), 제1드레인(D1) 및 게이트전극(G)이 PMOS 트랜지스터를 구성한다면, 정전류는 기판(100)으로부터 정전류 형성층(200)을 경유하여 제1드레인(D1)으로 흐를 수 있다.
- [0030] 제1소스(S1) 상에는 층간절연막(340)이 위치할 수 있다. 층간절연막(340)은 다양한 절연물질을 포함할 수 있는데, 예컨대 실리콘옥사이드, 실리콘나이트라이드 또는 실리콘옥시나이트라이드일 수 있고, 알루미늄옥사이드 등과 같은 금속산화물일 수도 있다. 층간절연막(340)은 단일층 구조를 갖거나 다층구조를 가질 수 있다.
- [0031] 층간절연막(340) 상에는 제2소스(S2)가 위치하고, 제1드레인(D1) 상에는 제2드레인(D2)이 위치한다. 이러한 제2소스(S2)와 제2드레인(D2)은 상호 이격되어 배치될 수 있다.
- [0032] 제2소스(S2)와 제2드레인(D2)은 상이한 도전형으로 도핑되어 상호 상이한 도전형을 가질 수 있다. 또한 제2소스(S2)는 제1소스(S1)와 상이한 도전형으로 도핑되어 상호 상이한 도전형을 가질 수 있다. 제2드레인(D2)은 제1드레인(D1)과 상이한 도전형으로 도핑되어 상호 상이한 도전형을 가질 수 있다. 예컨대 제2소스(S2)는 제2도전형을 갖고, 제2드레인(D2)은 제1도전형을 가질 수 있다. 제1도전형이 p형인 경우, 제2도전형은 n형일 수 있다. 예컨대 제2소스(S2)는 V족 원소(예컨대 P 또는 As)를 불순물로 포함하고, 제2드레인(D2)은 III족 원소(예컨대 B 또는 In)를 불순물로 포함할 수 있다.
- [0033] 전술한 것과 같이 기판(100) 상에는 정전류 형성층(200)이 형성될 수 있다. 이 경우 제2드레인(D2) 상에도 정전

류 형성층(200)과 상이한 도전형의 추가 정전류 형성층이 형성될 수 있다.

- [0034] 정전류 형성층(200) 상에 게이트 전극(G)이 위치할 수 있다. 게이트 전극(G)은 정전류 형성층(200)의 상면(200u)에 평행한 제2방향(DR2)을 따라 연장된 형상을 가질 수 있다. 또한, 게이트 전극(G)은 정전류 형성층(200)의 상면(200u)에 수직인 제3방향(DR3)을 따라 연장될 수 있다. 게이트 전극(G)은 제1소스(S1)와 제1드레인(D1) 사이 및 제2소스(S2)와 제2드레인(D2) 사이에 개재될 수 있다. 이때, 게이트 전극(G)은 제1방향(DR1)에 있어서 제1소스(S1), 제2소스(S2), 제1드레인(D1) 및 제2드레인(D2)으로부터 이격될 수 있다. 게이트 전극(G)은 전기 전도성 물질을 포함할 수 있다. 예컨대, 게이트 전극(G)은 도핑된 반도체 물질, 금속, 합금 또는 이들의 조합을 포함할 수 있다. 예컨대, 게이트 전극(G)은 도핑된 폴리실리콘(doped-polysilicon), 텅스텐(W), 티타늄 나이트라이드(TiN) 또는 이들의 조합을 포함할 수 있다.
- [0035] 게이트 전극(G)이 제1방향(DR1)에 있어서 제1소스(S1), 제2소스(S2), 제1드레인(D1) 및 제2드레인(D2)으로부터 이격되도록 하기 위해, 제1소스(S1) 및 제2소스(S2)와 게이트전극(G) 사이에 게이트 스페이서(330)가 개재되고, 제1드레인(D1) 및 제2드레인(D2)과 게이트전극(G) 사이에도 게이트 스페이서(330)가 개재될 수 있다. 이와 같은 쌍의 게이트 스페이서(330)들은 제1방향(DR1)에 있어서 게이트 전극(G)의 양측에 위치할 수 있다.
- [0036] 게이트전극(G)의 제1방향(DR1)의 반대방향 일측의 게이트 스페이서(330)는 제1소스(S1) 및 제2소스(S2)와 접촉할 수 있다. 그리고 게이트전극(G)의 제1방향(DR1) 타측의 게이트 스페이서(330)는 제1드레인(D1) 및 제2드레인(D2)과 접촉할 수 있다. 한 쌍의 게이트 스페이서(330)들 각각은 정전류 형성층(200)의 상면(200u)에 수직인 제3방향(DR3)을 따라 연장될 수 있다. 예컨대, 정전류 형성층(200)의 상면(200u)으로부터 한 쌍의 게이트 스페이서(330)들 각각의 제3방향(DR3)으로의 상면까지의 거리는, 정전류 형성층(200)의 상면(200u)으로부터 게이트 전극(G)의 제3방향(DR3)으로의 상면까지의 거리와 같을 수 있다.
- [0037] 이러한 게이트 스페이서(330)는 다양한 절연물질을 포함할 수 있다. 게이트 스페이서(330)는 예컨대 실리콘옥사이드, 실리콘나이트라이드 또는 실리콘옥시나이트라이드를 포함할 수 있고, 알루미늄옥사이드 등과 같은 금속산화물을 포함할 수도 있다.
- [0038] 물론 경우에 따라 이러한 게이트 스페이서(330)는 생략될 수 있다.
- [0039] 제1소스(S1)와 제1드레인(D1) 사이에는 제1채널(C1)이 개재될 수 있다. 제1채널(C1)은 제1방향(DR1)으로 연장되며 게이트 전극(G)을 관통하는 형상을 가질 수 있다. 제1채널(C1)의 제1소스(S1) 방향(-DR1)의 제1-1단부면은 제1소스(S1)에 접촉하고, 제1채널(C1)의 제1드레인(D1) 방향(+DR1)의 제1-2단부면은 제1드레인(D1)에 접촉한다. 도 1에서는 제1소스(S1)와 제1드레인(D1) 사이에 한 개의 제1채널(C1)이 개재되는 것으로 도시하고 있지만, 본 발명이 이에 한정되는 것은 아니다. 예컨대 제1소스(S1)와 제1드레인(D1) 사이에는 정전류 형성층(200)의 상면(200u)에 수직인 제3방향(DR3)으로 상호 이격된 복수개의 제1채널(C1)들이 배치될 수 있다.
- [0040] 제2소스(S2)와 제2드레인(D2) 사이에는 제2채널(C2)이 개재될 수 있다. 제2채널(C2)은 제1방향(DR1)으로 연장되며 게이트 전극(G)을 관통하는 형상을 가질 수 있다. 제2채널(C2)의 제2소스(S2) 방향(-DR1)의 제2-1단부면은 제2소스(S2)에 접촉하고, 제2채널(C2)의 제2드레인(D2) 방향(+DR1)의 제2-2단부면은 제2드레인(D2)에 접촉한다. 이러한 제2채널(C2)은 제1채널(C1)로부터 이격되어 제1채널(C1) 상부에 위치할 수 있다. 도 1에서는 제2소스(S2)와 제2드레인(D2) 사이에 한 개의 제2채널(C2)이 개재되는 것으로 도시하고 있지만, 본 발명이 이에 한정되는 것은 아니다. 예컨대 제2소스(S2)와 제2드레인(D2) 사이에는 정전류 형성층(200)의 상면(200u)에 수직인 제3방향(DR3)으로 상호 이격된 복수개의 제2채널(C2)들이 배치될 수 있다.
- [0041] 제1채널(C1)과 제2채널(C2)이 제1방향(DR1)으로 연장되며 게이트 전극(G)을 관통하는 형상을 갖는다는 것은, 게이트 전극(G)이 제1채널(C1)과 제2채널(C2) 사이를 채우는 것으로 이해될 수 있다. 또한, 게이트 전극(G)이 후술하는 게이트 절연막(320)의 제1채널(C1)을 감싸는 부분과 제2채널(C2)을 감싸는 부분을 감싸는 것으로 이해될 수 있다.
- [0042] 제1채널(C1)과 제2채널(C2)은 반도체 물질을 포함할 수 있다. 예컨대, 제1채널(C1)과 제2채널(C2)은 실리콘(Si)을 포함할 수 있다. 제1채널(C1)은 제1도전형(예를 들어, p형)을 갖고, 제2채널(C2)은 제2도전형(예를 들어, n형)을 가질 수 있다. 예컨대, 제1도전형은 p형이고 제2도전형은 n형일 수 있다. 이 경우 제1채널(C1)은 III족 원소(예를 들어, B, In)를 불순물로 포함하고, 제2채널(C2)은 V족 원소(예를 들어, P, As)를 불순물로 포함할 수 있다.
- [0043] 게이트 전극(G)의 표면 상에는 게이트 절연막(320)이 위치할 수 있다. 게이트 절연막(320)은 게이트 전극(G)과 제1채널(C1) 사이, 게이트 전극(G)과 제2채널(C2) 사이, 게이트 전극(G)과 게이트 전극(G)의 일측에 위치한 게이트 스페이서(330) 사이, 게이트 전극(G)과 게이트 전극(G)의 타측에 위치한 게이트 스페이서(330) 사이, 게이트

트 전극(G)과 제1소스(S1) 사이, 게이트 전극(G)과 제2소스(S2) 사이, 게이트 전극(G)과 제1드레인(D1) 사이, 게이트 전극(G)과 제2드레인(D2) 사이, 그리고 게이트 전극(G)과 정전류 형성층(200) 사이에 개재될 수 있다.

[0044] 만일 게이트 스페이서(330)가 존재하지 않는다면, 게이트 절연막(320)은 제1채널(C1)의 외측면과, 제2채널(C2)의 외측면과, 제1소스(S1)의 제1드레인(D1) 방향(DR1)의 면 중 제1채널(C1)과 접촉하는 부분 외의 부분과, 제2소스(S2)의 제2드레인(D2) 방향(DR1)의 면 중 제2채널(C2)과 접촉하는 부분 외의 부분과, 제1드레인(D1)의 제1소스(S1) 방향(-DR1)의 면 중 제1채널(C1)과 접촉하는 부분 외의 부분과, 제2드레인(D2)의 제2소스(S2) 방향(-DR1)의 면 중 제2채널(C2)과 접촉하는 부분 외의 부분과, 정전류 형성층(200)의 상면 중 게이트 전극(G)에 대응하는 부분 등을 덮을 수 있다.

[0045] 이처럼 게이트 절연막(320)은 제1채널(C1)의 외측면과 제2채널(C2)의 외측면을 둘러싸서, 게이트 전극(G)을 제1채널(C1)과 제2채널(C2)로부터 전기적으로 절연시킬 수 있다. 그리고 게이트 절연막(320)은 게이트 전극(G)을 게이트 스페이서(330)들, 제1소스(S1), 제2소스(S2), 제1드레인(D1), 제2드레인(D2) 및 정전류 형성층(200)으로부터 전기적으로 절연시킬 수 있다. 이를 위해 게이트 절연막(320)은 절연물질을 포함할 수 있다. 예컨대, 게이트 절연막(320)은 실리콘옥사이드, 실리콘나이트라이드, 실리콘옥시나이트라이드 등을 포함할 수 있다.

[0046] 이러한 게이트 절연막(320)은 고유전율(high-k dielectric)을 갖는 절연물질을 포함할 수도 있다. 예컨대 게이트 절연막(320)은 약 10 내지 25의 유전 상수를 갖는 물질을 포함할 수 있다. 예컨대, 게이트 절연막(320)은 하프늄 옥사이드(HfO), 하프늄 실리콘 옥사이드(HfSiO), 하프늄 옥시나이트라이드(HfON), 하프늄 실리콘 옥시나이트라이드(HfSiON), 란타늄 옥사이드(LaO), 란타늄 알루미늄 옥사이드(LaAlO), 지르코늄 옥사이드(ZrO), 지르코늄 실리콘 옥사이드(ZrSiO), 지르코늄 옥시나이트라이드(ZrON), 지르코늄 실리콘 옥시나이트라이드(ZrSiON), 탄탈륨 옥사이드(TaO), 티타늄 옥사이드(TiO), 바륨 스트론튬 티타늄 옥사이드(BaSrTiO), 바륨 티타늄 옥사이드(BaTiO), 스트론튬 티타늄 옥사이드(SrTiO), 이트륨 옥사이드(YO), 알루미늄 옥사이드(AlO) 및 납 스칸듐 탄탈륨 옥사이드(PbScTaO) 중에서 선택되는 적어도 하나의 물질을 포함할 수 있다.

[0047] 이와 같은 본 실시예에 다른 삼진 인버터의 경우, 제1소스(S1), 제1드레인(D1), 제1채널(C1) 및 게이트 전극(G)이 형성하는 TFET와, 제2소스(S2), 제2드레인(D2), 제2채널(C2) 및 게이트 전극(G)이 형성하는 TFET가 수직으로 배치되기에, 좁은 면적을 차지하면서도 에너지 효율성이 높은 삼진 인버터를 구현할 수 있다. 또한 출력단 자라 할 수 있는 제1드레인(D1)과 제2드레인(D2)이 직접 컨택함으로써, 제조공정을 단순화 하면서도 이들 사이의 전기적 연결이 확실하게 이루어지도록 할 수 있다. 이때 제1소스(S1), 제1드레인(D1), 제1채널(C1) 및 게이트 전극(G)이 형성하는 TFET는 n형 TFET이고, 제2소스(S2), 제2드레인(D2), 제2채널(C2) 및 게이트 전극(G)이 형성하는 TFET는 p형 TFET일 수 있다.

[0048] 도 4는 도 1의 삼진 인버터(10)의 등가 회로도이다. 도 4에 도시된 것과 같이, 본 실시예에 따른 삼진 인버터(10)는 NMOS 트랜지스터(이하, 'n형 TFET'라 함) 및 PMOS 트랜지스터(이하, 'p형 TFET'라 함)를 포함할 수 있다. n형 TFET는 도 1을 참조하여 전술한 제1소스(S1), 제1드레인(D1), 제1채널(C1) 및 게이트전극(G)에 대응하고, p형 TFET는 도 1을 참조하여 전술한 제2소스(S2), 제2드레인(D2), 제2채널(C2) 및 게이트전극(G)에 대응할 수 있다.

[0049] 이러한 삼진 인버터(10)가 구비하는 n형 TFET의 소스 및 기판에 접지 전압이 인가될 수 있다. 즉, 도 1의 제1소스(S1)에는 접지 전압이 인가될 수 있다. 설명의 간결함을 위해, 이하에서 접지 전압은 0 볼트(V)인 것으로 가정한다. p형 TFET의 소스에 구동 전압(V_{DD})이 인가될 수 있다. 즉, 도 1의 제2소스(S2)에는 구동 전압(V_{DD})이 인가될 수 있다. n형 TFET의 게이트 전극과 p형 TFET의 게이트 전극의 각각에는 입력 전압(V_{IN})이 인가될 수 있다. 즉, 도 1의 게이트 전극(G)에는 입력 전압(V_{IN})이 인가될 수 있다.

[0050] n형 TFET의 드레인은 p형 TFET의 드레인과 전기적으로 연결되어, 동일한 전압을 가질 수 있다. 도 1에서는 상하로 적층된 제1드레인(D1)과 제2드레인(D2)이 서로 컨택하고 있는 것으로 도시하고 있다. 도 1에서 하부에 위치하는 제1드레인(D1)과 이에 컨택하며 그 상부에 위치하는 제2드레인(D2)의 전압은 삼진 인버터(10)의 출력 전압(V_{OUT})일 수 있다.

[0051] n형 TFET의 드레인, 즉 제1드레인(D1)에서 기판(100)으로 정전류가 흐를 수 있다. 이 정전류는 입력 전압(V_{IN})으로부터 독립적일 수 있다. 전술한 것과 같이 제2드레인(D2) 상에도 정전류 형성층(200)과 상이한 도전형의 추가 정전류 형성층이 형성된다면, p형 TFT의 드레인, 즉 제2드레인(D2)에서 추가 정전류 형성층으로 정전류가 흐를 수 있다. 이 정전류 역시 입력 전압(V_{IN})으로부터 독립적일 수 있다.

- [0052] 일 예에서, n형 TFT의 채널 전류가 p형 TFET의 채널 전류보다 우세하도록 게이트 전극(G)에 제1입력전압이 인가될 수 있다. 이때, 삼진 인버터(10)의 출력 전압(V_{OUT})은 제1전압일 수 있다.
- [0053] 다른 예에서, p형 TFT의 채널 전류가 n형 TFET의 채널 전류보다 우세하도록 게이트 전극(G)에 제2입력전압이 인가될 수 있다. 이때, 삼진 인버터(10)의 출력 전압은 제1전압보다 큰 제2전압일 수 있다.
- [0054] 또 다른 예에서, n형 TFET의 채널 전류와 p형 TFET의 채널 전류보다 우세한 정전류를 갖도록, 게이트 전극(G)에 제3입력전압이 인가될 수 있다. 이때, 삼진 인버터(10)의 출력 전압은 제1전압과 제2전압 사이의 제3전압일 수 있다.
- [0055] 제1소스(S_1), 제1드레인(D_1), 제1채널(C_1) 및 게이트 전극(G)으로 형성되는 n형 TFET의 드레인, 즉 제1드레인(D_1)에서 기판(100)으로 흐르는 정전류는, 게이트 전극(G)에 인가되는 게이트 전압과 무관하게 흐를 수 있다. 삼진 인버터(10) 내의 전류는 제2드레인(D_2)과 제1드레인(D_1)을 거쳐 기판(100)으로 흐를 수 있다. 제2소스(S_2)에 인가되는 구동 전압(V_{DD})은 제2소스(S_2)와 제2드레인(D_2) 사이의 저항 및 제1소스(S_1)와 제1드레인(D_1) 사이의 저항에 분배될 수 있다. 출력 전압(V_{OUT})은 제1소스(S_1)와 제1드레인(D_1) 사이의 저항에 인가된 전압일 수 있다. 출력 전압(V_{OUT})은 구동 전압(V_{DD})과 0 V 사이의 값을 가질 수 있다.
- [0056] 출력 전압(V_{OUT})은 입력 전압(V_{IN})에 따라 0 V('0' 상태), 구동 전압(V_{DD})과 0 V 사이의 전압('1' 상태), 또는 구동 전압(V_{DD})('2' 상태)을 가질 수 있다. 즉, 본 실시예에 따른 삼진 인버터(10)는 입력 전압(V_{IN})에 따라 3가지 상태를 가질 수 있다.
- [0057] 도 5는 도 1의 삼진 인버터와 종래의 이진(binary) 인버터의 게이트 전압-드레인 전류 그래프이다. 구체적으로, 도 5는 이진 인버터의 게이트 전압-드레인 전류 그래프(IGR1, IGR2)들 및 본 실시예에 따른 삼진 인버터의 게이트 전압-드레인 전류 그래프(IGR3, IGR4, IGR5)들을 보여주고 있다. 이진 인버터의 드레인 전류는 게이트 전압과 무관하게 흐르는 정전류 성분을 갖지 않았다. 본 실시예에 따른 삼진 인버터의 드레인 전류는 게이트 전압과 무관하게 흐르는 정전류 성분을 갖는다. 예컨대, 본 실시예에 따른 삼진 인버터의 경우, 오프(Off) 상태일 때에도 정전류가 흐르는 것을 확인할 수 있다.
- [0058] 도 6은 도 1의 삼진 인버터와 종래의 이진 인버터의 입력 전압(V_{in})-출력 전압(V_{out}) 그래프이다. 도 6에서 확인할 수 있는 것과 같이, 본 실시예에 따른 삼진 인버터 및 이진 인버터의 구동 전압(V_{DD})은 1.0 V, 접지 전압(GND)은 0 V이다. 삼진 인버터 및 이진 인버터의 입력 전압(V_{IN})은 0 V 내지 1.0 V이다.
- [0059] 이진 인버터의 경우, 입력 전압이 0 V에서 1 V로 변할 때, 0.5 V의 입력 전압 부근에서 출력 전압(V_{OUT})이 1 V에서 0 V로 급격히 감소한다. 즉, 이진 인버터는 두 가지 상태들(예컨대, '0' 상태 및 '1' 상태)을 갖는다.
- [0060] 본 실시예에 따른 삼진 인버터의 경우, 입력 전압이 0 V에서 1 V로 변할 때, 출력 전압(V_{OUT})은 1 V에서 0.5 V로 급격히 감소하여 0.5 V를 유지하다가, 0.5 V에서 0 V로 한번 더 급격히 감소하였다. 즉, 본 실시예에 따른 삼진 인버터는 세 가지 상태들(예컨대 '0' 상태, '1' 상태 및 '2' 상태)을 갖는 것을 확인할 수 있다.
- [0061] 도 7은 본 발명의 일 실시예에 따른 삼진 인버터의 전압의 입출력 특성을 나타낸 그래프이다. 도 7은 전술한 도 6과 동일한 맥락의 그래프이므로, 도 6에서 설명한 것과 중복되는 내용은 설명을 생략하고, 특징이 되는 점을 위주로 설명한다.
- [0062] 본 실시예에 따른 삼진 인버터는 입력 전압이 0 V에서 0.3 V로 변할 때, 출력 전압(V_{OUT})은 1 V에서 0.15 V로 급격히 감소하여 0.15 V를 유지하다가, 0.15 V에서 0 V로 한번 더 급격히 감소하였다. 즉, 본 실시예에 따른 삼진 인버터는 세 가지 상태들(예를 들어, '0' 상태, '1' 상태, 및 '2' 상태)을 가지는 것을 확인할 수 있다. 다만, 도 6을 참조하여 설명한 실시예의 삼진 인버터와 다른 점은, 입력 전압(V_{IN})과 출력 전압(V_{OUT})의 범위가 0 V 내지 1 V에서 0 V 내지 0.3 V로 작아졌으며, 이에 따라 삼진 인버터의 동작 전압 스케일링 능력이 향상된 것을 확인할 수 있다.
- [0063] 도 8 내지 도 23은 도 1의 삼진 인버터의 제조방법을 설명하기 위한 사시도들 또는 단면도들이다.
- [0064] 먼저 도 8에 도시된 것과 같이, 기판(100) 상에 정전류 형성층(200)을 형성하고, 정전류 형성층(200) 상에 게이트 구조체(GS')를 형성할 수 있다. 정전류 형성층(200)은 에피택시 성장(Epitaxy Growth) 공정을 통해 형성될 수 있다. 즉, 정전류 형성층(200)은 에피택시얼 층일 수 있다. 정전류 형성층(200)은 제1도전형을 갖는 반도체

층일 수 있다. 예컨대, 정전류 형성층(200)의 도전형이 p형인 경우, 정전류 형성층(200)은 III족 원소(예컨대, B 또는 In)를 불순물로 포함하는 실리콘층일 수 있다. 만일 정전류 형성층(200)의 도전형이 n형인 경우, 정전류 형성층(200)은 V족 원소(예컨대, P 또는 As)를 불순물로 포함하는 실리콘층일 수 있다. 정전류 형성층(200)의 도핑 농도는 기판(100)의 도핑 농도보다 높을 수 있다. 예컨대, 정전류 형성층(200)의 도핑 농도는 $3 \times 10^{18} \text{ cm}^{-3}$ 이상일 수 있다.

[0065] 정전류 형성층(200) 상에 게이트 구조체(GS')를 형성할 수 있다. 게이트 구조체(GS')는 회생막들과 채널막들을 교대로 적층하여 형성할 수 있다. 도 8에서는 정전류 형성층(200) 상에 제1회생막(SC1')이 위치하고, 제1회생막(SC1') 상에 제1채널용 층(C1')이 위치하며, 제1채널용 층(C1') 상에 제2회생막(SC2')이 위치하고, 제2회생막(SC2') 상에 제2채널용 층(C2')이 위치하며, 제2채널용 층(C2') 상에 제3회생막(SC3')이 위치하는 것으로 도시하고 있다.

[0066] 회생막들(SC1', SC2', SC3')과 채널용 층들(C1', C2')은 서로 다른 식각 선택비를 갖는 물질들을 포함할 수 있다. 예컨대 회생막들(SC1', SC2', SC3')은 실리콘게르마늄(SiGe)을 포함할 수 있고, 채널용 층들(C1', C2')은 실리콘(Si)을 포함할 수 있다. 이러한 게이트 구조체(GS')는 화학기상증착(Chemical Vapor Deposition, 이하 CVD) 공정, 물리기상증착(Physical Vapor Deposition, 이하, PVD) 공정 또는 원자층 증착(Atomic Layer Deposition, 이하, ALD) 공정을 통해 형성될 수 있다.

[0067] 이와 같은 게이트 구조체(GS')를 형성한 후, 도 9에 도시된 것과 같이 이를 패터닝할 수 있다. 예컨대 마스크를 이용하여 도 8의 게이트 구조체(GS')의 사전설정된 부분을 제외한 나머지 부분을 식각할 수 있다. 게이트 구조체(GS')의 일부분을 제거할 시, 해당 부분에서 정전류 형성층(200)의 상면(200u)이 노출될 때까지 식각이 진행될 수 있다. 이에 따라 도 9에 도시된 것과 같이 게이트 구조체(GS'')는 제1방향(DR1)으로 연장된 형상을 가질 수 있다. 이와 같은 게이트 구조체(GS'')는 회생막들(SC1'', SC2'', SC3'')과 채널용 층들(C1'', C2'')을 포함할 수 있다. 회생막들(SC1'', SC2'', SC3'')은 회생막들(SC1', SC2', SC3')을 식각하는 것에 의해 형성될 수 있다. 채널용 층들(C1'', C2'')은 채널용 층들(C1', C2')을 식각하는 것에 의해 형성될 수 있다.

[0068] 이후, 도 10에 도시된 것과 같이, 정전류 형성층(200) 상에 더미 게이트(302)와, 더미 게이트(302) 양측에 위치하는 게이트 스페이서(330)들을 형성할 수 있다. 더미 게이트(302)는 제2방향(DR2)을 따라 연장된 형상을 가질 수 있다. 더미 게이트(302)의 양측 외측으로는 게이트 구조체(GS'')의 일부들이 노출될 수 있다.

[0069] 더미 게이트(302)는 그 양측의 게이트 스페이서(330)들에 대해 높은 식각 선택비를 가질 수 있다. 예컨대, 더미 게이트(302)는 식각 선택비가 높은 실리콘나이트라이드를 포함하고, 게이트 스페이서(330)는 식각 선택비가 낮은 실리콘옥사이드를 포함할 수 있다.

[0070] 더미 게이트(302)는, 게이트 구조체(GS'')를 덮는 더미 게이트막을 형성하고 이를 패터닝하여 형성할 수 있다. 더미 게이트막을 패터닝하는 것은 정전류 형성층(200)의 상면이 노출될 때까지 수행될 수 있다.

[0071] 더미 게이트(302) 양측에 위치하는 게이트 스페이서(330)들은 더미 게이트(302)의 양 측면들을 덮을 수 있다. 게이트 스페이서(330)들 외측으로는 게이트 구조체(GS'')의 일부들이 노출될 수 있다.

[0072] 게이트 스페이서(330)들은, 더미 게이트(302), 게이트 구조체(GS'') 및 정전류 형성층(200) 상에 게이트 스페이서(330)용 물질층을 형성하고 이를 식각하는 과정을 거쳐 형성될 수 있다. 게이트 스페이서(330)용 물질층을 식각하는 것은 이방성 건식 식각 공정을 통해 진행될 수 있다.

[0073] 이어, 더미 게이트(302) 및 게이트 스페이서(330)들 외측으로 노출된 게이트 구조체(GS'')의 부분을 제거하여, 도 11에 도시된 것과 같은 게이트 구조체(GS)를 형성할 수 있다. 게이트 구조체(GS'')의 일부분을 제거하는 것은 마스크를 이용한 이방성 식각 공정을 통해 진행될 수 있다. 이에 따라 게이트 구조체(GS)는 제1회생막(SC1), 제1회생막(SC1) 상의 제1채널(C1), 제1채널(C1) 상의 제2회생막(SC2), 제2회생막(SC2) 상의 제2채널(C2) 및 제2채널(C2) 상의 제3회생막(SC3)을 포함할 수 있다.

[0074] 이후, 도 12 내지 도 14에 도시된 것과 같이, 제1소스(S1)과 제1드레인(D1)을 형성하고, 제1소스(S1) 상에 층간절연막(340)을 형성하며, 층간절연막(340) 상의 제2소스(S2)와 제1드레인(D1) 상의 제2드레인(D2)을 형성한다. 제1소스(S1)는 더미 게이트(302)의 제1방향의 반대 방향(-DR1) 일측에 형성되고, 제1드레인(D1)은 더미 게이트(302)의 (DR1) 타측에 형성된다.

[0075] 제1소스(S1)와 제1드레인(D1)을 형성하는 것은 에피택시 성장 공정을 포함할 수 있다. 제1소스(S1)와 제1드레인

(D1)을 형성한 후, 이들을 도핑하는 공정을 거칠 수 있다. 예컨대 제1소스(S1)를 III족 원소(예컨대, B 또는 In)로 도핑하여 p형을 갖도록 하고, 제1드레인(D1)을 V족 원소(예컨대, P 또는 As)로 도핑하여 n형을 갖도록 할 수 있다.

[0076] 유사하게 제2소스(S2)와 제2드레인(D2)을 형성한 후, 이들을 도핑하는 공정을 거칠 수 있다. 예컨대 제2소스(S2)를 V족 원소(예컨대, P 또는 As)로 도핑하여 n형을 갖도록 하고, 제2드레인(D2)을 III족 원소(예컨대, B 또는 In)로 도핑하여 p형을 갖도록 할 수 있다.

[0077] 이후, 도 15 내지 도 17에 도시된 것과 같이, 더미 게이트(302)를 제거할 수 있다. 더미 게이트(302)를 제거하는 것은 습식 식각 공정을 통해 진행될 수 있다. 이때 식각액으로는 불산 계열의 물질을 사용할 수 있다.

[0078] 더미 게이트(302)가 제거되면, 게이트 구조체(GS)의 일부가 게이트 스페이서(330)들 사이에서 노출된다. 이에 따라 도 18 내지 도 20에 도시된 것과 같이, 게이트 구조체(GS)가 포함하는 제1회생막(SC1), 제2회생막(SC2) 및 제3회생막(SC3)을 제거한다. 제1회생막(SC1), 제2회생막(SC2) 및 제3회생막(SC3)을 제거하는 것은 화학적 건식 식각 공정 또는 습식 식각 공정을 통해 이루어질 수 있다. 예컨대, 화학적 건식 식각 공정은 라디칼 생성기에서 생성된 플라즈마를 이용하는 것일 수 있고, 습식 식각 공정은 암모니아-과산화 혼합물을 이용하는 것일 수 있다. 후자의 경우, 혼합물에서 H_2O_2 는 산화제 역할을 하고, NH_4OH 는 산화물 에천트 역할을 할 수 있다.

[0079] 제1회생막(SC1), 제2회생막(SC2) 및 제3회생막(SC3)을 제거함으로써, 제1소스(S1)의 제1드레인(D1) 방향(DR1)의 면 중 일부, 제2소스(S2)의 제2드레인(D2) 방향(DR1)의 면 중 일부, 제1드레인(D1)의 제1소스(S1) 방향(-DR1)의 면 중 일부, 제2드레인(D2)의 제2소스(S2) 방향(-DR1)의 면 중 일부, 제1채널(C1)의 외측면, 그리고 제2채널(C2)의 외측면이 노출될 수 있다.

[0080] 이어, 도 21 내지 도 23에 도시된 것과 같이, 게이트 절연막(320)을 형성한다. 구체적으로, 제1채널(C1)의 외측면과, 제2채널(C2)의 외측면과, 제1소스(S1)의 제1드레인(D1) 방향의 면 중 제1채널(C1)과 인접하는 부분 외의 부분과, 제2소스(S2)의 제2드레인(D2) 방향의 면 중 제2채널(C2)과 인접하는 부분 외의 부분과, 제1드레인(D1)의 제1소스(S1) 방향의 면 중 제1채널(C1)과 인접하는 부분 외의 부분과, 제2드레인(D2)의 제2소스(S2) 방향의 면 중 제2채널(C2)과 인접하는 부분 외의 부분과, 정전류 형성층(200)을 덮는 게이트 절연막(320)을 형성한다.

[0081] 게이트 절연막(320)을 형성하는 공정은 전기 절연 물질을 증착하는 것을 포함할 수 있다. 예를 들어, 전기 절연 물질을 증착하는 것은 열 산화 공정, 화학 기상 증착, 물리 기상 증착 공정 또는 원자층 증착 공정을 수행하는 것을 포함할 수 있다.

[0082] 이와 같이 형성되는 게이트 절연막(320)은 실리콘옥사이드, 실리콘나이트라이드, 실리콘옥시나이트라이드 등을 포함할 수 있다. 또는, 게이트 절연막(320)은 고유전율(high-k dielectric)을 갖는 절연물질을 포함할 수도 있다. 예컨대 게이트 절연막(320)은 약 10 내지 25의 유전 상수를 갖는 물질을 포함할 수 있다. 예컨대, 게이트 절연막(320)은 하프늄 옥사이드(HfO_2), 하프늄 실리콘 옥사이드($HfSiO_2$), 하프늄 옥시나이트라이드($HfON$), 하프늄 실리콘 옥시나이트라이드($HfSiON$), 란타늄 옥사이드(LaO_3), 란타늄 알루미늄 옥사이드($LaAlO_3$), 지르코늄 옥사이드(ZrO_2), 지르코늄 실리콘 옥사이드($ZrSiO_2$), 지르코늄 옥시나이트라이드($ZrON$), 지르코늄 실리콘 옥시나이트라이드($ZrSiON$), 탄탈륨 옥사이드(TaO_3), 티타늄 옥사이드(TiO_2), 바륨 스트론튬 티타늄 옥사이드($BaSrTiO_3$), 바륨 티타늄 옥사이드($BaTiO_3$), 스트론튬 티타늄 옥사이드($SrTiO_3$), 이트륨 옥사이드(Y_2O_3), 알루미늄 옥사이드(Al_2O_3) 및 납 스칸듐 탄탈륨 옥사이드($PbScTaO_3$) 중에서 선택되는 적어도 하나의 물질을 포함할 수 있다.

[0083] 이어, 게이트 전극(G)을 형성함으로써 도 1 내지 도 3을 참조하여 설명한 삼진 인버터를 제조할 수 있다. 게이트 전극(G)은 게이트 스페이서(330)들 사이에 형성될 수 있다. 게이트 전극(310)은 게이트 전극 형성용 물질로 게이트 스페이서(330)들 사이 공간을 채움으로써 형성될 수 있다. 구체적으로, 게이트 전극(310)은 게이트 절연막(320)에 의해 둘러싸인 영역을 도전물질로 채움으로써 형성될 수 있다. 게이트 전극(310)은 전기 전도성 물질을 포함할 수 있다. 예컨대, 게이트 전극(310)은 금속 또는 폴리 실리콘을 포함할 수 있다. 게이트 전극(310)을 형성하는 공정은 화학기상증착(CVD) 공정, 물리기상증착(PVD) 공정 또는 원자층 증착(ALD) 공정을 이용할 수 있다.

[0084] 이와 같이 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

[0085]

100: 기판 200: 정전류 형성층

S1: 제1소스 D1: 제1드레인

C1: 제1채널 S2: 제2소스

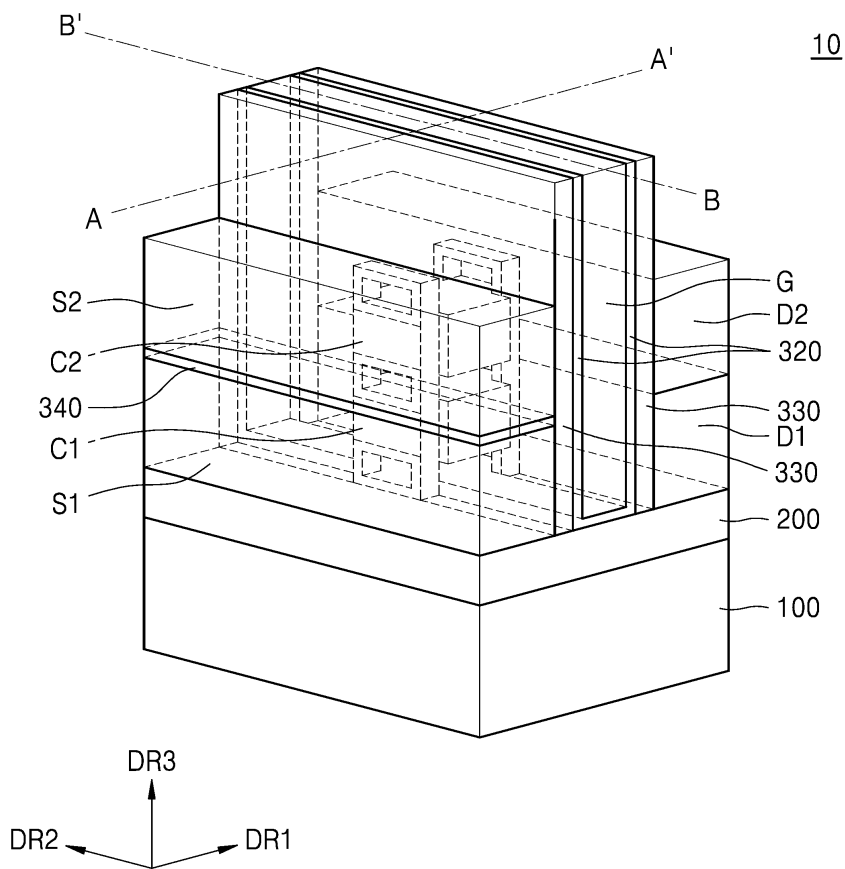
D2: 제2드레인 C2: 제2채널

G: 게이트 전극 302: 더미 게이트

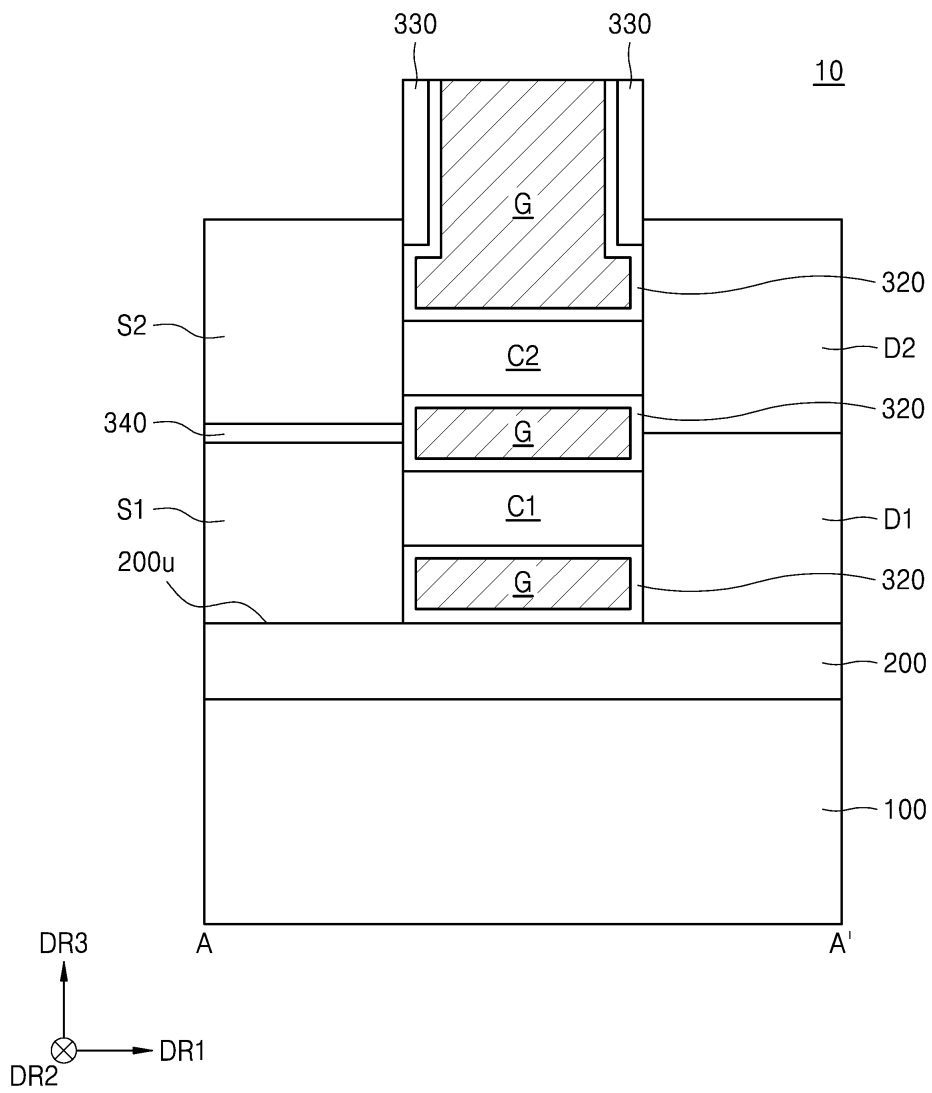
320: 게이트 절연막 330: 게이트 스페이서

도면

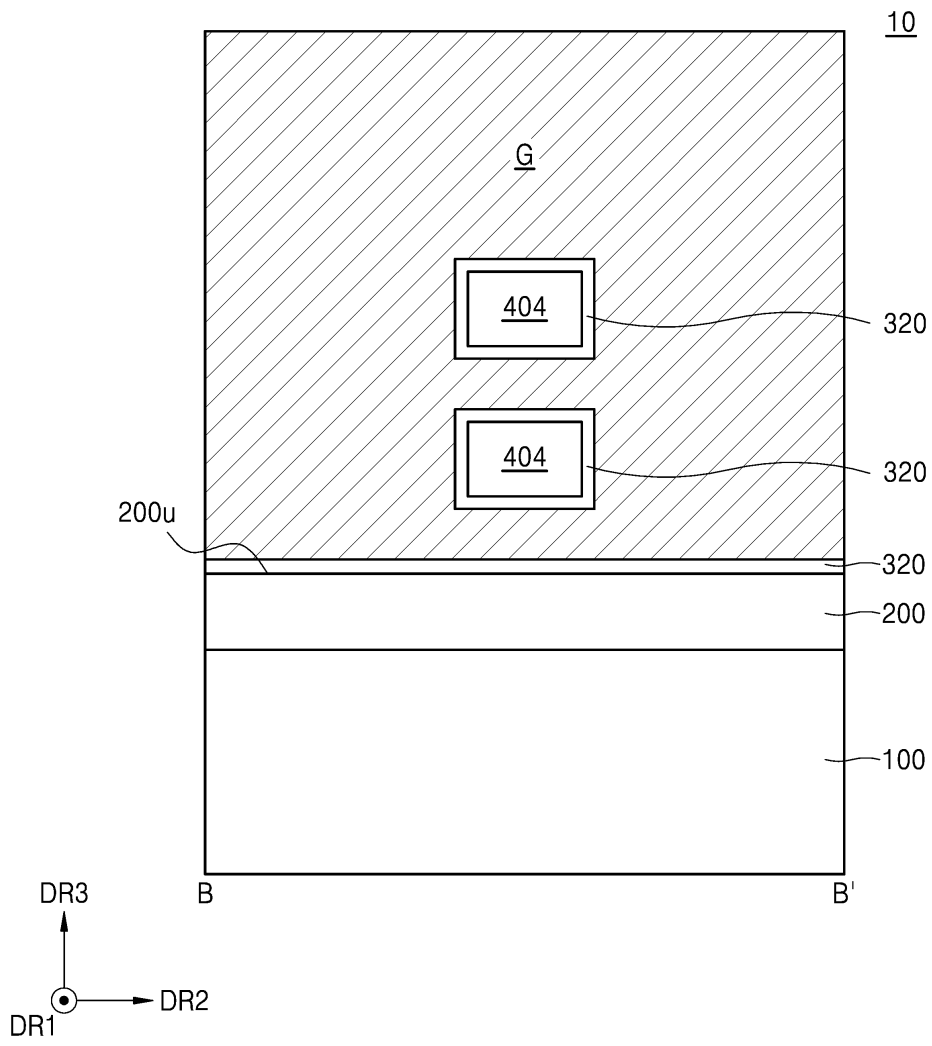
도면1



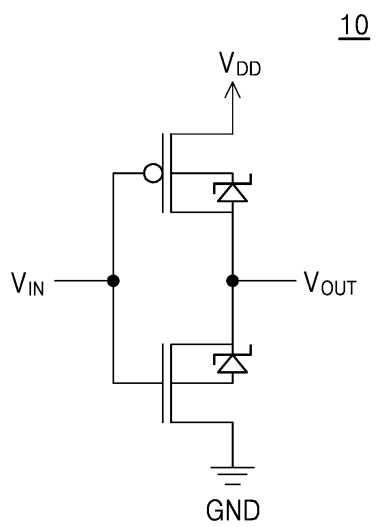
도면2



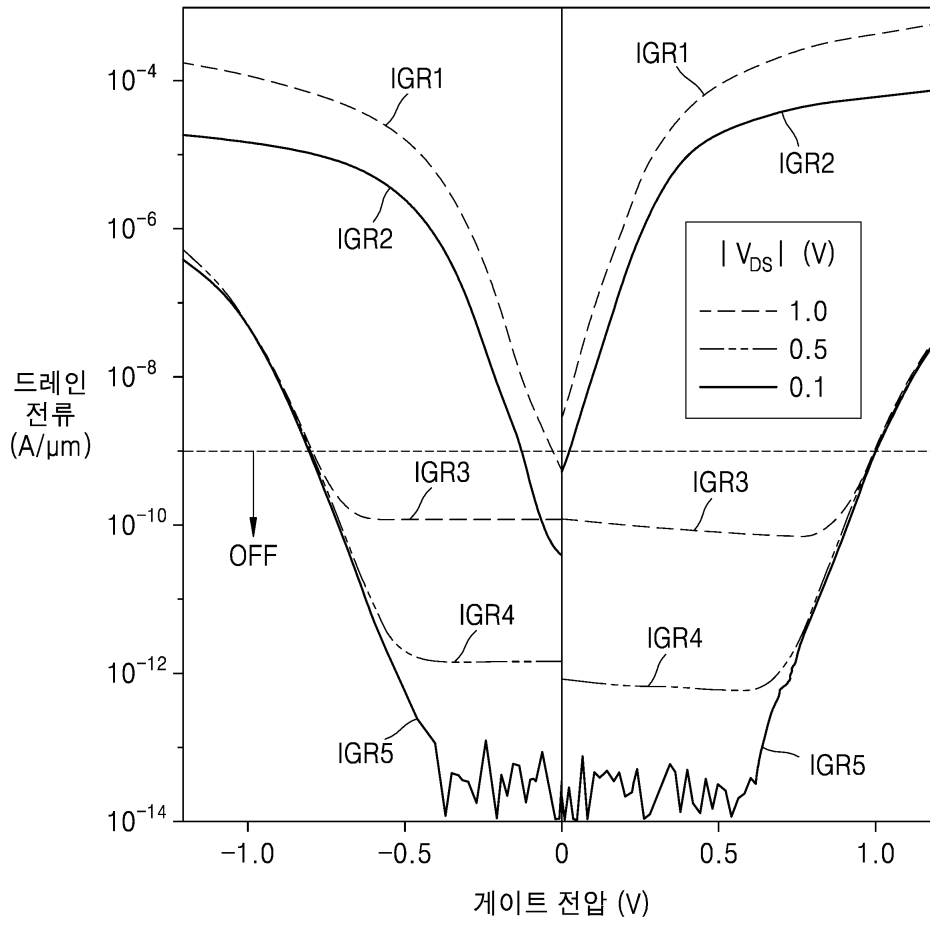
도면3



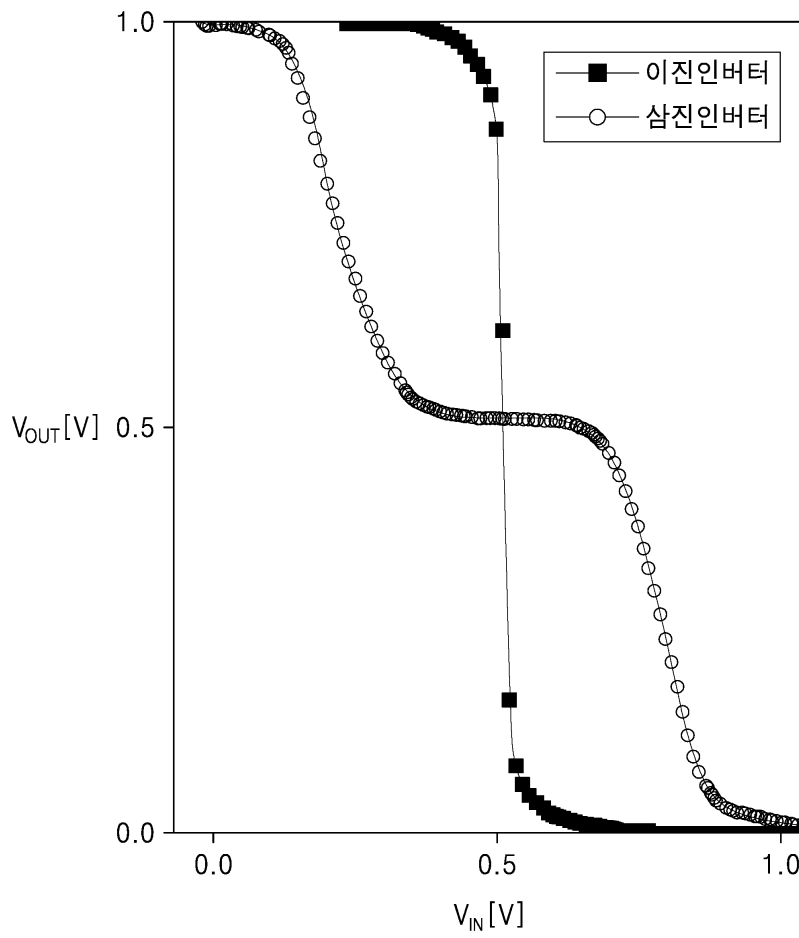
도면4



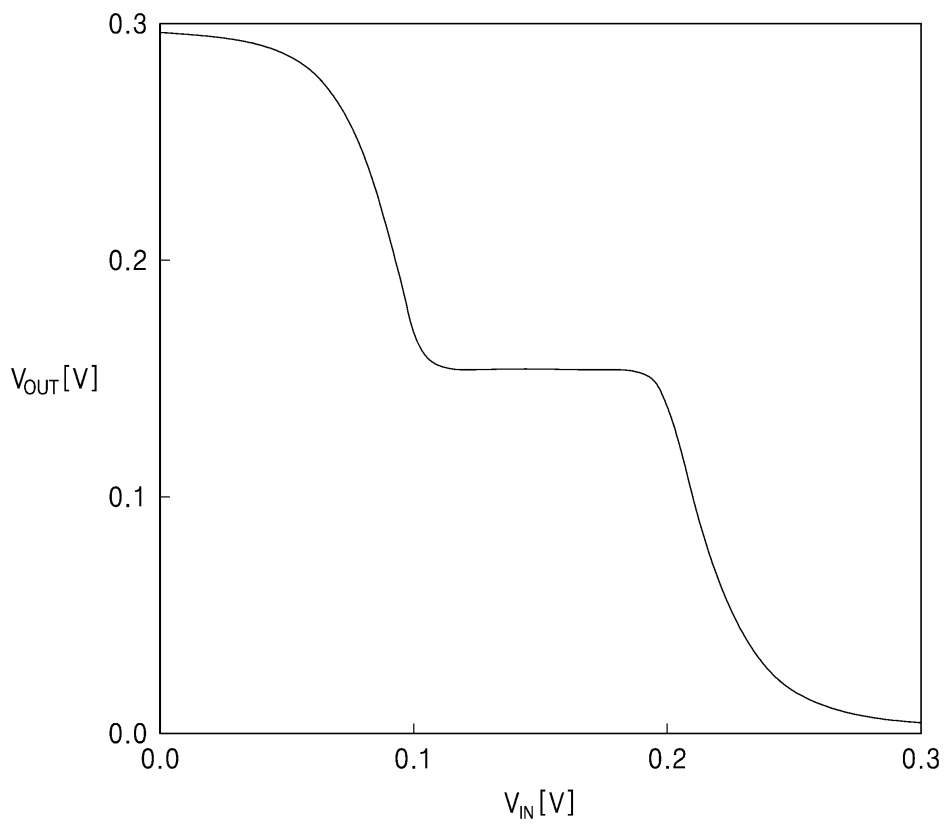
도면5



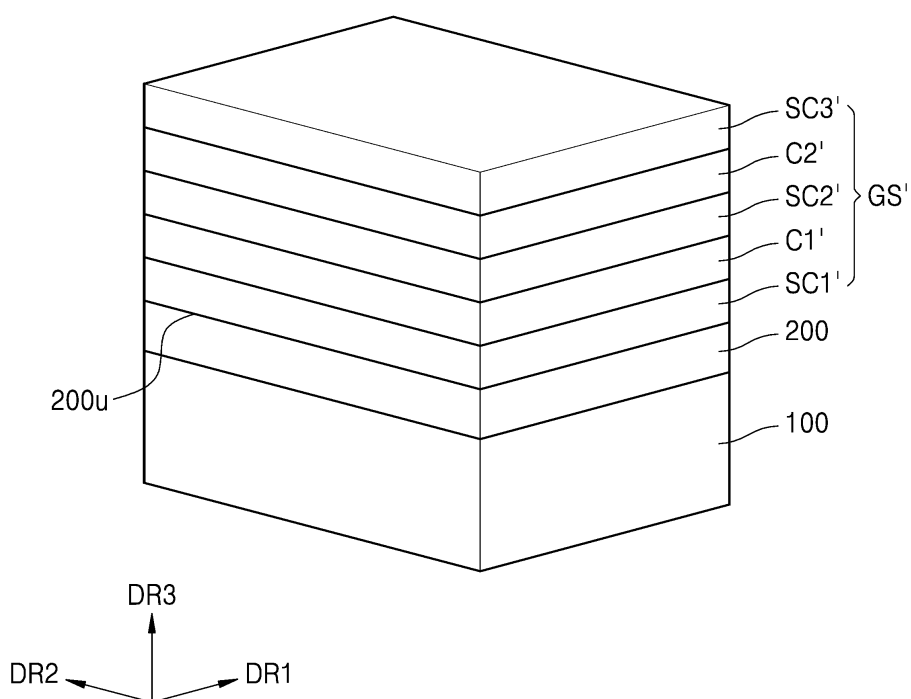
도면6



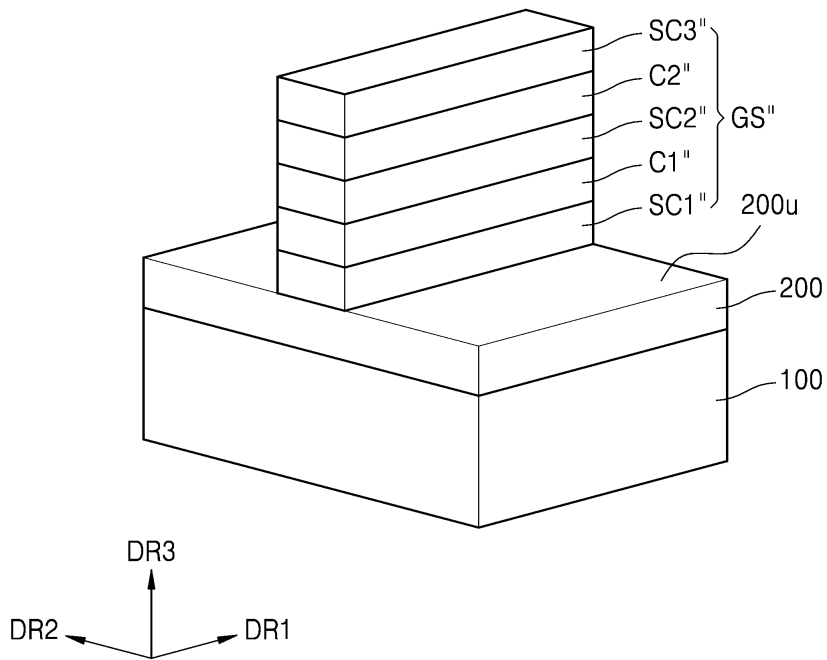
도면7



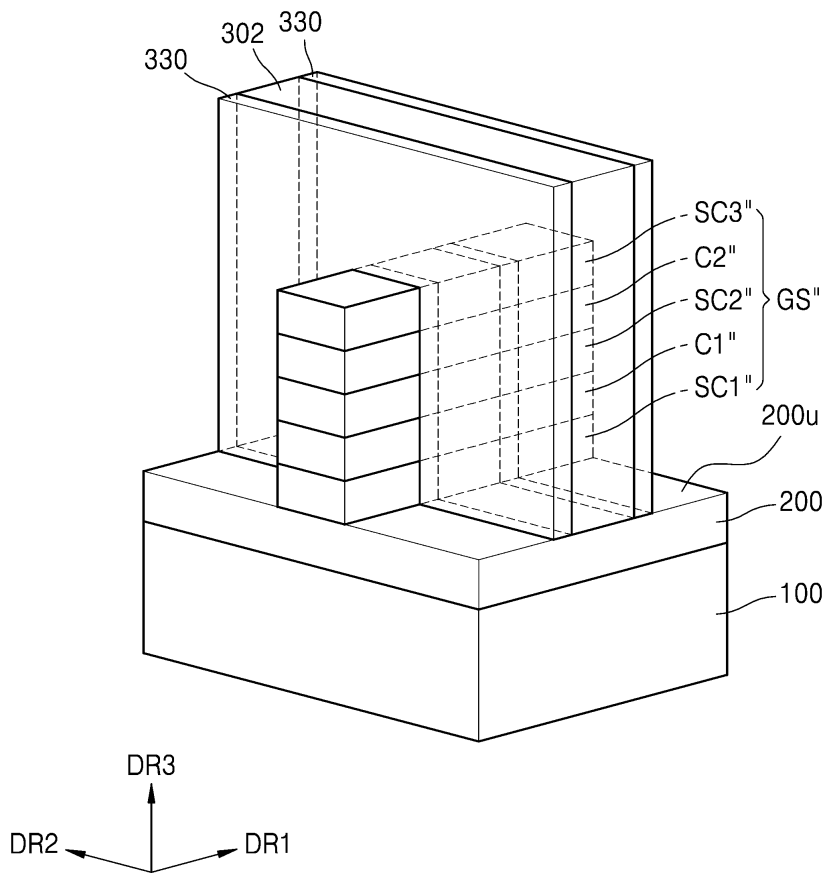
도면8



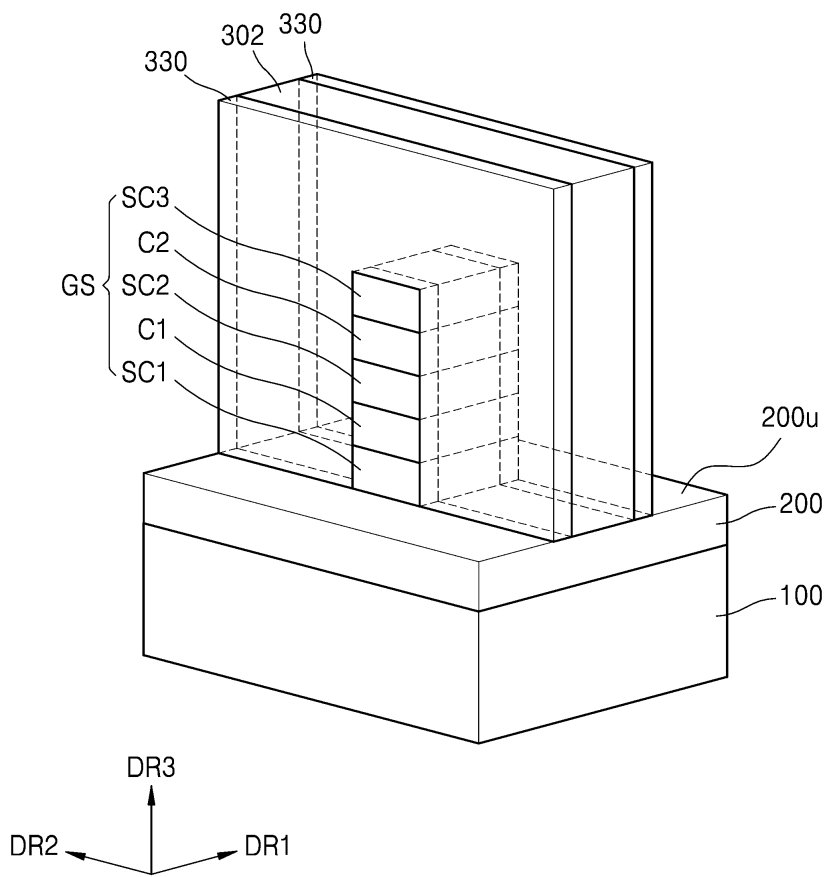
도면9



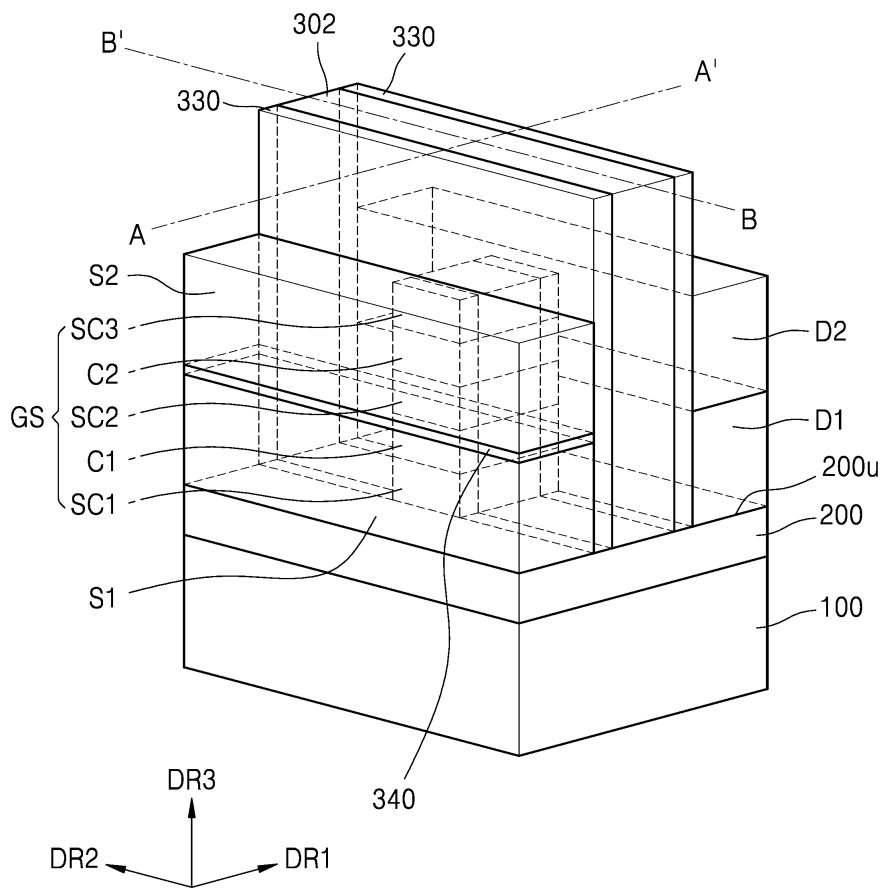
도면10



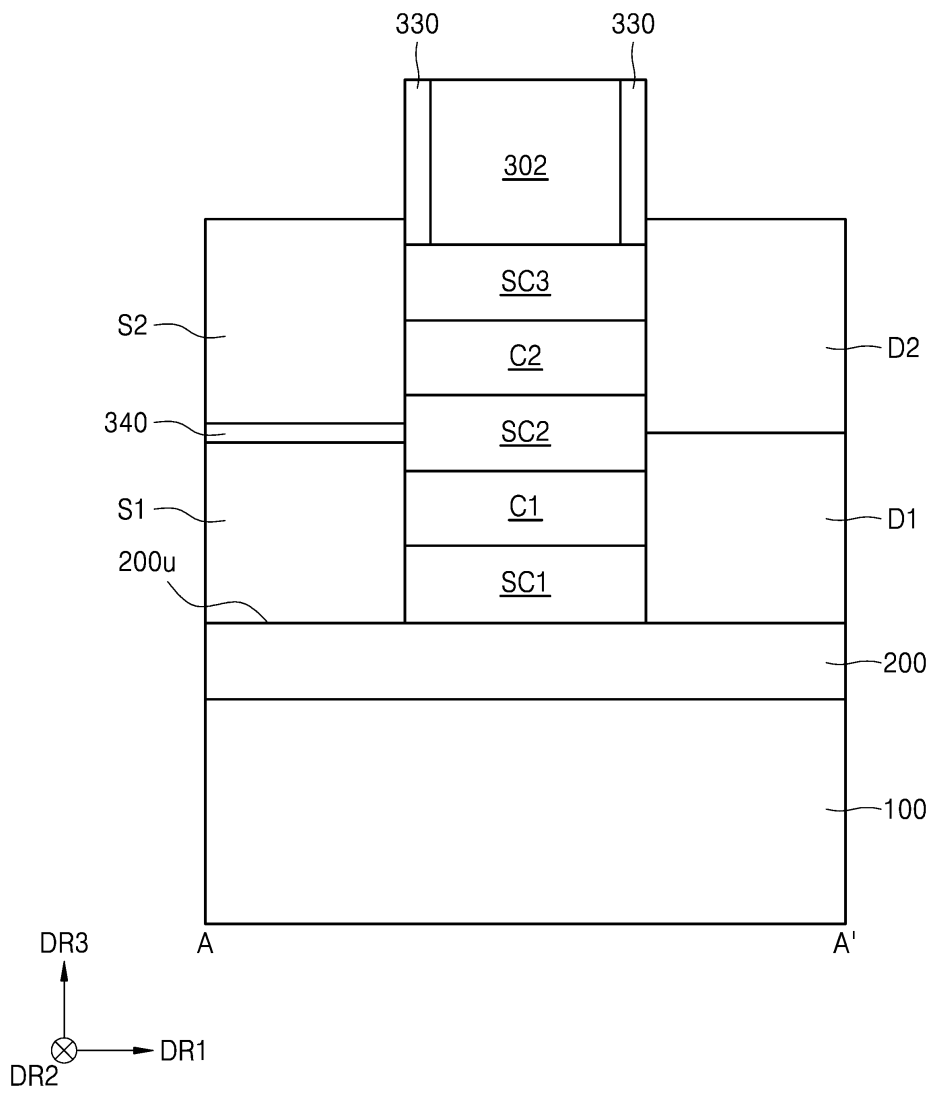
도면11



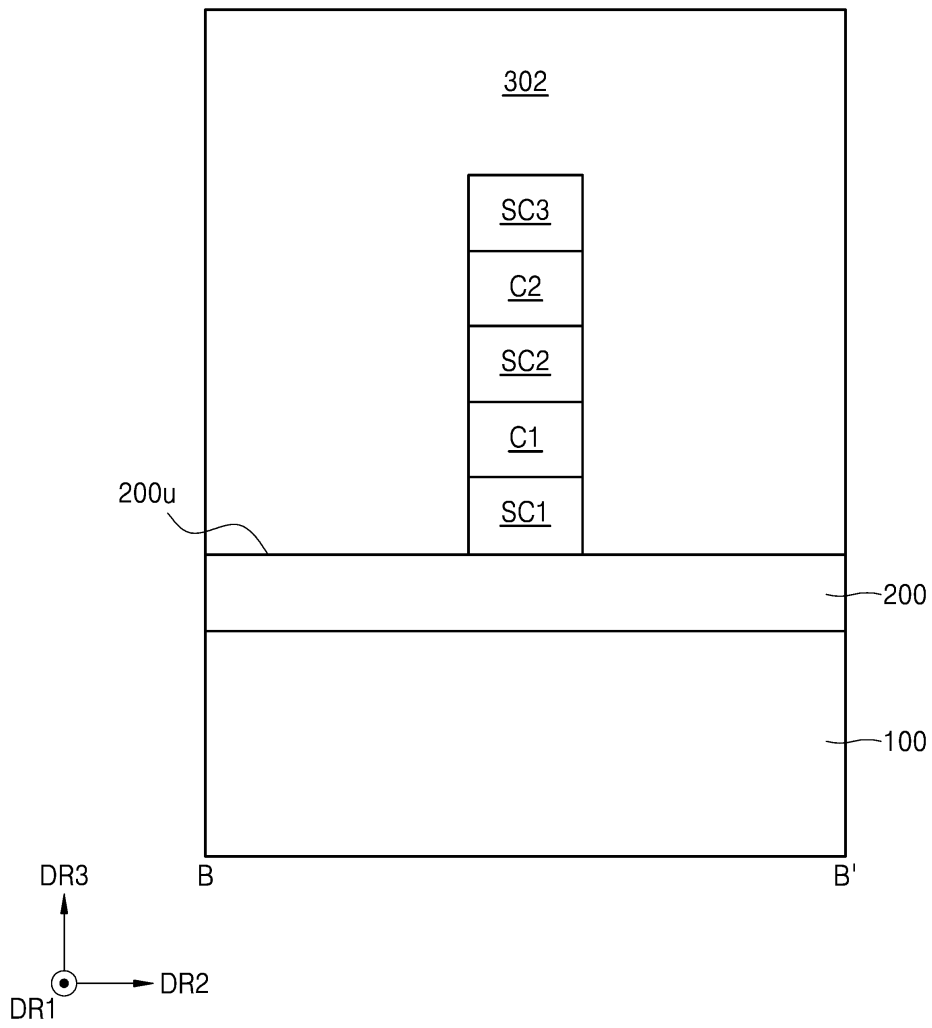
도면 12



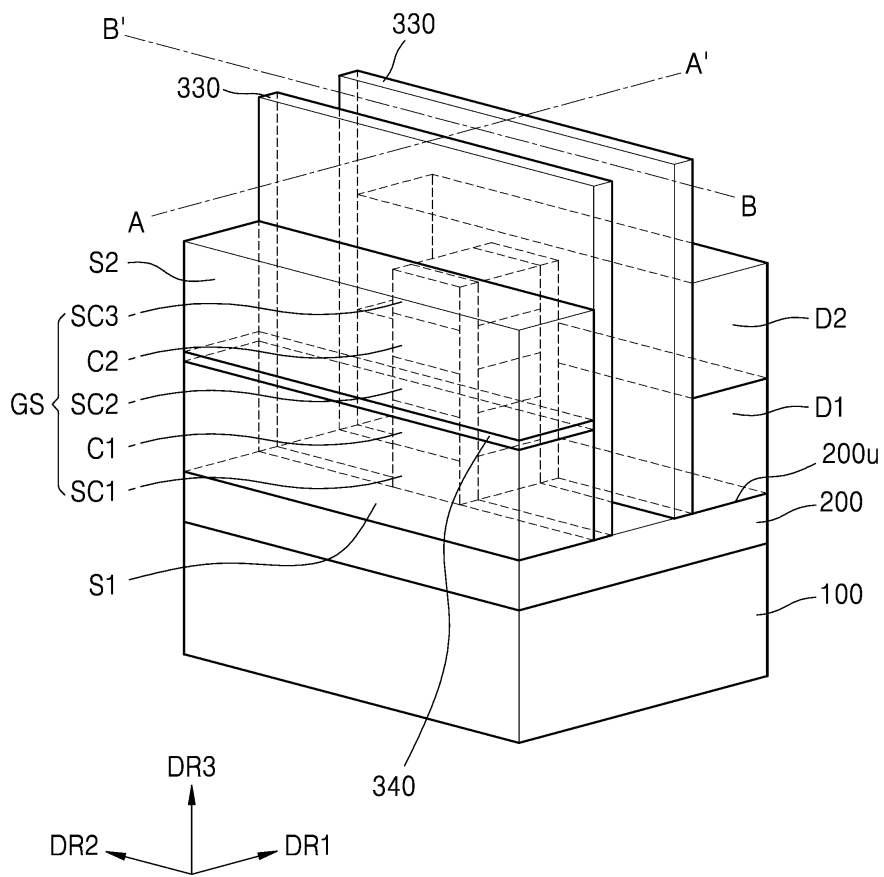
도면13



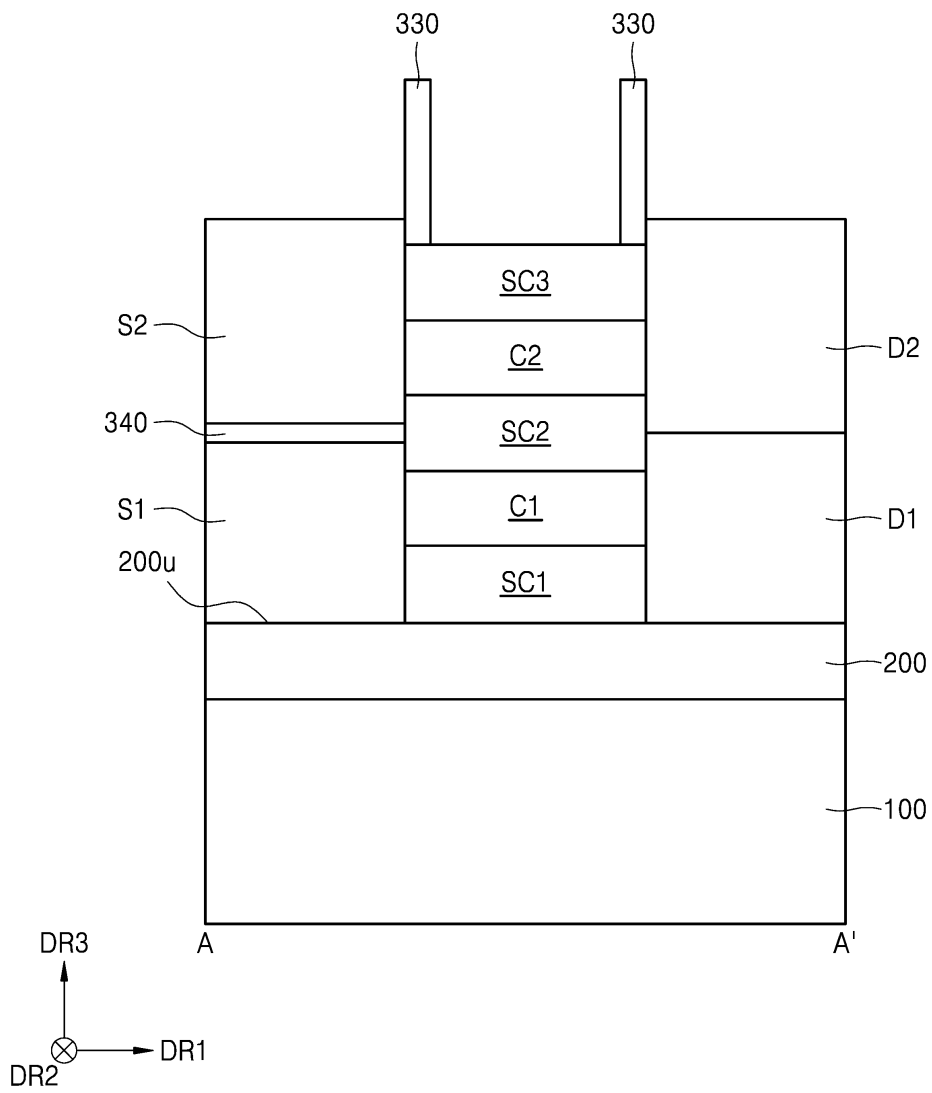
도면14



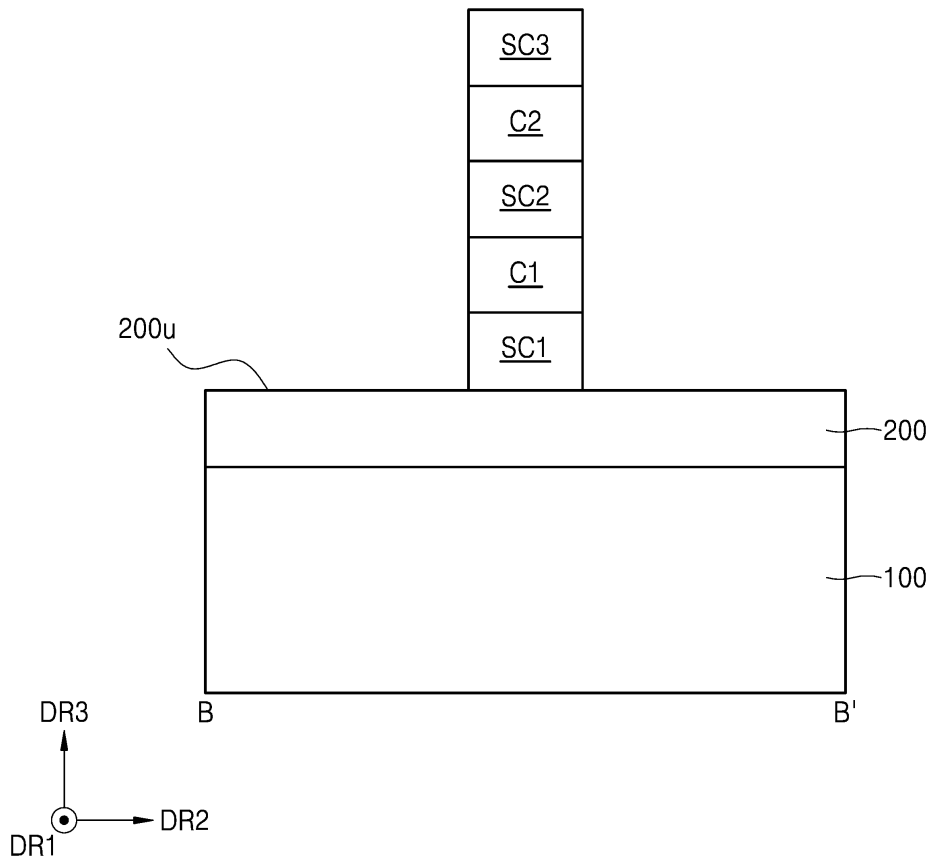
도면 15



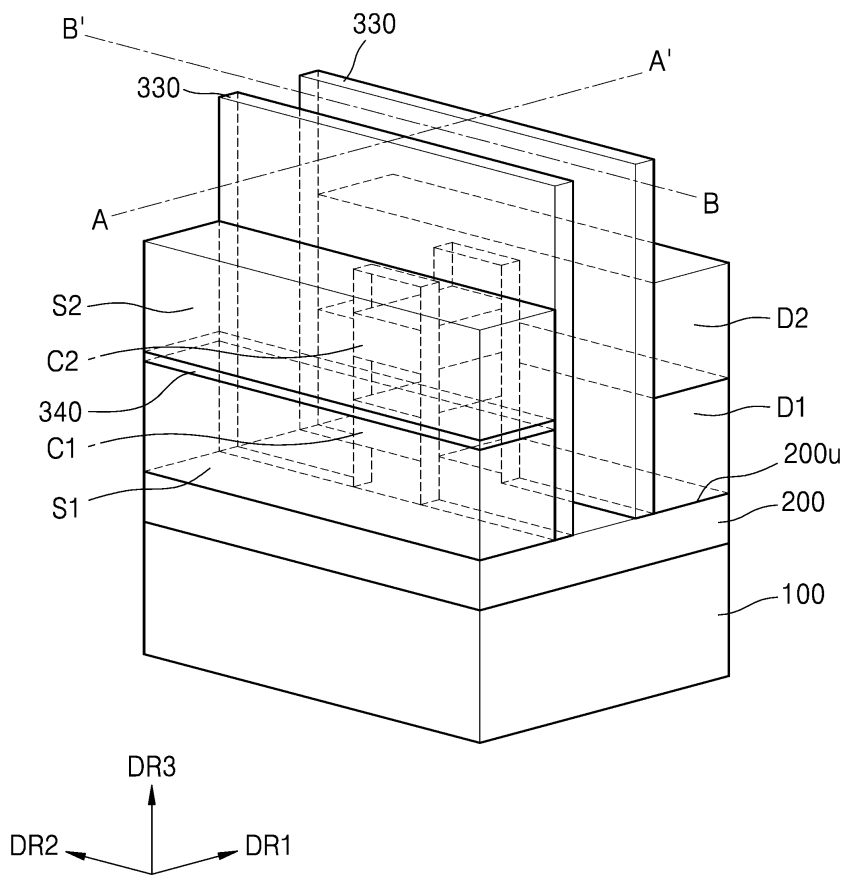
도면16



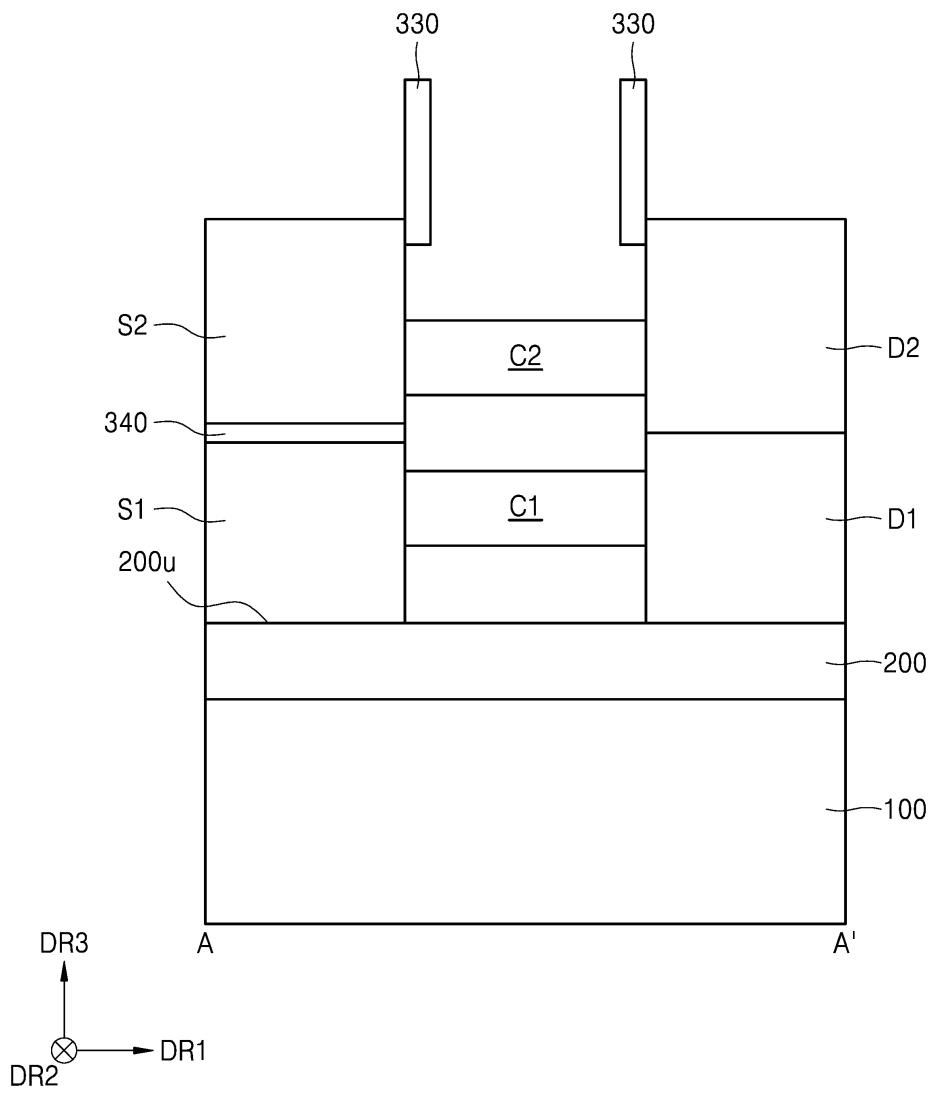
도면17



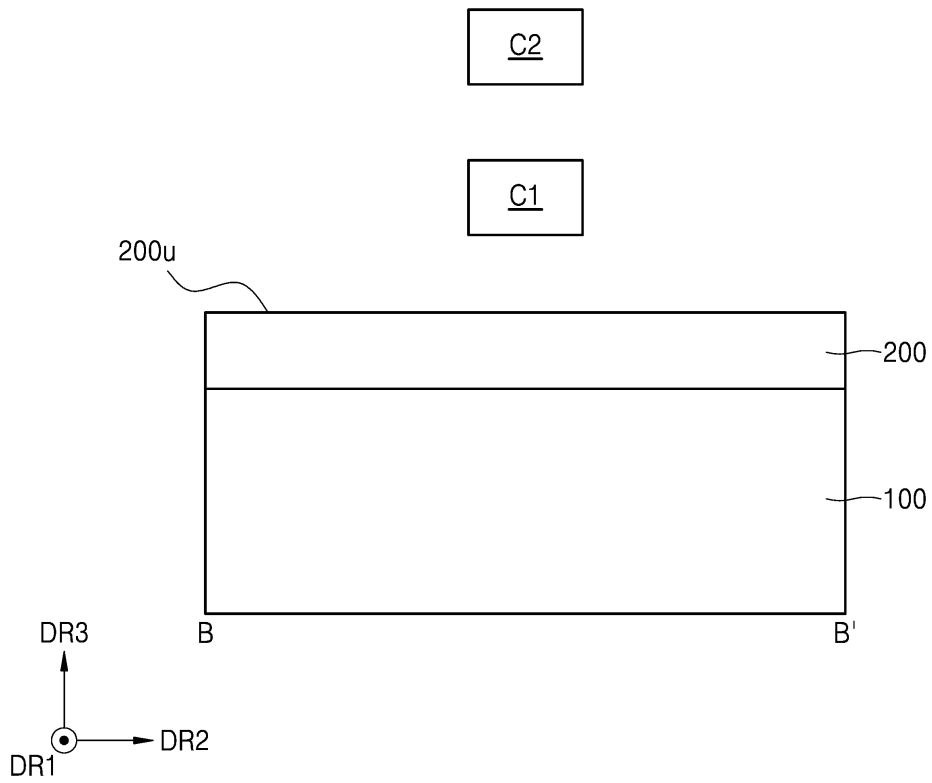
도면18



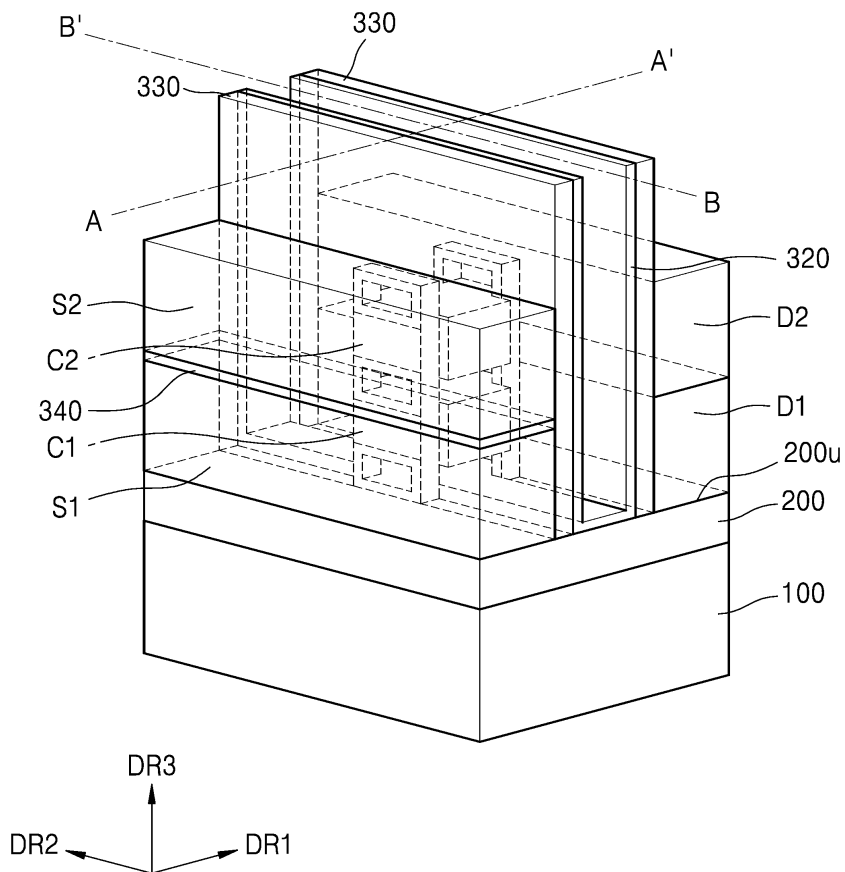
도면19



도면20



도면21



도면23

