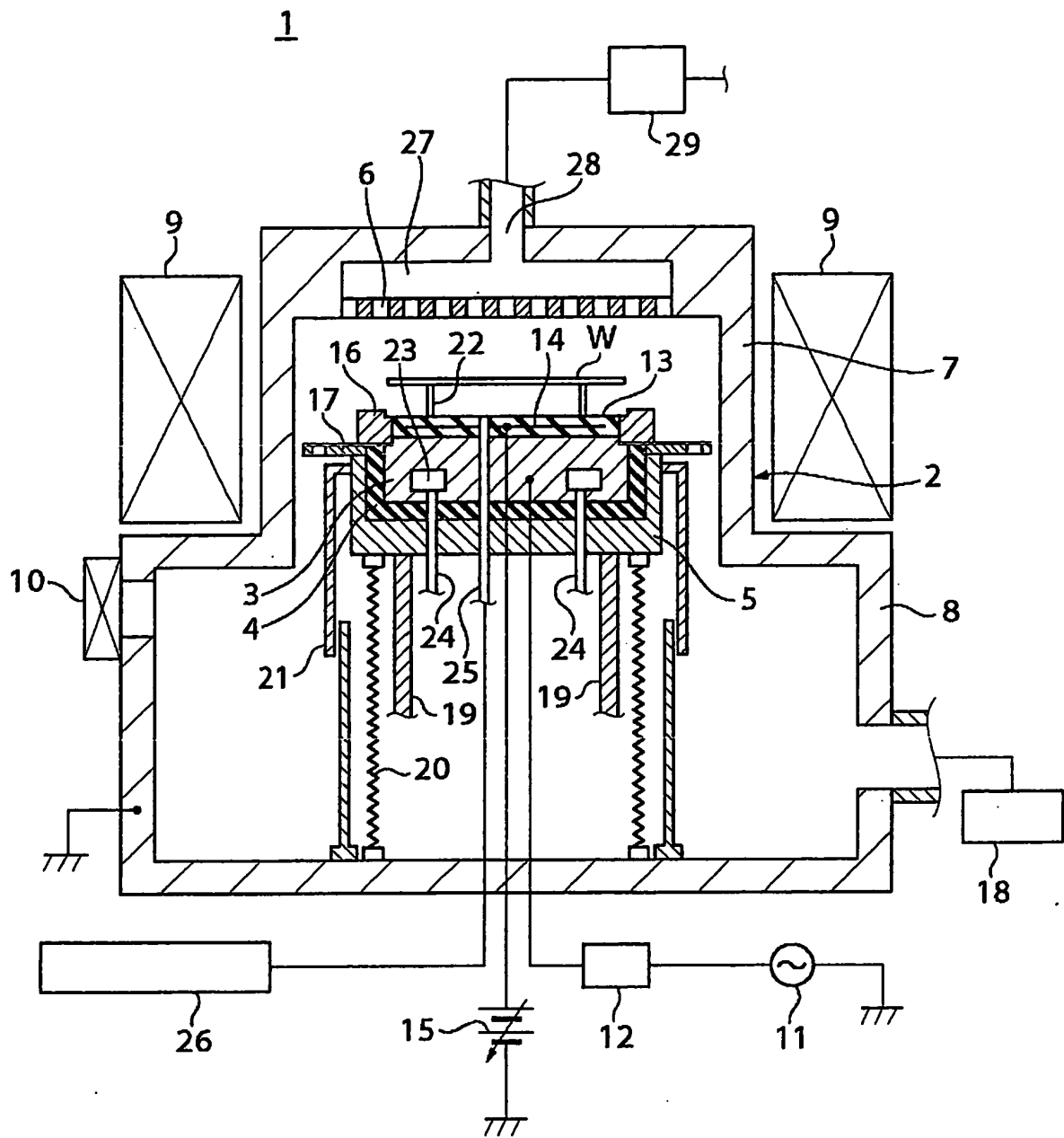
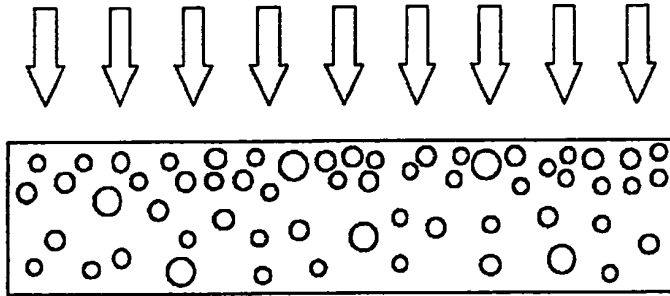


第1圖

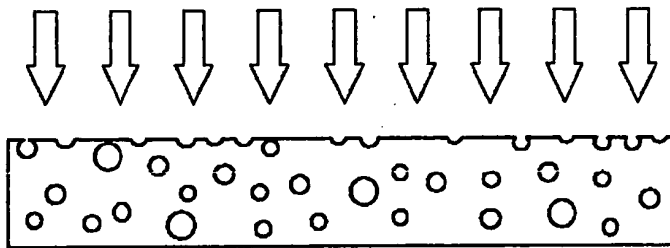


第2圖

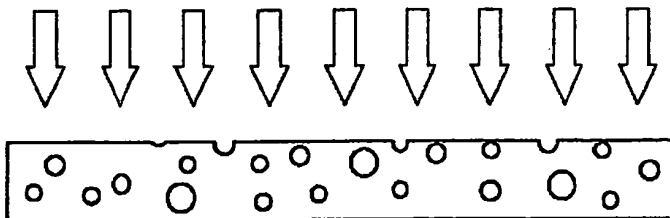
(A)



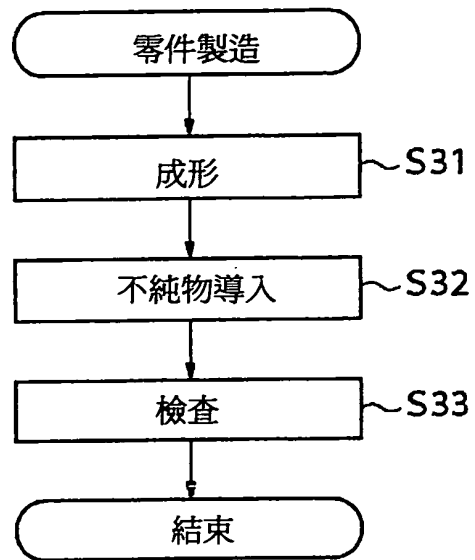
(B)



(C)

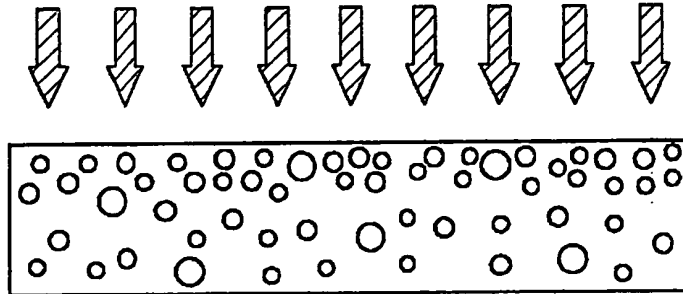


第3圖

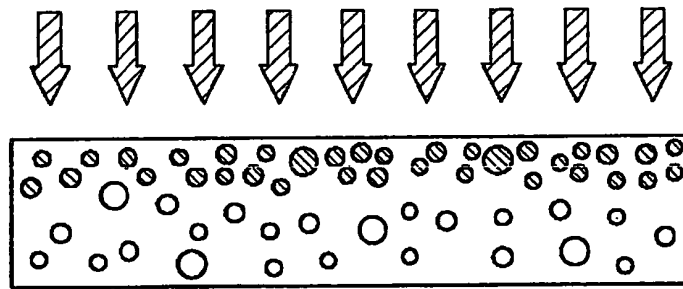


第4圖

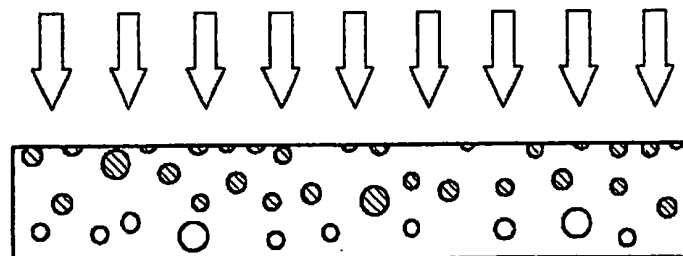
(A)



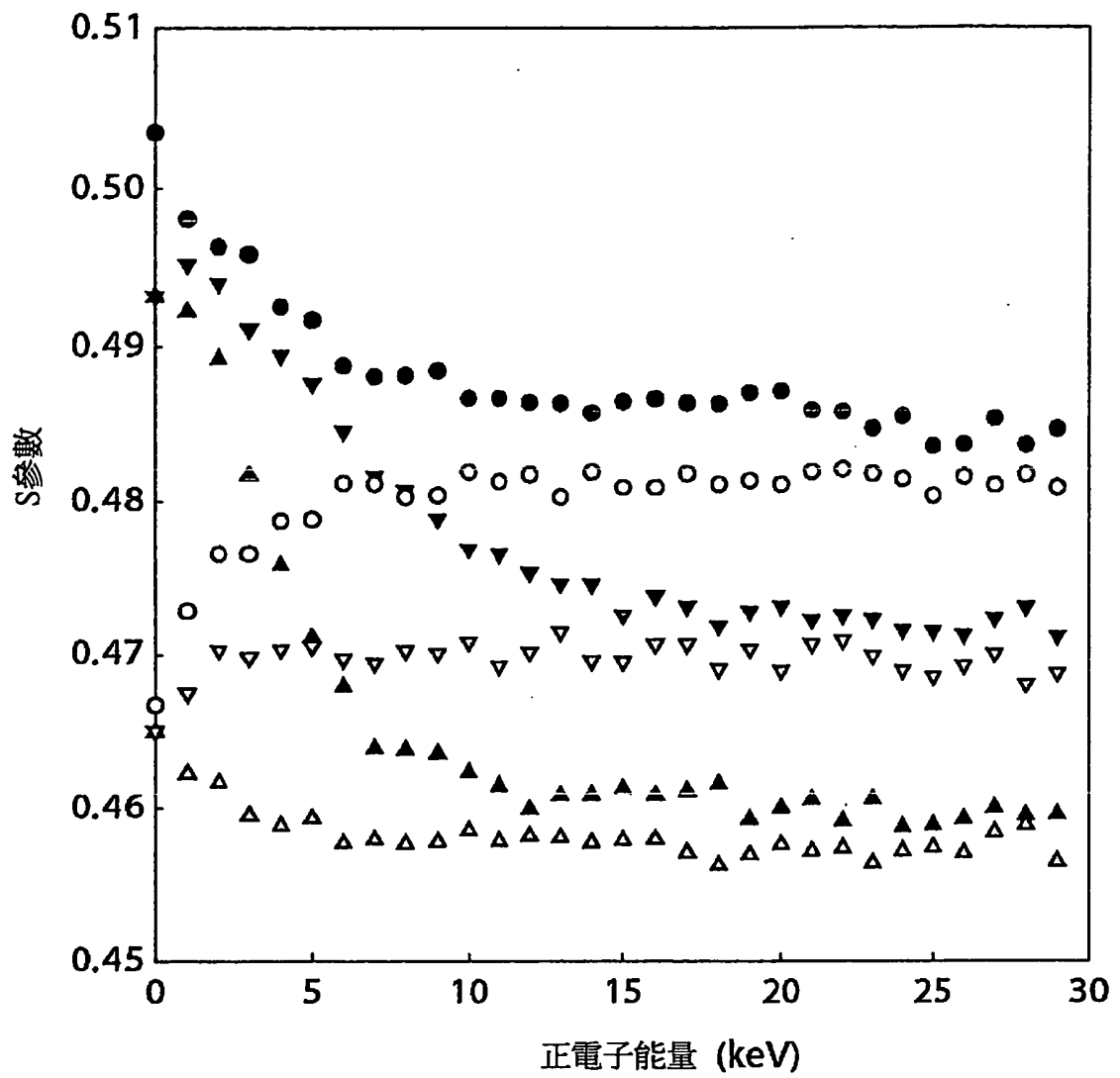
(B)



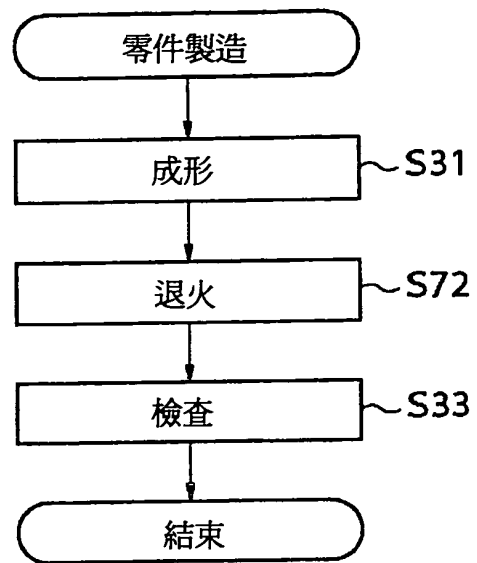
(C)



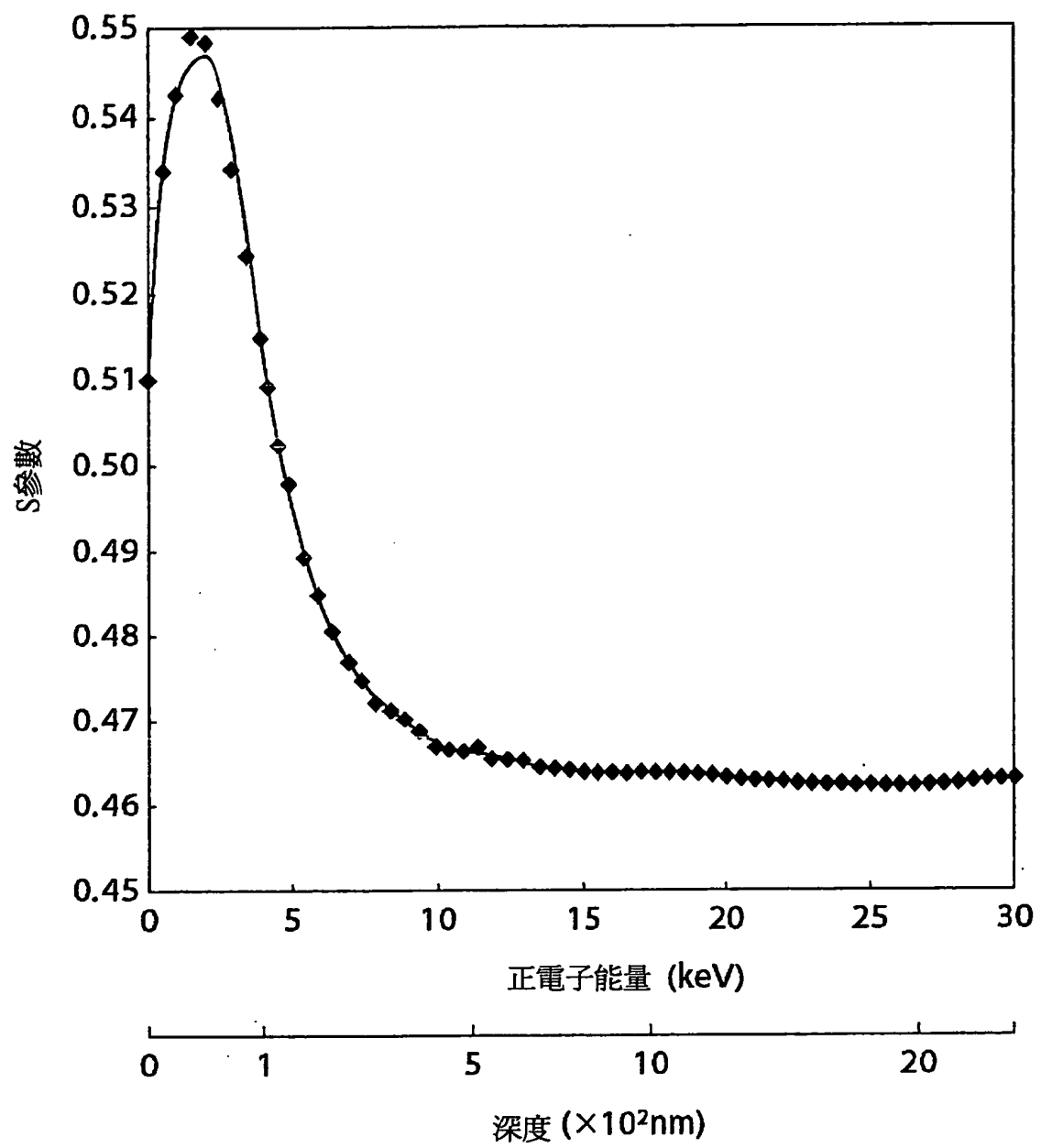
第6圖



第7圖



第8圖



發明專利說明書

公告本

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

修正

補充

本97年11月4日

※申請案號：94139134

※申請日期：94 年 11 月 08 日

※IPC 分類：H01L 21/3065 (2006.01)

一、發明名稱：

(中) 基板處理裝置用元件及其製造方法
(英)

二、申請人：(共 1 人)

1. 姓 名：(中) 東京威力科創股份有限公司
(英) TOKYO ELECTRON LIMITED

代表人：(中) 1. 佐藤 潔
(英) 1. SATO, KIYOSHI

地 址：(中) 日本國東京都港區赤坂五丁目三番六號

(英) 3-6, Akasaka 5-chome, Minato-ku, Tokyo 107-8481 Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 3 人)

1. 姓 名：(中) 守屋 剛
(英) MORIYA, TSUYOSHI
國 籍：(中) 日本
(英) JAPAN

2. 姓 名：(中) 三橋 康至
(英) MITSUHASHI, KOUJI
國 籍：(中) 日本
(英) JAPAN

3. 姓 名：(中) 上殿 明良
(英) UEDONO, AKIRA
國 籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

公告本

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

修正

本97年11月4日
補充

※申請案號：94139134

※申請日期：94 年 11 月 08 日

※IPC 分類：H01L 21/3065 (2006.01)

一、發明名稱：

(中) 基板處理裝置用元件及其製造方法
(英)

二、申請人：(共 1 人)

1. 姓 名：(中) 東京威力科創股份有限公司
(英) TOKYO ELECTRON LIMITED

代表人：(中) 1. 佐藤 潔
(英) 1. SATO, KIYOSHI

地 址：(中) 日本國東京都港區赤坂五丁目三番六號

(英) 3-6, Akasaka 5-chome, Minato-ku, Tokyo 107-8481 Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 3 人)

1. 姓 名：(中) 守屋 剛
(英) MORIYA, TSUYOSHI

國 籍：(中) 日本
(英) JAPAN

2. 姓 名：(中) 三橋 康至
(英) MITSUHASHI, KOUJI

國 籍：(中) 日本
(英) JAPAN

3. 姓 名：(中) 上殿 明良
(英) UEDONO, AKIRA

國 籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1.日本 ; 2004/11/10 ; 2004-327077 ☒有主張優先權

九、發明說明

【發明所屬之技術領域】

本發明係關於基板處理裝置用元件及其製造方法，特別係關於被使用於消耗環境下之基板處理裝置用元件及其製造方法。

【先前技術】

通常，對作為基板之半導體晶圓（以下稱為「晶圓」）施行蝕刻處理之基板處理裝置，配備收容晶圓之收容室（以下稱為「處理室」）。此基板處理裝置，在處理室內施加高頻電力，而由 CF_4 系氣體等的處理氣體，生成電漿，再藉由該被生成的電漿，對晶圓的表面施行蝕刻處理。

在處理室內，配置為了將電漿的狀態維持在所希望的狀態之各種元件，作為如此的元件之其中一種，已知有聚磁環。聚磁環係圓環狀的元件，被配置在處理室內，使得可以包圍晶圓的周邊。聚磁環，為了將處理室內的電漿有效率地導引至晶圓，需要具有與晶圓相同的電特性，例如導電性。因此，習知的聚磁環，係藉由矽（Si）而被形成。

可是，由於矽會被電漿侵蝕，所以在處理室內，聚磁環會在短時間內消耗而變形。若聚磁環變形，由於晶圓上的電漿的狀態會變化，所以在使用由矽所構成的聚磁環的情況，每隔一段短的時間，便需要交換聚磁環。

因此，近年來，開始使用藉由以作為難以被電漿侵蝕

的材料著稱的碳化矽（SiC）而被形成之聚磁環。碳化矽，具有大約與晶圓相同的導電性，在電漿氣氛中，由於不會發生金屬污染，所以作為處理室內元件是適合的。

作為碳化矽，已知有藉由燒結法而被形成的燒結碳化矽、及藉由 CVD 法而被形成的 CVD 碳化矽。各自的由於電漿所造成的消耗量，相對於矽之由於電漿所造成的消耗量，前者大約減少 15%，後者大約減少 50%。

但是，燒結碳化矽，由於已知容易發生微粒，所以被提出一種藉由難以發生微粒的 CVD 碳化矽來保護（被膜）藉由燒結碳化矽而被形成的聚磁環的表面之技術（例如參照專利文獻 1）。藉此，能夠抑制從聚磁環發生微粒。

[專利文獻 1]日本特開平 10-135093 號公報

【發明內容】

（發明所欲解決之課題）

然而，CVD 碳化矽，係先將材料氣體導入已經被配置在高溫氣氛中的石墨基材的周圍，而在該石墨基材的表面上，形成碳化矽的厚膜，再藉由切出該已經形成的厚膜而被得到。又，由於被切出來的 CVD 碳化矽的表面粗糙，將提升外觀及藉由表面圓滑化來防止微粒飛散一事，作為目的，而對聚磁環施行研磨加工。因此，CVD 碳化矽的聚磁環，會有製造困難這樣的問題。

又，CVD 碳化矽，雖然難以發生微粒，但是依然會發生一些微粒，特別是在聚磁環交換後的初期的蝕刻處理，

具體而言，在高頻電力的施加時間達到 120 小時為止的期間，會發生許多微粒。因此，使用 CVD 碳化矽的聚磁環的情況，在聚磁環交換後，需要長時間實行爲了使處理室內的氣氛安定之陳化（seasoning）處理，因而也會有基板處理裝置的運轉率低下這樣的問題。

本發明的目的在於提供一種基板處理裝置用元件及其製造方法，能夠抑制微粒的發生，並防止基板處理裝置的運轉率的低下，而且能夠容易地製造。

（解決課題所用的手段）

爲了達成前述目的，申請專利範圍第 1 項所記載之基板處理裝置用元件的製造方法，係被配置在用來收容基板之基板處理裝置的收容室內之基板處理裝置用元件的製造方法，其特徵爲：

具有使存在於前述基板處理裝置用元件的表面附近之空孔狀缺陷的存在比率降低之缺陷存在比率降低步驟。

申請專利範圍第 2 項所記載之基板處理裝置用元件的製造方法，係針對申請專利範圍第 1 項所記載之基板處理裝置用元件的製造方法，其中前述缺陷存在比率降低步驟，係將不純物導入前述缺陷中。

申請專利範圍第 3 項所記載之基板處理裝置用元件的製造方法，係針對申請專利範圍第 2 項所記載之基板處理裝置用元件的製造方法，其中前述不純物，係由含氟氣體、含碳氣體、及含氧氣體之中的至少一種的氣體所生成的

電漿，而被生成。

申請專利範圍第 4 項所記載之基板處理裝置用元件的製造方法，係針對申請專利範圍第 1 項所記載之基板處理裝置用元件的製造方法，其中前述缺陷存在比率降低步驟，係將前述基板處理裝置用元件，作熱處理。

申請專利範圍第 5 項所記載之基板處理裝置用元件的製造方法，係針對申請專利範圍第 4 項所記載之基板處理裝置用元件的製造方法，其中前述缺陷存在比率降低步驟，係在非活性氣體的氣氛中，將前述基板處理裝置用元件的溫度，設成 $1200^{\circ}\text{C} \sim 1600^{\circ}\text{C}$ 。

申請專利範圍第 6 項所記載之基板處理裝置用元件的製造方法，係針對申請專利範圍第 1 項至第 5 項之任一項所記載之基板處理裝置用元件的製造方法，其中具有藉由正電子消滅法，來檢查前述基板處理裝置用元件的表面附近之檢查步驟。

爲了達成前述目的，申請專利範圍第 7 項所記載之基板處理裝置用元件，係被配置在用來收容基板之基板處理裝置的收容室內之基板處理裝置用元件，其特徵爲：

存在於表面附近之空孔狀缺陷的存在比率，係比存在於藉由 CVD 法而被形成的碳化矽體的表面附近之空孔狀缺陷的存在比率低。

【實施方式】

（實施發明的最佳形態）

以下，一邊參照圖面一邊說明有關本發明的實施形態。

首先，說明關於本發明的第 1 實施形態的基板處理裝置用元件及其製造方法。

第 1 圖係表示使用了作為有關本發明的第 1 實施形態的基板處理裝置用元件的聚磁環之基板處理裝置的概略構成的剖面圖。

在第 1 圖中，作為基板處理裝置而被構成之蝕刻處理裝置 1，配備：例如鋁製的圓筒型處理室 2；被配設在該處理室 2 內，經由絕緣材 4 來支持例如用來載置 200mm 的半導體晶圓 W 之下部電極 3，而可以升降自如的支持體 5；和面對下部電極 3，作為被配置在處理室 2 的上方之上部電極之噴頭 6。

處理室 2，其上部係被形成作為小直徑的上室 7，其下部係被形成作為大直徑的下室 8。偶極環磁石 9 被配置在上室 7 的周圍，該偶極環磁石 9，在上室 7 內，形成指向一方向的同樣的水平磁場。在下室 8 的側面上部，安裝使半導體晶圓 W 的搬出入口開閉之閘閥 10；蝕刻處理裝置 1，經由閘閥 10，與相鄰的加載互鎖真空室（未圖示）等接續。

高頻電源 11，經由匹配器 12，被接續至下部電極 3；高頻電源 11，對下部電極 3 施加規定的高頻電力。藉此，下部電極 3，發揮作為下部電極的機能。

為了以靜電吸著力來吸住半導體晶圓 W 之靜電夾盤

(ESC) 13，被配置在下部電極 3 的頂面。由導電膜所構成的圓板狀電極板 14，被配置在該靜電夾盤 13 的內部，直流電源 15 則導電地被接續至該電極板 14。半導體晶圓 W，藉由從直流電源 15 被施加在電極板 14 上的直流電壓所產生的庫倫力等，被吸住保持在靜電夾盤 13 的頂面上。

圓環狀的聚磁環 16，被配置在靜電夾盤 13 的周圍。因此，聚磁環 16，包圍被靜電夾盤 13 吸住之半導體晶圓 W 的周圍。又，聚磁環 16，由於是由碳化矽所構成，故具有大約與半導體晶圓 W 相同的導電性。藉此，聚磁環 16，能夠將在處理室 2 內所產生的電漿，有效率地導引至半導體晶圓 W。此處，聚磁環 16，係藉由後述有關本實施形態的基板處理裝置用元件之製造方法而被製造出來，其存在於表面附近的空孔狀缺陷的存在比率（以下稱為「缺陷存在比」），係被設成比存在於藉由 CVD 法而被形成的碳化矽體的表面附近之缺陷存在比率低。

將下部電極 3 上方的氣體，往處理室 2 的外面排出之排出路徑，被形成在上室 7 的側壁和下部電極 3 之間；環狀的擋板 17，則被配置在該排氣路徑的途中。從排氣路徑的擋板 17 往下游的空間（下室 8 的內部空間），連通至不僅進行處理室 2 內的壓力控制，且將處理室 2 內減壓至真空狀態為止之排氣系統 18。

由從該支持體 5 的下部朝向下方延伸設置的螺栓 19 所構成的下部電極升降機構，被配置在下部電極 3 的下部

。該下部電極升降機構，經由支持體 5，支持下部電極 3，並藉由利用未圖示的馬達等，使螺栓 19 旋轉，而使作為 GAP 之下部電極 3 升降。此下部電極升降機構，係藉由被配置在其周圍之伸縮囊 20、及被配置在該伸縮囊 20 的周圍之伸縮囊蓋 21，來遮斷處理室 2 內的氣氛。

又，從該靜電夾盤 13 的頂面突出自如的複數個推進銷 22，被配置在下部電極 3。這些推進銷 22 係在圖中的上下方向作移動。

此蝕刻處理裝置 1，在半導體晶圓 W 的搬出入之際，其下部電極 3，係下降至半導體晶圓 W 的搬出入位置為止，同時推進銷 22 從靜電夾盤 13 的頂面突出，使半導體晶圓 W 從下部電極 3 離開，而往上方抬起。又，在半導體晶圓 W 的蝕刻處理之際，下部電極 3 上升至半導體晶圓 W 的處理位置為止，同時推進銷 22 被收納在下部電極 3 內，靜電夾盤 13 則吸住保持半導體晶圓 W。

又，例如往圓周方向延伸之環狀的冷媒室 23，被設在下部電極 3 的內部。經由配管 24 從冷卻單元（未圖示）來的規定溫度的冷媒，例如冷卻水，被循環供給至此冷媒室 23 內，藉由該冷媒的溫度，被載置在下部電極 3 上之半導體晶圓 W 的處理溫度會被控制。

複數的傳熱氣體供給孔與傳熱氣體供給溝（未圖示），被配設在靜電夾盤 13 的頂面。這些傳熱氣體供給孔等，係經由被配置在下部電極 3 的內部之傳熱氣體供給管線 25，而被接續至傳熱氣體供給部 26；該傳熱氣體供給部

26，將傳熱氣體例如 He 氣體，供給至靜電夾盤 13 和半導體晶圓 W 之間的間隙中。此傳熱氣體供給部 26，也被構成可以將靜電夾盤 13 和半導體晶圓 W 之間的間隙抽真空。

被配置在處理室 2 的天花板部之噴頭 6，被接地（通地），噴頭 6 發揮作為接地電極的機能。又，緩衝室 27 被設在噴頭 6 的頂面，此緩衝室 27，接續從處理氣體供給部（未圖示）來的處理氣體導入管 28。MFC（Mass Flow Controller，質量流量控制器）29 被配置在此處理氣體導入管 28 的途中。此 MFC29，經由緩衝室 27 與噴頭 6，將規定的氣體例如處理氣體、N₂ 氣體等，供給至處理室 2 內，並控制該氣體的流量，與前述排氣系統 18 共同作用，將處理室 2 的壓力控制成所希望的值。

在此蝕刻處理裝置 1 的處理室 2 內，如前述般，高頻電力被施加在下部電極 3 上，藉由該被施加的高頻電力，在下部電極 3 與噴頭 6 之間，由處理氣體發生高密度的電漿，而生成離子等。

蝕刻處理裝置 1，在蝕刻處理之際，首先使閘閥 10 成為開狀態，將加工對象之半導體晶圓 W 搬入處理室 2 內。然後，先藉由噴頭 6，將處理氣體（例如規定流量比率的四氟化碳（CF₄）氣體與氧氣（O₂）之至少一種所組成的混合氣體），以規定的流量與流量比，導入處理室 2 內，再藉由排氣系統 18 等，將處理室 2 內的壓力作成規定值。進而，藉由高頻電源 11 對下部電極 3 施加高頻電力

，並藉由直流電源 15 對電極板 14 施加直流電壓，而將半導體晶圓 W 吸在下部電極 3 上。而且，使由噴頭 6 吐出的處理氣體，如上述般地電漿化。此電漿，藉由聚磁環 16，被收束在半導體晶圓 W 的表面上，而藉由此電漿所生成的離子，例如氟離子、氧離子等，將半導體晶圓 W 的表面，作物理蝕刻。

如前述般，在藉由碳化矽來形成聚磁環 16 的情況，作為碳化矽，有採用藉由燒結法而被形成的碳化矽（以下稱為「燒結碳化矽」）與藉由 CVD 法而被形成的碳化矽（以下稱為「CVD 碳化矽」）之任一種，但是不論是採用燒結碳化矽的情況、及採用 CVD 碳化矽的情況之任一種，已知在初期的蝕刻處理中，聚磁環 16 會發生微粒。

關於在初期的蝕刻處理中會發生微粒之機構，由於明瞭地說明有所困難，故本發明的發明人，類推該機構的假設，先製作出由碳化矽所構成的聚磁環，再將該聚磁環配置在蝕刻處理裝置的處理室內，觀察相對於蝕刻處理時間之從聚磁環來的微粒（碳化矽微粒）的發生數量、以及相對於蝕刻處理時間之聚磁環的消耗量。

其結果，本發明的發明人，確認了：在高頻電力的施加時間為 15 分鐘的時點，在處理室 2 內發生許多的微粒、微粒之中的大約 $1/3$ 是由聚磁環來的微粒、以及聚磁環的消耗幾乎沒有進行。又，本發明的發明人，確認了：在高頻電力的施加時間為 80 小時的時點，在處理室內的微粒持續減少、微粒之中的大約 $1/10$ 是由聚磁環來的微粒

、以及聚磁環的消耗持續進行。

亦即，本發明的發明人，確認了：伴隨著聚磁環的消耗，從聚磁環來的微粒的發生量持續減少。藉此，本發明的發明人，在初期的蝕刻處理中，關於發生微粒之機構，類推出第 2 圖所示之以下的假設。

在由碳化矽所構成的聚磁環的表面附近，存在多數個缺少碳、矽等所形成之空孔狀的缺陷（在圖中以“○”來表示），該缺陷的存在比率，越靠近表面越高。因此，聚磁環，被認為在其表面形成了脆性層（第 2 圖（A））。

在初期的蝕刻處理中，如圖中的箭頭所示，若離子等的物質衝撞此脆性層，則離子的動能會傳遞至此脆性層，於是脆性層中的碳化矽分子飛散，該飛散的碳化矽分子，成為微粒（第 2 圖（B））。

若對半導體晶圓 W 連續長時間地施行蝕刻處理，則以可以包圍該半導體晶圓 W 的周圍之方式而被配置之聚磁環，由於長時間暴露於電漿中，而消耗其脆性層，於是脆性層下方的比較緻密的層（以下稱為「緻密層」）露出。如圖中的箭頭所示，即使離子等的物質衝撞此緻密層，由於緻密層中的碳化矽的分子間力大，所以緻密層中的碳化矽分子不會飛散，其結果，幾乎不會發生微粒（第 2 圖（C））。

亦即，缺陷存在比率和微粒的發生量，有密切的關係；缺陷存在比率低的時候，微粒的發生量變少。

對應此假設，有關本發明的第 1 實施形態之基板處理

裝置用元件的製造方法，係使存在於由碳化矽所構成之作爲基板處理裝置用元件的聚磁環的表面附近之缺陷存在比率降低。

第 3 圖係作爲有關本發明的第 1 實施形態之基板處理裝置用元件的製造方法之零件製造處理的流程圖。

在第 3 圖中，首先，藉由燒結法或 CVD 法，形成所希望的尺寸的碳化矽體，再藉由切削加工，將該被形成的碳化矽體成形爲聚磁環（步驟 S31）。

接著，將被成形後的聚磁環，暴露於會生成不純物之由四氟化碳氣體與氧氣之中的至少一種的氣體所生成的電漿中，將由電漿來的不純物例如氟離子、氧離子等，導入存在於聚磁環的表面附近之空孔狀的缺陷中（缺陷存在比率降低步驟）（步驟 S32）。

在步驟 S32 中，首先，如圖中之繪有陰影線的箭頭所示，朝向被成形後的聚磁環的表面，照射電漿，將電漿中的氟離子、氧離子等作爲不純物，藉由摻雜或離子植入，導入缺陷中（第 4 圖（A））。被導入該缺陷中的氟離子、氧離子等，提高面向缺陷之碳化矽彼此之間的電的結合力（分子間力）。又，藉由被導入缺陷中的氟離子、氧離子等，留在缺陷中（在圖中，以繪有陰影線的圓來表示），結果存在於聚磁環的表面附近之缺陷存在比率降低，於是聚磁環的表層成爲比較緻密的層（以下稱爲「不純物導入層」）（第 4 圖（B））。

此時，氟離子、氧離子等，由於僅被導入聚磁環的表

面附近的缺陷中，所以不純物導入層的厚度薄，在將具有該不純物導入層之聚磁環配置在處理室內來進行蝕刻處理的情況，由於蝕刻，不純物導入層會有在早期便消耗之虞。

然而，即使是在蝕刻處理中，聚磁環，由於被曝露在由四氟化碳氣體與氧氣之至少一種氣體所組成的處理氣體而被生成的電漿中（在圖中以空白箭頭來表示），即使不純物導入層已經消耗，電漿中的不純物例如氟離子、氧離子等，繼續地被導入不純物導入層消耗而被曝露在電漿中的新的表面的附近之缺陷中。亦即，在新的表面附近，缺陷的存在比率繼續地降低，而形成新的不純物導入層（第4圖（C））。

因此，在步驟 S32 的不純物導入中所使用的電漿，理想為與在蝕刻處理中所使用的電漿相同。

第5圖係表示在第3圖中的步驟 S32 的不純物導入的結果之圖表。

在第5圖中，縱軸為各原子的密度，橫軸為從聚磁環表面算起的深度。在此圖表中，係表示先對由燒結碳化矽所構成的聚磁環，施行不純物導入，再藉由 SIMS（Secondary Ion Mass Spectrometry）法，分析已經被施行不純物導入後的聚磁環之結果。

如圖所示，在被曝露於電漿中的聚磁環中，由表面算起至深度大約為 $2\mu\text{m}$ 程度為止，存在氟原子、氧原子等。因此，藉由不純物導入，電漿中的氟離子、氧離子等，

被導入存在於深度 $2\mu\text{m}$ 為止之缺陷中。藉此，在被施行不純物導入後的聚磁環中，被形成其厚度大約為 $2\mu\text{m}$ 的不純物導入層。

燒結碳化矽的聚磁環與 CVD 碳化矽的聚磁環，在其表面附近，皆有多數個空孔狀的缺陷，但是前述不純物導入，由於可以對任一聚磁環施行，所以不論碳化矽的製造方法為何，能夠降低聚磁環的表面附近之缺陷存在比率。

第 6 圖係表示碳化矽的製造方法和缺陷存在比率之關係的圖表。

在第 6 圖中，縱軸係對應缺陷存在比率之 S 參數，橫軸係對應從聚磁環表面算起的深度之正電子能量。在此圖表中，係表示藉由正電子消滅法，測量在由各種碳化矽所構成的聚磁環的表面附近之缺陷存在比率的結果。

正電子消滅法，係先將從鈉放射性同位體被放出的正電子，打入碳化矽中，再藉由監視由於該被打入的正電子和碳化矽內的電子，例如內核電子、自由電子等的成對消滅所發生的能量，來測量缺陷存在比率。

於正電子消滅法，在其缺陷存在比率低的情況，正電子會侵入用來形成碳化矽的各原子的格子之間，與各原子的內核電子之成對消滅的比例（以下稱為「消滅比例」）變高。另一方面，缺陷存在比率高的情況，正電子侵入各缺陷，與缺陷中的自由電子之消滅比例變高。

一般而言，內核電子的動能，由於比自由電子的動能大，所以正電子和內核電子成對消滅時所發生的能量，比

正電子和自由電子成對消滅時所發生的能量大。因此，藉由監視成對消滅能量，能夠測量缺陷存在比率。例如，在被測量出來的成對消滅能量大的情況，被認定缺陷存在比率低。

又，S 參數為具有自由電子等之動能小的電子之消滅比例；S 參數越小，動能大的電子亦即與內核電子之消滅比例變多。因此，在第 6 圖的圖表中，S 參數越小，表示缺陷存在比率越低。

又，被打入碳化矽中的正電子的能量越大，正電子便越會侵入碳化矽的深部。因此，在第 6 圖的圖表中，係顯示出橫軸的正電子能量越大，從碳化矽的表面算起的深度越深。

針對第 6 圖的圖表，「●」係表示燒結碳化矽、「▲」係表示低電阻的 CVD 碳化矽、「▼」係表示高電阻的 CVD 碳化矽、「○」係表示被施行不純物導入後的燒結碳化矽、「△」係表示被施行不純物導入後的低電阻的 CVD 碳化矽、「▽」係表示被施行不純物導入後的高電阻的 CVD 碳化矽。此處，高電阻的 CVD 碳化矽的電阻值，例如為 $10000\ \Omega\text{ cm}$ ，低電阻的 CVD 碳化矽的電阻值，例如為 $0.01\sim 0.1\ \Omega\text{ cm}$ 。

如第 6 圖的圖所示，沒有被施行不純物導入之燒結碳化矽、低電阻的 CVD 碳化矽、及高電阻的 CVD 碳化矽之正電子的能量為 0，亦即碳化矽的表面的 S 參數互相相異；燒結碳化矽，其 S 參數最大；低電阻的 CVD 碳化矽，

其 S 參數最小。因此，沒有被施行不純物導入的情況，燒結碳化矽的缺陷存在比率最高，低電阻的 CVD 碳化矽的缺陷存在比率最低。

若對各碳化矽施行不純物導入，則不論碳化矽的製造方法為何， S 參數變小。例如，被施行不純物導入後的燒結碳化矽的 S 參數，會比沒有被施行不純物導入之低電阻的 CVD 碳化矽的 S 參數小。亦即，作為聚磁環的材料，即使是使用燒結碳化矽的情況，藉由施行不純物導入，相較於沒有被施行不純物導入之低電阻的 CVD 碳化矽，能夠降低缺陷存在比率。

因此，作為聚磁環的材料，即使是在使用燒結碳化矽的情況，藉由施行不純物導入，能夠使初期的蝕刻處理中的微粒的發生率，比沒有施行不純物導入之低電阻的 CVD 碳化矽的發生率低。

又，被施行不純物導入後的燒結碳化矽、低電阻的 CVD 碳化矽、及高電阻的 CVD 碳化矽，在碳化矽體的表面，由於顯示出相同的 S 參數，所以藉由施行不純物導入，不論碳化矽的製造方法為何，能夠將缺陷存在比率降低至同一的低水平為止。

因此，作為聚磁環的材料，即使是在使用燒結碳化矽的情況，藉由施行不純物導入，能夠使初期的蝕刻處理中的微粒的發生率，降低至與施行不純物導入後的 CVD 碳化矽的發生率同一的低水平為止。

回到第 3 圖，接著，將正電子打入已經被導入不純物

之聚磁環的表面附近，藉由正電子消滅法，檢查在聚磁環的表面附近之缺陷存在比率（檢查步驟）（步驟 S33）。被檢測出來的缺陷存在比率，在比規定的值低的情況，該聚磁環被配置在處理室內；被檢測出來的缺陷存在比率，在沒有比規定的值低的情況，該聚磁環沒有被配置在處理室內。

若根據有關本發明的第 1 實施形態之基板處理裝置用元件及其製造方法，由於不純物被導入存在於作為基板處理裝置用元件之由碳化矽所構成的聚磁環的表面附近之空孔狀的缺陷中，所以聚磁環的表面附近的缺陷存在比率降低。具體而言，聚磁環的表面附近的缺陷存在比率，會比沒有被施行不純物導入之 CVD 碳化矽體的表面附近的缺陷存在比率低。若表面附近的缺陷存在比率降低，則初期的蝕刻處理中的微粒的發生率降低。因此，能夠抑制從聚磁環來的微粒的發生，且由於不需要長時間的陳化處理，所以能夠防止蝕刻處理裝置的運轉率的降低。又，以微粒飛散防止為目的之研磨加工，變成不需要；進而，即使是在使用製造比較容易的燒結碳化矽的情況，由於也能夠使在初期的蝕刻處理中的微粒的發生率降低，所以能夠容易地製造聚磁環。

又，在前述本實施形態，即使是在蝕刻處理中，聚磁環，由於被曝露在由四氟化碳氣體與氧氣之至少一種氣體所組成的處理氣體而被生成的電漿中，所以作為不純物，從該電漿來的氟離子、氧離子等，被導入缺陷中。因此，

能夠容易地對存在於表面附近的缺陷進行不純物的導入，進而，即使聚磁環的不純物導入層已經消耗，電漿中的氟離子、氧離子等，也會繼續地被導入該不純物導入層消耗而被曝露在電漿中的新的表面的附近之缺陷中。亦即，在新的表面附近，缺陷的存在比率繼續地降低，而能夠繼續地形成新的不純物導入層。

又，在前述本實施形態，係對不純物已經被導入存在於其表面附近之空孔狀的缺陷中之聚磁環的表面附近，打入正電子，並藉由正電子消滅法，檢查在聚磁環的表面附近之缺陷存在比率。正電子消滅法，能夠容易地檢測出由碳化矽所構成的聚磁環的表面附近的缺陷存在比率。因此，不用進行長時間的實物評價，便能夠容易地判定有無從聚磁環發生微粒，因而能夠容易地製造出聚磁環。

接著，說明關於本發明的第 2 實施形態的基板處理裝置用元件及其製造方法。

本實施形態，其構成、作用，基板上與前述第 1 實施形態相同，針對基板處理裝置用元件之製造方法，其相異點僅在於不是前述的不純物導入，而是使用熱處理。因此，省略有關重複的構成、作用之說明，以下僅進行有關相異的構成、作用的說明。

針對作為有關本實施形態的基板處理裝置用元件之聚磁環，也與前述聚磁環 16 同樣，其存在於表面附近之缺陷存在比率，係被設定成比 CVD 碳化矽體的表面附近之缺陷存在比率低。本實施形態的聚磁環，與聚磁環 16 相

異之點，在於係藉由有關後述的本實施形態之基板處理裝置用元件之製造方法，而被製造出來。

以下，就有關本實施形態的基板處理裝置用元件之製造方法，加以說明。該製造方法，係對應在前述初期的蝕刻處理中會發生微粒的機構的假設，與有關第 1 實施形態之基板處理裝置用元件的製造方法同樣地使存在於由碳化矽所構成之作爲基板處理裝置用元件的聚磁環的表面附近之缺陷存在比率降低。

第 7 圖係作爲有關本發明的第 2 實施形態之基板處理裝置用元件的製造方法之零件製造處理的流程圖。再者，第 7 圖的處理中的步驟 S31 與 S33，與第 3 圖的步驟 S31 與 S33 相同。

在第 7 圖中，於步驟 S31 之後，在非活性氣體的氣氛中，使被成形後的聚磁環的溫度上升至 1200°C ，來進行聚磁環的熱處理（退火）（缺陷存在比率降低步驟）（步驟 S72）。

具體而言，於步驟 S72，係將聚磁環配置在氫的氣氛中，將該聚磁環的溫度維持在 1200°C ，持續 20 分鐘以上。此時，熱熔融後的碳化矽的分子等，發生流動，充填聚磁環的表面附近的空孔狀缺陷，而使其消滅。藉此，降低存在於聚磁環的表面附近之缺陷存在比率。

第 8 圖係表示在第 7 圖中的步驟 S72 的熱處理的結果之圖表。

在第 8 圖中，縱軸係對應缺陷存在比率之 S 參數，橫

軸係對應從聚磁環表面算起的深度之正電子能量。

在此圖表中，係表示利用正電子消滅法，測量在已經利用 1400°C 將聚磁環作熱處理後的情況中之缺陷存在比率的結果。如圖表所示，S 參數，在從表面至 200nm ($0.2\text{ }\mu\text{m}$) 的深度之間，急速地變小。亦即，聚磁環的表面附近之缺陷存在比率降低。此傾向，不論是燒結碳化矽與 CVD 碳化矽的任一種，皆是如此。

再者，聚磁環的溫度，若成為 1400°C 以上，則碳化矽開始蒸發，若成為 1600°C 以上，則由於該蒸發變激烈，所以在步驟 S72 的熱處理中，係將聚磁環的溫度設成 $1200^{\circ}\text{C} \sim 1600^{\circ}\text{C}$ ，理想為設成 $1200^{\circ}\text{C} \sim 1400^{\circ}\text{C}$ 。

若根據有關本發明的第 2 實施形態之基板處理裝置用元件及其製造方法，由於作為基板處理裝置用元件之由碳化矽所構成的聚磁環，被進行熱處理，所以存在於表面附近的空孔狀缺陷消滅，於是聚磁環的表面附近之缺陷存在比率降低。若表面附近之缺陷存在比率降低，則在初期的蝕刻處理中，微粒的發生率降低。因此，能夠抑制從聚磁環來的微粒的發生，且由於不需要長時間的陳化處理，所以能夠防止蝕刻處理裝置的運轉率的降低。又，由於以微粒飛散防止為目的之研磨加工變成不需要，所以能夠容易地製造聚磁環。

又，在步驟 S72 的熱處理中，聚磁環的溫度係被設成 $1200^{\circ}\text{C} \sim 1600^{\circ}\text{C}$ ，所以除了熱處理被促進，並能夠抑制聚磁環的碳化矽的蒸發。

在前述實施形態中，係說明了關於將本發明適用在作為基板處理裝置用元件之聚磁環上的情況，但是本發明可以適用之基板處理裝置用元件，並未被限定於聚磁環。例如，只要是上部電極、排氣整流環、遮蔽環等之被使用於消耗環境下之基板處理裝置用元件，便可以適用本發明。

又，本發明的製造方法，不僅可以適用於基板處理裝置用元件，也可以適用於與基板處理裝置用元件同樣地被使用在消耗環境下，例如加載互鎖真空室等的搬送裝置的構成元件上。

在前述實施形態中，被處理的基板為半導體晶圓，但是被處理的基板並未被限定為半導體晶圓，例如也可以是LCD（Liquid Crystal Display，液晶顯示器）、FPD（Flat Panel Display，平面顯示器）等的玻璃基板。

[發明之效果]

若根據申請專利範圍第1項所記載之基板處理裝置用元件的製造方法，存在於基板處理裝置用元件的表面附近之空孔狀缺陷的存在比率降低。若空孔狀缺陷的存在比率降低，則初期的蝕刻處理中的微粒的發生率降低。因此，能夠抑制從基板處理裝置用元件來的微粒的發生，且不需要長時間的陳化處理，所以能夠防止基板處理裝置的運轉率的降低。又，以微粒飛散防止為目的之研磨加工，變成不需要；進而，即使是在使用藉由其製造比較容易的燒結法所形成的碳化矽的情況，由於也能夠使在初期的蝕刻處

理中的微粒的發生率降低，所以能夠容易地製造出基板處理裝置用元件。

若根據申請專利範圍第 2 項所記載之基板處理裝置用元件的製造方法，由於不純物被導入存在於基板處理裝置用元件的表面附近之空孔狀的缺陷中，所以能夠確實地使該缺陷的存在比率降低。

若根據申請專利範圍第 3 項所記載之基板處理裝置用元件的製造方法，由於不純物係由含氟氣體、含碳氣體、及含氧氣體之中的至少一種的氣體所生成的電漿，而被生成，所以能夠容易地進行往存在於表面附近的缺陷之導入。又，這些電漿，由於在蝕刻處理中也會被生成，所以在蝕刻處理中，從這些電漿所生成的不純物，繼續地進行往缺陷之導入。因此，能夠繼續地降低缺陷的存在比率。

若根據申請專利範圍第 4 項所記載之基板處理裝置用元件的製造方法，由於基板處理裝置用元件被作熱處理，所以能夠使存在於表面附近的空孔狀缺陷消滅，而確實地降低缺陷的存在比率。

若根據申請專利範圍第 5 項所記載之基板處理裝置用元件的製造方法，由於在非活性氣體的氣氛中，基板處理裝置用元件的溫度，係被設成 $1200^{\circ}\text{C} \sim 1600^{\circ}\text{C}$ ，所以能夠促進熱處理，並能夠抑制基板處理裝置用元件的構成材料的蒸發。

若根據申請專利範圍第 6 項所記載之基板處理裝置用元件的製造方法，基板處理裝置用元件的表面附近，係藉

由正電子消滅法而被檢查。正電子消滅法，能夠容易地檢測出存在於處理裝置用元件的表面附近之空孔狀的缺陷存在比率。因此，能夠容易地判定有無從基板處理裝置用元件發生微粒，因而能夠容易地製造出基板處理裝置用元件。

若根據申請專利範圍第 7 項所記載之基板處理裝置用元件，存在於表面附近之空孔狀缺陷的存在比率，係比存在於藉由 CVD 法而被形成的碳化矽體的表面附近之空孔狀缺陷的存在比率低。空孔狀缺陷的存在比率，若比藉由 CVD 法所形成的碳化矽體的空孔狀缺陷的存在比率低，則在初期的蝕刻處理中的微粒的發生率降低。因此，能夠抑制從基板處理裝置用元件來的微粒的發生，且不需要長時間的陳化處理，所以能夠防止基板處理裝置的運轉率的降低。又，以微粒飛散防止為目的之研磨加工，變成不需要；進而，即使是在使用藉由其製造比較容易的燒結法所形成的碳化矽的情況，由於也能夠使在初期的蝕刻處理中的微粒的發生率降低，所以能夠容易地製造出基板處理裝置用元件。

【圖式簡單說明】

第 1 圖係表示使用了作為有關本發明的第 1 實施形態的基板處理裝置用元件的聚磁環之基板處理裝置的概略構成的剖面圖。

第 2 圖係表示在初期的蝕刻處理中，發生微粒之機構

的圖。

第 3 圖係作為有關本實施形態之基板處理裝置用元件的製造方法之零件製造處理的流程圖。

第 4 圖係表示在第 3 圖中的步驟 S32 的不純物導入的過程之圖。

第 5 圖係表示在第 3 圖中的步驟 S32 的不純物導入的結果之圖表。

第 6 圖係表示碳化矽的製造方法和缺陷存在比率之關係的圖表。

第 7 圖係作為有關本發明的第 2 實施形態之基板處理裝置用元件的製造方法之零件製造處理的流程圖。

第 8 圖係表示在第 7 圖中的步驟 S72 的熱處理的結果之圖表。

【主要元件符號說明】

W：半導體晶圓

1：蝕刻處理裝置

2：處理室

3：下部電極

4：絕緣材

5：支持體

6：噴頭

7：上室

8：下室

- 9：偶極環磁石
- 10：閘閥
- 11：高頻電源
- 12：匹配器
- 13：靜電夾盤
- 14：電極板
- 15：直流電源
- 16：聚磁環
- 17：擋板
- 18：排氣系統
- 19：螺栓
- 20：伸縮囊
- 21：伸縮囊蓋
- 22：推進銷
- 23：冷媒室
- 24：配管
- 25：傳熱氣體供給管線
- 26：傳熱氣體供給部
- 27：緩衝室
- 28：處理氣體導入管
- 29：MFC（質量流量控制器）

五、中文發明摘要

發明之名稱：基板處理裝置用元件及其製造方法

提供一種基板處理裝置用元件的製造方法，

能夠抑制微粒的發生，並防止基板處理裝置的運轉率的降低，且能夠容易地製造。

【解決手段】藉由切削加工，將已經藉由燒結法或 CVD 法而被形成的碳化矽體，成形為聚磁環（步驟 S31）；將被成形後的聚磁環，暴露於作為不純物之由四氟化碳氣體與氧氣之中的至少一種的氣體所生成的電漿中，將不純物導入存在於聚磁環的表面附近之空孔狀的缺陷（步驟 S32）；將正電子打入已經被導入該不純物之聚磁環的表面附近，藉由正電子消滅法，檢查在聚磁環的表面附近之缺陷存在比率（步驟 S33）。

六、英文發明摘要

發明之名稱：

第094139134號專利申請案中文申請專利範圍修正本

民國

10年

年

8月

3日

修正

修正
補充

十、申請專利範圍

1. 一種基板處理裝置用元件的製造方法，係被配置在用來收容基板之基板處理裝置的收容室內、由碳化矽形成之基板處理裝置用元件的製造方法，其特徵為具備：

準備已實施加工的上述基板處理裝置用元件之步驟；

及

使存在於前述基板處理裝置用元件的表面附近之空孔狀缺陷的存在比率降低之缺陷存在比率降低步驟；

前述缺陷存在比率降低步驟，係將不純物導入前述缺陷中。

2. 如申請專利範圍第 1 項之基板處理裝置用元件的製造方法，其中

上述基板處理裝置用元件之材料，係由燒結碳化矽或 CVD 碳化矽形成。

3. 如申請專利範圍第 1 或 2 項所記載之基板處理裝置用元件的製造方法，其中前述不純物，係由含氟氣體、含碳氣體、及含氧氣體之中的至少一種的氣體所生成的電漿，而被生成。

4. 如申請專利範圍第 1 或 2 項所記載之基板處理裝置用元件的製造方法，其中前述缺陷存在比率降低步驟，係將前述基板處理裝置用元件在 $1200^{\circ}\text{C}\sim 1600^{\circ}\text{C}$ 之溫度下作熱處理。

5. 如申請專利範圍第 1 或 2 項所記載之基板處理裝置用元件的製造方法，其中具有藉由正電子消滅法（Positron Annihilation Spectroscopy），來檢查前述基板處理裝置用元件的表面附近之檢查步驟。

6. 一種基板處理裝置用元件，係被配置在用來收容基板之基板處理裝置的收容室內之基板處理裝置用元件，其特徵為：

於上述基板處理裝置元件之表面附近存在著空孔狀缺陷，對上述缺陷導入不純物而降低上述缺陷的存在比率。

7. 如申請專利範圍第 6 項之基板處理裝置用元件，其中

上述基板處理裝置用元件之材料，係由燒結碳化矽或 CVD 碳化矽形成。

8. 如申請專利範圍第 6 或 7 項所記載之基板處理裝置用元件，其中前述不純物，係由含氟氣體、含碳氣體、及含氧氣體之中的至少一種的氣體所生成的電漿，而被生成。

9. 如申請專利範圍第 6 或 7 項所記載之基板處理裝置用元件，其中前述缺陷存在比率降低步驟，係將前述基板處理裝置用元件在 $1200^{\circ}\text{C}\sim 1600^{\circ}\text{C}$ 之溫度下作熱處理。

10. 如申請專利範圍第 6 或 7 項之基板處理裝置用元件，其中

上述基板處理用元件為聚磁環（focus ring）。

11. 一種基板處理裝置，係被配置在收容基板的基板

處理裝置的收容室內者，其特徵為具備：

腔室，用於收容上述基板；

氣體導入手段，用於對上述腔室內供給處理氣體；

電漿產生手段，用於在上述腔室內產生上述處理氣體之電漿；

排氣通路，用於將上述腔室內之處理氣體排出外部；

及

基板處理裝置用元件，係配置於上述腔室內；

於上述基板處理裝置元件，係表面附近存在著空孔狀缺陷，對上述缺陷導入不純物而降低上述缺陷的存在比率。

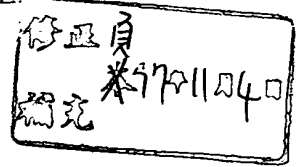
12. 如申請專利範圍第 11 項之基板處理裝置，其中上述基板處理裝置用元件之材料，係由燒結碳化矽或 CVD 碳化矽形成。

13. 如申請專利範圍第 11 或 12 項所記載之基板處理裝置，其中前述不純物，係由含氟氣體、含碳氣體、及含氧氣體之中的至少一種的氣體所生成的電漿，而被生成。

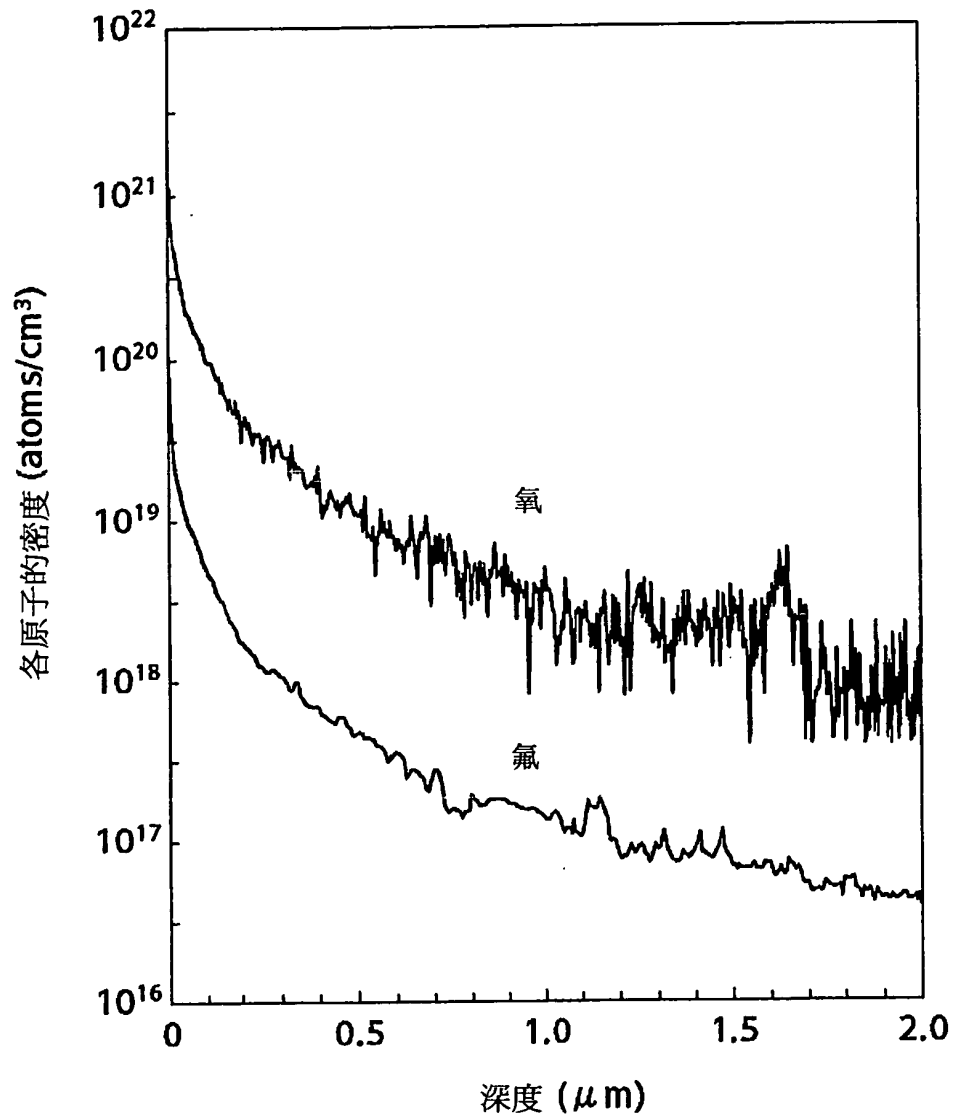
14. 如申請專利範圍第 11 或 12 項所記載之基板處理裝置，其中前述基板處理裝置用元件係在 $1200^{\circ}\text{C}\sim 1600^{\circ}\text{C}$ 之溫度下作熱處理。

15. 如申請專利範圍第 11 或 12 項之基板處理裝置，其中

上述基板處理用元件為聚磁環。



第5圖



七、指定代表圖：

(一)、本案指定代表圖為：第 (3) 圖

(二)、本代表圖之元件代表符號簡單說明：無

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無