(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4699699号
(P4699699)
(45)発行日　平成23年6月15日(2011.6.15)　(24)登録日　平成23年3月11日(2011.3.11)

(51)Int.Cl.		F I		
G02B 26/10	(2006.01)	G02B	26/10	Z
H04N 1/036	(2006.01)	H04N	1/036	Z
H04N 1/113	(2006.01)	H04N	1/04	104A

請求項の数 8　(全 21 頁)

(21)出願番号　特願2004-8521(P2004-8521)
(22)出願日　平成16年1月15日(2004.1.15)
(65)公開番号　特開2005-202161(P2005-202161A)
(43)公開日　平成17年7月28日(2005.7.28)
審査請求日　平成18年12月19日(2006.12.19)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(73)特許権者　000003562
東芝テック株式会社
東京都品川区東五反田二丁目１７番２号
(74)代理人　100107928
弁理士　井上　正則
(72)発明者　小宮　研一
静岡県三島市南町６－７８　東芝テック株式会社　三島事業所内
(72)発明者　谷本　弘二
静岡県三島市南町６－７８　東芝テック株式会社　三島事業所内

最終頁に続く

(54)【発明の名称】ビーム光走査装置及び画像形成装置

(57)【特許請求の範囲】
【請求項１】
隣接する画素のデータを第１の画素データと第２の画素データに振り分けて出力する画素データ処理手段と、
発光された走査ビームの通過検知に基づいて水平同期信号を発生する水平同期信号生成手段と、
前記水平同期信号生成手段から発生する水平同期信号に基づいて基準クロックを同期させるとともに、この新たに生成された基準クロックに前記画像データ処理手段から転送されてくる前記第１の画素データと前記第２の画素データをそれぞれ同期させる信号同期手段を含み、この信号同期手段から出力されたそれぞれの画素データに応じたパルス幅とパルス位置を調整する調整手段と、
この調整手段から出力され調整された前記第１の画素データ及び調整された前記第２の画素データを合成する合成手段と、
この合成手段から出力された画素のデータに応じて走査ビームとして発光する発光手段とを有することを特徴とするビーム光走査装置。
【請求項２】
前記調整手段は、前記信号同期手段から出力させた前記第１の画素データに基づく出力パルス幅を調整する第１の出力パルス調整手段と、
前記信号同期手段から出力させた前記第２の画素データに基づく出力パルス幅を調整する第２の出力パルス調整手段を含むことを特徴とする請求項１記載のビーム光調整装置。

【請求項３】
前記調整手段は、前記信号同期手段から出力された前記第２の画素データを１画素出力相当分以内で所定の時間出力を遅らせる遅延手段を含むことを特徴とする請求項２記載のビーム光走査装置。
【請求項４】
前記第１の出力パルス調整手段または前記第２の出力パルス調整手段で調整する時間よりも短い時間で、前記合成手段によって合成されたそれぞれの画素データに基づく発光制御を行うドライバをさらに備えることを特徴とした請求項２記載のビーム光走査装置。
【請求項５】
前記調整手段は、前記水平同期信号生成手段から出力された水平同期信号と前記信号同期手段から出力された前記第１の画素データ及び前記第２の画素データのうち少なくとも前記第２の画素データを入力し隣接する画素データに影響を与える画素データの一部をマスクするための信号に基づいて前記第１の画素データまたは前記第２の画素データをマスク合成するデータマスク合成手段を含むことを特徴とする請求項１乃至４の何れか一記載のビーム光走査装置。
【請求項６】
画像処理された画素のデータを所定の画素の配列に基づいて複数の画素データに振り分けて異なる端子から出力する画素データ処理手段と、
発光された走査ビームの通過検知に基づいて水平同期信号を発生する水平同期信号生成手段と、
前記水平同期信号生成手段から発生する水平同期信号に基づいて基準クロックを同期させるとともに、前記画素データ処理手段から出力された複数の画素データに対して同期させた前記基準クロックとそれぞれ同期して画素データを出力する信号同期手段を含み、この信号同期手段から出力されたそれぞれの画素データに応じたパルス幅とパルス位置を調整する調整手段と、
前記画素データ処理手段によって振り分けられた総ての画素データであって前記調整手段から出力され調整された前記複数の画素データを合成する合成手段と、
この合成手段から出力された画素のデータに応じて走査ビームとして発光する発光手段とを有することを特徴としたビーム光走査装置。
【請求項７】
前記調整手段は、前記信号同期手段から出力させたそれぞれの画素データに基づく出力パルス幅を調整する出力パルス調整手段とを含むことを特徴とする請求項６記載のビーム光走査装置。
【請求項８】
請求項１乃至７の何れか一記載のビーム光走査装置と、
前記発光手段から発光されたビームを受光する像担持体に前記ビーム光によって作成された潜像を顕像化するための現像手段を含むプリンタエンジン部とを有することを特徴とする画像形成装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、ビーム光走査装置及びそれを用いた画像形成装置に関するものである。
【背景技術】
【０００２】
電子写真方式を用いた画像形成装置はビーム光走査装置を備えている。ビーム光走査装置は、光源としてレーザダイオードの発光素子を有している。近年画像形成を高速化するためにレーザダイオードを複数設けて、個々のレーザダイオードからの出力をハーフミラーを介して所定の方向に所定のビーム間隔を有した実質的に１本のレーザビームに纏めている。纏められたレーザビームはポリゴンミラーに入射される（例えば、特許文献１参照）。

【０００３】
【特許文献１】特開２００１－９１８７３号公報（図１、図７）
【発明の開示】
【発明が解決しようとする課題】
【０００４】
しかしながら、ビームを発光する発光素子のレーザダイオードが高価なため、発光手段として多くのレーザダイオードを用いると、ビーム光走査装置及びそれを用いた画像形成装置が高価になるという問題を有する。
【０００５】
本発明は、上記課題を解決するものであり、少ない数の発光手段によって画像形成するための発光を高速で行うとともに、価格を抑えることを目的にする。
【課題を解決するための手段】
【０００６】
本発明は、画像処理された隣接する画素のデータを第１の画素データと第２の画素データに振り分けて出力する画素データ処理手段と、発光された走査ビームの通過検知に基づいて水平同期信号を発生する水平同期信号生成手段と、前記水平同期信号生成手段から発生する水平同期信号に基づいて基準クロックを同期させるとともに、この新たに生成された基準クロックに前記画像データ処理手段から転送されてくる前記第１の画素データと前記第２の画素データをそれぞれ同期させる信号同期手段を含み、この信号同期手段から出力されたそれぞれの画素データに応じたパルス幅とパルス位置を調整する調整手段と、この調整手段から出力され調整された前記第１の画素データ及び調整された前記第２の画素データを合成する合成手段と、この合成手段から出力された画素のデータに応じて走査ビームとして発光する発光手段とを有することを特徴とするビーム光走査装置を提供する。
【発明の効果】
【０００７】
本発明によれば、少ない数の発光手段によって画像形成するための発光を高速で行うとともに、価格を抑えたビーム光走査装置及び画像形成装置を得ることができる。
【発明を実施するための最良の形態】
【０００８】
本発明の第１の実施の形態について図１乃至図４に基づいて説明をする。図１は画像形成装置の電気的ブロック図、第２図はビーム光走査装置の一部の電気回路の詳細図、図３はＰＷＭ（Ｐｕｌｓｅ　Ｗｉｄｔｈ　Ｍｏｄｕｌａｔｏｒ）のパルス幅調整及びパルス位置に関する説明図、図４は第１の実施の形態のタイミングチャートである。
【０００９】
最初に図１に示した画像形成装置の電気的ブロック図について説明をする。画像形成装置は画像形成装置全体の制御を司る主制御部（ＣＰＵ）１１を備えている。このＣＰＵ１１で制御する制御内容を記憶したＲＯＭ（リード・オンリー・メモリ）やＣＰＵ１１によって画像処理メモリとは異なる種々のデータを一時的に記憶するＲＡＭ（ランダム・アクセス・メモリ）などのメモリ１２が画像形成装置に配置されている。また、像担持体の表面を均一的に帯電する帯電手段や像担持体に作成された潜像を顕像化するための現像手段や像担持体に顕像化された画像を搬送されてくる媒体に転写する転写手段などの電子写真プロセス部分と、媒体を搬送するための搬送手段と、媒体上に転写された画像を定着するための定着手段などを含むプリンタエンジン部１３も備えている。これら電子写真プロセス部分、搬送手段、定着手段などは周知の技術のため図１においてはプリンタエンジン部１３としてまとめ、詳細な説明及びその図示を省略する。さらに画像形成装置は画像を読み取るためのスキャナ部１４、このスキャナ部１４で読取られた画像を処理する画像メモリを含む画像処理部１５を備えている。また、スキャナ部１４も周知の技術のため図１においては簡略化して示している。外部のパーソナルコンピュータなどから媒体に出力するために送られてくるデータを受取る外部インターフェース（外部Ｉ／Ｆ）１６、外部Ｉ／Ｆ１６から受取った画像情報を一時保持するページメモリ１７が設けられている。

画像処理部１５またはページメモリ１７からの画像データを選択的に受取る画像データインターフェース（画像データＩ／Ｆ）１８が設けられている。

【００１０】

さらに、この画像形成装置はオペレータが操作するコントロールパネルやその制御回路を含むコントロールパネル部１９を有し、ファクシミリ通信によって送られてくるデータも外部通信インターフェース（外部通信Ｉ／Ｆ）２０を介して受信することができる。

さらに、画像形成装置は本発明の特徴部分であるレーザ制御手段であるレーザ制御部３０を備えている。また、レーザ制御部３０はレーザビームを発光するレーザダイオード８１を制御するレーザダイオードドライバ８２と接続されている。また、レーザ制御部３０とレーザダイオード８１によって発光手段は構成されている。レーザダイオードから発光されたレーザビームはプリンタエンジン部１３に設けている像担持体の表面に潜像画像を形成する。また、レーザ制御部３０はレーザダイオード８１から発光されるレーザビームを受光する水平同期センサ８３を制御するドライバや水平同期センサから入力されたパルス状の電流を電圧信号に変換する電流電圧変換回路や２値化回路を含むビーム検知回路８４とも接続している。水平同期センサ８３及びビーム検知回路８４で水平同期信号生成手段が構成されている。また、レーザ制御部３０は画像データＩ／Ｆ１８とも接続され、画像データＩ／Ｆ１８からの画像データを受取る。

【００１１】

画像形成装置にはレーザダイオード８１が発光するレーザビームを受取り反射するポリゴンミラーを回転させるポリゴンモータ８５を制御するポリゴンモータドライバ８６を設けている。

【００１２】

ＣＰＵ１１はバスを介して、メモリ１２、プリンタエンジン部１３、スキャナ部１４、コントロールパネル部１９、外部通信Ｉ／Ｆ２０、ビーム検知回路８４、ポリゴンモータドライバ８６などと接続している。

【００１３】

レーザ制御部３０、レーザダイオード８１、レーザダイオードドライバ８２、水平同期センサ８３ビーム検知回路８４、ポリゴンモータ８５、ポリゴンモータドライバ８６などによってビーム光走査装置が形成されている。

【００１４】

次に図２を用いてレーザ制御部３０について詳細に説明をする。レーザ制御部３０内部には画像処理された隣接するデータを第１の画素データと第２の画素データに振り分ける画素データ処理手段である画像データ処理部３１と、基準クロックと同期した第１の画素データまたは第２の画素データを出力する信号同期手段である同期回路３２と、隣接する画素に影響するデータをマスク処理するための信号を生成するマスクパルス発生手段であるパルス発生回路３３と、レーザ制御処理に関する基準になるクロックを出力する基準クロック３４を備えている。また、第１の画素データに基づく出力パルス幅を調整する第１の出力パルス調整手段であるＰＷＭ１（第１のＰＷＭと称する）３５と、第２の画素データに基づく出力パルス幅を調整する第２の出力パルス調整手段であるＰＷＭ２（第２のＰＷＭと称する）３６を備えている。パルス発生回路３３から出力された信号と第１のＰＷＭ３５から出力された信号の積を採るデータマスク合成手段の一部である第１のＡＮＤ回路（ＡＮＤ１）３７と、インバータ３９を介して反対極性にしたパルス発生回路３３から出力された信号と第２のＰＷＭ３６から出力された信号の積を採るデータマスク合成手段の一部である第２のＡＮＤ回路（ＡＮＤ２）３８と、第１のＡＮＤ回路３７から出力された信号（調整された第１の画素データ）と第２のＡＮＤ回路３８から出力された信号（調整された第２画素のデータ）の和を採る合成手段である合成回路４０などを備えている。なお、同期回路３２、パルス発生回路３３、第１のＰＷＭ３５、第２のＰＷＭ３６、第１のＡＮＤ回路３７、第２のＡＮＤ回路３８、インバータ３９などから調整手段が構成されている。

【００１５】

ビーム検知回路８４とパルス発生回路３３とが接続され水平同期信号ＢＤが送られる。また、ビーム検知回路８４とは同期回路３２とも接続され水平同期信号ＢＤが送られる。画像データ処理部３１は画像データＩ／Ｆ１８と接続されている。画像データ処理部３１は第１の画素データと第２の画素データを同期回路３２に転送するために別々の線で接続されている。また、基準クロック３４は同期回路３２と接続されている。同期回路３２は第１のＰＷＭ３５と接続されるとともに第２のＰＷＭ３６と接続されている。第１のＡＮＤ回路３７はパルス発生回路３３と接続されるとともに第１のＰＷＭ３５とも接続されている。第１のＡＮＤ回路３８はインバータ３９を介してパルス発生回路３３と接続されるとともに第１のＰＷＭ３５とも接続されている。合成回路４０は第１のＡＮＤ回路３７と接続されているとともに第２のＡＮＤ回路３８とも接続されている。合成回路４０はレーザダイオードドライバ８２と接続されている。

【００１６】

水平同期センサ８３はフォトダイオードから形成されている。水平同期センサ８３はポリゴンモータ８５によって回転される図示しないポリゴンミラーによって図２で示される矢印方向に走査されるレーザビームの通過タイミングを検知し、検知した光量に応じて電流を発生させる。この電流はビーム検知回路８４内にある電流電圧回路によって変換された後に２値化回路にてデジタル信号になり、ビーム検知回路８４から出力される。

【００１７】

画像データ処理部３１は画像処理部１５にある画像メモリまたはページメモリ１７に記憶された画像データ（画素データ）が画像データＩ／Ｆ１８を介して入力される。画像データ処理部３１は入力された画素データをそれぞれのＰＷＭに対応した画素データに振り分ける。本実施の形態では奇数画素のデータを第１のＰＷＭ３５で処理するとともに、偶数画素のデータを第２のＰＷＭ３６で処理するように設定されている。振り分けられた画素データは対応する線を介して同期回路３２に転送される。本実施の形態では第１の画素データである奇数画素データは図２中の画像データ１を示している線を介し、第２の画素データである偶数画素データは画像データ２を示している線を介して同期回路３２に入力される。

【００１８】

同期回路３２は基準クロック３４が発生する基準クロックＣＬＫ０をもとに、ビーム検知回路８４から出力した水平同期信号ＢＤに同期した新たな基準クロックＣＬＫ１を生成する。また、同期回路３２は新たに生成された基準クロックＣＬＫ１に画像データ処理部３１から転送されてくる第１の画素データを同期させる。同期させた第１の画素データである奇画素データは図２中の画像データ３を示している線を介して第１のＰＷＭ３５に入力される。また同期回路３２によって同期させた第２の画素データである偶数画素データは図中の画像データ４を示している線を介して第２のＰＷＭ３６に入力される。

【００１９】

パルス発生回路３３はビーム検知回路８４から出力された水平同期信号ＢＤが入力されるとともに、同期回路３２でビーム検知回路８４から出力された水平同期信号ＢＤによって同期された基準クロックＣＬＫ１が入力される。パルス発生回路３３は入力された信号に基づいて隣接する画素に影響するデータをマスクするための信号を生成して第１のマスクパルス信号ＳＩＧ１として出力する。また、パルス発生回路から出力した第１のマスクパルス信号ＳＩＧ１はインバータ３９を介して反対極性の第２のマスクパルス信号ＳＩＧ２も生成される。

【００２０】

基準クロック３４はレーザ制御のタイミングをとるためにレーザ制御部３０に独自に設けられている。

【００２１】

出力パルス調整手段である第１のＰＷＭ３５及び第２のＰＷＭ３６はそれぞれの画素のデータに応じたパルス幅の出力を行う。本第１の実施の形態では第１のＰＷＭ３５と第２のＰＷＭ３６の基準クロックが共通であるため、このままでは第１の画素データと第２の

画素データが重なってしまう。したがって、パルス幅調整の機能とパルス位置を可変する機能を用いて第１のＰＷＭ３５と第２のＰＷＭ３６の出力の位相差を設けている。また、パルス幅を変更することによって、１画素以下の画像を形成することを実現している。さらに、パルス位置を変更することによって、ぎざぎざのない滑らかな斜線を形成することを実現している。このパルス位置を可変できる機能を利用して本実施の形態ではパルス幅を１／２５５単位で刻み、第１のＰＷＭ３５は奇数画素を形成するために用いパルス位置を左基準とし、第２のＰＷＭ３６は偶数画素を形成するために用いパルス位置を中央基準として制御しているので各画素間に位相を設け隣接する画素が重なり合うことを防止している。

【００２２】

ここでさらに出力パルス調整手段であるＰＷＭのパルス幅の変更機能とパルス位置の変更機能を図３を用いて詳細に説明をする。

【００２３】

図３にＴ１で示す周期は第１のＰＷＭ３５が動作する周期に相当する。また、図３中でＴ２で示す期間は画素クロック周期に相当し、周期Ｔ１は周期Ｔ２の２倍の長さの周期になっている。また、周期Ｔ１の前半部分のＴ２は奇数画素の動作に関係し、周期Ｔ１の後半部分のＴ２は偶数画素の動作に関係する。

【００２４】

パルス位置は時系列に対して前側基準である左基準、時系列に対して後基準である右基準及び中央基準の３つの基準から選択することが出来る。パルス位置を左基準に選択された場合にはパルスの立上がり位置を基準にしてパルス幅が変更される。すなわち、最小パルス幅に対してパルス幅が大きくなると時系列に対して後側になる図３に示す右側の立下がり位置が変化し、パルス幅が広がる。図３においては最小単位のパルス幅をｔ１で示し、その２倍のパルス幅の場合をｔ２、最小単位のパルス幅に対して３倍のパルス幅を持つ場合をｔ３、最小単位のパルス幅に対して４倍のパルス幅を持つ場合をｔ４で示している。尚、奇数画素の最大パルス幅に対してｔ４はその半分を示している。パルス位置を右基準に選択された場合にはパルスの立下がり位置を基準にしてパルス幅が変更される。すなわち、最小パルス幅に対してパルス幅が大きくなると時系列に対して前側になる図３に示す左側の立上がり位置が変化し、パルス幅が広がる。右基準の立下がり位置は所定の画素の後端部分と一致している。

【００２５】

一方、パルス位置を中央基準に選択された場合にはパルス幅の中央位置を基準にしてパルス幅が変更される。すなわち、最小パルス幅に対してパルス幅が大きくなると時系列に対して前側及び後側の左右両方の立上がり位置及び立下がり位置双方が変化し、パルスが広がる。図３においては最小単位のパルス幅をｔ１で示し、その２倍のパルス幅の場合をｔ２、最小単位のパルス幅に対して３倍のパルス幅を持つ場合をｔ３、最小単位のパルス幅に対して４倍のパルス幅を持つ場合をｔ４、最小単位のパルス幅に対して５倍のパルス幅を持つ場合をｔ５で示している。

【００２６】

このような機能を有するパルス幅調整素子を本第１の実施の形態では第１のＰＷＭ３５と第２のＰＷＭ３６に用いている。また、第１のＰＷＭ３５は左基準で使用し、第２のＰＷＭ３６は中央基準として使用することによって各画素に位相を設けている。

【００２７】

第１のＡＮＤ回路３７は第１のＰＷＭ３５によって出力されたパルス幅調整された第１の画素データＰＩＸＤＡＴ１を入力するとともにパルス発生回路３３から出力されたマスク信号を入力し、調整された信号として図２中にＰＩＸＤＡＴ５で示す信号を出力する。また、第２のＡＮＤ回路３８は第２のＰＷＭ３６によって出力されたパルス幅調整された第２の画素データＰＩＸＤＡＴ２を入力するとともにパルス発生回路３３から出力されたマスク信号の反転信号を入力し、調整された信号として図２中にＰＩＸＤＡＴ６で示す信号を出力する。

【００２８】
合成回路４０は第１のＡＮＤ回路３７から出力されたＰＩＸＤＡＴ５として調整された第１の画素データと第２のＡＮＤ回路３８から出力されたＰＩＸＤＡＴ６として調整された第２の画素データを合成する。この合成された信号はレーザダイオードドライバ８２にＰＩＸＤＡＴ３として出力される。この合成回路４０はＯＲ回路で形成されている。
【００２９】
尚、レーザダイオードドライバ８２の駆動速度は第１のＰＷＭ３５及び第２のＰＷＭ３６に比べて高速に処理することが出来るので、２つの系統で処理された信号が、レーザダイオードドライバ側で対応しきれない状態は発生しない。
【００３０】
次に第１の実施の形態の作用について図４を用いて説明をする。
【００３１】
ビーム検知回路８４から出力させる水平同期信号ＢＤが同期回路３２に入力されると基準クロックの周期が変わる。本第１の実施の形態では水平同期信号ＢＤが立上がると同期回路３２から出力される基準クロックＣＬＫ１はＰＷＭの周期であるＴ１より短い周期に変更される。
【００３２】
水平同期信号ＢＤが立下がったときに同期回路３２から出力される基準クロックＣＬＫ１が立上がるとともに、第１のＰＷＭ３５から出力される信号ＰＩＸＤＡＴ１も立上がる。このとき第１のＰＷＭ３５は左基準としてＴ１の周期２５５に対してパルス幅９６の出力を行っている。また、パルス発生回路３３から出力される第１のマスクパルス信号ＳＩＧ１はＰＷＭが動作する周期Ｔ１の半分のＴ２の時間のパルス幅になっている。合成回路４０から出力された信号ＰＩＸＤＡＴ３も水平同期信号ＢＤが立下がった時に立上がり第１の画素の出力が開始される。このときパルスの幅はＰＩＸＤＡＴ１の立上がり時間全体を通して第１のマスクパルス信号ＳＩＧ１も立上がっているので、ＰＩＸＤＡＴ１と同等の信号を得ることができる。また、図示はしていないがこのときのＰＩＸＤＡＴ３の信号はＰＩＸＤＡＴ５の信号である。
【００３３】
第２画素目を形成する第２のＰＷＭ３６から出力は、中央基準としてパルス幅６４の出力を行っている。したがって、水平同期信号ＢＤが立下がったときからＴ２の経過前にＰＩＸＤＡＴ２の信号の立上がりがおこる。また、パルス発生回路から発生された第１のマスクパルス信号ＳＩＧ１に基づいて生成される第２のマスクパルス信号ＳＩＧ２は水平同期信号ＢＤの立下がりからＴ２経過した後に立上がる。また、図４に示すように、第１のマスクパルス信号ＳＩＧ１及び第２のマスクパルス信号ＳＩＧ２は周期Ｔ１でＨのレベル時間がＴ２であるとともにＬのレベル時間もＴ２であるディーティ５０％の信号として作用している。また、第１のマスクパルス信号ＳＩＧ１と第２のマスクパルス信号ＳＩＧ２は相互にＴ２だけ位相差をもって作用している。合成回路４０から出力された信号ＰＩＸＤＡＴ３はＰＩＸＤＡＴ２からの出力に基づいた所定の幅を持ったパルス幅であるパルス幅３２になっている。このとき、ＰＩＸＤＡＴ３のＨレベルの出力時間はＰＩＸＤＡＴ２のＨレベルであるとともに第２のマスクパルス信号ＳＩＧ２のＨレベルであるときになっている。第２のマスクパルス信号ＳＩＧ２が水平同期信号ＢＤの立下がりからＴ２経過した以降にＨレベルになっているため、ＰＩＸＤＡＴ２のＨレベルの前半部分のパルス幅３２分についてはＰＩＸＤＡＴ３には反映されず、この部分のＰＩＸＤＡＴ３の出力はＬレベルになっている。第２のＰＷＭ３６の出力であるＰＩＸＤＡＴ２の出力パルス幅の前半部分がレーザダイオードドライバ８２に反映されず、マスクがかけられた状態になっている。しかし、この部分は本来第２のＰＷＭ３６が作用を行う部分ではなく、第１のＰＷＭ３５によって作用されるタイミングである。このように第２のＰＷＭ３６の基準を中央基準とした場合でも、パルス発生回路３３から出力される信号に基づいてマスクがかけられ所望のパルス幅を有した信号にすることが出来る。また、図示はしていないがこのときのＰＩＸＤＡＴ３の信号はＰＩＸＤＡＴ６の信号である。

【００３４】
このようにして第１番目の画素に対してはパルス幅９６の出力が得られ、第２番目の画素に対してはパルス数３２の画素が得られる。また、第３番目以降の奇数番目の画素については第１番目の画素と同様の作用によってＰＩＸＤＡＴ３の出力が得られる。第４番目以降の偶数番目の画素については第２番目の画素と同様な作用によってＰＩＸＤＡＴ３の出力が得られる。

【００３５】
本第１の実施の形態では１つのレーザダイオードドライバに対してレーザダイオードドライバの駆動より遅いＰＷＭを２つ利用しての発光を行うので、高速な発光を実現することが出来る。この構成によって１つのレーザダイオードドライバに対して１つのＰＷＭを利用して発光を行う構成よりも高速で発光を行うことも可能になる。また、高価なレーザダイオードの数を増やすこと無く高速化を実現できる効果もある。また、パルス発生回路を用いているので、隣接する画素の部分に影響を与えるデータ（信号）をマスクすることができ、適切な発光タイミングを実現でき、良好な画像形成をすることも出来る。

【００３６】
次に第２の実施の形態について説明をする。尚、画像形成装置の全体については図１と同等であるため同じ番号を付し説明を省略する。図５はビーム光走査装置の一部のレーザ制御部３０の電気回路の詳細図、図６は第２の実施の形態のタイミングチャートである。

【００３７】
レーザ制御部３０の内部には、画像処理された隣接するデータを第１の画素データと第２の画素データに振り分ける画素データ処理手段である画像データ処理部５１と、基準クロックと同期した第１の画素データ及び第２の画素データを出力する信号同期手段である同期回路５２と、隣接する画素に影響するデータをマスク処理するための信号を生成するマスクパルス発生手段であるパルス発生回路５３と、レーザ制御処理に関し基準になるクロックを出力する基準クロック５４を備えている。また、第１の画素に基づく出力パルス幅を調整する第１の出力パルス調整手段であるＰＷＭ１（第１のＰＷＭと称する）５５と、同期回路５２から出力される同期された画素データに対して所定の時間遅らせる遅延手段である遅延回路（ＤＬＹ１）５０と、第２の画素データに基づく出力パルス幅を調整する第２の出力パルス調整手段であるＰＷＭ２（第２のＰＷＭと称する）５６を備えている。パルス発生回路５３から出力された信号と第１のＰＷＭ５５から出力された信号の積を採るデータマスク合成手段の一部である第１のＡＮＤ回路（ＡＮＤ１）５７と、インバータ５９を介して反対極性にしたパルス発生回路５３から出力された信号と第２のＰＷＭ５６から出力された信号の積を採るデータマスク合成手段である第２のＡＮＤ回路（ＡＮＤ２）５８と、第１のＡＮＤ回路５７から出力された信号（調整された第１の画素データ）と第２のＡＮＤ回路５８から出力された信号（調整された第２画素のデータ）の和を採る合成手段である合成回路６０などを備えている。なお、同期回路５２、パルス発生回路５３、第１のＰＷＭ５５、第２のＰＷＭ５６、第１のＡＮＤ回路５７、第２のＡＮＤ回路５８、インバータ５９、遅延回路５０等から調整手段が構成されている。

【００３８】
ビーム検知回路８４とパルス発生回路５３とが接続され水平同期信号ＢＤが送られる。また、ビーム検知回路８４とは同期回路５２とも接続され水平同期信号ＢＤが送られる。画像データ処理部５１は画像データＩ／Ｆ１８と接続されている。画像データ処理部５１は第１の画素データと第２の画素データを同期回路５２に転送するために別々の線で接続されている。また、基準クロック５４は同期回路５２と接続されている。同期回路５２は第１のＰＷＭ５５と接続されている。また、同期回路５２は、遅延手段である遅延回路５０とはタイミングを伝える信号線と画像を送信する信号線の２つで接続されている。遅延回路５０はパルス発生回路５３に接続されているとともに第２のＰＷＭ５６とも接続されている。第１のＡＮＤ回路５７はパルス発生回路５３と接続されるとともに第１のＰＷＭ５５とも接続されている。第２のＡＮＤ回路５８はインバータ５９を介してパルス発生回路５３と接続されるとともに第２のＰＷＭ５６とも接続されている。合成回路６０は第１

のＡＮＤ回路５７と接続されているとともに第２のＡＮＤ回路５８とも接続されている。合成回路６０はレーザダイオードドライバ８２と接続されている。

【００３９】

画像データ処理部５１は、画像処理部１５にある画像メモリまたはページメモリ１７に記憶された画像データ（画素データ）が画像データＩ／Ｆ１８を介して入力される。画像データ処理部５１は入力された画素データをそれぞれのＰＷＭに対応した画素データに振り分ける。本実施の形態では奇数画素のデータを第１のＰＷＭ５５で処理するとともに、偶数画素がそのデータを第２のＰＷＭ５６で処理するように設定されている。振り分けられた画素データは対応する線を介して同期回路５２に転送される。本実施の形態では第１の画素データである奇数画素データは図５中の画像データ１を示している線を介し、第２の画素データである偶数画素データは画像データ２を示している線を介して同期回路３２に入力される。

【００４０】

同期回路５２は、基準クロック５４が発生する基準クロックＣＬＫ０をもとに、ビーム検知回路８４から出力した水平同期信号ＢＤに同期した新たな基準クロックＣＬＫ１を生成する。また、同期回路５２は新たに生成された基準クロックＣＬＫ１に画像データ処理部５１から転送されてくる第１の画素データを同期させる。同期させた第１の画素データである奇画素データは図５中の画像データ３を示している線を介して第１のＰＷＭ５５に入力される。また同期回路５２によって同期させた第２の画素データである偶数画素データは図中の画像データ４－１を示している線を介して遅延回路５０に入力させる。

【００４１】

遅延回路５０は同期回路５２から受取った第２の画素データを１画素出力相当分以内で所定の時間出力を遅らせる機能を有する。本第２の実施の形態では１画素分遅延させる機能を有している。また、所定時間遅らせた遅延回路５０から出力された信号は図５に画像データ４－２を示している線を介して第２のＰＷＭ５６に入力される。また、１画素分遅れた同期信号が図５で基準クロックＣＬＫ２としてパルス発生回路５３に入力される。

【００４２】

パルス発生回路５３はビーム検知回路８４から出力された水平同期信号ＢＤが入力されるとともに、同期回路５２でビーム検知回路８４から出力された水平同期信号ＢＤによって同期された基準クロックＣＬＫ１が入力される。また、遅延回路５０から所定時間遅延された基準クロックＣＬＫ２も入力される。パルス発生回路５３は入力された信号に基づいて隣接する画素に影響するデータをマスクするための信号を生成して第１のマスクパルス信号ＳＩＧ１として出力する。また、パルス発生回路５３から出力した第１のマスクパルス信号ＳＩＧ１はインバータ５９を介して反対極性の第２のマスクパルス信号ＳＩＧ２も生成される。

【００４３】

基準クロック５４は、レーザ制御のタイミングをとるためにレーザ制御部３０に独自に設けられている。

【００４４】

出力パルス調整手段である第１のＰＷＭ５５及び第２のＰＷＭ５６は、それぞれの画素データに応じたパルス幅の出力及びパルス位置の設定を行う。このパルス位置を可変できる機能を利用して本第２の実施の形態ではパルス幅を１／２５５単位で刻み、第１のＰＷＭ５５は奇数画素を形成するために用いパルス位置を左基準とし、第２のＰＷＭ５６は偶数画素を形成するために用いパルス位置を第１のＰＷＭ５５と同じく左基準として制御しているので各画素間に位相を設け隣接する画素が重なり合うことを防止している。ＰＷＭのパルス幅の変更機能とパルス位置の変更機能は第１の実施の形態と同様である。

【００４５】

第１のＡＮＤ回路５７は、第１のＰＷＭ３５によって出力されたパルス幅調整された第１の画素データＰＩＸＤＡＴ１を入力するとともにパルス発生回路５３から出力されたマスク信号を入力し、調整された信号として図５中にＰＩＸＤＡＴ５で示す信号を出力する

。また、第２のＡＮＤ回路５８は第２のＰＷＭ５６によって出力されたパルス幅調整された第２の画素データＰＩＸＤＡＴ２を入力するとともにパルス発生回路５３から出力されたマスク信号の反転信号を入力し、調整された信号として図５中にＰＩＸＤＡＴ６で示す信号を出力する。

【００４６】

合成回路６０は、第１のＡＮＤ回路５７から出力されたＰＩＸＤＡＴ５として調整された第１の画素データと第２のＡＮＤ回路５８から出力されたＰＩＸＤＡＴ６として調整された第２の画素データを合成する。この合成された信号はレーザダイオードドライバ８２にＰＩＸＤＡＴ３として出力される。この合成回路６０はＯＲ回路で形成されている。

【００４７】

次に第２の実施の形態の作用について図６を用いて説明をする。

【００４８】

ビーム検知回路８４から出力させる水平同期信号ＢＤが同期回路５２に入力されると基準クロックの周期が変わる。本第２の実施の形態では水平同期信号ＢＤが立上がると同期回路５２から出力される基準クロックＣＬＫ１はＰＷＭの周期であるＴ１より短い周期に変更される。

【００４９】

水平同期信号ＢＤが立下がったときに同期回路５２から出力される基準クロックＣＬＫ１が立上がるとともに、第１のＰＷＭ５５から出力される信号ＰＩＸＤＡＴ１も立上がる。このとき第１のＰＷＭ５５は左基準としてＴ１の周期２５５に対してパルス幅９６の出力を行っている。また、パルス発生回路５３から出力される第１のマスクパルス信号ＳＩＧ１は立上がり１周期Ｔ１の半分のＴ２の時間のパルス幅になっている。合成回路６０から出力された信号ＰＩＸＤＡＴ３も水平同期信号ＢＤが立下がった時に立上がり第１の画素の出力が開始される。このときパルスの幅はＰＩＸＤＡＴ１の立上がり時間全体を通して第１のマスクパルス信号ＳＩＧ１も立上がっているので、ＰＩＸＤＡＴ１と同等の信号を得ることができる。また、図示はしていないがこのときのＰＩＸＤＡＴ３の信号はＰＩＸＤＡＴ５の信号である。

【００５０】

水平同期信号ＢＤが立下がったときから１画素分相当時間後のＴ２に基準クロックＣＬＫ２が立上がる。このとき同時に第２のＰＷＭ５６から出力される信号ＰＩＸＤＡＴ２が立上がる。このとき第２のＰＷＭ５６は左基準としてＴ１の周期２５５に対してパルス幅９６の出力を行っている。また、パルス発生回路から発生された第１のマスクパルス信号ＳＩＧ１に基づいて生成される第２のマスクパルス信号ＳＩＧ２は水平同期信号ＢＤの立下がりからＴ２経過した後に立上がる。

【００５１】

パルス発生回路５３から出力される第１のマスクパルス信号ＳＩＧ１はＰＷＭが動作する立上がり１周期Ｔ１の半分のＴ２の時間のパルス幅になっている。合成回路６０から出力された信号ＰＩＸＤＡＴ３も水平同期信号ＢＤが立下がった時に立上がり第１の画素の出力が開始される。このときパルスの幅はＰＩＸＤＡＴ１の立上がり時間全体を通して第１のマスクパルス信号ＳＩＧ１も立上がっているので、ＰＩＸＤＡＴ１と同等の信号を得ることができる。また、図示はしていないがこのときのＰＩＸＤＡＴ３の信号はＰＩＸＤＡＴ５の信号である。

【００５２】

また、Ｔ２は１画素処理分の周期に相当している。図６に示すように、第１のマスクパルス信号ＳＩＧ１及び第２のマスクパルス信号ＳＩＧ２は周期Ｔ１でＨのレベル時間がＴ２であるとともにＬのレベル時間もＴ２であるディーティ５０％の信号として作用している。また、第１のマスクパルス信号ＳＩＧ１と第２のマスクパルス信号ＳＩＧ２は相互にＴ２だけ位相差をもって作用している。合成回路６０から出力された信号ＰＩＸＤＡＴ３はＰＩＸＤＡＴ２からの出力に基づいた所定の幅を持ったパルス幅であるパルス幅９６になっている。また、図示はしていないがこのときのＰＩＸＤＡＴ３の信号はＰＩＸＤＡＴ

６の信号である。

【００５３】

このようにして第１番目の画素に対してはパルス幅９６の出力が得られ、第２番目の画素に対してもパルス数９６の画素が得られる。また、第３番目以降の奇数番目の画素については第１番目の画素と同様の作用によってＰＩＸＤＡＴ３の出力が得られる。第４番目以降の偶数番目の画素については第２番目の画素と同様な作用によってＰＩＸＤＡＴ３の出力が得られる。

【００５４】

しかしながら、第１のＰＷＭ５５及び第２のＰＷＭ５６の出力であるパルス幅が温度などの環境変化によって所定より大きなパルス幅で出力する場合がある。その場合を図６中に第５番目の画素のとき及び第１０番目の画素のときに示した。

【００５５】

第５番目のそのときはＰＩＸＤＡＴ１のＨレベルのパルス幅が１画素分のＴ２の長さより長い時間出力している。この信号をそのまま出力すると隣接する画素に影響を与え高度な画像処理が出来なくなる。一方第５番目の画素に関与する第１のマスクパルス信号ＳＩＧ１のＨレベルのパルス幅は１画素分のＴ２の時間になっている。合成回路６０から出力されるＰＩＸＤＡＴ３はＰＩＸＤＡＴ１と第１のマスクパルス信号ＳＩＧ１の積の関係になっているので、第１のマスクパルス信号ＳＩＧ１によってＰＩＸＤＡＴ１の信号が隣接する画素に影響を及ぼす信号であってもマスクがかけられＰＩＸＤＡＴ３の信号は隣接する画素に影響を及ぼすことを防止できる。

【００５６】

第１０番目の画素の場合についても同様である。第２のマスクパルス信号ＳＩＧ２によってＰＩＸＤＡＴ２の信号が隣接する画素に影響を及ぼす信号であってもマスクがかけられＰＩＸＤＡＴ３の信号は隣接する画素に影響を及ぼすことを防止できる。

【００５７】

このように第２の実施の形態では、１つのレーザダイオードドライバに対してレーザダイオードドライバの駆動より遅いＰＷＭを２つ利用しての発光を行うので、高速な発光を実現することが出来る。この構成によって１つのレーザダイオードドライバに対して１つのＰＷＭを利用して発光を行う構成よりも高速で発光を行うことも可能になる。また、高価なレーザダイオードをの数を増やすこと無く高速化を実現できる効果もある。また、パルス発生回路を用いているので、隣接する画素の部分に影響を与えるデータ（信号）をマスクすることができ、適切な発光タイミングを実現でき、良好な画像形成をすることも出来る。

【００５８】

また、温度などの環境変化に伴いＰＷＭから出力されるデータが１画素分よりも長い時間Ｈレベルになっていてもパルス発生回路から出力される信号によって隣接する画素に影響を及ぼすことを防止することが出来る。

【００５９】

次に第３の実施の形態について説明をする。尚、画像形成装置の全体については図１と同等であるため同じ番号を付し、説明を省略する。図７はビーム光走査装置の一部のレーザ制御部３０の電気回路の詳細図、図８は第３の実施の形態のタイミングチャートである。

【００６０】

レーザ制御部３０の内部には、画像処理された隣接するデータを第１の画素データと第２の画素データに振り分ける画素データ処理手段である画像データ処理部７１と、基準クロックと同期した第１の画素データを出力する第１の信号同期手段である第１の同期回路（同期回路１）７２ａと、基準クロックと同期した第２の画素データを出力する第２の信号同期手段である第２の同期回路（同期回路２）７２ｂと、隣接する画素に影響するデータをマスク処理するための信号を生成するデータマスク合成手段であるパルス発生回路７３と、レーザ制御処理に関し基準になるクロックを出力する基準クロック７４を備えてい

る。また、第１の画素に基づく出力パルス幅を調整する第１の出力パルス調整手段であるＰＷＭ１（第１のＰＷＭと称する）７５と、水平同期センサ８３から出力される水平同期信号ＢＤ１に所定の時間遅らせる遅延手段である遅延回路（ＤＬＹ１）７０と、第２の画素データに基づく出力パルス幅を調整する第２の出力パルス調整手段であるＰＷＭ２（第２のＰＷＭと称する）７６を備えている。パルス発生回路７３から出力された信号と第１のＰＷＭ７５から出力された信号の積を採るデータマスク合成手段の一部である第１のＡＮＤ回路（ＡＮＤ１）７７と、インバータ７９を介して反対極性にしたパルス発生回路７３から出力された信号と第２のＰＷＭ７６から出力された信号の積を採るデータマスク手段の一部である第２のＡＮＤ回路（ＡＮＤ２）７８と、第１のＡＮＤ回路７７から出力された信号（調整された第１の画素データ）と第２のＡＮＤ回路７８から出力された信号（調整された第２画素のデータ）の和を採る合成手段である合成回路８０などを備えている。なお、同期回路７２、パルス発生回路７３、第１のＰＷＭ７５、第２のＰＷＭ７６、第１のＡＮＤ回路７７、第２のＡＮＤ回路７８、インバータ７９、遅延回路７０等から調整手段が構成されている。

【００６１】

ビーム検知回路８４は、パルス発生回路７３と接続されているとともに遅延回路７０とも接続されている。また、ビーム検知回路８４は第１の同期回路７２ａとも接続され水平同期信号ＢＤ１が送られる。画像データ処理部７１は画像データＩ／Ｆ１８と接続されている。画像データ処理部７１は第１の同期回路７２ａと接続され第１の画素データが送られる。また、画像データ処理部７１は第２の同期回路７２ｂと接続され第２の画素データが送られる。また、基準クロック７４は第１の同期回路７２ａと第２の同期回路７２ｂと接続されている。第１の同期回路７２ａは第１のＰＷＭ７５と接続されるとともにパルス発生回路７３にも接続されている。第２の同期回路７２ｂは第２のＰＷＭ７６と接続されるとともにパルス発生回路７３にも接続されている。合成回路８０はレーザダイオードドライバ８２と接続されている。

【００６２】

第１のＡＮＤ回路７７は、パルス発生回路７３と接続されるとともに第１のＰＷＭ７５とも接続されている。第２のＡＮＤ回路７８は、インバータ７９を介してパルス発生回路７３と接続されるとともに第２のＰＷＭ７６とも接続されている。合成回路８０は、第１のＡＮＤ回路７７と接続されているとともに第２のＡＮＤ回路７８とも接続されている。

画像データ処理部７１は、画像処理部１５にある画像メモリまたはページメモリ１７に記憶された画像データ（画素データ）が画像データＩ／Ｆ１８を介して入力される。画像データ処理部７１は、入力された画素データをそれぞれのＰＷＭに対応した画素データに振り分ける。本実施の形態では奇数画素のデータを第１のＰＷＭ７５で処理するとともに、偶数画素のデータを第２のＰＷＭ７６で処理するように設定されている。振り分けられた画素データは、対応する線を介して第１の同期回路７２ａあるいは第２の同期回路７２ｂへ転送される。本実施の形態では第１の画素データである奇数画素データは図７中の画像データ１を示している線を介し、第２の画素データである偶数画素データは画像データ２を示している線を介して第１の同期回路７２ａまたは第２の同期回路７２ｂに入力される。

【００６３】

遅延回路７０は、ビーム検知回路８４から受取った水平同期信号ＢＤ１を１画素分遅延させる機能を有している。また、所定時間遅らせた遅延回路７０から出力された信号は図７に水平同期信号ＢＤ２を示している線を介して１画素分遅れた水平同期信号ＢＤ２をパルス発生信号に送信している。

【００６４】

第１の同期回路７２ａは、基準クロック７４が発生する基準クロックＣＬＫ０をもとに、ビーム検知回路８４から出力された水平同期信号ＢＤ１に同期した新たな基準クロック

ＣＬＫ１を生成する。また、第１の同期回路７２ａは新たに生成された基準クロックＣＬＫ１に画像データ処理部７１から転送されてくる第１の画素データを同期させる。同期させた第１の画素データである奇画素データは図７中の画像データ３を示している線を介して第１のＰＷＭ７５に入力される。

【００６５】

第２の同期回路７２ｂは、基準クロック７４が発生する基準クロックＣＬＫ０をもとに、遅延回路７０から出力された遅延された水平同期信号ＢＤ２に同期した新たな基準クロックＣＬＫ２を生成する。また、第２の同期回路７２ｂは、新たに生成された基準クロックＣＬＫ２に画像データ処理部７１から転送されてくる第１の画素データを同期させる。同期させた第２の画素データである奇画素データは、図７中の画像データ４を示している線を介して第２のＰＷＭ７６に入力される。

【００６６】

パルス発生回路７３は、ビーム検知回路８４から出力された水平同期信号ＢＤ１が入力されるとともに、遅延回路７０から１画素分遅延された水平同期信号ＢＤ２を入力する。また、パルス発生回路７３は、第１の同期回路７２ａから出力された基準クロックＣＬＫ１を入力するとともに第２の同期回路７２ｂから出力された基準クロックＣＬＫ２を入力する。パルス発生回路７３は、入力された信号に基づいて隣接する画素に影響するデータをマスクするための信号を生成して第１のマスクパルス信号ＳＩＧ１として出力する。また、パルス発生回路から出力した第１のマスクパルス信号ＳＩＧ１は、インバータ７９を介して反対極性の第２のマスクパルス信号ＳＩＧ２も生成される。

【００６７】

基準クロック７４は、レーザ制御のタイミングをとるためにレーザ制御部３０に独自に設けられている。

【００６８】

出力パルス調整手段である第１のＰＷＭ７５及び第２のＰＷＭ７６は、それぞれの画素データに応じたパルス幅の出力及びパルス位置の設定を行う。このパルス位置を可変できる機能を利用して本第３の実施の形態ではパルス幅を１／２５５単位で刻み、第１のＰＷＭ７５は奇数画素を形成するために用いパルス位置を左基準とし、第２のＰＷＭ７６は偶数画素を形成するために用いパルス位置を第１のＰＷＭ７５と同じく左基準として制御しているので各画素間に位相を設け隣接する画素が重なり合うことを防止している。ＰＷＭのパルス幅の変更機能とパルス位置の変更機能は、第１の実施の形態と同様である。

【００６９】

第１のＡＮＤ回路７７は、第１のＰＷＭ７５によって出力されたパルス幅調整された第１の画素データＰＩＸＤＡＴ１を入力するとともにパルス発生回路７３から出力されたマスク信号を入力し、調整された信号として図７中にＰＩＸＤＡＴ５で示す信号を出力する。また、第２のＡＮＤ回路７８は、第２のＰＷＭ７６によって出力されたパルス幅調整された第２の画素データＰＩＸＤＡＴ２を入力するとともにパルス発生回路７３から出力されたマスク信号の反転信号を入力し、調整された信号として図５中にＰＩＸＤＡＴ６で示す信号を出力する。

【００７０】

合成回路８０は、第１のＡＮＤ回路７７から出力されたＰＩＸＤＡＴ５として調整された第１の画素データと第２のＡＮＤ回路７８から出力されたＰＩＸＤＡＴ６として調整された第２の画素データを合成する。この合成された信号は、レーザダイオードドライバ８２にＰＩＸＤＡＴ３として出力される。この合成回路８０はＯＲ回路で形成されている。

【００７１】

次に第３の実施の形態の作用について図８を用いて説明をする。

【００７２】

ビーム検知回路８４から出力させる水平同期信号ＢＤ１が第１の同期回路７２ａに入力されると基準クロックの周期が変わる。本第３の実施の形態では水平同期信号ＢＤ１が立上がると第１の同期回路７２ａから出力される基準クロックＣＬＫ１はＰＷＭの周期であ

るＴ１より短い周期に変更される。また、遅延回路によって遅延された水平同期信号ＢＤ２第２の同期回路７２ｂに入力されると基準クロックの周期が変わる。本第３の実施の形態では水平同期信号ＢＤ２が立上がると第２の同期回路７２ｂから出力される基準クロックＣＬＫ１はＰＷＭの周期であるＴ１より短い周期に変更される。

【００７３】

水平同期信号ＢＤ１が立下がったときに第１の同期回路７２ａから出力される基準クロックＣＬＫ１が立上がるとともに、第１のＰＷＭ７５から出力される信号ＰＩＸＤＡＴ１も立上がる。このとき第１のＰＷＭ７５は左基準としてＴ１の周期２５５に対してパルス幅９６の出力を行っている。また、パルス発生回路７３から出力される第１のマスクパルス信号ＳＩＧ１は立上がり１周期Ｔ１の半分のＴ２の時間のパルス幅になっている。合成回路８０から出力された信号ＰＩＸＤＡＴ３も、水平同期信号ＢＤ１またはＢＤ２が立下がった時に立上がり第１の画素の出力が開始される。このときパルスの幅はＰＩＸＤＡＴ１の立上り時間全体を通して第１のマスクパルス信号ＳＩＧ１も立上がっているので、ＰＩＸＤＡＴ１と同等の信号を得ることができる。また、図示はしていないがこのときのＰＩＸＤＡＴ３の信号はＰＩＸＤＡＴ５の信号である。

【００７４】

遅延回路７０によって遅延された水平同期信号ＢＤ２が立下がったときに第２の同期回路７２ｂから出力される基準クロックＣＬＫ２が立上がるとともに、第２のＰＷＭ７６から出力される信号ＰＩＸＤＡＴ２も立上がる。水平同期信号ＢＤ１が立下がってからＴ２時間経過後に水平同期信号ＢＤ２が立下がっている。第２のＰＷＭ７６は左基準としてＴ１の周期２５５に対してパルス幅９６の出力を行っている。また、パルス発生回路７３から出力される信号第２のマスクパルス信号ＳＩＧ２はＰＷＭが動作する周期Ｔ１の半分のＴ２の時間のパルス幅になっている。合成回路８０から出力された信号ＰＩＸＤＡＴ３も遅延された水平同期信号ＢＤ２が立下がった時に立上がり第２の画素の出力が開始される。このときパルスの幅はＰＩＸＤＡＴ２の立上がり時間全体を通して第２のマスクパルス信号ＳＩＧ２も立上がっているので、ＰＩＸＤＡＴ１と同等の信号を得ることができる。また、図示はしていないがこのときのＰＩＸＤＡＴ３の信号はＰＩＸＤＡＴ６の信号である。

【００７５】

このようにして第１番目の画素に対してはパルス幅９６の出力が得られ、第２番目の画素に対してもパルス数９６の画素が得られる。また、第３番目以降の奇数番目の画素については第１番目の画素と同様の作用によってＰＩＸＤＡＴ３の出力が得られる。第４番目以降の偶数番目の画素については第２番目の画素と同様な作用によってＰＩＸＤＡＴ３の出力が得られる。

【００７６】

しかしながら、第１のＰＷＭ７５及び第２のＰＷＭ７６の出力であるパルス幅が温度などの環境変化によって所定より大きなパルス幅で出力する場合がある。その場合を図８中に第５番目の画素のとき及び第１０番目の画素のときに示した。

【００７７】

第５番目のそのときはＰＩＸＤＡＴ１のＨレベルのパルス幅が１画素分のＴ２の長さより長い時間出力している。この信号をそのまま出力すると隣接する画素に影響を与え高度な画像処理が出来なくなる。一方第５番目の画素に関与する第１のマスクパルス信号ＳＩＧ１のＨレベルのパルス幅は１画素分のＴ２の時間になっている。合成回路８０から出力されるＰＩＸＤＡＴ３はＰＩＸＤＡＴ１と第１のマスクパルス信号ＳＩＧ１の積の関係になっているので、第１のマスクパルス信号ＳＩＧ１によってＰＩＸＤＡＴ１の信号が隣接する画素に影響を及ぼす信号であってもマスクがかけられＰＩＸＤＡＴ３の信号は隣接する画素に影響を及ぼすことを防止できる。

【００７８】

第１０番目の画素の場合についても同様である。第２のマスクパルス信号ＳＩＧ２によってＰＩＸＤＡＴ２の信号が隣接する画素に影響を及ぼす信号であってもマスクがかけら

れＰＩＸＤＡＴ３の信号は隣接する画素に影響を及ぼすことを防止できる。

【００７９】

このように第３の実施の形態では、１つのレーザダイオードドライバに対してレーザダイオードドライバの駆動より遅いＰＷＭを２つ利用しての発光を行うので、高速な発光を実現することが出来る。この構成によって１つのレーザダイオードドライバに対して１つのＰＷＭを利用して発光を行う構成よりも高速で発光を行うことも可能になる。また、高価なレーザダイオードをの数を増やすこと無く高速化を実現できる効果もある。また、パルス発生回路を用いているので、隣接する画素の部分に影響を与えるデータ（信号）をマスクすることができ、適切な発光タイミングを実現でき、良好な画像形成をすることも出来る。

【００８０】

また、温度などの環境変化に伴いＰＷＭから出力されるデータが１画素分よりも長い時間Ｈレベルになっていてもパルス発生回路から出力される信号によって隣接する画素に影響を及ぼすことを防止することが出来る。

【００８１】

次に第４の実施の形態について説明をする。尚、画像形成装置の全体については図１と同等であるため同じ番号を付し説明を省略する。図９はビーム光走査装置の一部のレーザ制御部３０の電気回路の詳細図、図１０は第４の実施の形態のタイミングチャートである。

【００８２】

レーザ制御部３０の内部には、画像処理された隣接するデータを第１の画素データと第２の画素データに振り分ける画素データ処理手段である画像データ処理部９１と、基準クロックと同期した第１の画素データ及び第２の画素データを出力する信号同期手段である同期回路９２と、レーザ制御処理に関し基準になるクロックを出力する基準クロック９４を備えている。また、第１の画素に基づく出力パルス幅を調整する第１の出力パルス調整手段であるＰＷＭ１（第１のＰＷＭと称する）９５と、第２の画素データに基づく出力パルス幅を調整する第２の出力パルス調整手段であるＰＷＭ２（第２のＰＷＭと称する）９６を備えている。同期回路９２から出力された第１の画素データと第２の画素データの和を採る合成手段である合成回路９７などを備えている。なお、同期回路９２、第１のＰＷＭ９５、第２のＰＷＭ９６等から調整手段が構成されている。

【００８３】

ビーム検知回路８４は、同期回路９２と接続されている。画像データ処理部９１は、画像データＩ／Ｆ１８と接続されている。画像データ処理部９１は、第１のＰＷＭ９５と接続されているとともに第２のＰＷＭ９６とも接続されている。基準クロック９４は、第１のＰＷＭ９５と接続されているとともに第２のＰＷＭ９６とも接続されている。第１のＰＷＭ９５は、さらに同期回路９２と接続されている。第２のＰＷＭ９６も、同期回路９２に接続している。同期回路９２は、第１の画素データと第２の画素データを合成回路９７に転送するために別々の線で接続されている。合成回路９７は、レーザダイオードドライバ８２と接続されている。

【００８４】

画像データ処理部９１は、画像処理部１５にある画像メモリまたはページメモリ１７に記憶された画像データ（画素データ）が画像データＩ／Ｆ１８を介して入力される。画像データ処理部９１は入力された画素データをそれぞれのＰＷＭに対応した画素データに振り分ける。本第４の実施の形態では奇数画素のデータを第１のＰＷＭ９５で処理するとともに、偶数画素がそのデータを第２のＰＷＭ９６で処理するように設定されている。振り分けられた画素データは対応する線を介して該当するＰＷＭに転送される。本第４の実施の形態では第１の画素データである奇数画素データは図１０中の画像データ１を示している線を介し、第２の画素データである偶数画素データは画像データ２を示している線を介してそれぞれのＰＷＭに入力される。

【００８５】

基準クロック９４は、レーザ制御のタイミングをとるためにレーザ制御部３０に独自に設けている。

【００８６】

出力パルス調整手段である第１のＰＷＭ９５及び第２のＰＷＭ９６は、それぞれの画素データに応じたパルス幅の出力及びパルス位置の設定を行う。このパルス位置を可変できる機能を利用して本第４の実施の形態ではパルス幅を１／２５５単位で刻み、第１のＰＷＭ９５は奇数画素を形成するために用いパルス位置を左基準とし、第２のＰＷＭ９６は偶数画素を形成するために用いパルス位置を右基準として制御しているので各画素間に位相を設け隣接する画素が重なり合うことを防止している。ＰＷＭのパルス幅の変更機能とパルス位置の変更機能は第１の実施の形態と同様である。

【００８７】

同期回路９２はビーム検知回路８４から水平同期信号ＢＤを受取るとともに第１の画素データは図１０中の画像データ３を示している線を介して入力し、第２の画素データは画像データ４を示している線を介して入力する。また、同期回路９２は水平同期信号ＢＤに同期して第１の画素データまたは第２の画素データを出力する。

【００８８】

合成回路９７は、同期回路９２から別々の線で出力された第１の画素データまたは第２の画素データを合成する。この合成された信号はレーザダイオードドライバ８２にＰＩＸＤＡＴ３として出力される。この合成回路はＯＲ回路で形成されている。

【００８９】

次に第４の実施の形態の作用について図１０を用いて説明をする。

【００９０】

ビーム検知回路８４から出力させる水平同期信号ＢＤが同期回路９２に入力されると基準クロックの周期が変わる。本第２の実施の形態では水平同期信号ＢＤが立上がると同期回路９２から出力される基準クロックＣＬＫ１はＰＷＭの周期であるＴ１より短い周期に変更される。

【００９１】

水平同期信号ＢＤが立下がったときに同期回路９２から出力されるＰＩＸＤＡＴ１が立上がるとともに、ＰＩＸＤＡＴ２が立下がる。このとき第１のＰＷＭ９５は左基準としてＴ１の周期２５５に対してパルス幅９６の出力を行っている。このとき、合成回路９７から出力されるＰＩＸＤＡＴ３はＰＩＸＤＡＴ１と同じ波形になっている。このようにして第１番目の画素に相当する画素のデータがレーザダイオードから出力される。

【００９２】

また、水平同期信号ＢＤが立下がったときから１画素分相当時間より任意の時間経過後にＰＩＸＤＡＴ２が立上がる。このとき第２のＰＷＭ９６は右基準としてＴ１の周期２５５に対してパルス幅９６の出力を行っている。このとき、合成回路９７から出力されるＰＩＸＤＡＴ３はＰＩＸＤＡＴ２と同じ波形になっている。このようにして第２番目の画素に相当する画素のデータがレーザダイオードから出力される。第３番目以降の奇数番目の画素については第１番目の画素と同様の作用によって、第４番目以降の偶数番目の画素については第２番目の画素と同様の作用によって、ＰＩＸＤＡＴ３の出力が得られる。奇数番目出力の最後と偶数番目の出力の最初がともにＨであるので、ＰＩＸＤＡＴ３はＨの状態のまま次の画素の出力を行っている。

【００９３】

このように第２の実施の形態では、１つのレーザダイオードドライバに対してレーザダイオードドライバの駆動より遅いＰＷＭを２つ利用しての発光を行うので、高速な発光を実現することが出来る。この構成によって１つのレーザダイオードドライバに対して１つのＰＷＭを利用して発光を行う構成よりも高速で発光を行うことも可能になる。また、高価なレーザダイオードの数を増やすこと無く高速化を実現できる効果もある。

【００９４】

尚、第１乃至第３の実施の形態でパルス発生回路に第１及び第２のＡＮＤ回路を設けな

くとも、２つのＰＷＭを用いて１つのレーザダイオードドライバによって発光させ、少ない数のレーザダイオードによって高速な画像形成装置を実現することは出来る。このときは隣接する画素に影響を及ぼす信号が出力されてもマスク処理する機能を有していないので、パルス発生回路などを設けた方がよい。

【００９５】

第１乃至第４の実施の形態では１つのレーザダイオードドライバに対して２つのＰＷＭの構成で説明をしたが、これに限らず、レーザダイオードドライバの処理能力がＰＷＭに対して４倍以上の能力があれば、１つのレーザダイオードドライバに対して４つのＰＷＭの構成にしてもよい。このようにレーザダイオードドライバの能力に応じてそこにつなげるレーザダイオードドライバの数を設定してもよい。また、本第１乃至第４の実施の形態については単色の場合について説明をしたが、これに限らずカラー画像を形成する画像形成装置に適応してもよい。また、第１乃至第４の実施の形態では主走査方向に対して隣接する画素について論じたが副走査方向に対して隣接する画素について用いてもよい。各実施の形態に用いた構成を組み合わせて本発明の効果を得るようにしてもよい。

【図面の簡単な説明】

【００９６】

【図１】画像形成装置の電気的ブロック図（第１の実施の形態）。

【図２】ビーム光走査装置の一部の電気回路の詳細図（第１の実施の形態）。

【図３】ＰＷＭのパルス幅調整及びパルス位置に関する図（第１の実施の形態）。

【図４】本発明の作用を示すタイミングチャート（第１の実施の形態）。

【図５】ビーム光走査装置の一部の電気回路の詳細図（第２の実施の形態）。

【図６】本発明の作用を示すタイミングチャート（第２の実施の形態）。

【図７】ビーム光走査装置の一部の電気回路の詳細図（第３の実施の形態）。

【図８】本発明の作用を示すタイミングチャート（第３の実施の形態）。

【図９】ビーム光走査装置の一部の電気回路の詳細図（第４の実施の形態）。

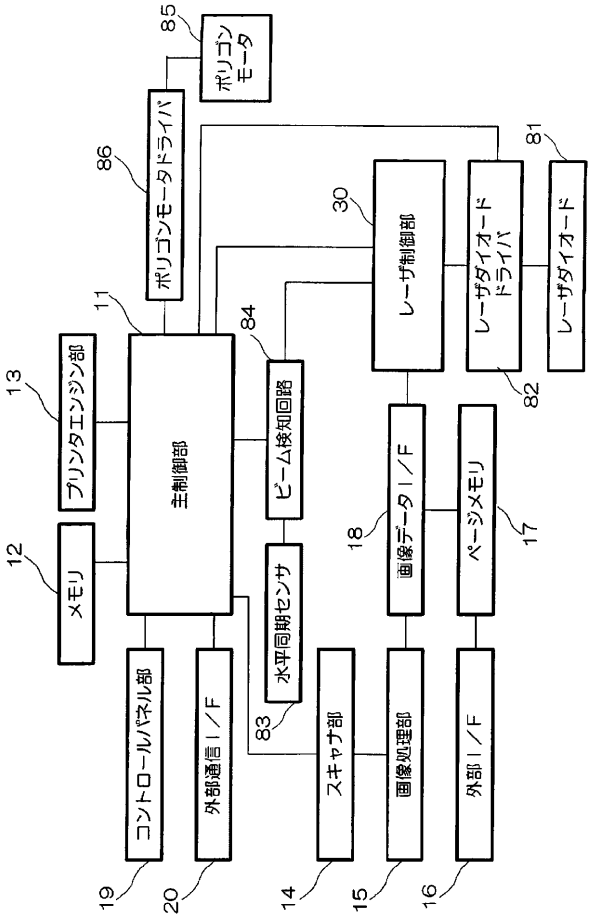
【図１０】本発明の作用を示すタイミングチャート（第４の実施の形態）。

【符号の説明】

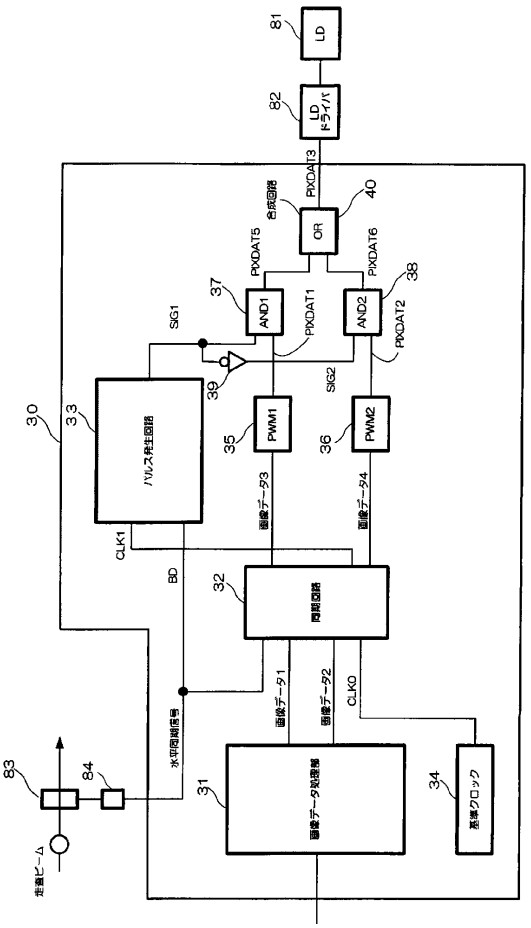
【００９７】

３０	レーザ制御部
３１、５１、７１、９１	画像データ処理部
３２、５２、９２	同期回路
７２ａ	第１の同期回路
７２ｂ	第２の同期回路
３３、５３、７３	パルス発生回路
３５、５５、７５、９５	第１のＰＷＭ
３６、５６、７６、９６	第２のＰＷＭ
３７、５７、７７	第１のＡＮＤ回路
３８、５８、７８	第２のＡＮＤ回路
４０、６０、８０、９７	合成回路
５０	遅延回路
８２	レーザダイオードドライバ
８３	レーザダイオード

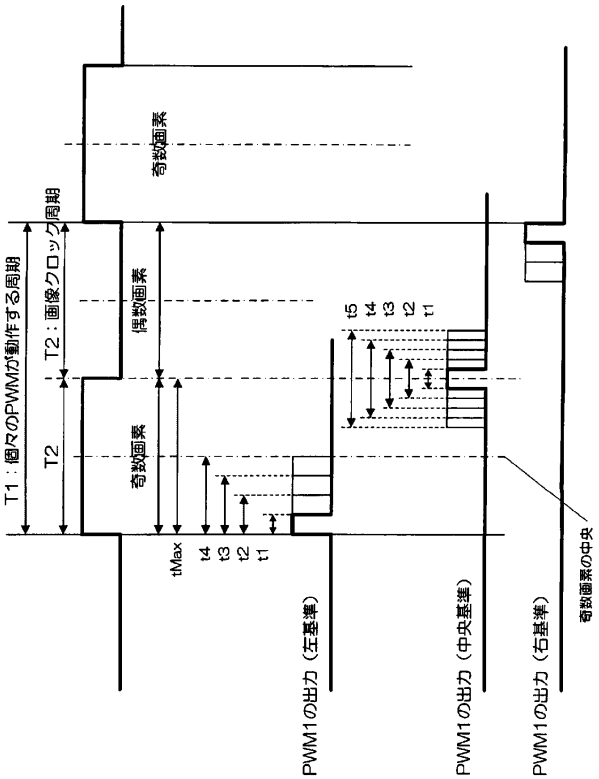
【図１】


ポリゴンモータ
ポリゴンモータドライバ
レーザダイオードドライバ
レーザダイオード
レーザ制御部
プリンタエンジン部
主制御部
メモリ
ビーム検知回路
水平同期センサ
画像データI／F
ページメモリ
コントロールパネル部
外部通信I／F
スキャナ部
画像処理部
外部I／F

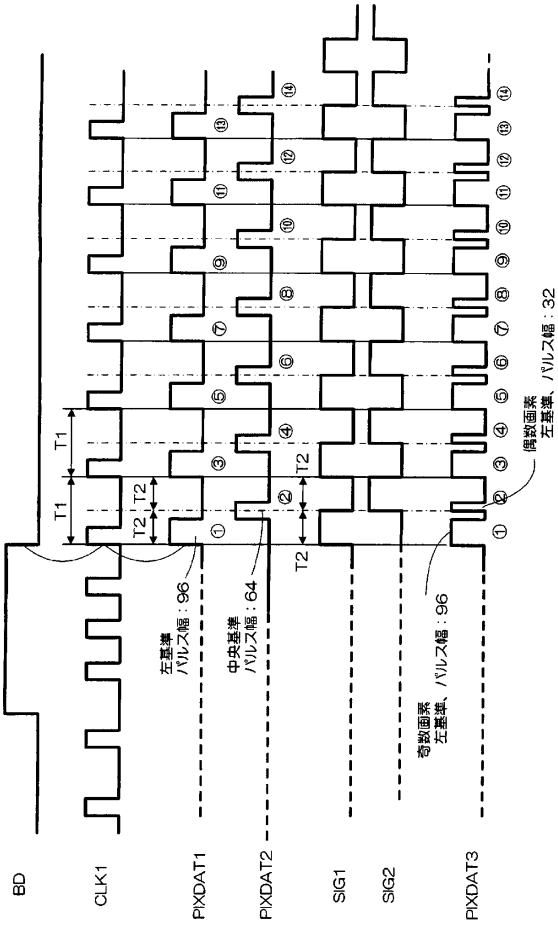
【図２】


LD
LDドライバ
PIXDAT3
OR
AND1
AND2
PWM1
PWM2
SIG1
SIG2
パルス発生回路
同期回路
画像データ処理部
基準クロック
CLK1
BD
CLK0
水平同期信号

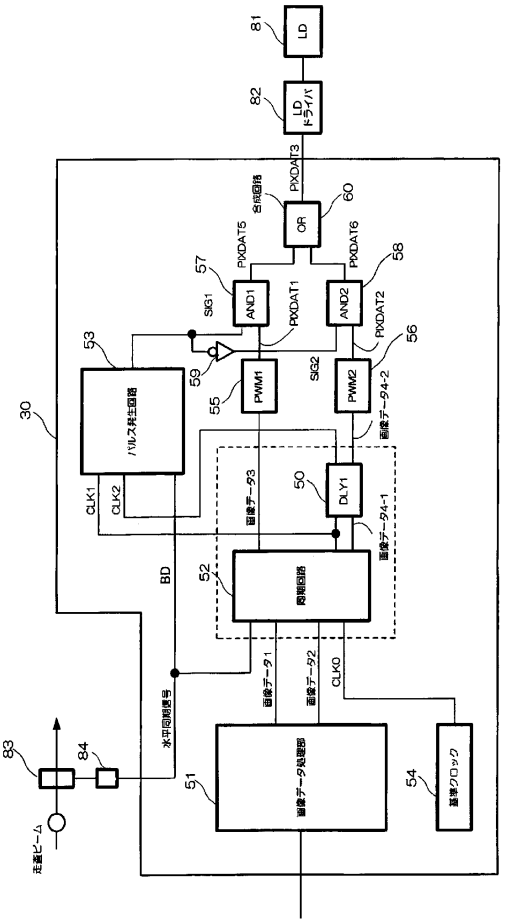
【図３】


T1：個々のPWMが動作する周期
T2：画像クロック周期
奇数画素
偶数画素
tMax
PWM1の出力（左基準）
PWM1の出力（中央基準）
PWM1の出力（右基準）
奇数画素の中央

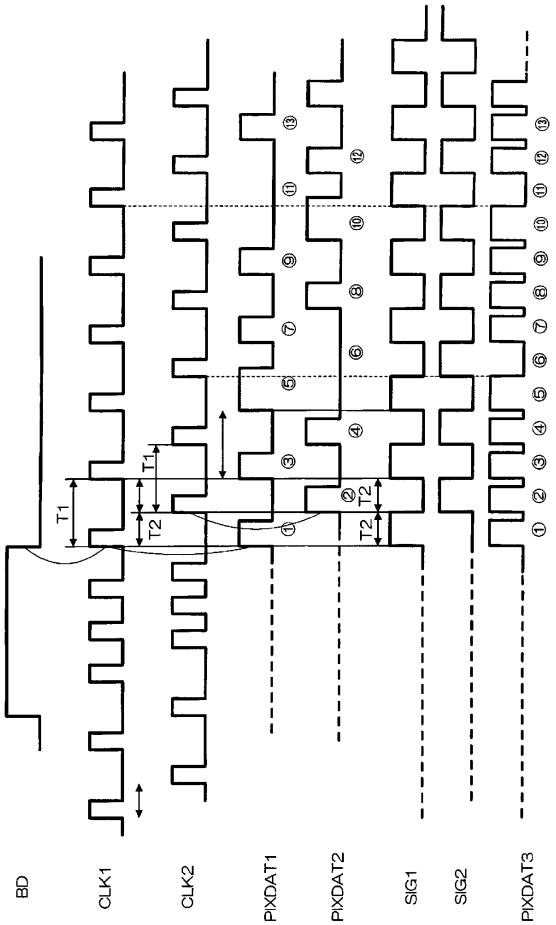
【図４】


BD
CLK1
PIXDAT1
PIXDAT2
SIG1
SIG2
PIXDAT3
左基準
パルス幅：96
中央基準
パルス幅：64
奇数画素
左基準、パルス幅：96
偶数画素
左基準、パルス幅：32

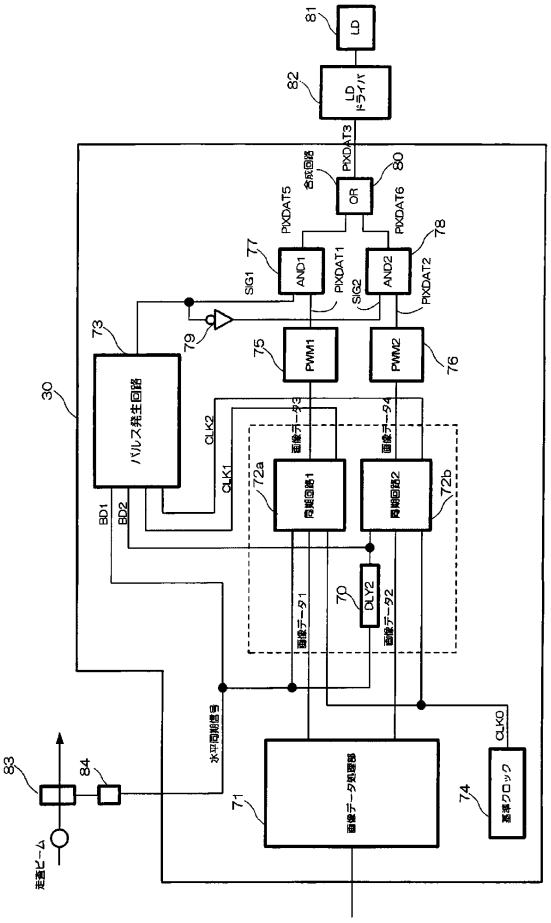
【図５】


LD
LDドライバ
PIXDAT3
合成回路
OR
PIXDAT5
PIXDAT6
AND1
AND2
PIXDAT1
PIXDAT2
SIG1
SIG2
PWM1
PWM2
画像データ-94-2
パルス発生回路
CLK1
CLK2
画像データ-93
DLY1
画像データ-94-1
BD
同期検出部
画像データ-91
画像データ-92
CLK0
水平同期信号
画像データ処理部
基準クロック
走査ビーム

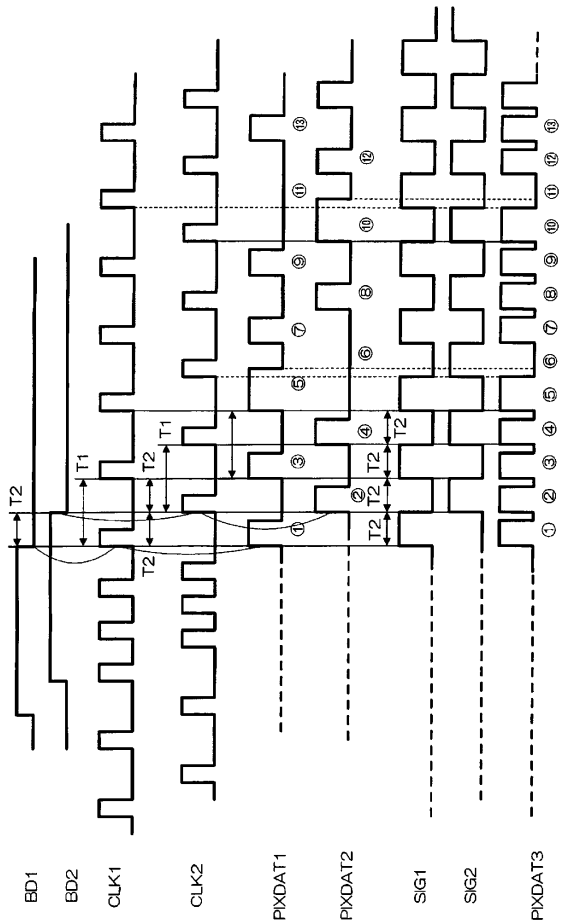
【図６】


T1
T2
BD
CLK1
CLK2
PIXDAT1
PIXDAT2
SIG1
SIG2
PIXDAT3

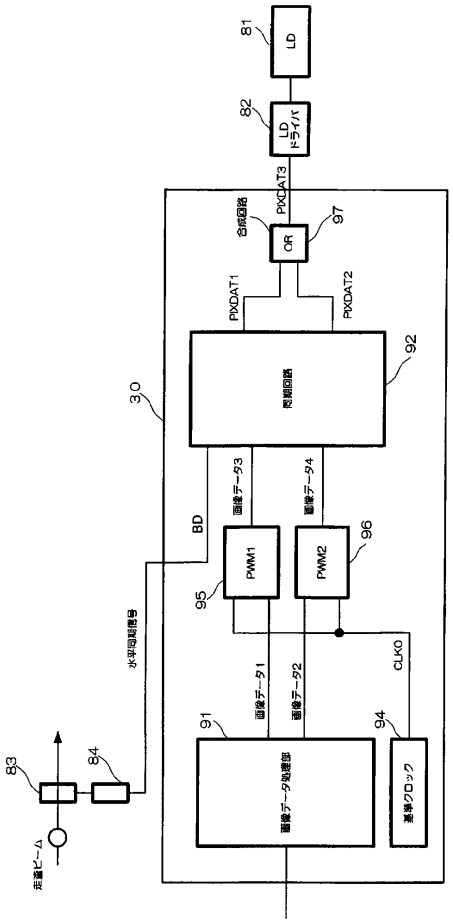
【図７】


LD
LDドライバ
PIXDAT3
合成回路
OR
PIXDAT5
PIXDAT6
AND1
AND2
PIXDAT1
PIXDAT2
SIG1
SIG2
PWM1
PWM2
パルス発生回路
CLK2
CLK1
BD1
BD2
同期検出1
同期検出2
DLY2
画像データ-91
画像データ-92
水平同期信号
画像データ処理部
CLK0
基準クロック
走査ビーム

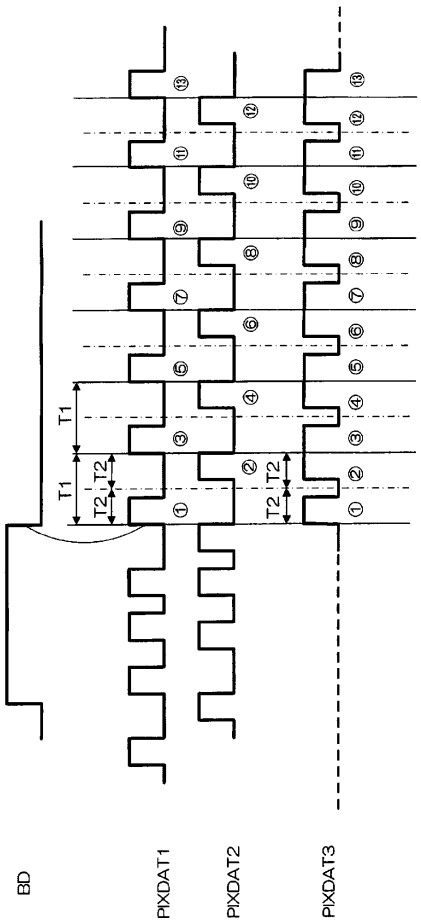
【図８】


T1
T2
BD1
BD2
CLK1
CLK2
PIXDAT1
PIXDAT2
SIG1
SIG2
PIXDAT3

【図９】


81
LD
82
LDドライバ
PIXDAT3
合成回路
OR
97
PIXDAT1
PIXDAT2
92
30
BD
画像データ3
画像データ4
PWM1
PWM2
95
96
水平同期信号
CLK0
画像データ1
画像データ2
91
94
画像データ処理部
基準クロック
83
84
走査ビーム

【図１０】


T1
T2
T2
T2
T2
BD
PIXDAT1
PIXDAT2
PIXDAT3

フロントページの続き

(72)発明者　石川　大介
静岡県三島市南町６－７８　東芝テック株式会社　三島事業所内
(72)発明者　稲川　雄二
静岡県三島市南町６－７８　東芝テック株式会社　三島事業所内

審査官　河原　正

(56)参考文献　特開２００１－０９１８７３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ０２Ｂ　２６／１０
Ｈ０４Ｎ　１／０３６
Ｈ０４Ｎ　１／１１３