

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2008年9月25日 (25.09.2008)

PCT

(10) 国際公開番号
WO 2008/114423 A1

(51) 国際特許分類:

H01L 21/8246 (2006.01) *H01L 27/105* (2006.01)

(21) 国際出願番号:

PCT/JP2007/055694

(22) 国際出願日:

2007年3月20日 (20.03.2007)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(71) 出願人(米国を除く全ての指定国について): 富士通マイクロエレクトロニクス株式会社 (FUJITSU MICRO-ELECTRONICS LIMITED) [JP/JP]; 〒1630722 東京都新宿区西新宿二丁目7番1号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 王文生 (WANG, Wensheng) [CN/JP]; 〒2118588 神奈川県川崎市中原区

上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).

(74) 代理人: 伊東 忠彦 (ITO, Tadahiko); 〒1506032 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階 Tokyo (JP).

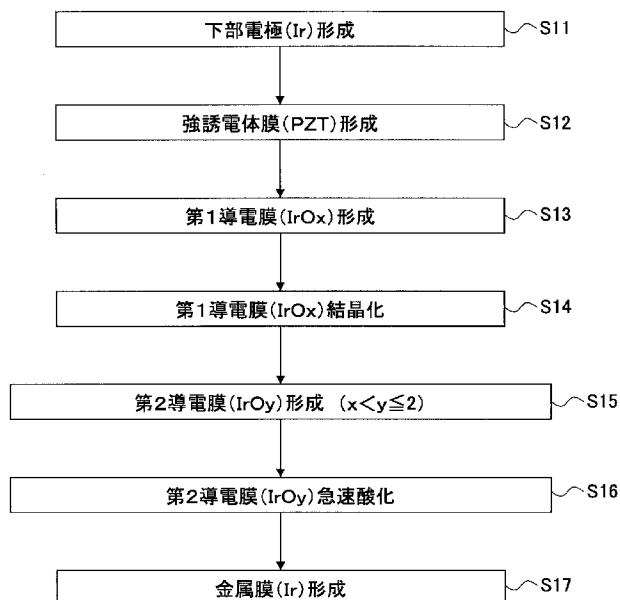
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND PROCESS FOR PRODUCING THE SAME

(54) 発明の名称: 半導体装置およびその製造方法

[図4]



S11...FORM INFERIOR ELECTRODE (Ir)
 S12...FORM FERROELECTRIC FILM (PZT)
 S13...FORM 1ST CONDUCTIVE FILM (IrOx)
 S14...CRYSTALLIZE 1ST CONDUCTIVE FILM (IrOx)
 S15...FORM 2ND CONDUCTIVE FILM (IrOy) ($x < y \leq 2$)
 S16...RAPIDLY OXIDIZE 2ND CONDUCTIVE FILM (IrOy)
 S17...FORM METAL FILM (Ir)

組成が組成パラメータ x_1 を使って化学式 $A O x_1$ で表され実際の組成が組成パラメータ x_2 を使って化学式 $A O x_2$ で表される酸化物よりなる第1の層と、前記第1の層上に

(57) Abstract: A semiconductor device having a substrate and, superimposed thereon, a ferroelectric capacitor. The ferroelectric capacitor is composed of an inferior electrode and, sequentially superimposed thereon, a ferroelectric film and a superior electrode. The superior electrode is composed of a first layer of oxide whose stoichiometric composition is represented by the chemical formula $A O x_1$ in which x_1 is a composition parameter and whose actual composition is represented by the chemical formula $A O x_2$ in which x_2 is a composition parameter and, sequentially superimposed on the first layer, a second layer of oxide whose stoichiometric composition is represented by the chemical formula $B O y_1$ in which y_1 is a composition parameter and whose actual composition is represented by the chemical formula $B O y_2$ in which y_2 is a composition parameter and a metal layer. The second layer has a proportion of oxidation higher than that of the first layer. The composition parameters x_1 , x_2 , y_1 and y_2 satisfy the relationship $y_2/y_1 > x_2/x_1$. The second layer at its interface with the metal layer is provided with an interfacial layer of stoichiometric composition with an increased oxidation proportion.

(57) 要約: 基板と、前記基板上に形成された強誘電体キャパシタとよりなる半導体装置において、前記強誘電体キャパシタは、下部電極と、前記下部電極上に形成された強誘電体膜と、前記強誘電体膜上に形成された上部電極とによりなり、前記上部電極は、化学量論

[続葉有]



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,

TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

形成され、化学量論組成が組成パラメータ y_1 を使って化学式 $B \circ y_1$ で表され実際の組成が組成パラメータ y_2 を使って化学式 $B \circ y_2$ で表される酸化物よりなる第2の層と、前記第2の層上に形成された金属層と、よりなり、前記第2の層は、前記第1の層よりも酸化の割合が高く、前記組成パラメータ x_1 , x_2 , y_1 および y_2 の間には、関係 $y_2 / y_1 > x_2 / x_1$ が成立し、前記第2の層には、前記金属層との界面に、さらに酸化の割合の高い、化学量論組成の界面層が形成されている。

明細書

半導体装置およびその製造方法

技術分野

[0001] 本発明は一般に半導体装置に係り、特に強誘電体キャパシタを有する半導体装置およびその製造方法に関する。

背景技術

[0002] 強誘電体メモリは電圧駆動される不揮発性半導体メモリ素子であり、高速で動作し、消費電力が小さく、しかも電源を遮断しても保持している情報が消失しない好ましい特性を有している。強誘電体メモリは、すでにICカードや携帯電子機器に使われている。

[0003] 典型的なFeRAMは強誘電体膜を1対の電極により挟持した強誘電体キャパシタを有し、電極間の印加電圧に応じて前記強誘電体キャパシタ中に分極を誘起することにより、情報を記憶する。このように強誘電体膜中に分極の形で書き込まれた情報は、印加電圧を取り去っても保持される。

かかる強誘電体キャパシタでは、印加電圧の極性を反転すれば自発分極の極性も反転する。そこで、この自発分極を検出することにより、書き込まれた情報を読み出すことが出来る。FeRAMはフラッシュメモリに比べ低電圧で動作し、低電力で高速の情報の書き込みが可能である。

[0004] かかるFeRAMでは、非酸化雰囲気中における処理に伴う強誘電体膜の特性劣化を回復させるためにFeRAMの製造工程において繰り返し酸素雰囲気中の熱処理を行う必要がある。強誘電体キャパシタを構成する強誘電体膜は、非酸化雰囲気中における処理により容易に酸素欠損を生じ、これに伴い反転電荷量やリーク電流値などの強誘電体膜としての特性が劣化してしまう。このため従来より、上部電極としてPt等の酸素雰囲気中でも酸化しにくい金属や、IrO_xやRuO_x等の導電性酸化物が用いられている。

発明の開示

発明が解決しようとする課題

- [0005] ところで、近年ではFeRAMにおいても微細化に対する厳しい要求が課せられており、これに伴い強誘電体キャパシタの微細化および多層配線構造の採用が要求されている。さらに携帯型情報処理装置への適用に関連して、低電圧動作が要求されている。
- [0006] FeRAMが低電圧で動作可能なためには、強誘電体キャパシタを構成する強誘電体膜が大きな反転電荷量 Q_{sw} を有することが要求されるが、多層配線構造を使用した場合、多層配線構造を形成する過程で使われる還元雰囲気処理あるいは非酸化雰囲気処理により、既に形成されている強誘電体キャパシタの特性が劣化してしまう問題が生じる。
- [0007] より具体的に説明すると、上部電極をPt膜あるいはIr膜などにより形成した場合、多層配線構造中の層間絶縁膜を形成する際に使われる還元雰囲気中の水素がPt膜やIr膜中に侵入してこれらの金属が有する触媒作用により活性化され、活性化された水素により強誘電体キャパシタ中の強誘電体膜が還元されてしまう問題が生じる。強誘電体膜が還元されると強誘電体キャパシタの動作特性は大きく劣化してしまう。かかる強誘電体膜の特性劣化の問題は、強誘電体キャパシタが微細化され、強誘電体キャパシタ中のキャパシタ絶縁膜が微細化された強誘電体膜パターンより構成される場合に特に顕著に現れる。
- [0008] そこで従来、強誘電体膜上に形成される上部電極を、結晶化した第1の導電性酸化膜と、前記第1の導電性酸化膜上に形成された第2の導電性酸化膜により構成し、その際、前記第2の導電性酸化膜の組成を、前記第1の導電性酸化膜の組成よりも化学量論組成に近い組成とする技術が、以下の特許文献2において提案されている。
- [0009] 図1は、前記特許文献2による強誘電体キャパシタの製造工程を示すフローチャートである。
- [0010] 図1を参照するに、最初にステップS1において下部電極が形成され、次にステップS2において、前記下部電極上にPZT膜などの強誘電体膜が形成される。
- [0011] さらに次のステップS3において前記強誘電体膜上にスパッタ法により酸化イリジウムよりなる第1の導電性酸化膜が、上部電極の一部として形成され、さらにステップS

4において、調整された酸化雰囲気中において結晶化熱処理を行うことにより、結晶化される。

[0012] さらにステップS5において、前記結晶化した第1の導電性酸化膜上に、酸化イリジウムよりなる第2の導電性酸化膜が、より高い酸化の割合を有するように、スパッタ法により形成され、さらにその上に、ステップS6において、金属Irなどの金属電極が形成される。

[0013] しかし本願発明の基礎となる研究によれば、この特許文献2の技術では、前記第2の導電性酸化膜が低温成膜されるため、その後の、例えば多層配線構造を形成する際の熱処理工程で、前記第2の導電性酸化膜が結晶化し、その結果、図2に示すように前記第2の導電性酸化膜が収縮し、ボイドが発生する場合があることが見出された。

[0014] 図2を参照するに、強誘電体キャパシタはTiN配向制御膜上にTiAlN酸素バリア膜を介して形成されており、下部電極Irと、その上のPZT強誘電体膜と、その上の上部電極層となり、前記上部電極層は、酸化イリジウムよりなる第1の導電性酸化膜IrO_xと、その上に形成され、同じく酸化イリジウムよりなる、ただし化学量論組成IrO₂により近い組成の導電性酸化膜IrO_yと、その上に形成された金属Ir膜とより構成されているが、前記第2の導電性酸化膜IrO_yには、多数のボイドが形成されているのがわかる。またこのようなボイドの形成の影響で、強誘電体膜PZTと第1の導電性酸化膜IrO_yとの界面にも、ボイドが発生している。一方、下部電極Irと強誘電体膜PZTの界面のボイドは、前記配向制御膜TiNの下のビアプラグ表面の凹凸を反映したもので、平坦化処理により解消することができる。

[0015] このように、前記第2の導電性酸化膜中に大規模なボイド発生が生じると、前記金属膜Ir形成後に行われる多層配線構造の形成工程などにおいて、水素がかかるボイドに侵入し、酸化イリジウムを還元したり、あるいはさらにその下の強誘電体膜PZTにまで侵入して、強誘電体キャパシタの電気特性を劣化させたりする問題が生じる。

特許文献1:特開2004-273787号公報

特許文献2:特許第3661850号

特許文献3:特開2006-128274号公報

特許文献4:特開2000-91270号公報

特許文献5:特開平10-242078号公報

特許文献6:特開2001-127262号公報

特許文献7:特開2002-246564号公報

特許文献8:特開2005-183842号公報

特許文献9:特開2006-73648号公報

特許文献10:特開2006-222227号公報

特許文献11:特開2000-58525号公報

特許文献12:特開2003-197874号公報

特許文献13:特開2002-289793号公報

特許文献14:特開2003-347517号公報

特許文献15:特開2005-183842号公報

課題を解決するための手段

[0016] 一の側面によれば本発明は、基板と、前記基板上に形成された強誘電体キャパシタとよりなる半導体装置において、前記強誘電体キャパシタは、下部電極と、前記下部電極上に形成された強誘電体膜と、前記強誘電体膜上に形成された上部電極とよりなり、前記上部電極は、化学量論組成が組成パラメータ x_1 を使って化学式 AOx_1 で表され実際の組成が組成パラメータ x_2 を使って化学式 AOx_2 で表される酸化物よりなる第1の層と、前記第1の層上に形成され、化学量論組成が組成パラメータ y_1 を使って化学式 BOy_1 で表され実際の組成が組成パラメータ y_2 を使って化学式 BOy_2 で表される酸化物よりなる第2の層と、前記第2の層上に形成された金属層と、よりなり、前記第2の層は、前記第1の層よりも酸化の割合が高く、

前記組成パラメータ x_1 , x_2 , y_1 および y_2 の間には、関係 $y_2/x_2 > y_1/x_1$ が成立し、前記第2の層には、前記金属層との界面に、さらに酸素濃度の高い界面層が形成されていることを特徴とする半導体装置を提供する。

[0017] 他の側面によれば本発明は、強誘電体キャパシタを形成する工程を含む半導体装置の製造方法であって、前記強誘電体キャパシタを形成する工程は、下部電極を形成する工程と、前記下部電極上に強誘電体膜を堆積する工程と、前記強誘電体膜

上に第1の導電性酸化膜を堆積する工程と、前記第1の導電性酸化膜を酸化性雰囲気中で結晶化する工程と、前記結晶化工程の後、前記第1の導電性酸化膜上に第2の導電性酸化膜を微結晶状態で堆積する工程と、前記第2の導電性酸化膜の表面を、酸化性雰囲気に曝露し、結晶化する工程と、第2の導電性酸化膜の結晶化工程の後、前記第2の導電性酸化膜上に金属膜を堆積する工程と、よりなることを特徴とする半導体装置の製造方法を、提供する。

発明の効果

[0018] 本発明によれば、前記強誘電体キャパシタのキャパシタ絶縁膜を構成する強誘電体膜に接する下層上部電極層として非化学量論組成を有する第1の導電性酸化膜を使うことにより、前記強誘電体膜からPbが前記下層上部電極層中に拡散し、これに伴って前記強誘電体膜と前記下層上部電極層との間の界面が平坦化し、前記強誘電体キャパシタに電圧を印加した場合、前記強誘電体膜に印加される実効的な電圧の値がより大きくなりキャパシタ特性が向上する。一方、かかる非化学量論組成を有する導電性膜は水素を含む雰囲気中に曝された場合、膜中の金属成分が水素を活性化してしまい、活性化された水素が強誘電体膜の特性を劣化させる。このため、本発明では、前記下層上部電極層の上部に、化学量論組成、あるいはより化学量論組成に近い組成を有する第2の導電性酸膜よりなる上層上部電極層を形成し、下層上部電極層中への還元雰囲気の侵入を阻止する。

[0019] その際、本発明によれば、既に熱処理により結晶化状態となっている下層上部電極層上に上層上部電極層を微結晶状態で形成し、さらに前記上層上部電極層を、その上に金属電極膜が形成される前に、酸化雰囲気中で急速熱処理して結晶化することにより、その後の半導体装置の製造プロセスで強誘電体キャパシタが熱処理を受けても、かかる上層上部電極層におけるボイドの発生が抑制され、例えば前記強誘電体キャパシタ上に多層配線構造の形成がなされても、使われる還元雰囲気中の水素が、かかるボイドを伝って強誘電体キャパシタ中に侵入し、電気特性の劣化を引き起こす問題が解決される。また、前記下層上部電極層および上層上部電極層の結晶化熱処理の際に、プロセス雰囲気中の酸化ガスの割合および温度を最適化することにより、これらの表面における異常成長を抑制することができる。

図面の簡単な説明

- [0020] [図1]従来の強誘電体キャパシタの製造工程を示すフローチャートである。
- [図2]本発明の課題を説明する図である。
- [図3A]本発明の第1の実施形態による強誘電体キャパシタの構成を示す図である。
- [図3B]図3Aの強誘電体キャパシタを説明する別の図である。
- [図4]図3Aの強誘電体キャパシタの製造工程を説明するフローチャートである。
- [図5A]図3Aの強誘電体キャパシタの製造工程を説明する図(その1)である。
- [図5B]図3Aの強誘電体キャパシタの製造工程を説明する図(その2)である。
- [図5C]図3Aの強誘電体キャパシタの製造工程を説明する図(その3)である。
- [図5D]図3Aの強誘電体キャパシタの製造工程を説明する図(その4)である。
- [図5E]図3Aの強誘電体キャパシタの製造工程を説明する図(その5)である。
- [図5F]図3Aの強誘電体キャパシタの製造工程を説明する図(その6)である。
- [図5G]図3Aの強誘電体キャパシタの製造工程を説明する図(その7)である。
- [図5H]図3Aの強誘電体キャパシタの製造工程を説明する図(その8)である。
- [図6A]図5Eの工程で得られる膜の表面状態を示す図である。
- [図6B]図5Eの工程で得られる膜の表面状態を示す別の図である。
- [図6C]図5Eの工程で得られる膜の表面状態を示す別の図である。
- [図6D]図5Eの工程で得られる膜の表面状態を示す別の図である。
- [図7A]図5Gの工程で得られる膜の表面状態を示す図である。
- [図7B]図5Gの工程で得られる膜の表面状態を示す別の図である。
- [図7C]図5Gの工程で得られる膜の表面状態を示す別の図である。
- [図7D]図5Gの工程で得られる膜の表面状態を示す別の図である。
- [図7E]図5Gの工程で得られる膜の表面状態を示す別の図である。
- [図7F]図5Gの工程で得られる膜の表面状態を示す別の図である。
- [図8A]図5Eの熱処理工程に伴うX線回折パターンの変化を示す図である。
- [図8B]図5Gの熱処理工程に伴うX線回折パターンの変化を示す図である。
- [図8C]図5Gの熱処理工程に伴うX線回折パターンの変化を示す別の図である。
- [図8D]図5Gの熱処理工程に伴うX線回折パターンの変化を示す別の図である。

[図9A]図3Aの強誘電体キャパシタの電気特性を示す図である。

[図9B]図3Aの強誘電体キャパシタの電気特性を示す図である。

[図10]図3Aの強誘電体キャパシタの電気特性を示す図である。

[図11A]本発明の第2の実施形態による強誘電体メモリの製造工程を説明する図(その1)である。

[図11B]本発明の第2の実施形態による強誘電体メモリの製造工程を説明する図(その2)である。

[図11C]本発明の第2の実施形態による強誘電体メモリの製造工程を説明する図(その3)である。

[図11D]本発明の第2の実施形態による強誘電体メモリの製造工程を説明する図(その4)である。

[図11E]本発明の第2の実施形態による強誘電体メモリの製造工程を説明する図(その5)である。

[図11F]本発明の第2の実施形態による強誘電体メモリの製造工程を説明する図(その6)である。

[図11G]本発明の第2の実施形態による強誘電体メモリの製造工程を説明する図(その7)である。

[図11H]本発明の第2の実施形態による強誘電体メモリの製造工程を説明する図(その8)である。

[図11I]本発明の第2の実施形態による強誘電体メモリの製造工程を説明する図(その9)である。

[図11J]本発明の第2の実施形態による強誘電体メモリの製造工程を説明する図(その10)である。

[図11K]本発明の第2の実施形態による強誘電体メモリの製造工程を説明する図(その11)である。

[図11L]本発明の第2の実施形態による強誘電体メモリの製造工程を説明する図(その12)である。

[図11M]本発明の第2の実施形態による強誘電体メモリの製造工程を説明する図(そ

の13)である。

[図11N]本発明の第2の実施形態による強誘電体メモリの製造工程を説明する図(その14)である。

[図11O]本発明の第2の実施形態による強誘電体メモリの製造工程を説明する図(その15)である。

[図11P]本発明の第2の実施形態による強誘電体メモリの製造工程を説明する図(その16)である。

[図11Q]本発明の第2の実施形態による強誘電体メモリの製造工程を説明する図(その17)である。

[図11R]本発明の第2の実施形態による強誘電体メモリの製造工程を説明する図(その18)である。

[図11S]本発明の第2の実施形態による強誘電体メモリの製造工程を説明する図(その19)である。

[図11T]本発明の第2の実施形態による強誘電体メモリの製造工程を説明する図(その20)である。

[図11U]本発明の第2の実施形態による強誘電体メモリの製造工程を説明する図(その21)である。

[図11V]本発明の第2の実施形態による強誘電体メモリの製造工程を説明する図(その22)である。

[図12]本発明の第3の実施形態による強誘電体メモリの製造工程を説明する図である。

[図13]第3の実施形態の一変形例による強誘電体メモリの製造工程を説明する図(その8)である。

[図14]本発明の第4の実施形態による強誘電体メモリの製造工程を説明する図である。

符号の説明

[0021] 11 酸化膜

12 配向性御膜

13 導電性酸素バリア膜

14 下部電極

15 強誘電体膜

16 第1導電性酸化物膜

17 第2導電性酸化物膜

17A 化学量論組成表面層

18 金属膜

61 基板

61A 素子領域

61I 素子分離構造

61a~61f 拡散領域

62A, 62B ゲート絶縁膜

63A, 63B ゲート電極

64A, 64B ゲートシリサイド層

65, 67 SiON膜

66, 68, 81, 83 層間絶縁膜

66A, 66B, 66C, 68A, 68C, 83A, 83B, 83C ビアホール

67A~67C, 69A, 69C, 84A~84C ビアプラグ

67a, 67b, 67c, 69a, 69c, 84a, 84b, 84c 密着膜

78 ハードマスク膜

78A, 78B ハードマスクパターン

79, 80 Al_2O_3 水素バリア膜

85A, 85B, 85C 配線パターン

発明を実施するための最良の形態

[0022] [第1の実施形態]

図3Aは、本発明の第1の実施形態による強誘電体キャパシタ10の構成を示す図である。

[0023] 図3Aを参照するに、強誘電体キャパシタ10はシリコン基板(図示せず)を覆うシリコ

ン酸化膜11上に形成されており、前記シリコン酸化膜11上に形成された(111)配向を有するTiN膜あるいは(002)配向を有するTi膜よりなり強誘電体キャパシタ中の強誘電体キャパシタ絶縁膜の結晶配向を制御する配向制御膜12と、前記配向制御膜12上に形成された(111)配向のTiAlN膜よりなり前記シリコン酸化膜11中の図示していない配線パターンへの酸素の侵入を抑制する導電性酸素バリア膜13と、前記導電性酸素バリア膜13上に形成された(111)配向のPt膜よりなる下部電極14と、前記下部電極14上に形成された(111)配向のPZT膜よりなる強誘電体膜15と、前記強誘電体膜15上に形成された第1の酸化イリジウム結晶化膜よりなる導電性酸化物膜16と、前記第1の導電性酸化物膜16上に形成された第2の酸化イリジウム結晶化膜よりなる導電性酸化物膜17と、前記導電性酸化物膜17の表面部分に、1～20nmの厚さで形成された化学量論組成(IrO_2)の酸化イリジウム膜よりなり、前記導電性酸化物膜17の他の部分よりも酸素濃度の高い化学量論組成領域17Aと、前記導電性酸化物膜17上に前記化学量論組成領域17Aに接して形成されたIr膜よりなる金属膜18により構成され、前記導電性酸化物膜16、および前記化学量論組成領域17Aを含む導電性酸化物膜17は、前記金属膜18と共に、図3Aの強誘電体キャパシタ10の上部電極を構成する。

- [0024] 図3Bは、図3A中、前記導電性酸化物膜16および前記化学量論組成領域17Aを含む導電性酸化物膜17の組成を、組成パラメータx、yを使ってそれぞれ IrO_x 、yと表現した場合の、前記組成パラメータx、yの深さ分布を示す概略図である。
- [0025] 本実施形態では、前記第2の導電性酸化膜17を、その形成後、金属膜18が形成される前に酸化雰囲気中で急速熱処理を行い、結晶化させるため、結晶化と同時に酸素が前記第2の導電性酸化膜17中に導入され、膜17の組成が化学量論組成に近づくと同時に、その表面部分では安定な化学量論組成の表面層が形成される。そこで、前記金属膜18を形成後、配線構造の形成工程などで熱処理がなされても、先に図2で説明したような導電性酸化膜17におけるボイド形成は抑制され、かかるボイド形成に伴う強誘電体キャパシタの特性の劣化が回避される。
- [0026] なお本発明は、図3Bに破線で示したように、導電性酸化膜17中の酸素濃度プロファイルが、前記表面層17Aから下方に徐々に減少する場合をも含むものである。この

ような場合でも、前導電性酸化膜17の表面においては化学量論組成を有する領域17Aが形成されていると考えられる。

- [0027] 図4は、前記図3の強誘電体キャパシタ10の製造工程を示すフローチャート、図5A～5Eは、図4のフローチャートに対応する強誘電体キャパシタ10の製造工程を示している。
- [0028] 図5Aを参照するに、図示しないシリコン基板を覆うシリコン酸化膜11上には、(002)配向を有するTi膜12が配向制御膜としてスパッタ法により形成されており、前記配向制御膜12上には、TiAlN膜13が、導電性酸素拡散バリア膜として、反応性スパッタ法により形成されている。なお前記シリコン酸化膜11は、その表面に Al_2O_3 膜を担持していくてもよい。
- [0029] 例えば前記Ti膜12は、DCスパッタ装置中において被処理基板とターゲット間の距離を60mmに設定し、圧力が0.15PaのAr雰囲気中、20°Cの基板温度で2.6kWのスパッタパワーを5秒間供給することにより形成される。また前記TiAlN膜13は、同じDCスパッタ装置中、TiおよびAlの合金ターゲットを使い、圧力が253.3PaのAr/N₂雰囲気中、Arガスを40sccm、窒素ガスを10sccmの流量で供給しながら400°Cの基板温度で、1.0kWのスパッタパワーを供給することにより、100nmの膜厚に形成される。
- [0030] 前記Ti膜12は、成膜後、一度窒化させるのが好ましい。Ti膜12をこのように窒化させることにより、後で行われる強誘電体膜の回復熱処理の際に、膜側面からのTiの酸化を抑制することができる。
- [0031] ここで前記導電性酸素拡散バリア膜13はTiAlNに限定されるものではなく、IrあるいはRu膜を使うことも可能である。前記配向制御膜12は、TiあるいはTiNに限定されるものではなく、他にPt, Ir, Re, Ru, Pd, Os、あるいはこれらの合金を使うことも可能である。また前記配向制御膜12を、Ti, Al, Ir, Pt, Ru, Pd, Os, Rh, PtOx, IrOx, RuOx, PdOxなどの単層膜あるいは積層膜として形成することも可能である。
- [0032] さらに前記図5Aの工程においては、前記図4のステップS11に対応して、前記導電性酸素拡散バリア膜13上に、厚さが約100nmのPt膜よりなる下部電極膜14が、例えば圧力が0.2PaのAr雰囲気中、400°Cの基板温度で0.5kWのスパッタパワ

一を投入するスパッタ法により形成される。なお前記下部電極14は、純粋なPtに限定されるものではなく、Ptを含む貴金属合金、あるいはPt、もしくはPtを含む貴金属合金と酸化プラチナ(PtO)を積層した積層膜であってもよい。

- [0033] このようにして形成されたPt下部電極膜14は(111)配向を有し、その上に形成される強誘電体膜の配向を(111)配向に効果的に規制する。
- [0034] 次に図5Bの工程において、前記図4のステップS12に対応して、前記下部電極14上にPZT膜が前記強誘電体膜15として、高周波スパッタ法により、例えばPLZT組成のターゲットを使い、圧力が0.9PaのAr雰囲気中、1000Wのパワーを投入し、50°Cの基板温度で100～200nmの膜厚に形成される。このようにして形成された強誘電体膜15は、アモルファス状態で形成され、前記ターゲットとしてPLZT組成のものを使った場合には、PLZT組成を有する。あるいは、前記強誘電体膜15は、MOCVD法により形成してもよい。
- [0035] 次に図5Cの工程において、前記図4のステップS13に対応して、前記図5Bの構造に対して酸素を含む圧力が0.1MPaのAr雰囲気中、650°C以下の温度で急速熱処理を行い、前記強誘電体膜15の酸素欠損を補償し、さらに引き続き酸素雰囲気中、750°Cでの急速熱処理を行うことにより、前記強誘電体膜15を結晶化させる。またかかる急速熱処理により、前記下部電極14を構成するPt膜が緻密化し、前記下部電極14と強誘電体膜15との間でのPtと酸素の相互拡散が抑制される。
- [0036] 次に図5Dの工程において、前記強誘電体膜15上に厚さが20～75nmの酸化イリジウム膜16をスパッタ法により、堆積する。例えばかかるスパッタ処理は、150°C以上で350°C以下の、例えば300°Cの温度において、0.3Paの圧力下、Arガスおよび酸素ガスをそれぞれ140sccmおよび60sccmの流量で供給し、約1kWのスパッタパワーを投入することにより実行することができる。このようにして形成された酸化イリジウム膜16は結晶状態にあり、酸素組成を表す組成パラメータxが、1.92(x=1.92)の非化学量論組成IrO_xを有している。
- [0037] あるいは前記図5Dの酸化イリジウム膜16の成膜工程を、10°C以上で50°C以下の、例えは室温におけるRFスパッタにより行うことも可能である。この場合には、0.23Paの圧力下、Arガスを100sccm、酸素ガスを52～59sccmの流量で供給し、約2kW

のスパッタパワーを投入する。このようにして形成された酸化イリジウム膜16はアモルファス状態であり、前記組成パラメータxが1.20～1.50の非化学量論組成IrO_xを有している。

- [0038] さらに本実施形態では、先に図2で説明した、上部電極構造の一部を構成する導電性酸化膜中におけるボイド形成を抑制するため、図5Eの工程において図4のステップS14に対応して、前記図5Dの構造を制御された酸化雰囲気中で熱処理し、前記酸化イリジウム膜16を結晶化させる。
- [0039] ところが、このような酸化イリジウム膜16の酸化雰囲気中の熱処理は、酸化イリジウム結晶粒に異常成長が生じやすく、注意が必要であることが見出された。
- [0040] 図6Aは、このような熱処理を、酸素濃度が1%のAr／酸素混合ガス雰囲気中、725°Cの温度で60秒間の急速熱処理により行った場合の、前記酸化イリジウム膜16の表面状態を示す走査電子顕微鏡写真を示す。同様に、図6B～図6Dは、同じ熱処理をそれぞれ20%、30%および50%の酸素濃度のAr／酸素混合ガス雰囲気中で行った場合の、前記酸化イリジウム膜16の表面状態を示す図である。
- [0041] 図6A～6Dを参照するに、酸素濃度が1%から30%の範囲では、雰囲気中の酸素濃度と共に、前記酸化イリジウム膜16中の結晶粒径が徐々に増大するのがわかるが、結晶粒径はほぼ一様であり、孤立した巨大結晶は生じていない。ところが、酸素濃度が30%を超えると、図6Dに示すように、孤立した酸化イリジウムの巨大結晶が見られるようになる。
- [0042] このように前記酸化イリジウム膜16の表面において異常成長が生じると、表面モフォロジの異常がその上の酸化イリジウム膜17に伝搬し、前記酸化イリジウム膜17においても表面モフォロジに異常が生じる恐れがある。
- [0043] このことから、図5Eの工程の熱処理は、30%以下の酸素濃度の雰囲気中で行う必要があることがわかる。一方、前記図5Eの工程の熱処理を、酸素を含まない不活性ガス雰囲気中で行った場合には、前記酸化イリジウム膜16表面の酸素が脱離してしまうため、熱処理雰囲気は、少なくとも0.1%の酸素濃度が必要であると考えられる。本実施例では、そこで前記図5Eの工程の熱処理を、酸素を20%の濃度で含むAr／酸素混合ガス雰囲気中で行っているが、かかる熱処理は、1%以上、20%以下の

酸素濃度で行うのが好ましいと考えられる。

- [0044] また前記図5Eの工程の熱処理は、温度が650°C以下だと効果が低く、強誘電体キヤパシタ10に、不満足な電気特性しか得られない。一方、前記熱処理温度が750°Cを超えると、前記下部電極24の下のTiAlN酸素バリア膜13のバリア特性が劣化する恐れがあり、このことから、前記熱処理温度は650°C以上、750°C以下とするのが好ましい。そこで本実施形態中の一例は、前記熱処理を725°Cの温度で、酸素を20%含むAr／酸素混合ガス雰囲気中、60秒間の急速熱処理により、行っている。
- [0045] 本実施形態では、前記酸化イリジウム膜16が、先に述べたように非化学量論組成を有しているため、図5Eの熱処理の結果、前記強誘電体膜15を構成するPZT膜からIrO_x膜16にPbの拡散が生じ、前記強誘電体膜16と酸化イリジウム膜16との間に平坦な界面が形成される。その結果、前記強誘電体キヤパシタ10に電圧を印加した場合、前記強誘電体膜15に一様な電界が誘起され、強誘電体キヤパシタ10に低い駆動電圧で分極反転を誘起することが可能となる。
- [0046] 次に、本実施形態では図5Fの工程において、前記図4のステップ15に対応して、前記図5Eの構造上に前記第2の酸化イリジウム膜17を、スパッタ法により、50°C以上、80°C以下の基板温度において、100～150nmの厚さで、成膜時に微結晶状態で形成する。このようにして形成された酸化イリジウム膜17は、引き続く工程において結晶化熱処理を施されるが、その際に前記酸化イリジウム膜17がアモルファス状態だと、結晶化後に不均一な膜となり、図2で説明したボイドが発生しやすい。また前記酸化イリジウム膜17の成膜が、150°C以上の温度でなされると、酸化イリジウム膜17は結晶化した状態で得られるが、その際に結晶粒の一部に異常成長が生じ、平坦な表面モフォロジを得られない。また前記成膜温度が100°C以下では、微結晶と結晶が混在しているが、80°C以下では、得られる酸化イリジウム膜17は微結晶のみより構成される。このため、本実施形態では、前記図5Fのスパッタによる成膜工程を、50°C以上、80°C以下の温度、例えば60°Cで実行する。
- [0047] その際、前記図5Fの工程では、スパッタ法による酸化イリジウム膜17の成膜を、0.3Paの圧力下、Arガスを100sccm、酸素ガスを100sccmの流量で供給し、例えば1kWのスパッタパワーを投入することで実行されるが、このような条件で成膜を行った

場合には、前記酸化イリジウム膜17表面における異常酸化およびこれによる結晶粒の異常成長を抑制することができる。

- [0048] 次に前記図4のステップ14に対応する図5Gの工程において、前記図5Fの構造に対してAr／酸素混合ガス雰囲気中、650～750°Cの温度範囲、例えば700°Cの温度で60秒間、常圧下あるいは減圧下で急速熱処理を行い、これを結晶化させる。
- [0049] 図7A～7Fは、前記図5Gの熱処理工程を、それぞれ圧力が0.1MPaで酸素濃度が1%，10%，20%，25%，30%，50%のAr／酸素混合ガス雰囲気中で実行した場合の、得られた酸化イリジウム膜17の表面状態を観察した、金属顕微鏡写真である。
- [0050] 図7A～7Eを参照するに、酸素濃度が30%までは、一様な表面状態が観察されるが、酸素濃度が30%を超えると、図7Fに示すように、不均一な構造が観察され、表面に異常成長が生じているのがわかる。
- [0051] そこで本実施例では、前記図5Gの熱処理工程を、前記図5Eの熱処理工程と同様に、0.1%以上で30%以下の酸素濃度で、より好ましくは1%以上で20%以下の酸素濃度で行い、かかる異常成長の問題を回避する。
- [0052] 図8A～8Cは、それぞれ前記第1の酸化イリジウム膜16、第2の酸化イリジウム膜17、および前記第1および第2の酸化イリジウム膜16，17の積層構造に対して求めた、X線回折パターンを示す。
- [0053] 図8Aを参照するに、実線は前記第1の酸化イリジウム膜16の成膜直後の状態を、また破線は前記図5Eの熱処理工程を施された後の状態に対応しているが、これらを比較すると、図5Gの熱処理によっては、X線回折パターンに、ピーク位置および2θ角のいずれにおいても、わずかな変化しか生じておらず、回折ピークも化学量論組成の IrO_2 膜の回折ピークにほぼ一致することがわかる。これは、前記酸化イリジウム膜16が、既に図5Eの熱処理工程により、完全に結晶化していることを示している。
- [0054] 一方、図8Bは、単独で形成した第2の酸化イリジウム膜17のX線回折パターンを、成膜直後の状態(破線)と、酸素濃度が1%の雰囲気中で前記図5Gの熱処理を行った状態とで比較して示しているが、この場合には成膜直後には(110)および(200)回折ピークの高さが低く、また2θ角も IrO_2 のものよりも低角度側にずれており、膜が

微結晶状態であるのに対し、熱処理後には完全に結晶化して、(100)および(200)回折ピークが、化学量論組成の IrO_2 膜の対応する(100)および(200)回折ピークにほぼ一致することがわかる。

- [0055] さらに図8Cは、前記図5Gに示すように第1の酸化イリジウム膜16と第2の酸化イリジウム膜17を積層した構造に対して、図5Gの熱処理前の状態および後の状態について求めたX線回折パターンを比較して示す図である。図中、破線が図5Gの熱処理工程前の状態、実線が熱処理工程後の状態に対応する。
- [0056] 図8Cを参照するに、この実験では先の図8Bとほぼ同様の結果が得られており、前記第2の酸化イリジウム膜17の成膜直後には、(110)および(200)回折ピークの高さが低く、また 2θ 角も IrO_2 のものよりも低角度側にずれており、膜が微結晶状態であるのに対し、図5Gの熱処理後には前記酸化イリジウム膜17は完全に結晶化して、(100)および(200)回折ピークが、化学量論組成の IrO_2 膜の対応する(100)および(200)回折ピークにほぼ一致することがわかる。
- [0057] さらに図8Dは、前記第2の酸化イリジウム膜17に対して単独で図5Gの工程に対する熱処理する場合に、雰囲気中の酸素濃度を様々なに変化させた場合を示す。
- [0058] 図8Dを参照するに、雰囲気中の酸素濃度が増大するにつれて、 $\text{Ir}(110)$ のピークが減少し、 $\text{Ir}(200)$ のピークが増大するのがわかる。これは、かかる熱処理により、前記第2の酸化イリジウム膜17の酸化の程度が増大していることを意味する。
- [0059] すなわち、前記第2の酸化イリジウム膜17は、成膜直後の微結晶状態では酸化の程度が低く、組成が理想的な化学量論組成 IrO_2 から大きくずれているのに対し、図5Gの熱処理を行うことにより、雰囲気中から膜中に酸素が取り込まれ、膜中の酸素組成値yが増大し、その際、特に膜表面においては酸素組成yが最大となり、化学量論組成 IrO_2 を有する厚さが20nm以内の表面領域17Aが形成され、その結果、前記酸化イリジウム膜16、17よりなる強誘電体キャパシタ10の上部電極構造中には、先に図3Bで示した酸素濃度プロファイルが生じるものと考えられる。
- [0060] 以下の表1は、このようにして形成された第1の酸化イリジウム(IrO_x)膜16および第2の酸化イリジウム(IrO_y)膜17について、HRBS(高分解能ラザフォード後方散乱スペクトロメトリ)により求めた、前記図5Gの熱処理工程後における酸素組成パラメ

ータx、yをまとめて示す。

[0061] [表1]

導電性酸化膜	成膜温度	成膜ガスAr : O ₂ (Sccm)	HRBS結果x, y
IrO _x	20°C	100 : 52	1. 20
IrO _x	20°C	100 : 59	1. 50
IrO _x	300°C	140 : 60	1. 92
IrO _y	20°C	100 : 100	2. 10
IrO _y	60°C	100 : 100	2. 10
IrO _y	300°C	100 : 100	2. 05

表1を参照するに、第1の酸化イリジウム膜16では、前記酸素組成パラメータxが、20°Cの基板温度で成膜した場合に1. 20～1. 50、300°Cの基板温度で成膜した場

合には1. 92の値を有し、前記第2の酸化イリジウム膜17では、前記酸素組成パラメータyが、20~60°Cの基板温度で成膜した場合には2. 10の値を、300°Cの基板温度で成膜した場合には2. 05の値を有するのがわかる。

- [0062] ここで前記第2の酸化イリジウム膜17では、先にも述べたように前記図5Gの工程における熱処理により酸素を前記膜17の表面から膜中に導入しており、その結果、膜表面においてはほぼ IrO_2 の化学量論組成となっているのに対し、酸素濃度は膜内部ではより減少し、先の図3Bで説明した酸素分布が生じているものと考えられる。
- [0063] 次に前記図14のステップ17に対応する図5Hの工程において、前記金属Ir膜18が、前記図5Gの第2の酸化イリジウム膜17上に形成され、強誘電体キャパシタ10が完成する。
- [0064] 図9Aおよび9Bは、このようにして得られた強誘電体キャパシタ10の反転電荷量 Q_s およびリーク電流密度をそれぞれ示す。ただし図9A、9Bは $50 \mu\text{m} \times 50 \mu\text{m}$ の強誘電体キャパシタについてのものであり、測定は、その上に5層の多層配線構造を形成した状態で行っている。図9A、9B中、「TEL-AN1」は前記図5Eの熱処理工程における雰囲気中の酸素濃度を示し、「TEL-AN2」は前記図5Gの熱処理工程における雰囲気中の酸素濃度を示す。
- [0065] 図9Aを参照するに、本発明では反転電荷量 Q_{sw} として $28 \mu\text{C}/\text{cm}^2$ 以上の値が得られており、これは特許文献2で得られた値($20 \mu\text{C}/\text{cm}^2$)を大きく上回っている。また図9Bを参照するに、リーク電流は特に図5Gの熱処理工程を10%以上の酸素濃度で行った場合に、大きく低減できるのがわかる。これは、先に図2で説明した第2の酸化イリジウム膜17中におけるボイド形成が効果的によくせいされていることを示している。一方、前記図5Gの熱処理工程における酸素濃度が1%の場合には大きなリーク電流が生じているが、これは先に図2で説明したボイドが第2の酸化イリジウム膜17中に大規模に生じていることを示している。
- [0066] さらに図11は、このようにして得られた強誘電体キャパシタ10の反転電荷量 Q_{sw} と印加電圧の関係を示す。
- [0067] 図11を参照するに、反転電荷量 Q_{sw} と印加電圧の関係は、前記図5Eの熱処理工程および図5Gの熱処理工程に影響され、これらの熱処理工程を20%の酸素濃度で

を行うことにより、前記関係を、反転電荷量 Q_{sw} がより急峻に立ち上がるよう変化させることが可能となる。このように、前記図5Eおよび図5Gの熱処理工程を、酸素濃度の比較的高い雰囲気中で実行することにより、本発明では前記酸化イリジウム膜17中におけるボイドの形成を抑制でき、その結果、その後に多層配線構造の形成工程を行っても、強誘電体キャパシタへの水素や水の侵入が生じる問題が解決される。

[0068] 本実施形態では、図3Aの強誘電体キャパシタ10を形成するに当たり、図5Eおよび図5Gの熱処理工程を、酸素濃度が30%以下のAr／酸素ガス混合雰囲気中で実行することにより、第1および第2の酸化イリジウム膜表面における酸化イリジウム結晶の異常成長を回避することができる。前記図5Eおよび図5Gの工程において、Arガスの代りに窒素ガス、Heガスなど、他の不活性ガスを使うことができるは明らかである。また前記酸素ガスの代りに N_2O ガスやオゾンなど、他の酸化ガスを使うことができるのも明らかである。

[0069] なお本実施形態において、前記図4のステップ12の後、結晶化した強誘電体膜上にアモルファス状態の強誘電体膜をさらに薄く形成し、酸素欠損補償を行った後、あるいは直ちに、その上に前記第1の酸化イリジウム膜16を形成することも可能である。

[0070] また前記図4のステップS16の後、ステップS17の前にさらに再び、650～750°Cの温度で急速熱処理を行い、強誘電体膜15と前記導電性イリジウム膜16、17よりなる上部電極との密着性を向上させてもよい。

[0071] 本実施形態において、前記第1および第2の導電性酸化膜16、17は酸化イリジウム膜であるとして説明したが、本発明はかかる特定の材料に限定されるものではなく、酸化ルテニウム、酸化ロジウム、酸化レニウム、酸化オスミウムなどを使うことも可能である。これらの導電性酸化膜は、例えばIr、Ru、Rh、Re、Osなどの金属元素をターゲットとして使ったスパッタ法により形成することができる。

[第2の実施形態]

以下、本発明の第2の実施形態による強誘電体メモリの製造工程を、図12A～12Vを参照しながら説明する。

[0072] 図12Aを参照するに、シリコン基板61中には素子領域61Aとしてn型ウェルが形成されており、前記素子領域61A上には、ポリシリコンゲート電極63Aを有する第1のM

OSトランジスタとポリシリコンゲート電極63Bを有する第2のMOSトランジスタが、それぞれゲート絶縁膜62Aおよび62Bを介して形成されている。

- [0073] さらに前記シリコン基板61中には、前記ゲート電極63Aの両側壁面に対応してp⁻型のLDD領域61a, 61bが形成されており、また前記ゲート電極13Bの両側壁面に対応してp⁻型のLDD領域61c, 61dが形成されている。ここで前記第1および第2のMOSトランジスタは前記素子領域61A中に共通に形成されているため、同一のp⁻型拡散領域が、前記LDD領域61bとLDD領域61cとして共用されている。
- [0074] 前記ポリシリコンゲート電極63A上には、シリサイド層64Aが、またポリシリコンゲート電極63B上にはシリサイド層64Bが、それぞれ形成されており、さらに前記ポリシリコンゲート電極63Aの両側壁面および前記ポリシリコンゲート電極63Bの両側壁面上には、それぞれの側壁絶縁膜が形成されている。
- [0075] さらに前記シリコン基板61中には、前記ゲート電極63Aのそれぞれの側壁絶縁膜の外側に、p⁺型の拡散領域61eおよび61fが形成されており、また前記ゲート電極63Bのそれぞれの側壁絶縁膜の外側には、p⁺型の拡散領域61gおよび61hが形成されている。ただし、前記拡散領域61fと61gは、同一のp⁺型拡散領域より構成されている。
- [0076] さらに前記シリコン基板61上には、前記シリサイド層64Aおよび側壁絶縁膜を含めて前記ゲート電極63Aを覆うように、また前記シリサイド層64Bおよび側壁絶縁膜を含めて前記ゲート電極63Bを覆うように、SiON膜65が例えば200nmの厚さに形成されており、前記SiON膜65上にはSiO₂よりなる層間絶縁膜66が、TEOSを原料としたプラズマCVD法により、例えば1000nmの厚さに形成されている。さらに前記層間絶縁膜66はCMP法により平坦化され、さらに前記層間絶縁膜66中に、前記拡散領域61e, 61f(従って拡散領域61g), 61hをそれぞれ露出するようにコンタクトホール66A, 66B, 66Cが形成される。前記コンタクトホール66A, 66B, 66Cには、厚さが30nmのTi膜と厚さが20nmのTiN膜を積層した密着層67a, 67b, 67cを介して、W(タンゲステン)よりなるビアプラグ67A, 67B, 67Cが形成される。
- [0077] さらに図12Aの構造では前記層間絶縁膜66上に、厚さが例えば130nmの別のSiON膜67を介してシリコン酸化膜よりなる次の層間絶縁膜68が、前記層間絶縁膜66

と同様にしてTEOSを原料とするプラズマCVD法により、例えば300nmの厚さに形成されている。ここで前記SiON膜67に代わりにSiN膜あるいは Al_2O_3 膜を使うことも可能である。

- [0078] 次に図12Bの工程において前記層間絶縁膜68中に、前記ビアプラグ67A, 67Cを露出するビアホール68A, 68Cがそれぞれ形成され、前記ビアホール68Aにはタンクステンよりなり前記ビアプラグ67Aとコンタクトするように、ビアプラグ69Aが、前記密着層67aと同様なTi膜とTiN膜を積層した密着層69aを介して形成される。また前記ビアホール68Cにはタンクステンよりなり前記ビアプラグ67Cとコンタクトするようにビアプラグ69Cが、前記密着層67cと同様なTi膜とTiN膜を積層した密着層69cを介して形成される。
- [0079] 次に図12Cの工程において、前記層間絶縁膜68の表面を NH_3 プラズマで処理し、 NH 基を前記層間絶縁膜68表面の酸素原子に結合させ、次いでTi膜70がスパッタ法により、前記層間絶縁膜68上に前記ビアプラグ69A, 69Bを覆うように、例えば20nmの厚さに形成される。前記層間絶縁膜68の表面をこのように NH_3 プラズマで処理しておくことにより、前記層間絶縁膜68表面の酸素原子は NH 基により終端され、Ti原子と優先的に結合してその配向を規制することがないため、前記Ti膜70は理想的な(002)配向を有する。
- [0080] さらに図12Cの工程では、前記Ti膜70を窒素雰囲気中、650°Cの温度で急速熱処理し、(111)配向のTiN膜70に変換する。
- [0081] 次に図12Dの工程において、前記TiN膜70上にTiAlN膜71を、酸素拡散バリアとして形成し、さらに図12Eの工程で、前記TiAlN膜71上に Al_2O_3 膜72よりなるPb拡散バリア膜が、1nm以上、5nm以下の膜厚に、スパッタ法により、あるいはその下のTiAlN膜71の酸化により形成される。
- [0082] 次に図12Fの工程において、前記 Al_2O_3 膜72上に、厚さが約100nmのPt膜がスパッタ法により積層され、下部電極層73が形成される。
- [0083] 次に前記図12Fの構造をAr雰囲気中、650°C以上の温度で60秒間熱処理し、引き続き、図12Gの工程において、前記下部電極層73上に第1のPZT膜74が、スパッタ法により、1~50nm、好ましくは20~30nmの膜厚に形成される。

- [0084] 次に図12Hの工程において、前記PZT膜74上に第2のPZT膜75が、MOCVD法により、例えば80nmの膜厚に形成される。
- [0085] さらに図12Iの工程において、PZT膜74, 75は、酸素を含む雰囲気、例えば酸素ガスとArガスなどの不活性ガスの混合雰囲気中、550～800°C、例えば580°Cの温度で、例えば酸素ガスを0～25sccm、Arガスを2000sccmの流量で供給しながら30～120秒間、例えば90秒間熱処理され、結晶化される。このPZT膜73の結晶化熱処理の結果、前記PZT膜74, 75中には、(111)配向の柱状PZT結晶が、前記下部電極73の表面から上方に向かって成長する。
- [0086] 次に図12Jの工程において、前記PZT膜74上には先の実施形態の図5D～5Gと同様にして、図示はしないが先の実施形態における第1の酸化イリジウム膜16と第2の酸化イリジウム膜17と金属イリジウム膜18の積層よりなる上部電極膜76がスパッタ法および制御された酸化雰囲気中における熱処理により形成され、さらに図12Kの工程において前記上部電極膜76上に、TiAlN膜77とシリコン酸化膜78が、それぞれ反応性スパッタ法およびTEOS原料を使ったプラズマCVD法により、ハードマスク層として形成される。
- [0087] さらに図12Lの工程で前記シリコン酸化膜78およびその下のTiAlN膜77がパターニングされ、所望の強誘電体キャパシタC1, C2に対応したハードマスクパターン78A, 78Cが形成される。
- [0088] さらに次の図6Mの工程において、前記ハードマスクパターン78A, 78Cをマスクに、その下のTiAlN膜77, 上部電極層76, PZT膜74, 75、下部電極層73、およびAl₂O₃膜が、前記TiAlN膜71が露出するまで、HBr, O₂, ArおよびC₄F₈を使ったドライエッチングによりパターニングされ、前記ハードマスクパターン78Aの下に前記強誘電体キャパシタC1に対応して、Al₂O₃パターン72A, 下部電極パターン73A, PZTパターン74A, 75A, 上部電極パターン76AおよびTiAlNマスクパターン77Aを積層した構造が、また前記ハードマスクパターン76Cの下に前記強誘電体キャパシタC2に対応して、Al₂O₃パターン72C, 下部電極パターン73C, PZTパターン74C, 75C, 上部電極パターン76CおよびTiAlNマスクパターン77Cを積層した構造が得られる。ここで前記下部電極パターン73A, PZTパターン74A, 75A, 上部電極パタ

ーン76Aが強誘電体キャパシタC1を構成し、下部電極パターン73C, PZTパターン74C, 75C, 上部電極パターン76Cが強誘電体キャパシタC2を構成する。

- [0089] 次に図12Nの工程で、前記ハードマスクパターン78A, 78Cがドライエッチングまたはウェットエッチングにより除去され、図12Oの工程において前記強誘電体キャパシタC1, C2をマスクに、前記層間絶縁膜68上のTiN膜70およびその上のTiAlN膜71がドライエッチングにより除去され、前記キャパシタC1では前記 Al_2O_3 パターン72Aの下に、TiNパターン70AおよびTiAlNパターン71Aを積層した構造が、また前記キャパシタC2では前記 Al_2O_3 パターン72Cの下に、TiNパターン70CおよびTiAlNパターン71Cを積層した構造が形成される。
- [0090] さらに図12Pの工程で、前記図12Oの工程で露出した前記層間絶縁膜68上に、前記強誘電体キャパシタC1およびC2の側壁面および上面を連続して覆うように非常に薄い、膜厚が20nm以下の Al_2O_3 膜79が、水素バリア膜としてスパッタ法あるいはALD法により形成され、次いで図12Qの工程で、酸素雰囲気中、550～750°C、例えば650°Cで熱処理を行うことにより、前記強誘電体キャパシタC1, C2中のPZT膜74A, 75A、および74C, 75Cにおいて、図12Oのドライエッチング工程などで生じたダメージを回復させる。
- [0091] さらに図12Rの工程において前記図12Pの Al_2O_3 膜79上に次の Al_2O_3 膜80がMO CVD法により例えば20nmの膜厚に、やはり水素バリア膜として形成され、さらに図12Sの工程において、このようにして形成された Al_2O_3 水素バリア膜79, 80を覆うようシリコン酸化膜よりなる層間絶縁膜81が、TEOSと酸素とヘリウムの混合ガスを原料としたプラズマCVD法により1500nmの膜厚に形成される。図12Sの工程では、このようにして形成された層間絶縁膜81の表面をCMP法により平坦化した後、 N_2O または窒素ガスを用いたプラズマ中で熱処理し、前記層間絶縁膜81中の水分を除去する。さらに図6Sの工程では、前記層間絶縁膜81上に Al_2O_3 膜82が水素バリア膜として、スパッタまたはMOCVD法により20～100nmの厚さに形成される。図12Sの工程では前記層間絶縁膜81は、CMP法による平坦化工程の結果、例えば700nmの膜厚を有する。
- [0092] 次に図12Tの工程において前記水素バリア膜82上には、シリコン酸化膜よりなる層

間絶縁膜83が、TEOS原料のプラズマCVD法により300～500nmの膜厚に形成され、図12Uの工程において、前記層間絶縁膜83中に前記強誘電体キャパシタC1の上部電極76Aを露出するビアホール83Aおよび前記強誘電体キャパシタC2の上部電極76Cを露出するビアホール83Cが形成される。

- [0093] さらに図12Uの工程では、このようにして形成されたビアホール83Aおよび83Cを介して酸化雰囲気中で熱処理を行い、前記PZT膜74A, 75A, および74C, 75Cに、かかるビアホール形成工程に伴って生じた酸素欠損を補償する。
- [0094] 次いで前記ビアホール83A, 83Cの底面および内壁面を、TiNの単層膜よりなるバリアメタル膜84a, 84cによりそれぞれ覆い、さらに前記ビアホール83Aをタングステンプラグ84Aにより、また前記ビアホール83Cをタングステンプラグ84Cにより充填する。
- [0095] さらに前記タングステンプラグ84A, 84Cの形成の後、前記層間絶縁膜83中に前記ビアプラグ67Bを露出するビアホール83Bを形成し、これをタングステンビアプラグ84Bで充填する。なお前記タングステンビアプラグ84Bは通常のように、Ti/TiN積層構造の密着膜84bを伴っている。
- [0096] さらに図12Vの工程において、前記層間絶縁膜83上に、前記ビアプラグ84Aに対応してAlCu合金よりなる配線パターン85Aが、Ti/TiN積層構造の密着膜85a, 85dに挟持された形で、前記ビアプラグ84Bに対応してAlCu合金よりなる配線パターン85Bが、Ti/TiN積層構造の密着膜85b, 85eに挟持された形で、さらに前記ビアプラグ85Cに対応してAlCu合金よりなる配線パターン85Cが、Ti/TiN積層構造の密着膜85c, 85fに挟持された形で、形成される。
- [0097] また前記図12Vの構造上に、必要に応じてさらなる配線層が形成される。
- [0098] また本実施形態において強誘電体膜74A, 75Aあるいは74C, 75CはPZT膜としたが、先にも説明したように、下層の強誘電体膜74A, 74Cをスパッタにより形成する場合には、前記強誘電体膜71A, 74Cを構成するPZT膜は、CaやSrなどの元素を含んでいてもよい。またPZT膜74A, 75A, 74C, 75CはLaを含むPLZT膜であつてもよい。
- [0099] また前記図12G, 12Hの工程において前記PZT膜74, 75を、先の実施形態のよ

うに単一のPZT膜として、スパッタ法により形成することも可能である。

- [0100] さらに前記強誘電体膜74A, 75A, 74C, 75CはPZT膜に限定されることはなく、Pbを含む ABO_3 型ペロブスカイト構造を有する強誘電体膜より構成されていればよく、例えば前記A席を占有する金属元素として、Bi, Pb, Ba, Sr, Ca, Na, K、および希土類元素などを含み、前記B席を占有する金属元素として、Ti, Zr, Nb, Ta, W, Mn, Fe, Co, Crなどを含むものであってもよい。
- [0101] さらに前記下部電極73A, 73Cは、Pt膜に限定されることはなく、Ptを含む合金であってもよく、さらに酸化プラチナ(PtO)とPtあるいはPtを含む合金の積層より構成されてもよい。
- [0102] また前記導電性酸素バリア膜71A, 71CはTiAlN膜に限定されるものではなく、Ir膜あるいはRu膜を使うことも可能である。
- [0103] さらに前記配向制御膜70A, 70CはTi膜あるいはTiN膜に限定されるものではなく、Pt膜、Ir膜、Re膜、Ru膜、Pd膜、Os膜、あるいはこれらの膜を構成する元素の合金より構成することも可能である。また前記配向制御膜70A, 70Cとしては、Ti, Al, Ir, Pt, Ru, Pd, Os, Rh, PtOx, IrOx, RuOx, PdOxのいずれかよりなる単層膜または積層膜を使うことが可能である。

[第3の実施形態]

図13は、本発明の第3の実施形態による強誘電体メモリの構成を示す。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

- [0104] 先に説明した図12A～12Vの実施形態では、図12Bの工程において、前記ビアプラグ69A, 69Cの形成を、前記ビアホール68A, 68Cをタンゲステン膜で充填した後、前記層間絶縁膜68上の余計なタンゲステン膜をCMP法で除去することにより形成しているが、このようなCMP法では、前記ビアプラグ69A, 69Bの表面を完全に平坦にすることは困難で、前記ビアプラグ69A, 69Cの上部には、一般に深さが20～50 nmに達する凹部が形成されてしまう。
- [0105] このような凹部は、その上に形成される強誘電体キャパシタの結晶配向に大きな影響を与えるため、本実施形態では、前記図12Bの工程の後、図12Cの工程の前に、前記層間絶縁膜68上に(002)配向のTi膜を、かかる凹部を充填するように堆積し、

窒化処理により(111)配向のTiN膜に変換した後、その表面をCMP法で平坦化することを行っている。

- [0106] その結果、図13の強誘電体メモリでは、前記層間絶縁膜68と前記TiN膜70Aの間に、前記ビアプラグ69A上部の凹部を充填するように、(111)配向のTiN膜70aが介在し、また前記層間絶縁膜68と前記TiN膜70Cの間に、前記ビアプラグ69C上部の凹部を充填するように、(111)配向のTiN膜70cが介在している。なおこのようないTiN膜70a, 70cは、図12Kのパターニング工程において、強誘電体キャパシタC1, C2を構成する他の膜と共にパターニングされる。
- [0107] 本発明によれば、かかる構成により、前記ビアプラグ69A, 69Cの上部にCMP工程において凹部が形成されても、強誘電体膜73A, 73Cの配向を(111)方向に確實に規制することが可能である。
- [0108] 図14は、前記図13の実施形態の一変形例による強誘電体メモリの構成を示す。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。
- [0109] 図14を参照するに、本実施形態では、前記TiN膜70a, 70cをCMPにより平坦化する際に、前記層間絶縁膜68上の部分を除去しており、その結果、前記TiN膜70a, 70cは、ビアホール68A, 68C中にだけ残存している。
- [0110] その他は図13と同様であり、説明を省略する。

[第4の実施形態]

- 図15は、本発明の第4の実施形態による強誘電体メモリの構成を示す。
- [0111] 図15を参照するに、本実施形態では前記図12Rの工程の後、図12Sの工程で層間絶縁膜81を形成した後、直ちに前記層間絶縁膜81中に、前記ビアプラグ67Bを露出するビアホールを形成し、これをタンクステンで充填して前記ビアプラグ84Bを形成する。
- [0112] さらに前記ビアプラグ84Bが形成された後、前記層間絶縁膜81上にSiON膜などの酸素バリア膜を形成し、この状態で前記層間絶縁膜81中に、前記強誘電体キャパシタC1の上部電極76Aと前記強誘電体キャパシタC2の上部電極76Cを露出するコンタクトホールを形成する。
- [0113] さらに前記コンタクトホールを介して前記強誘電体キャパシタC1中のPZT膜74A,

75Aおよび強誘電体キャパシタC2中のPZT膜74C, 75Cを酸素雰囲気中で熱処理し、酸素欠損を補償した後、前記酸素バリア膜を除去し、前記層間絶縁膜81上に、電極パターン85A, 85B, 85Cを、それぞれ前記強誘電体キャパシタC1の上部電極76A、ビアプラグ84B、および前記強誘電体キャパシタC2の上部電極76Cに対応して形成する。

[0114] 以上、本発明を好ましい実施形態について説明したが、本発明はかかる特定の実施形態に限定されるものではなく、特許請求の範囲に記載の要旨内において様々な変形・変更が可能である。なお、上記の実施形態は、スタック構造を挙げたが、本発明はプレーナ構造にも適用できる。

請求の範囲

[1] 基板と、

前記基板上に形成された強誘電体キャパシタとよりなる半導体装置において、

前記強誘電体キャパシタは、下部電極と、前記下部電極上に形成された強誘電体膜と、前記強誘電体膜上に形成された上部電極とよりなり、

前記上部電極は、化学量論組成が組成パラメータ x_1 を使って化学式 AOx_1 で表され実際の組成が組成パラメータ x_2 を使って化学式 AOx_2 で表される酸化物よりなる第1の層と、前記第1の層上に形成され、化学量論組成が組成パラメータ y_1 を使って化学式 BOy_1 で表され実際の組成が組成パラメータ y_2 を使って化学式 BOy_2 で表される酸化物よりなる第2の層と、前記第2の層上に形成された金属層と、よりなり、

前記第2の層は、前記第1の層よりも酸化の割合が高く、

前記組成パラメータ x_1 , x_2 , y_1 および y_2 の間には、関係

$$y_2/x_2 > x_1/y_1$$

が成立し、

前記第2の層には、前記金属層との界面に、さらに酸化の割合の高い、化学量論組成の界面層が形成されていることを特徴とする半導体装置。

[2] 前記第1の層は、前記第2の層を構成する金属元素と同じ金属元素により構成されることを特徴とする請求項1記載の半導体装置。

[3] 前記第1および第2の層は、酸化イリジウムであることを特徴とする請求項1または2記載の半導体装置。

[4] 前記第1の層を構成する金属元素と前記第2の層を構成する金属元素とは異なっていることを特徴とする請求項1記載の半導体装置。

[5] 前記強誘電体膜と前記第1の膜との界面が平坦であることを特徴とする請求項1～4のうち、いずれか一項記載の半導体装置。

[6] 前記第1の層はPbを含み、前記第2の層は実質的にPbを含まないことを特徴とする請求項1～5のうち、いずれか一項記載の半導体装置。

[7] 前記強誘電体キャパシタを覆う絶縁膜と、該絶縁膜上方に形成された配線構造とを有し、前記金属層が前記配線構造中の配線パターンと、コンタクトホールを介して

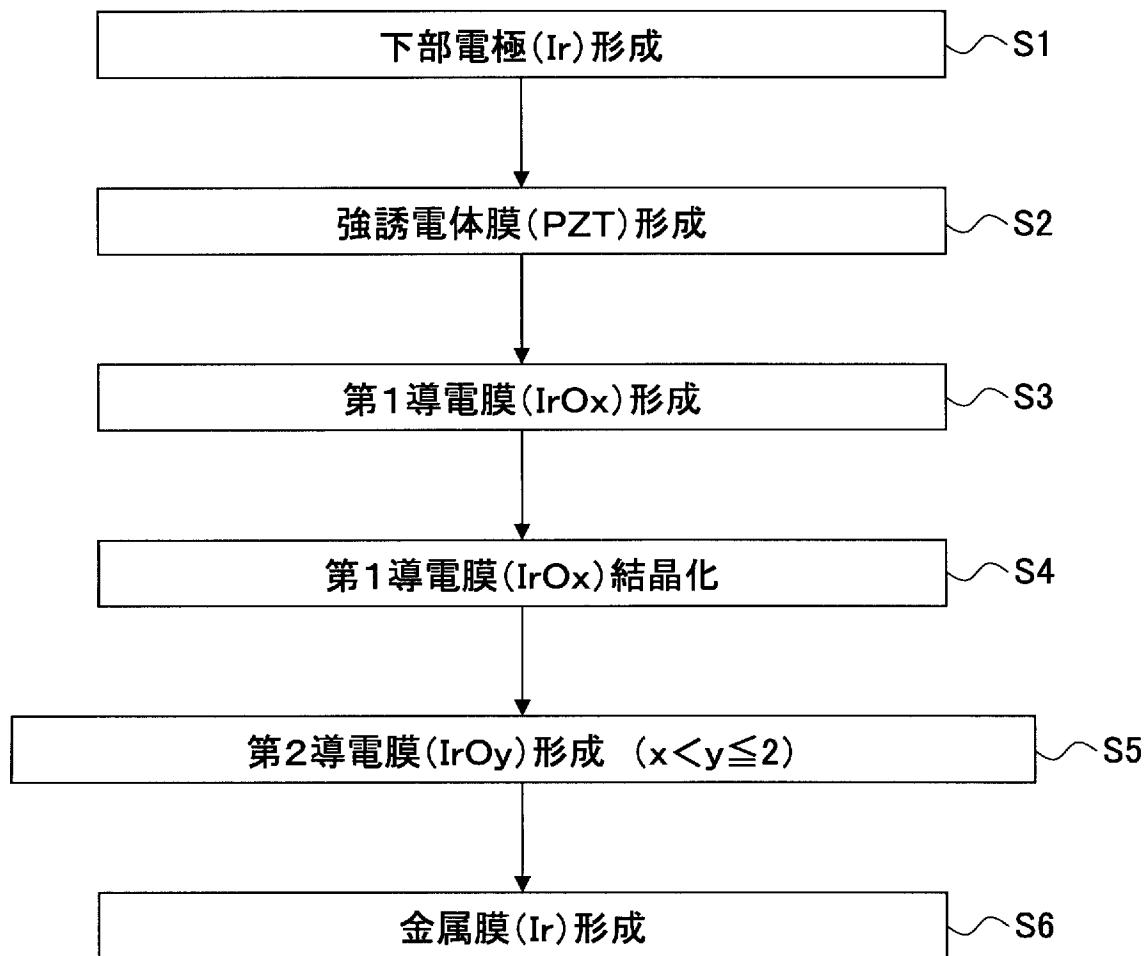
接続されることを特徴とする請求項1～6のうち、いずれか一項記載の半導体装置。

- [8] 強誘電体キャパシタを形成する工程を含む半導体装置の製造方法であって、
前記強誘電体キャパシタを形成する工程は、
下部電極を形成する工程と、
前記下部電極上に強誘電体膜を堆積する工程と、
前記強誘電体膜上に第1の導電性酸化膜を堆積する工程と、
前記第1の導電性酸化膜を酸化性雰囲気中で結晶化する工程と、
前記結晶化工程の後、前記第1の導電性酸化膜上に第2の導電性酸化膜を微結晶状態で堆積する工程と、
前記第2の導電性酸化膜の表面を、酸化性雰囲気で結晶化する工程と、
第2の導電性酸化膜の結晶化工程の後、前記第2の導電性酸化膜上に金属膜を堆積する工程と、
よりなることを特徴とする半導体装置の製造方法。
- [9] 前記第1の導電性酸化膜の結晶化工程と前記第2の導電性酸化膜の結晶化工程とは、それぞれの酸化性雰囲気中における酸化性ガスの割合を、30%以下とした急速熱処理工程により実行されることを特徴とする請求項8記載の半導体装置の製造方法。
- [10] 前記急速熱処理工程は、前記酸化性雰囲気中における酸化性ガスの割合を、0.1%以上、30%以下として実行されることを特徴とする請求項8または9記載の半導体装置の製造方法。
- [11] 前記急速熱処理工程は、前記酸化性雰囲気中における酸化性ガスの割合を、1%以上、20%以下として実行されることを特徴とする請求項8または9記載の半導体装置の製造方法。
- [12] 前記第1の導電性酸化膜の結晶化工程は、650°C以上、750°C以下の温度で実行されることを特徴とする請求項8～11のうち、いずれか一項記載の半導体装置の製造方法。
- [13] 前記第2の導電性酸化膜の結晶化工程は、650°C以上、750°C以下の温度で実行されることを特徴とする請求項8～12のうち、いずれか一項記載の半導体装置の

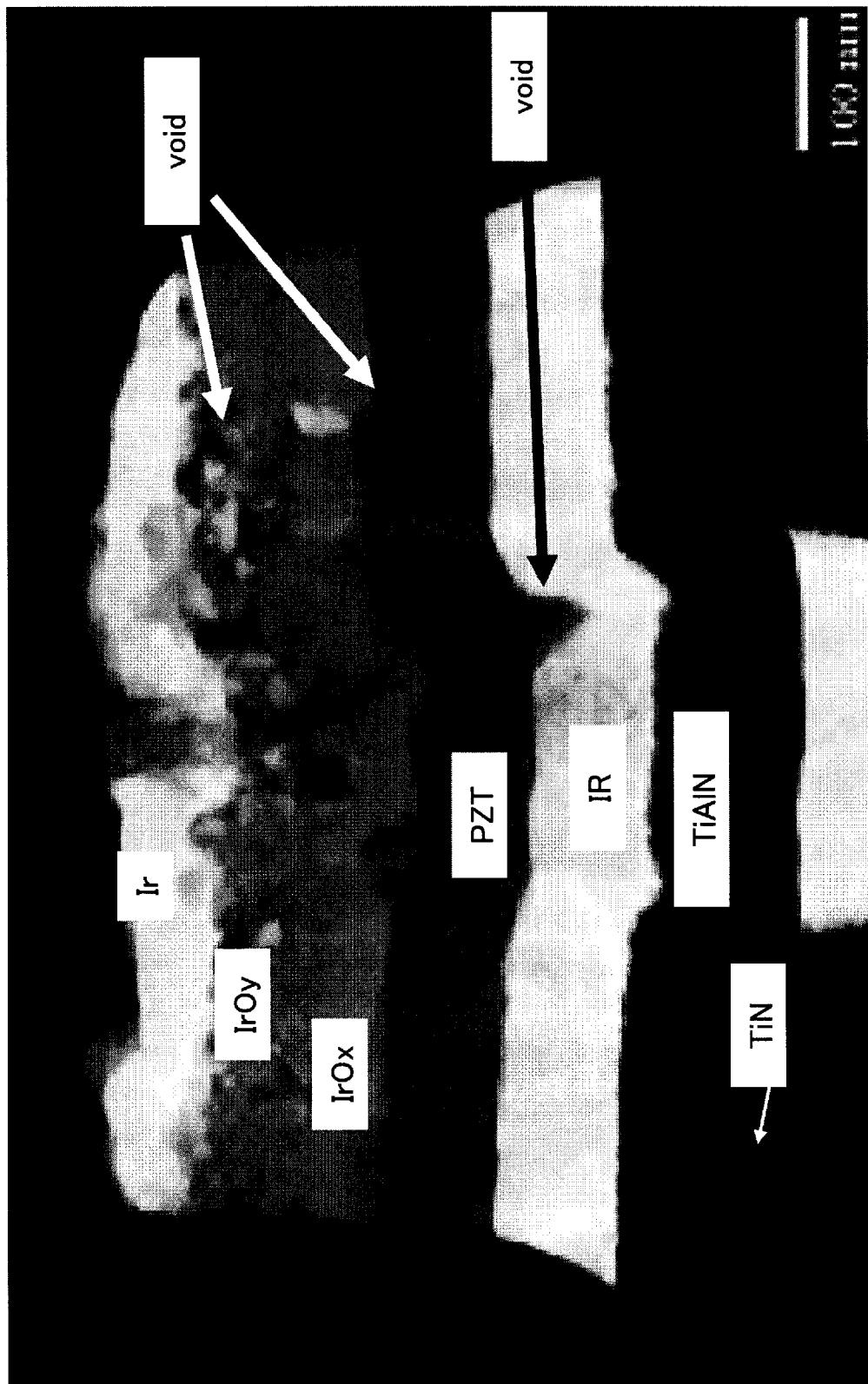
製造方法。

- [14] 前記第1の導電性酸化膜の堆積工程は、150°C以上、350°C以下の温度でスパッタ法により実行され、前記第1の導電性酸化膜は結晶状態で形成されることを特徴とする請求項8～13のうち、いずれか一項記載の半導体装置の製造方法。
- [15] 前記第1の導電性酸化膜の堆積工程は、10°C以上で50°C以下の温度でスパッタ法により実行され、前記第1の導電性酸化膜はアモルファス状態で形成されることを特徴とする請求項8～13のうち、いずれか一項記載の半導体装置の製造方法。
- [16] 前記第2の導電性酸化膜の堆積工程は、50°C以上で80°C以下の温度でスパッタ法により実行され、前記第2の導電性酸化膜はアモルファス状態で形成されることを特徴とする請求項8～15のうち、いずれか一項記載の半導体装置の製造方法。
- [17] 前記第1および第2の導電性酸化膜は、酸化イリジウム膜であることを特徴とする請求項8～16のうち、いずれか一項記載の半導体装置の製造方法。
- [18] 前記第2の導電性酸化膜を形成する工程は、前記第2の導電性酸化膜が100～150nmの膜厚を有するように実行されることを特徴とする請求項8～17のうち、いずれか一項記載の半導体装置の製造方法。
- [19] 前記第1の導電性酸化膜を形成する工程は、前記第1の導電性酸化膜が20～75nmの膜厚を有するように実行されることを特徴とする請求項8～18のうち、いずれか一項記載の半導体装置の製造方法。
- [20] 前記第1の導電性酸化膜の堆積工程を、前記第2の導電性酸化膜の堆積工程におけるよりも、不活性ガス流量に対する酸化ガス流量の割合が小さい条件下において実行し、前記第2の導電性酸化膜において、前記第1の導電性酸化膜よりも酸化の割合を高くすることを特徴とする請求項8～19のうち、いずれか一項記載の半導体装置の製造方法。

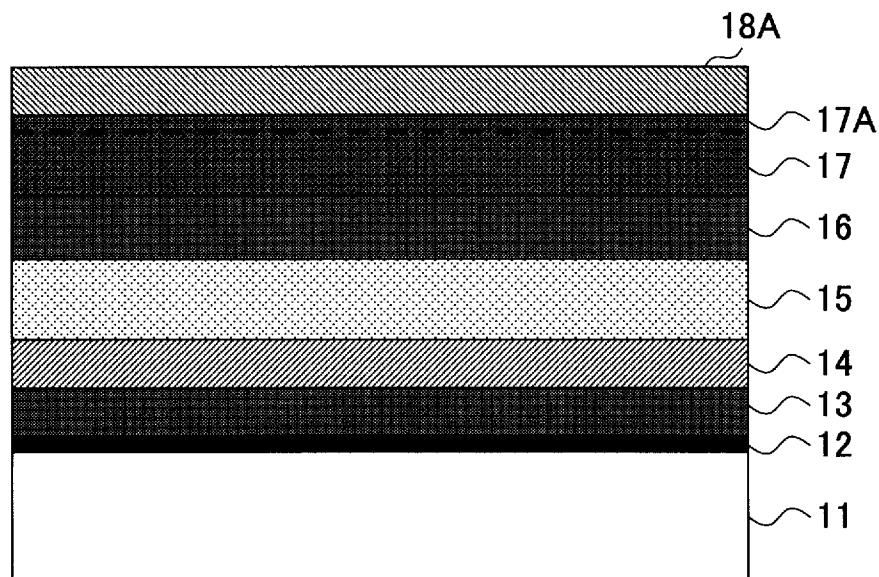
[図1]



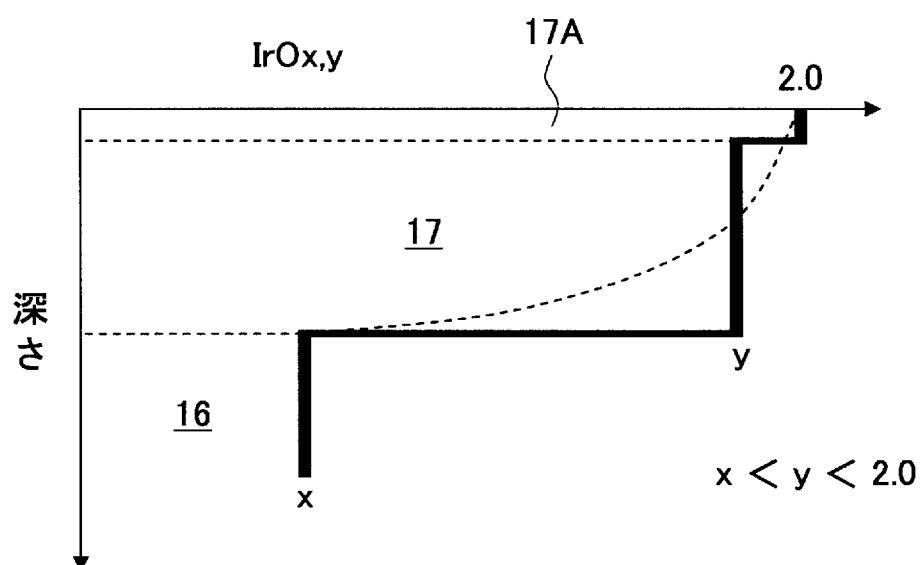
[図2]



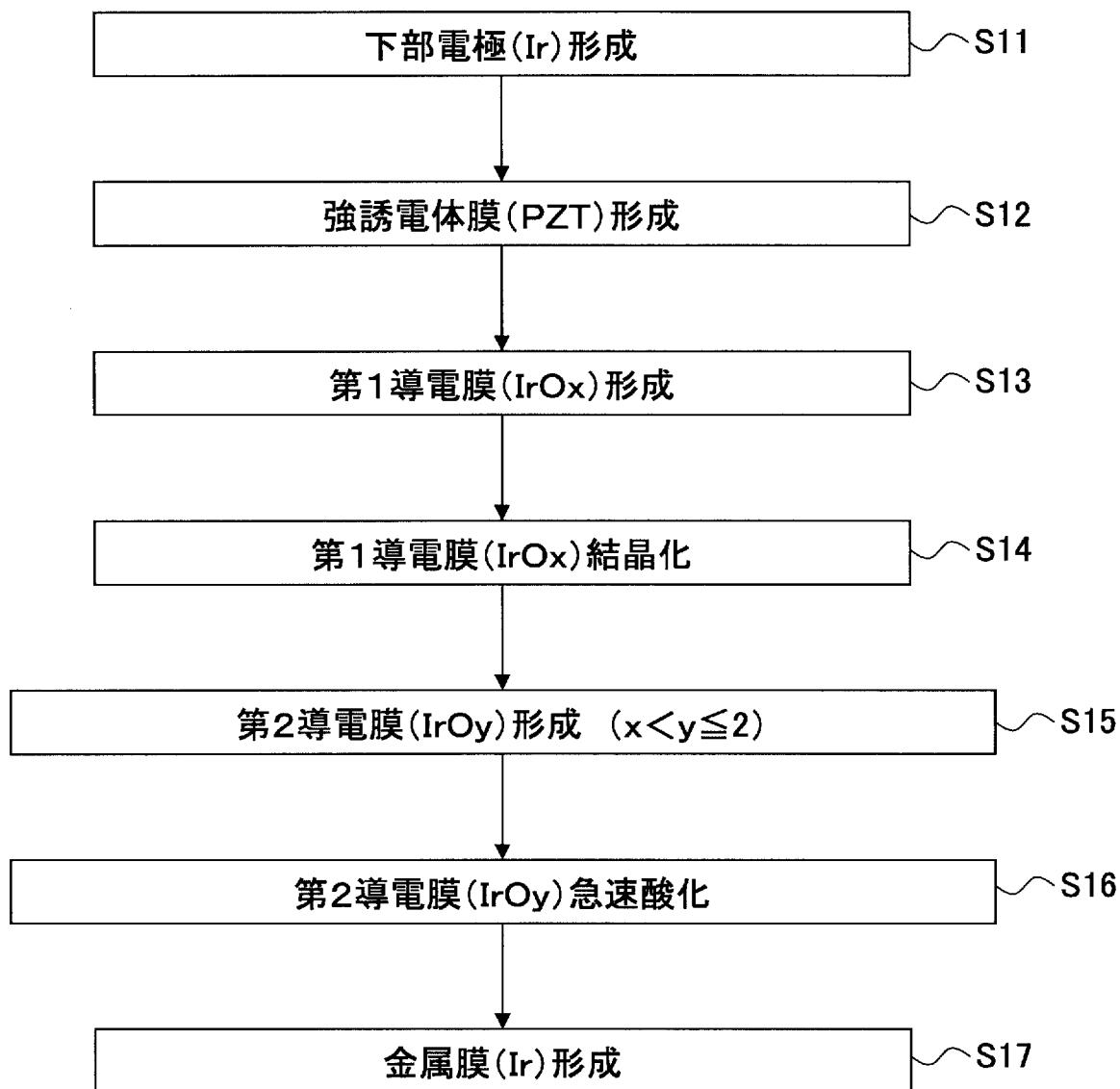
[図3A]

10

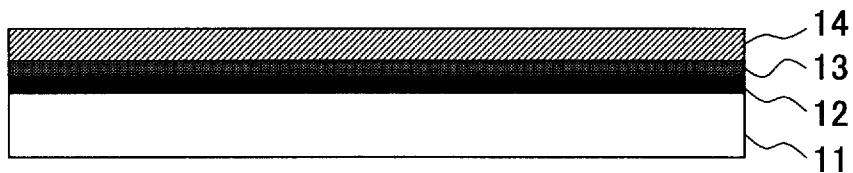
[図3B]



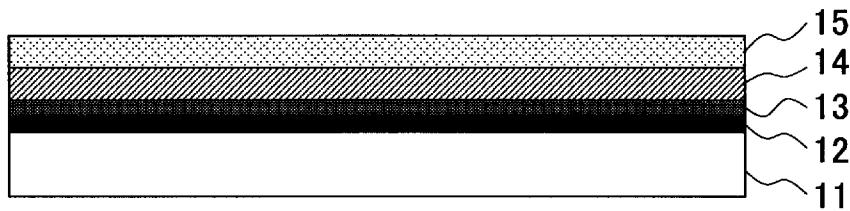
[図4]



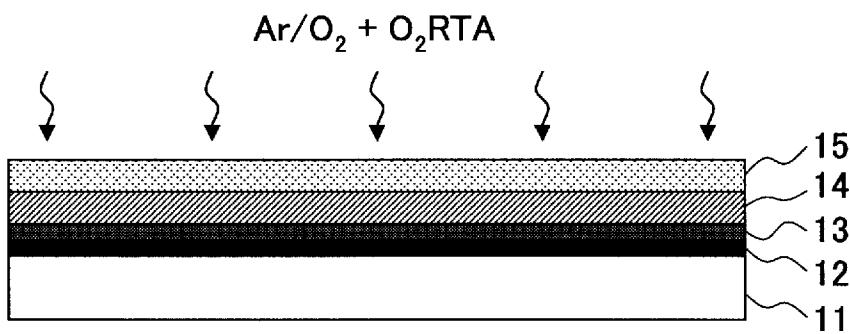
[図5A]



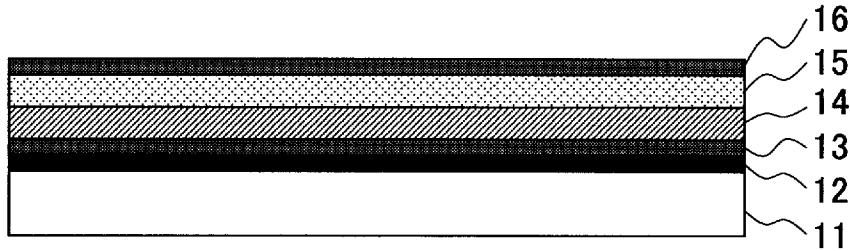
[図5B]



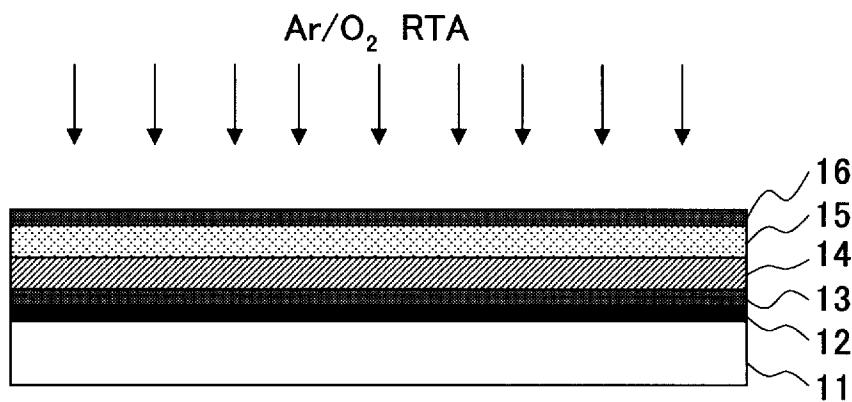
[図5C]



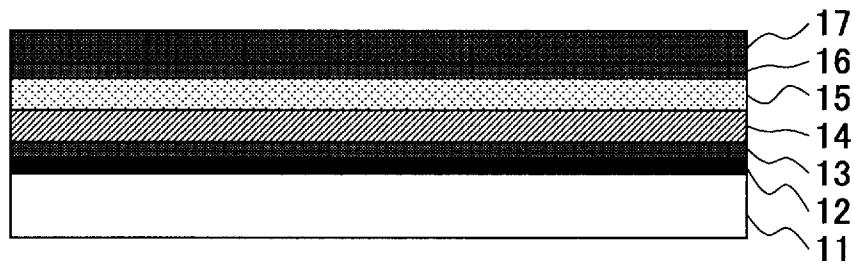
[図5D]



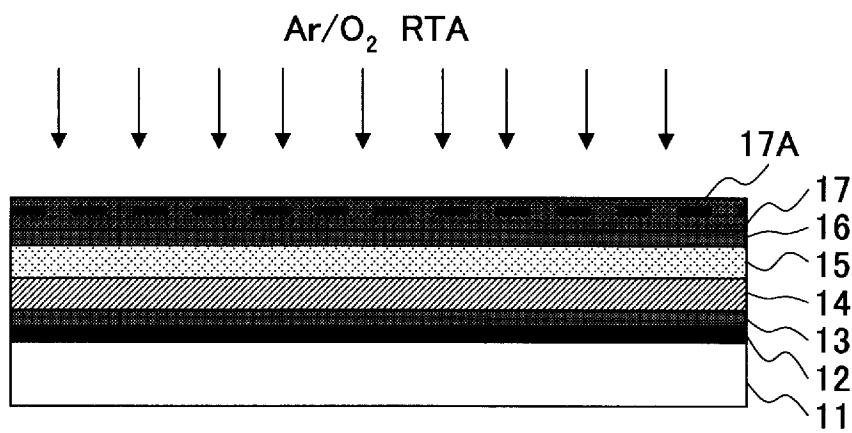
[図5E]



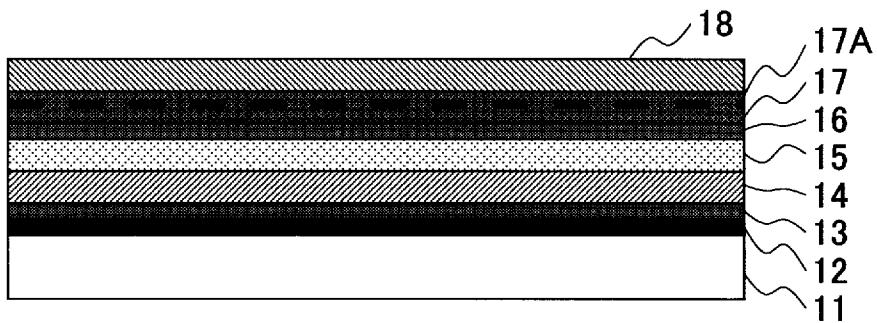
[図5F]



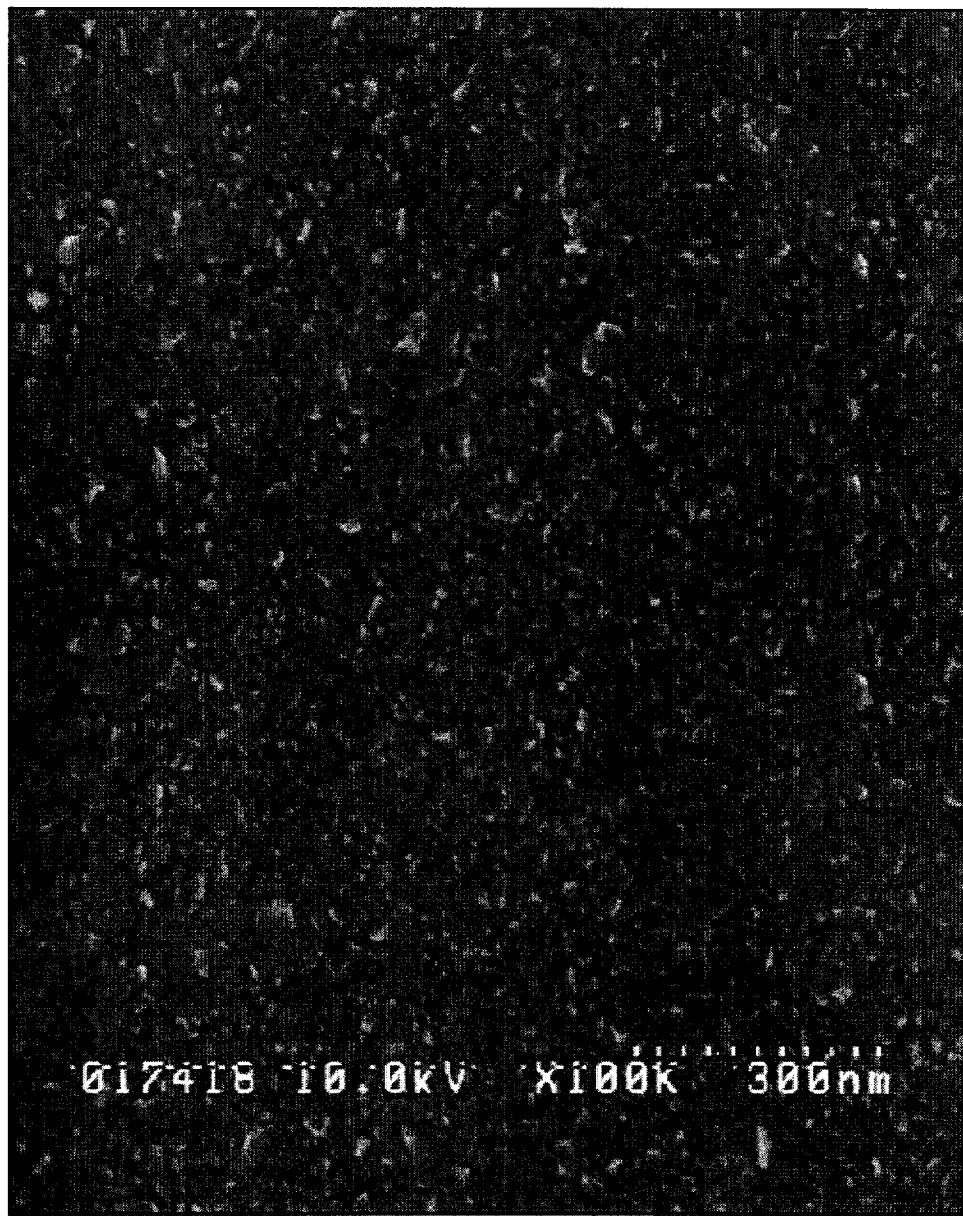
[図5G]



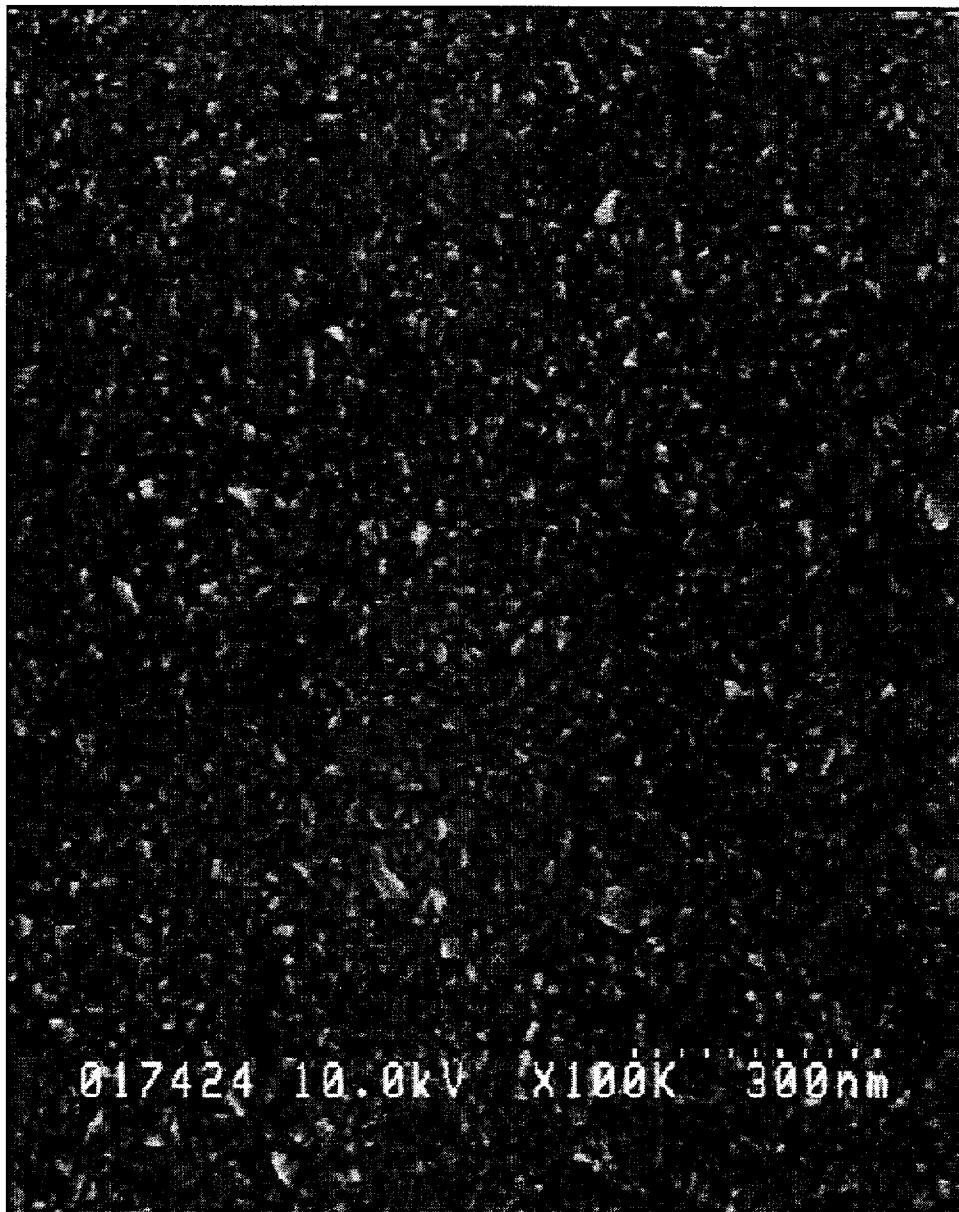
[図5H]



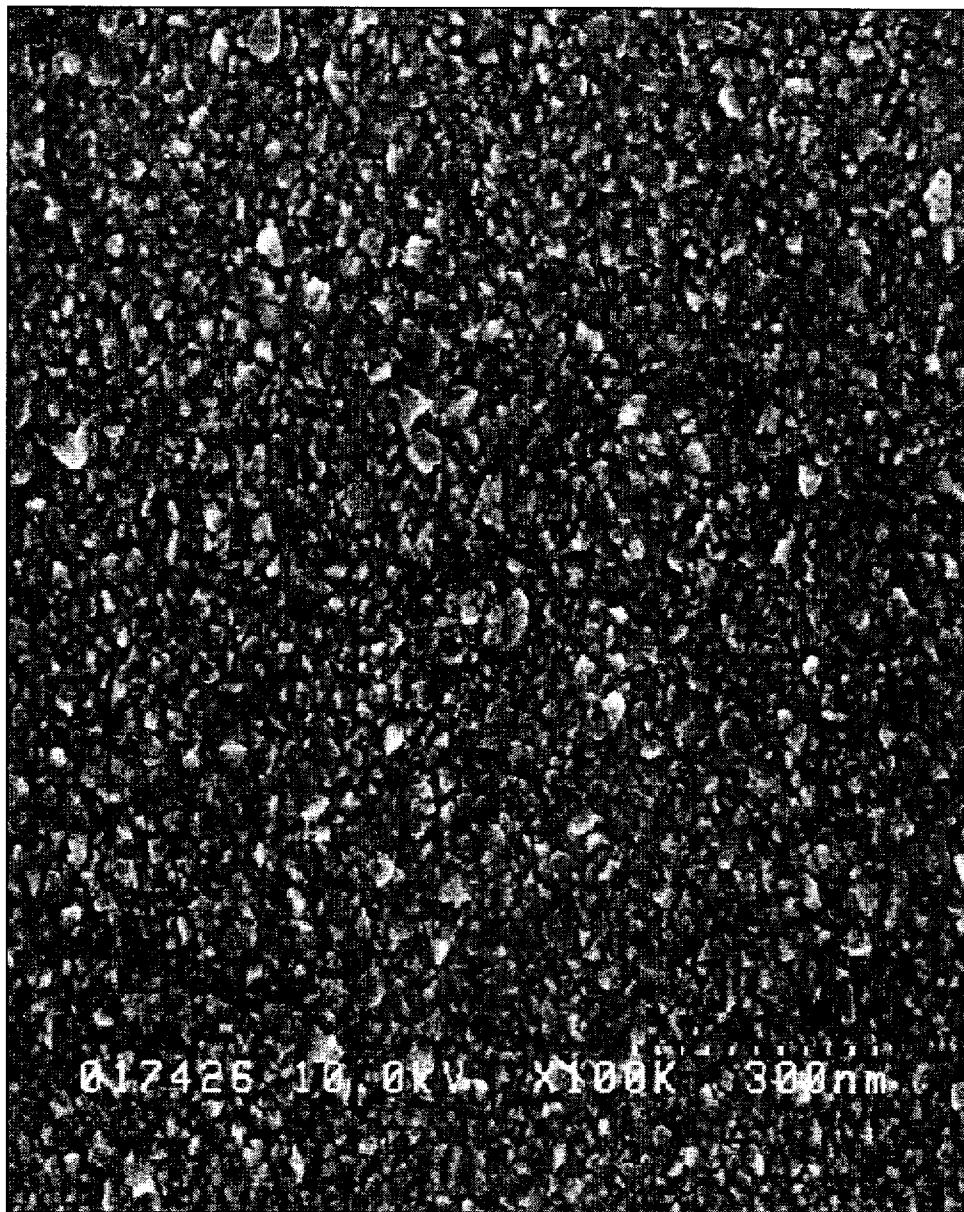
[図6A]

 $O_2 = 1\%$ 

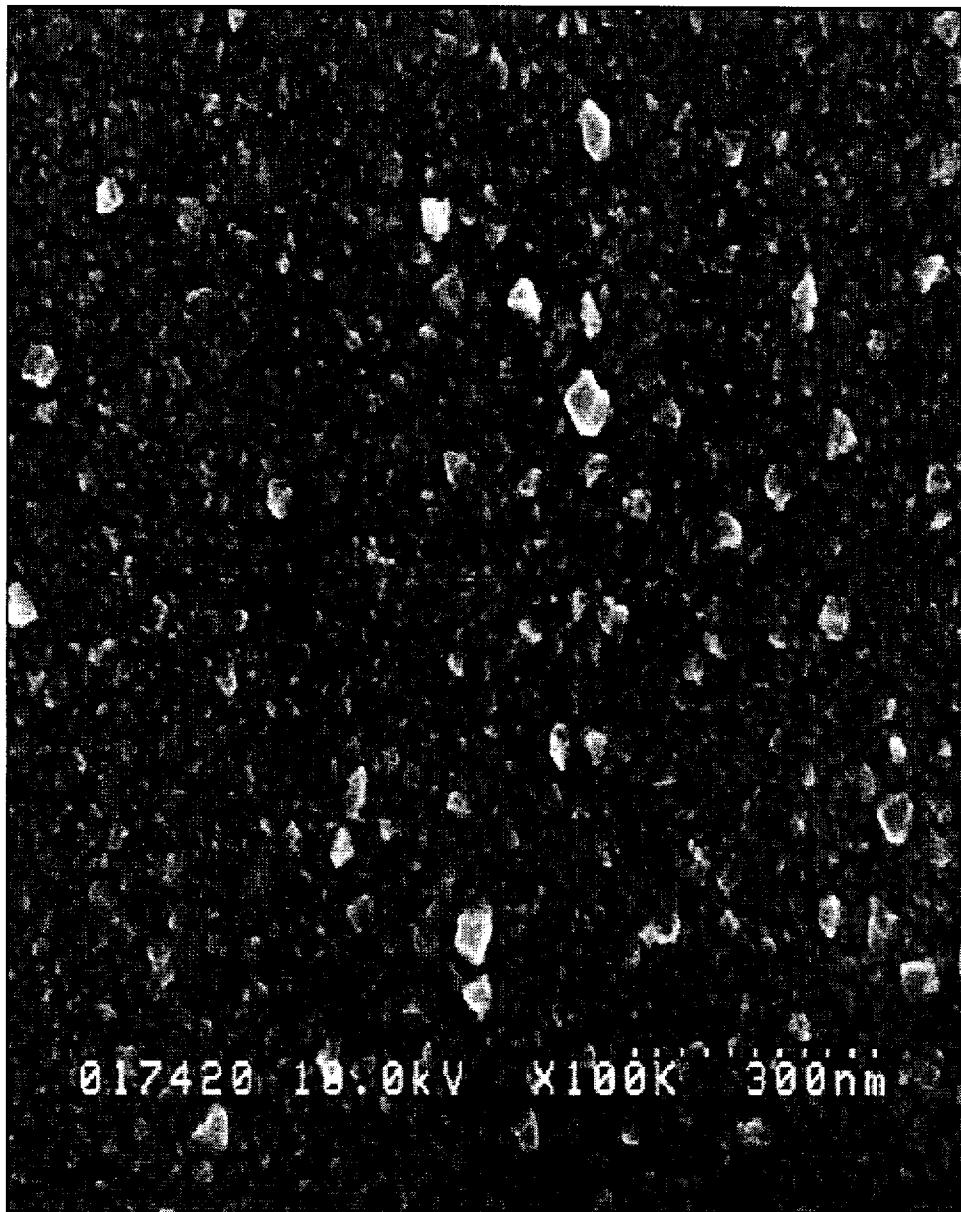
[図6B]

 $O_2 = 20\%$ 

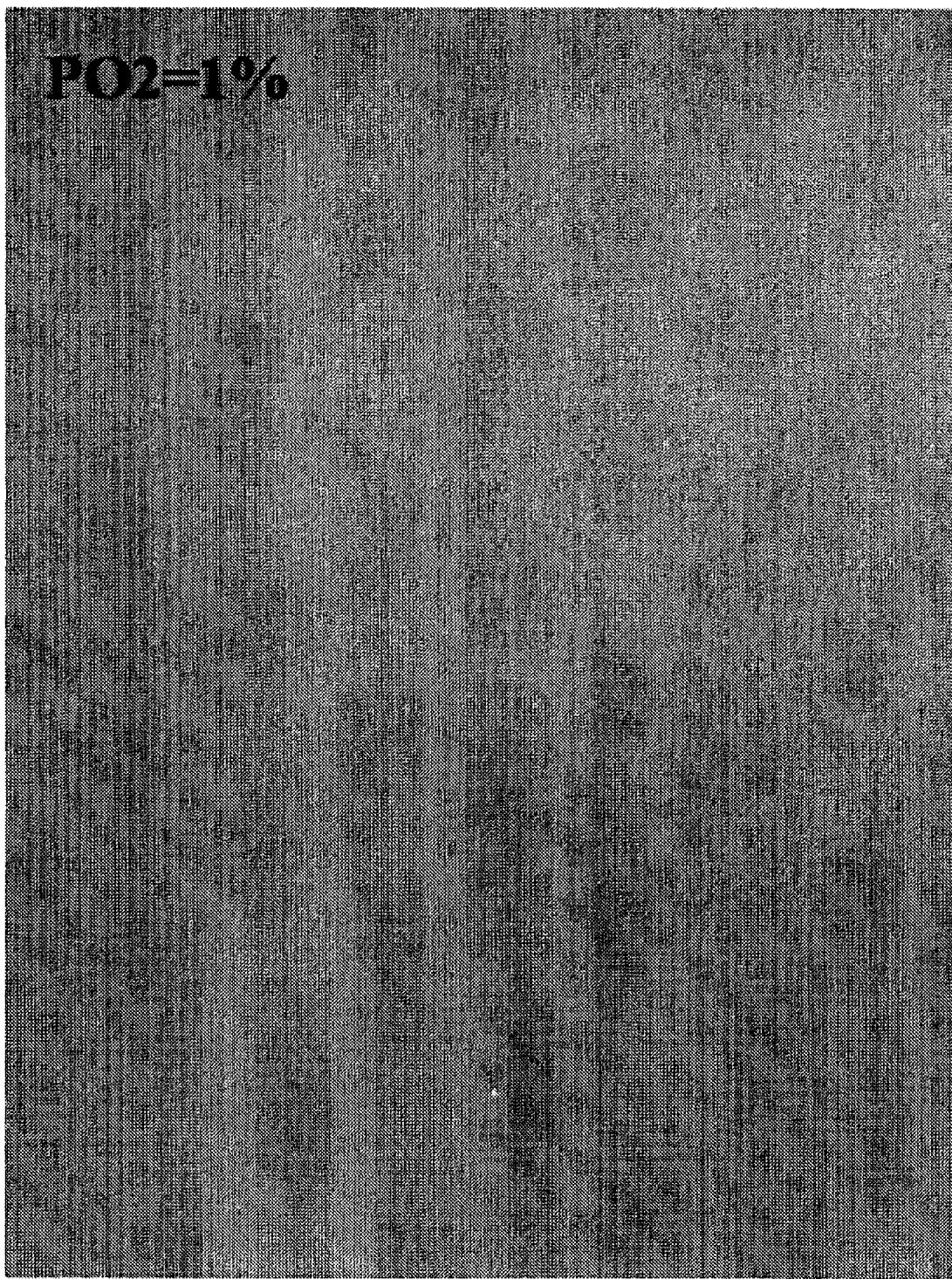
[図6C]

 $O_2 = 30\%$ 

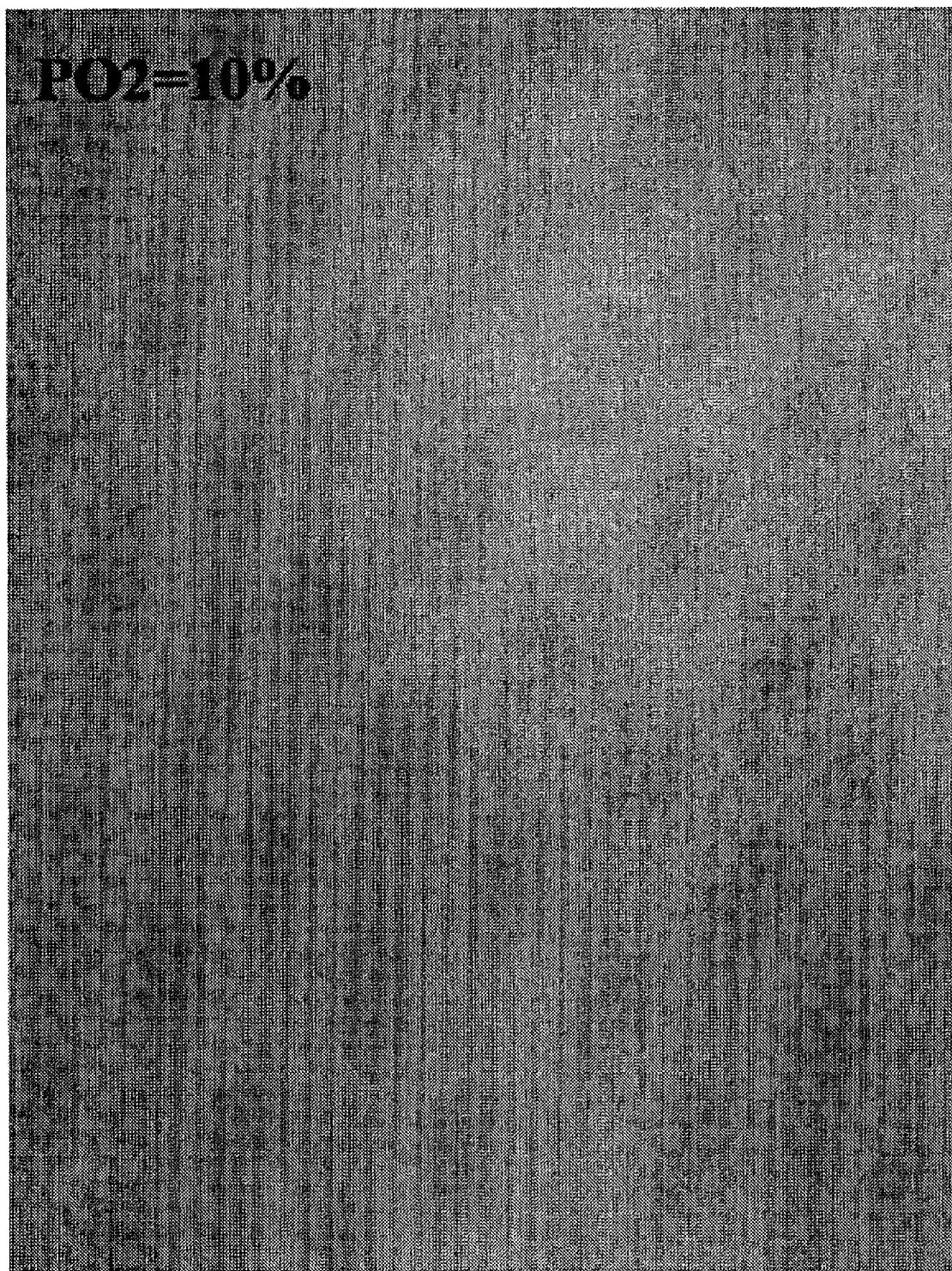
[図6D]

 $O_2 = 50\%$ 

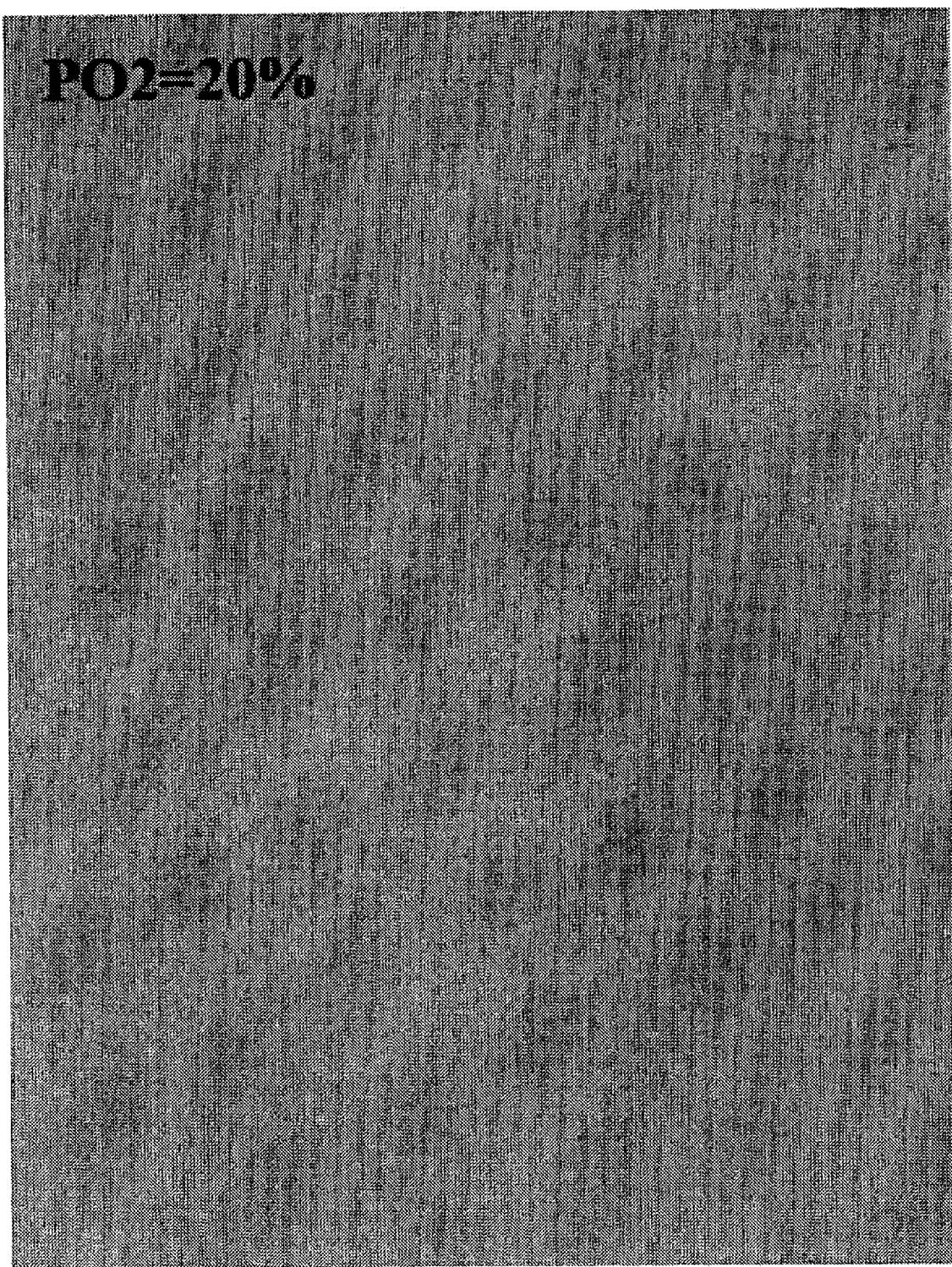
[図7A]



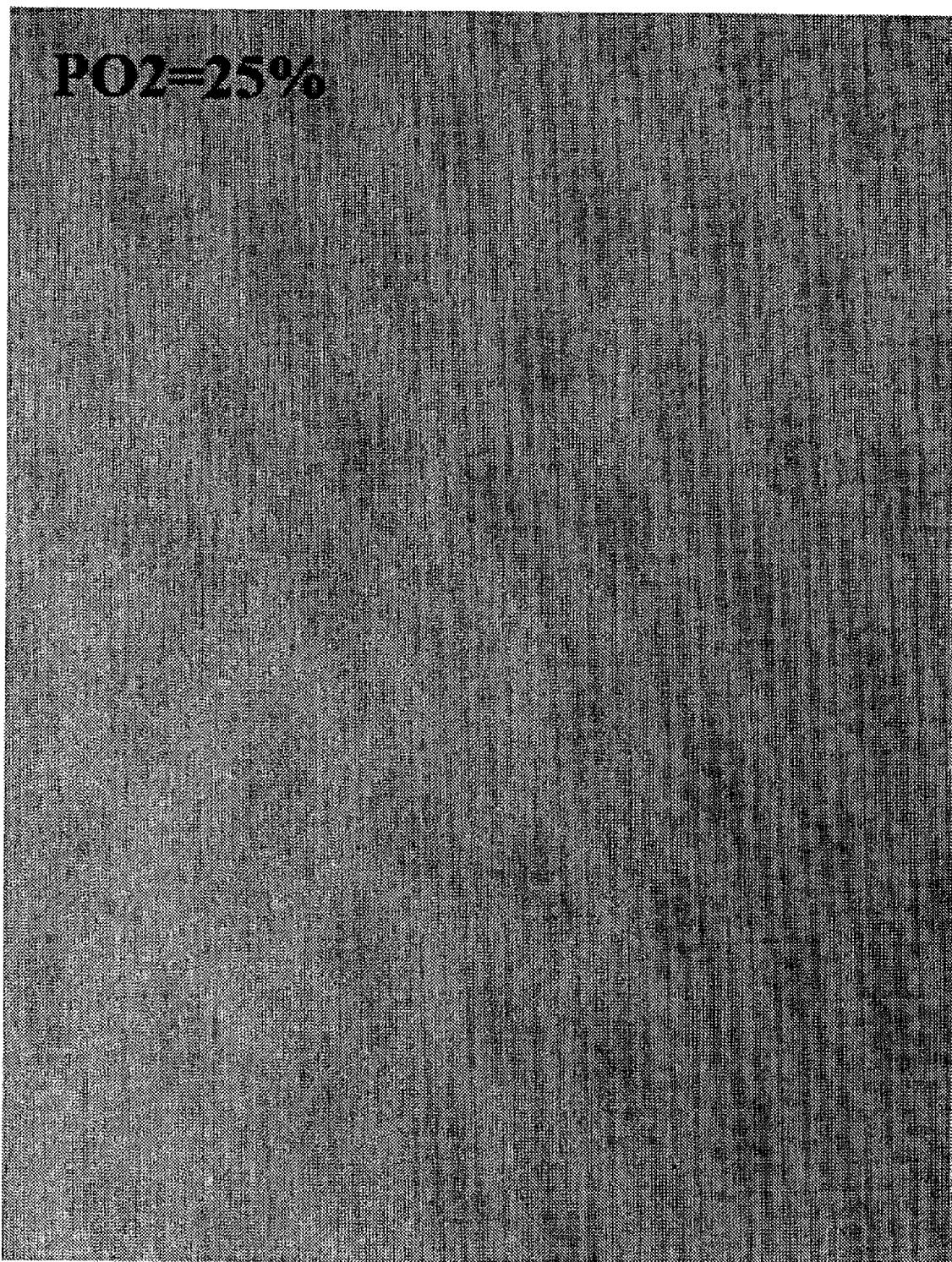
[図7B]



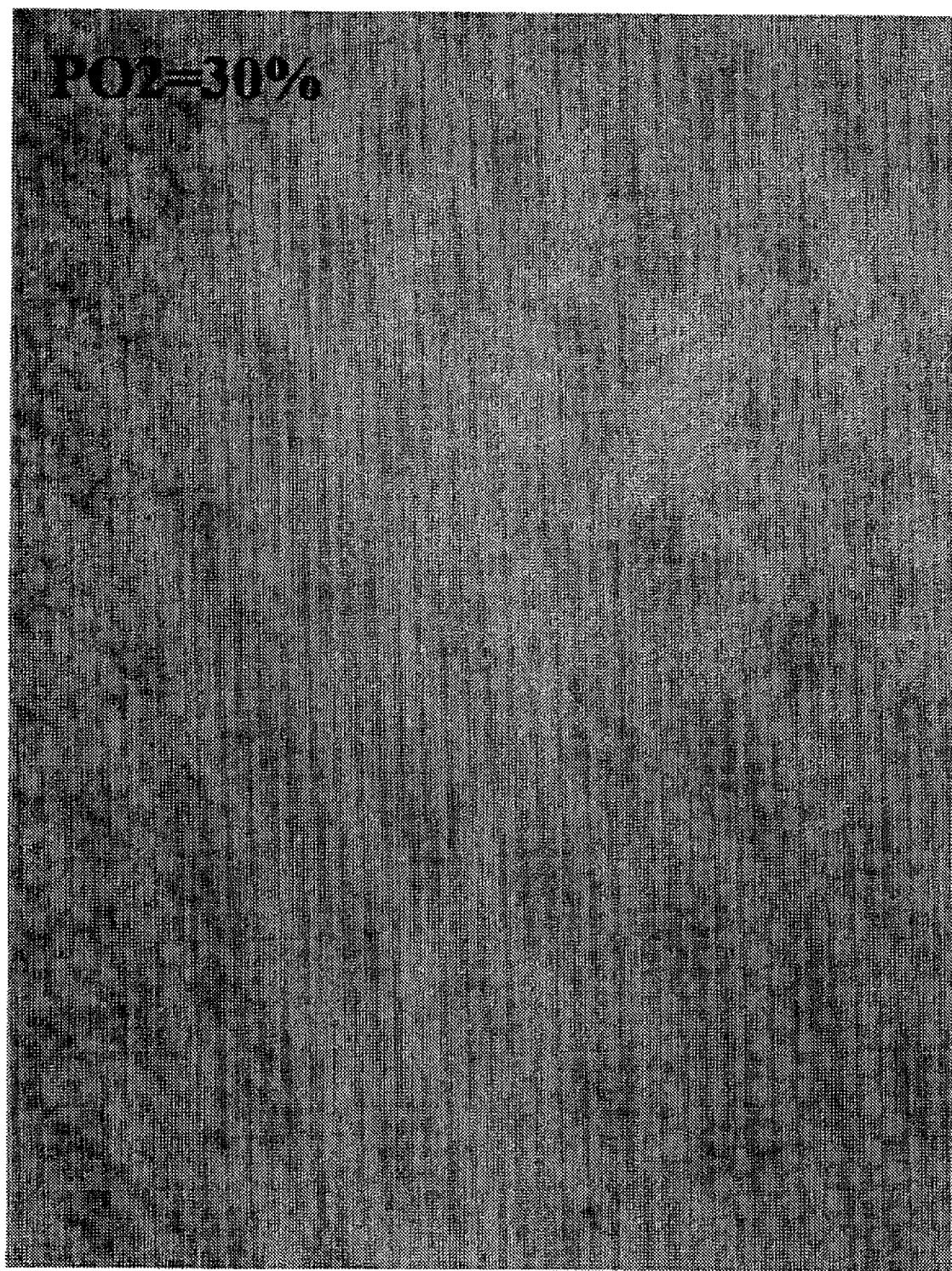
[図7C]



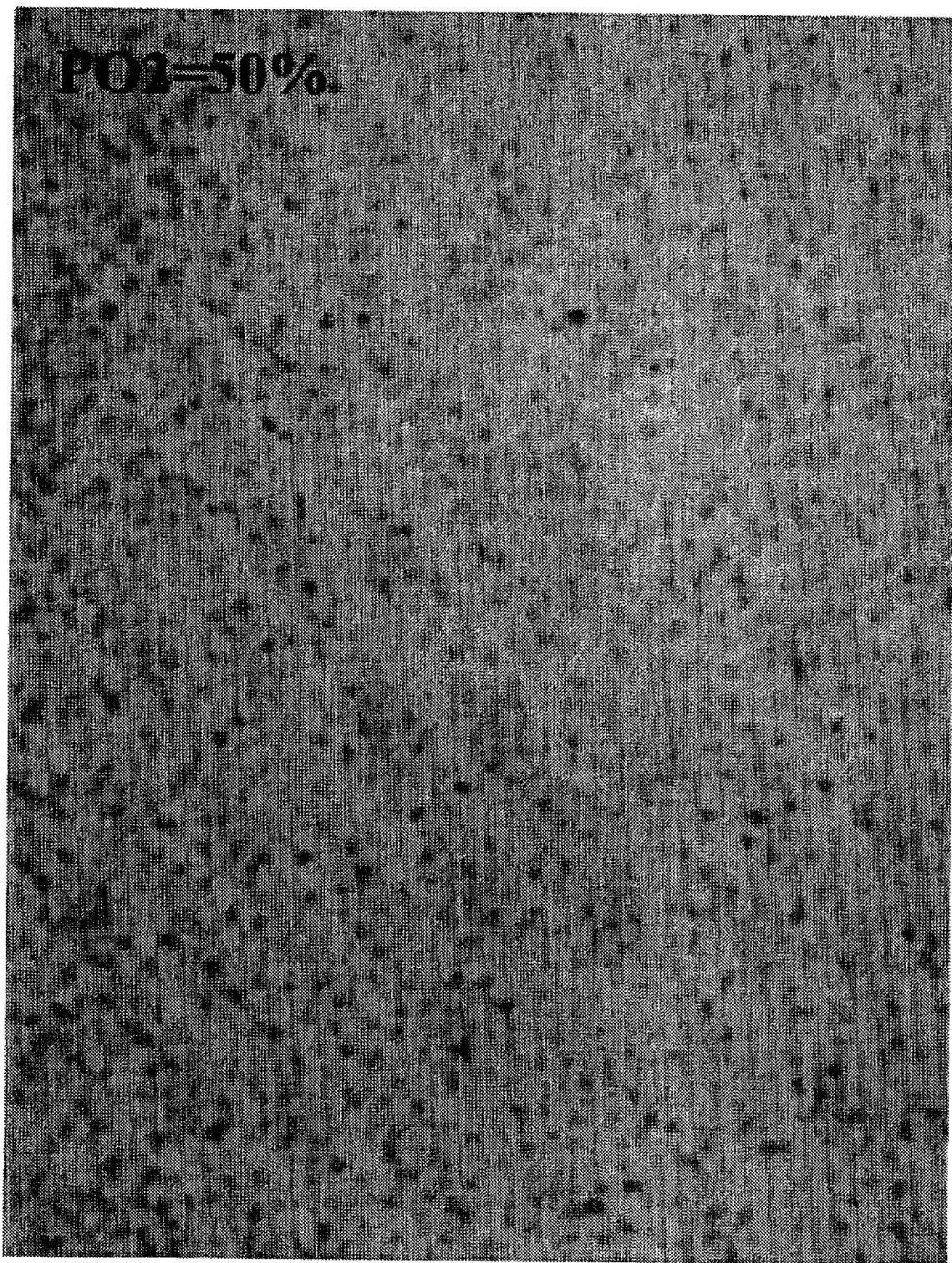
[図7D]



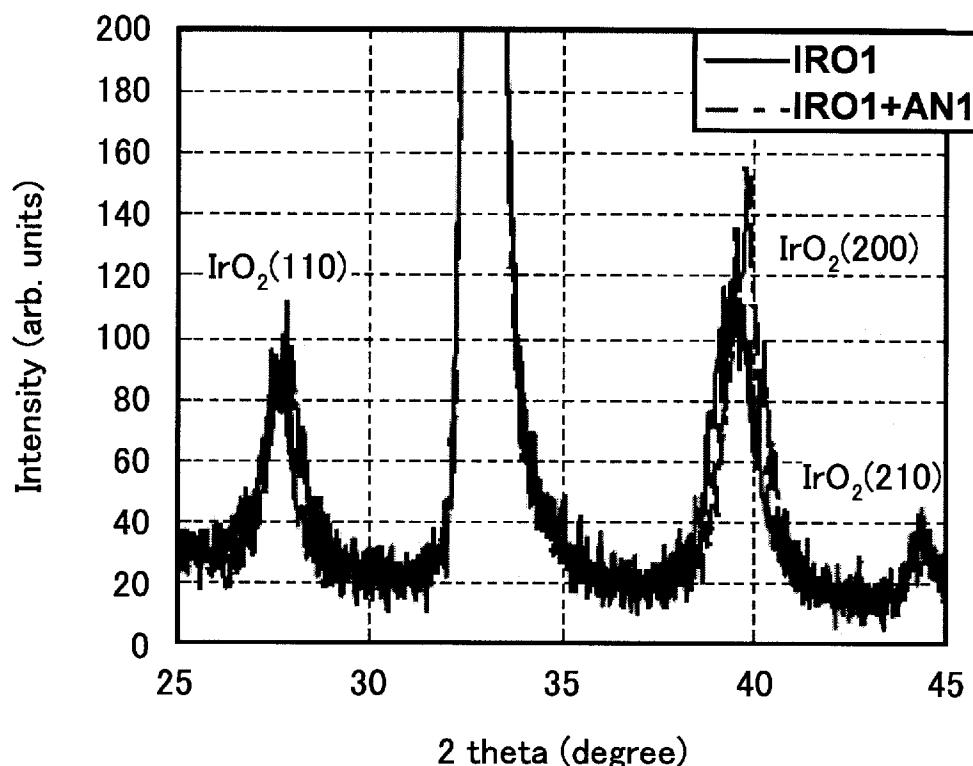
[図7E]



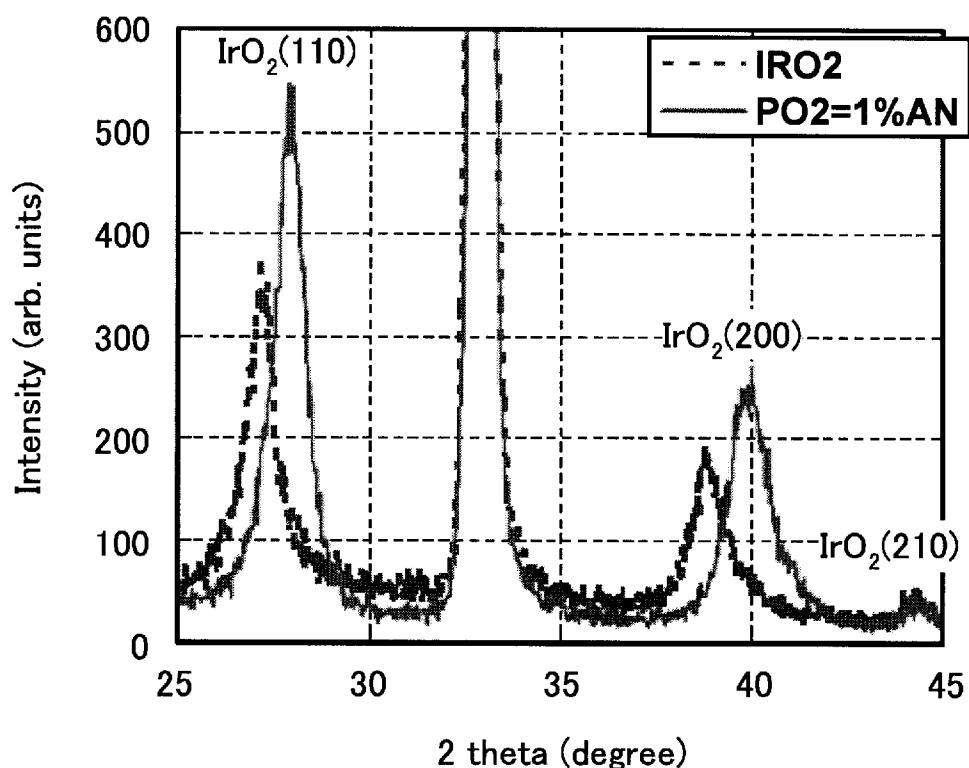
[図7F]



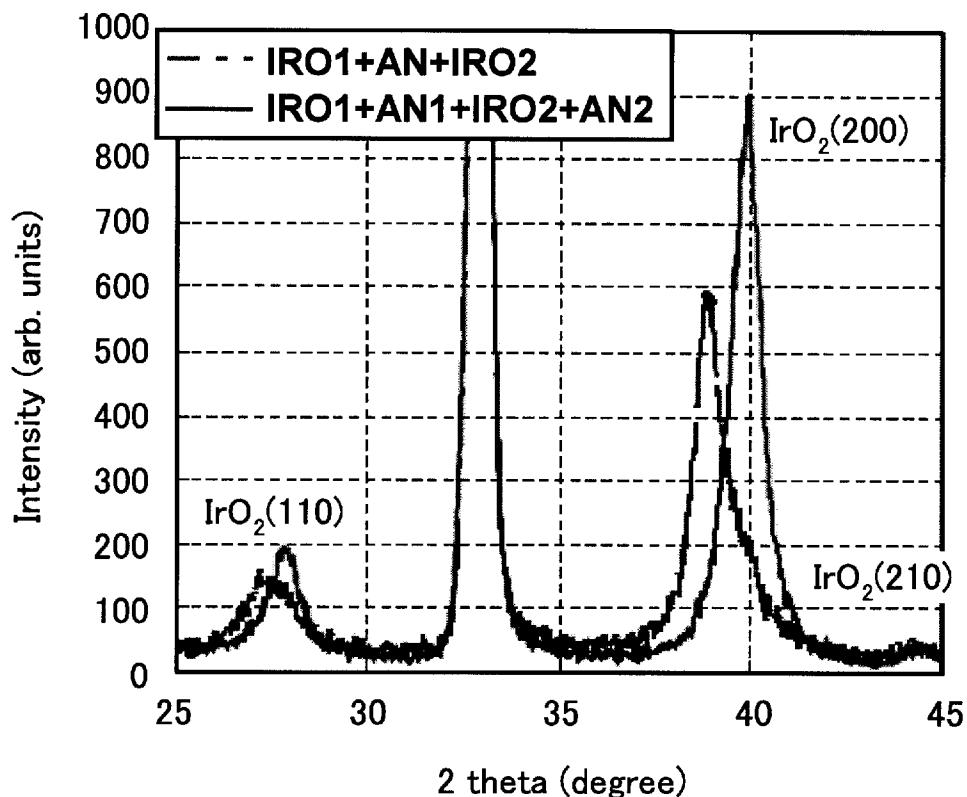
[図8A]



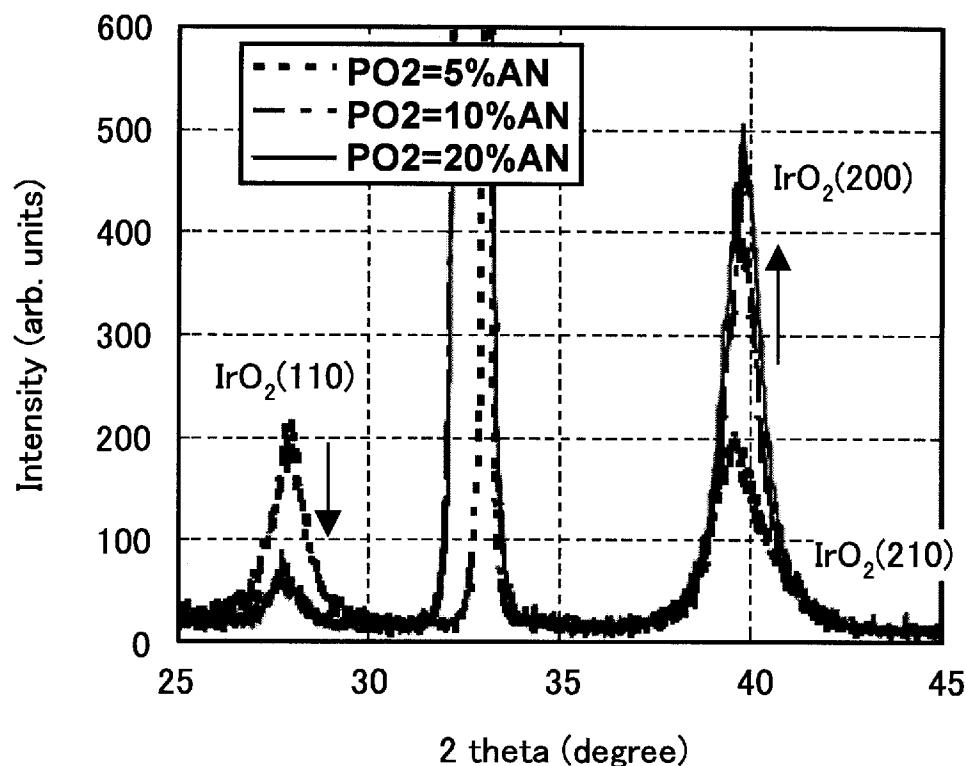
[図8B]



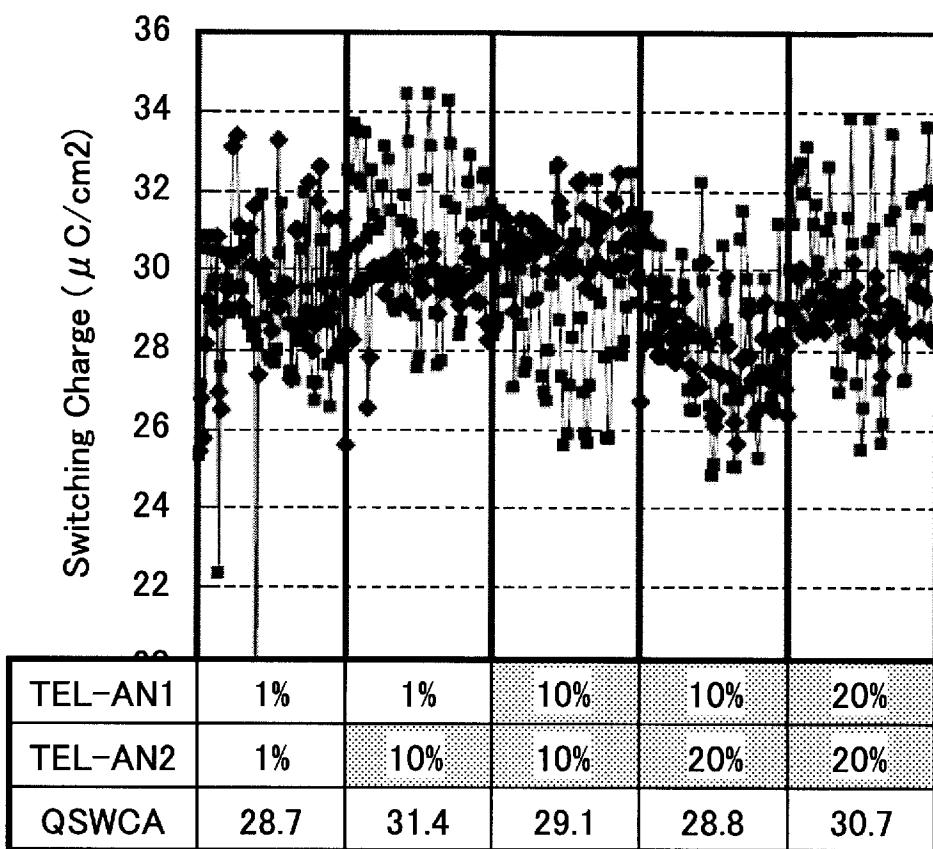
[図8C]



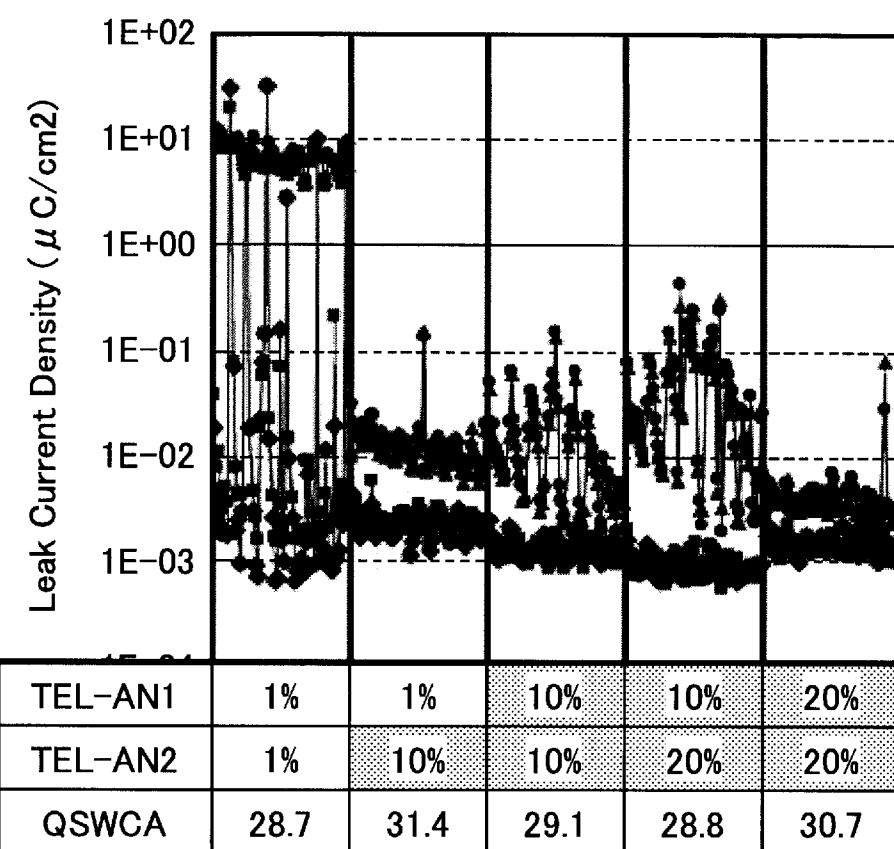
[図8D]



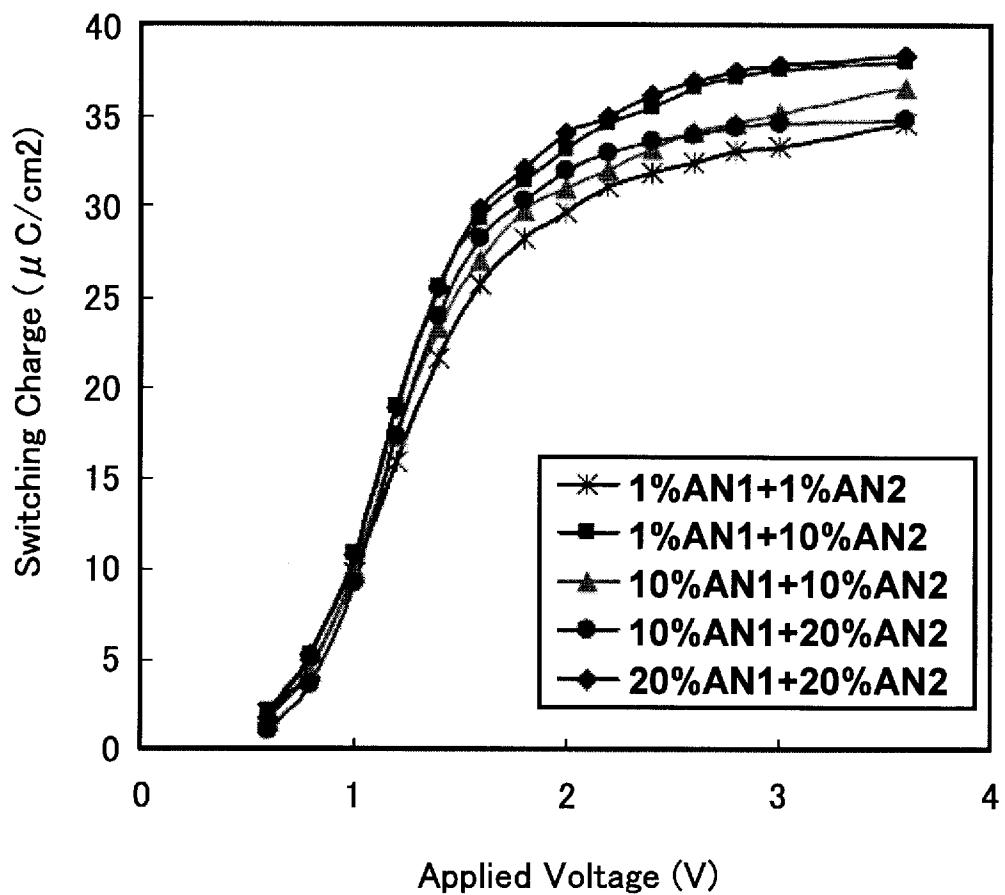
[図9A]



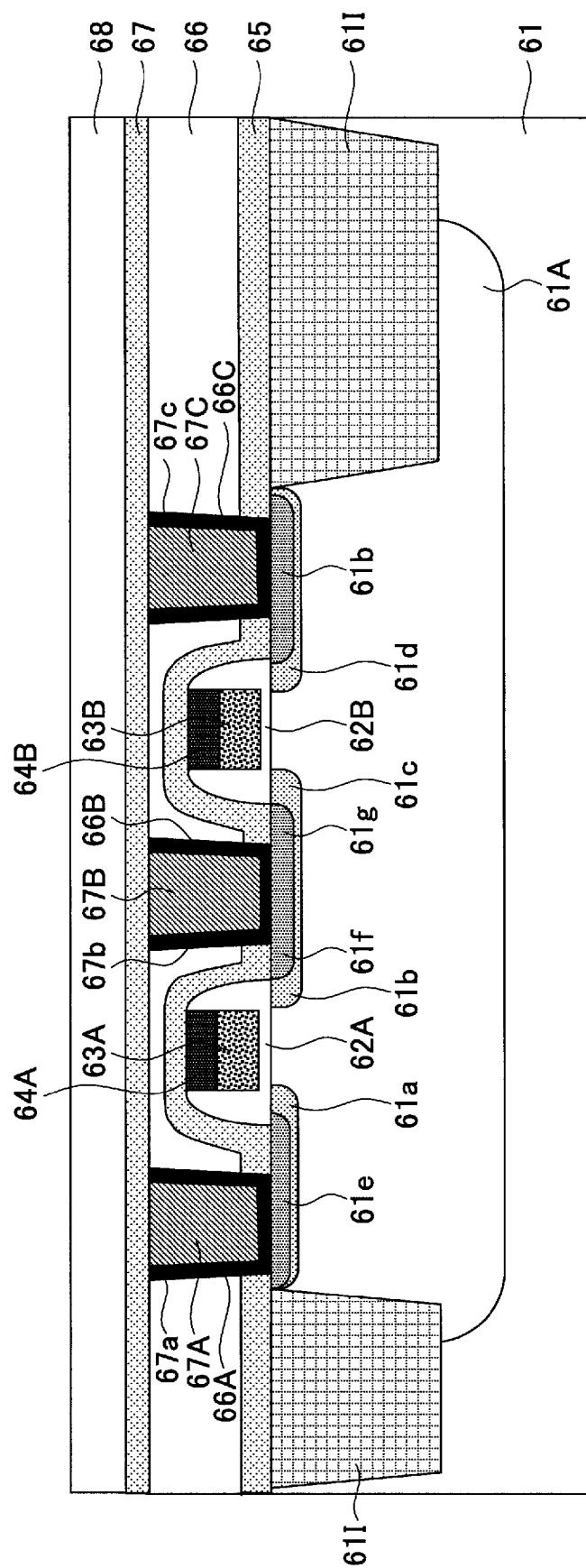
[図9B]



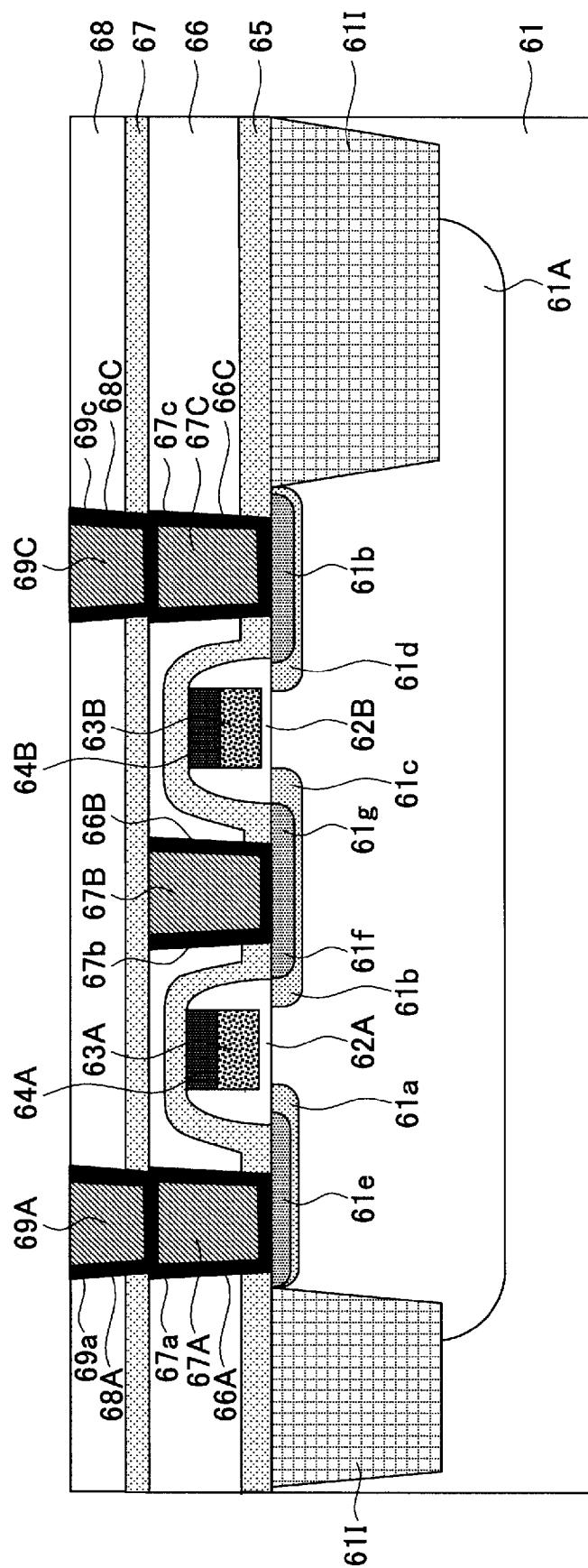
[図10]



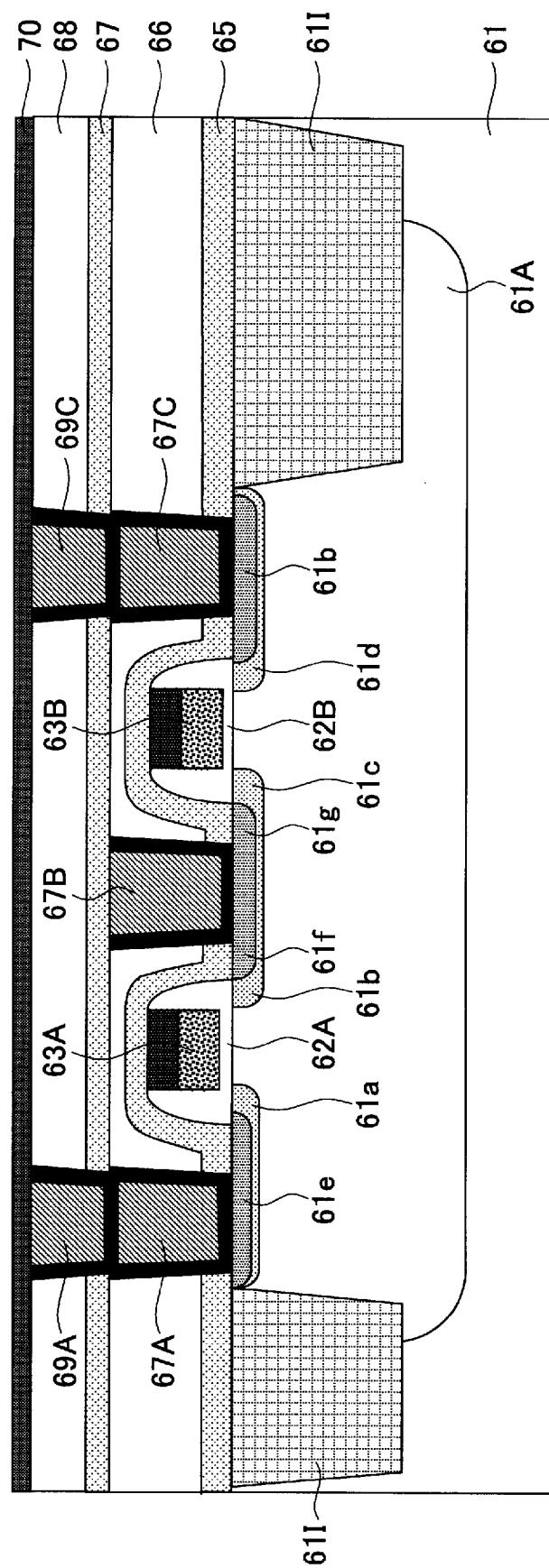
[図11A]



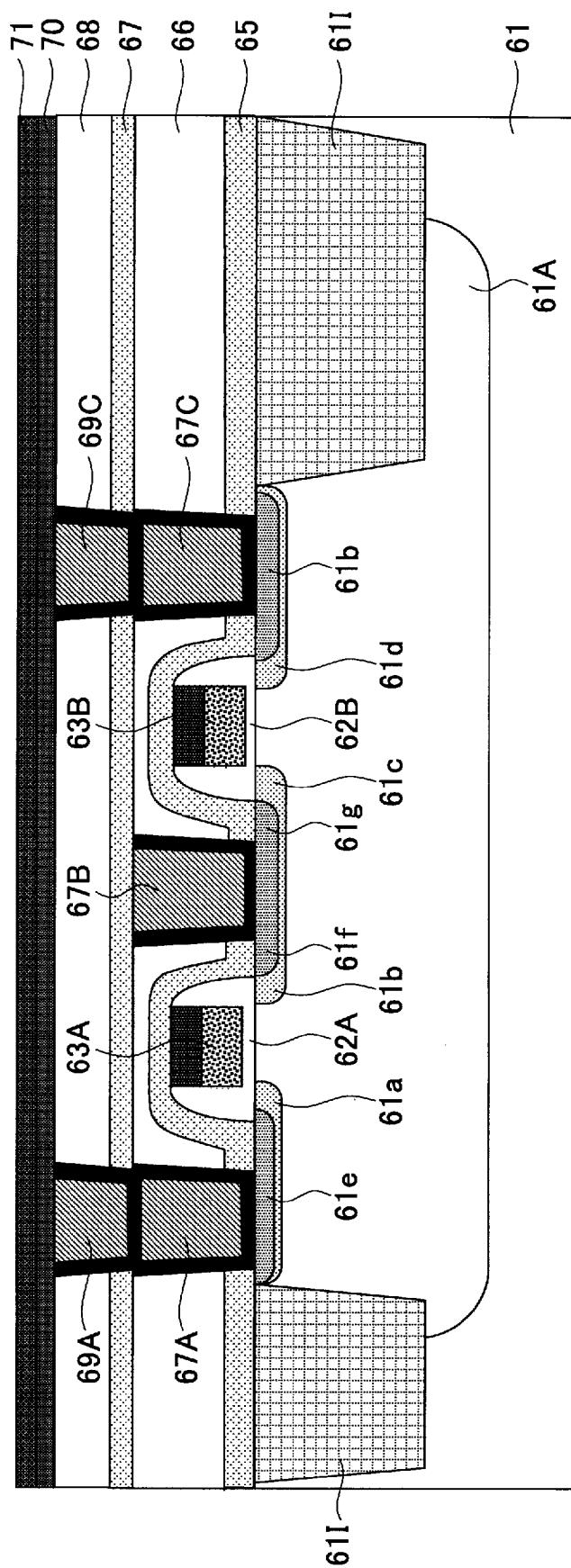
[図11B]



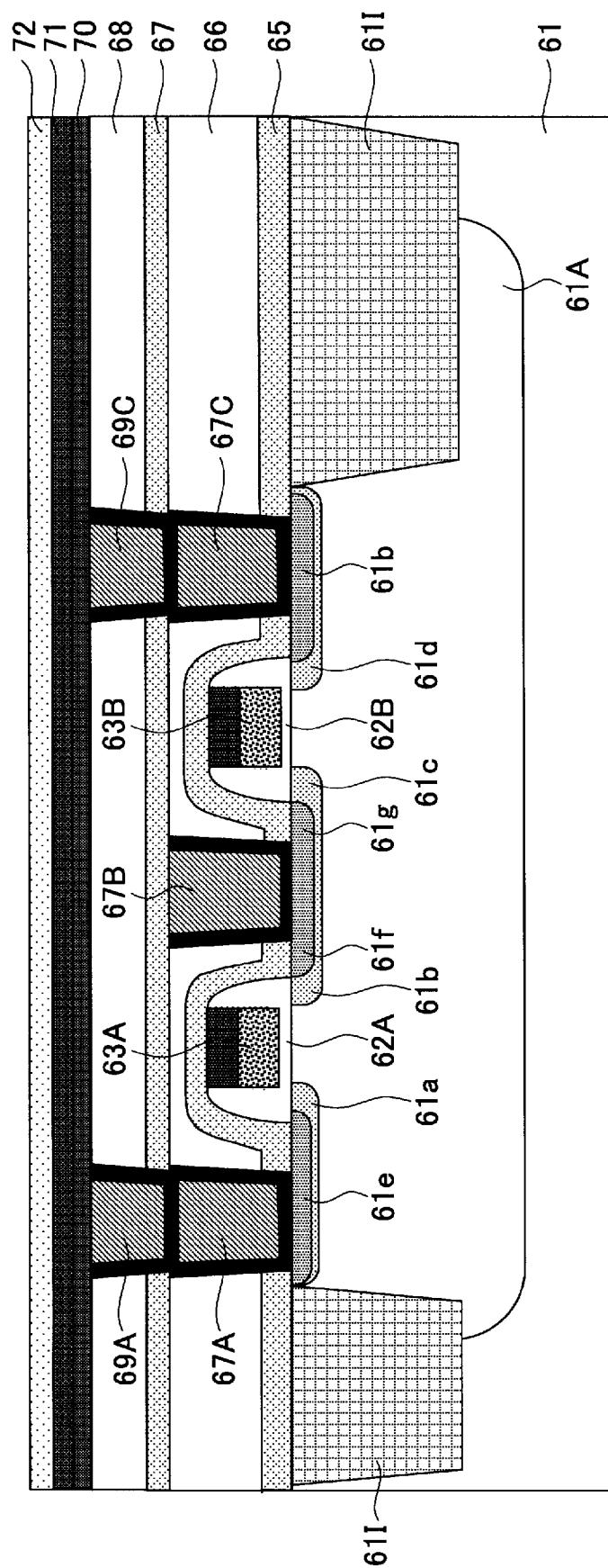
[図11C]



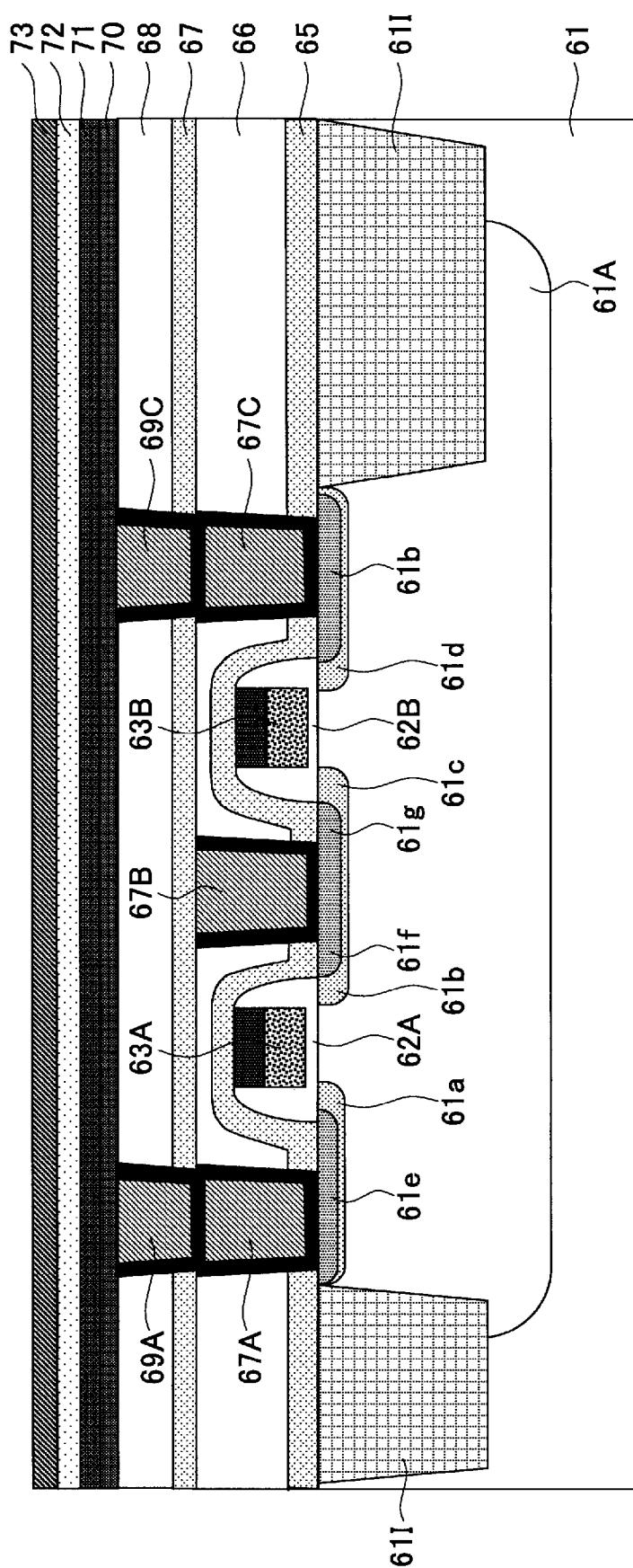
[図11D]



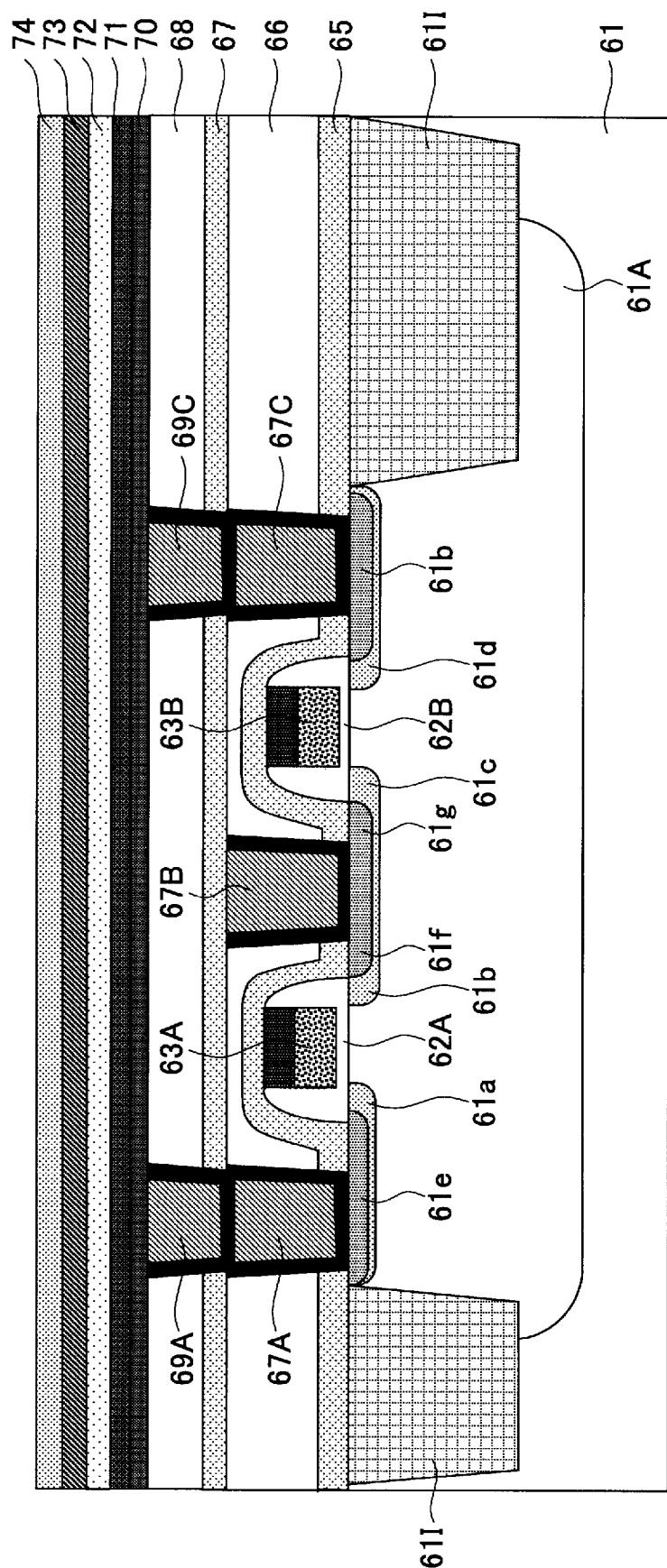
[図11E]



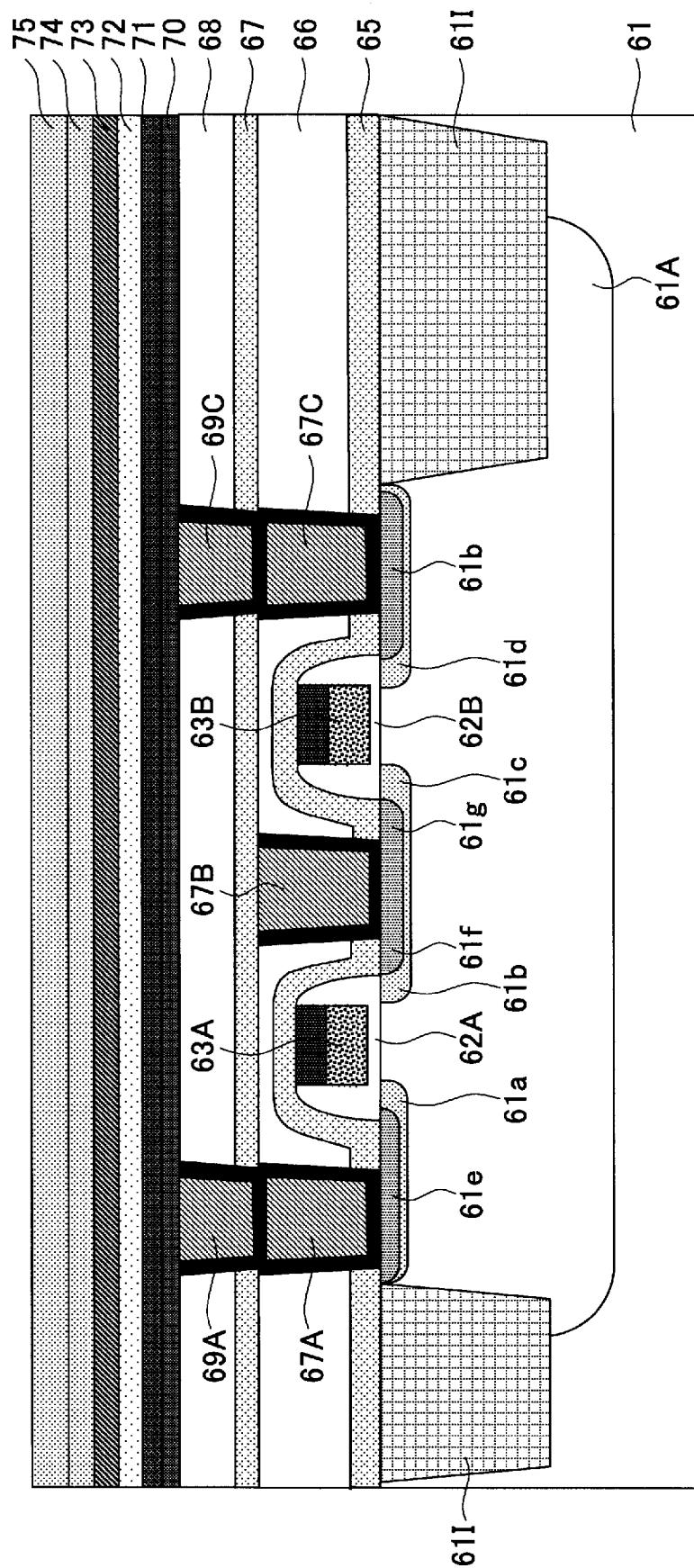
[図11F]



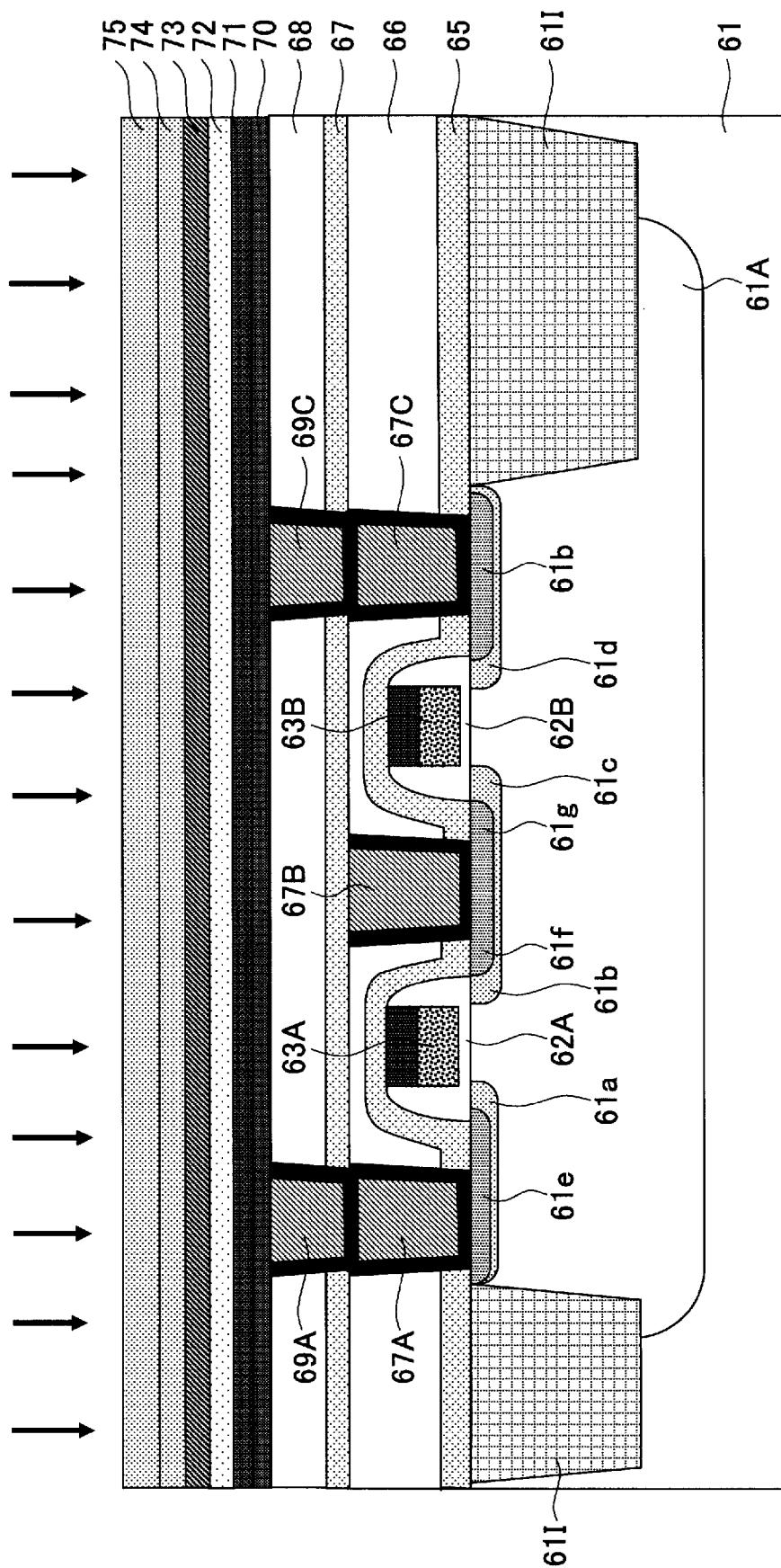
[図11G]



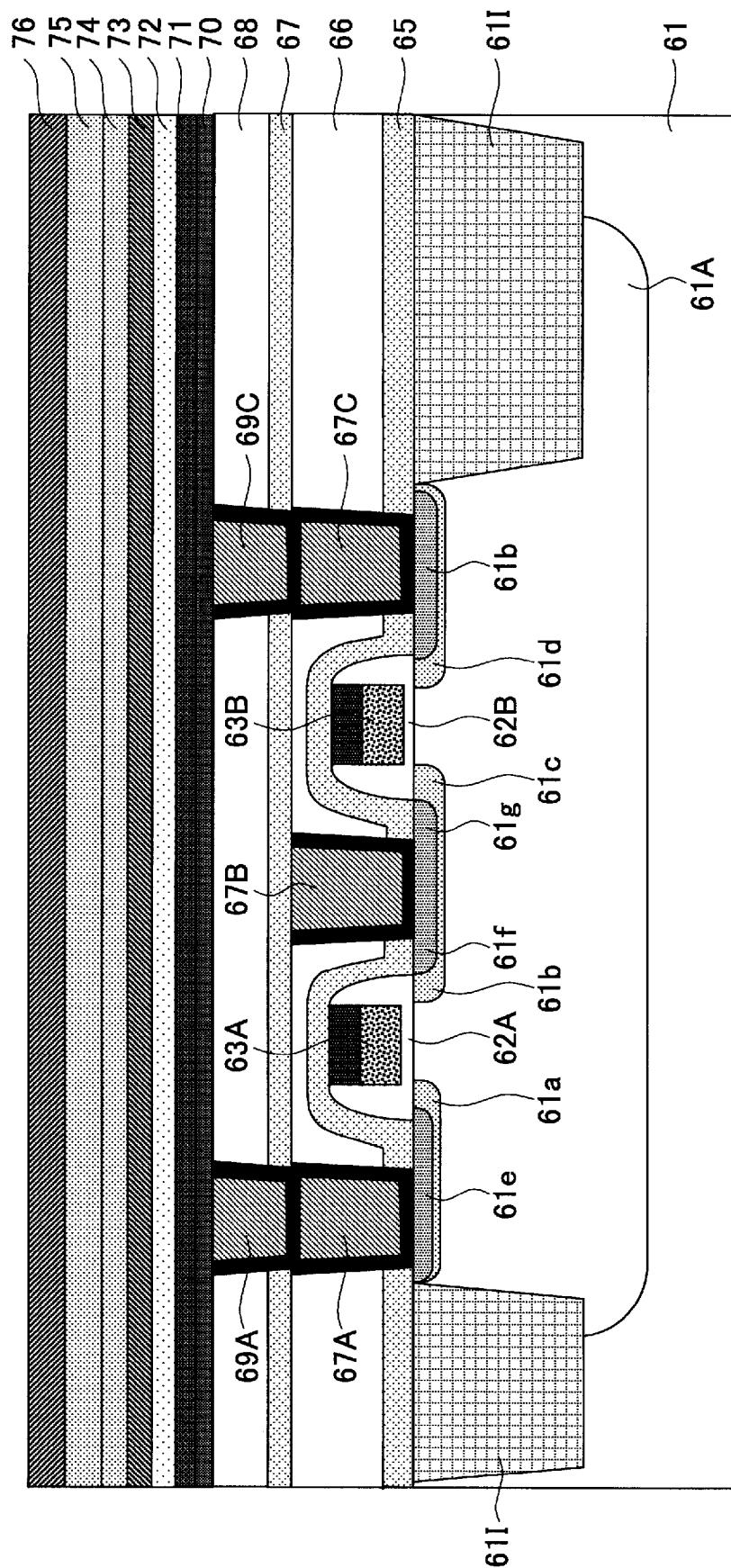
[図11H]



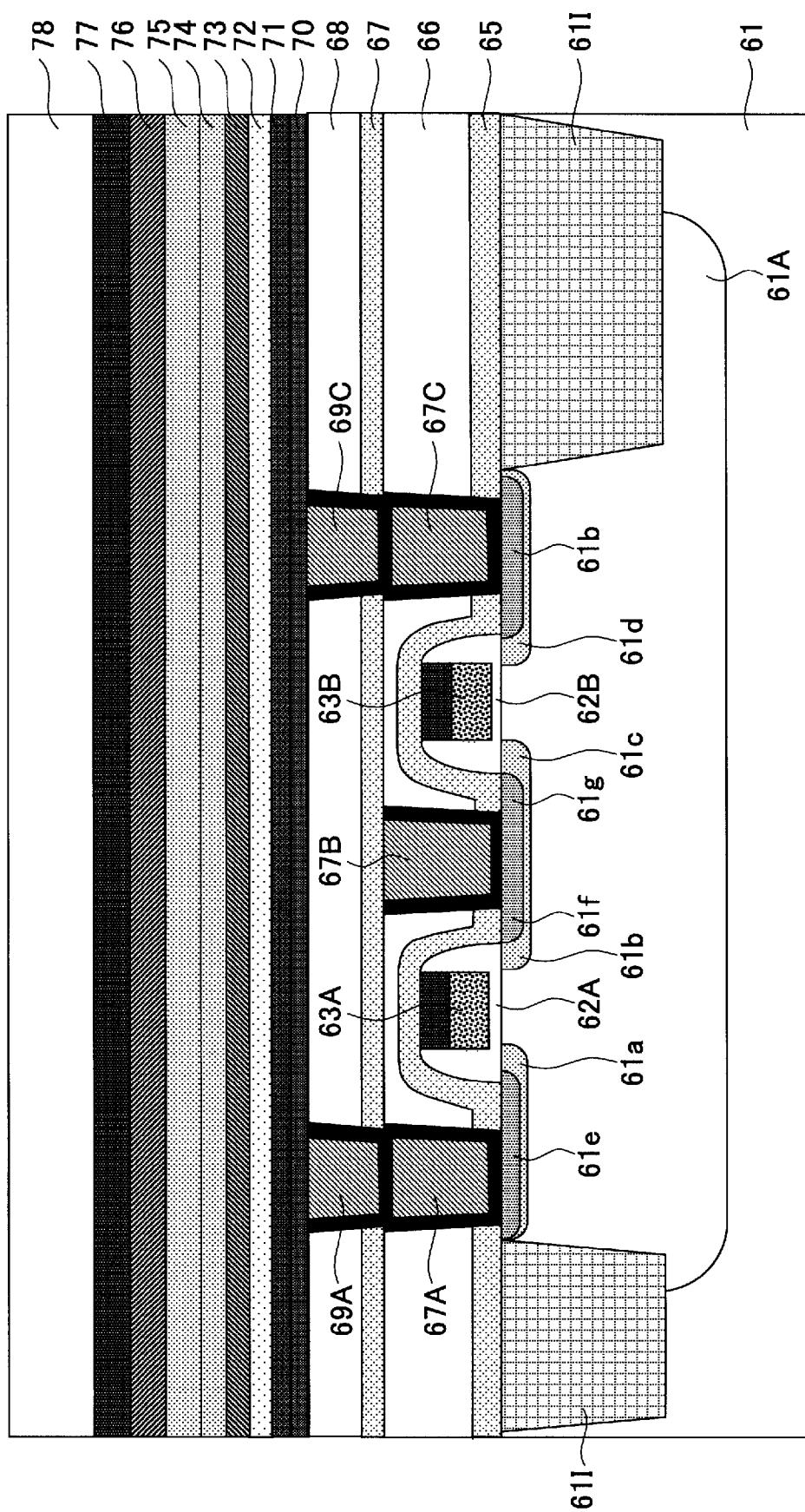
[図11I]



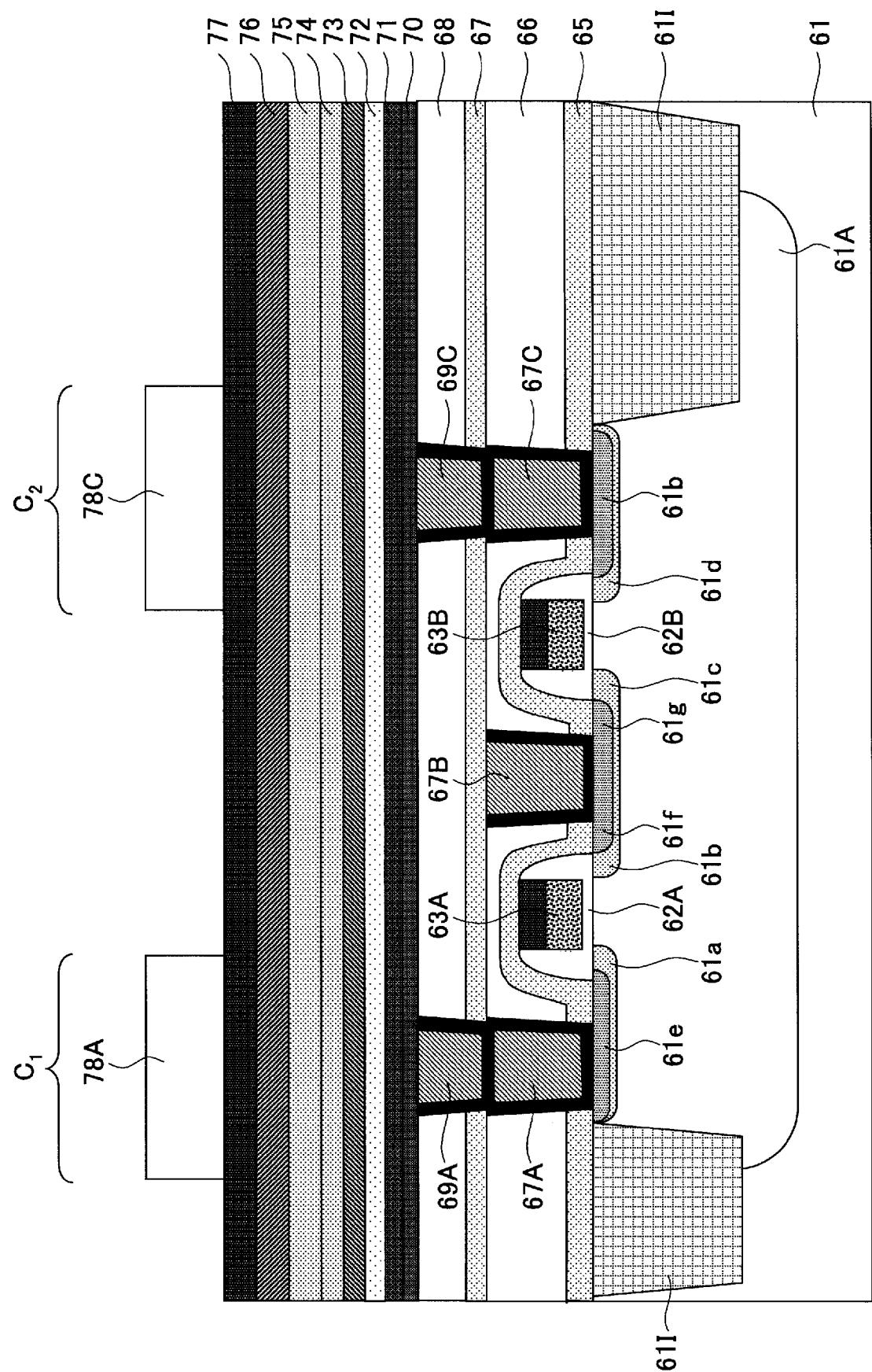
[図11J]



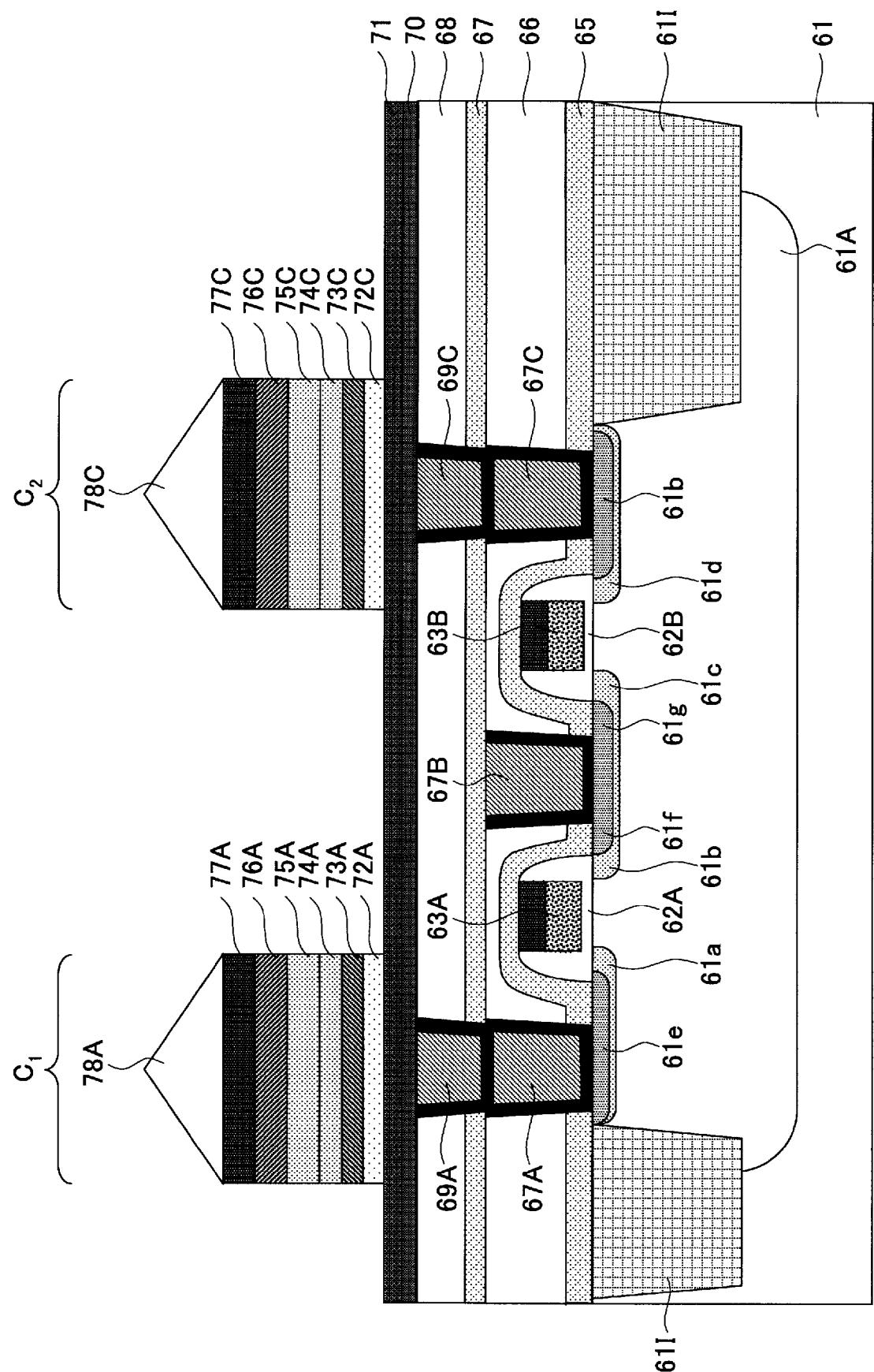
[図11K]



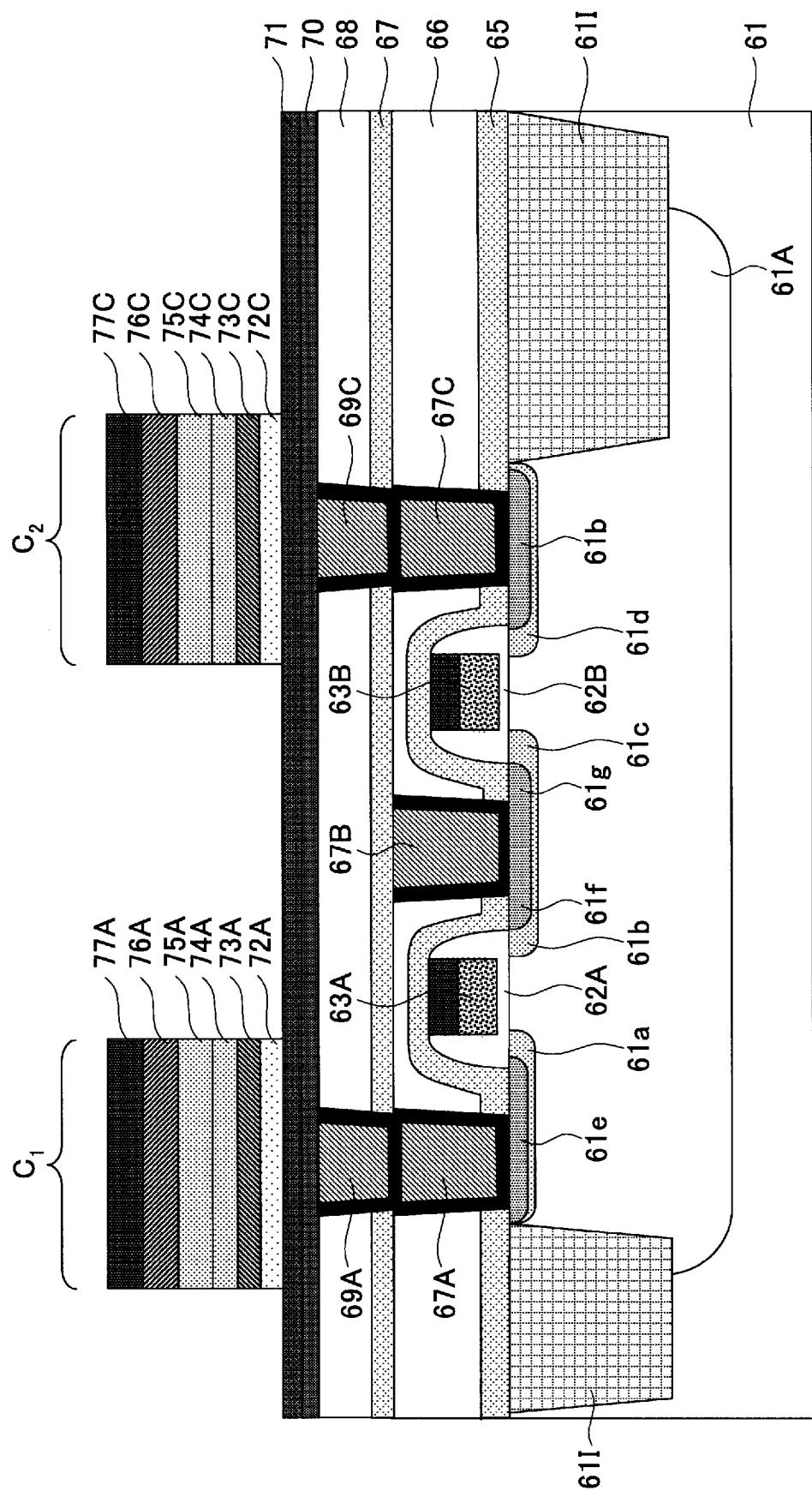
[図11L]



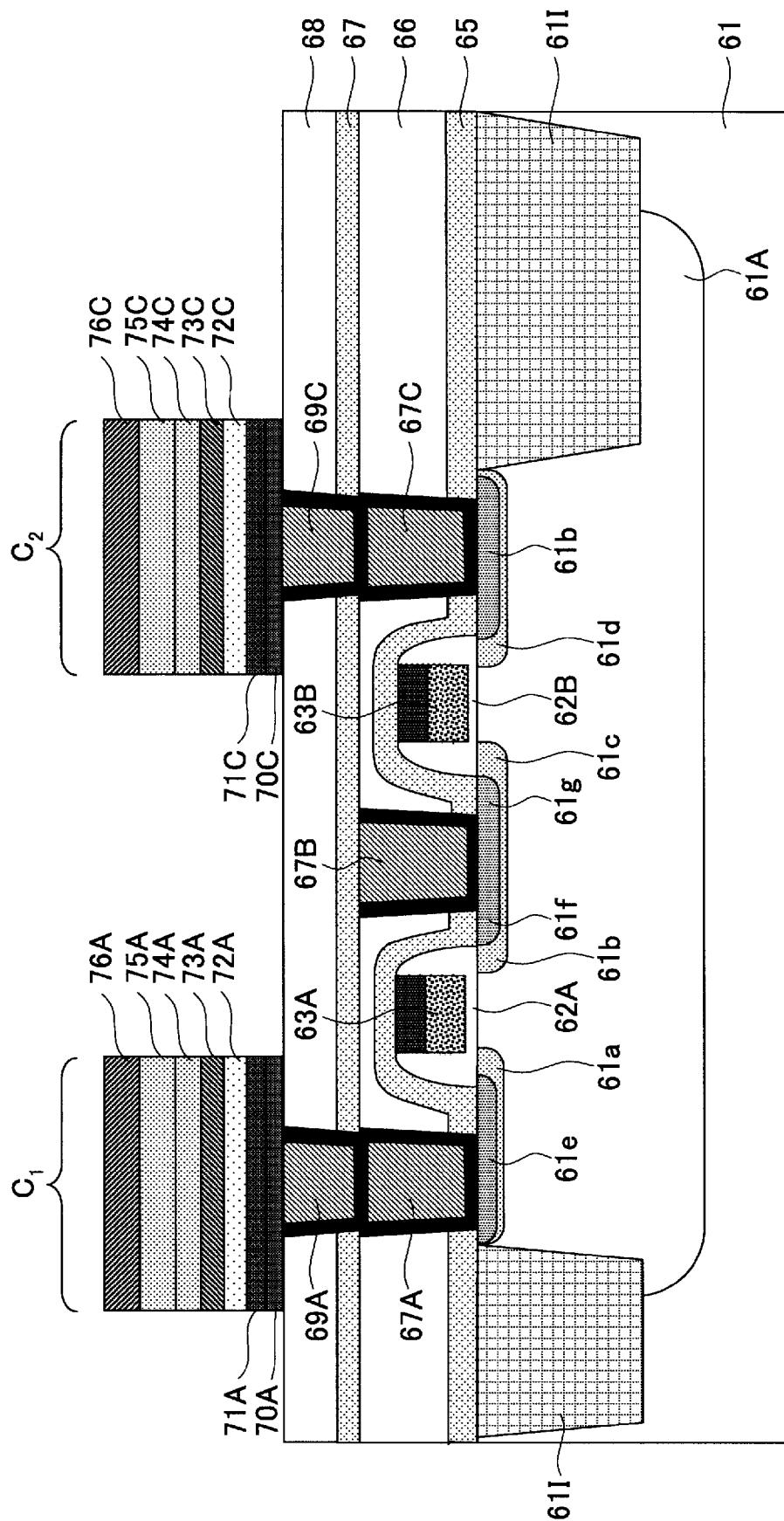
[図11M]



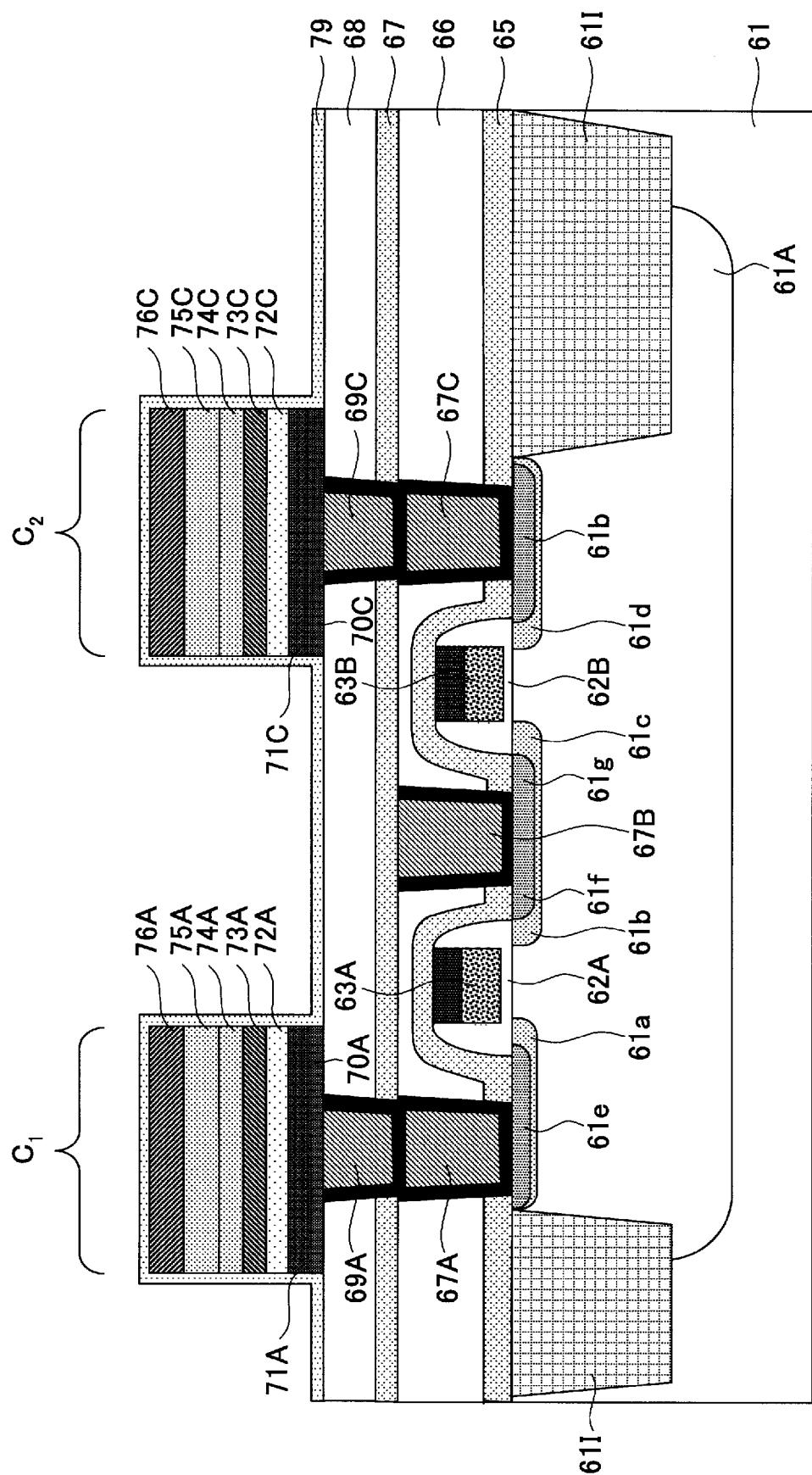
[図11N]



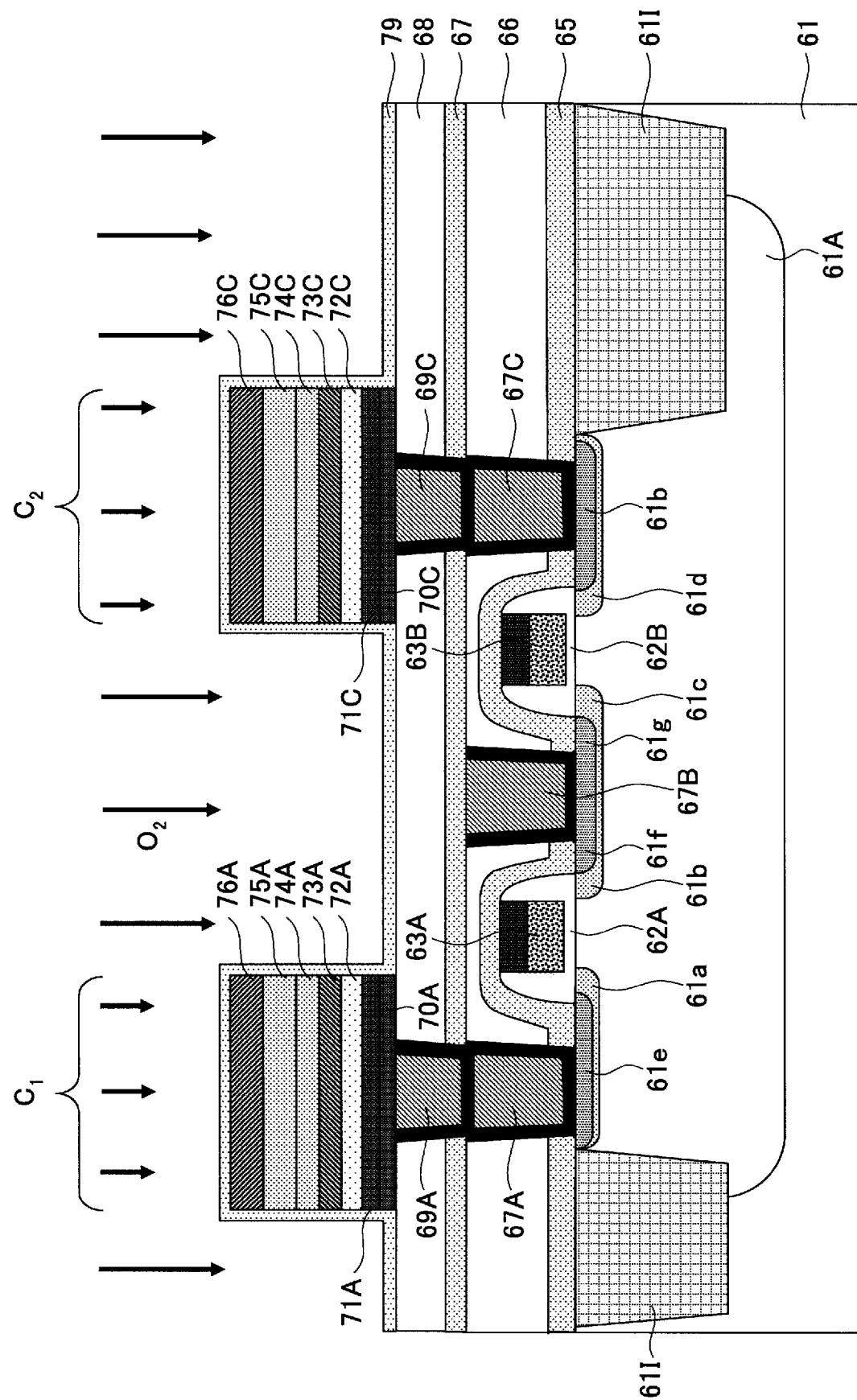
[図11O]



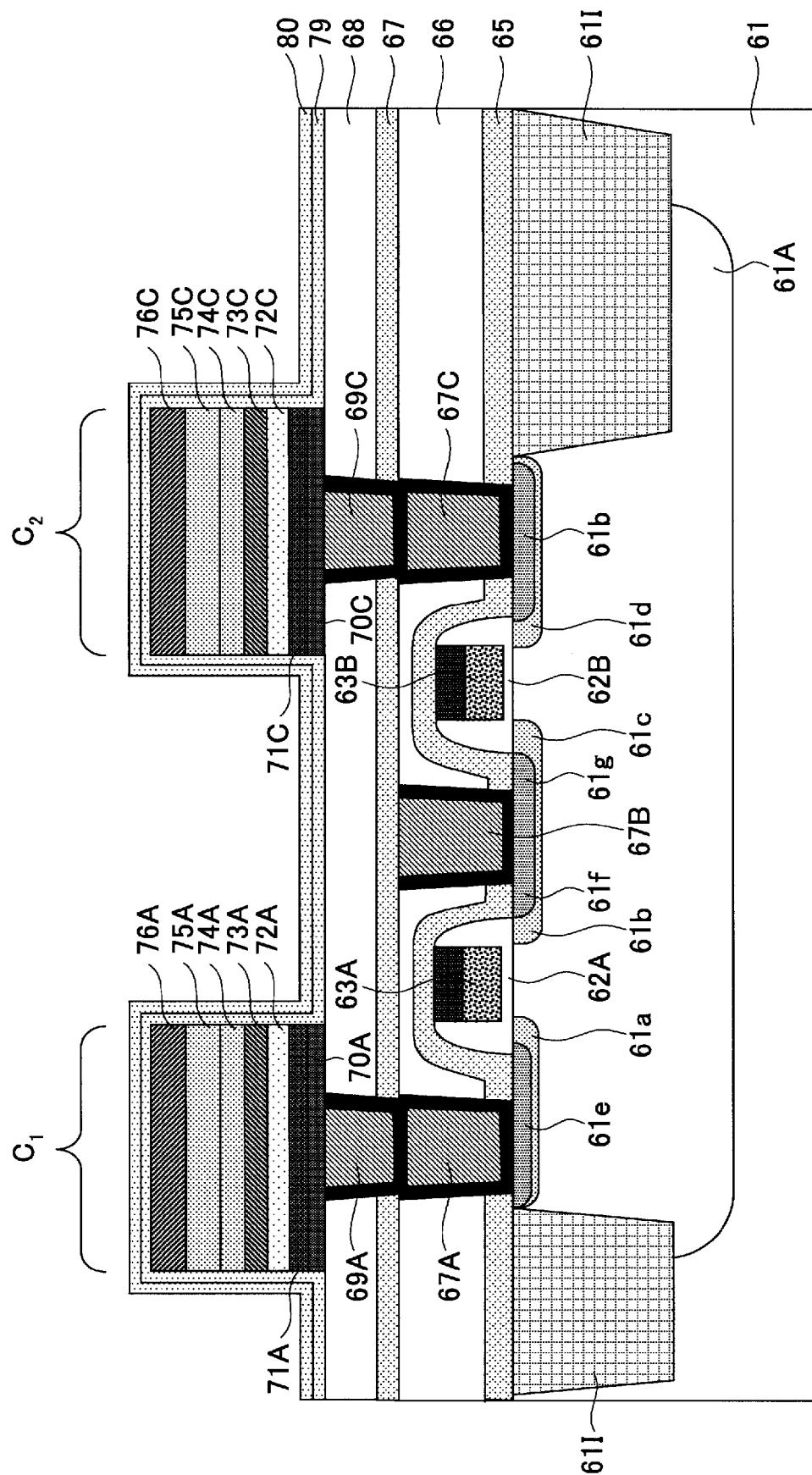
[図11P]



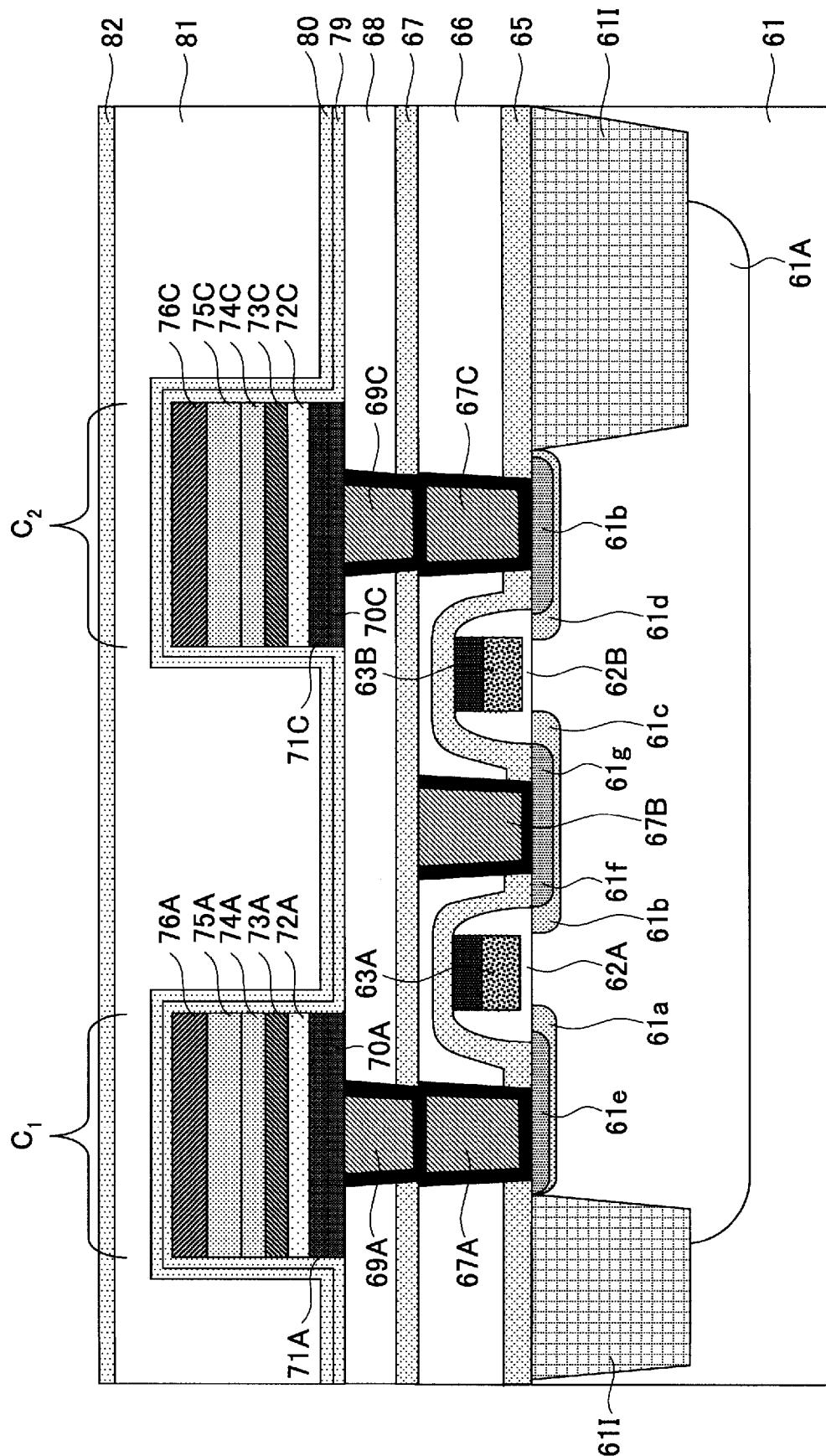
[図11Q]



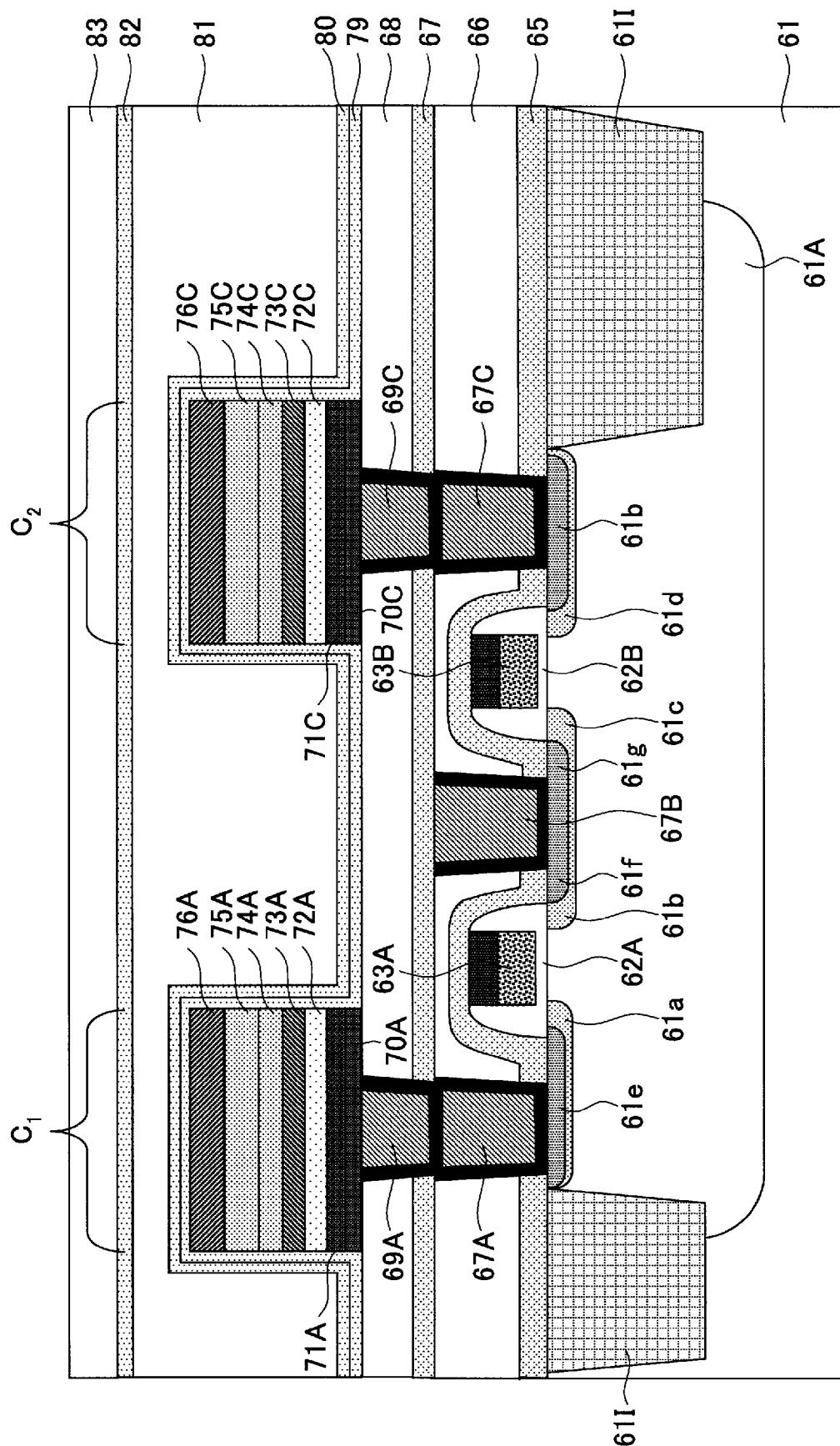
[図11R]



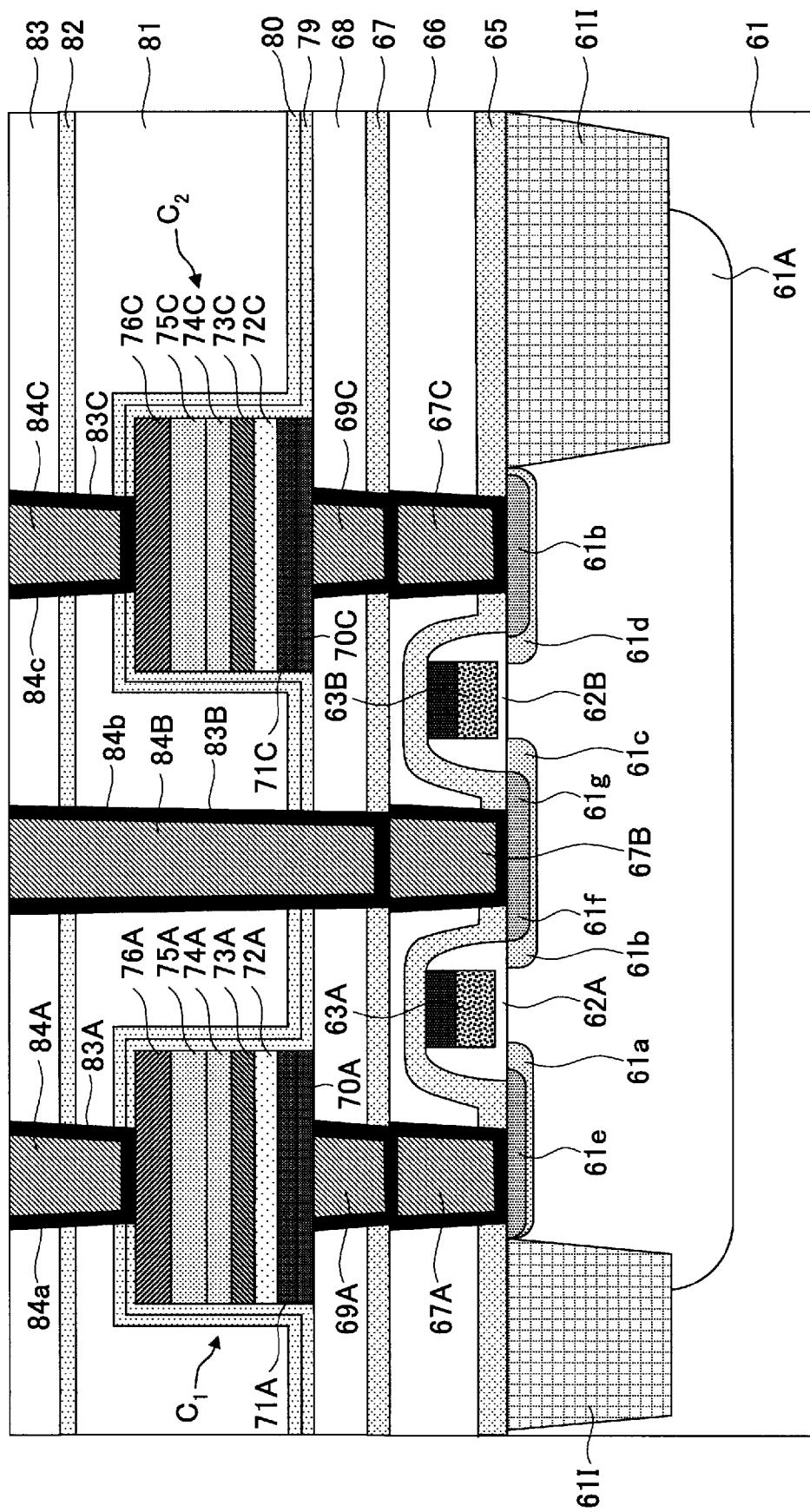
[図11S]



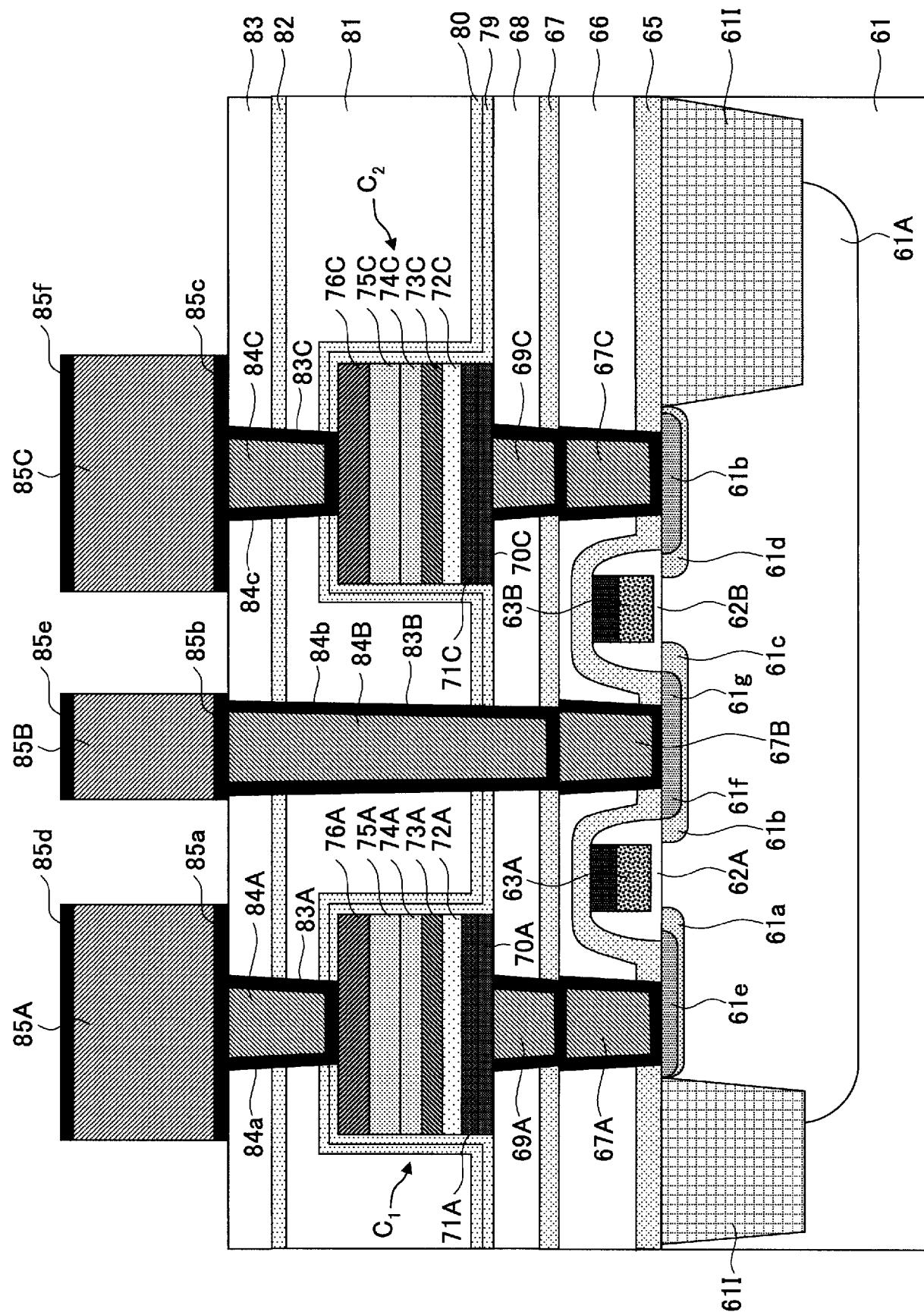
[図11T]



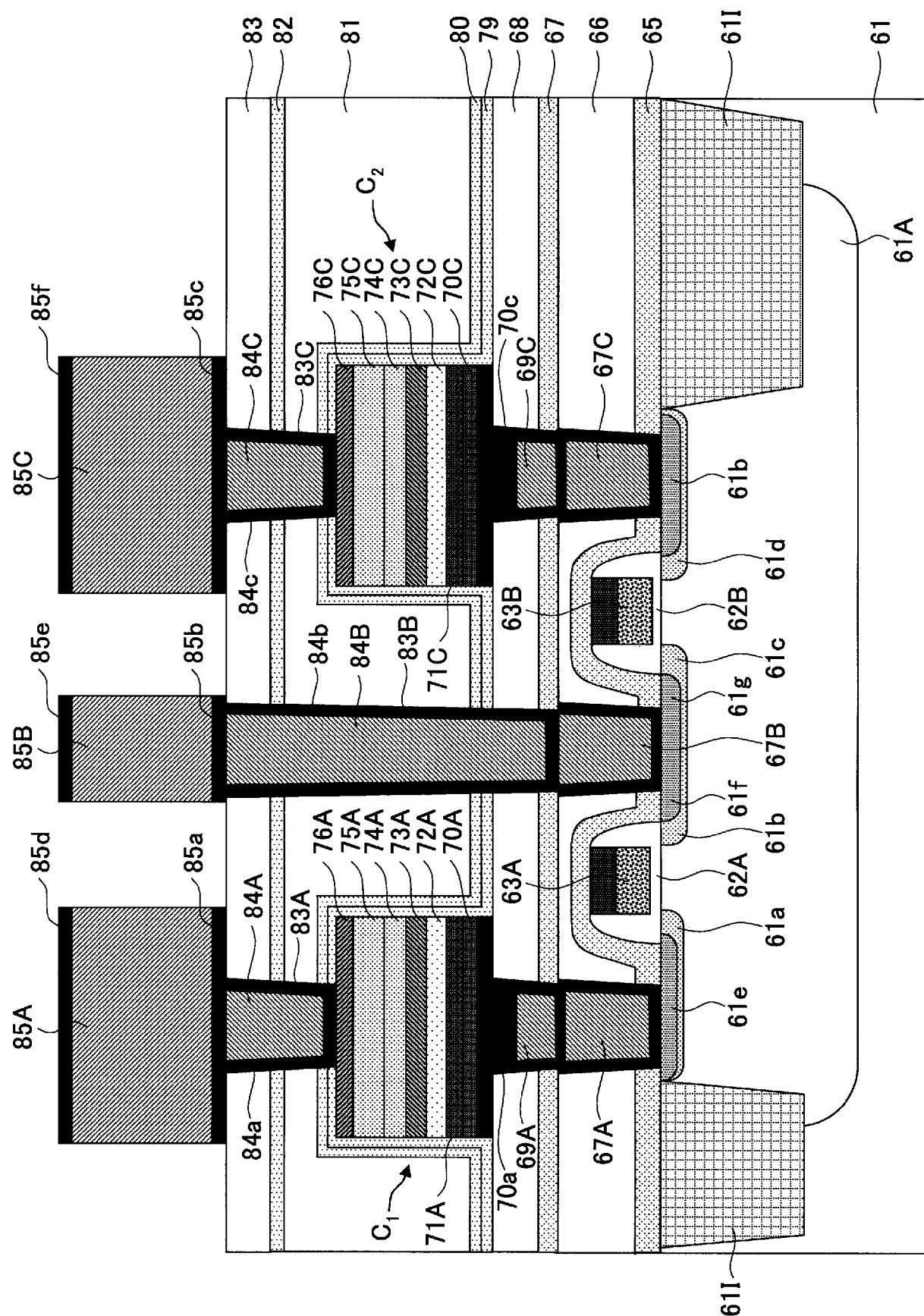
[図11U]



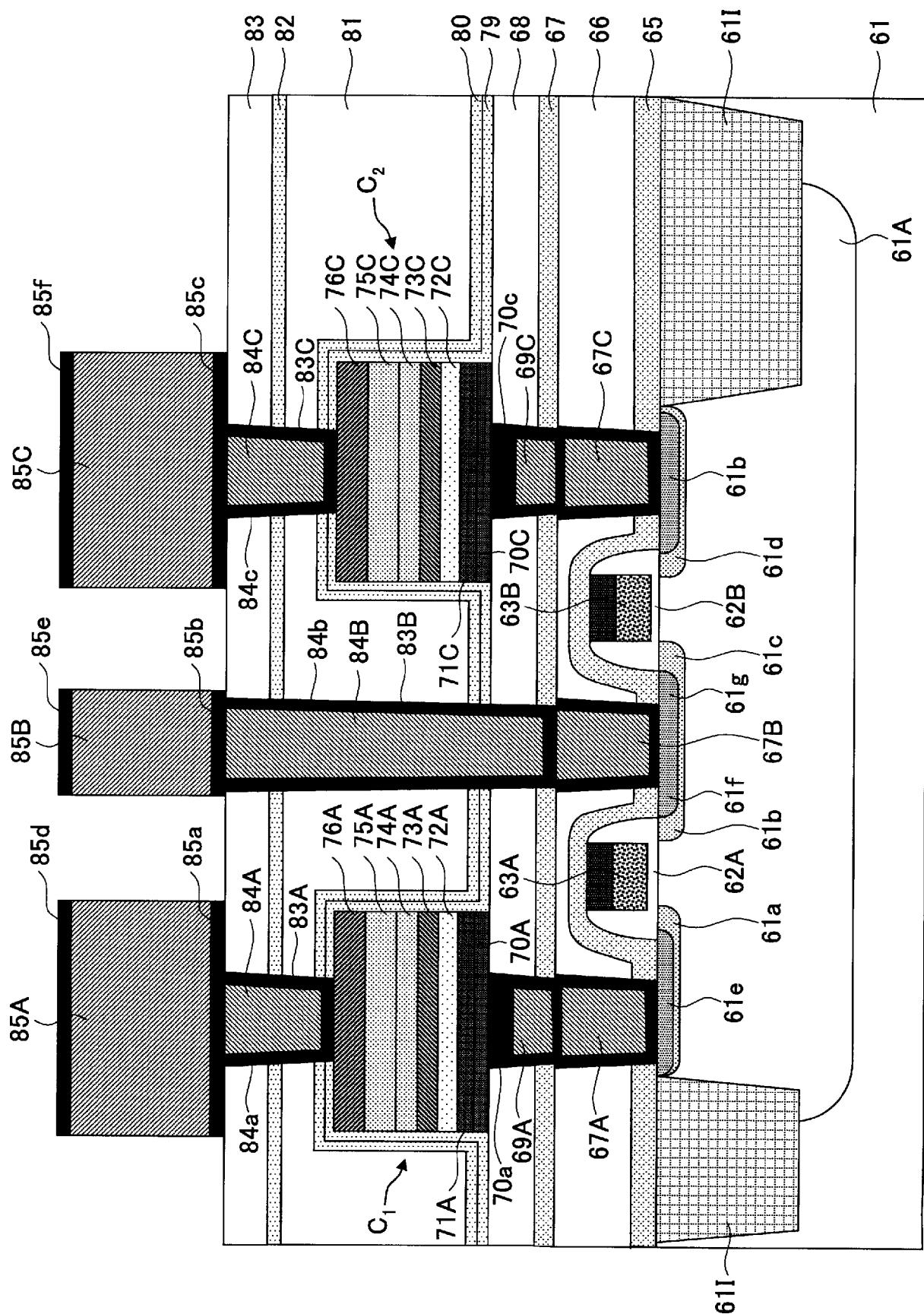
[図11V]



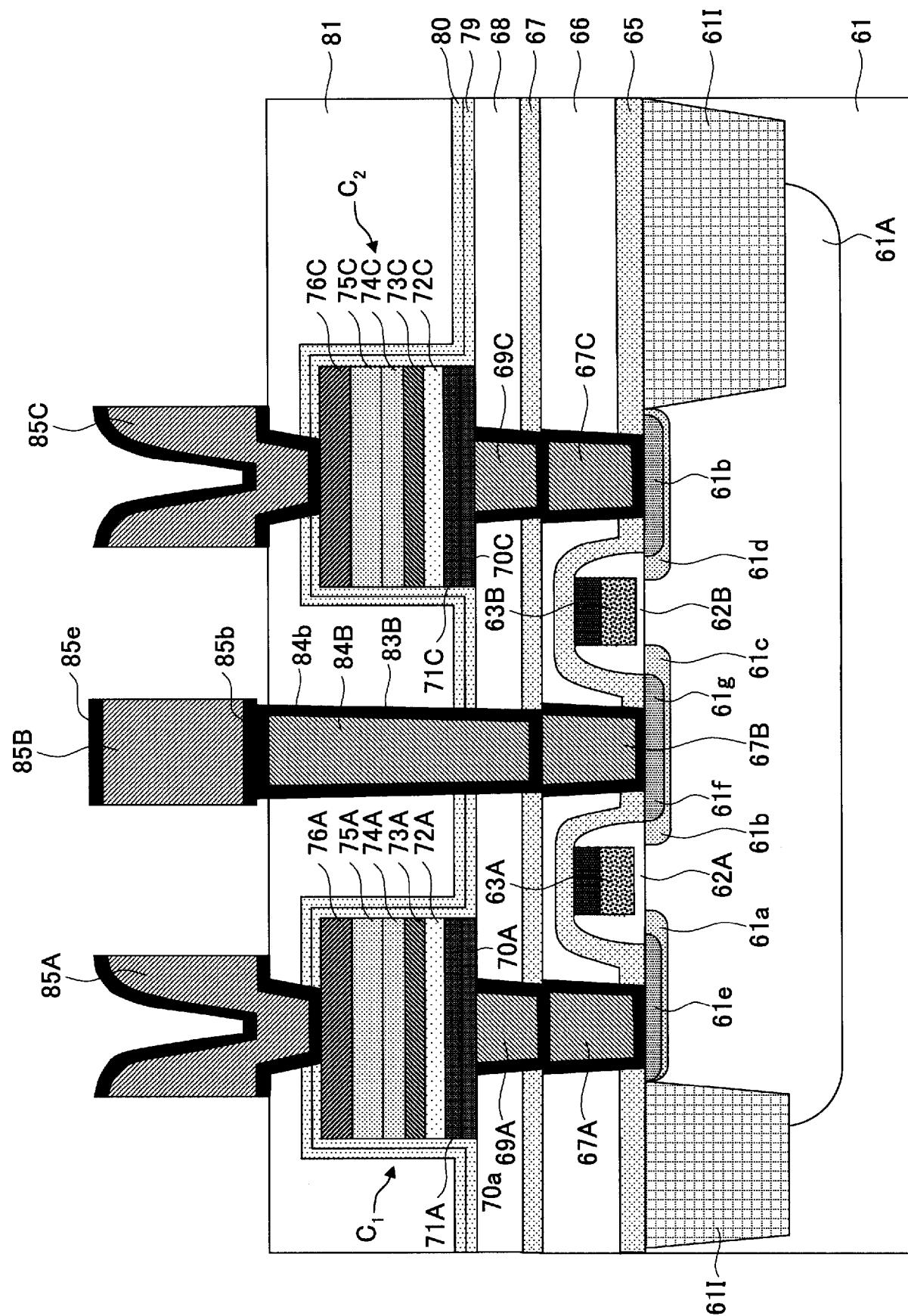
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/055694

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8246(2006.01)i, H01L27/105(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8246, H01L27/105

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-324894 A (Fujitsu Ltd.), 08 November, 2002 (08.11.02), Full text & US 6624458 B2 & US 2003/0213986 A1 & EP 1253627 A2	1-20

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

08 June, 2007 (08.06.07)

Date of mailing of the international search report

19 June, 2007 (19.06.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/055694

Claims 1 and 8 cover all types of "ferroelectric films". However, only ferroelectric films containing "Pb" mentioned in the description are disclosed within the meaning of PCT Article 5. Consequently, support within the meaning of PCT Article 6 is lacked.

Claim 8 covers all oxide combinations as the "first conductive oxide film" and "second conductive oxide film". However, only the "first conductive oxide film" and "second conductive oxide film" wherein both have an oxygen component ratio lower than stoichiometric composition and wherein the "second conductive oxide film" is higher than the "first conductive oxide film" in oxidation proportion, as mentioned in the description, are disclosed within the meaning of PCT Article 5. Consequently, support within the meaning of PCT Article 6 is lacked.

Therefore, search has been restricted to the scope supported and disclosed in the description, namely, concretely mentioned in the description, the semiconductor device having "first conductive oxide film" and "second conductive oxide film" and "ferroelectric film" with specified composition and the process for producing the same.

A. 発明の属する分野の分類（国際特許分類（IPC））
Int.Cl. H01L21/8246(2006.01)i, H01L27/105(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/8246, H01L27/105

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2007年
日本国実用新案登録公報	1996-2007年
日本国登録実用新案公報	1994-2007年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-324894 A (富士通株式会社) 2002.11.08, 全文 & US 6624458 B2 & US 2003/0213986 A1 & EP 1253627 A2	1-20

□ C欄の続きにも文献が列挙されている。

□ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 08.06.2007	国際調査報告の発送日 19.06.2007
国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 瀧内 健夫 電話番号 03-3581-1101 内線 3462 4M 9054

請求の範囲 1 及び 8 は、あらゆる「強誘電体膜」を包含するものであるが、PCT 第 5 条の意味において開示されているのは、明細書に記載された「Pb」を含む強誘電体膜のみであり、PCT 第 6 条の意味での裏付けを欠いている。

請求の範囲 8 は、「第 1 の導電性酸化膜」及び「第 2 の導電性酸化膜」として、あらゆる酸化物の組み合わせを包含するが、PCT 第 5 条の意味において開示されているのは、明細書に記載された、「第 1 の導電性酸化膜」及び「第 2 の導電性酸化膜」のいずれもが化学量論組成よりも酸素の組成比が小さく、かつ、「第 2 の導電性酸化膜」が「第 1 の導電性酸化膜」よりも酸化の割合が高いもののみであり、PCT 第 6 条の意味での裏付けを欠いている。

よって、調査は、明細書に裏付けられ、開示されている範囲、すなわち、明細書に具体的に記載されている、特定の組成の「強誘電体膜」、「第 1 の導電性酸化膜」及び「第 2 の導電性酸化膜」を有する半導体装置及びその製造方法について行った。