



(12) 发明专利

(10) 授权公告号 CN 1653601 B

(45) 授权公告日 2010.05.05

(21) 申请号 03810297.8

(22) 申请日 2003.04.04

(30) 优先权数据

10/143,225 2002.05.09 US

(85) PCT申请进入国家阶段日

2004.11.08

(86) PCT申请的申请数据

PCT/US2003/010789 2003.04.04

(87) PCT申请的公布数据

W02003/096405 EN 2003.11.20

(73) 专利权人 爱特梅尔公司

地址 美国加利福尼亚州

(72) 发明人 E·达伊门 A·L·任尼吉尔

B·罗杰克

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 孟锐

(51) Int. Cl.

H01L 21/8247(2006.01)

H01L 27/115(2006.01)

G11C 16/02(2006.01)

(56) 对比文件

CN 1111466 A, 1995.11.08, 全文.

US 6369422 B1, 2002.04.09, 全文.

CN 1145534 A, 1997.03.19, 全文.

WO 02/11145 A2, 2002.02.07, 全文.

CN 1196831 A, 1998.10.21, 全文.

CN 1239825 A, 1999.12.29, 全文.

US 5953254 A, 1999.09.14, 全文.

审查员 段小晋

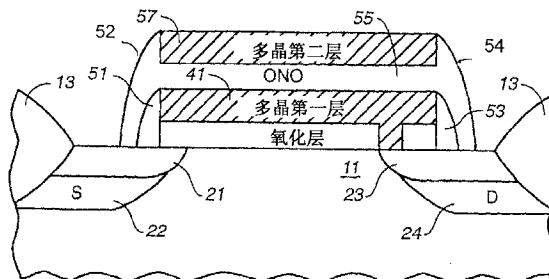
权利要求书 2 页 说明书 5 页 附图 9 页

(54) 发明名称

用来制作具有超小型薄窗口的 EEPROM 结构的方法

(57) 摘要

一种微小的氧化层窗口, 这些上层 (55, 57) 被蚀刻, 从而在层 (41) 上留出该多晶第二层 (57)。这些任选的氮化物隔离物 (51, 53) 保留为用于该多晶第一层及其下面的氧化层的保护性屏障。可以将该 ONO 层用作自校准工具, 来制作源极和注入物 (22, 24)。



1. 一种使用具有特征最小形体尺寸的加工装置来制作具有微小薄窗口的 EEPROM 结构的方法,其特征在于,它包括:

限定衬底 (11) 的有源区 (212, 213);

在淀积于有源衬底区域上的栅极氧化层 (15) 上,为该 EEPROM 结构形成具有层内的限定边缘的氮化物掩膜 (19);

使用用于源极 (21) 和漏极 (23) 自校准的所述氮化物掩膜 (19) 的各个限定边缘,在所述有源衬底区域内建立掩埋注入区 (21, 23);

沿所述氮化物掩膜 (19) 的边缘向下蚀刻,穿过所述栅极氧化层 (15) 直至接近所述衬底 (11),从而在所述源极区域和漏极区域中的一个区域上形成具有基底的隔离槽;

在所述隔离槽内的所述氮化物掩膜 (19) 的一侧上形成虚拟氮化物隔离物 (31) 并停留在所述槽的所述基底上,所述氮化物隔离物 (31) 邻接所述氮化物掩膜 (19);

同时除去所述氮化物掩膜 (19) 和所述虚拟氮化物隔离物 (31),从而打开所述隔离槽;

跨越所述衬底的包括所述隔离槽的基底的部分,淀积一层薄隧道氧化物 (40);以及

将多晶第一浮动栅极层 (41) 淀积在所述栅极氧化层 (15) 上,其中所述浮动栅极层 (41) 具有占据所述薄隧道氧化物 (40) 上面的所述隔离槽的凹陷区 (43),并且淀积利用绝缘层 (55) 而与所述多晶第一浮动栅极层 (41) 隔开的多晶第二控制层 (57),从而完成所述 EEPROM 结构,所述源极区域和漏极区域 (22, 24) 中的所述一个区域通过所述薄隧道氧化物 (40) 而将电荷传递到所述浮动栅极 (41) 的所述凹陷区 (43)。

2. 如权利要求 1 所述的方法,其特征在于,所述隔离槽的长度小于所述加工装置的所述特征形体尺寸。

3. 如权利要求 1 所述的方法,其特征在于,通过离子注入来建立所述源极区域和漏极区域。

4. 如权利要求 1 所述的方法,其特征在于,所述氮化物掩膜和栅极氧化层在所述衬底上具有厚度,所述氮化物掩膜层的厚度超过所述栅极氧化层的厚度,其比率大于 3 : 1。

5. 如权利要求 1 所述的方法,其特征在于,通过在形成所述浮动栅极之后,在所述浮动栅极层的各个横向边缘处淀积氮化物隔离物。

6. 一种使用具有特征最小形体尺寸的加工装置来制作具有微小尺寸的薄窗口的 EEPROM 结构的方法,其特征在于,它包括:

在适合自校准的源极和漏极电极注入的衬底上的栅极氧化物上建立氮化物掩膜;

注入源极电极和漏极电极;

在所述氮化物掩膜的各个横向边缘处建立虚拟氮化物隔离物,这些隔离物中的一个隔离物靠近所述源极电极和漏极电极之一;

在覆盖所述源极和漏极中的至少部分的所述氮化物掩膜周围建立氧化层;

除去包括所述虚拟隔离物在内的所有氮化物,从而建立隔离槽,来代替驻留在靠近所述源极电极和漏极电极之一的所述隔离物及其下面的氧化物;

将非常薄的隧道氧化层至少淀积在所述隔离槽内;

将多晶第一浮动栅极层淀积在所述栅极氧化层上,其中所述浮动栅极层具有占据所述薄隧道氧化物上面的所述隔离槽的凹陷区,并且淀积利用绝缘层而与所述多晶第一浮动栅极层隔开的多晶第二控制层,从而完成所述 EEPROM 结构,所述源极区域和漏极区域中的所

述一个区域通过所述薄隧道氧化物而将电荷传递到所述浮动栅极的所述凹陷区。

7. 如权利要求 6 所述的方法,其特征在于,其中,这些 EEPROM 结构中的每个 EEPROM 结构的所述隔离槽的长度小于所述加工装置的所述特征形体尺寸。

8. 如权利要求 6 所述的方法,其特征在于,还包括限定具有场氧化物区域的有源区,其中所述非常薄的隧道氧化物从所述多晶第一层的该凹陷区的一侧延伸到场氧化物区域。

9. 如权利要求 6 所述的方法,其特征在于,还包括在形成所述 EEPROM 结构的同时形成选择晶体管,所述选择晶体管靠近所述 EEPROM 结构。

10. 一种使用具有特征最小形体尺寸的加工装置来制作孪生对称 EEPROM 结构的方法,每个结构具有微小尺寸的薄窗口,其特征在於,所述方法包括:

在适合自校准的源极和漏极电极注入的衬底上的两个隔开的栅极氧化层中的每个栅极氧化层上建立氮化物掩膜,以限定两个 EEPROM 结构;

将源极电极和漏极电极注入每个 EEPROM 结构中;

在所述氮化物掩膜的各个横向边缘处建立虚拟氮化物隔离物,所述隔离物对中的每个靠近所述源极电极和漏极电极之一;

在覆盖所述源极和漏极的至少部分的所述氮化物掩膜周围建立氧化层;

除去包括所述虚拟隔离物在内的所有氮化物,从而生成隔离槽,来代替驻留在靠近所述源极电极和漏极电极之一的所述隔离物及其下面的氧化物;

将非常薄的隧道氧化层至少淀积在所述隔离槽内;

将多晶第一浮动栅极层淀积在所述栅极氧化层上,其中所述浮动栅极层中的每一层具有占据所述薄隧道氧化物上面的所述隔离槽的凹陷区并且淀积利用绝缘层而与所述多晶第一浮动栅极层隔开的多晶第二控制层,从而完成所述 EEPROM 结构,所述源极区域和漏极区域中的所述一个区域通过所述薄隧道氧化物而将电荷传递到所述 EEPROM 结构的浮动栅极的所述凹陷区。

11. 如权利要求 10 所述的方法,其特征在于,还包括在形成这些 EEPROM 结构的同时形成对应的选择晶体管对,所述选择晶体管中的每个选择晶体管靠近这些 EEPROM 结构之一。

用来制作具有超小型薄窗口的 EEPROM 结构的方法

技术领域

[0001] 本发明涉及浮动栅极、非易失性的可用电力改变的存储单元,更具体地说,涉及具有超小型尺寸的存储单元及其制作方法。

背景技术

[0002] 30 多年前,发明了浮动栅极半导体非易失性存储单元——被称作代表电可擦除可编程只读存储器的 EEPROM 或代表可擦可编程只读存储器的 EPROM。它们通常在 MOS 存储单元晶体管中使用非常薄的氧化层窗口(即,电介质),以允许电荷通过该薄窗口而在位于衬底区域中的漏极电极或源极电极与位于该衬底上的浮动栅极之间来回转移。该浮动栅极被如此命名,因为它没有用电力与任何电极连接,但被电介质材料(包括该薄氧化层窗口)包围。这种电荷转移现象是值得注意的事件,被称作“隧道效应”;量子机械行为(其中,电荷通过该薄电介质氧化层窗口,以达到该浮动栅极,但这种行为还是可以按照“导电”术语的通常含义来理解)无法在处于考虑中的相对较低的电压的该电介质材料中发生。该存储单元的逻辑状态由存储该电荷的该浮动栅极上是否存在电荷来确定,直到它被擦除为止。

[0003] 在第 5, 108, 939 号美国专利中,用常规方式在栅电介质层上建立浮动栅极区域。利用照相平版印刷技术和该被除去的栅电介质,来揭露该漏极区域。然后,在这个所揭露的漏极区域上建立隧道电介质薄层。然后,建立并蚀刻多晶硅薄层,以便沿以前所建立的那个浮动栅极的边缘来创建多晶硅的非常窄的浮动栅极延伸部分。用这种方式建立的该浮动栅极延伸部分通过薄隧道电介质而与该漏极区域分开。然后,建立另一个电介质层,以便在该漏极区域上提供电介质,该漏极区域的厚度比位于该浮动栅极延伸部分之下的该隧道电介质更大。该专利讲授了一种将该隧道氧化物自校准到该浮动栅极并为该隧道氧化物实现亚微型尺寸(即,小于制造装置的特有的线宽尺寸)的方法。给 P. Rolandi 的第 6, 156, 610 号美国专利在描述 EEPROM 结构的形成的同时,描述了选择晶体管的形成。

[0004] 在 B. Lojek 的序列号为 09/847, 810 的原先的专利申请——现在是被让与本发明的受让人的第 6, 369, 422 号美国专利(2002 年 4 月 9 日准予)中,揭示了一种方法,用于制作非易失性存储单元结构,其中,该薄氧化层窗口的尺寸保持限定,但通过其来转移电荷的该氧化层窗口的一部分可能减小到小于正在使用的该制造装置的最小形体尺寸分辨率的尺寸。通过用限制其尺寸并且其位置控制被允许通过它来加以转移的电荷数量的这样一种方式来确定该固定尺寸的氧化层窗口,可以实现这一点。该氧化层窗口被加以构造,以便其各层的第一个部分只在这两个对立的场氧化物区域的一个部分上,并且,其剩余部分位于 MOS 晶体管的该沟道区域上,但没有跨越它而延伸。这有效地创建了一条裂缝,并且,可以通过移动该氧化层窗口的那个位置,来调整该裂缝的尺寸。被构造在该场氧化物区域上的那个氧化层窗口的各个部分无法被用来允许电荷转移到该浮动栅极。只有位于该沟道区域上的该氧化层窗口的那个部分才可以被用来允许这种电荷转移。这样,可以构造十分小(即,小于制造装置的该最小形体尺寸)的有效电荷转移区域。构造薄窗口,它叠盖住该场氧化物,并且没有达到该沟道的宽度。从这个意义上来说,该薄窗口是不对称的,因为对称的薄

窗口完全达到该沟道的宽度。

[0005] 利用这种构造,可能存在小的晶体管尺寸,但随着该薄窗口变小,必须保护该窗口避免经历可能会侵蚀质量的过程步骤。本发明的目的是:设计小尺寸的薄窗口(即,小于制造装置的该形体尺寸),但还是按保护该窗口的质量的方式来加以构造。

[0006] 发明概述

[0007] 通过在 EEPROM 制造过程的早期阶段建立薄隧道效应窗口,来实现以上的目的。目前,该加工装置的该最小的特有尺寸受到可使用照相平版印刷术来制定的该最小尺寸的限制。本发明创建一种薄窗口,该薄窗口的长度或宽度实际上小于该制造过程的这个特有的尺寸。

[0008] 衬底上的栅极氧化层上的氮化物掩膜被用来首先为 EEPROM 存储单元创建自校准源极区域和漏极区域。该氮化物掩膜保护将会存在于源极电极与漏极电极之间的该未来沟道。在形成源极和漏极之后,淀积第二氮化层,其中,氮化物隔离物被制作在该氮化物掩膜的任何一侧上,并被蚀刻到其长度将是该隧道氧化物的该尺寸的所需尺寸。在该氮化物掩膜的一侧上除去栅极氧化物,以便这一侧上的该虚拟隔离物可以接近该衬底。这个虚拟隔离物除了限定该未来沟道氧化物窗口的长度以外,没有用途。该隔离物的尺寸小于可以通过石版印刷术来制定的尺寸(通常是一微米的几分之一)。该氮化物的各条侧边上的补充氧化沉积物在一种槽沟内形成其内有这些氮化物隔离物的氧化物槽。当通过蚀刻过程来除去氮化物时,该槽是空的。利用蚀刻狭窄槽或槽沟的能力,可以建立将在这个空间内形成的该薄窗口的这个小尺寸,而不是依靠照相平版印刷术中的摄影分辨率。一旦除去该氮化物隔离物,就跨越该单元的那个边缘而应用薄隧道氧化层。

[0009] 在按对称的关系同时形成两个单元的情况下,该薄氧化物可以延伸越过该单元的那个边缘,跨越邻接单元的那个边缘,并进入以前由该邻接单元内的虚拟隔离物占据的区域。延伸跨越两个单元的这种薄氧化条不会干涉这两个单元的剩余部分的形成。例如,多晶第一层跨越每个单元而淀积,并且被加以回蚀刻,以形成浮动栅极。可以随意地在该多晶第一浮动栅极的各条边缘处形成真实的氮化物隔离物。氧化物和聚乙烯二的随后的各层完成该单元结构。应该注意,这些真实的氮化物隔离物不在与这些以前的虚拟隔离物(它们一直不属于蚀刻)相同的位置。这些任意的真实隔离物保留在适当的位置,从而保护该多晶第一浮动栅极的各条边缘不会经历进入或出自该浮动栅极的横向可移动电子或离子迁移。

[0010] 可以使用所选择的各个层和步骤(例如,关于源极和漏极形成的注入步骤、氮化物排除之后的氧化物淀积步骤)来同时制作选择晶体管和 EEPROM 结构。该氧化物淀积为该选择晶体管形成栅极氧化物,但为这些 EEPROM 装置形成聚乙烯间的氧化物。该氧化物淀积之后是多晶第二层淀积。现在用通常的方法来完成该选择晶体管和 EEPROM 晶体管。

[0011] 附图简述

[0012] 图 1-18 是该装置制造过程的渐进步骤中的本发明的 CMOS 存储装置的侧视图。

[0013] 图 19-23 是该装置制造过程的渐进步骤中的、与图 1-18 中所示的装置类似的横向对称的 CMOS 存储装置的侧视图。

[0014] 图 24 是如图 23 中的横向对称 CMOS 装置的侧视图,这些对称 CMOS 装置具有横向感测晶体管,从而形成一对存储单元。

[0015] 图 25 是图 24 所示的单一存储单元的俯视图,图 24 是沿图 25 中的线 A-A' 取得。

[0016] 图 26 是沿线 B-B' 截得的图 25 中的存储单元的剖面图。

[0017] 图 27 是沿线 C-C' 截得的图 25 中的存储单元的剖面图。

[0018] 执行本发明的最佳模式

[0019] 参照图 1, 衬底 11 可能属于任何一种导电型 (例如, p 型)。该衬底具有场氧化物区域 13, 场氧化物区域 13 形成限定该装置的有源区的隔离阻碍。示出了半凹陷的二氧化硅局部扩散 LOCOS 结构, 但可以结合或替换其他的隔离和技术 (包括注入区)。

[0020] 图 2 中, 将二氧化硅层 15 热生长在衬底 11 的表面的这些有源区上, 达到近似 350 Å 的厚度, 从而形成栅极氧化层。该层完全跨越该衬底而延伸, 从而接触场氧化物区域 13。

[0021] 从图 3 中可见, 氮化层 17 淀积在这些有源区内的栅极氧化层 15 上, 达到 1500 Å 的典型厚度。该氮化层可以通过化学气相沉积来生长, 并跨越该装置而延伸, 从而覆盖氧化层 15 并接触场氧化物隔离区域 13。

[0022] 在图 4 中, 氮化层 17 被加以蚀刻, 以留出氮化物注入掩膜 19, 从而保护将成为该存储晶体管的那个沟道的衬底 11 中的区域。可以通过湿化学蚀刻的方法, 来执行该氮化物的蚀刻。

[0023] 在图 5 中, 箭头 I 表示关于掩埋注入物的离子注入。氮化物掩膜 19 阻止离子进入直接在下面的沟道区, 但离子沿分别形成掩埋注入区 21 和 23 的氮化物掩膜 19 的各个侧边而经过。在离子注入之后, 按 700°C 的温度来退火该装置, 以消除该分层结构中的小的结晶缺点和压力。

[0024] 在图 6 中, 保护层 14 保护氧化层 15 的左侧, 而从延伸到场氧化物 13 的氮化物掩膜层 19 的右边缘那里除去氧化层 15 的区域 25。可以通过反应性离子蚀刻来除去区域 25——只有该氧化物在正被除去的该氮化物掩膜的一侧上。然后, 除去保护层 14。

[0025] 在图 7 中, 非常薄的氧化层 30 (近似 80 Å) 被淀积在被除去的区域 25 内的衬底 11 上。通过化学气相沉积而淀积的这个很薄的氧化层也可能存在于该晶片上的其他地方, 但在别处无意义。

[0026] 在图 8 中, 第二氮化层 27 跨越该装置而淀积, 从而覆盖对立边缘处的场氧化物区域 13。该第二氮化层的厚度近似是 1,500 Å。随后, 如图 9 中所见, 该氮化层被蚀刻, 以留出氮化物掩膜 19 的任何一侧上的虚拟氮化物隔离物 31 和 33。隔离物 31 的尺寸限定未来隧道氧化物区域的尺寸。隔离物 31 和 33 看起来类似于晶体管的该栅的对立侧边上所使用的隔离物, 但这些隔离物薄得多, 并且随后将会损耗, 所以被称作“虚拟”隔离物。注意, 虚拟隔离物 31 驻留在以前淀积在通过反应性离子蚀刻而创建的该空间内的那个薄氧化层顶上。虚拟隔离物 31 的覆盖区对应于随后将被创建的隧道氧化物窗口的那个尺寸。

[0027] 如图 10 所示, 热氧化层 37 被淀积在这些氮化层以外。该热氧化层的厚度近似是 350 Å。该层的用途是使该氮化物掩膜的右侧上的氧化物变厚, 从而形成虚拟隔离物 31 驻留于其中的“槽 (nest)”。

[0028] 从图 11 中可见, 这些氮化层被除去。使热氧化层 37 变薄的简短的氧化物蚀刻之后是除去氮化物掩膜 19 以及虚拟氮化物隔离物 31 和 33 的湿氮化物蚀刻。

[0029] 在图 11 中, 薄氧化层 30 保留在漏极 23 上面的开区域 25 内。在除去该氮化物之后, 栅极氧化层 15 也保持完整无缺。

[0030] 在图 12 中,可见,在湿氧化物蚀刻中,除去薄氧化层 30;然后,在图 13 中,生长隧道氧化层 40,达到近似 70 \AA 的厚度。区域 25 内的该隧道氧化层被称作“直接在注入物 23 上的隧道氧化物窗口”。注意已如何在不采用照相平版印刷术的条件下形成这个窗口。该窗口的狭窄的长度小于一埃。已在隔离物 31 以前占据的空间内创建空的隔离槽。

[0031] 在图 14 中,第一有导电多晶硅层 41 被淀积在氧化层 15 上,从而形成多晶第一层 (poly-one layer)。该层的一个部分朝向该衬底降下,并接触占据该隔离槽的漏极 23 上的薄氧化物窗口 40。凹陷区 43 将把关于电子的路径变成该多晶第一层的上部 (即该浮动栅极)。

[0032] 在图 15 中,可见,多晶第一层 41 和下面的氧化层 15 被蚀刻,以便该氧化物的各个部分分别在注入区 21 和 23 上延伸。通过出现在多晶硅栅 41 的凹陷区 43 内的该隧道氧化物窗口,电荷可以在进一步注入之后从注入区那里流动,以成为漏极电极。

[0033] 在图 16 中,任选的氮化物隔离物 51 和 53 可以被淀积在多晶硅栅 41 的任何一侧上。这类隔离物的形成已知,并且,这些隔离物用于限制或阻止多个离子或迷失的电荷通过其各个侧边而进入该多晶第一浮动栅极。典型厚度为 350 \AA 的 ONO 或层间多晶 (interpoly) 电介质层被置于该多晶第一层上。

[0034] 在图 17 中,可见,被称作“控制多晶第一、多晶第二层 57”的第二导电多晶硅层淀积在该层间多晶电介质层、层 55 以及氮化物隔离物 51 和 53 上。多晶第二层 57 是平行的,并且与多晶第一层 41 隔开。在图 18 中,上层 55 和 57 被蚀刻,从而留出层 41 上的多晶第二层 57。任选的氮化物隔离物 51 和 53 保留为用于该多晶第一层及其下面的氧化层的保护性屏障。可以将该 ONO 层用作自校准工具,来制作源极注入物和漏极注入物 22、24。源极注入物和漏极注入物 22、24 具有比注入物 21 和 23 更大的掺杂浓度和能量。另外的氮化物隔离物 52 和 54 随意地保护多晶第二层 57。

[0035] 图 19 中示出相同种类和传导新的一对对称的 CMOS 装置的形成。如在原先实施例中,准备衬底。注意,该原先实施例的几个步骤被结合成单一步骤。在图 19 中,氧化层 115 被淀积在掺杂质的衬底 111 上。接下来,氮化层被淀积在该氧化层上——该氧化层和氮化层具有与该原先实施例中先前所描述的相同的厚度。该氮化层被蚀刻,以制作氮化物掩膜 118 和 119,它们用于:使用关于自校准的氮化物掩膜 118 和 119,来保护通过离子注入而形成源极 121 和漏极 123 之后的该沟道区域。

[0036] 在图 20 中,通过从氮化物掩膜 118 和 119 的外部横向边缘那里进行蚀刻,来除去氧化物。一旦从层 115 那里除去氧化物,就再生薄氧化层,达到近似 80 \AA 的厚度,从而对应于图 7 所示的生长物。原始氧化层 115 挺直地存在于漏极 123 和该漏极的两侧上的这些沟道区域上。接下来,第二氮化层被淀积在这整个有源区上,但随后被回蚀刻,以限定图 21 中所见的隔离物 131、132、134 和 135。这些是以前参照图 9 而描述的那些虚拟隔离物。如以前参照图 10 而描述的,热氧化层被淀积在这些源极上,然后被回蚀刻,从而留出源极 121 上的近似 350 \AA 的氧化层。接下来,如图 22 中所见,所有氮化物被除去,并且,这些隔离物底下的该薄氧化物用开口 136 和 137 内的隧道氧化层来取代,从而对应于以上图 11-13 中的说明。

[0037] 在图 23 中,第一多晶硅层被淀积在该氧化物上,并被回蚀刻,以形成浮动栅极 141 和 142。这些浮动栅极具有与直接在注入区 121 上的该薄隧道氧化物相接触的凹陷区 143

和 144。这允许进一步掺杂之后从这些源极区域进入这些浮动栅极的电子传递,以制作源极和漏极。

[0038] 从图 24 中可见,完成的一对选择晶体管 175 和 176 关于浮动栅极 143 和 144 而对称。每个浮动栅极被绝缘层 153(通常是 ONO “氧氮氧”(oxy-nitride-oxy))覆盖,绝缘层 153 又被氧化层 155 覆盖,随后是第二多晶硅层 156,从而形成该多晶第二层 (poly-two layer)。相同的多晶硅层为氧化层 157 上的选择晶体管 175 形成电极 161。该浮动栅极晶体管上的导电层 159 使得能够进行一组类似的存储单元的清除或编程。同样,驻留在氧化层 157 上的选择晶体管 175 的多晶第二层 161 使得能够进行该关联的存储单元晶体管的清除或编程。多晶第二层 161 上的金属层 174 提供与一组选择晶体管的沟通。触点 163 可以被置于晶体管对的边缘处,作为关于该选择晶体管的电极,从而与该选择晶体管的该源极或漏极进行沟通。如果金属层 159 是字线,则触点 163 可以是位线。

[0039] 在图 25 中,在具有线 201-211 的顶视图中示出各种区域,线 201-211 对应于图 24 中的左手侧存储晶体管内的类似的虚线。各对线 201 和 202 指出接触区 163。线 203 和 204 对应于导电层 161 的对立边缘。如粗线 214 和 215 所做的那样,黑线 212 和 213 限定该有源区的边界。线 205 指出该左手侧晶体管内的源极 121 的近似开端。各对线 206 和 210 指出该多晶第一层的范围。各对线 207 和 208 指出该隧道氧化物的长度。线 208 和 209 对应于导电电极 159 的范围。线 210 指出该多晶第一层的最右端,而线 211 指出该薄氧化物的最右边的范围。

[0040] 在图 26 中,可以看见这些选择晶体管的构造。这个部分中不可见的源极区域和漏极区域被建立在衬底中,该衬底在场氧化物区域 313 与 315 之间具有抗击穿 (ATP) 层。这些场氧化物区域形成该选择晶体管的边界。在该衬底上是在图 24 中也可见的厚氧化层 157。该氧化层上是穿过该晶体管顶部并存在于图 25 中的线 203 与 204 之间的多晶第二层 161。注意,多晶第一不被用于该选择晶体管中。

[0041] 在图 27 中,可以在包围该装置的场氧化物区域 13 之间看见该存储单元晶体管、多晶第一层 143 的选择。在与图 26 中的氧化层 157 相同的时间制造的氧化层 155 驻留在多晶第一层 143 上。多晶第二层 159 在该厚氧化层上,并可能在图 14 中看见。虽然图 26 和 27 表现了一对场氧化物区域之间的装置配置,但是,构造类似地延伸到右边和左边,从而涉及一批类似的装置中的其他装置。存储器芯片通常涉及大批单元,这些单元是位数宽乘以字数长。由于氧化层 151 和 157 相对较厚,因此,多晶第二控制栅上可能会出现大电压(例如,12 伏特),而通常电荷的多晶第一存储采用小得多的电压。

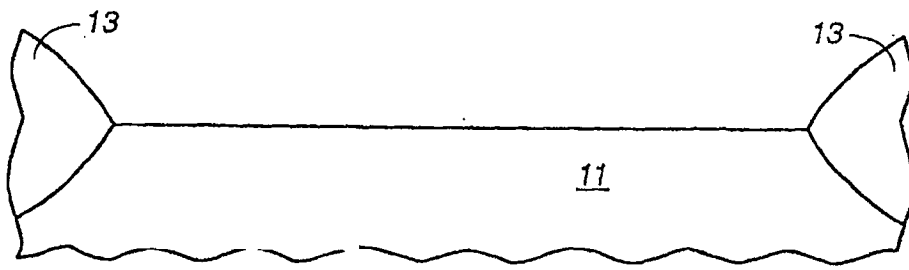


图 1

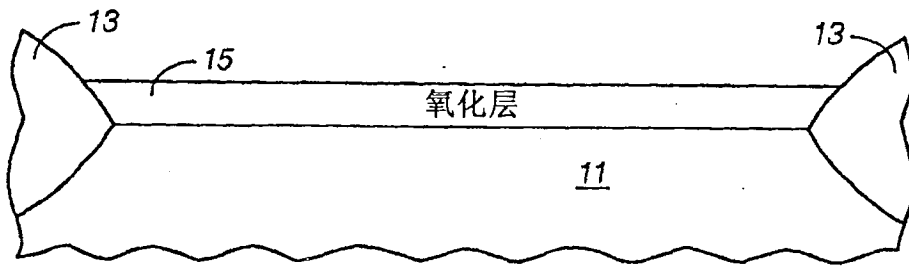


图 2

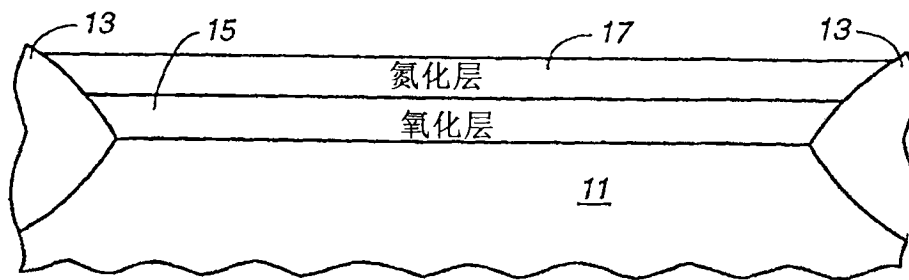


图 3

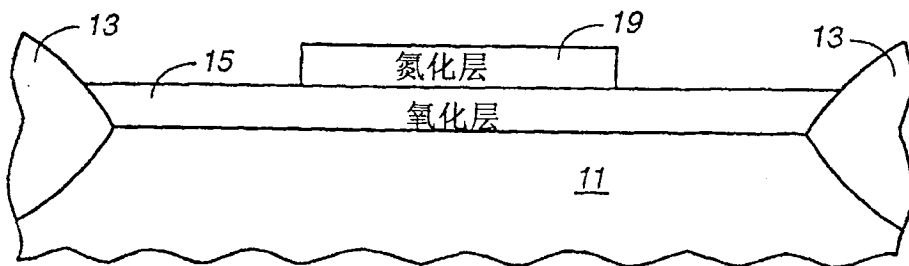


图 4

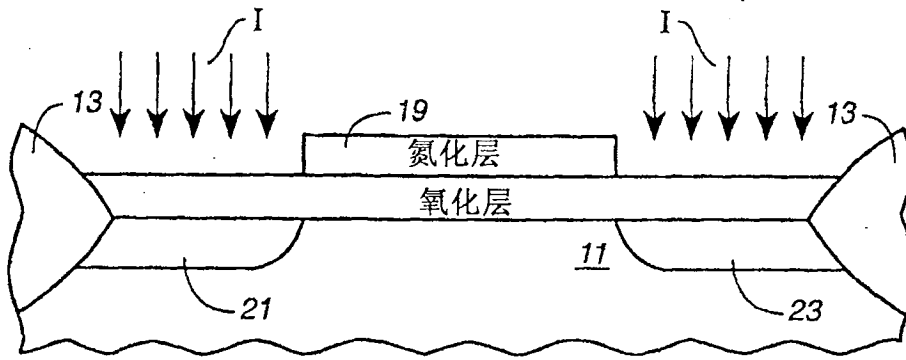


图 5

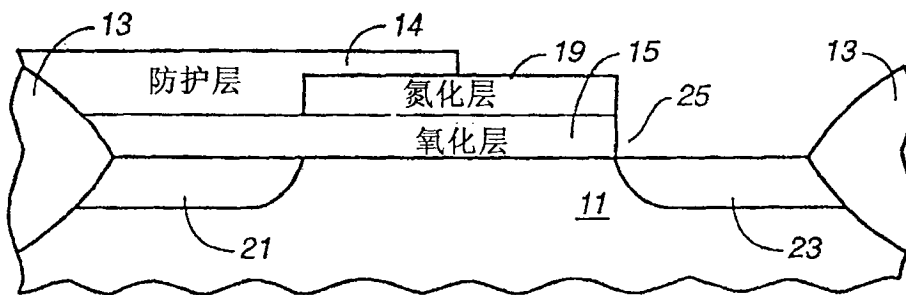


图 6

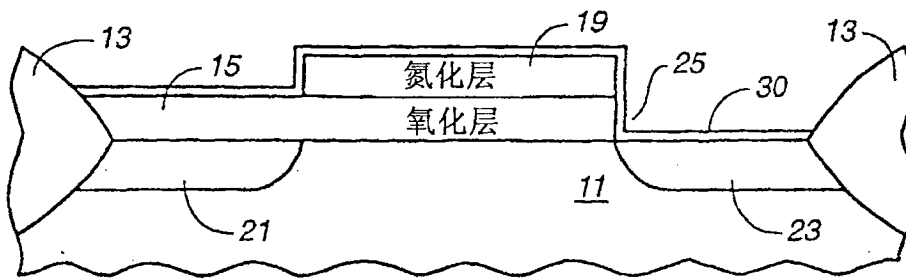


图 7

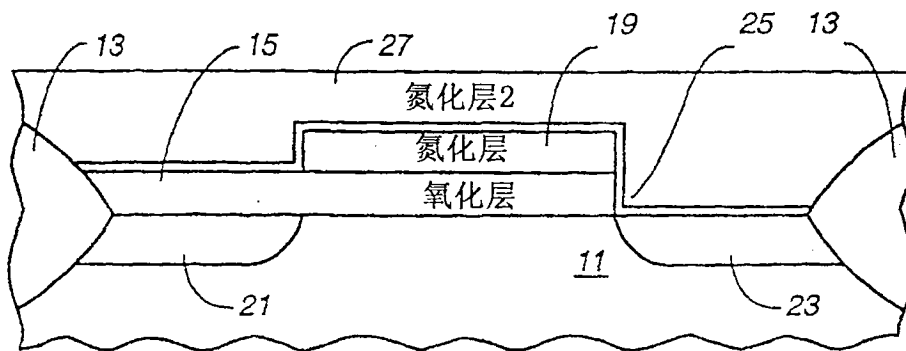


图 8

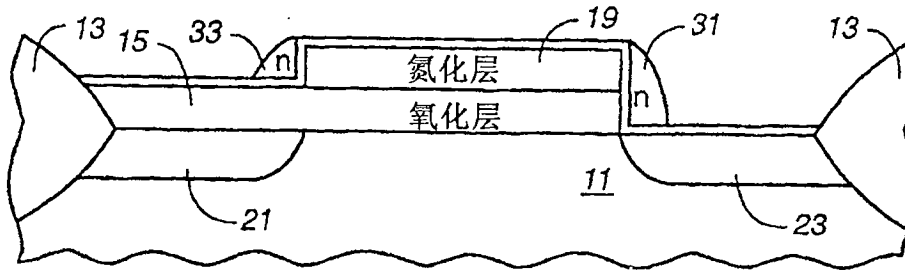


图 9

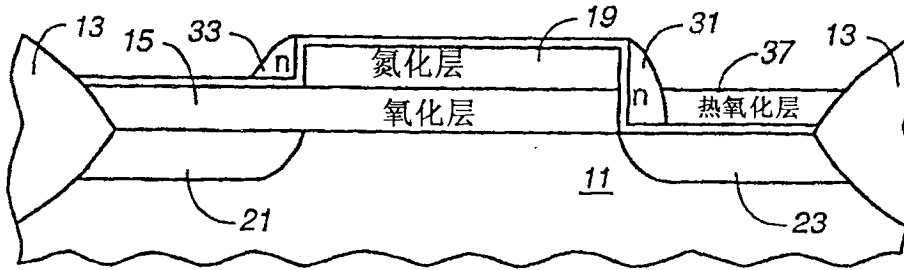


图 10

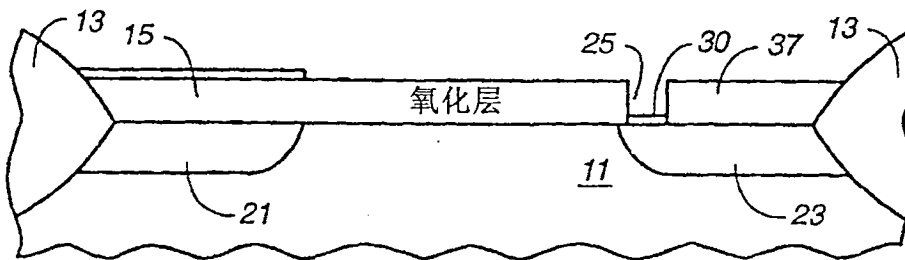


图 11

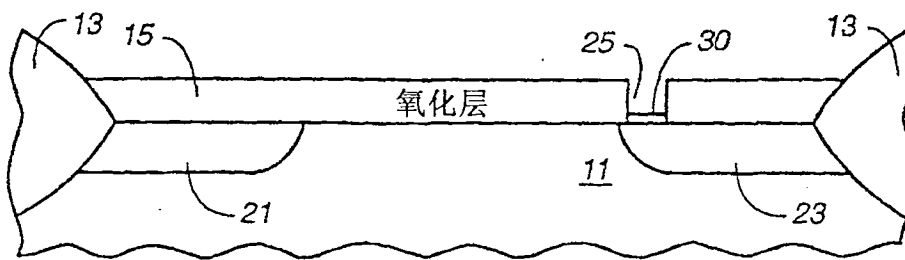


图 12

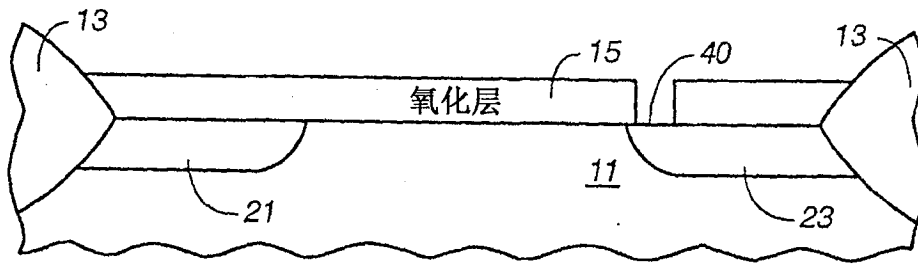


图 13

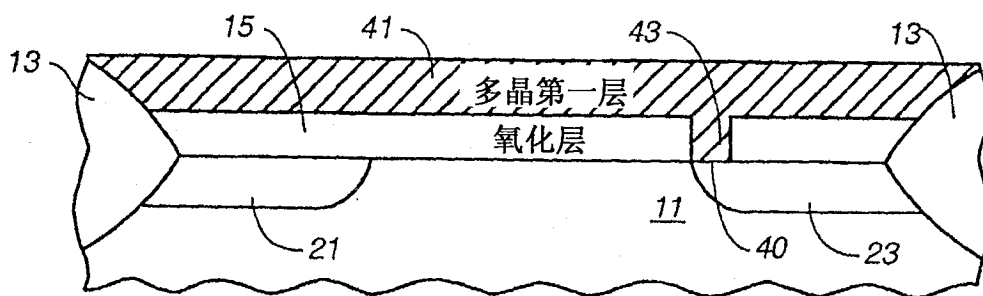


图 14

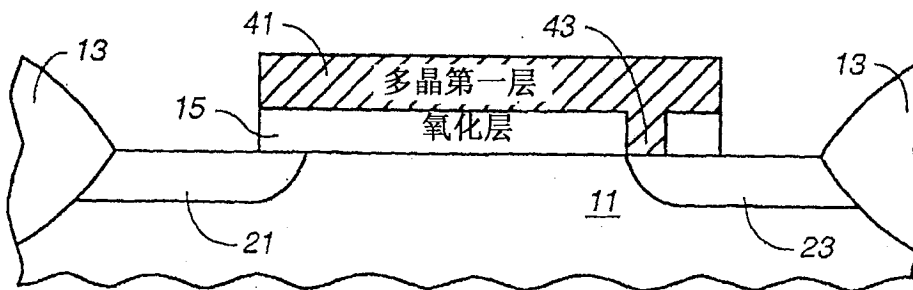


图 15

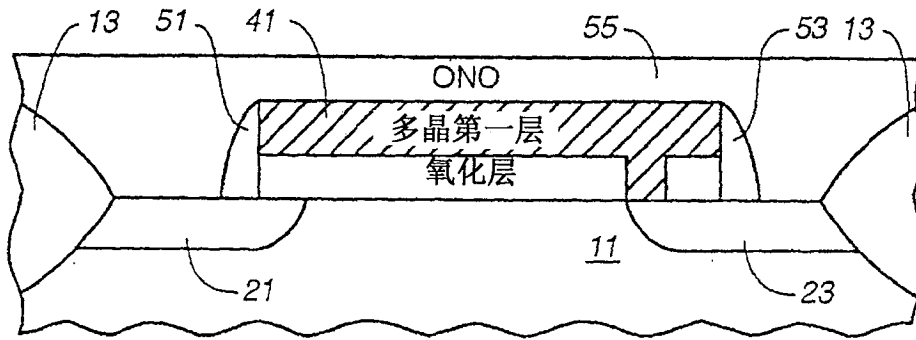


图 16

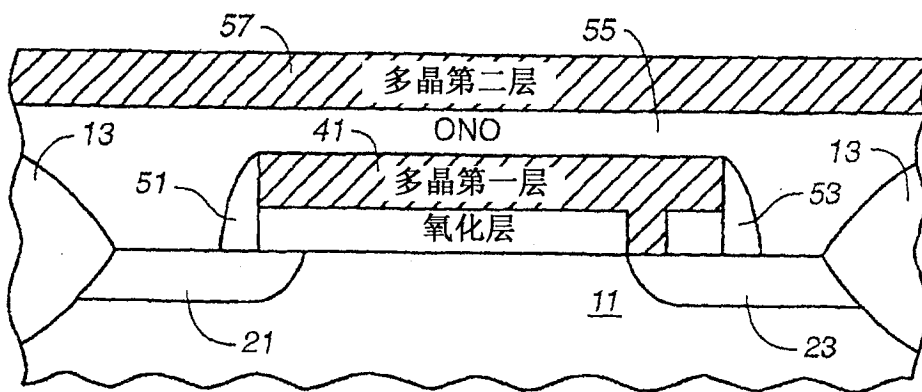


图 17

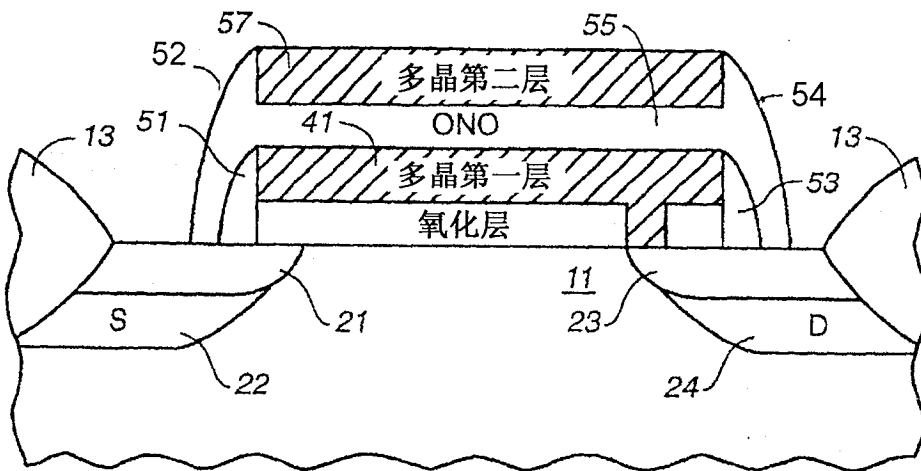


图 18

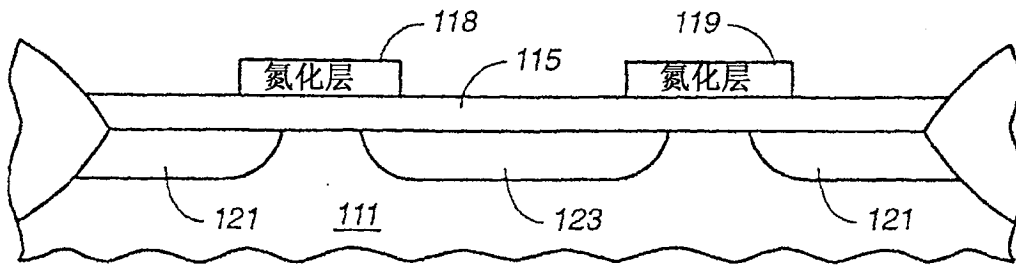


图 19

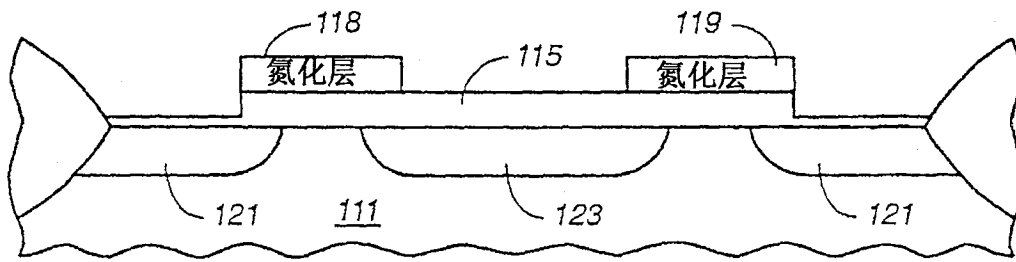


图 20

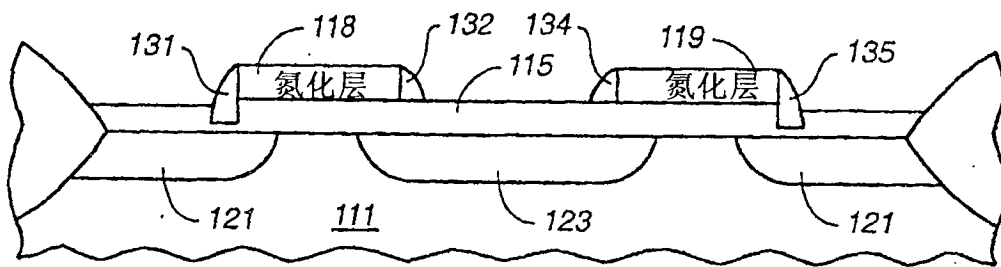


图 21

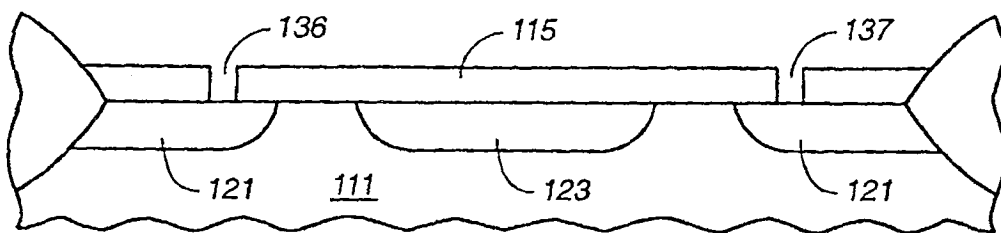


图 22

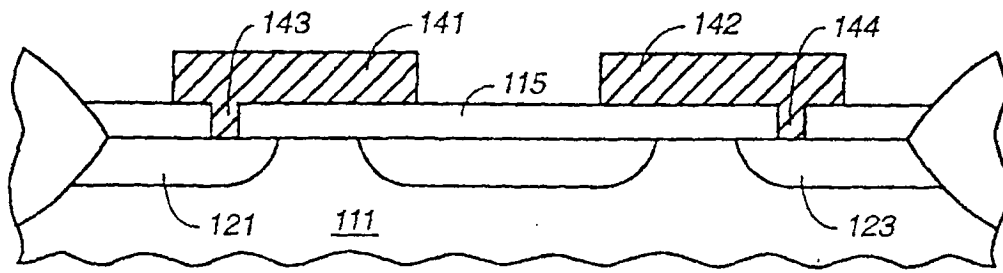


图 23

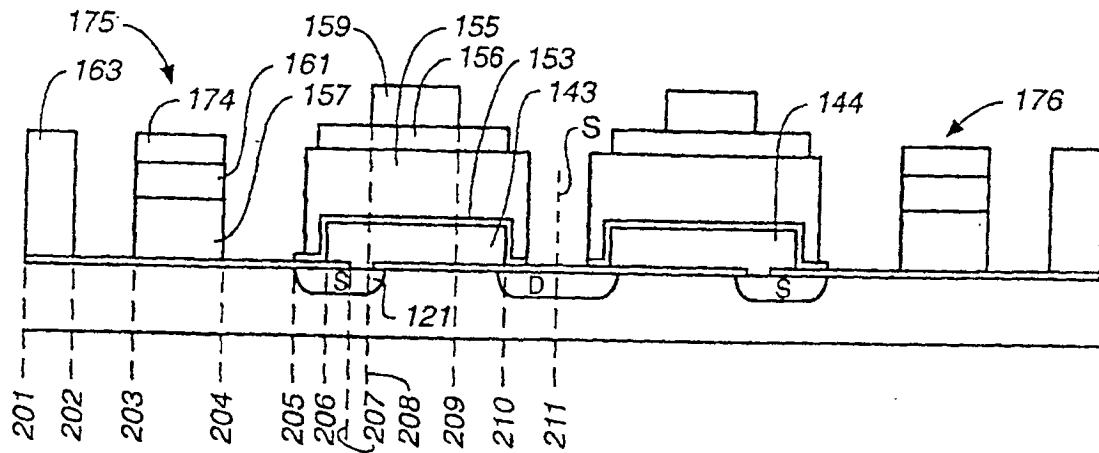


图 24

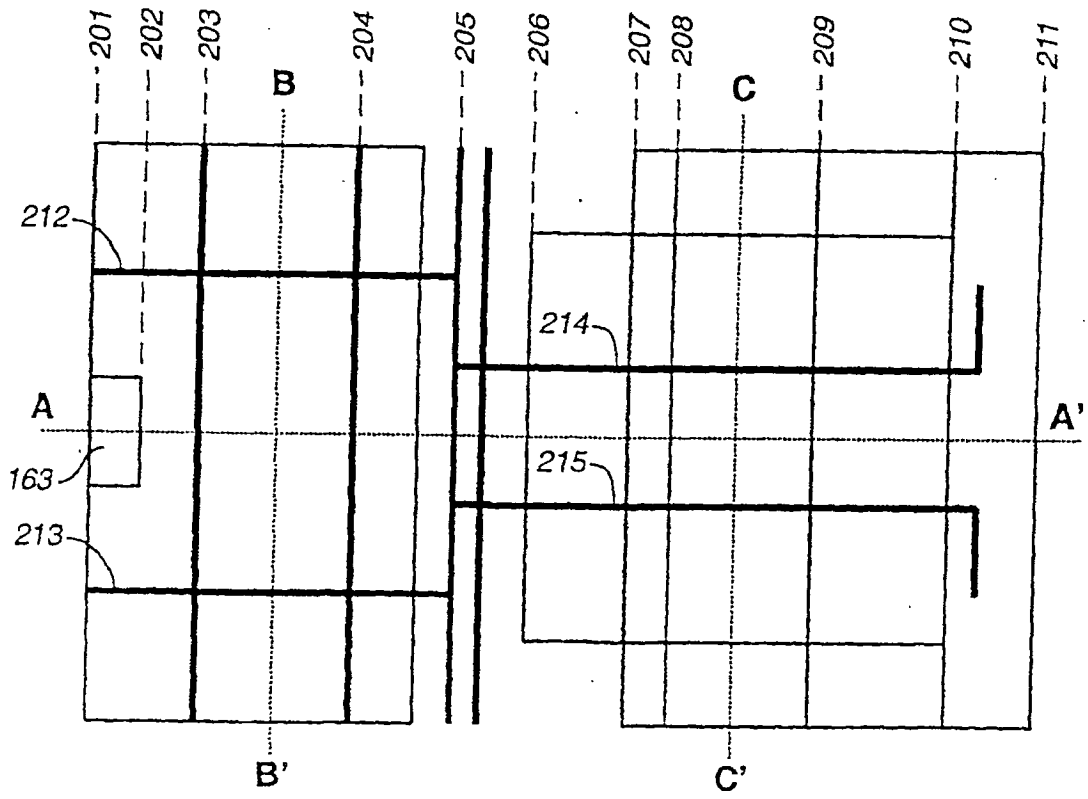


图 25

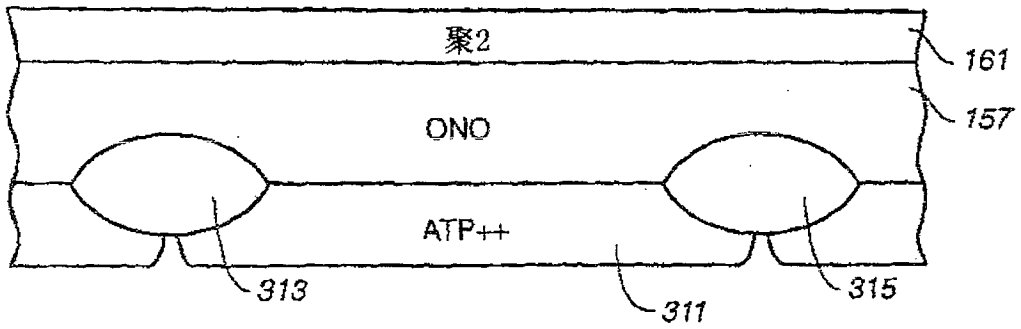


图 26

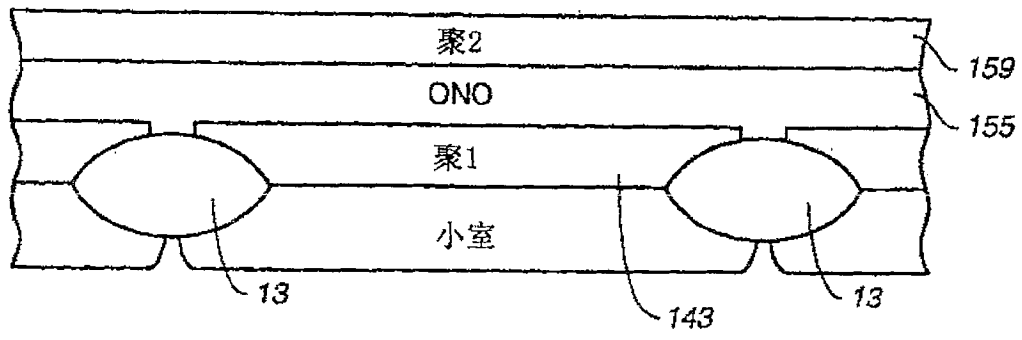


图 27