

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成30年9月20日(2018.9.20)

【公開番号】特開2016-164967(P2016-164967A)

【公開日】平成28年9月8日(2016.9.8)

【年通号数】公開・登録公報2016-054

【出願番号】特願2015-194572(P2015-194572)

【国際特許分類】

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/092 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 29/06 (2006.01)

【 F I 】

H 0 1 L 27/08 3 2 1 B

H 0 1 L 27/06 3 1 1 C

H 0 1 L 29/78 3 0 1 S

H 0 1 L 29/06 3 0 1 D

【手続補正書】

【提出日】平成30年8月7日(2018.8.7)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

N 型半導体基板に設けられた第 1 の P 型ウェル領域内に形成された、  
 第 1 のゲート絶縁膜と、  
 多結晶シリコンを含む第 1 のゲート電極と、  
 N 型の高濃度不純物領域を含む、第 1 の N 型高濃度ドレイン領域及び第 1 の N 型高濃度ソース領域と、  
 前記ゲート電極と、前記第 1 の N 型高濃度ドレイン領域及び前記第 1 の N 型高濃度ソース領域の間に形成された第 1 の N 型低濃度ドレイン領域及び第 1 の N 型低濃度ソース領域と、  
 を有する第 1 の N チャネル型 MOS トランジスタと、  
 前記第 1 の P 型ウェル領域とは別の領域に前記第 1 の P 型ウェル領域と接して設けられた N 型ウェル領域内に形成された、  
 第 2 のゲート絶縁膜と、  
 多結晶シリコンを含む第 2 のゲート電極と、  
 P 型の高濃度不純物領域を含む、P 型高濃度ドレイン領域及び P 型高濃度ソース領域と、  
 前記第 2 のゲート電極と、前記 P 型高濃度ドレイン領域及び前記 P 型高濃度ソース領域の間に形成された P 型低濃度ドレイン領域及び P 型低濃度ソース領域と、  
 を有する P チャネル型 MOS トランジスタと、  
 前記第 1 の P 型ウェル領域とは接していない、第 2 の P 型ウェル領域内に形成された、  
 第 3 のゲート絶縁膜と、

多結晶シリコンを含む第3のゲート電極と、

N型の高濃度不純物領域を含む、第2のN型高濃度ドレイン領域及び第2のN型高濃度ソース領域と、

前記第3のゲート電極と、前記第2のN型高濃度ドレイン領域及び前記第2のN型高濃度ソース領域の間に配置された第2のN型低濃度ドレイン領域及び第2のN型低濃度ソース領域と、

前記第2のN型低濃度ドレイン領域及び前記第2のN型低濃度ソース領域上に配置された前記第3のゲート絶縁膜より厚い第1の絶縁膜と、

前記第2のN型低濃度ドレイン領域の一部を含む領域と前記第2のN型高濃度ドレイン領域の下方に、深さは前記第2のP型ウェル領域よりも浅く形成された第1のN型低濃度不純物領域と、

を有する第2のNチャネル型MOSトランジスタと、

前記第1のP型ウェル領域とは接していない、第3のP型ウェル領域内に形成された、第4のゲート絶縁膜と、

多結晶シリコンを含む第4のゲート電極と、

N型の高濃度不純物領域を含む、第3のN型高濃度ドレイン領域及び第3のN型高濃度ソース領域と、

前記第4のゲート電極と、前記第3のN型高濃度ドレイン領域及び前記第3のN型高濃度ソース領域の間に配置された第3のN型低濃度ドレイン領域及び第3のN型低濃度ソース領域と、

前記第3のN型低濃度ドレイン領域及び前記第3のN型低濃度ソース領域上に配置された前記第4のゲート絶縁膜より厚い第2の絶縁膜と、

前記第3のN型低濃度ドレイン領域の一部を含む領域と前記第3のN型高濃度ドレイン領域の下方に形成された第2のN型低濃度不純物領域と、

を有する第3のNチャネル型MOSトランジスタと、を備え、

前記第3のNチャネル型MOSトランジスタは、前記第3のN型高濃度ドレイン領域が電源端子に接続され、前記第3のN型高濃度ソース領域がグラウンド端子に接続されたESD保護素子であることを特徴とする半導体集積回路装置。

【請求項2】

前記第2のN型低濃度不純物領域は、深さが前記第3のP型ウェル領域よりも浅く形成されていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】

前記第2のN型低濃度不純物領域は、前記第3のP型ウェル領域と隣接し、底面が前記N型半導体基板に接して形成されていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項4】

前記第2のP型ウェル領域における前記第1のN型低濃度不純物領域の下の領域の不純物濃度は、前記第1のP型ウェル領域の不純物濃度よりも低く、

前記第2のP型ウェル領域における前記第1のN型低濃度不純物領域の下以外の領域の不純物濃度は、前記第1のP型ウェル領域の不純物濃度と略同一であることを特徴とする請求項3記載の半導体集積回路装置。

【請求項5】

前記第1のN型低濃度不純物領域を構成する不純物の拡散係数が、前記2のP型ウェル領域を構成する不純物の拡散係数よりも低いことを特徴とする請求項1乃至4のいずれか1項に記載の半導体集積回路装置。

【請求項6】

前記N型半導体基板は、 $3 \times 10^{14} / \text{cm}^3$ から $8 \times 10^{14} / \text{cm}^3$ の不純物濃度のリンを含み、

前記第1のP型ウェル領域は、 $8 \times 10^{15} / \text{cm}^3$ から $4 \times 10^{16} / \text{cm}^3$ の不純物濃度のホウ素もしくはBF<sub>2</sub>を含み、前記N型半導体基板の表面より7 μmから10 μmまでの深

さを有し、

前記N型ウェル領域は、 $8 \times 10^{15} / \text{cm}^3$ から $4 \times 10^{16} / \text{cm}^3$ の不純物濃度のリンを含み、半導体基板表面より $7 \mu\text{m}$ から $10 \mu\text{m}$ の深さを有し、

前記第1のN型低濃度不純物領域は、 $2 \times 10^{16} / \text{cm}^3$ から $2 \times 10^{17} / \text{cm}^3$ の不純物濃度の砒素を含み、半導体基板表面より $2 \mu\text{m}$ から $3.5 \mu\text{m}$ の深さを有していることを特徴とする請求項1乃至5のいずれか1項に記載の半導体集積回路装置。

【請求項7】

前記第1のNチャネル型MOSトランジスタの最小ゲート長が、 $1.0 \mu\text{m}$ であることを特徴とする、請求項1乃至6のいずれか1項に記載の半導体集積回路装置。

【請求項8】

前記第1のNチャネル型MOSトランジスタの最大動作電圧及び半導体集積回路装置の出力電圧が、 $12\text{V}$ 以下であることを特徴とする、請求項7記載の半導体集積回路装置。

【請求項9】

前記第1のP型ウェル領域が、 $5 \times 10^{16} / \text{cm}^3$ から $2 \times 10^{17} / \text{cm}^3$ の不純物濃度のホウ素もしくは $\text{BF}_2$ を含むことを特徴とする請求項4記載の半導体集積回路装置。

【請求項10】

前記第1のNチャネル型MOSトランジスタの最小ゲート長が、 $0.5 \mu\text{m}$ であることを特徴とする、請求項4または9に記載の半導体集積回路装置。

【請求項11】

前記第1のNチャネル型MOSトランジスタの最大動作電圧及び半導体集積回路装置の出力電圧が、 $6\text{V}$ 以下であることを特徴とする、請求項10記載の半導体集積回路装置。

【請求項12】

第1のNチャネル型MOSトランジスタとPチャネル型MOSトランジスタと第2のNチャネル型MOSトランジスタとを含む半導体集積回路装置の製造方法であって、

N型半導体基板上に、第1のシリコン酸化膜及び第1のシリコン窒化膜を積層し、N型ウェル層形成予定領域の前記第1のシリコン窒化膜を開口して第1のシリコン窒化膜開口部を形成し、リンを含むN型不純物をイオン注入法により注入する、N型ウェル層形成工程と、

前記第1のシリコン窒化膜開口部に第1のシリコン熱酸化膜を形成し、前記第1のシリコン窒化膜を除去した、前記N型ウェル層形成予定領域以外の領域に、ホウ素もしくは $\text{BF}_2$ を含むP型不純物をイオン注入法によりセルフアラインに注入する、第1のP型ウェル層形成工程と、

前記第2のNチャネル型MOSトランジスタのN型低濃度不純物層形成予定領域に、砒素を含むN型不純物をイオン注入法により注入する、第2のNチャネル型MOSトランジスタのN型低濃度不純物層形成工程と、

熱処理により、前記N型ウェル層と、前記第1のP型ウェル層と、前記第2のNチャネル型MOSトランジスタのN型低濃度不純物層とを同時に拡散させる、ウェル拡散工程と、

第2のシリコン酸化膜及び第2のシリコン窒化膜を積層し、前記第2のNチャネル型MOSトランジスタのN型低濃度ドレイン/ソース形成予定領域の前記第2のシリコン窒化膜を開口して第2のシリコン窒化膜開口部を形成し、リンを含むN型不純物をイオン注入法により注入する、第2のNチャネル型MOSトランジスタのN型低濃度ドレイン/ソース形成工程と、

前記第2のシリコン窒化膜開口部の前記第2のNチャネル型MOSトランジスタのN型低濃度ドレイン/ソース上に第2のシリコン熱酸化膜を形成する、前記第2のNチャネル型MOSトランジスタのゲート/ドレイン間電界緩和絶縁膜形成工程と、

前記第1のNチャネル型MOSトランジスタ、前記Pチャネル型MOSトランジスタ及び前記第2のNチャネル型MOSトランジスタのゲート絶縁膜を形成するゲート絶縁膜形成工程と、

前記ゲート絶縁膜の上にゲート電極を形成するゲート電極形成工程と、

前記第1のNチャネル型MOSトランジスタのドレイン/ソース形成予定領域にリンを含むN型不純物をイオン注入法により注入する、第1の第1のNチャネル型MOSトランジスタのN型低濃度ドレイン/ソース形成工程と、

前記Pチャネル型MOSトランジスタのドレイン/ソース形成予定領域にホウ素もしくは $\text{BF}_2$ を含むP型不純物をイオン注入法により注入する、P型低濃度ドレイン/ソース形成工程と、

前記第1のNチャネル型MOSトランジスタ及び前記第2のNチャネル型MOSトランジスタの高濃度ドレイン/ソース形成予定領域に、砒素を含むN型不純物層をそれぞれ形成し、前記Pチャネル型MOSトランジスタの高濃度ドレイン/ソース形成予定領域に $\text{BF}_2$ を含むP型不純物層を形成する、高濃度ドレイン/ソース層形成工程と、  
を有する半導体集積回路装置の製造方法。

【請求項13】

第1のNチャネル型MOSトランジスタとPチャネル型MOSトランジスタと第2のNチャネル型MOSトランジスタと第3のNチャネル型MOSトランジスタを含む半導体集積回路装置の製造方法であって、

N型半導体基板上に、第1のシリコン酸化膜及び第1のシリコン窒化膜を積層し、N型ウェル層及び第3のNチャネル型MOSトランジスタのN型低濃度不純物層形成予定領域の前記第1のシリコン窒化膜を開口して第1のシリコン窒化膜開口部を形成し、リンを含むN型不純物をイオン注入法により注入する、N型ウェル層及び第3のNチャネル型MOSトランジスタのN型低濃度不純物層形成工程と、

前記第1のシリコン窒化膜開口部に第1のシリコン熱酸化膜を形成し、前記第1のシリコン窒化膜を除去した、前記N型ウェル層及び第3のNチャネル型MOSトランジスタのN型低濃度不純物層以外の領域に、ホウ素もしくは $\text{BF}_2$ を含むP型不純物をイオン注入法によりセルフアラインに注入する、第1のP型ウェル層形成工程と、

前記第1のシリコン窒化膜を剥離した後に第2のシリコン窒化膜を堆積し、第2のNチャネル型MOSトランジスタのN型低濃度不純物層形成予定領域の前記第2のシリコン窒化膜を開口して第2のシリコン窒化膜開口部を形成し、砒素を含むN型不純物をイオン注入法により注入する、第2のNチャネル型MOSトランジスタのN型低濃度不純物層形成工程と、

前記第2のシリコン窒化膜開口部に第2のシリコン熱酸化膜を形成し、前記第2のシリコン窒化膜を除去した前記N型半導体基板上の前記第2のNチャネル型MOSトランジスタのN型低濃度不純物層形成予定領域、前記N型ウェル層形成予定領域、及び前記第3のNチャネル型MOSトランジスタのN型低濃度不純物層形成予定領域以外の領域に、ホウ素もしくは $\text{BF}_2$ を含むP型不純物をイオン注入法によりセルフアラインに注入する、第2のP型ウェル層形成工程と、

熱処理により、前記N型ウェル層、前記第1のP型ウェル層、前記第2のP型ウェル層、前記第2のNチャネル型MOSトランジスタのN型低濃度不純物層及び前記第3のNチャネル型MOSトランジスタのN型低濃度不純物層とを同時に拡散させる、ウェル拡散工程と、

第3のシリコン酸化膜及び第3のシリコン窒化膜を積層し、前記第2のNチャネル型MOSトランジスタ及び前記第3のNチャネル型MOSトランジスタのN型低濃度ドレイン/ソース形成予定領域の前記第3のシリコン窒化膜を開口して第3のシリコン窒化膜開口部を形成し、リンを含むN型不純物をイオン注入法により注入する、第2のNチャネル型MOSトランジスタ及び第3のNチャネル型MOSトランジスタのN型低濃度ドレイン/ソース形成工程と、

前記第3のシリコン窒化膜開口部の前記第2のNチャネル型MOSトランジスタ及び第3のNチャネル型MOSトランジスタのN型低濃度ドレイン/ソース形成予定領域上に第3のシリコン熱酸化膜を形成する、第2のNチャネル型MOSトランジスタ及び第3のNチャネル型MOSトランジスタのゲート/ドレイン間電界緩和絶縁膜形成工程と、

前記第1のNチャネル型MOSトランジスタ、前記Pチャネル型MOSトランジスタ、

前記第2のNチャネル型MOSトランジスタ及び前記第3のNチャネル型MOSトランジスタのゲート絶縁膜を形成するゲート絶縁膜形成工程と、

前記ゲート絶縁膜の上にゲート電極を形成するゲート電極形成工程と、

前記第1のNチャネル型MOSトランジスタのドレイン/ソース形成予定領域にリンを含むN型不純物をイオン注入法により注入する、第1のNチャネル型MOSトランジスタのN型低濃度ドレイン/ソース形成工程と、

前記Pチャネル型MOSトランジスタのドレイン/ソース形成予定領域にホウ素もしくは $\text{BF}_2$ を含むP型不純物をイオン注入法により注入する、P型低濃度ドレイン/ソース形成工程と、

前記第1のNチャネル型MOSトランジスタ、前記第2のNチャネル型MOSトランジスタ及び前記第3のNチャネル型MOSトランジスタの高濃度ドレイン/ソース形成予定領域に、砒素を含むN型不純物層をそれぞれ形成し、前記Pチャネル型MOSトランジスタの高濃度ドレイン/ソース形成予定領域に $\text{BF}_2$ を含むP型不純物層を形成する、高濃度ドレイン/ソース層形成工程と、

を有する半導体集積回路装置の製造方法。