

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3548237号

(P3548237)

(45) 発行日 平成16年7月28日(2004.7.28)

(24) 登録日 平成16年4月23日(2004.4.23)

(51) Int. Cl.⁷

F I

H O 1 L 21/336

H O 1 L 29/78 6 1 7 S

G O 2 F 1/1368

H O 1 L 29/78 6 1 6 A

H O 1 L 29/786

G O 2 F 1/136 5 0 0

請求項の数 3 (全 17 頁)

(21) 出願番号 特願平6-203588
 (22) 出願日 平成6年8月29日(1994.8.29)
 (65) 公開番号 特開平8-70127
 (43) 公開日 平成8年3月12日(1996.3.12)
 審査請求日 平成10年7月10日(1998.7.10)
 審判番号 不服2001-2792(P2001-2792/J1)
 審判請求日 平成13年2月26日(2001.2.26)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100103296
 弁理士 小池 隆彌
 (74) 代理人 100073667
 弁理士 木下 雅晴
 (72) 発明者 芳之内 淳
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内

合議体

審判長 内野 春喜

審判官 恩田 春香

審判官 河合 章

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ

(57) 【特許請求の範囲】

【請求項1】

ソース領域とドレイン領域とを有する半導体層上に形成されたゲート絶縁膜の上にゲート電極が形成され、該ソース領域とドレイン領域との間の半導体層部分の上のゲート絶縁膜が、一定の60nmから150nmの範囲の膜厚を有する第1部分と、前記ゲート電極下の中央部に該第1部分の膜厚よりも厚い一定の厚膜に形成された第2の膜厚の第2部分とを有し、該第2部分は、ソース領域とドレイン領域とで挟まれているチャンネル領域に部分的にゲート電圧印加による影響を受けにくい領域を形成してなる薄膜トランジスタ。

【請求項2】

前記第2部分が、前記第1部分の1.2倍～8.0倍の膜厚である請求項1に記載の薄膜トランジスタ。

【請求項3】

前記第2部分は、第1の膜厚の絶縁膜と、該第1の膜厚の0.2～7.0倍の膜厚からなる絶縁膜との積層構造からなる請求項2に記載の薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、アクティブマトリックス液晶ディスプレイ等の表示装置に好適に用いられる薄膜トランジスタおよびその製造方法、並びに薄膜トランジスタを用いた液晶表示装置に関する。

【 0 0 0 2 】

【 従来 の 技 術 】

近年、液晶ディスプレイやイメージセンサ等の表示装置に用いられる外部実装駆動回路をディスプレイやイメージセンサ等と同一基板上に作り込むことが行われている。そのために、透明絶縁性基板上に薄膜トランジスタ（以下、TFTと称する。）を作製する必要があるが高まってきている。この場合、大面積のガラス基板を使用することが可能なように、600以下のプロセス温度でTFTの作製を行う必要がある。

【 0 0 0 3 】

一般にTFTの特性は、チャンネルとなる半導体膜の状態と、半導体膜とゲート絶縁膜との界面の状態とに非常に大きく影響され、プロセス温度が高いほど改善される傾向にある。したがって、上述した600以下のプロセス温度では良好な特性を得ることが困難である。特に、アクティブマトリックス液晶ディスプレイにおける絵素部にTFTを用いる場合、逆バイアス時のオフ電流を低く抑える必要があるが、通常のTFT構造ではオフ電流を低減させることが困難である。

10

【 0 0 0 4 】

この理由として、高濃度にドーパされたドレイン領域の端では空乏層領域が狭く高電界がかかり、その結果、空乏層領域のpoly-Siの結晶欠陥準位を介して電流が流れるというモデルが提唱されている（IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. ED-32, NO. 9, SEPTEMBER 1985）。

20

【 0 0 0 5 】

上記の問題点を解決するための具体例としては、一般には以下の3つの構造が知られている。その一つは、特公平3-34669号に開示されている図15に示すようなオフセットゲート構造である。他の一つは、特公平3-38755号に開示されている図16に示すようなLDD（Lightly Doped Drain）構造であり、残る一つは特公平5-44195号や特公平5-44196号に開示されている図17に示すようなデュアルゲート構造（またはマルチゲート構造）である。このような構造とすることにより、ドレイン端にかかる電界を緩和してオフ電流を低減している。

【 0 0 0 6 】

なお、図15のオフセットゲート構造は、基板101の上に半導体層が形成され、更にその半導体層の上に形成されたゲート絶縁膜107の上にゲート電極108が形成されており、上記半導体層がゲート電極108の下方部分をTFTのチャンネル部となる活性層102となし、その両側を不純物が導入されていないオフセット部103となし、更にオフセット部103の外側を不純物が多量に導入されて低抵抗となっているソース/ドレイン領域105となした構成となっている。

30

【 0 0 0 7 】

図16のLDD構造は、基板101上に半導体層が形成され、更にその半導体層の上に形成されたゲート絶縁膜107の上にゲート電極108が形成されており、上記半導体層がゲート電極108の下方部分をTFTのチャンネル部となる活性層102となし、活性層102の両側を不純物が微量に導入されているLDD部104となし、更にLDD部104の外側を不純物が多量に導入されて低抵抗となっているソース/ドレイン領域105となした構成となっている。

40

【 0 0 0 8 】

図17のデュアルゲート構造は、基板101上に半導体層が形成され、更にその半導体層の上に形成されたゲート絶縁膜107の上にゲート電極108が2つ形成されており、上記半導体層が両ゲート電極108の下方部分をTFTのチャンネル部となる活性層102となし、他の部分を不純物が多量に導入されて低抵抗となっているソース/ドレイン領域105となした構成となっている。

【 0 0 0 9 】

【 発 明 が 解 決 し よ う と す る 課 題 】

50

しかしながら、上述した3つの構造においては、以下のような問題があった。上記オフセットゲート構造については、図15に示すように、オフセット部103の長さであるオフセット長 L_{off} が長くなると、オフ電流だけでなくオン電流も極端に低下するので、 L_{off} の長さ変動により素子特性が大きく変化するという問題がある。また、オフセット部103のように不純物のドーピングされていない部分を形成するためにはマスクングが必要であり、そのマスクングのための位置合わせにズレが生じる。つまり、マスクングの方法としては、フォトレジストを用いてフォトリソグラフィーにより形成する方法や絶縁膜をエッチングする方法などがあるが、これらの方法は、自己整合によりマスクングを行うものではないので、位置合わせにズレが生じる。その結果として、TFETの特性にばらつきが生じるという問題がある。更に、マスクングを自己整合的に行う場合は、ゲート電極の側壁にサイドウォールと称される絶縁膜を形成する必要があるが、歩留りの低下とコストアップの原因となる。その理由は、サイドウォールは、通常、絶縁膜を成膜した後、異方性エッチングを行うことにより形成されるので、成膜工程とエッチング工程とが増加するからである。また、サイドウォールを用いて形成されるオフセット長 L_{off} は成膜した絶縁膜の膜厚程度であり、通常300~500nm程度の短いものになってしまうので十分なオフ電流の低減効果が得られない場合がある。そして、更に、このオフセットゲート構造のTFETは、オフセット部103の活性層の抵抗変化が素子特性の変化となって現れるので信頼性が低く、特性劣化が生じる場合が多い。

10

【0010】

また、上記LDD構造においては、信頼性の点では優れているが、マスクングを必要とするので上述のオフセット構造のTFETと同様の問題があり、また、不純物のドーピング濃度が低いLDD領域104を形成するためのドーピング工程を追加する必要があるので、さらに工程が複雑になるという問題がある。

20

【0011】

また、上記デュアルゲート構造においては、多少の効果はあるものの十分にオフ電流を低減できないという問題がある。

【0012】

本発明は、このような従来技術の課題を解決すべくなされたものであり、オフ電流が低く信頼性が高い薄膜トランジスタ、およびその薄膜トランジスタを製造工程を複雑にすることなく作製することができる薄膜トランジスタの製造方法、並びに表示品位が高く信頼性が高い、その薄膜トランジスタを用いた液晶表示装置を提供することを目的とする。

30

【0013】

【課題を解決するための手段】

本発明の薄膜トランジスタは、ソース領域とドレイン領域とを有する半導体層上に形成されたゲート絶縁膜の上にゲート電極が形成され、該ソース領域とドレイン領域との間の半導体層部分の上のゲート絶縁膜が、一定の膜厚の第1部分と、前記ゲート電極下の中央部に該第1部分の膜厚よりも厚い一定の厚膜に形成された第2の膜厚の第2部分とを有し、該第2部分は、ソース領域とドレイン領域とで挟まれているチャンネル領域に部分的にゲート電圧印加による影響を受けにくい領域を形成しており、そのことにより上記目的が達成される。

40

【0014】

本発明の薄膜トランジスタにおいて、前記第2部分が、前記第1部分の1.2倍~8.0倍の膜厚である構成とすることができる。

【0015】

本発明の薄膜トランジスタにおいて、前記第2部分は、第1の膜厚の絶縁膜と、該第1の膜厚の0.2~7.0倍の膜厚からなる絶縁膜との積層構造からなる構成とすることができる。

【0021】

【作用】

本発明においては、ソース領域とドレイン領域とを有する半導体層とゲート電極との間に

50

存在するゲート絶縁膜が、ソース領域とドレイン領域との間の半導体層部分の上で、膜厚の異なる第1部分と第2部分とを有している。よって、ソース領域とドレイン領域とで挟まれているチャンネル領域に部分的にゲート電圧印加による影響を受けにくい領域が形成される。この領域によりソース/ドレイン間に印加された電圧がドレイン端に集中せず分割される。また、この領域で電界が緩和されるので、ソース/ドレイン間にかかる電界の急峻的に高くなる部分の発生が緩和される。従って、逆バイアス側のオフ電流が低減され、かつ、特性劣化の小さいTFTを得ることができる。この効果を十分に得るためには、第2の膜厚を第1の膜厚の1.2倍~8.0倍にするのが望ましい。

【0022】

このような2つの膜厚部分を有するゲート絶縁膜を形成するに際し、第1の膜厚の絶縁膜を形成し、第2部分の形成領域に第1の膜厚の0.2~7.0倍の膜厚を有する絶縁膜を積層して第2部分を積層構造とすると、非常に容易に作製することができる。この場合、第1の膜厚を有する絶縁膜と第1の膜厚の0.2~7.0倍の膜厚を有する絶縁膜との形成順序はいずれを先に行ってもよい。この方法によれば、オフ電流を低くする必要がある部分には本発明のTFTを作製し、同一基板上のオフ電流低減を必要としない部分には従来のTFTを共存させて作製することができる。

10

【0023】

また、半導体層上に第2の膜厚の絶縁膜を形成し、第1部分の形成領域をエッチングして厚みを薄くしても容易に作製することができる。この方法でも、オフ電流を低くする必要がある部分には本発明のTFTを作製し、同一基板上のオフ電流低減を必要としない部分には従来のTFTを共存させて作製することができる。

20

【0024】

このような2つの膜厚部分を有するゲート絶縁膜が形成されたTFTを液晶表示装置の絵素部に形成すると、絵素部TFTのオフ電流を低減することができ、表示画像の保持能力を高めて表示品位を向上させることができる。また、このTFTは信頼性が高いので、液晶表示装置の信頼性も高めることができる。

【0025】

【実施例】

以下に本発明の実施例について、図面を参照しながら説明する。尚、以下の図について同様の機能を有する部分は同じ番号を用いて示した。

30

【0026】

(実施例1)

図1に、本実施例のTFTの概略断面図を示す。このTFTは、基板1上に、間に半導体層3を挟んでゲート絶縁膜7が形成され、そのゲート絶縁膜7の上にゲート電極8が形成されている。上記ゲート絶縁膜7は、ゲート電極8の下部分の中央部を除く領域が第1の膜厚の第1部分6aとなっており、ゲート電極8の下部分の中央部が第1の膜厚の1.2~8.0倍である膜厚の第2部分6bとなっている。

【0027】

上記半導体層3は、ゲート電極8の下部分であって、第2部分6bの下方にチャンネル領域12、第1部分6aの下方にチャンネル領域2を有する。更に、チャンネル領域12、2を挟んで両側には、不純物が高濃度に導入されて低抵抗になっているソース領域5aおよびドレイン領域5bとを有する。

40

【0028】

この構成のTFTは、図2(a)~(c)に示すような製造工程に従って作製することができる。

【0029】

まず、図2(a)に示すように、基板1上に半導体層3を形成する。この基板1としては、例えば石英基板、ガラス基板、または絶縁性膜で被覆されたガラス基板などを用いることができる。半導体層3としては、非晶質シリコン、微結晶シリコン、多結晶シリコン等の半導体膜を用いることができる。また、基板1として単結晶シリコンを用いた場合には

50

半導体層3を形成する必要がなく、その単結晶シリコンをそのまま半導体層として用いることができる。さらに、半導体層は上記材料にゲルマニウム、ニッケル、リン、ボロン、ヒ素等を含有する材料を用いて形成してもよい。

【0030】

上記半導体層3を成膜する場合には、膜厚10nm~200nmの膜をプラズマCVD(Chemical Vapor Deposition)法やLPCVD(Low Pressure CVD)法等の成膜方法により形成することができる。例えば、多結晶シリコン膜は、LPCVD法により基板温度580~650で直接基板上に成膜することができる。また、LPCVD法により基板温度400~600で成膜した非晶質シリコン膜を真空中または不活性ガス中、500~650で6~48時間アニールすると、一層良好な多結晶シリコン膜が得られる。非晶質シリコン膜はプラズマCVD法により形成することができ、原料ガスとしては SiH_4 、 Si_2H_6 を用いる。また、非晶質シリコン膜のアニールは、ランプアニール法やレーザーアニール法で行ってもよい。

10

【0031】

次に、半導体層3の上に絶縁膜を成膜し、エッチングにより島状の絶縁膜60とする。この絶縁膜は、スパッタ法、常圧CVD法、LPCVD法、プラズマCVD法、リモートプラズマCVD法等により成膜することができ、この実施例では、膜厚30~150nmの SiO_2 膜を形成した。その他、窒化シリコン膜、酸化タンタル膜、酸化アルミニウム膜等の絶縁膜を用いてもよい。

【0032】

続いて、図2(b)に示すように、島状の絶縁膜60の上に絶縁膜を成膜して第1部分6aと第1部分6aより膜厚が厚い第2部分6bとを形成する。この場合における絶縁膜の成膜は、スパッタ法、常圧CVD法、LPCVD法、プラズマCVD法、リモートプラズマCVD法等を用いることができ、この実施例では膜厚60~150nmの SiO_2 膜を形成した。原料ガスとしては、 SiH_4 ガスと O_2 ガス、またはTEOS(Tetra-Ethyl-Ortho-Silicate、 $Si(OC_2H_5)_4$)ガスと O_2 ガス等を用いる。その他、窒化シリコン膜、酸化タンタル膜、酸化アルミニウム膜等の絶縁膜を用いてもよい。

20

【0033】

このようにして膜厚の厚い第2部分6bを作製すると、本実施例のTF Tと従来のTF Tとを同様のプロセスで非常に容易に作製することができる。例えば、本実施例のTF Tと従来のTF Tとを同一基板上に作製する場合、第1の膜厚の0.2~7.0倍の膜厚を有する島状絶縁膜60をパターンニングして本実施例のTF Tの第2部分にのみ形成し、第1の膜厚を有する絶縁膜をパターンニングして本実施例のTF Tのゲート絶縁膜形成部分および従来のTF Tのゲート絶縁膜形成部分に形成する。この方法により作製すると、本実施例のTF Tと従来のTF Tとを容易に同一基板上に共存させることができるので、低OFF電流が必要とされる部分には本実施例のTF Tを作製し、低OFF電流が必要とされない部分には従来のTF Tを作製することができる。この場合、第1の膜厚を有する絶縁膜と、第1の膜厚の0.2~7.0倍の膜厚を有する絶縁膜との積層順序は、いずれを先に行ってもよい。以上の説明では第2部分を2層の絶縁膜の積層構造として形成したが、第2の膜厚を有する絶縁膜をゲート絶縁膜形成部分に成膜した後、第1部分の厚みをフォトリソグラフィとエッチングにより薄くしても第1部分6aと第2部分6bとを有するゲート絶縁膜7を形成することができる。この場合でも、第2の膜厚の絶縁膜を本実施例のTF Tの第2部分を残して、第1部分および従来のTF Tのゲート絶縁膜形成部分をエッチングすることにより、本実施例のTF Tおよび従来のTF Tを同一基板上に共存させることができる。

30

40

【0034】

次に、図2(c)に示すように、ゲート電極8を形成した後、自己整合的に不純物イオン100を注入し、半導体層3にソース領域5aおよびドレイン領域5bを形成する。この時、ゲート電極8下の半導体層部分には不純物が注入されないのでチャンネル領域2、12

50

が形成される。この実施例では、不純物イオン100としてリンイオンを用い、エネルギー80~100keVでドーズ量 2×10^{15} ions/cm²の注入を行った。注入後、不純物イオンを活性化して低抵抗化することによりソース領域5aおよびドレイン領域5bを形成した。不純物イオンの活性化は、炉アニール法、ランプアニール法、レーザーアニール法や以下に示す自己活性化法を用いることができる。自己活性化法は、特願平4-307350号に記載されているイオンドーピング法を用い、原料ガスの水素濃度を高くしてソース/ドレイン領域に注入する。例えば、水素濃度が95%のPH₃ガスを原料ガスとしてプラズマを発生させ、リンイオンと同時に水素イオンを注入すると、水素イオンにアシストされて注入と同時に不純物イオンが活性化される。よって、不純物イオン活性化のための熱アニールが不要になるので、300以下の低温プロセスでソース/ドレイン領域を形成することができ、ゲート電極材料に比較的低融点の金属を使用することができる。例えば低融点金属であるアルミニウムを使用することができ、アルミニウムは低抵抗材料であるので低抵抗な配線を実現することができる。

10

【0035】

以上のようにして得られる本実施例のTF Tの動作原理を図3(a)~(c)を用いて説明する。尚、図3(a)~(c)において、第1部分6aの膜厚をd1、第2部分6bの膜厚をd2とする。

【0036】

図3(a)のTF Tは、 $d2 \gg d1$ の時、第2の膜厚部分6上のゲート電極8のトランジスタゲートとしての作用が第1の膜厚部分7上のゲート電極8に比べて極めて小さくなるので、近似的に図3(b)のTF Tと同様な動作を示す。

20

【0037】

図3(b)のTF Tは、ゲート8aおよびゲート8bの2つのゲートを備えたデュアルゲート構造のTF Tであり、ソース領域5aとドレイン領域5bとの間にかかる電界を分割することにより電界を緩和することができる。また、ゲート8aとゲート8bの間の下にあるチャンネル層12は不純物がドーピングされていない領域であるので、実質的にオフセットゲート構造となる。このため、ゲート8aを有するTF Tのドレイン部にオフセット部12が形成されることになり、ドレイン端部での電界が緩和される。このデュアルゲート構造およびオフセットゲート構造の2つの電界緩和効果によって逆バイアス側のオフ電流が低減され、かつ、特性劣化の小さいTF Tが得られる。さらに、ソース領域5aとドレイン領域5bとが入れ替わって用いられてもゲート2を有するTF Tのドレイン部にオフセット部が位置することになるので、必ずいずれか一方のTF Tのドレイン端部での電界が緩和される。特に、アクティブマトリックス液晶ディスプレイの絵素部のTF Tは、信号状態に応じてソース領域またはドレイン領域として機能する必要があるので、このように必ずいずれか一方のTF Tのドレイン端部での電界が緩和される構造は非常に望ましいものである。

30

【0038】

図3(a)のTF Tは、 $d2 > d1$ の時、第2の膜厚部分6上のゲート電極8が第1の膜厚部分7に近付いてくるとTF Tのオン動作時にトランジスタゲートとしての作用が若干影響するので、近似的に図3(c)のTF Tと同様な動作を示す。

40

【0039】

図3(c)のTF Tは、ゲート8aおよびゲート8bの2つのゲートを備えたデュアルゲート構造のTF Tであり、ソース領域5aとドレイン領域5bとの間にかかる電界を分割することにより電界を緩和することができる。また、ゲート8aとゲート8bの間の下にあるチャンネル層12は不純物がドーピングされていない領域であるが、TF Tのオン動作時にはチャンネルが誘起され易く、低濃度の不純物ドーピングがなされた領域のような作用を示すので、実質的にLDD構造と同様な作用を示す。このため、ゲート8aを有するTF Tのドレイン部に疑似LDD部12が形成されることになり、ドレイン端部での電界が緩和される。このデュアルゲート構造および疑似LDD構造の2つの電界緩和効果によって逆バイアス側のオフ電流が低減され、かつ、特性劣化の小さいTF Tが得られる。さら

50

に、ソース領域 5 a とドレイン領域 5 b とが入れ替わって用いられてもゲート 2 を有する T F T のドレイン部にオフセット部が位置することになるので、必ずいずれか一方の T F T のドレイン端部での電界が緩和される。特に、アクティブマトリックス液晶ディスプレイの絵素部の T F T は、信号状態に応じてソース領域またはドレイン領域として機能する必要があるので、このように必ずいずれか一方の T F T のドレイン端部での電界が緩和される構造は非常に望ましいものである。さらに、この場合、 $d_2 \gg d_1$ の時に比べてオン電流も増加させることができる。

【 0 0 4 0 】

このように、本実施例の T F T は、ゲート絶縁膜に第 2 部分 6 b が形成されていることにより、電界を緩和して逆バイアス側のオフ電流を低減し、かつ特性劣化の小さい T F T とすることができる。また、第 2 部分 6 b は、チャンネル層 2、1 2 とゲート電極 8 とに挟まれた領域であれば、ソース領域 5 a 側またはドレイン領域 5 b 側にずれても得られる効果がほとんど変わらないので、T F T を作製する場合の位置合わせ精度のマージンを大きく取ることができる。

10

【 0 0 4 1 】

この T F T は、図 4 に示すように、ゲート絶縁膜 7 にソース領域 5 a およびドレイン領域 5 b に達するようにコンタクトホールを形成し、ソース電極 5 0 a およびドレイン電極 5 0 b と接続した構成とすることができる。この T F T のサイズは、 $L_1 = 10 \mu\text{m}$ 、 $L_2 = 4 \mu\text{m}$ 、 $W = 15 \mu\text{m}$ としたが、用途によって適当に設定することができる。例えば、オン電流を増加させるためには、 L_1 と L_2 との差 ($L_1 - L_2$) を小さくするか、または W を大きくすればよい。

20

【 0 0 4 2 】

(実施例 2)

図 5 に本実施例の T F T を示す。この T F T は、第 1 部分 6 a の 1.2 ~ 8.0 倍の膜厚を有する第 2 部分 6 b、6 b が、ソース領域 5 a およびドレイン領域 5 b に隣接するチャンネル領域 1 2、1 2 の上に形成されている。

【 0 0 4 3 】

この T F T は、第 2 部分 6 b、6 b をソース端およびドレイン端に位置するように形成することにより実施例 1 と同様にして作製することができる。

【 0 0 4 4 】

本実施例の T F T は、ゲート絶縁膜に第 2 部分 6 b が形成されていることにより、実施例 1 と同様に、第 2 部分 6 b に接するチャンネル領域 1 2、1 2 にオフセット部または疑似 L D D 部が形成されるので、電界を緩和して逆バイアス側のオフ電流を低減し、かつ特性劣化の小さい T F T とすることができる。

30

【 0 0 4 5 】

(実施例 3)

図 6 に本実施例の T F T を示す。この T F T は、第 1 部分 6 a の 1.2 ~ 8.0 倍の膜厚を有する第 2 部分 6 b、6 b が半導体層のソース領域 5 a およびドレイン領域 5 b に隣接する半導体層上にゲート電極 8 の内側から外側にかけて形成されている。また、ゲート電極 8 の外側の第 2 部分 6 b、6 b の下は不純物濃度が低い L D D 領域 4 a、4 b となっている。

40

【 0 0 4 6 】

この T F T は、図 7 (a) ~ (c) に示すような製造工程に従って作製することができる。

【 0 0 4 7 】

まず、図 7 (a) に示すように、基板 1 上に半導体層 3 を形成する。この基板 1 としては、例えば、石英基板、ガラス基板または絶縁性膜で被覆されたガラス基板などを用いることができる。半導体層 3 としては、非晶質シリコン、微結晶シリコン、多結晶シリコン等の半導体膜を用いることができる。また、基板 1 として単結晶シリコンを用いた場合には半導体層 3 を形成する必要がなく、その単結晶シリコンをそのまま半導体層として用いる

50

ことができる。さらに、半導体層は上記材料にゲルマニウム、ニッケル、リン、ボロン、ヒ素等を含む材料を用いて形成してもよい。

【0048】

半導体層3を成膜する場合には、膜厚10nm~200nmの膜をプラズマCVD法やLPCVD法等の成膜方法により形成することができる。例えば、多結晶シリコン膜は、LPCVD法により基板温度580~650で直接基板上に成膜することができる。また、LPCVD法により基板温度400~600で成膜した非晶質シリコン膜を真空中または不活性ガス中、500~650で6~48時間アニールすると、一層良好な多結晶シリコン膜が得られる。非晶質シリコン膜はプラズマCVD法により形成することができ、原料ガスとしては SiH_4 、 Si_2H_6 を用いる。また、非晶質シリコン膜のアニールは、ランプアニール法やレーザーアニール法で行ってもよい。

10

【0049】

次に、半導体層3の上に絶縁膜を成膜し、エッチングにより島状の絶縁膜60、60とする。この絶縁膜は、スパッタ法、常圧CVD法、LPCVD法、プラズマCVD法、リモートプラズマCVD法等により成膜することができ、この実施例では、膜厚30~150nmの SiO_2 膜を形成した。その他、窒化シリコン膜、酸化タンタル膜、酸化アルミニウム膜等の絶縁膜を用いてもよい。

【0050】

続いて、図7(b)に示すように、島状の絶縁膜60の上に絶縁膜を成膜して第1部分6aと、第1部分6aより膜厚が厚い第2部分6b、6bとを有する絶縁膜を形成する。この絶縁膜は、スパッタ法、常圧CVD法、LPCVD法、プラズマCVD法、リモートプラズマCVD法等により成膜することができ、この実施例では膜厚60~150nmの SiO_2 膜を形成した。原料ガスとしては、 SiH_4 ガスと O_2 ガス、またはTEOS(Tetra-Ethyl-Ortho-Silicate、 $Si(OC_2H_5)_4$)ガスと O_2 ガス等を用いる。その他、窒化シリコン膜、酸化タンタル膜、酸化アルミニウム膜等の絶縁膜を用いてもよい。以上の説明では第2部分を2層の絶縁膜の積層構造として形成したが、第2の膜厚の絶縁膜をゲート絶縁膜形成部分に成膜した後、第1部分の厚みをフォトリソグラフィとエッチングにより薄くしても第1部分6aと第2部分6b、6bとを有するゲート絶縁膜を形成することができる。

20

【0051】

次に、図7(c)に示すように、ゲート電極8を形成した後、自己整合的に不純物イオン100を注入し、半導体層3にソース領域5aおよびドレイン領域5bを形成する。この時、ゲート電極8下の半導体層部分には不純物が注入されないのでチャンネル領域2、12が形成される。また、ゲート電極8の外側の第2部分6b、6bの下は第1部分6aに比べて不純物が注入されにくいので、不純物濃度が低いLDD領域4a、4bとなる。この実施例では、不純物イオン100としてリンイオンを用い、エネルギー80~100keVでドーズ量 2×10^{15} ions/cm²の注入を行った。注入後、不純物イオンを活性化して低抵抗化することによりソース領域およびドレイン領域を形成した。不純物イオンの活性化は、炉アニール法、ランプアニール法、レーザーアニール法や自己活性化法を用いることができる。

30

40

【0052】

本実施例のTFETは、ゲート絶縁膜に第2部分6b、6bが形成されていることにより、実施例1と同様に、第2部分6bに接するチャンネル領域12にオフセット部または疑似LDD部が形成されるので、電界を緩和して逆バイアス側のオフ電流を低減し、かつ特性劣化の小さいTFETとすることができる。また、ソース領域5aおよびドレイン領域5bに不純物イオンを注入する際にソース領域5aおよびドレイン領域5bより高抵抗なLDD領域4a、4bが形成されるので、さらにソース/ドレイン端部での電界を緩和することができ、逆バイアス側のオフ電流を低減し、かつ特性劣化の小さいTFETとすることができる。

【0053】

50

(実施例4)

図8に本実施例のTFTを示す。このTFTは、第1部分6aの1.2~8.0倍の膜厚を有する第2部分6bが、半導体層3のドレイン領域5bに隣接するチャンネル領域12上に形成されている。

【0054】

このTFTは、第2部分6bをドレイン端に位置するように形成することにより実施例1と同様にして作製することができる。

【0055】

本実施例のTFTは、ゲート絶縁膜に第2部分6bが形成されていることにより、実施例1と同様に、第2部分6bに接するチャンネル領域12にオフセット部または疑似LDD部が形成されるので、電界を緩和して逆バイアス側のオフ電流を低減し、かつ特性劣化の小さいTFTとすることができる。このTFTは、第2部分6bが電界強度の高まるドレイン端部にのみ位置しているため、ソース端およびドレイン端の両方に形成された実施例2のTFTとは異なり、オン電流が大きくとれるがソース/ドレインが場合によって入れ換わる液晶ディスプレイの絵素部TFTには用いにくいという違いがある。

【0056】

(実施例5)

図9に本実施例のTFTを示す。このTFTは、第1部分6aの1.2~8.0倍の膜厚を有する第2部分6bが、半導体層3のドレイン領域5bに隣接するチャンネル領域12上にゲート電極8の内側から外側にかけて形成されている。また、ゲート電極8の外側の第2部分6bの下は不純物濃度が低いLDD領域4bとなっている。

【0057】

このTFTは、第2部分6bをドレイン端に位置するように形成することにより実施例3と同様にして作製することができる。

【0058】

本実施例のTFTは、ゲート絶縁膜7に第2部分6bが形成されていることにより、実施例1と同様に、第2部分6bに接するチャンネル領域12にオフセット部または疑似LDD部が形成されるので、電界を緩和して逆バイアス側のオフ電流を低減し、かつ特性劣化の小さいTFTとすることができる。また、ソース領域5aおよびドレイン領域5bに不純物イオンを注入する際にソース領域5aおよびドレイン領域5bより高抵抗なLDD領域4bが形成されるので、さらにソース/ドレイン端部での電界を緩和することができ、逆バイアス側のオフ電流を低減し、かつ特性劣化の小さいTFTとすることができる。このTFTは、第2部分6bが電界強度の高まるドレイン端部にのみ位置しているため、ソース端およびドレイン端の両方に形成された実施例3のTFTとは異なり、オン電流が大きくとれるがソース/ドレインが場合によって入れ換わる液晶ディスプレイの絵素部TFTには用いにくいという違いがある。

【0059】

(実施例6)

図10に本実施例のTFTを示す。このTFTは、第1部分6aの1.2~8.0倍の膜厚を有する第2部分6bが、ソース領域5aおよびドレイン領域5bの間でゲート電極8の下にチャンネル層12部分の上に形成されている。この第2部分6bは、第1の膜厚の絶縁膜6dと、第1の膜厚の0.2~7.0倍の膜厚からなる絶縁膜6cとの積層構造からなっている。この絶縁膜6cと6dとは同一材料で形成してもよく、別材料で形成してもよい。また、積層順序もどちらが下に形成されていてもよい。

【0060】

このTFTは、実施例1と同様に図2に示した方法により作製することができる。

【0061】

本実施例のTFTは、ゲート絶縁膜に第2部分6bが形成されていることにより、実施例1と同様に、第2部分6bに接するチャンネル領域12、12にオフセット部または疑似LDD部が形成されるので、電界を緩和して逆バイアス側のオフ電流を低減し、かつ特性劣

10

20

30

40

50

化の小さいTFTとすることができる。また、第2部分6bは、チャンネル層2、12とゲート電極8とに挟まれた領域であれば、ソース領域5a側またはドレイン領域5b側にずれても得られる効果がほとんど変わらないので、TFTを作製する場合の位置合わせ精度のマージンを大きく取ることができる。

【0062】

図11は、以上のようにして得られた実施例1のN型TFTについて、膜厚の薄い第1部分6aに対する膜厚の厚い第2部分6bの膜厚比Rを変化させて逆バイアス時のオフ電流を測定した結果を示す。尚、オフ電流は、ドレイン/ソース電圧 $V_{DS} = 14V$ 、ゲート電圧 $V_G = -3.5V$ におけるドレイン電流IDを測定した。トランジスタサイズは $L_1/W = 10\mu m / 10\mu m$ とし、半導体層上でゲート電極8の内側に形成された第2部分6bの長さ L_2 は $4\mu m$ とした。 L_2 が $1 \sim 6\mu m$ の範囲では、オフ電流には大きな差はなかった。

【0063】

この図から理解されるように、膜厚比 $R = 1.2$ の時に1桁程度の効果が現れ、 $R = 1.5$ の時には2桁以上の顕著な効果が現れる。 $R = 4$ 程度まではオフ電流が単調に減少し、 $R = 5$ では効果が飽和する。従って、第2部分6bは第1部分6aの1.2倍以上の膜厚とするのが望ましい。また、 $R = 5$ 以上ではオフ電流が飽和しているが効果は得られる。しかし、 $R > 8$ では第2部分6bが非常に厚くなって作製効率が悪くなる上に、第2部分の上に形成するゲート電極8のステップカバレッジが困難になるので好ましくない。例えば、絶縁耐圧や歩留りを十分確保したゲート絶縁膜を得るためには、第1の膜厚は $50 \sim 150nm$ 程度で形成する必要がある。よって、 $R = 8$ では第2の膜厚は $400 \sim 1200nm$ になって作製効率が悪くスループットが低下する。また、第2の膜厚が $400 \sim 1200nm$ となると、その上に形成するゲート電極8のステップカバレッジが困難になって、第2の膜厚以上のゲート電極を形成する必要が生じる。従って、本発明のTFTにより実質的な効果を得るためには、 $1.2 \leq R \leq 8.0$ であるのが望ましい。さらに、図11によれば、効果が非常に効率よく現れるのはRが $1.5 \sim 4.0$ の時であるので、特に $1.5 \leq R \leq 4.0$ であるのが望ましい。また、この時のTFTのオン電流の低下はきわめて小さく問題なく使用可能であった。

【0064】

(実施例7)

この実施例では、本発明のTFTを絵素部に用いた液晶表示装置を示す。

【0065】

図12は本実施例の液晶表示装置の構成図であり、図13はディスプレイ部の斜視図であり、図14はディスプレイ部の断面図である。この液晶表示装置は、図12に示すように、ディスプレイ部1001にゲート線1004およびデータ線1005が互いに交差して形成され、各交差部近傍にはTFT1006が液晶部1007および補助容量1008に接続して形成されている。ディスプレイ部1001の周辺にはゲート線駆動回路1002およびデータ線駆動回路1003が設けられ、各々ゲート線1004およびデータ線1005によりTFT1006と接続されている。

【0066】

図13に示すように、TFT1006、走査線1004、データ線1005および画素電極2007は基板2001上に形成されており、TFT1006のゲート電極8がゲート線1004と接続され、ソース領域5a(図14参照)がデータ線1005と接続され、ドレイン領域5b(図14参照)はコンタクト用バッファ金属3009を介して画素電極2007と接続されている。この基板2001には、さらに液晶配向膜3012が形成され、共通電極2008、カラーフィルター2009および第2の液晶配向膜3015が形成された対向基板2002と対向配設されている。両基板の間隙には液晶層2003が設けられて液晶パネルとなっており、画素電極2007と共通電極2008との対向部分が各絵素(液晶部1007)となっている。

【0067】

10

20

30

40

50

液晶パネルの両外側には偏光板 2010、2011 が設けられ、基板 2001 側から白色光 2012 が照射されて透過光が表示される。TFT1006 は、基板 2001 上にソース領域 5a、ドレイン領域 5b およびチャネル領域 2、12 を有する半導体層が形成され、その上にゲート絶縁膜を間に介してゲート電極 8 が形成されている。ゲート電極 8 の上には層間絶縁膜 3006 が形成され、その上にデータ線 1005 が形成されている。データ線 1005 は層間絶縁膜 3006 に設けられたコンタクトホールを通してソース領域 5a に接続されている。

【0068】

データ線 1005 および補助容量用線 1005a の上には第 2 の層間絶縁膜 3008 が設けられ、その上にコンタクト用バッファ金属 3009 および画素電極 2007 が設けられている。画素電極 2007 は層間絶縁膜 3006 および第 2 の層間絶縁膜 3008 に設けられたコンタクトホールを通り、コンタクト用バッファ金属 3009 を間に介してドレイン領域 5b に接続されている。また、補助容量用線 1005 と第 2 の層間絶縁膜 3006 と画素電極 2007 の重畳部分は補助容量部 1008 となっている。さらにその上に保護膜 3011 および液晶配向膜 3012 が形成されている。

【0069】

TFT1006 のゲート絶縁膜は、ソース領域 5a とドレイン領域 5b との間に第 1 部分 6a と第 1 部分 6a の 1.2 ~ 8.0 倍の膜厚を有する第 2 部分 6b とを有しており、ゲート電極 8 と半導体層との間に形成されている。

【0070】

上記 TFT1006 は、実施例 1 ~ 6 で説明したように電界を緩和して逆バイアス側のオフ電流を低減し、かつ特性劣化の小さい TFT とすることができる。液晶表示装置の絵素部にこのような TFT を設けることにより、表示画の保持能力を高めて表示品位を向上させることができ、かつ信頼性の高い液晶表示装置とすることができる。

【0071】

以上、本発明の実施例について説明したが、本発明は上記実施例に限定されるものではなく、各種の変形が可能である。上記実施例においては、不純物が高濃度に導入されたソース領域 5a およびドレイン領域 5b を n^+ 、不純物が低濃度に導入された LDD 領域を n^- として N 型 TFT について説明したが、P 型 TFT にも同様に適用することができる。また、ゲート絶縁膜を構成する絶縁膜材料としては、酸化シリコン、窒化シリコン、酸化タンタル、酸化アルミニウム等、種々の絶縁膜材料を用いることができる。ゲート絶縁膜の第 1 の膜厚、第 2 の膜厚、第 1 部分の長さ L_1 、第 2 部分の長さ L_2 および半導体層の幅 W 等、TFT の各部分のサイズも用途によって適宜変更することができる。第 2 部分は、ゲート電極と半導体層との間に 1ヶ所または 2ヶ所形成したが、それ以上形成してもよい。

【0072】

【発明の効果】

以上の説明から明らかなように、本発明によれば、ゲート絶縁膜が、半導体層のソース領域とドレイン領域との間の部分上で膜厚の異なる第 1 部分と第 2 部分とを有しているので、チャネルの途中にゲート電圧印加による影響を受けにくい領域が形成される。この領域によりソース/ドレイン間に印加された電圧がドレイン端に集中せずに分割されるので、逆バイアス側のオフ電流が低減され、この領域で電界が緩和されるので、ソース/ドレイン間にかかる電界の急峻に高い部分が緩和されて特性劣化の小さい TFT を得ることができる。特に、第 2 の膜厚を第 1 の膜厚の 1.2 倍 ~ 8.0 倍にすると、この効果が十分に得られる。

【0073】

このような 2 つの膜厚部分を有するゲート絶縁膜を形成するに際し、第 1 の膜厚の絶縁膜を形成し、第 2 部分の形成領域に第 1 の膜厚の 0.2 ~ 7.0 倍の膜厚を有する絶縁膜を積層して第 2 部分を積層構造とすると、非常に容易に作製することができる。また、半導体層上に第 2 の膜厚の絶縁膜を形成し、第 1 部分の形成領域をエッチングして厚みを薄く

10

20

30

40

50

しても容易に作製することができる。また、これらの方法によれば、オフ電流を低くする必要のある部分には本発明のTFTを作製し、同一基板上のオフ電流低減を必要としない部分には従来のTFTを共存させて作製することができる。

【0074】

このような2つの膜厚部分を有するゲート絶縁膜が形成されたTFTを液晶表示装置の絵素部に形成すると、絵素部TFTのオフ電流を低減することができ、表示画像の保持能力を高めて表示品位を向上させることができる。また、このTFTは信頼性が高いので、液晶表示装置の信頼性も高めることができる。

【図面の簡単な説明】

【図1】本発明の実施例1のTFTの概略断面図である。

10

【図2】本発明の実施例1のTFTの製造工程を示す断面図である。

【図3】(a)、(b)および(c)は、本発明の実施例1のTFTの動作原理を説明するための断面図である。

【図4】(a)は本発明の実施例1のTFTの概略平面図、(b)はその断面図である。

【図5】本発明の実施例2のTFTの概略断面図である。

【図6】本発明の実施例3のTFTの概略断面図である。

【図7】(a)、(b)および(c)は、本発明の実施例3のTFTの製造工程を示す断面図である。

【図8】本発明の実施例4のTFTの概略断面図である。

【図9】本発明の実施例5のTFTの概略断面図である。

20

【図10】本発明の実施例6のTFTの概略断面図である。

【図11】本発明のTFTについて、膜厚の薄い第1部分6aに対する膜厚の厚い第2部分6bとの膜厚比Rを変化させて逆バイアス電圧を測定した結果を示すグラフである。

【図12】本発明の一実施例である液晶表示装置の構成図である。

【図13】本発明の一実施例である液晶表示装置の斜視図である。

【図14】本発明の一実施例である液晶表示装置の断面図である。

【図15】従来のオフセットゲート構造のTFTの断面図である。

【図16】従来のLDD構造のTFTの断面図である。

【図17】従来のデュアルゲート構造のTFTの断面図である。

【符号の説明】

30

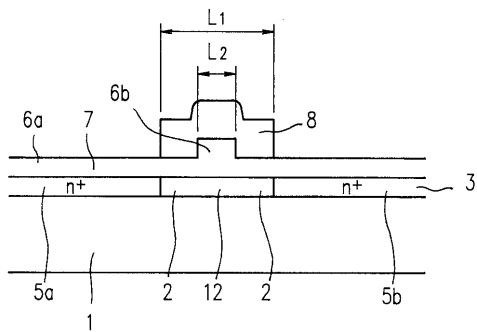
- 1 基板
- 2 チャネル領域
- 12 チャネル領域
- 3 半導体層
- 4a LDD領域
- 4b LDD領域
- 5a ソース領域
- 5b ドレイン領域
- 50a ソース電極
- 50b ドレイン電極
- 6a 第1部分
- 6b 第2部分
- 7 ゲート絶縁膜
- 8 ゲート電極
- 1001 ディ스플레이部
- 1002 ゲート線駆動回路部
- 1003 データ線駆動回路
- 1004 ゲート線
- 1005 データ線
- 1006 TFT

40

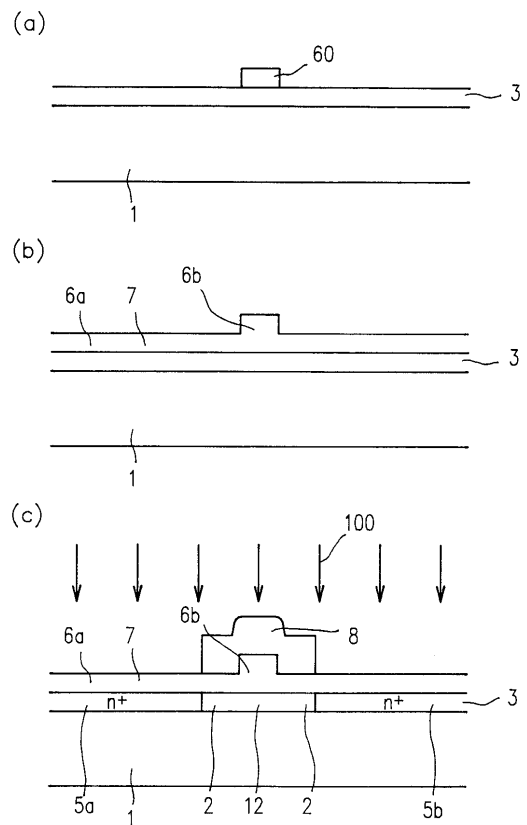
50

- 1 0 0 7 液晶部
- 1 0 0 8 補助容量
- 2 0 0 1 基板
- 2 0 0 2 対向基板
- 2 0 0 3 液晶層
- 2 0 0 7 画素電極
- 2 0 0 8 共通電極
- 2 0 0 9 カラーフィルター
- 2 0 1 0、2 0 1 1 偏光板
- 2 0 1 2 白色光
- 3 0 0 6 層間絶縁膜
- 3 0 0 8 第2の層間絶縁膜
- 3 0 0 9 コンタクト用バッファ金属
- 3 0 1 1 保護膜
- 3 0 1 2 液晶配向膜
- 3 0 1 5 第2の液晶配向膜

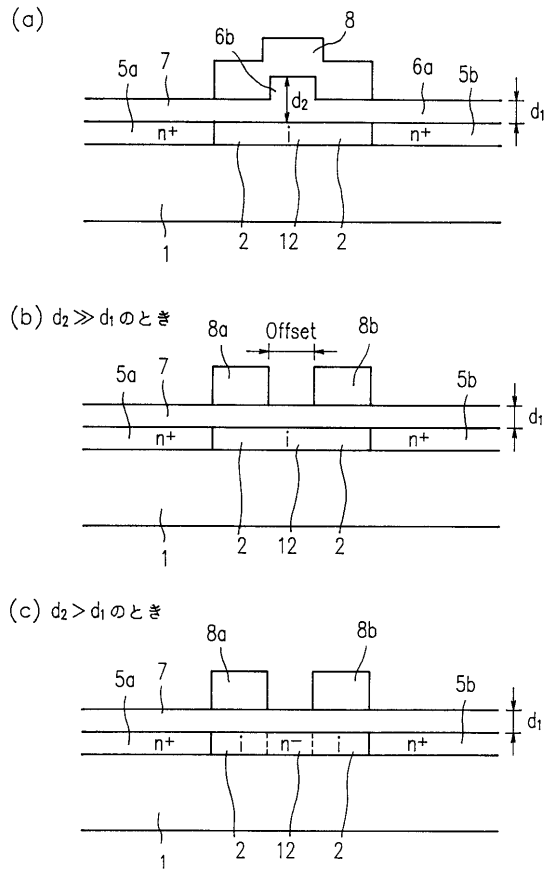
【図1】



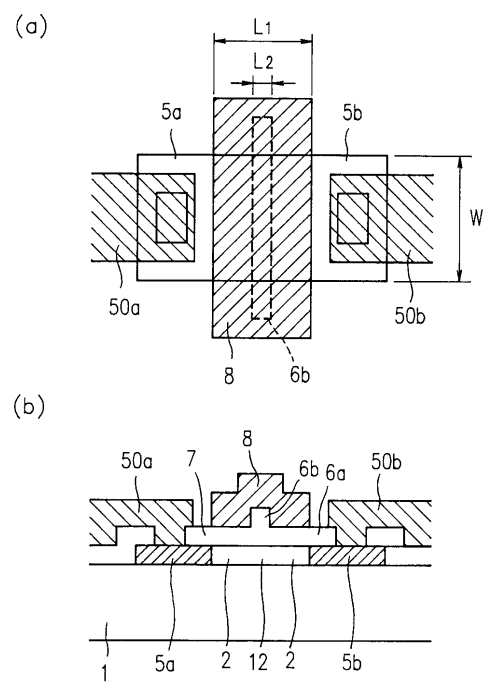
【図2】



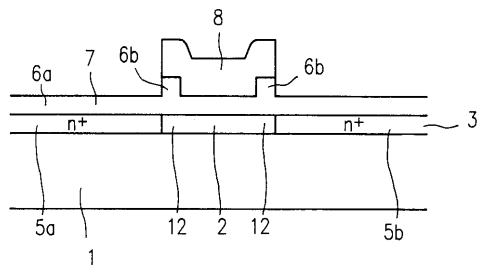
【図3】



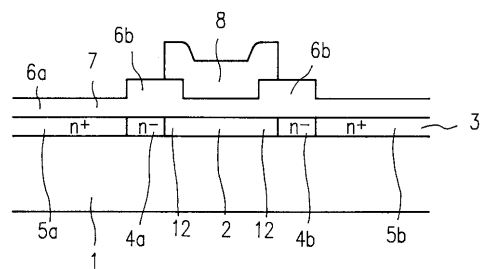
【図4】



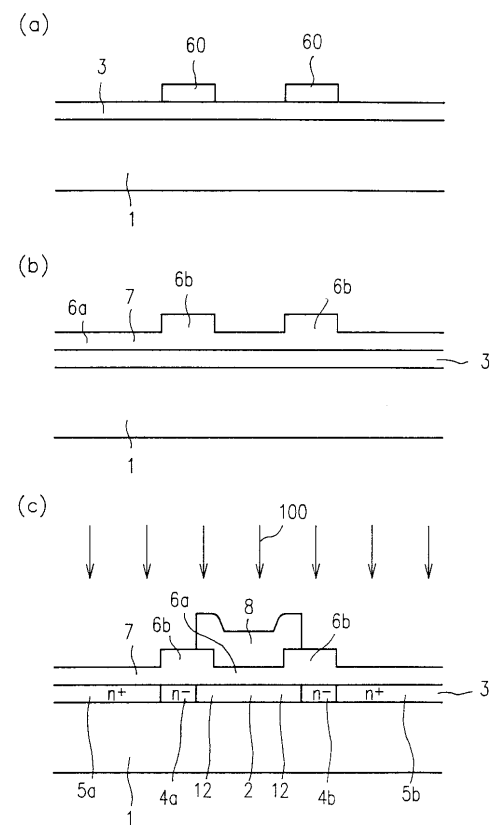
【図5】



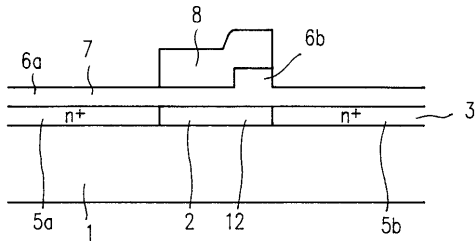
【図6】



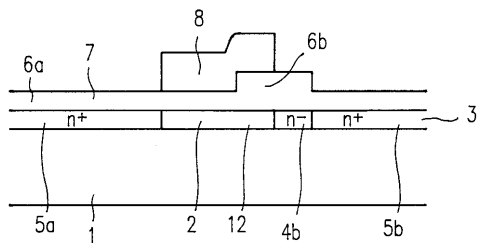
【図7】



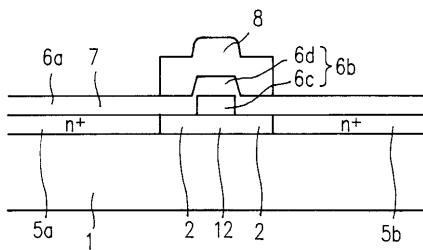
【図8】



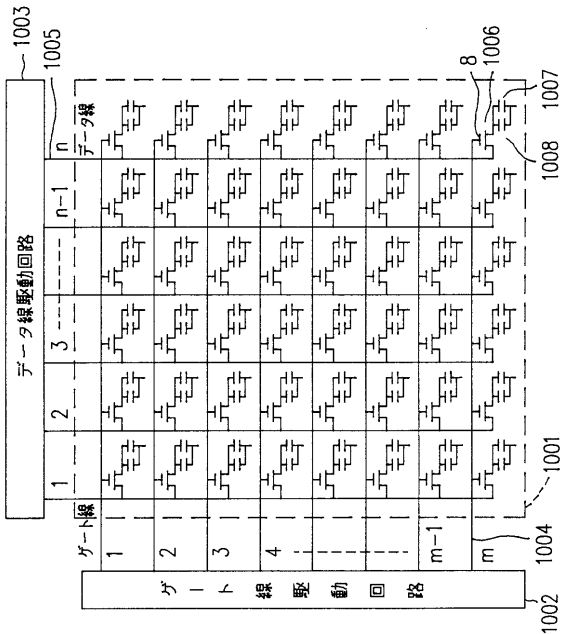
【図9】



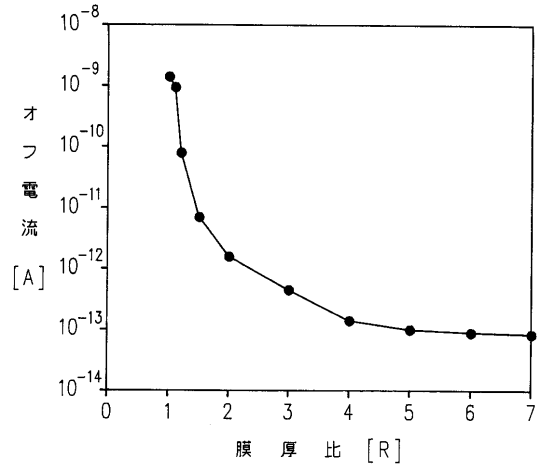
【図10】



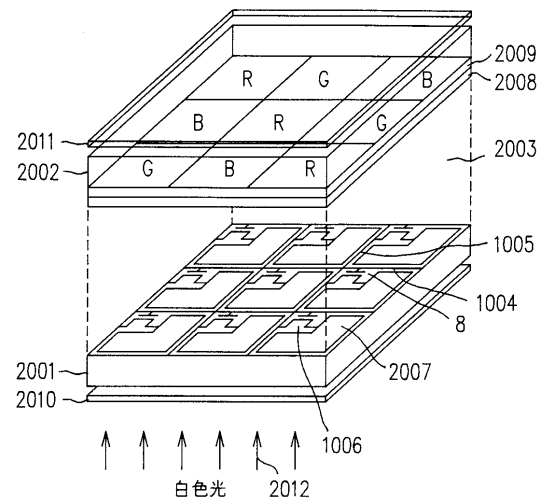
【図12】



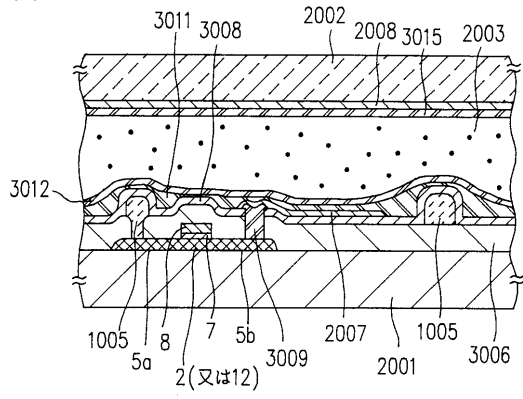
【図11】



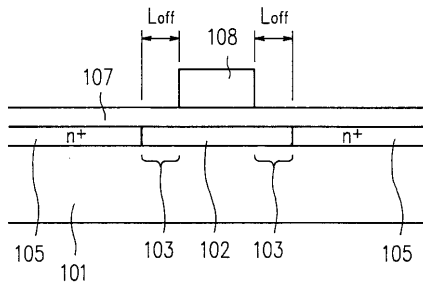
【図13】



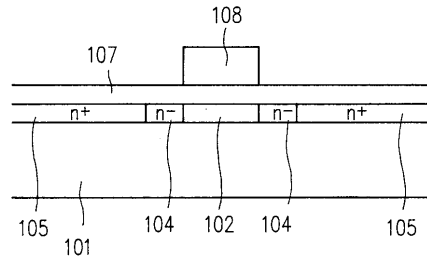
【 図 1 4 】



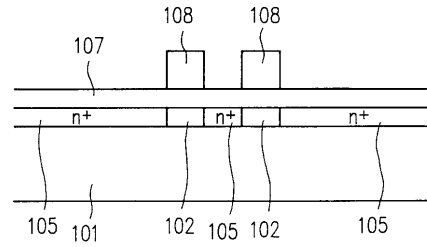
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



フロントページの続き

- (56)参考文献 特開平6 - 151852 (JP, A)
特開平3 - 108374 (JP, A)
特開平2 - 109370 (JP, A)
特開昭48 - 45669 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 29/78
H01L 29/786
H01L 21/336