

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

WO2005/073740

発行日 平成19年9月13日 (2007.9.13)

(43) 国際公開日 平成17年8月11日(2005.8.11)

(51) Int.C1.

GO 1 R 31/28

(2006.01)

F 1

G O 1 R 31/28

テーマコード (参考)

H 2 G 1 3 2

審査請求 未請求 予備審査請求 未請求 (全 22 頁)

出願番号	特願2005-517453 (P2005-517453)	(71) 出願人	390005175 株式会社アドバンテスト 東京都練馬区旭町1丁目32番1号
(21) 国際出願番号	PCT/JP2005/000993	(74) 代理人	100104156
(22) 国際出願日	平成17年1月26日 (2005.1.26)	(72) 発明者	弁理士 龍華 明裕
(31) 優先権主張番号	特願2004-21851 (P2004-21851)	(72) 発明者	西峯 弘哲 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内
(32) 優先日	平成16年1月29日 (2004.1.29)	(72) 発明者	新島 啓克 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	三浦 武雄 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

最終頁に続く

(54) 【発明の名称】試験装置及び試験方法

(57) 【要約】

本発明の試験装置は、被試験デバイス15を試験する試験装置であって、被試験デバイス15に試験信号を印加するドライバ122と、印加された試験信号に対応して被試験デバイス15が出力した結果信号を、予め定められた基準電圧と比較するコンパレータ128と、被試験デバイス15に対して読込動作を行う場合に、試験信号の電圧を予め定められた電圧値に設定することにより、結果信号の伝送路をドライバ122に終端させる設定電圧出力部110とを備える。

【特許請求の範囲】**【請求項 1】**

前記被試験デバイスを試験する試験装置であって、
前記被試験デバイスに試験信号を印加するドライバと、
印加された前記試験信号に対応して前記被試験デバイスが出力した結果信号を、予め定められた基準電圧と比較するコンパレータと、
前記被試験デバイスに対して読み動作を行う場合に、前記試験信号の電圧を予め定められた電圧値に設定することにより、前記結果信号の伝送路を前記ドライバに終端させる設定電圧出力部と
を備える試験装置。

10

【請求項 2】

前記試験信号はデジタル信号であり、
当該試験装置は、
前記設定電圧出力部における予め定められた設定電圧を、H論理又はL論理に切り替え可能に設定する電圧設定部
を更に備える請求項1記載の試験装置。

【請求項 3】

前記ドライバに前記試験信号を供給するか否かを切り替える第1リレーと、
前記結果信号の伝送路を終端する終端回路と、
前記結果信号の伝送路を前記終端回路に終端させるか否かを切り替える第2リレーと、
前記被試験デバイスに対して読み動作を行う場合に、前記設定電圧出力部が前記結果信号の伝送路を前記ドライバに終端させるのに代えて、前記第1リレーが前記ドライバへの前記試験信号の供給を停止すると共に前記第2リレーが前記結果信号の伝送路を前記終端回路に終端させるか否かを、切り替え可能に制御するリレー制御部と
を更に備える請求項1記載の試験装置。

20

【請求項 4】

前記試験信号はデジタル信号であり、
当該試験装置は、
前記被試験デバイスに対して書き動作を行う場合にはH論理を、読み動作を行う場合にはL論理を示す動作制御信号を生成する動作制御部
を更に備え、
前記設定電圧出力部は、
前記試験信号と前記動作制御信号との論理積演算を行い、当該演算の結果を前記ドライバに出力することにより、前記被試験デバイスに対して読み動作を行う場合に、前記試験信号の電圧値をL論理に設定して前記結果信号の伝送路を前記ドライバに終端させる論理積回路
を有する請求項1記載の試験装置。

30

【請求項 5】

前記被試験デバイスに対して書き動作を行う場合にはH論理を、読み動作を行う場合にはL論理を示す動作制御信号を生成する動作制御部
を更に備え、
前記電圧設定部は、
前記設定電圧出力部における予め定められた前記設定電圧を示す電圧設定制御信号を生成する電圧設定制御部と、
前記動作制御信号の反転値と前記電圧設定制御信号の反転値との論理積演算を行い、当該演算の結果の反転値を出力する第1論理積回路と、
前記動作制御信号の反転値と前記電圧設定制御信号との論理積演算を行う第2論理積回路と
を有し、
前記設定電圧出力部は、

40

50

前記試験信号と前記第1論理積回路が出力する演算結果の反転値との論理積演算を行う第3論理積回路と、

前記第3論理積回路の演算結果と前記第2論理積回路の演算結果との論理和演算を行い、当該演算の結果を前記ドライバに出力することにより、前記被試験デバイスに対して読込動作を行う場合に、前記試験信号の電圧値を前記電圧設定制御信号が示す値に設定し、前記結果信号の伝送路を前記ドライバに終端させる論理和回路と

を有する請求項2記載の試験装置。

【請求項6】

前記試験信号はデジタル信号であり、

当該試験装置は、

前記被試験デバイスに対して書込動作を行う場合にはH論理を、読込動作を行う場合にはL論理を示す動作制御信号を生成する動作制御部

を更に備え、

前記リレー制御部は、

前記被試験デバイスに対する読込動作において、前記設定電圧出力部が前記結果信号の伝送路を前記ドライバに終端させる場合にはH論理を、前記第1リレーが前記ドライバへの前記試験信号の供給を停止すると共に、前記第2リレーが前記結果信号の伝送路を前記終端回路に終端させる場合にはL論理を示すリレー制御信号を生成するリレー制御信号生成部と、

前記動作制御信号の反転値と前記リレー制御信号との論理積演算を行い、当該演算の結果の反転値を出力する第1論理積回路と、

前記動作制御信号の反転値と前記リレー制御信号の反転値との論理積演算を行い、当該演算の結果の反転値を前記第1リレーの動作信号として出力すると共に当該演算の結果を前記第2リレーの動作信号として出力することにより、前記被試験デバイスに対して読込動作を行い、且つ前記リレー制御信号がL論理を示す場合に、前記ドライバへの前記試験信号の供給を停止し、前記結果信号の伝送路を前記終端回路に終端させる第2論理積回路と

を有し、

前記設定電圧出力部は、

前記試験信号と前記第1論理積回路が出力した演算結果の反転値との論理積演算を行い、当該演算の結果を前記第1リレーを経由して前記ドライバに出力することにより、前記被試験デバイスに対して読込動作を行い、且つ前記リレー制御信号がH論理を示す場合に、前記結果信号の伝送路を前記ドライバに終端させる第3論理積回路

を有する請求項3記載の試験装置。

【請求項7】

被試験デバイスに試験信号を印加するドライバと、印加された前記試験信号に対応して前記被試験デバイスが出力した結果信号を、予め定められた基準電圧と比較するコンパレータとを備える試験装置において、前記被試験デバイスを試験する試験方法であって、

前記被試験デバイスに対して読込動作を行う場合に、前記試験信号の電圧を予め定められた電圧値に設定することにより、前記結果信号の伝送路を前記ドライバに終端させる設定電圧出力段階

を備える試験方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、試験装置及び試験方法に関する。特に本発明は、被試験デバイスに対する読込動作と書込動作とを切り替えて試験を行う試験装置及び試験方法に関する。

文献の参照による組み込みが認められる指定国については、下記の出願に記載された内容を参照により本出願に組み込み、本出願の記載の一部とする。

【背景技術】**【0002】**

従来、半導体デバイスを試験する場合に、半導体デバイスの出力信号を測定することにより、半導体デバイスの良否を判定している。例えば、半導体デバイスの出力信号を所定のパターンと比較することにより、半導体デバイスの良否を判定している。このような試験装置において、半導体デバイスに書き込む試験信号の伝送路と、半導体デバイスから読み込む出力信号の伝送路とは、互いに一部を共有している。そのため、半導体デバイスから出力信号を読み込む場合には、半導体デバイスに対する試験信号の書き込みを行うドライバへの試験信号の供給を停止する必要がある。従来、このような試験装置においては、ドライバに試験信号を供給するか否かを、リレーを用いることにより切り替えている。

10

【0003】

現時点で先行技術文献の存在を認識していないので、先行技術文献に関する記載を省略する。

【発明の開示】**【発明が解決しようとする課題】****【0004】**

しかしながら、ドライバに試験信号を供給するか否かをリレーを用いて切り替える場合、リレーを構成する部品の精度のばらつきによって切り替えに要する時間がばらつくことにより、半導体デバイスに試験信号を書き込むタイミングを高い精度で制御することが困難であった。また、リレーにおけるスイッチングノイズにより、精度の高い試験を行うことが困難であった。

20

【0005】

そこで本発明は、上記の課題を解決することができる試験装置及び試験方法を提供することを目的とする。この目的は請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

【課題を解決するための手段】**【0006】**

本発明の第1の形態によれば、被試験デバイスを試験する試験装置であって、被試験デバイスに試験信号を印加するドライバと、印加された試験信号に対応して被試験デバイスが出力した結果信号を、予め定められた基準電圧と比較するコンパレータと、被試験デバイスに対して読込動作を行う場合に、試験信号の電圧を予め定められた電圧値に設定することにより、結果信号の伝送路をドライバに終端させる設定電圧出力部とを備える。

30

試験信号はデジタル信号であり、当該試験装置は、設定電圧出力部における予め定められた設定電圧を、H論理又はL論理に切り替え可能に設定する電圧設定部を更に備えてもよい。

【0007】

当該試験装置は、ドライバに試験信号を供給するか否かを切り替える第1リレーと、結果信号の伝送路を終端する終端回路と、結果信号の伝送路を終端回路に終端させるか否かを切り替える第2リレーと、被試験デバイスに対して読込動作を行う場合に、設定電圧出力部が結果信号の伝送路をドライバに終端させるのに代えて、第1リレーがドライバへの試験信号の供給を停止すると共に第2リレーが結果信号の伝送路を終端回路に終端させるか否かを、切り替え可能に制御するリレー制御部とを更に備えてもよい。

40

【0008】

試験信号はデジタル信号であり、当該試験装置は、被試験デバイスに対して書込動作を行う場合にはH論理を、読込動作を行う場合にはL論理を示す動作制御信号を生成する動作制御部を更に備え、設定電圧出力部は、試験信号と動作制御信号との論理積演算を行い、当該演算の結果をドライバに出力することにより、被試験デバイスに対して読込動作を行う場合に、試験信号の電圧値をL論理に設定して結果信号の伝送路をドライバに終端させる論理積回路を有してもよい。

【0009】

50

当該試験装置は、被試験デバイスに対して書き込動作を行う場合にはH論理を、読み込動作を行う場合にはL論理を示す動作制御信号を生成する動作制御部を更に備え、電圧設定部は、設定電圧出力部における予め定められた設定電圧を示す電圧設定制御信号を生成する電圧設定制御部と、動作制御信号の反転値と電圧設定制御信号の反転値との論理積演算を行い、当該演算の結果の反転値を出力する第1論理積回路と、動作制御信号の反転値と電圧設定制御信号との論理積演算を行う第2論理積回路とを有し、設定電圧出力部は、試験信号と第1論理積回路が出力する演算結果の反転値との論理積演算を行う第3論理積回路と、第3論理積回路の演算結果と第2論理積回路の演算結果との論理和演算を行い、当該演算の結果をドライバに出力することにより、被試験デバイスに対して読み込動作を行う場合に、試験信号の電圧値を電圧設定制御信号が示す値に設定し、結果信号の伝送路をドライバに終端させる論理和回路とを有してもよい。

【0010】

試験信号はデジタル信号であり、当該試験装置は、被試験デバイスに対して書き込動作を行う場合にはH論理を、読み込動作を行う場合にはL論理を示す動作制御信号を生成する動作制御部を更に備え、リレー制御部は、被試験デバイスに対する読み込動作において、設定電圧出力部が結果信号の伝送路をドライバに終端させる場合にはH論理を、第1リレーがドライバへの試験信号の供給を停止すると共に、第2リレーが結果信号の伝送路を終端回路に終端させる場合にはL論理を示すリレー制御信号を生成するリレー制御信号生成部と、動作制御信号の反転値とリレー制御信号との論理積演算を行い、当該演算の結果の反転値を出力する第1論理積回路と、動作制御信号の反転値とリレー制御信号の反転値との論理積演算を行い、当該演算の結果の反転値を第1リレーの動作信号として出力すると共に当該演算の結果を第2リレーの動作信号として出力することにより、被試験デバイスに対して読み込動作を行い、且つリレー制御信号がL論理を示す場合に、ドライバへの試験信号の供給を停止し、結果信号の伝送路を終端回路に終端させる第2論理積回路とを有し、設定電圧出力部は、試験信号と第1論理積回路が出力した演算結果の反転値との論理積演算を行い、当該演算の結果を第1リレーを経由してドライバに出力することにより、被試験デバイスに対して読み込動作を行い、且つリレー制御信号がH論理を示す場合に、結果信号の伝送路をドライバに終端させる第3論理積回路を有してもよい。

【0011】

また、本発明の第2の形態によれば、被試験デバイスに試験信号を印加するドライバと、印加された試験信号に対応して被試験デバイスが出力した結果信号を、予め定められた基準電圧と比較するコンパレータとを備える試験装置において、被試験デバイスを試験する試験方法であって、被試験デバイスに対して読み込動作を行う場合に、試験信号の電圧を予め定められた電圧値に設定することにより、結果信号の伝送路をドライバに終端させる設定電圧出力段階を備える。

【0012】

なお上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションもまた発明となりうる。

【発明の効果】

【0013】

本発明によれば、被試験デバイスに対して試験信号を書き込むタイミングを高い精度で制御することができる。

【図面の簡単な説明】

【0014】

【図1】本発明の第1の実施形態に係る試験装置10の構成の一例を示すブロック図である。

【図2】本発明の第1の実施形態に係る試験装置10における動作の一例を示すフローチャートである。

【図3】本発明の第1の実施形態に係る試験信号、動作制御信号、リレー制御信号、及び終端回路制御信号の波形の一例を示す図である。

10

20

30

40

50

【図4】本発明の第2の実施形態に係る試験装置30の構成の一例を示すブロック図である。

【図5】本発明の第2の実施形態に係る試験信号、動作制御信号、リレー制御信号、電圧設定制御信号、及び終端回路制御信号の波形の一例を示す図である。

【図6】本発明の第3の実施形態に係る試験装置50の構成の一例を示すブロック図である。

【符号の説明】

【0015】

10 . . . 試験装置、15 . . . D U T 、30 . . . 試験装置、50 . . . 試験装置、5
 5 . . . D U T 、100 . . . パターン発生部、102 . . . タイミング発生部、104
 10 . . . 波形整形部、110 . . . 設定電圧出力部、112 . . . 第3論理積回路、120
 . . . 第1リレー、122 . . . ドライバ、124 . . . 第2リレー、126 . . . 終端
 回路、128 . . . コンパレータ、130 . . . 論理比較部、132 . . . フェイルメモリ、
 134 . . . 動作制御部、150 . . . リレー制御部、152 . . . リレー制御信号
 生成部、154 . . . 第1論理積回路、156 . . . 第2論理積回路、160 . . . 終端
 回路制御部、162 . . . 終端回路制御信号生成部、164 . . . 第4論理積回路、31
 2 . . . 第3論理積回路、314 . . . 論理和回路、334 . . . 動作制御部、340 .
 . . 電圧設定部、342 . . . 電圧設定制御部、344 . . . 第1論理積回路、346 .
 . . 第2論理積回路、352 . . . リレー制御信号生成部、354 . . . 第4論理積回路
 、362 . . . 終端回路制御信号生成部、364 . . . 第5論理積回路、500 . . . パ
 20 ターン発生部、502 . . . タイミング発生部、504 . . . 波形整形部、510 . . .
 第1リレー制御部、512 . . . 第1論理和回路、514 . . . 第2論理和回路、516
 . . . 第1ラッチ回路、520 . . . 第2リレー制御部、522 . . . 否定回路、524
 . . . 第2ラッチ回路、530 . . . ドライバ、532 . . . 第1リレー、534 . . .
 第2リレー、536 . . . 抵抗、540 . . . コンパレータ、542 . . . 論理比較部、
 544 . . . フェイルメモリ

【発明を実施するための最良の形態】

【0016】

以下、発明の実施形態を通じて本発明を説明するが、以下の実施形態は請求の範囲に係る発明を限定するものではなく、また実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【0017】

図1は、本発明の第1の実施形態に係る試験装置10の構成の一例を示すブロック図である。試験装置10は、D U T (Device Under Test: 被試験デバイス)15に試験信号を印加することにより、D U T 15を試験する。試験装置10は、パターン発生部100、タイミング発生部102、波形整形部104、設定電圧出力部110、第1リレー120、ドライバ122、第2リレー124、終端回路126、コンパレータ128、論理比較部130、フェイルメモリ132、動作制御部134、リレー制御部150、及び終端回路制御部160を備える。

【0018】

試験装置10は、ドライバ122を用いて試験信号をD U T 15に印加する。そして、試験装置10は、印加された試験信号に対応してD U T 15が出力した結果信号をコンパレータ128を用いて基準電圧と比較し、比較結果と期待値とを照合することにより、D U T 15の良否を判定する。ここで、ドライバ122からD U T 15に至る試験信号の伝送路と、D U T 15からコンパレータ128に至る結果信号の伝送路とは、互いに一部を共有している。そのため、コンパレータ128がD U T 15から結果信号を読み込む場合には、ドライバ122への試験信号の供給を停止する必要がある。また、コンパレータ128で結果信号を読み込むために、結果信号の伝送路を終端する必要がある。

【0019】

本実施形態に係る試験装置10は、D U T 15に対して試験信号を書き込む場合と、D 50

DUT15から結果信号を読み込む場合とで、ドライバ122への試験信号の供給及び結果信号の伝送路の終端を、リレーを用いることなく制御するか、リレーを用いて制御するかを、切り替え可能に設定することを目的とする。

【0020】

パターン発生部100は、デジタル信号である試験信号を発生し、波形整形部104に出力する。また、パターン発生部100は、期待値を発生して論理比較部130に出力する。タイミング発生部102は、試験信号をDUT15に書き込むタイミングを示すタイミング信号を発生し、波形整形部104及び論理比較部130に出力する。波形整形部104は、パターン発生部100から受け取った試験信号を、タイミング発生部102から受け取ったタイミング信号が示すタイミングで、設定電圧出力部110に出力する。

10

【0021】

設定電圧出力部110は、波形整形部104から受け取った試験信号を、第1リレー120を経由してドライバ122に出力する。また、設定電圧出力部110は、ドライバ122への試験信号の供給及び結果信号の伝送路の終端をリレーを用いることなく制御する場合のDUT15に対する読込動作において、ドライバ122に出力する試験信号の電圧を予め定められた電圧値に設定することにより、結果信号の伝送路をドライバ122に終端させる。この場合、試験装置10は、結果信号の伝送路を試験信号の電圧レベルにより終端することのできるDUT15を試験する。第1リレー120は、設定電圧出力部110がドライバ122に試験信号を供給するか否かを切り替える。ドライバ122は、第1リレーを経由して設定電圧出力部110から受け取った試験信号を、例えば50である抵抗を介してDUT15に印加する。

20

【0022】

第2リレー124は、結果信号の伝送路を終端回路126に終端させるか否かを切り替える。終端回路126は、ドライバ122への試験信号の供給及び結果信号の伝送路の終端をリレーを用いて制御する場合に、結果信号の伝送路を、終端電圧VTを用いて終端する。コンパレータ128は、DUT15が出力した結果信号を予め定められた基準電圧と比較し、比較結果を論理比較部130に出力する。論理比較部130は、コンパレータ128から受け取った比較結果に基づいてDUT15の良否を判定する。具体的には、論理比較部130は、タイミング発生部102から受け取ったタイミング信号に基づくタイミングで、コンパレータ128から受け取った比較結果をパターン発生部100から受け取った期待値と照合する。そして、論理比較部130は、比較結果が期待値に一致しているか否かにより、DUT15の良否を判定する。そして、論理比較部130は、DUT15の良否を判定した結果をフェイルメモリ132に格納する。

30

【0023】

動作制御部134は、試験装置10がDUT15に対して書込動作を行う場合にはH論理を、読込動作を行う場合にはL論理を示す動作制御信号を生成し、リレー制御部150に出力する。

40

【0024】

リレー制御部150は、ドライバ122への試験信号の供給及び結果信号の伝送路の終端を、リレーを用いることなく制御するか否かを切り替え可能に制御する。具体的には、リレー制御部150は、試験装置10がDUT15に対して書込動作と読込動作との何れを行うかを、動作制御部134から受け取った動作制御信号に基づいて判定する。そして、リレー制御部150は、試験装置10がDUT15に対して読込動作を行う場合に、設定電圧出力部110が結果信号の伝送路をドライバ122に終端させるのに代えて、第1リレー120がドライバ122への試験信号の供給を停止すると共に第2リレー124が結果信号の伝送路を終端回路126に終端させるか否かを、切り替え可能に制御する。

【0025】

終端回路制御部160は、結果信号の伝送路の終端をリレーを用いて制御する場合のDUT15に対する読込動作において、第2リレー124を短絡することにより終端回路126に結果信号の伝送路を終端させるか、第2リレー124を開放することにより第2リ

50

レー 124 の D U T 15 の側の一端をハイインピーダンスとするかを、切り替え可能に制御する。

【 0 0 2 6 】

本実施形態に係る試験装置 10 によれば、D U T 15 に対する試験信号の書き込動作と、D U T 15 からの結果信号の読み込動作とを、リレーを使用することなく切り替えることができる。これにより、D U T 15 に対して試験信号を書き込むタイミングを精度よく制御でき、また、リレーに由来するノイズの影響を受けることなく、D U T 15 を精度よく試験することができる。

また、本実施形態に係る試験装置 10 によれば、D U T 15 に対する試験信号の書き込動作と、D U T 15 からの結果信号の読み込動作とを切り替える場合に、リレーを用いるか否かを制御できる。これにより、利用者の要望に応じて試験方法を適切に切り替えることができる。

【 0 0 2 7 】

図 2 は、本発明の第 1 の実施形態に係る試験装置 10 における動作の一例を示すフローチャートである。本図に示す動作において、試験装置 10 は、ドライバ 122 への試験信号の供給、及び結果信号の伝送路の終端を、リレーを用いることなく制御する。

【 0 0 2 8 】

まず、パターン発生部 100 は、試験信号を発生し、波形整形部 104 に出力する (S 1000)。続いて、タイミング発生部 102 は、試験信号を D U T 15 に書き込むタイミングを示すタイミング信号を発生し、波形整形部 104 に出力する (S 1010)。続いて、波形整形部 104 は、パターン発生部 100 から受け取った試験信号を、タイミング発生部 102 から受け取ったタイミング信号が示すタイミングで、設定電圧出力部 110 に出力する (S 1020)。続いて、動作制御部 134 は、試験装置 10 が D U T 15 に対して書き込動作を行う場合には H 論理を、読み込動作を行う場合には L 論理を示す動作制御信号を生成し、リレー制御部 150 を介して設定電圧出力部 110 に出力する (S 1030)。

【 0 0 2 9 】

試験装置 10 が D U T 15 に対して書き込動作を行う場合 (S 1040 : N o)、設定電圧出力部 110 は、波形整形部 104 から受け取った試験信号をドライバ 122 に出力する (S 1050)。そして、ドライバ 122 は、設定電圧出力部 110 から受け取った試験信号を D U T 15 に印加する (S 1060)。

一方、試験装置 10 が D U T 15 に対して読み込動作を行う場合 (S 1040 : Y e s)、設定電圧出力部 110 は、試験信号の電圧を予め定められた電圧値に設定して、ドライバ 122 に出力する (S 1070)。そして、ドライバ 122 は、電圧が予め定められた電圧値に設定された試験信号を出力することにより、結果信号の伝送路を終端する (S 1080)。続いて、コンパレータ 128 は、D U T 15 が output した結果信号を予め定められた基準電圧と比較し、比較結果を論理比較部 130 に出力する (S 1090)。続いて、論理比較部 130 は、コンパレータ 128 から受け取った比較結果に基づいて D U T 15 の良否を判定する (S 1100)。

【 0 0 3 0 】

以上に示したように、本実施形態に係る試験装置 10 によれば、リレーを使用することなく結果信号の伝送路を終端することができる。これにより、リレーに由来するノイズの影響を受けることなく、D U T 15 を精度よく試験することができる。

【 0 0 3 1 】

図 3 は、本発明の第 1 の実施形態に係る試験信号、動作制御信号、リレー制御信号、及び終端回路制御信号の波形の一例を示す。まず、図 1 に示したリレー制御部 150、設定電圧出力部 110、及び終端回路制御部 160 における回路の詳細について述べる。

【 0 0 3 2 】

リレー制御部 150 は、リレー制御信号生成部 152、第 1 論理積回路 154、及び第 2 論理積回路 156 を有する。リレー制御信号生成部 152 は、D U T 15 に対する読み込

動作において、ドライバ122への試験信号の供給及び結果信号の伝送路の終端をリレーを用いることなく制御する場合にはH論理を、リレーを用いて制御する場合にはL論理を示すリレー制御信号を生成する。具体的には、リレー制御信号生成部152は、DUT15に対する読み込み動作において、設定電圧出力部110が結果信号の伝送路をドライバ122に終端させる場合にはH論理を、第1リレー120がドライバ122への試験信号の供給を停止すると共に、第2リレー124が結果信号の伝送路を終端回路126に終端させる場合にはL論理を示すリレー制御信号を生成する。そして、リレー制御信号生成部152は、生成したリレー制御信号を、第1論理積回路154及び第2論理積回路156に出力する。

【0033】

10

第1論理積回路154は、動作制御部134が生成した動作制御信号の反転値と、リレー制御信号生成部152が生成したリレー制御信号との論理積演算を行い、演算の結果の反転値を設定電圧出力部110に出力する。第2論理積回路156は、動作制御部134が生成した動作制御信号の反転値とリレー制御信号生成部152が生成したリレー制御信号の反転値との論理積演算を行い、演算の結果の反転値を第1リレー120の動作信号として出力する。これにより、第2論理積回路156は、試験装置10がDUT15に対して読み込み動作を行い、且つリレー制御信号がL論理を示す場合に、第1リレー120を開放してドライバ122への試験信号の供給を停止する。また、第2論理積回路156は、演算の結果を終端回路制御部160に出力する。

【0034】

20

設定電圧出力部110は、第3論理積回路112を有する。第3論理積回路112は、試験信号と第1論理積回路154が出力した演算結果の反転値との論理積演算を行い、演算の結果を第1リレー120を経由してドライバ122に出力する。これにより、第3論理積回路112は、試験装置10がDUT15に対して読み込み動作を行い、且つリレー制御信号がH論理を示す場合に、結果信号の伝送路をドライバ122に終端させる。

【0035】

30

終端回路制御部160は、終端回路制御信号生成部162、及び第4論理積回路164を有する。終端回路制御信号生成部162は、結果信号の伝送路の終端をリレーを用いて制御する場合のDUT15に対する読み込み動作において、第2リレー124を短絡することにより終端回路126に結果信号の伝送路を終端させる場合にはH論理を、第2リレー124を開放することにより第2リレー124におけるDUT15の側の一端をハイインピーダンスとする場合にはL論理を示す終端回路制御信号を生成し、第4論理積回路164に出力する。第4論理積回路164は、第2論理積回路156が出力した演算結果と終端回路制御信号生成部162が生成した終端回路制御信号との論理積演算を行い、演算の結果を第2リレー124の動作信号として出力する。これにより、第4論理積回路164は、試験装置10がDUT15に対して読み込み動作を行い、且つリレー制御信号がL論理を示すと共に、終端回路制御信号がH論理を示す場合に、第2リレー124を短絡して、終端回路126に結果信号の伝送路を終端させる。

【0036】

40

図3(a)は、リレー制御信号がH論理を示す場合における各信号の波形の一例を示す。まず、区間200における、試験装置10の動作について述べる。区間200において、動作制御信号はH論理を示す。即ち、区間200において、試験装置10はDUT15に対して書き込み動作を行う。第1論理積回路154は、動作制御信号の反転値であるL論理と、リレー制御信号が示すH論理との論理積演算を行い、演算の結果の反転値であるH論理を第3論理積回路112に出力する。第2論理積回路156は、動作制御信号の反転値であるL論理と、リレー制御信号の反転値であるL論理との論理積演算を行い、演算の結果の反転値であるH論理を第1リレー120の動作信号として出力することにより、第1リレー120を短絡する。また、第2論理積回路156は、演算の結果の反転値であるH論理を第4論理積回路164に出力する。第3論理積回路112は、試験信号と第1論理積回路154が出力した演算結果の反転値であるH論理との論理積演算を行い、演算の結

50

果である試験信号を第1リレー120を経由してドライバ122に出力する。第4論理積回路164は、第2論理積回路156が出力した演算結果の反転値であるH論理の反転値と終端回路制御信号が示すH論理との論理積演算を行い、演算の結果であるL論理を第2リレー124の動作信号として出力することにより、第2リレー124を開放する。

以上により、試験装置10は、区間200において、第1リレー120を短絡すると共に第2リレー124を開放することにより、DUT15に試験信号を印加する。

【0037】

次に、区間210における、試験装置10の動作について述べる。区間210において、動作制御信号はL論理を示す。即ち、区間210において、試験装置10はDUT15に対して読込動作を行う。第1論理積回路154は、動作制御信号の反転値であるH論理と、リレー制御信号が示すH論理との論理積演算を行い、演算の結果の反転値であるL論理を第3論理積回路112に出力する。第2論理積回路156は、動作制御信号の反転値であるH論理と、リレー制御信号の反転値であるL論理との論理積演算を行い、演算の結果の反転値であるH論理を第1リレー120の動作信号として出力することにより、第1リレー120を短絡する。また、第2論理積回路156は、演算の結果の反転値であるH論理を第4論理積回路164に出力する。第3論理積回路112は、試験信号と第1論理積回路154が出力した演算結果の反転値であるL論理との論理積演算を行い、演算の結果であるL論理を第1リレー120を経由してドライバ122に出力する。つまり、第3論理積回路112は、試験信号の示す値に関わらず、常にL論理をドライバ122に出力する。第4論理積回路164は、第2論理積回路156が出力した演算結果の反転値であるH論理の反転値と終端回路制御信号が示すH論理との論理積演算を行い、演算の結果であるL論理を第2リレー124の動作信号として出力することにより、第2リレー124を開放する。

以上により、試験装置10は、区間210において、ドライバ122に常にL論理を示す信号を出力し、更に、第1リレー120を短絡すると共に第2リレー124を開放することにより、ドライバ122を用いて結果信号の伝送路を終端する。

【0038】

図3(b)は、リレー制御信号がL論理を示す場合における各信号の波形の一例を示す。まず、区間220における、試験装置10の動作について述べる。区間220において、動作制御信号はH論理を示す。即ち、区間220において、試験装置10はDUT15に対して書込動作を行う。第1論理積回路154は、動作制御信号の反転値であるL論理と、リレー制御信号が示すL論理との論理積演算を行い、演算の結果の反転値であるH論理を第3論理積回路112に出力する。第2論理積回路156は、動作制御信号の反転値であるL論理と、リレー制御信号の反転値であるH論理との論理積演算を行い、演算の結果の反転値であるH論理を第1リレー120の動作信号として出力することにより、第1リレー120を短絡する。また、第2論理積回路156は、演算の結果の反転値であるH論理を第4論理積回路164に出力する。第3論理積回路112は、試験信号と第1論理積回路154が出力した演算結果の反転値であるH論理との論理積演算を行い、演算の結果である試験信号を第1リレー120を経由してドライバ122に出力する。第4論理積回路164は、第2論理積回路156が出力した演算結果の反転値であるH論理の反転値と終端回路制御信号が示すH論理との論理積演算を行い、演算の結果であるL論理を第2リレー124の動作信号として出力することにより、第2リレー124を開放する。

以上により、試験装置10は、区間220において、第1リレー120を短絡すると共に第2リレー124を開放することにより、DUT15に試験信号を印加する。

【0039】

次に、区間230における、試験装置10の動作について述べる。区間230において、動作制御信号はL論理を示す。即ち、区間230において、試験装置10はDUT15に対して読込動作を行う。第1論理積回路154は、動作制御信号の反転値であるH論理と、リレー制御信号が示すL論理との論理積演算を行い、演算の結果の反転値であるH論理を第3論理積回路112に出力する。第2論理積回路156は、動作制御信号の反転値であるL論理を第2リレー124の動作信号として出力することにより、第2リレー124を開放する。

10

20

30

40

50

であるH論理と、リレー制御信号の反転値であるL論理との論理積演算を行い、演算の結果の反転値であるL論理を第1リレー120の動作信号として出力することにより、第1リレー120を開放する。これにより、第3論理積回路における演算の結果に関わらず、ドライバ122への試験信号の供給は停止される。また、第2論理積回路156は、演算の結果の反転値であるL論理を第4論理積回路164に出力する。第4論理積回路164は、第2論理積回路156が出力した演算結果の反転値であるL論理の反転値と終端回路制御信号が示すH論理との論理積演算を行い、演算の結果であるH論理を第2リレー124の動作信号として出力することにより、第2リレー124を短絡する。これにより、終端回路126は、第2リレーを経由して結果信号の伝送路を終端する。

以上により、試験装置10は、区間230において、第1リレー120を開放すると共に第2リレー124を短絡することにより、終端回路126を用いて結果信号の伝送路を終端する。10

【0040】

なお、本実施形態において示した構成は一例であり、当該構成に多様な変更を加えてもよい。例えば、試験装置10は、終端回路制御部160を備えていなくともよい。この場合、第2論理積回路156は、動作制御部134が出力した動作制御信号の反転値とリレー制御信号生成部152が生成したリレー制御信号の反転値との論理積演算を行い、演算の結果の反転値を第1リレー120の動作信号として出力すると共に演算の結果を第2リレー124の動作信号として出力する。これにより、第2論理積回路156は、試験装置10がDUT15に対して読み動作を行い、且つリレー制御信号がL論理を示す場合に、ドライバ122への試験信号の供給を停止し、結果信号の伝送路を終端回路126に終端させる。20

【0041】

また、試験装置10は、第1リレー120、第2リレー124、終端回路126、リレー制御部150、及び終端回路制御部160を備えていなくともよい。この場合、動作制御部134は、動作制御信号を生成して第3論理積回路112に出力する。そして、第3論理積回路112は、試験信号と動作制御部134から受け取った動作制御信号との論理積演算を行い、演算の結果をドライバ122に出力することにより、試験装置10がDUT15に対して読み動作を行う場合に、試験信号の電圧値をL論理に設定して結果信号の伝送路をドライバ122に終端させる。30

【0042】

本実施形態に係る試験装置10によれば、DUT15に対する試験信号の書き動作とDUT15からの結果信号の読み動作とを、動作制御信号に基づいて、リレーを使用することなく切り替えることができる。これにより、DUT15に対して試験信号を書き込むタイミングを精度よく制御でき、また、リレーに由来するノイズの影響を受けることなく、DUT15を精度よく試験することができる。

また、本実施形態に係る試験装置10によれば、DUT15に対する試験信号の書き動作とDUT15からの結果信号の読み動作とを切り替える場合にリレーを用いるか否かを、リレー制御信号に基づいて制御できる。これにより、DUT15の特性に応じた試験方法を適切に選択することができるので、効率よく試験を行うことができる。40

【0043】

図4は、本発明の第2の実施形態に係る試験装置30の構成の一例を示すブロック図である。試験装置30は、パターン発生部100、タイミング発生部102、波形整形部104、設定電圧出力部110、第1リレー120、ドライバ122、第2リレー124、終端回路126、コンパレータ128、論理比較部130、フェイルメモリ132、動作制御部334、電圧設定部340、リレー制御部150、及び終端回路制御部160を備える。

【0044】

第1の実施形態に係る試験装置10では、ドライバ122を用いて結果信号の伝送路を終端させる場合に、ドライバ122に供給する試験信号の電圧をL論理に設定したが、第50

2 の実施形態に係る試験装置 30 では、ドライバ 122 を用いて結果信号の伝送路を終端させる場合に、ドライバ 122 に供給する試験信号の電圧を H 論理及び L 論理の何れに設定するかを切り替え可能に設定する。なお、図 1 において示した部材と同一の符号を付した部材は、図 1 における部材と同一の機能を有するので説明を省略する。

【 0 0 4 5 】

動作制御部 334 は、試験装置 30 が DUT 15 に対して書込動作を行う場合には H 論理を、読込動作を行う場合には L 論理を示す動作制御信号を生成し、電圧設定部 340 及びリレー制御部 150 に出力する。電圧設定部 340 は、試験装置 30 が DUT 15 に対して書込動作と読込動作との何れを行なうかを、動作制御部 334 から受け取った動作制御信号に基づいて判定する。そして、電圧設定部 340 は、試験装置 30 が DUT 15 に対して読込動作を行う場合の、設定電圧出力部 110 における予め定められた設定電圧、即ち、結果信号の伝送路の終端に用いる電圧値を、H 論理又は L 論理に切り替え可能に設定する。

【 0 0 4 6 】

本実施形態に係る試験装置 30 によれば、DUT 15 に対する試験信号の書込動作と DUT 15 からの結果信号の読込動作とをリレーを使用することなく切り替える場合に、結果信号の伝送路を終端するドライバ 122 に供給する試験信号の電圧を、H 論理及び L 論理の何れか一方に切り替え可能に設定できる。これにより、DUT 15 の特性に応じた試験方法を適切に選択することができるので、効率よく試験を行うことができる。

【 0 0 4 7 】

図 5 は、本発明の第 2 の実施形態に係る試験信号、動作制御信号、リレー制御信号、電圧設定制御信号、及び終端回路制御信号の波形の一例を示す。まず、図 4 に示したリレー制御部 150、電圧設定部 340、設定電圧出力部 110、及び終端回路制御部 160 における回路の詳細について述べる。リレー制御部 150 は、リレー制御信号生成部 352、及び第 4 論理積回路 354 を有する。リレー制御信号生成部 352 は、DUT 15 に対する読込動作において、ドライバ 122 への試験信号の供給及び結果信号の伝送路の終端をリレーを用いることなく制御する場合には H 論理を、リレーを用いて制御する場合には L 論理を示すリレー制御信号を生成する。具体的には、リレー制御信号生成部 352 は、DUT 15 に対する読込動作において、設定電圧出力部 110 が結果信号の伝送路をドライバ 122 に終端させる場合には H 論理を、第 1 リレー 120 がドライバ 122 への試験信号の供給を停止すると共に、第 2 リレー 124 が結果信号の伝送路を終端回路 126 に終端させる場合には L 論理を示すリレー制御信号を生成する。そして、リレー制御信号生成部 352 は、生成したリレー制御信号を、第 4 論理積回路 354 及び電圧設定部 340 に出力する。

【 0 0 4 8 】

第 4 論理積回路 354 は、動作制御部 334 が生成した動作制御信号の反転値と、リレー制御信号生成部 352 が生成したリレー制御信号の反転値との論理積演算を行い、演算の結果の反転値を第 1 リレー 120 の動作信号として出力する。これにより、第 4 論理積回路 354 は、試験装置 30 が DUT 15 に対して読込動作を行い、且つリレー制御信号が L 論理を示す場合に、第 1 リレー 120 を開放してドライバ 122 への試験信号の供給を停止する。また、第 4 論理積回路 354 は、演算の結果を終端回路制御部 160 に出力する。

【 0 0 4 9 】

電圧設定部 340 は、電圧設定制御部 342、第 1 論理積回路 344、及び第 2 論理積回路 346 を有する。電圧設定制御部 342 は、設定電圧出力部 110 における予め定められた電圧値を示す電圧設定制御信号を生成し、第 1 論理積回路 344 及び第 2 論理積回路 346 に出力する。第 1 論理積回路 344 は、動作制御部 334 が生成した動作制御信号の反転値と、電圧設定制御部 342 が生成した電圧設定制御信号の反転値と、リレー制御信号生成部 352 が生成したリレー制御信号との論理積演算を行い、演算の結果の反転値を設定電圧出力部 110 に出力する。第 2 論理積回路 346 は、動作制御部 334 が生

10

20

30

40

50

成した動作制御信号の反転値と、電圧設定制御部342が生成した電圧設定制御信号と、リレー制御信号生成部352が生成したリレー制御信号との論理積演算を行い、演算の結果を設定電圧出力部110に出力する。

【0050】

設定電圧出力部110は、第3論理積回路312、及び論理和回路314を有する。第3論理積回路312は、試験信号と第1論理積回路344が出力する演算結果の反転値との論理積演算を行い、演算の結果を論理和回路314に出力する。論理和回路314は、第3論理積回路312の演算結果と第2論理積回路346の演算結果との論理和演算を行い、演算の結果を第1リレー120を経由してドライバ122に出力することにより、試験装置30がDUT15に対して読み込み動作を行う場合に、試験信号の電圧値を電圧設定制御信号が示す値に設定し、結果信号の伝送路をドライバ122に終端させる。10

【0051】

終端回路制御部160は、終端回路制御信号生成部362、及び第5論理積回路364を有する。終端回路制御信号生成部362は、結果信号の伝送路の終端をリレーを用いて制御する場合のDUT15に対する読み込み動作において、第2リレー124を短絡することにより終端回路126に結果信号の伝送路を終端させる場合にはH論理を、第2リレー124を開放することにより第2リレー124におけるDUT15の側の一端をハイインピーダンスとする場合にはL論理を示す終端回路制御信号を生成し、第5論理積回路364に出力する。第5論理積回路364は、第4論理積回路354が出力した演算結果と終端回路制御信号生成部362が生成した終端回路制御信号との論理積演算を行い、演算の結果を第2リレー124の動作信号として出力する。これにより、第5論理積回路364は、試験装置30がDUT15に対して読み込み動作を行い、且つリレー制御信号がL論理を示すと共に、終端回路制御信号がH論理を示す場合に、第2リレー124を短絡して、終端回路126に結果信号の伝送路を終端させる。20

【0052】

図5(a)は、電圧設定制御信号がH論理を示す場合における各信号の波形の一例を示す。まず、区間400における、試験装置30の動作について述べる。区間400において、動作制御信号はH論理を示す。即ち、区間400において、試験装置30はDUT15に対して書き込み動作を行う。第4論理積回路354は、動作制御信号の反転値であるL論理と、リレー制御信号の反転値であるL論理との論理積演算を行い、演算の結果の反転値であるH論理を第1リレー120の動作信号として出力することにより、第1リレー120を短絡する。また、第4論理積回路354は、演算の結果の反転値であるH論理を第5論理積回路364に出力する。30

【0053】

第1論理積回路344は、動作制御信号の反転値であるL論理と、電圧設定制御信号の反転値であるL論理と、リレー制御信号が示すH論理との論理積演算を行い、演算の結果の反転値であるH論理を第3論理積回路312に出力する。第2論理積回路346は、動作制御信号の反転値であるL論理と、電圧設定制御信号が示すH論理と、リレー制御信号が示すH論理との論理積演算を行い、演算の結果であるL論理を、論理和回路314に出力する。第3論理積回路312は、試験信号と第1論理積回路344が出力した演算結果の反転値であるH論理との論理積演算を行い、演算の結果である試験信号を論理和回路314に出力する。論理和回路314は、第3論理積回路312が出力した演算結果である試験信号と第2論理積回路346が出力した演算結果であるL論理との論理和演算を行い、演算の結果である試験信号を第1リレー120を経由してドライバ122に出力する。第5論理積回路364は、第4論理積回路354が出力した演算結果の反転値であるH論理の反転値と終端回路制御信号が示すH論理との論理積演算を行い、演算の結果であるL論理を第2リレー124の動作信号として出力することにより、第2リレー124を開放する。40

以上により、試験装置30は、区間400において、第1リレー120を短絡すると共に第2リレー124を開放することにより、DUT15に試験信号を印加する。50

【0054】

次に、区間410における、試験装置30の動作について述べる。区間410において、動作制御信号はL論理を示す。即ち、区間410において、試験装置30はDUT15に対して読込動作を行う。第4論理積回路354は、動作制御信号の反転値であるH論理と、リレー制御信号の反転値であるL論理との論理積演算を行い、演算の結果の反転値であるH論理を第1リレー120の動作信号として出力することにより、第1リレー120を短絡する。また、第4論理積回路354は、演算の結果の反転値であるH論理を第5論理積回路364に出力する。

【0055】

第1論理積回路344は、動作制御信号の反転値であるH論理と、電圧設定制御信号の反転値であるL論理と、リレー制御信号が示すH論理との論理積演算を行い、演算の結果の反転値であるH論理を第3論理積回路312に出力する。第2論理積回路346は、動作制御信号の反転値であるH論理と、電圧設定制御信号が示すH論理と、リレー制御信号が示すH論理との論理積演算を行い、演算の結果であるH論理を、論理和回路314に出力する。第3論理積回路312は、試験信号と第1論理積回路344が出力した演算結果の反転値であるH論理との論理積演算を行い、演算の結果である試験信号を論理和回路314に出力する。論理和回路314は、第3論理積回路312が出力した演算結果である試験信号と第2論理積回路346が出力した演算結果であるH論理との論理和演算を行い、演算の結果であるH論理を第1リレー120を経由してドライバ122に出力する。つまり、論理和回路314は、試験信号が示す値に関わらず、常に、電圧設定制御信号が示す値であるH論理をドライバ122に出力する。第5論理積回路364は、第4論理積回路354が出力した演算結果の反転値であるH論理の反転値と終端回路制御信号が示すH論理との論理積演算を行い、演算の結果であるL論理を第2リレー124の動作信号として出力することにより、第2リレー124を開放する。

以上により、試験装置30は、区間410において、ドライバ122に常にH論理を示す信号を出力し、更に第1リレー120を短絡すると共に第2リレー124を開放することにより、ドライバ122を用いて結果信号の伝送路を終端する。

【0056】

図5(b)は、電圧設定制御信号がL論理を示す場合における各信号の波形の一例を示す。まず、区間420における、試験装置30の動作について述べる。区間420において、動作制御信号はH論理を示す。即ち、区間420において、試験装置30はDUT15に対して書込動作を行う。第4論理積回路354は、動作制御信号の反転値であるL論理と、リレー制御信号の反転値であるL論理との論理積演算を行い、演算の結果の反転値であるH論理を第1リレー120の動作信号として出力することにより、第1リレー120を短絡する。また、第4論理積回路354は、演算の結果の反転値であるH論理を第5論理積回路364に出力する。

【0057】

第1論理積回路344は、動作制御信号の反転値であるL論理と、電圧設定制御信号の反転値であるH論理と、リレー制御信号が示すH論理との論理積演算を行い、演算の結果の反転値であるH論理を第3論理積回路312に出力する。第2論理積回路346は、動作制御信号の反転値であるL論理と、電圧設定制御信号が示すL論理と、リレー制御信号が示すH論理との論理積演算を行い、演算の結果であるL論理を、論理和回路314に出力する。第3論理積回路312は、試験信号と第1論理積回路344が出力した演算結果の反転値であるH論理との論理積演算を行い、演算の結果である試験信号を論理和回路314に出力する。論理和回路314は、第3論理積回路312が出力した演算結果である試験信号と第2論理積回路346が出力した演算結果であるL論理との論理和演算を行い、演算の結果である試験信号を第1リレー120を経由してドライバ122に出力する。第5論理積回路364は、第4論理積回路354が出力した演算結果の反転値であるH論理の反転値と終端回路制御信号が示すH論理との論理積演算を行い、演算の結果であるL論理を第2リレー124の動作信号として出力することにより、第2リレー124を開放

10

20

30

40

50

する。

以上により、試験装置30は、区間420において、第1リレー120を短絡すると共に第2リレー124を開放することにより、DUT15に試験信号を印加する。

【0058】

次に、区間430における、試験装置30の動作について述べる。区間430において、動作制御信号はL論理を示す。即ち、区間430において、試験装置30はDUT15に対して読み込み動作を行う。第4論理積回路354は、動作制御信号の反転値であるH論理と、リレー制御信号の反転値であるL論理との論理積演算を行い、演算の結果の反転値であるH論理を第1リレー120の動作信号として出力することにより、第1リレー120を短絡する。また、第4論理積回路354は、演算の結果の反転値であるH論理を第5論理積回路364に出力する。第1論理積回路344は、動作制御信号の反転値であるH論理と、電圧設定制御信号の反転値であるH論理と、リレー制御信号が示すH論理との論理積演算を行い、演算の結果の反転値であるL論理を第3論理積回路312に出力する。10

【0059】

第2論理積回路346は、動作制御信号の反転値であるH論理と、電圧設定制御信号が示すL論理と、リレー制御信号が示すH論理との論理積演算を行い、演算の結果であるL論理を、論理和回路314に出力する。第3論理積回路312は、試験信号と第1論理積回路344が出力した演算結果の反転値であるL論理との論理積演算を行い、演算の結果であるL論理を論理和回路314に出力する。論理和回路314は、第3論理積回路312が出力した演算結果であるL論理と第2論理積回路346が出力した演算結果であるL論理との論理和演算を行い、演算の結果であるL論理を第1リレー120を経由してドライバ122に出力する。つまり、論理和回路314は、試験信号が示す値に関わらず、常に、電圧設定制御信号が示す値であるL論理をドライバ122に出力する。第5論理積回路364は、第4論理積回路354が出力した演算結果の反転値であるH論理の反転値と終端回路制御信号が示すH論理との論理積演算を行い、演算の結果であるL論理を第2リレー124の動作信号として出力することにより、第2リレー124を開放する。20

以上により、試験装置30は、区間430において、ドライバ122に常にL論理を示す信号を出力し、更に第1リレー120を短絡すると共に第2リレー124を開放することにより、ドライバ122を用いて結果信号の伝送路を終端する。

【0060】

なお、本実施形態において示した構成は一例であり、当該構成に多様な変更を加えてよい。例えば、試験装置30は、終端回路制御部160を備えていなくともよい。この場合、第4論理積回路354は、動作制御部334が生成した動作制御信号の反転値と、リレー制御信号生成部352が生成したリレー制御信号の反転値との論理積演算を行い、演算の結果の反転値を第1リレー120の動作信号として出力すると共に演算の結果を第2リレー124の動作信号として出力する。これにより、第4論理積回路354は、試験装置30がDUT15に対して読み込み動作を行い、且つリレー制御信号がL論理を示す場合に、ドライバ122への試験信号の供給を停止し、結果信号の伝送路を終端回路126に終端させる。30

【0061】

また、例えば、試験装置30は、第1リレー120、第2リレー124、終端回路126、リレー制御部150、及び終端回路制御部160を備えていなくともよい。この場合、動作制御部334は、試験装置30がDUT15に対して書き込み動作を行う場合にはH論理を、読み込み動作を行う場合にはL論理を示す動作制御信号を生成し、電圧設定部340に出力する。そして、第1論理積回路344は、動作制御部334が生成した動作制御信号の反転値と、電圧設定制御部342が生成した電圧設定制御信号の反転値との論理積演算を行い、演算の結果の反転値を第3論理積回路312に出力する。そして、第2論理積回路346は、動作制御部334が生成した動作制御信号の反転値と電圧設定制御部342が生成した電圧設定制御信号との論理積演算を行い、演算の結果を論理和回路314に出力する。40

50

【 0 0 6 2 】

本実施形態に係る試験装置 30 によれば、DUT15 に対する試験信号の書込動作と DUT15 からの結果信号の読み込み動作とをリレーを使用することなく切り替える場合に、結果信号の伝送路を終端するドライバ122 に供給する試験信号の電圧を、電圧設定制御信号に基づいて、H論理及びL論理の何れか一方に切り替え可能に設定できる。これにより、DUT15 の特性に応じた試験方法を適切に選択することができるので、効率よく試験を行うことができる。

【 0 0 6 3 】

図6は、本発明の第3の実施形態に係る試験装置50の構成の一例を示すブロック図である。試験装置50は、パターン発生部500、タイミング発生部502、波形整形部504、動作制御部506、電圧設定制御部508、終端方法制御部510、第1リレー制御部520、第2リレー制御部540、ドライバ560、コンパレータ580、論理比較部582、及びフェイルメモリ584を備える。10

【 0 0 6 4 】

試験装置50は、ドライバ560を用いて試験信号をDUT55に印加する。そして、試験装置50は、印加された試験信号に対応してDUT55が出力した結果信号を、コンパレータ580を用いて基準電圧と比較し、比較結果を期待値と照合することにより、DUT55の良否を判定する。ここで、試験装置50は、DUT55から結果信号を読み込む場合に、DUT55からコンパレータ580に至る結果信号の伝送路をドライバ560により終端させる。ここで、試験装置50は、DUT55に印加するハイ側電圧VIH及びロー側電圧VILの何れか一方により結果信号の伝送路を終端することのできるDUT55を試験する。20

本実施形態に係る試験装置50は、結果信号の伝送路をドライバ560により終端させる場合に、試験信号に基づいて決定した電圧を用いるのか、終端電圧VTを用いるのかを切替可能に制御することを目的とする。

【 0 0 6 5 】

パターン発生部500は、デジタル信号である試験信号を発生し、波形整形部504に出力する。また、パターン発生部500は、期待値を発生して論理比較部582に出力する。タイミング発生部502は、試験信号をDUT55に書き込むタイミングを示すタイミング信号を発生し、波形整形部504及び論理比較部582に出力する。波形整形部504は、パターン発生部500から受け取った試験信号を、タイミング発生部502から受け取ったタイミング信号が示すタイミングで、第1リレー制御部520に出力する。30

【 0 0 6 6 】

動作制御部506は、試験装置50がDUT55に対して書込動作を行う場合にはH論理を、読み込み動作を行う場合にはL論理を示す動作制御信号を生成し、第1リレー制御部520及び第2リレー制御部540に出力する。電圧設定制御部508は、試験装置50がDUT55に対して読み込み動作を行い、且つ、結果信号の伝送路を試験信号に基づいて決定した電圧を用いて終端する場合に、ハイ側電圧VIH及びロー側電圧VILの何れを用いるかを示す電圧設定制御信号を生成し、第1リレー制御部520に出力する。終端方法制御部510は、試験装置50がDUT55に対して読み込み動作を行う場合に、結果信号の伝送路を、試験信号に基づいて決定した電圧を用いて終端する場合にはH論理を、終端電圧VTを用いて終端する場合にはL論理を示す終端方法制御信号を生成し、第2リレー制御部540に出力する。40

【 0 0 6 7 】

第1リレー制御部520は、第1論理積回路522、第2論理積回路524、第3論理積回路526、第4論理積回路528、第1論理和回路530、第2論理和回路532、及び第1ラッチ回路534を有する。第1論理積回路522は、波形整形部504から受け取った試験信号と、動作制御部506から受け取った動作制御信号との論理積演算を行い、演算の結果を第1論理和回路530に出力する。第2論理積回路524は、波形整形部504から受け取った試験信号の反転値と、動作制御部506から受け取った動作制御50

信号の反転値との論理積演算を行い、演算の結果を第2論理和回路532に出力する。第3論理積回路526は、電圧設定制御部508から受け取った電圧設定制御信号と、動作制御部506から受け取った動作制御信号の反転値との論理積演算を行い、演算の結果を第1論理和回路530に出力する。第4論理積回路528は、電圧設定制御部508から受け取った電圧設定制御信号の反転値と、動作制御部506から受け取った動作制御信号の反転値との論理積演算を行い、演算の結果を第2論理和回路532に出力する。

【0068】

第1論理和回路530は、第1論理積回路522から受け取った演算の結果と、第3論理積回路526から受け取った演算の結果との論理和演算を行い、演算の結果を第1ラッチ回路534に出力する。第2論理和回路532は、第2論理積回路524から受け取った演算の結果と、第4論理積回路528から受け取った演算の結果との論理和演算を行い、演算の結果を第1ラッチ回路534に出力する。第1ラッチ回路534は、第1論理和回路530から受け取った演算結果がH論理を示す場合にはH論理を、第2論理和回路532から受け取った演算結果がH論理を示す場合にはL論理をドライバ560に出力する。
10

【0069】

以上により、第1リレー制御部520は、試験装置50がDUT55に対して書込動作を行う場合、即ち動作制御信号がH論理を示す場合に、試験信号が示す論理値をドライバ560に出力する。また、第1リレー制御部520は、試験装置50がDUT55に対して読込動作を行う場合、即ち動作制御信号がL論理を示す場合に、電圧制御信号が示す論理値をドライバ560に出力する。
20

【0070】

第2リレー制御部540は、第5論理積回路542、否定回路544、及び第2ラッチ回路546を有する。第5論理積回路542は、動作制御部506から受け取った動作制御信号と、終端方法制御部510から受け取った終端方法制御信号との論理積演算を行い、演算の結果を否定回路544及び第2ラッチ回路546に出力する。否定回路544は、第5論理積回路542から受け取った演算結果の反転値を第2ラッチ回路546に出力する。第2ラッチ回路546は、第5論理積回路542から受け取った演算結果がH論理を示す場合にはH論理を、否定回路544から受け取った信号がH論理を示す場合、即ち第5論理積回路542における演算結果がL論理を示す場合にはL論理をドライバ560に出力する。
30

以上により、第2リレー制御部540は、試験装置50がDUT55に対して書込動作を行う場合にはH論理を、読込動作を行う場合には終端方法制御信号が示す論理値をドライバ560に出力する。

【0071】

ドライバ560は、DUT55に試験信号を印加すると共に、DUT55に対して読込動作を行う場合に結果信号の伝送路を終端する。ドライバ560は、第1リレー562、第2リレー564、及び抵抗566を有する。第1リレー562は、第1リレー制御部520から受け取った信号がH論理を示す場合にはハイ側電圧VIHを、L論理を示す場合にはロー側電圧VILを第2リレー564に出力する。第2リレー564は、第2リレー制御部540から受け取った信号がH論理を示す場合には第1リレー562から受け取ったハイ側電圧VIH及びロー側電圧VILの何れかを、第2リレー制御部540から受け取った信号がL論理を示す場合には終端電圧VLTを、例えば50である抵抗566を介してDUT55に印加する。
40

【0072】

以上のように、試験装置50は、動作制御部506においてH論理を示す動作制御信号を生成させることにより、試験信号の電圧に応じてハイ側電圧VIH又はロー側電圧VILをDUT55に印加することができる。また、試験装置50は、動作制御部506においてL論理を示す動作制御信号を生成させると共に、終端方法制御部510においてH論理を示す終端方法制御信号を生成させることにより、電圧設定制御信号がH論理を示す場
50

合にはハイ側電圧V_{IH}を、L論理を示す場合にはロー側電圧V_{IL}を用いて、結果信号の伝送路をドライバ560に終端させることができる。更に、試験装置50は、動作制御部506においてL論理を示す動作制御信号を生成させると共に、終端方法制御部510においてL論理を示す終端方法制御信号を生成させることにより、終端電圧V_Tを用いて、結果信号の伝送路をドライバ560に終端させることができる。

【0073】

コンパレータ580は、DUT55が output した結果信号を予め定められた基準電圧と比較し、比較結果を論理比較部582に出力する。論理比較部582は、コンパレータ580から受け取った比較結果に基づいてDUT55の良否を判定する。具体的には、論理比較部582は、タイミング発生部502から受け取ったタイミング信号に基づくタイミングで、コンパレータ580から受け取った比較結果をパターン発生部500から受け取った期待値と照合する。そして、論理比較部582は、比較結果が期待値に一致しているか否かにより、DUT55の良否を判定する。そして、論理比較部582は、DUT55の良否を判定した結果をフェイルメモリ584に格納する。

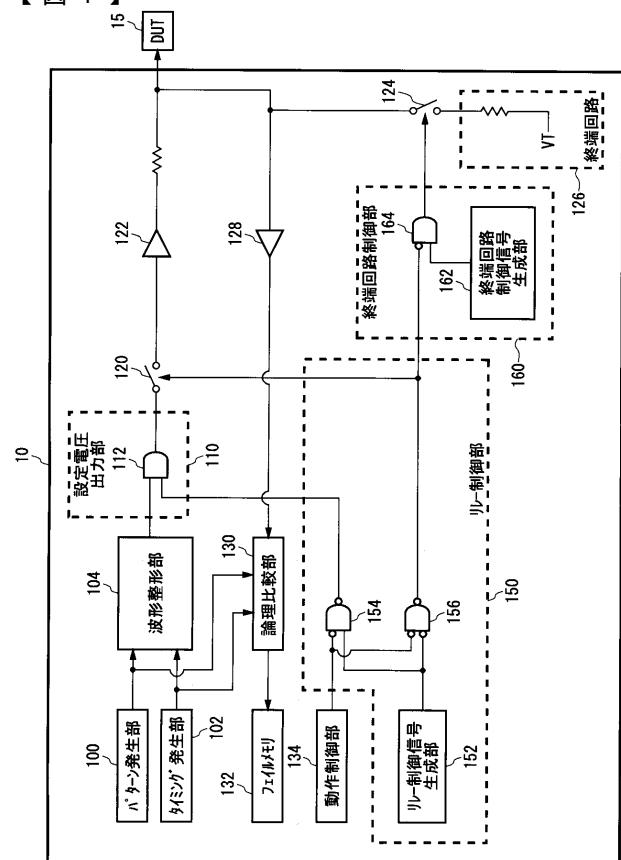
【0074】

本実施形態に係る試験装置50によれば、終端方法制御信号を用いて、結果信号の伝送路をハイ側電圧V_{IH}又はロー側電圧V_{IL}を用いて終端するか、終端電圧V_Tを用いて終端するかを、切替可能に制御することができる。

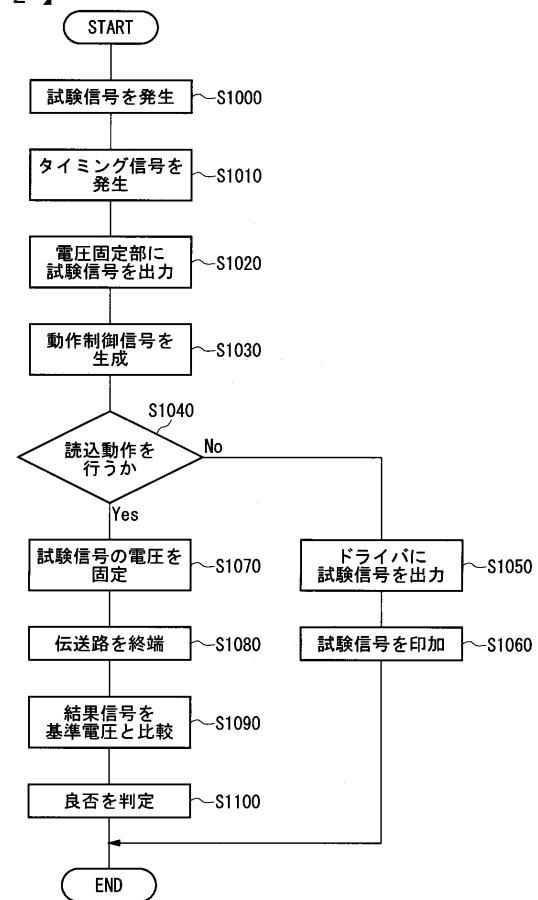
【0075】

以上、実施形態を用いて本発明を説明したが、本発明の技術的範囲は上記実施形態に記載の範囲には限定されない。上記実施形態に、多様な変更又は改良を加えることができる。そのような変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

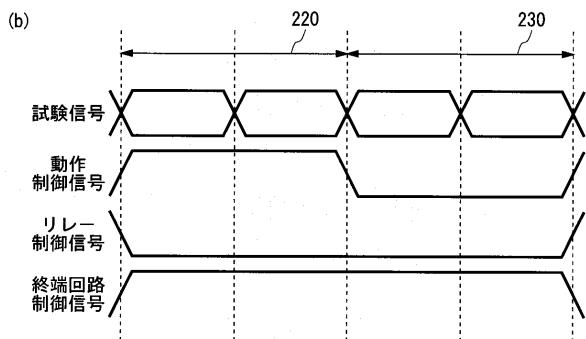
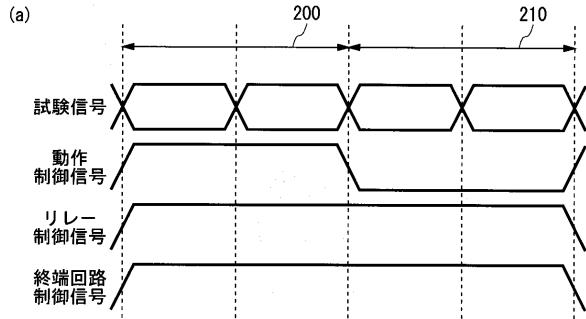
【図1】



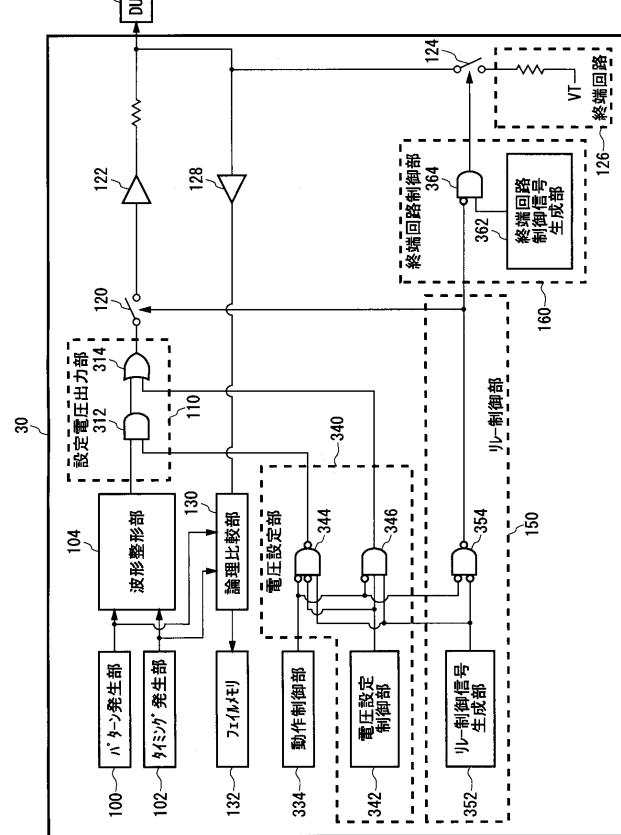
【図2】



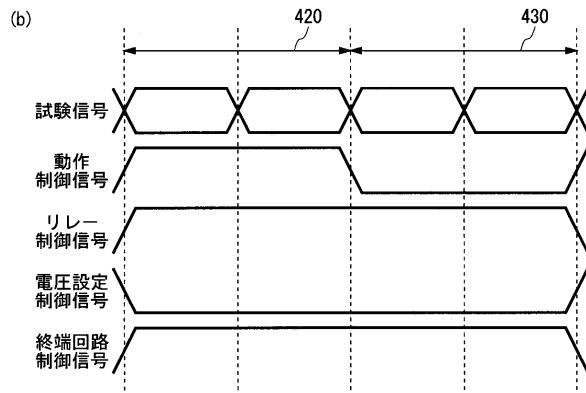
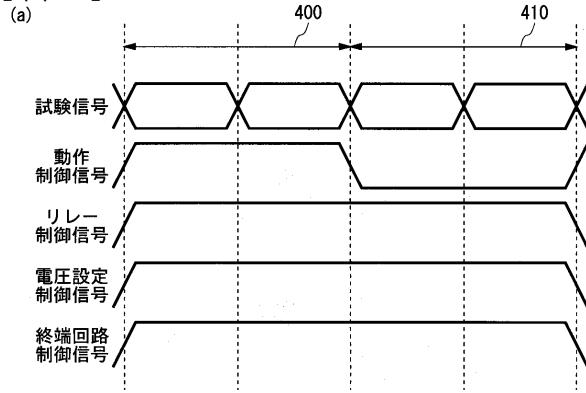
【図3】



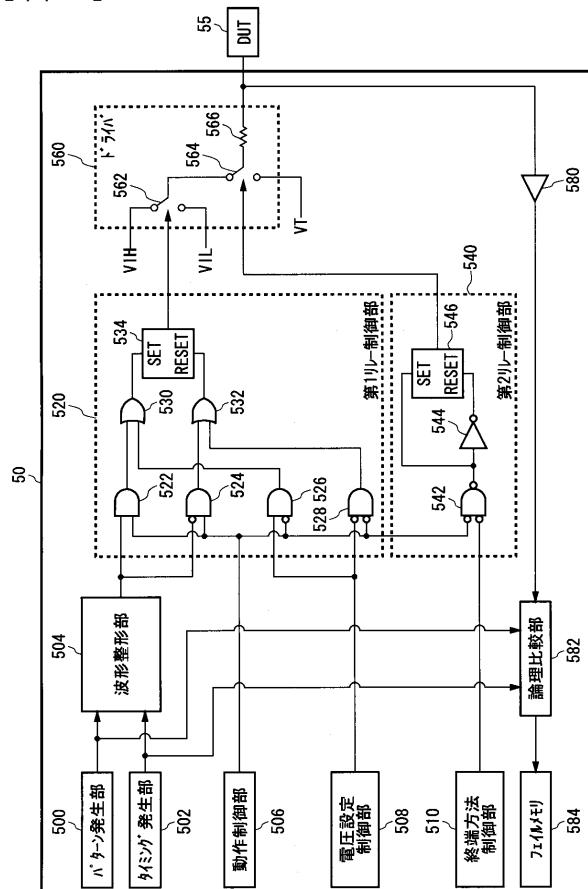
【図4】



【図5】



【図6】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2005/000993
A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ G01R31/28		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ G01R31/28-31/3193		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005 Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2003-279629 A (Hitachi, Ltd., Hitachi Electronics Engineering Co., Ltd.), 02 October, 2003 (02.10.03), Par. Nos. [0036] to [0049]; Figs. 1 to 26 & US 2003/0140286 A1	1, 2, 4, 5, 7 3, 6
A	JP 2002-139551 A (Advantest Corp.), 17 May, 2002 (17.05.02), Full text; Figs. 1 to 10 (Family: none)	1-7
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input type="checkbox"/> See patent family annex.
<p>* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </p>		<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family </p>
Date of the actual completion of the international search 26 April, 2005 (26.04.05)		Date of mailing of the international search report 17 May, 2005 (17.05.05)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

国際調査報告		国際出願番号 PCT/JP2005/000993													
<p>A. 発明の属する分野の分類 (国際特許分類 (IPC))</p> <p>Int.Cl? G01R31/28</p>															
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料 (国際特許分類 (IPC))</p> <p>Int.Cl? G01R31/28-31/3193</p>															
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2005年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2005年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2005年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2005年	日本国実用新案登録公報	1996-2005年	日本国登録実用新案公報	1994-2005年				
日本国実用新案公報	1922-1996年														
日本国公開実用新案公報	1971-2005年														
日本国実用新案登録公報	1996-2005年														
日本国登録実用新案公報	1994-2005年														
<p>国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)</p>															
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求の範囲の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2003-279629 A (株式会社日立製作所、日立電子エンジニアリング株式会社) 2003. 10. 02 [0036] - [0049], 図1-26 &US 2003/0140286 A1</td> <td>1, 2, 4, 5, 7</td> </tr> <tr> <td>A</td> <td>JP 2002-139551 A (株式会社アドバンテスト) 2002. 05. 17 全文、図1-10 (ファミリーなし)</td> <td>3, 6</td> </tr> <tr> <td>A</td> <td>JP 2002-139551 A (株式会社アドバンテスト) 2002. 05. 17 全文、図1-10 (ファミリーなし)</td> <td>1-7</td> </tr> </tbody> </table>				引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	X	JP 2003-279629 A (株式会社日立製作所、日立電子エンジニアリング株式会社) 2003. 10. 02 [0036] - [0049], 図1-26 &US 2003/0140286 A1	1, 2, 4, 5, 7	A	JP 2002-139551 A (株式会社アドバンテスト) 2002. 05. 17 全文、図1-10 (ファミリーなし)	3, 6	A	JP 2002-139551 A (株式会社アドバンテスト) 2002. 05. 17 全文、図1-10 (ファミリーなし)	1-7
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号													
X	JP 2003-279629 A (株式会社日立製作所、日立電子エンジニアリング株式会社) 2003. 10. 02 [0036] - [0049], 図1-26 &US 2003/0140286 A1	1, 2, 4, 5, 7													
A	JP 2002-139551 A (株式会社アドバンテスト) 2002. 05. 17 全文、図1-10 (ファミリーなし)	3, 6													
A	JP 2002-139551 A (株式会社アドバンテスト) 2002. 05. 17 全文、図1-10 (ファミリーなし)	1-7													
□ C欄の続きにも文献が列挙されている。		□ パテントファミリーに関する別紙を参照。													
<p>* 引用文献のカテゴリー</p> <p>「A」特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>「E」国際出願目前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</p> <p>「O」口頭による開示、使用、展示等に言及する文献</p> <p>「P」国際出願日前で、かつ優先権の主張となる出願</p> <p>「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>「&」同一パテントファミリー文献</p>															
国際調査を完了した日 26. 04. 2005	国際調査報告の発送日 17. 5. 2005														
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 中村直行	2S	9214												
電話番号 03-3581-1101 内線 3258															

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,L,U,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NA,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

F ターム(参考) 2G132 AA00 AE06 AE08 AE11 AE14 AE19 AE22 AL20

(注)この公表は、国際事務局（W I P O）により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願（日本語実用新案登録出願）の国際公開の効果は、特許法第184条の10第1項（実用新案法第48条の13第2項）により生ずるものであり、本掲載とは関係ありません。