



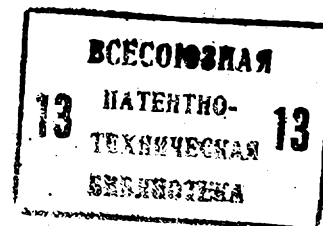
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1117631** **A**

3 (50) G 06 F 7/06

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3596552/18-24

(22) 30.05.83

(46) 07.10.84. Бюл. № 37

(72) И.Б.Мичков

(53) 681.325.5(088.8)

(56) 1. Авторское свидетельство СССР
№ 637810, кл. G 06 F 7/08, 1974.

2. Авторское свидетельство СССР
№ 911513, кл. G 06 F 7/06, 1980
(прототип).

(54)(57) УСТРОЙСТВО ДЛЯ СОРТИРОВКИ
ЧИСЕЛ, содержащее n регистров, n схем
сравнения, группы элементов И, счет-
чик, регистр, результата, причем вы-
ходы каждого i -го регистра, где $i=1,2,\dots$
 n , соединены с информационными вхо-
дами первой группы i -й схемы сравне-
ния и элементов И i -й группы, выходы
которых подключены к входам i -й груп-
пы регистра результата, выходы кото-
рого соединены с информационными вхо-
дами второй группы всех схем сравне-
ния, отличающееся тем,
что, с целью повышения быстродей-
ствия, в него введены два дешифра-
тора, второй счетчик, регистр адреса,
дополнительная схема сравнения, до-
полнительные группы элементов И,
 n триггеров, $2n$ элементов ИЛИ, $(n+1)$
элементов задержки, узел блокировки,
причем каждый i -й выход первого де-
шифратора соединен с управляющими
 входами элементов И i -й группы, эле-
ментов И первой i -й дополнительной
группы и первым входом первого i -го
элемента ИЛИ, второй вход которого
соединен с i -м выходом второго де-
шифратора с управляющими входами эле-
ментов И второй i -й дополнительной
группы и через i -й элемент задержки
с управляющими входами элементов И

третьей i -й дополнительной группы,
выход первого i -го элемента ИЛИ под-
ключен к входу установки в единичное
состояние i -го триггера, единичный
выход которого соединен с i -м вхо-
дом узла блокировки и первым входом
 i -го элемента И четвертой группы,
второй вход которого подключен к
выходу равенства i -й схемы сравне-
ния, а выход - к первому входу вто-
рого i -го элемента ИЛИ, второй вход
которого соединен с выходом неравен-
ства i -й схемы сравнения, а выход -
с i -м входом первого счетчика, выхо-
ды которого соединены с информаци-
онными входами соответствующих эле-
ментов И пятой группы и входами пер-
вой группы дополнительной схемы
сравнения, входы второй группы кото-
рой соединены с соответствующими
входами первого дешифратора и выхо-
дами регистра адреса, входы которо-
го подключены к выходам элементов И
шестой группы, входы которых соеди-
нены с выходами второго счетчика,
входы которого соединены с выхода-
ми узла блокировки, выход равенства
дополнительной схемы сравнения подклю-
чен к управляющим входам элементов И
шестой группы, а выход неравенства -
к управляющим входам элементов И пятой
группы, выходы которых соединены с
соответствующими входами второго де-
шифратора, выходы i -го регистра сое-
динены с информационными входами
соответствующих элементов И второй
 i -й дополнительной группы, входы
которых соединены с информационными
входами соответствующих элементов И
всех первых дополнительных групп,
шина тактовых импульсов устройства

(19) **SU** (11) **1117631** **A**

подключена к синхронизирующему входу первого дешифратора и через $(n+1)$ -й элемент задержки к синхронизирующему входу второго дешифратора.

2. Устройство по п.1, отличающееся тем, что узел блокировки содержит $(n-1)$ элементов И, причем первый вход узла блокировки соединен с его первым и вторым выхо-

дами, j -й вход узла блокировки, где $j=2, 3, \dots, n$, соединен с первым входом $(j-1)$ -го элемента И, второй вход которого соединен с j -м выходом узла блокировки, выход K -го элемента И, где $K=1, 2, \dots, (n-2)$, соединен с вторым входом $(K+1)$ -го элемента И, выход $(n-1)$ -го элемента И является n -м выходом узла блокировки.

1

Изобретение относится к автоматике и вычислительной технике и может быть использовано в специализированных вычислительных машинах и устройствах обработки данных для упорядочения произвольных массивов чисел.

Известно устройство для сортировки чисел, содержащее m регистров, выходы которых соединены с входами схем сравнения, другие входы которых подключены к выходам регистра результата, выходы схем сравнения соединены через переключатель с входом элемента ИЛИ, элементы И, триггер, узлы запрета и временной распределитель [1].

Недостатком этого устройства является низкое быстродействие.

Наиболее близким по технической сущности к предлагаемому является устройство для сортировки чисел, содержащее распределитель импульсов, n регистров, n схем сравнения, группы элементов И, счетчик, сумматор, регистр результата, причем выходы каждого i -го регистра, где $i=1, 2, \dots, n$, соединены с информационными входами первой группы i -й схемы сравнения и i -й группы элементов И, выходы которых подключены к входам i -й группы регистра результата, а каждый i -й выход распределителя импульсов соединен с управляющим входом элементов И i -й группы, выходы регистра результата подключены к информационным входам второй группы всех схем сравнения и к информационным входам первых выходных элементов И группы, выход каждой i -й схемы сравнения соединен с i -м входом счетчика, выходы которых подключены к входам первой группы сумматора, вхо-

2

ды второй группы которого соединены с входными шинами устройства, а выходы - с информационными входами выходных элементов И второй группы элементов, управляющие входы выходных элементов И первой и второй групп подключены к управляющей шине устройства [2].

Однако известное устройство имеет ряд недостатков. Во-первых, для формирования отсортированного массива чисел требуется n обращений к запоминающему устройству, что приводит к существенной зависимости от быстродействия и работы последнего. Во-вторых, сортировка всего исходного массива чисел требует n тактов сравнения, тогда как уже после $(n-1)$ такта можно сделать заключение о месте n -го числа в отсортированном массиве.

Цель изобретения - повышение быстродействия устройства.

Поставленная цель достигается тем, что в устройство для сортировки чисел, содержащее n регистров, n схем сравнения, группы элементов И, счетчик, регистр результата, причем выходы каждого i -го регистра, где $i=1, 2, \dots, n$, соединены с информационными входами первой группы i -й схемы сравнения и элементов И i -й группы, выходы которых подключены к входам i -й группы регистра результата, выходы которого соединены с информационными входами второй группы всех схем сравнения, введены два дешифратора, второй счетчик, регистр адреса, дополнительная схема сравнения, дополнительные группы элементов И, n триггеров, $2n$ элементов ИЛИ, $(n+1)$ элементов задержки, узел блокировки, причем каждый i -й выход первого дешифрато-

ра соединен с управляющими входами элементов И i -й группы, элементов И первой i -й дополнительной группы и первым входом первого i -го элемента ИЛИ, второй вход которого соединен с i -м выходом второго дешифратора с управляющими входами элементов И второй i -й дополнительной группы и через i -й элемент задержки с управляющими входами элементов И третьей i -й дополнительной группы, выход первого i -го элемента ИЛИ подключен к входу установки в единичное состояние i -го триггера, единичный выход которого соединен с i -м входом узла блокировки и первым входом i -го элемента И четвертой группы, второй вход которого подключен к выходу равенства i -й схемы сравнения, а выход - к первому входу второго i -го элемента ИЛИ, второй вход которого соединен с выходом неравенства i -й схемы сравнения, а выход - с i -м входом первого счетчика, выходы которого соединены с информационными входами соответствующих элементов И пятой группы и входами первой группы дополнительной схемы сравнения, входы второй группы которой соединены с соответствующими входами первого дешифратора и выходами регистра адреса, входы которого подключены к выходам элементов И шестой группы, входы которых соединены с входами второго счетчика, входы которого соединены с выходами узла блокировки, выход равенства дополнительной схемы сравнения подключены к управляющим входам элементов И шестой группы, а выход неравенства - к управляющим входам элементов И пятой группы, выходы которых соединены с соответствующими входами второго дешифратора, выходы i -го регистра соединены с информационными входами соответствующих элементов И второй i -й дополнительной группы, выходы которых соединены с информационными входами соответствующих элементов И всех первых дополнительных групп, шина тактовых импульсов устройства подключена к синхронизирующему входу первого дешифратора и через $(n+1)$ -й элемент задержки к синхронизирующему входу второго дешифратора.

Узел блокировки содержит $(n-1)$ элементов И, причем первый вход узла блокировки соединен с его первым и вторым выходами, i -й вход узла бло-

кировки, где $j = 2, 3, \dots, n$, соединен с первым входом $(j-1)$ -го элемента И, второй вход которого соединен с j -м выходом узла блокировки, выход K -го элемента И, где $K = 1, 2, \dots, (n-2)$, соединен с вторым входом $(K+1)$ -го элемента И, выход $(n-1)$ -го элемента И является n -м выходом узла блокировки.

На фиг. 1 представлена блок-схема устройства; на фиг. 2 - схема узла блокировки.

Устройство содержит n регистров 1, схем 2 сравнения, группу 3 элементов И, счетчик 4, регистр 5 результата, дешифраторы 6 и 7, счетчик 8, регистр 9 адреса, дополнительную схему 10 сравнения, группы 11-16 элементов И, n триггеров 17 по n элементам ИЛИ 18 и 19, n элементов 20 задержки, узел 21 блокировки, элемент 22 задержки, шину тактовых импульсов 23 устройства. Узел 21 блокировки содержит элементы И 24.

Сигнал "меньше" на выходе схемы 2 сравнения появляется в том случае, если число в регистре 1 меньше числа, записанного в регистр 5 результата, и "равно" на выходе в том случае, если числа равны.

Триггер 17 решает двойственную задачу. Установленный в единичное состояние, он показывает, что данное число уже участвовало в сравнении, а также вместе с элементами И 14 и ИЛИ 19 обеспечивает правильное формирование отсортированного массива при наличии одинаковых чисел.

Регистр 9 адреса предназначен для хранения адреса числа в исходном массиве, сравниваемого в текущем такте со всеми.

Устройство работает следующим образом.

В регистр 1 заносят сортируемые числа, регистр 5 результата, триггеры 17 устанавливаются в нуль, регистр 9 адреса в единичное состояние (не показано). После этого устройство готово к сортировке чисел в порядке возрастания.

При подаче первого тактового сигнала на синхронизирующий вход дешифратора 6 происходит расшифровка адреса и появляется сигнал на первом (верхнем) выходе дешифратора. При этом устанавливается в единичное состояние верхний триггер 17, подготавли-

ливаются элементы И 11 и открывается группа элементов И 3. Число из верхнего регистра 1 перезаписывается в регистр 5 результата и сравнивается со всеми сортируемыми числами в схемах 2 сравнения. Счетчик 4 подсчитывает количество схем сравнения, имеющих сигнал на своем выходе. Таким образом определяется истинный адрес данного числа в отсортированном массиве. В схеме 10 сравнения происходит его сравнение с адресом числа в исходном массиве.

При неравенстве адресов сигнала появляется на инверсном выходе схемы 10, по которому открываются элементы И 15 и код с выхода счетчика 4 поступает на дешифратор 7, на синхронизирующий вход которого подается задержанный в элементе 22 задержки управляющий сигнал. При этом на выходе дешифратора 7, соответствующем истинному адресу, появляется сигнал, по которому устанавливается в единичное состояние соответствующий триггер 17, открывается группа элементов И 12 и число из этого регистра записывается в верхний регистр 1. По задержанному в элементе 20 задержки сигналу число регистра 5 результата записывается на свое место в отсортированном массиве чисел. Таким образом, числа меняются местами, изменение содержимого регистра 9 адреса не происходит.

Параллельно с определением истинного адреса числа в счетчике 4 подготавливается адрес следующего по порядку числа, не участвовавшего еще в сравнении. Нулевой сигнал с ближайшего по порядку триггера 17, поступая на соответствующий элемент И 24 узла 21 блокировки, блокирует работу последующих. Тогда на счетчик 8 с выходов узла 21 поступает только раздвоенный единичный сигнал с пер-

вого триггера 17. Счетчик 8 подсчитывает количество единичных сигналов.

При равенстве значений счетчика 4 и регистра 9 адреса появляется сигнал на прямом выходе схемы 10 сравнения, по которому открываются элементы И 16 и в регистр 9 адреса со счетчика 8 записывается адрес следующего подлежащего проверке числа. Хотя на синхронизирующий вход дешифратора 7 поступает управляющий сигнал, нулевые уровни на его входе к выработке выходных сигналов не приводят.

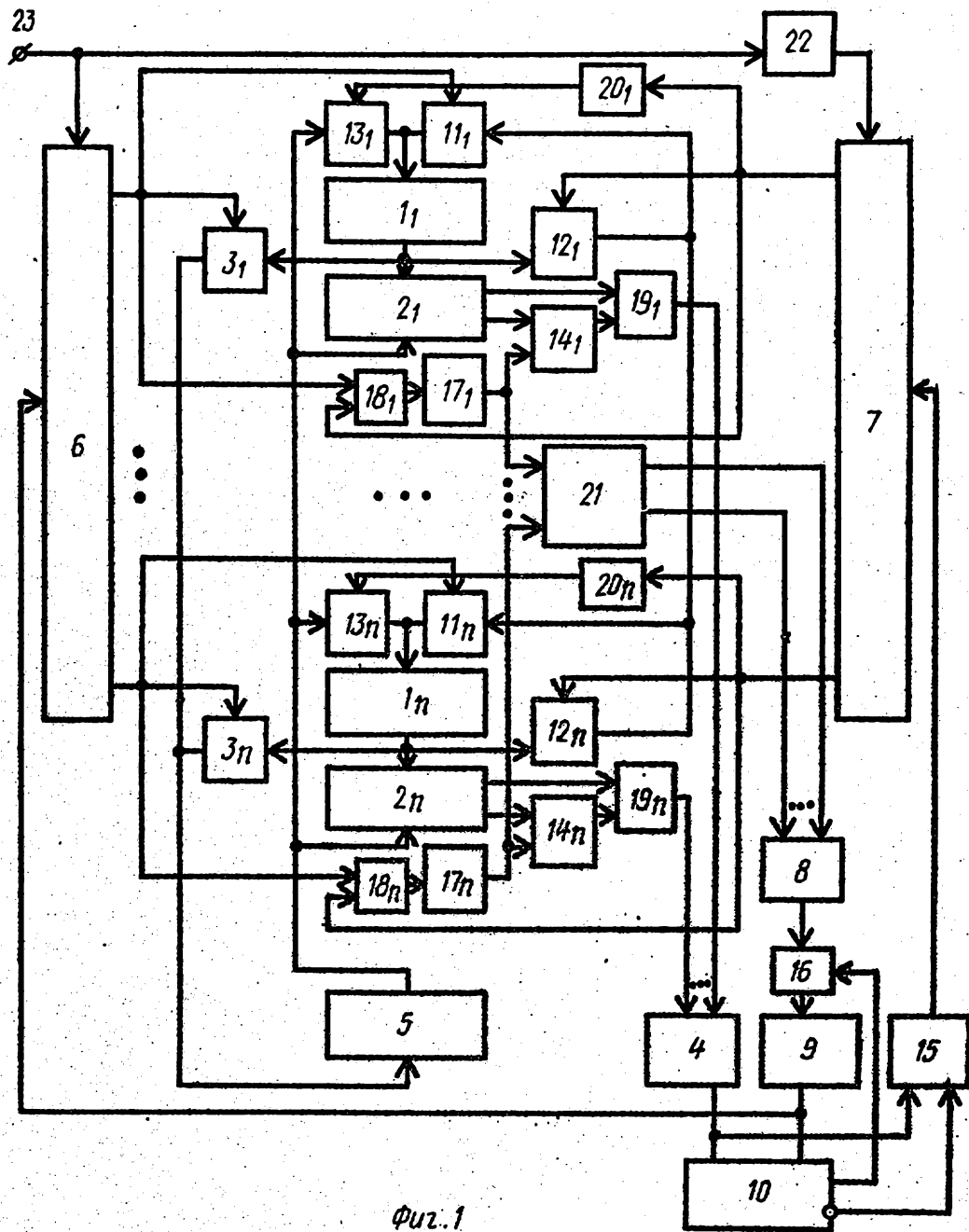
Второй такт работы устройства начинается с подачи второго тактового сигнала на вход 23 устройства. При этом появляется сигнал на выходе дешифратора 6, соответствующий содержимому регистра 9, по которому открывается соответствующая группа элементов И 3, вследствие чего в регистр 5 результата перезаписывается число из регистра 1. Дальнейшая работа устройства аналогична рассмотренному выше.

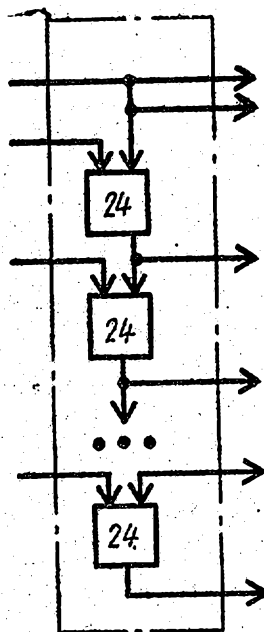
После того, как устройство обработает $(n-1)$ тактов, в регистрах 1, начиная с первого, находится отсортированный массив чисел, так как положение n -го числа однозначно соответствует его истинному адресу.

Далее по внешнему запросу числа выводятся из устройства.

Для сортировки чисел в порядке убывания необходимо в регистры 1 записать известные значения кодов сортируемых чисел.

Использование предлагаемого устройства позволяет повысить его быстродействие на один такт; формирование сортировочного массива чисел происходит независимо, без последовательных обращений к запоминающему устройству, что позволяет потом вывести массив за один сеанс обмена.





Фиг. 2

Редактор Е.Лушникова

Составитель Е.Иванова

Техред С.Легеза

Корректор С.Черни

Заказ 7221/33

Тираж 698

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПП "Патент", г.Ужгород, ул.Проектная, 4