

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】令和6年8月2日(2024.8.2)

【国際公開番号】WO2023/090059
 【出願番号】特願2023-561481(P2023-561481)

【国際特許分類】

H 0 1 L 2 3 / 2 8 (2 0 0 6 . 0 1)

H 0 1 L 2 3 / 5 0 (2 0 0 6 . 0 1)

H 0 1 L 2 5 / 0 4 (2 0 2 3 . 0 1)

H 0 1 L 2 1 / 8 2 2 (2 0 0 6 . 0 1)

10

【F I】

H 0 1 L 2 3 / 2 8 J

H 0 1 L 2 3 / 5 0 R

H 0 1 L 2 5 / 0 4 Z

H 0 1 L 2 7 / 0 4 E

H 0 1 L 2 7 / 0 4 H

【手続補正書】

【提出日】令和6年3月12日(2024.3.12)

20

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

降圧回路が構成された第1半導体素子と、
 前記第1半導体素子に導通する第1リードと、
 前記第1半導体素子に導通するとともに、第1方向において前記第1リードから離れて
 位置する第2リードと、
 前記第1半導体素子と、前記第1リードおよび前記第2リードの各々の一部と、を覆う
 封止樹脂と、を備え、
 前記封止樹脂には、前記第1方向において前記第1リードと前記第2リードとの間に位
 置する凹部が形成されており、
 前記第1方向に視て、前記凹部は、前記第1リードおよび前記第2リードに重なる、半
 導体装置。

30

【請求項2】

前記封止樹脂は、前記第1方向に対して直交する第2方向を向く第1側面と、前記第1
 方向および前記第2方向に対して直交する第3方向を向く底面と、を有し、
 前記凹部は、前記第1側面および前記底面の少なくともいずれかから凹んでいる、請求
 項1に記載の半導体装置。

40

【請求項3】

前記凹部は、前記第1方向を向き、かつ互いに対向した一对の内側面を有する、請求項
 2に記載の半導体装置。

【請求項4】

前記一对の内側面の各々の前記第2方向の寸法は、前記第1リードおよび前記第2リー
 ドの各々の前記第2方向の寸法よりも大きい、請求項3に記載の半導体装置。

【請求項5】

前記一对の内側面の各々の前記第3方向の寸法は、前記第1リードおよび前記第2リー

50

ドの各々の前記第 3 方向の寸法よりも大きい、請求項 4 に記載の半導体装置。

【請求項 6】

前記凹部は、前記第 1 側面から凹んでおり、

前記一对の内側面は、前記底面につながっている、請求項 4 に記載の半導体装置。

【請求項 7】

前記封止樹脂は、前記第 3 方向において前記底面とは反対側を向く頂面を有し、

前記一对の内側面は、前記頂面につながっている、請求項 6 に記載の半導体装置。

【請求項 8】

前記凹部は、前記第 2 方向を向き、かつ前記第 1 方向において前記一对の内側面の間に位置する中間面を有し、

10

前記凹部は、前記第 1 側面から凹む第 1 凹部と、前記第 1 凹部の前記中間面から凹む第 2 凹部と、を含み、

前記第 2 凹部の前記第 1 方向の寸法は、前記第 1 凹部の前記第 1 方向の寸法よりも小さい、請求項 6 に記載の半導体装置。

【請求項 9】

前記第 2 凹部の前記第 2 方向の寸法は、前記第 1 凹部の前記第 2 方向の寸法よりも小さい、請求項 8 に記載の半導体装置。

【請求項 10】

前記凹部は、前記底面から凹んでおり、

前記一对の内側面は、前記第 1 側面につながっている、請求項 4 に記載の半導体装置。

20

【請求項 11】

前記凹部は、前記第 1 側面および前記底面から凹んでおり、

前記一对の内側面は、前記第 1 側面および前記底面につながっている、請求項 4 に記載の半導体装置。

【請求項 12】

前記凹部は、前記第 1 方向に配列された複数の領域を含む、請求項 4 ないし 11 のいずれかに記載の半導体装置。

【請求項 13】

前記第 1 リードおよび前記第 2 リードは、前記底面から露出している、請求項 4 ないし 11 のいずれかに記載の半導体装置。

30

【請求項 14】

前記第 1 リードおよび前記第 2 リードは、前記第 1 側面から露出している、請求項 13 に記載の半導体装置。

【請求項 15】

オペアンプを含むとともに、前記第 1 半導体素子に導通する第 2 半導体素子と、

前記第 1 半導体素子および前記第 2 半導体素子が搭載されたダイパッドと、をさらに備え、

前記第 2 半導体素子および前記ダイパッドは、前記封止樹脂に覆われており、

前記ダイパッドは、前記底面から離れて位置する、請求項 13 に記載の半導体装置。

【請求項 16】

40

前記第 2 方向において前記ダイパッドを間に挟んで前記第 1 リードおよび前記第 2 リードとは反対側に位置する複数の第 3 リードをさらに備え、

前記第 1 半導体素子および前記第 2 半導体素子は、前記複数の第 3 リードのいずれかに導通しており、

前記複数の第 3 リードの各々の一部は、前記封止樹脂に覆われており、

前記複数の第 3 リードは、前記底面から露出している、請求項 15 に記載の半導体装置。

【請求項 17】

前記封止樹脂は、前記第 2 方向において前記第 1 側面とは反対側を向く第 2 側面を有し、

50

前記複数の第3リードは、前記第2側面から露出している、請求項16に記載の半導体装置。

10

20

30

40

50