公告本

申請日期	88.8.27
案號	88114269
類別	

（以上各欄由本局填註）

A4
C4

462133

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	非揮發性半導體記憶體
	英文	A NON-VOLITE SEMICONDUCTOR MEMORY DEVICE CURCUIT
二、發明 ~~創作~~ 人	姓名	1.作井 康司 2.宮本 順一
	國籍	均日本
	住、居所	1.日本國東京都世田谷區經堂4-13-14-201 2.日本國神奈川縣橫濱市青葉區藪野2-22-4
三、申請人	姓名（名稱）	日商東芝股份有限公司
	國籍	日本
	住、居所（事務所）	日本國神奈川縣川崎市幸區堀川町72番地
	代表人姓名	西室 泰三

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

462133

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，☐有　☐無主張優先權

日本	1998年9月10日	特願平10-256738	☑有	☐無主張優先權
日本	1999年1月19日	特願平11-010676	☑有	☐無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

五、發明說明（ 1 ）

(發明背景)

本發明係關於非揮發性半導體記憶體，其係可將記憶胞之資料變更動作，以位元組單位予以進行者。

以往將記憶胞之資料變更以位元組單位進行之非揮發性半導體記憶體，習知者為EEPOM。

文獻1(W. Johnson et al., "A 16Kb Electrically Erasable Nonvolatile Memory, "ISSCC Digest of Technical Papers, pp. 152-153, Feb. 1982。)提議使用FLOTOX(Floating Gate Tunnel Oxide)胞，將記憶胞資料之變更以位元組單位進行之方式做成之EEPROM。

圖65例示一可進行位元組抹除之EEPROM之記憶胞部之平面圖，圖66係圖65之LXVI-LXVI線之剖面圖。

該EEPROM於記憶胞部使用FLOTOX胞。FLOTOX胞之特徵在於：在N^+汲20a及浮動閘21a之間，配置10[nm]左右之通道氧化膜22a，於該通道氧化膜22a上施加電場，於N^+汲20a及浮動閘21a之間，進行電荷之交換。

流經通道氧化膜22a之電流係由FN(Fowler-Nordheim)通道現象所產生之FN通道電流。

圖67表示MOS電容器部之能量帶圖。

對MOS電晶體(N^+汲-通道氧化膜-浮動閘)施加電場後，則基於(1)式，於通道氧化膜(SiO_2)上有FN通道電流流動。

$$I = S \cdot \alpha \cdot E^2 \exp(-\beta/E) \quad \ldots(1)$$

S：面積、E：電場

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（2）

$$\alpha = q^3/8\pi h\Phi B = 6.94\times10^{-7}[A/V^2]$$

$$\beta = -4(2m)^{0.5}\Phi B^{1.5}/3hq$$

$$= 2.54\times10^{8}[V/cm]$$

依此式，可知FN通道電流開始流動之電場係約爲10[MV/cm]。該電場在理論上相當於對10[nm]之通道氧化膜施加10[V]之電壓之情況。

此處於圖65及圖66中，將在N^+汲20a與控制閘23a之間施加電壓之情況下之控制閘23a與浮動閘21a之電容比(耦合化)設爲0.5。

在該情況下，若要對N^+汲20a與浮動閘21a之間之通道氧化膜22a上施加10[V]之電壓，則必須要在N^+汲20a與控制閘23a之間施加20[V]之高電壓。

例如在抹除時，設定N^+汲20a爲0[V]，控制閘23a爲20[V]，使電子自N^+汲20a向浮動閘21a移動。又，"1"程式化，設定N^+汲20a爲20[V]、控制閘23a爲0[V]，使電子自浮動閘21a向N^+汲20a移動。

使用FLOTOX胞之EEPROM之缺點如圖65及圖66所示，在於：爲了要記憶1位元，必須要有記憶胞及選擇電晶體之2元件。

圖68表示可硬體抹除之EEPROM之記憶胞部之其他例。

該EEPROM之特徵在於：於記憶胞部使用FLOTOX胞，除此之外，並對8位元(1位元組)之記憶胞，設置1個位元組控制用電晶體Tr。

該EEPROM之各模式之偏壓條件示於表1。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（3）

[表1]

模式		選擇位元組	連接於與選擇位元組相同之字元線之非選擇位元組	連接於與選擇位元組相同之位元線之非選擇位元組
抹除 ("0"寫入)	字元線	High	High	Low
	位元組控制	High	Low	High
	位元線	Low	Low	Low
"1"寫入	字元線	High	High	Low
	位元組控制	Low	Low	Low
	位元線	High or Low*1	Low	High or Low*2

*1 = Data Dependent

*2 = Don't Care

若使用此種記憶胞部，則可避免各種動作不良(干擾)。惟，爲了記憶1位元，必須要有2+(1/8)個電晶體之故，有胞面積變大、成本無法下降之缺點。

爲了消除此種缺點而誕生之記憶體爲快閃EEPROM。習知之EEPROM可對每一位元進行資料之抹除或程式化之故，使用上非常方便。

惟，在將需要大記憶體容量之電腦之硬碟，以EEPROM構成之情況下，於該EEPROM並不需要具有可對每一位元進行資料之抹除或程式化之功能。於硬碟中，大多係以節(sector)單位(或區塊(block)單位)進行資料之抹除或程式化。

故，雖排除了可對每1位元變更資料之功能，但因胞面積

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（4）

縮小而可達成大的記憶體容量，有利於製品之低成本化之故，基於此構想而誕生了快閃EEPROM。

快閃EEPROM之詳細內容記載於例如文獻2(F. Masuoka et al., "A New Flash EEPROM cell using triple polysilicon technology," IEDM Technical Digest, pp. 464-467 Dec. 1984)。

圖69表示快閃EEPROM之記憶胞之構造。

快閃EEPROM之記憶胞與紫外線抹除型EEPROM之記憶胞相同，具有控制閘及浮動閘。快閃EEPROM之資料程式化係與紫外線抹除型EEPROM相同，藉由將熱電子注入浮動閘而進行。抹除係與位元組型EEPROM，利用FN通道現象，藉由將電子自浮動閘予以拔取而進行。

於快閃EEPROM中，個別的看記憶胞之情況下之抹除動作，雖與位元組型EEPROM相同，但看記憶胞陣列整體之情況下之動作，則與位元組型EEPROM完全相異。即，位元組型EEPROM雖係以位元組單位進行資料之抹除，但快閃EEPROM係將全位元一起抹除。藉由採用此種動作手法，快閃EEPROM可實現1位元單位1個電晶體所成之記憶胞部，可達成大的記憶體容量。

又，快閃EEPROM之資料之程式化係與紫外線抹除型EPROM相同，可對每1位元進行。即，抹除係全位元可一起進行程式化係可對每1位元進行，此點上快閃EEPROM與紫外線抹除型EPROM係相同。

爲實現大的記憶體容量之記憶體晶片，基於上述快閃

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 5 ）

EEPROM提出了NAND型快閃EEPROM。

NAND型快閃EEPROM揭示於文獻3(F. Masuoka et al., "New ultra high density EPROM and Flash EEPROM with NAND structured cell," IEDM Technical Digest, pp. 552-555 Dec. 1987)。

NAND型EEPROM之記憶胞陣列部如圖70及71所示，係由NAND U(NAND單元)所構成，其係將複數個(例如16個)記憶胞予以串聯成NAND S(NAND列(series))，於其兩端，每端各接1個選擇電晶體者。

NAND型EEPROM不是對1個記憶胞，而是對1個NAND單元，設置位元線導通部Bli C及源線即可。又，構成NAND列(series)之複數之記憶胞係與相鄰的記憶胞彼此共有1個擴散層之故，可大幅削減1位元單元之記憶胞尺寸，可實現大的記憶體容量之記憶體晶片。

圖72表示NOR型快閃EEPROM。NOR型快閃EEPROM係於位元線與源線之間配置1位元(1個)記憶胞。

上述NAND型快閃EEPROM自成本面觀之，其與NOR型快閃EEPROM相比，可將胞尺寸做小之故，具有：位元單位成本低，適用於大記憶體容量之檔案(File)記憶體之特徵。又，自功能面觀之，NAND型快閃EEPROM與NOR型快閃EEPROM相比，具有：資料變更速度快，消耗電力低之特徵。

NAND型快閃EEPROM之功能面之特徵係在於變更資料之方式(scheme)。即，在NAND型快閃EEPROM之情況下，

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 6 ）

程式化及抹除，係藉由矽基板(通道)與浮動閘之間之電荷之交換予以達成。

又，電荷之交換係利用FN通道現象。即，程式中必要之電流係自矽基板(通道)向浮動閘流動之FN通道電流，與在程式中利用熱電子之NOR型快閃EEPROM比較，NAND型快閃EEPROM之消耗電流非常小。

64 MB (Mega Bit)NAND型快閃EEPROM之情況下，可將1頁(512位元)單位之程式可用200[μs]進行。該程式時間比NOR型快閃EEPROM之1區塊單位之程式時間短。

表2為NAND型快閃EEPROM之特徵與NOR型快閃EEPROM之特徵之比較表。

[表2]

	NAND	NOR
優點	①寫入速度快 ②抹除速度快 ③區塊尺寸小，檔案管理容易	①隨機存取快 ②可對每一位元執行寫入
缺點	①隨機存取慢 ②無法對每一位元執行寫入	①寫入速度慢 ②抹除速度慢
用途	硬碟、軟碟之置換、攜帶型終端機(攜帶型終端機、聲音錄音、電子靜止照相機)FAX/數據機之資料記錄用	習知EEPROM領域之置換、控制機器、PC之BIOS、行動電話、HDD等之控制用記憶體

如表2所示，兩記憶體之優缺點呈互補關係。

關於用途，NAND型快閃EEPROM係以以區塊單位進行資

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（7）

料之變更爲條件而被使用。例如，具有30萬像素之照相機，照一張相片約需0.5 MB之記憶體容量，故若將NAND型快閃EEPROM之1個區塊做成約0.5 MB以上之記憶體容量，則1張相片之資料可記憶於1個區塊中。於此情況下，資料之抹除可以每一區塊爲單位予以進行。即，藉由抹除1個區塊內之記憶胞之資料，便抹除掉了1張相片之資料。

另一方面，NOR型快閃EEPROM係可進行100[ns]之高速隨機存取之故，其廣泛應用作爲行動電話等控制程式用記憶體。

如此，在非揮發性半導體記憶體之領域中，以EEPROM(習知型)、快閃EEPROM、NAND型快閃EEPROM之方向進化，取代以位元單位進行資料變更之功能，而換以達成記憶胞尺寸之縮小化，即達成了減低1位元單位之成本(位元成本)之目的。

惟，例如近年來受注目之非揮發性記憶體混載LSI(nonvolatile memory embedded LSI)被要求具備以位元單位進行資料變更之功能。例如，於進行金錢之收入、支出等管理之系統中所使用之IC卡中，在IC卡內的記憶體使用EEPROM，則即使在變更資料的一部分之情況下，亦不得不以區塊單位進行抹除。因此，以位元單位進行資料變更之功能，在此種系統中乃不可或缺者。

故，爲對應此種事態，可以位元單位進行資料變更之位元型EEPROM有其必要性。惟，位元型EEPROM如上所述，1位元單位之元件數多，對記憶體容量之增大或位元

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（8）

成本之減低上極爲不利。

現在，非揮發性半導體記憶體之主流係爲快閃EEPROM（NOR型、NAND型等）之故，若開發具有與快閃EEPROM相同之製程及資料變更方式（scheme for changing data）之位元型EEPROM，便可以低廉之成本生產出合乎市場需求之EEPROM。

（發明之概要）

本發明係鑑於上述事項而研發者，其目的在提供一新穎之非揮發性半導體記憶體，其可用與快閃EEPROM相同之製程形成，又具有與快閃EEPROM相同之資料變更方式（scheme for changing data），且具有可以位元組單位進行資料變更之功能。

本發明之非揮發性半導體記憶體，具有：記憶胞陣列：其具有記憶胞單元，該記憶胞單元係由1個記憶胞，及將其夾住之2個選擇電晶體所構成者；位元線：其係連接於前述2個選擇電晶體中之一者；及感測放大器，其係連接於前述位元線，具備閂鎖功能者；前述記憶胞具有堆閘（stack gate）構造，其係具有浮動閘及控制閘者。

本發明之非揮發性半導體記憶體，具有：記憶胞陣列：其具有第2記憶胞單元，該第2記憶胞單元係由：第1記憶胞單元，其係由1個記憶胞及將其夾住之2個選擇電晶體所構成者：及複數個記憶胞所構成者；位元線：其係共通連接於前述第1及第2記憶胞單元者；感測放大器：其係連接於前述位元線，具備閂鎖功能者；前述第1及第2記憶胞單

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（9）

元內之記憶胞，各係具有堆閘構造，其係具有浮動閘及控制閘者。

前述第2記憶胞單元係爲以下單元中之一者，即：前述複數個記憶胞串聯成之NAND單元、或前述複數個記憶胞並聯成之AND單元或DINOR單元。

前述2個選擇電晶體係具有與前述記憶胞相同之構造者。即前述2個選擇電晶體係具有管閘構造。惟，實際上具有閘極功能者係僅有構成管閘構造之上層及下層中之下層。

又，本發明之非揮發性半導體記憶體具備一程式化機構：其係在前述記憶胞陣列中，對連接於被選擇之控制閘線之自1頁分之記憶胞之資料由前述感測放大器予以讀入，於前述感測放大器中，對於前述一頁分之資料中之前述被選擇的記憶胞所對應之資料，進行資料改寫，將前述一頁分之記憶胞之資料予以抹除，將前述感測放大器之資料於前述1頁分之記憶胞予以程式化。

對應於前述被選擇之記憶胞之資料係爲頁資料或硬體資料。

本發明之非揮發性半導體記憶體具有：記憶胞陣列：其係由包含記憶胞之記憶胞單元所構成；位元線：其係連接於前述記憶胞單元；感測放大器：其係連接於前述位元線，具備閂鎖功能者；及程式化機構：其係在前述記憶胞陣列中，對連接於被選擇之控制閘線之自1頁分之記憶胞中所選擇之記憶胞，進行資料變更之情況下，將前述1頁分之記憶胞之資料由前述感測放大器予以讀入，於前述感

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（10）

測放大器中，對於前述一頁分之資料中之前述被選擇的記憶胞所對應之資料，進行資料改寫，將前述一頁分之記憶胞之資料予以抹除，將前述感測放大器之資料於前述1頁分之記憶胞予以程式化。

本發明之非揮發性半導體記憶體，具有：記憶胞陣列：其具有依FN通道電流進行資料之程式化之記憶胞；位元線：其係連接於前述記憶胞；感測放大器：其係連接於前述位元線，具備閂鎖功能者；及電位施加機構：其係在對連接於被選擇之控制閘線之1頁分之記憶胞，同時進行資料程式化之情況下，對形成有前述1頁分之記憶胞之井施加第1電位，對前述1頁分之記憶胞之控制閘施加第2電位，對前述1頁分之記憶胞中實行程式化之被選擇之記憶胞所連接之位元線施加前述第1電位，及對前述1頁分之記憶胞中不實行程式化之非選擇之記憶胞所連接之位元線施加前述第1及第2電位之中間電位者。

本發明之非揮發性半導體記憶體，具有：記憶胞陣列：其係由配置成矩陣狀之複數之記憶胞單元所構成者；主控制閘線：其係於前述記憶胞陣列上向列方向延伸者；主控制閘驅動器：其係配置於前述主控制閘線之一端者；副控制閘線：其係連接於配置於前述列方向之該記憶胞單元內之1頁分之記憶胞中之複數之記憶胞者；及副控制閘驅動器：其係配置於前述主控制閘線與前述副控制閘線之間者。

前述複數之記憶胞單元之每一個，係由：1個記憶胞及2

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（11）

個選擇電晶體所構成者，該2個選擇電晶體係於該記憶胞兩端，以一端一個之方式連接者。

本發明之非揮發性半導體記憶體更具備：2條選擇閘線；其係連接於配置於前述列方向之該記憶胞單元內之該2個選擇電晶體之閘極者；及選擇閘驅動器：其係於前述2條選擇閘線之一端，與前述控制閘驅動器接近配置者。

本發明之非揮發性半導體記憶體更具備副譯碼器：其係將位址信號予以譯碼，輸出控制信號者；前述副控制閘驅動器係由MOS電晶體所構成者，該MOS電晶體係連接於前述主控制閘線及前述副控制閘線之間，於閘極被輸入前述控制信號者。

本發明之非揮發性半導體記憶體更具備副譯碼器：其係將位址信號予以譯碼，對前述副控制閘線施加預定之電位者；前述副控制閘驅動器係由MOS電晶體所構成者，該MOS電晶體係連接於前述副控制閘線及前述副譯碼器之間，於閘極被輸入前述主控制閘線之電位者。

本發明之非揮發性半導體記憶體更具備程式化機構：其係在對於配置於前述列方向之記憶胞單元內之1頁分之記憶胞中所選擇之記憶胞進行資料變更之情況下，將連接於前述副控制閘線之複數之記憶胞之資料讀入具閂鎖功能之感測放大器，於前述感測放大器中對前述複數之記憶胞之資料中之前述被選擇之記憶胞所對應之資料進行資料改寫，將連接於前述副控制閘線之前述複數之記憶胞之資料予以抹除，將前述感測放大器之資料於前述副控制閘線所

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（12）

連接之前述複數之記憶胞中予以程式化者。

本發明之非揮發性半導體記憶體更具備程式化機構：其係在對於配置於前述列方向之記憶胞單元內之1頁分之記憶胞中所選擇之記憶胞進行資料變更之情況下，將連接於前述主控制閘線之1頁分之記憶胞之資料讀入具閂鎖功能之感測放大器，於前述感測放大器中對連接於前述副控制閘線之複數之記憶胞之資料中之前述被選擇之記憶胞所對應之資料進行資料改寫，將連接於前述副控制閘線之前述複數之記憶胞之資料予以抹除，將前述感測放大器之資料中之連接於前述副控制閘線之前述複數之記憶胞所對應之資料，於連接於前述副控制閘線之前述複數之記憶胞中予以程式化者。

前述副控制閘線上連接有n(n爲自然數)位元組之記憶胞，前述進行改寫之資料係爲位元組單位之資料。

在將連接於前述副控制閘線之前述複數之記憶胞定義爲區塊之情況下，於前述主控制閘線連接複數之區塊，對於每n個(n爲自然數)區塊進行資料之讀取、抹除或程式化。

本發明之非揮發性半導體記憶體，其特徵在於：具備：記憶胞陣列：其係由配置成矩陣狀之複數之記憶胞單元所構成者；第1及第2主控制閘線：其係於前述記憶胞陣列上向列方向延伸者；第1主控制閘驅動器：其係連接於前述第1主控制閘線之一端者；第1副控制閘線：其係連接於前述複數之記憶胞單元中配置於第1列內之記憶胞單元內之記憶胞者；第1副控制閘驅動器：其係配置於前述第1主控

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（13）

制閘線與前述第1副控制閘線之間者；第1選擇閘線：其係連接於前述第1列內之記憶胞單元內之選擇電晶體者；第1選擇閘驅動器：其係連接於前述第1選擇閘線之一端者；第2主控制閘驅動器：其係連接於前述第2主控制閘線之一端者；第2副控制閘線：其係連接於前述複數之記憶胞單元中配置於第2列內之記憶胞單元內之記憶胞者；第2副控制閘驅動器：其係配置於前述第2主控制閘線與前述第2副控制閘線之間者；第2選擇閘線：其係連接於前述第2列內之記憶胞單元內之選擇電晶體者；及第2選擇閘驅動器：其係連接於前述第2選擇閘線之一端者；前述第1主控制閘驅動器與前述第1選擇閘驅動器，係配置於前述記憶胞陣列之前述列方向之一端；前述第2主控制閘驅動器與前述第2選擇閘驅動器，係配置於前述記憶胞陣列之前述列方向之另一端。

本發明之非揮發性半導體記憶體，其特徵在於：具備：記憶胞陣列：其係由配置成矩陣狀之複數之記憶胞單元所構成者；第1及第2主控制閘線：其係於前述記憶胞陣列上向列方向延伸者；第1副控制閘線：其係連接於前述複數之記憶胞單元中配置於第1列內之記憶胞單元內之記憶胞者；第1副控制閘驅動器：其係配置於前述第1主控制閘線與前述第1副控制閘線之間者；第1選擇閘線：其係連接於前述第1列內之記憶胞單元內之選擇電晶體者；第1選擇閘驅動器：其係連接於前述第1選擇閘線之一端者；主控制閘驅動器：其係連接於前述第1及第2主控制閘線之一端

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（14）

者；第2副控制閘線：其係連接於前述複數之記憶胞單元中配置於第2列內之記憶胞單元內之記憶胞者；第2副控制閘驅動器：其係配置於前述第2主控制閘線與前述第2副控制閘線之間者；第2選擇閘線：其係連接於前述第2列內之記憶胞單元內之選擇電晶體；及第2選擇閘驅動器：其係連接於前述第2選擇閘線之一端者；前述第1主控制閘驅動器與前述第1、第2選擇閘驅動器，皆係配置於前述記憶胞陣列之前述列方向之一端；前述第1記憶胞單元與前述第2記憶胞單元係於行方向互相鄰接者。

本發明之非揮發性半導體記憶體，其特徵在於具備：記憶胞陣列：其係具有第1及第2記憶胞單元者，該第1及第2記憶胞單元係由1個記憶胞與將其夾住之2個選擇電晶體所構成者；第1位元線：其係連接於前述第1記憶胞單元內之2個選擇電晶體中之一者；第2位元線：其係連接於前述第2記憶胞單元內之2個選擇電晶體中之一者；及感測放大器：其係連接於前述第1及第2位元線，具有閂鎖功能者。

本發明之非揮發性半導體記憶體，其特徵在於具備：記憶胞陣列：其係具有記憶胞單元者，該記憶胞單元係由複數個記憶胞與將其夾住之2個選擇電晶體所構成者；位元線：其係連接於前述2個選擇電晶體中之一者；感測放大器：其係連接於前述位元線，具有閂鎖功能者；及電位施加機構：其係在程式化動作時，對被選擇之控制閘線施加比電源電位高之程式化用之高電位；對非選擇之控制閘線施加前述電源電位，或讀取動作時施加至非選擇之控制閘

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（15）

線之讀取電位者。

前述記憶胞單元係包含例如2個記憶胞。前述複數個記憶胞各具有管閘構造，其係具有浮動閘及控制閘者。

前述2個選擇電晶體係各具有與前述複數個記憶胞相同之構造者。

本發明之非揮發性半導體記憶體具備程式化機構：其係在前述記憶胞陣列中，對連接於被選擇之控制閘線之1頁分之記憶胞中所選擇之記憶胞進行資料變更之情況下，將前述1頁分之記憶胞之資料讀入前述感測放大器，於前述感測放大器中對前述1頁分之資料中之前述被選擇之記憶胞所對應之資料進行資料改寫，將前述1頁分之記憶胞之資料予以抹除，將前述感測放大器之資料於前述1頁分之記憶胞中予以程式化者。

本發明之非揮發性半導體記憶體更具備程式化機構：其係於前述記憶胞陣列中，對連接於被選擇之控制閘線之1頁分之記憶胞中所選擇之記憶胞進行資料變更之情況下，將前述1頁分之記憶胞之資料讀入前述感測放大器，於前述感測放大器中對前述1頁分之資料中之前述被選擇之記憶胞所對應之資料進行資料改寫，將前述1頁分之記憶胞之資料予以抹除，將前述感測放大器之資料於前述1頁分之記憶胞中予以程式化者。

前述電位施加機構在前述程式化動作時，對前述被選擇之控制閘線及前述非選擇之控制閘線，施加前述電源電位或前述讀取電位後，僅使前述被選擇之控制閘線之電位升

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 16 ）

高至前述程式化用之高電位。

(圖式之簡單說明)

圖1A：本發明之位元組型EEPROM之記憶胞單元之表示圖。

圖1B：圖1A之I-I線剖面圖。

圖2：圖1之等效電路表示圖。

圖3：本發明之位元組型EEPROM之記憶胞陣列表示圖。

圖4：與記憶胞之資料對應之閘極電壓與胞電流之關係表示圖。

圖5a及5b：資料讀取時施加至記憶胞單元之電位表示圖。

圖6：與記憶胞之資料對應之臨限值電壓分布之一例之表示圖。

圖7：與記憶胞之資料對應之臨限值電壓分布之其他例之表示圖。

圖8：本發明之位元組型EEPROM之主要部分之方塊圖。

圖9：圖8之感測放大器之一例之表示圖。

圖10：本發明之位元組單位之改寫動作之流程圖。

圖11：圖10之順序之資料讀取時之樣子之表示圖。

圖12：圖10之順序之位元組資料之改寫(overwrite)時之狀態表示圖。

圖13：圖10之順序之頁抹除時之樣子之表示圖。

圖14：圖10之順序之頁程式化時之樣子之表示圖。

圖15：本發明之頁單位之改寫動作(data change operation

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（17）

for page data)之波形圖。

圖16：本發明之頁單位之改寫動作之波形圖。

圖17：本發明之位元組單位之改寫動作之波形圖。

圖18：本發明之位元組型EEPROM之記憶胞陣列之變形例表示圖。

圖19：本發明之位元組型EEPROM之記憶胞陣列之變形例表示圖。

圖20：管閘型記憶胞之程式動作時之樣子表示圖。

圖21：管閘型記憶胞之抹除動作時之樣子表示圖。

圖22：本發明之位元組型EEPROM之記憶胞陣列之變形例表示圖。

圖23：本發明之位元組型EEPROM之一例之表示圖。

圖24：圖23之記憶胞陣列之表示圖。

圖25：本發明之位元組型EEPROM之其他例之表示圖。

圖26：圖25之記憶胞陣列之表示圖。

圖27：本發明之位元組單位之改寫動作之表示圖。

圖28：圖23之EEPROM之變形例表示圖。

圖29：圖28之預譯碼器之一例之表示圖。

圖30：圖28之列譯碼器及驅動器之一例之表示圖。

圖31：圖28之記憶胞陣列之1列之表示圖。

圖32：本發明之位元組單位之改寫動作表示圖。

圖33：本發明之位元組單位之改寫動作表示圖。

圖34：記憶胞陣列區域之井之配置之一例之表示圖。

圖35：圖31之記憶胞陣列之變形例表示圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 18 ）

圖36：圖28之EEPROM之變形例之表示圖。

圖37：圖36之記憶胞陣列之相互鄰接之2列之表示圖。

圖38：使用差動型感測放大器之系統之例之表示圖。

圖39：於複數之位元線設置1個感測放大器之系統之例之表示圖。

圖40：圖28之EEPROM之變形例之表示圖。

圖41：圖40之預譯碼器之一例之表示圖。

圖42：圖40之列譯碼器及驅動器之一例之表示圖。

圖43：圖40之記憶胞陣列之相互鄰接之2列之表示圖。

圖44：副譯碼器之配置例之表示圖。

圖45：使用本發明之EEPROM之一例之表示圖。

圖46：使用本發明之EEPROM之一例之表示圖。

圖47：使用本發明之EEPROM之一例之表示圖。

圖48：NAND型EEPROM之程式化時之表示圖。

圖49：表示NAND型EEPROM之資料程式動作之波形圖。

圖50：本發明之位元組型EEPROM之記憶胞單元之表示圖。

圖51：圖50之等效電路之表示圖。

圖52：抹除動作時施加至記憶胞單元之電位之表示圖。

圖53：程式動作時施加至記憶胞單元之電位之表示圖。

圖54：讀取動作時施加至記憶胞單元之電位之表示圖。

圖55：記憶胞之資料所對應之閘極電壓與胞電流之關係之表示圖。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 19 ）

圖56：表示本發明之位元組型EEPROM之主要部分之方塊圖。

圖57：圖56之記憶胞陣列之電路構造之表示圖。

圖58：圖56之感測放大器之一例之表示圖。

圖59：本發明之位元組單位之改寫動作之流程圖。

圖60：感測放大器之節點Qb之樣子之表示圖。

圖61：表示本發明之頁單位之改寫動作之波形圖。

圖62：表示本發明之頁單位之改寫動作之波形圖。

圖63：表示本發明之位元組單位之改寫動作之波形圖。

圖64：本發明之位元組型EEPROM之記憶胞陣列之變形例之表示圖。

圖65：習知之位元組型EEPROM之記憶胞之表示圖。

圖66：圖65之LXVI-LXVI線之剖面圖。

圖67：FN通道電流之機構之能量帶域圖。

圖68：習知之位元組型EEPROM之記憶胞之表示圖。

圖69：習知之位元組型EEPROM之記憶胞之基本構造表示圖。

圖70：NAND型快閃EEPROM之NAND單元之表示圖。

圖71：圖70之等效電路之表示圖。

圖72：NOR型快閃EEPROM之記憶胞之表示圖。

元件符號說明

ST1、ST2	選擇電晶體	BLi	位元線
CGL	控制閘線	SL	源線
SSL、GSL	選擇閘線	I1、I2	CMOS反相器

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 19a ）

M1～8	NMOS電晶體	BLK_{i-j}	區塊
Q	閂鎖節點	bCB	放電控制信號
φL2	控制信號	M1、M2・・・、MC、	
PD0、PD1、PD2...預譯碼器		MC1、MC2・・記憶胞	
		NAND U	NAND 單元
RD0、RD1、RD2...列譯碼器		NAND S	NAND 列
		BLiC	位元線導通部
10a	控制閘線	21a	浮動閘
10b	位元線	21	閂鎖電路
11	記憶胞陣列	22a	通道氧化膜
12	列譯碼器	23a	控制閘
12a	預譯碼器	25	指令暫存器
12b	列譯碼器	26	指令譯碼器
12c	控制閘、選擇閘驅動器	27	信號產生電路
		28	副控制閘驅動
13	感測放大器	29	副譯碼器
14	行譯碼器	32	NAND電路
15	行選擇電路	33	反相器
16	升壓器	34	升壓器
17	控制電路	35、36	N通道MOS電晶體
18	資料輸出入緩衝器		
19	位址暫存器	37	主控制閘驅動器
20a	N^+汲	38	選擇閘驅動器
20	感測放大器	41	晶片

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

五、發明說明（ 19b ）

42a、42b 記憶體電路

(實施例之說明)

以下參照圖面詳細說明本發明之非揮發性半導體記憶體。

圖1A及圖1B表示本發明之位元組型EEPROM之記憶胞。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 20 ）

圖2表示圖1A及圖1B之記憶胞之等效電路。圖3表示記憶胞陣列之整體之電路構造。

記憶胞MC具有控制閘及浮動閘，與快閃EEPROM之記憶胞之構造相同。記憶胞MC兩端中，一端連接有選擇電晶體ST1，另一端連接有選擇電晶體ST2。選擇電晶體ST1係經由位元線導通部BC連接於位元線，選擇電晶體ST2係連接於源線SL。

由記憶胞MC及選擇電晶體ST1、ST2構成1個記憶胞單元，記憶胞陣列係由配置成陣列狀之複數之記憶胞單元所構成。

由配置於列方向之複數之記憶胞單元，構成1個區塊。於1區塊內，配置有向列方向延伸之1條控制閘線CGL。連接於1條控制閘線CGL之記憶胞總稱為1頁。

抹除動作可對每一頁進行。對記憶胞進行之程式化及讀取等各動作，亦可藉由在每一行設置具閂鎖功能之感測放大器，對1頁同時進行。惟，資料之輸出入係例如對每一位元順序進行。

又，依此種構造，可進行位元組單位之資料改寫動作(data change operation for bite data)。

本發明之位元組型EEPROM，依其構造，可視為於NAND型快閃EEPROM中，將1個NAND單元內之記憶胞做成1個者。惟，本發明之位元組型EEPROM，在機能上，與NAND型快閃EEPROM大不相同。關於此點以動作之說明予以詳述。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（21）

以下說明本發明之位元組型EEPROM之構造上之長處。

本發明之位元組型EEPROM之記憶胞部，與NAND型快閃EEPROM之記憶胞部相比，僅於構成1個單元之記憶胞之數量有異。故，本發明之位元組型EEPROM，可直接採用NAND型快閃EEPROM之製程之故，可進行以位元組爲單位之抹除外，可增大記憶體之容量且可減低生產成本。

例如在設計規則爲0.4[μm]之情況下，1個記憶胞之面積(短邊長a×長邊長b)因短邊長a爲1.2[μm]，長邊長b爲3.2[μm]之故，而成爲3.84[μm^2]。另一方面，如圖65及圖66所示之習知之位元組型EEPROM在設計規則爲0.4[μm]之情況下，一個記憶胞之面積爲36[μm^2]。

即，關於記憶胞陣列部，即使依單純的計算，本發明之位元組型EEPROM與習知之位元組型EEPROM相比，亦可實現約10倍之記憶體容量。

又，本發明之位元組型EEPROM可用與NAND型快閃EEPROM相同之製程製造之故，亦可輕易應用於邏輯混載非揮發性記憶體。

又，本發明之位元組型EEPROM之記憶胞係與NAND型快閃EEPROM之記憶胞之構造相同之故，對於一個記憶胞而言，其直接採用快閃EEPROM之資料變更方式(data change scheme)，及利用FN通道現象之資料變更方式。

惟，對記憶胞陣列整體觀之，本發明之位元組型EEPROM可進行位元組單位之資料改寫動作(data change operation for bite data)，即可進行位元組抹除(bite erase)

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 22 ）

之點，係與NAND型快閃EEPROM相異。

以下依序說明本發明之位元組型EEPROM之抹除動作、程式化動作及讀取動作。

抹除動作時，所選擇(selected)之區塊之控制閘(字元線)CGL被施加接地電位，非選擇(unselected)之區塊之控制閘CGL被設定為浮動狀態。

其後，將例如21[V]、3[ms]之抹除脈衝施加至體塊(bulk)。此處，體塊係指形成於矽基板之井，記憶胞MC及選擇電晶體ST1、ST2全部係形成於該井中。

抹除脈衝被施加至體塊後，被選擇之(selected)區塊之記憶胞MC，在體塊與控制閘之間被施加抹除電壓(21[V])，浮動閘中之電子因FN(Fowler-Nordheim)通道現象向井移動。於是，記憶胞之臨限值電壓成為-3[V]左右。

本發明之位元型EEPROM在抹除動作中，記憶胞之臨限值電壓之絕對值亦可不將變成極端大的過度抹除(over erase)視為問題。故，於1個抹除脈衝，臨限值電壓係在成為-3[V]左右之條件下進行抹除動作，可縮短抹除時間(在進行確認臨限值電壓是否不到預定值之判別動作之情況時，亦需將其所需之時間包含在內)。

本發明之位元型EEPROM可不將過度抹除視為問題之理由係在於1個記憶胞MC之兩端連接有選擇電晶體ST1、ST2之故。即，在資料讀取時，雖必須將非選擇(unselected)記憶胞經常設為OFF狀態，將被選擇(selected)記憶胞因應資料設為ON或OFF狀態；但若設置過度抹除則

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（23）

係將該非選擇(unselected)記憶胞設爲ON狀態。若設置選擇電晶體ST1、ST2，則即使非選擇(unselected)記憶胞爲ON狀態，非選擇(unselected)記憶胞之資料不會被導至位元線之故，記憶體的動作不會有問題。

在抹除動作時，非選擇(unselected)記憶胞之控制閘CGL係被設定爲浮動狀態。故，非選擇(unselected)區塊之記憶胞MC，即使體塊(井)之電位上升，藉由控制閘CGL與體塊之電容耦合，控制閘CGL之電位亦上升之故，不會進行資料之抹除。

控制閘CGL係由聚矽、聚矽與金屬矽化物之積層所構成。又，控制閘CGL係經由金屬配線連接於字元線驅動用MOS電晶體之源極。故，在控制閘連接有：字元線驅動用電晶體之源極之接合電容、源極與閘極之重疊電容、控制閘與金屬配線間之電容、及控制閘與體塊(井)間之電容等。

即使在該等電容中，控制閘與體塊(井)間之電容亦爲特別大。即，控制閘與體塊之間之耦合比係爲約0.9非常大之故，非選擇(unselected)區塊之記憶胞MC，藉由控制閘CGL與體塊之電容耦合，可防止FN通道電流流動。

抹除判別係檢知，例如被選擇(selected)區塊內之全部記憶胞之臨限值電壓是否在-1[V]以下。在本發明中，如上所述，過度抹除並不成爲問題之故，過度抹除之檢知並非必要。又，若在可確實將臨限值電壓降低至-3[V]左右之條件下進行抹除，則可省略判別動作。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（24）

在"0"程式化動作時，設定被選擇(selected)區塊之位元線側之選擇電晶體ST1爲ON狀態、源線側之選擇電晶體ST2爲OFF狀態，對程式執行("0"程式化)之記憶胞。設位元線BLi爲0[V]，對程式禁止("1"程式化)之記憶胞，設位元線BLi爲電源電位VCC(例如3.3[V])。

執行程式之記憶胞之通道(channel)被自位元線BLi經由選擇電晶體ST1施加電位0[V]。故，執行程式之記憶胞之通道電位成爲接地電位。

又，於被選擇(selected)字元線(控制閘)施加程式電位，則在連接於被選擇(selected)字元線之被選擇(selected)記憶胞中，程式執行之記憶胞之浮動閘與通道之間，產生極大的電位差。故，程式執行之記憶胞依FN通道現象，電子自通道向浮動閘移動。

另一方面，於禁止(inhibit)程式之記憶胞中，通道被充電至電源電位VCC，且被設定爲浮動狀態。若對被選擇(selected)字元線(控制閘)施加程式電位，則藉由控制閘、浮動閘、通道、體塊(井)之串聯電容結合，通道電位亦自動的被引導(boot)。

故，連接於被選擇(selected)字元線之程式禁止之記憶胞之浮動閘與通道之間，不會產生大的電位差，電子亦不會自通道移動至浮動閘。

如上述，對於禁止(inhibit)程式之記憶胞，藉由將控制閘與通道間之耦合比做成較大，且充分的進行通道之充電，便可將對被選擇(selected)字元線施加程式電位時之通

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（25）

道電位(禁止程式電位)做成非常高。

控制閘與通道間之耦合比B可由下列算出。

$$B=Cox/(Cox+Cj)$$

此處Cox係控制閘與通道間之閘電容之總和，Cj係記憶胞之源極與汲極之接合電容之總和。

記憶胞之通道容量係該等閘電容之總和Cox與接合電容之總和Cj之合計。

又，選擇電晶體之閘極與源極之重疊(overlap)電容、位元線與源、汲間之電容等，與通道電容相比係非常小之故，此處予以忽略。

讀取動作時，將位元線充電至預充電電位後，如圖4及圖5所示，對被選擇(selected)記憶胞之控制閘(被選擇(selected)字元線)施加0[V]、對被選擇(selected)記憶胞兩側之選擇電晶體之閘極施加電源電位VCC、對非選擇(unselected)記憶胞兩側之選擇電晶體之閘極施加0[V]。此時，被選擇(selected)記憶胞兩側之選擇電晶體係成ON狀態，非選擇(unselected)記憶胞兩側之選擇電晶體係成OFF狀態。

被選擇(selected)記憶胞中，資料"1"被程式化之記憶胞，即抹除狀態之記憶胞，其臨限值電壓係成負的耗損模式之故，成爲ON狀態，位元線電位下降。相反的，資料"0"被程式化之記憶胞，其臨限值電壓係成加強

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（26）

(enhancement)模式之故，成爲OFF狀態，位元線電位維持於預充電電位。

如此，資料"0"、"1"之判斷可藉由胞電流是否自位元線流至源線而進行。位元線之電位變化可由感測放大器予以放大(檢知)。

依本發明之位元組型EEPROM，記憶胞MC係被選擇電晶體夾住之故，有以下之優點。

第一，將讀取電位設爲0[V]之情況下，如圖6所示，抹除後或程式化後之臨限值電壓分布係成爲負(資料"1")或正(資料"0")即可。即，若設有區別"1"及"0"之判別(verify)功能，則可不設檢知過度抹除或過度程式化之判別功能。故，習知快閃EEPROM所進行之複雜的判別便成爲不必要者。又，本發明即使在過度抹除造成之負的臨限值電壓之絕對值變大，或在過度程式化造成之正的臨限值電壓之絕對值變大之情況下，亦可進行正常之讀取動作。故，可將施加於閘氧化膜(通道氧化膜)之電場設定爲較高，縮短抹除時間及程式時間。

第二，如NAND型快閃EEPROM般，抹除及程式化皆係藉由利用FN通道(Tunnel)現象之浮動閘與通道(Channel)間之電荷進行交換。故，可將資料改寫動作(data change operation)之消耗電流抑制到非常小。於是，可增大1次資料改寫動作所可同時變更資料之記憶胞之數量。

第三，本發明之位元組型EEPROM與NAND型快閃EEPROM相異，選擇電晶體之間之記憶胞僅有1個。即，於

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（27）

選擇電晶體之間，被選擇記憶胞與非選擇記憶胞並非混合存在之故，在讀取時亦不需使非選擇記憶胞經常爲ON狀態發揮通過(pass)電晶體功能。故，不需要有用以防止過度程式化之處置。

又，讀取時，因不需使非選擇記憶胞經常爲ON狀態之故，在使被選擇記憶胞之控制閘爲0[V]進行讀取之情況下，將非選擇記憶胞之控制閘亦設爲0[V]，可不考慮讀取資料之保持率(Read Retention)。

即，習知NAND型快閃EEPROM係於選擇電晶體之間串聯複數之記憶胞之故，讀取時，將被選擇記憶胞之控制閘設爲0[V]，將非選擇記憶胞之控制閘設爲Vread(=4.5V)。此即讀取資料之保持率縮小的原因。

本發明係於選擇電晶體之間僅連接1個記憶胞之故，在讀取時，設全部之記憶胞之控制閘爲0[V]，依據記憶胞兩端之選擇電晶體之ON/OFF，即可決定記憶胞之選擇/非選擇。

又，因於位元線及記憶胞之間連接有選擇電晶體之故，在讀取時，不需將非選擇記憶胞經常保持於OFF狀態。故，亦不需要有用以防止過度抹除之處置。

又，於"0"程式化時，不需對非選擇字元線(控制閘)施加中間電位(程式電位之約1/2之電位)。此乃因記憶胞與位元線之間存在有選擇電晶體之外，選擇電晶體間之記憶胞亦僅有1個之故。

又，即使不對非選擇字元線施加中間電位，亦可防止程

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 28 ）

式錯誤之故，程式之可靠性變高。又，可進行負單位(或位元單位)之改寫。即使於讀取時，因無通過電晶體(pass transistor)之故，可使胞電流加大。故，可進行高速讀取，讀取時之資料保持特性提升。

表3係表示上述抹除、程式化、讀取之各動作之選擇閘線SSL、GSL、控制閘線(字元線)CGL、位元線BLi、胞源線SL、胞P井之電位。

[表3]

		抹除	寫入	讀取
選擇區塊	位元線側之選擇閘線SSL	Vera×β	VCC	VCC
	控制閘線CGL	0V	Vprog	0V
	源線側之選擇閘線GSL	Vera×β	0V	VCC
非選擇區塊	位元線側之選擇閘線SSL	Vera×β	0V	0V
	控制閘線CGL	Vera×β	0V	0V
	源線側之選擇閘線GSL	Vera×β	0V	0V
位元線	"1"資料	Vera-Vb	VCC	VBL→0V
	"0"資料	Vera-Vb	0V	VBL
胞源線		Vera-Vb	VCC	0V
胞P井		Vera	0V	0V

於抹除動作中，選擇區塊之控制閘線CGL被設定為

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（29）

0[V]，非選擇區塊之控制閘線CGL及全部的選擇閘線SSL、GSL係被設定爲浮動狀態。

於該狀態中，若胞P井被施加例如21[V]之抹除電位Vera，則浮動狀態之全部的選擇閘線SSL、GSL之電位及非選擇區塊之控制閘線CGL之電位，因與胞P井之電容耦合，而成爲Vera×β（惟，β爲耦合比）。

此處，若設β爲0.8，則浮動狀態之全部的選擇閘線SSL、GSL之電位及非選擇區塊之控制閘線CGL之電位將上升至16.8[V]。

抹除動作時，由位元線BLi及連接於胞源線SL之N^+擴散層及胞P井所成之pn接合係於順方向有偏壓。因此，位元線BLi及胞源線SL係被充電爲Vera-Vb。又，Vb係爲pn接合之內建電位。

於程式動作中，連接於將"1"資料予以程式化之選擇記憶胞之位元線BLi，即連接於維持抹除狀態之選擇記憶胞之位元線BLi，係被設定爲電源電壓（例如3.3[V]）VCC，連接於將"0"資料予以程式化之選擇記憶胞之位元線BLi，係被設定爲0[V]。

選擇區塊之位元線側之選擇閘線SSL，係被設定爲電源電位VCC，胞源線側之選擇閘線GSL，係被設定爲0[V]，控制閘線CGL，係被設定爲程式電位（例如18[V]）Vprog。

非選擇區塊之選擇閘線SSL、GSL、控制閘線CGL、及胞P井，係被設定爲0[V]。

胞源線係被設定爲0[V]。惟，將選擇區塊內之"1"資料

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（30）

予以程式化之記憶胞之通道電位，係由與控制閘線CGL之電容耦合而升壓，在因穿透(punch-through)而造成胞源線之漏電流問題之情況下，胞源線之電位以設定爲電源電位VCC爲佳。

於讀取動作中，選擇區塊之選擇閘線SSL、GSL係被設定爲電源電位VCC，控制閘線CGL，係被設定爲0[V]。在於資料讀取前將位元線予以預充電之方式之情況下，位元線BLi係被設定爲預充電電位(例如1.2[V])VBL。

選擇記憶胞中記憶"1"資料者係成ON狀態而有胞電流流動之故，位元線BLi被放電至0[V]。另一方面，選擇記憶胞中記憶"0"資料者係成OFF狀態而無胞電流流動之故，位元線BLi係保持於預充電電位VBL。

於讀取動作中，在對選擇區塊之控制閘線CGL施加電源電位(例如3.3V)VCC而欲進行讀取動作之情況下，將記憶胞之臨限值分布設定如圖7即可。

表4係表示具有圖7之臨限值分布之情況之抹除、程式化、讀取之各動作之選擇閘線SSL、GSL、控制閘線(字元線)CGL、位元線BLi、胞源線SL、胞P井之電位。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（31）

[表4]

		抹除	寫入	讀取
選擇區塊	位元線側之選擇閘線SSL	Vera×β	VCC	VCC
	控制閘線CGL	0V	Vprog	VCC
	源線側之選擇閘線GSL	Vera×β	0V	VCC
非選擇區塊	位元線側之選擇閘線SSL	Vera×β	0V	0V
	控制閘線CGL	Vera×β	0V	0V
	源線側之選擇閘線GSL	Vera×β	0V	0V
位元線	"1"資料	Vera-Vb	VCC	VBL→0V
	"0"資料	Vera-Vb	0V	VBL
胞源線		Vera-Vb	VCC	0V
胞P井		Vera	0V	0V

本發明如上所述，係於記憶胞兩端設有選擇電晶體之故，抹除後("1"資料)之記憶胞之臨限值分布區域自正值跨至負值亦可。

圖8表示本發明之位元組型EEPROM之電路區塊之主要部分。

該EEPROM如上所述，具有：記憶胞陣列11，其係將以2個選擇電晶體夾住1個記憶胞之由3個元件所成之記憶胞單元配置成矩陣狀者；控制閘線10a，其係於記憶胞陣列11上於列方向配置有複數條者；及位元線10b，其係於記

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（32）

憶胞陣列11上於行方向配置有複數條者。

列譯碼器12係進行「列」，即控制閘線10a之選擇者。連接於所選擇之控制閘線10a之記憶胞之資料係被輸入至感測放大器13，其係由設於每一行之具有資料閂鎖功能之感測放大器所成者。行譯碼器14係進行「行」，即位元線BLi之選擇者。

所選擇之行之感測放大器之資料，係經由資料輸出入緩衝器18，被輸出至記憶體晶片之外部。被輸入至記憶體晶片內部之資料，係經由資料輸出入緩衝器18，於閂鎖於所選擇之行之具有閂鎖功能之感測放大器。

升壓器16係產生程式動作或抹除動作所必需之高電壓者。控制電路17除了控制記憶體晶片內部各電路之動作外，並扮演記憶體晶片之內部與外部之介面之角色。控制電路17包含順序(sequence)控制機構(例如可程式邏輯陣列)，其控制對記憶胞之抹除，程式化及讀取等各動作。

圖9表示圖8之感測放大器13中，連接於1條位元線BLi之具閂鎖功能之感測放大器。

感測放大器係以閂鎖電路21爲主體，其係由一方之輸出成爲另一方之輸入之2個CMOS反相器I1、I2所成。閂鎖電路21之閂鎖節點Q係經由行選擇用之NMOS電晶體M8，連接至I/O線。又，閂鎖節點Q係經由感測放大器切斷用之NMOS電晶體M4及位元線電位鉗位(clamp)用之NMOS電晶體M1，連接至位元線BLi。

NMOS電晶體M1、M4之連接節點係成爲感測節點

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（33）

Nsense。感測節點Nsense上連接有預充電用之PMOS電晶體M2及放電用之NMOS電晶體M3。預充電用之PMOS電晶體M2係基於預充電控制信號Load，於預定期間內進行感測節點Nsense之充電。放電用之NMOS電晶體M3係基於放電控制信號DCB，將感測節點Nsense之電荷予以放電。

閂鎖電路21之閂鎖節點Qb上，連接有重設定用之NMOS電晶體M5，其係用以基於控制信號φL1將閂鎖節點Qb予以強制性接地者。閂鎖電路21之閂鎖節點Qb上，連接有重設定用之NMOS電晶體M6，其係用以基於控制信號φL2將閂鎖節點Qb予以強制性接地者。

重設定用NMOS電晶體M5、M6之共通源極，係經由感測節點Nsense之電位所控制之感測用NMOS電晶體M7，連接至接地。感測用NMOS電晶體M7係與NMOS電晶體M5、M6共同使用於閂鎖電路21之重設定用。

圖10表示本發明之位元組型EEPROM之位元組單位之改寫動作(data change operation for bite data)之概略的流程圖。

該流程圖所示之順序動作係由圖8之控制電路17所控制。以下依該流程圖，說明位元組單位之資料改寫動作。

成爲位元組改寫模式(bite data change mode)後，首先，將連接於所選擇之控制閘線(字元線)之記憶胞之1頁分的資料，讀出至感測放大器中(頁讀取)。接著於感測放大器將該1頁分之資料予以閂鎖(步驟ST1)。

次之將對應於以位址指定之行之位元組資料予以載入。

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（34）

該被載入之位元組資料被寫於感測放大器中所閂鎖之1頁分之資料中之進行資料改寫之位元組資料上(overwrite)(步驟ST2)。

次之，連接於所選擇之控制閘線之記憶胞之一頁分之資料被同時抹除(頁抹除)(步驟ST3)。於抹除後，對連接於所選擇之控制閘線之各記憶胞進行抹除檢證，驗證抹除是否已完全進行，是否未過度進行(步驟ST4、5)。

接著在1頁分之全部之記憶胞之臨限值到達特定範圍爲止，反覆進行頁抹除及抹除檢證，在1頁分之全部之記憶胞之臨限值到達特定範圍時(即抹除完畢)，移至下一動作(步驟ST3~5)。

又，在對1條位元線僅存在1個具有閂鎖功能之感測放大器之情況(僅有1頁分之情況)，依抹除檢證之結果有可能會破壞感測放大器之資料。故，在此情形下，不進行抹除檢證，僅進行一次抹除便結束。

其後，對於連接於所選之控制閘線之記憶胞，將閂鎖於感測放大器之1頁分之資料予以同時程式化(步驟ST6)。於程式化後，對連接於所選之控制閘線之記憶胞，進行程式檢證，驗證程式是否完全進行、是否未過度進行(步驟ST7、8)。

接著在1頁分之全部之記憶胞之臨限值到達特定範圍爲止，反覆進行頁程式化及程式檢證，在1頁分之全部之記憶胞之臨限值到達特定範圍時(即程式完畢)，結束位元組單位之資料改寫動作(data change operation for bite data)。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（35）

又，在使用高程式電位，以一次之程式脈衝進行一次程式之情況下，亦可省略程式檢證步驟。

圖11至圖14表示圖10之主要步驟之所選擇之記憶胞之資料及感測放大器之節點Qb(圖9)之狀態。

圖11表示連接於所選擇之控制閘線(字元線)之記憶胞之1頁分之資料，被讀入至感測放大器之狀態。(對應於步驟ST1)。

在記憶胞之資料爲"0"(臨限值電壓爲正值)之情況下，位元線BLi之電荷並不放電，而維持於預充電電位。故，圖9之感測節點Nsense成爲電源電位VCC。控制信號φL2若設爲電源電位VCC，則節點Q成爲接地電位VSS，即成爲"0"。

相反的，在記憶胞之資料爲"1"(臨限值電壓爲負值)之情況下，位元線BLi之電荷被放電。故，圖9之感測節點Nsense成爲接地電位VSS。控制信號φL2若設爲電源電位VCC，則節點Q成對電源電位VCC，即成爲"1"。

圖12表示對於閂鎖於感測放大器之1頁分之資料中，以位址指定之位元組資料(8位元資料)，進行資料之改寫之狀態(對應於步驟ST2)。

圖13將連接於所選擇之控制閘線(字元線)之記憶胞之資料予以抹除(頁抹除)之狀態(對應於步驟ST3)。依頁抹除，連接於所選擇之控制閘線之記憶胞之資料全部變成"1"。

圖14表示對於連接於所選擇之控制閘線(字元線)之記憶

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（36）

胞，將閂鎖於感測放大器之1頁分之資料予以程式化(頁程式化)之狀態(對應於步驟ST6)。

如此，對於記憶胞陣列11，在動作上雖係爲頁單位之資料改寫動作(data change operation for page data)，但實際上則係進行位元組單位之資料改寫動作(data change operation for bite data)。

次之參照圖15及圖16之時序表，以圖9之感測放大器之動作爲中心，詳細說明頁程式化、程式檢證用之讀取動作。

又，圖15及圖16表示將1個時序表分割爲2個後之各部分表示圖，圖15之t5與圖16之t5表示相同時刻。即，圖15之後半部波形與圖16之前半部波形有一部分重複。

自晶片外部輸入對晶片內部指示程式之指令後，程式動作即開始。

首先，爲了重設感測節點Nsense，將控制信號DCB設爲電源電位VCC。此時，MOS電晶體M3爲ON，感測節點Nsense係被接地(t1)。

又，將控制信號BLSHF亦與控制信號DCB相同之設爲電源電位VCC後，MOS電晶體M1爲ON，位元線BLi係被接地。

在將程式資料載入感測放大器前，將資料閂鎖控制信號φL1設爲電源電位VCC，將預充電控制信號Load設爲接地電位VSS。此時，MOS電晶體M5、M7爲ON，閂鎖電路21之閂鎖節點Qb被強制接地，資料被重設定。即，在感測

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（37）

放大器20之全部之感測放大器中，閂鎖電路21之閂鎖節點Q爲電源電位VCC，閂鎖節點Qb爲接地電位VSS(t2)。

次之，程式資料自I/O線載入，資料被閂鎖入感測放大器20之各閂鎖電路21，節點Q、Qb對應於載入資料而被設定爲"H"、"L"(t3)。

具體上，與進行"0"程式化之記憶胞相反對應之感測放大器之閂鎖電路21之閂鎖節點Q被施予"L"(=VSS)；而"1"程式化(程式禁止)之記憶胞所對應之感測放大器之閂鎖電路21之閂鎖節點Q被施予"H"(=VCC)。

次之，控制信號BLSHF、SBL成爲"H"，基於被閂鎖於感測放大器20之各閂鎖電路21之資料，開始各位元線之充電(t4)。

即，連接於進行"0"程式化之記憶胞之位元線BLi被設定爲接地電位VSS；而"1"程式化(程式禁止)之記憶胞所連接之位元線被充電至電源電位VCC。所選擇之控制閘線(字元線)被設定爲程式電壓Vprog(約20[V])。

藉此動作，對1頁分之記憶胞進行程式化。

資料程式化結束後，開始驗證資料程式化是否完全結束。

首先進行驗證程式用之讀取。該驗證動作係與一般之讀取動作相同。

將控制信號DCB設定於電源電位VCC後，MOS電晶體M3爲ON，感測節點Nsense被強制地接地(t5)。

接著，對所選擇之控制閘線CGL施予參考電位Vref(約

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（38）

0.5[V]），對選擇閘線SSL、GSL施予電源電位VCC後，進行驗證讀取動作(t6)。

在讀取時，可使用位元線預充電型之感測方式、電流檢知型之感測方式等。位元線-預充電型之感測方式係將位元線BLi予以預充電，做成浮動狀態後，維持或降低與記憶胞之資料對應之位元線之電位。關於電流檢知型之感測方式詳述如下。

於時刻t6中，將控制信號BLSHF自昇壓電位VCC+α緊固鉗位於電位VCC-α，依流至MOS電晶體M1之記憶胞電流與將感測節點Nsense予以充電之MOS電晶體M2之電流之平衡，進行讀取。於是，位元線BLi之電位若上升至例如0.9[V]爲止，則MOS電晶體M1成切斷狀態，感測節點Nsense成爲電源電位VCC。

在感測節點Nsense成爲"H"(=VCC)後，將閂鎖控制信號φL1設爲電源電位VCC，使MOS電晶體M5爲ON(t5)。感測節點Nsense爲電源電位之情況(連接於臨限值比檢證電位Vref高的記憶胞之感測放大器之情況)，MOS電晶體M7爲ON，閂鎖節點Qb成爲接地電位VSS，閂鎖節點Q成爲電源電位VCC。

若在閂鎖節點Q載入接地電位VSS，正常的進行程式，則閂鎖電路21之閂鎖資料將反轉。在記憶胞所對應之程式不充分之情況下，於檢證讀取中，感測節點Nsense仍維持於"L"(=VSS)之故，閂鎖電路21不會發生資料反轉，閂鎖節點Q保持於VSS。在連接於程式禁止之記憶胞之感測放大

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（39）

器中，閂鎖節點Q爲電源電位VCC之故，不會有資料反轉。

在存在有程式化不充分之記憶胞時，即存在有閂鎖電路21之資料反轉不會發生之感測放大器時，將反覆進行程式化及檢證讀取。在1頁分之全部之感測放大器之閂鎖節點Q之電位成爲電源電位後，程式結束。

次之，參照圖17之時序表，以圖9之感測放大器之動作爲中心，詳細說明位元組單位之資料改寫動作(data change operation for bite data)。

在自晶片外部向晶片內部輸入指示位元組改寫模式(bite data change mode)之指令後，開始位元組單位之資料改寫動作(data change operation for bite data)。

首先，對於連接於所選擇之控制閘線(字元線)之1頁分之記憶胞，開始進行已寫入之資料之讀取動作。

首先，將資料閂鎖控制信號φL1設定爲電源電位VCC，將預充電控制信號Load設定爲接地電位VSS。此時，MOS電晶體M5、M7爲ON，閂鎖電路21之閂鎖節點Qb被強制接地，資料被重設定。即，感測放大器之全部之閂鎖電路21之閂鎖節點Q成爲電源電位VCC，閂鎖節點Qb成爲接地電位VSS(t1)。

次之，將控制信號DCB設定爲電源電位VCC。此時，MOS電晶體M3成爲ON，感測節點Nsense被強制接地(t2)。接著，對所選擇之控制閘線CGL施予VSS(=0V)，對選擇閘線SSL、GSL施予電源電位VCC後，進行讀取

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（40）

(t3)。

在感測節點Nsense成爲"H"(=VCC)後，閂鎖控制信號φL2成爲電源電位VCC，MOS電晶體M6成爲ON(t4)。在感測節點Nsense爲電源電位VCC之情況(即，在連接於資料"0"被寫入且臨限值電壓比VSS高之記憶胞之感測放大器之情況)，MOS電晶體M7爲ON，閂鎖節點Q成爲接地電位VSS，閂鎖節點Qb成爲電源電位VCC。

次之，將控制信號DCB設定爲電源電位VCC，將控制信號BLSHF設定爲電源電位VCC或電位VCC+α，將位元線BLi及感測節點Nsense予以重設定(t5)。

其後，於行位址所指定之感測放大器20之閂鎖電路21載入位元組資料，節點Q、Qb係對應於位元組資料被設定爲"H"、"L"(t6)。

對於被寫入閂鎖電路21之頁資料中之特定之資料，將自晶片外部輸入之位元組資料予以寫於其上(overwrite)。

此後，對於連接於所選擇之控制閘線之記憶胞，進行頁抹除動作。

將所選擇之區塊之控制閘線設定爲接地電位VSS，將非選擇之區塊之控制閘線及全部之選擇閘線設定爲浮動狀態。於胞P井施加抹除電壓Vera後，浮動狀態之選擇閘線與非選擇區塊之控制閘線，依其與胞P井之電容耦合，被引導(boot)至Vera×β(β爲耦合比)。

又，位元線BLi及胞源線SL，係連接於胞P井內之N^+層。該N^+層與胞P井之PN接合若成順偏壓，則位元線BLi

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（41）

及胞源線SL，各被充電至Vera-Vb(t7)。其中，Vb係pn接合之內建電位。

其後，進行抹除檢證，確認所選擇之頁之記憶胞全部成爲抹除狀態，即確認記憶胞之臨限值電壓成爲負值。基於存在閂鎖電路21之資料，對所選擇之頁之記憶胞，進行程式動作及程式檢證動作。

圖17中省略抹除檢證之後之動作。

圖18係將NAND型快閃EEPROM之記憶胞陣列之一部分，使用本發明之位元組型EEPROM之記憶胞陣列之例。

本發明之位元組型EEPROM之記憶胞陣列，可視爲係於NAND型快閃EEPROM之記憶胞陣列中，在2個選擇電晶體間設一個記憶胞者。故，可輕易實現本例之EEPROM。

本例之EEPROM係於1條位元線BLi上，連接構造相異之2種記憶胞單元。即，第1記憶胞單元係於2個選擇電晶體間連接複數個(例如4、8、16、32個等)記憶胞；而第2記憶胞單元係於2個選擇電晶體間連接1個記憶胞。

在控制閘線(字元線)之選擇上，於第1記憶胞單元之區域與第2記憶胞單元之區域，各別設置驅動電路亦可，若可共通化，將兩區域之驅動電路總合爲一個亦可。

取代圖18之NAND型快閃EEPROM之記憶胞陣列，而採用以下之記憶胞陣列亦可。

圖19所示之記憶胞陣列係爲AND型快閃EEPROM之記憶胞陣列。圖22所示之記憶胞陣列係爲DINOR型快閃EEPROM之記憶胞陣列。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（42）

圖19之AND型快閃EEPROM之AND單元具有複數之記憶胞，其係並聯於副位元線與副源線之間。副位元線係經由汲極側選擇電晶體，連接於主位元線。副源線經由源極側選擇電晶體，連接於主源線。

在例如64 MB AND型快閃EEPROM之情況下，1個AND單元係包含128個記憶胞(m=128)及2個選擇電晶體。

該記憶胞陣列之特徵在於：位元線(資料線)、源線各被階層化之點。位元線及源線各包含主配線及副配線，副配線具有形成於擴散層之擬似不導電之構造。

對於記憶胞進行之資料之程式化/抹除係藉由FN(Fowler-Nordheim)通道(tunnel)電流進行。

如圖20所示，資料之程式化係藉由將浮動閘之電子使用向汲極之FN通道電流予以拉拔除去而進行。如圖21所示，資料之抹除係藉由使用自基板流向浮動閘之FN通道電流將電子予以注入而進行。

圖22之DINOR(Divided Bit Line NOR)型快閃EEPROM係可如NAND型快閃EEPROM般進行單一電源動作，且具有改寫速度快、記憶胞尺寸小之特點，以及具有可如NOR型快閃EEPROM般進行高速隨機存取之特點。

DINOR型快閃EEPROM之記憶胞單元係將記憶胞陣列內之主位元線與副位元線做成階層構造之故，在尺寸上約等於AND型之AND單元。記憶胞之構造係與NOR型快閃EEPROM或NAND型快閃EEPROM之記憶胞構造相同，係爲堆閘(stack gate)型，而記憶胞之汲極係連接於由聚矽形

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（43）

成之副位元線。

例如在16 MB DINOR型快閃EEPROM之情況下，副位元線上連接有64個記憶胞。若將記憶胞所對應之導通體以其矽及擴散層之所謂埋入式導通體做成，則可達成記憶胞尺寸之縮小化。

記憶胞所對應之資料之程式化/抹除之原理係與AND型快閃EEPROM相同，由FN(Fowler-Nordheim)通道電流進行。

即，記憶胞所對應之資料之程式化，係藉由將浮動閘之電子使用流至汲極之FN通道電流予以拔除而進行。資料之抹除則係使用自基板(通道整體)流至浮動閘之FN通道電流將電子予以注入而進行。

圖19及圖22之主位元線上連接有圖9之感測放大器，基於圖10之流程圖，執行位元組單位之資料改寫。

如此，即使於具有圖18、圖19及圖22所示之記憶胞陣列之EEPROM中，亦可藉由採用圖10之流程圖所示之資料變更方法，對記憶胞陣列之各記憶胞單元，進行位元組單位之資料改寫動作(Data change operation for bite data)。

又，於本發明之位元組型EEPROM之記憶胞中，亦可省略位元線側之選擇電晶體，而藉由1個記憶胞電晶體與1個源側選擇電晶體構成記憶胞單元。於該情況下，在資料程式化時，基於感測放大器之資料，於程式禁止之位元線上，施加程式電壓Vprog之約1/2之程式禁止用之中間電壓Vm。

惟，以往習知有稱爲SONOS(silicon-oxide-nitride-oxide-

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（44）

silicon)胞之記憶胞。該記憶胞之特徵在於藉由被滲雜至閘極(字元線)正下方之氮化矽膜之電子之量，俾特定出資料("0"或"1")之點。

關於SONOS胞揭示於例如文獻4(A. Lancaster et al., "A 5V-Only EEPROM with Internal Program/Erase Control", IEEE International Solid-State Circuits Conference, pp. 164-165, Feb. 1983)。

文獻4之記憶胞單元係由1個記憶胞及將其夾住之2個選擇電晶體所構成。又，該文獻4批評於SONOS胞中可進行位元組單位之資料改寫乙節(參照"LOAD-LATHES-ROW-ERASE operation" p.164左欄第31～第40行)。

惟，文獻4並未具體揭示位元組單位之資料改寫動作。即，實際上，如何進行位元組單位之資料改寫乃屬未知。又，文獻4所揭示之記憶胞具有記憶胞之閘極與選擇電晶體之閘極重疊(overlap)之構造，而並未具有如快閃EEPROM般之堆閘構造。

又，本發明可達成與習知之NAND型快閃EEPROM及文獻4之記憶胞所達成之效果完全迥異之顯著效果。

即，程式後或抹除後之記憶胞之臨限值分布係成爲例如上述圖6或圖7般。此處，習知之NAND型快閃EEPROM中決定了資料"1"、"0"之臨限值分布之上限及下限，必須依判別(Verify)將各資料之臨限值分布以來於特定範圍內。又，文獻4之記憶胞係爲SONOS構造，氮化矽膜之電子之滲雜量係在某種程度已被決定之故，難以將記憶胞之臨限

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（45）

值分布自由的移位(sift)(關於此點請參照例如W.D. Brown et al., "Nonvolatile Semiconductor Memory technology", IEEE Press Series on Microelectroic Systems Stu Tewksbury, Series Editor, P. 70, p. 212, p. 316, p. 326, p. 327, p. 344。

相對於此，依本發明可藉由例如調整程式或抹除之時間或電壓，而在圖6或圖7中，將資料"1"之臨限值分布與資料"0"之臨限值分布做成互相充分的分離開來。即，藉由將資料"1"之臨限值分布與資料"0"之臨限值分布之界限(溝Gap)做成很大，可充分進行程式及抹除，可防止讀取錯誤。且各資料之臨限值分布並無上限及下限之故，並不需判別(verify)，即可進行所謂之僅一個程式(only one program)及僅一次抹除(only one erase)。

圖23爲本發明之位元組型EEPROM之電路方塊圖之一例。圖24爲圖23之記憶胞陣列11之一部分。

本例之電路方塊係使用於具有圖3之記憶胞陣列之EEPROM者，其係近似於NAND型EEPROM之電路方塊。

本發明係由1個記憶胞及將其夾住之2個選擇電晶體等3元件構成記憶胞單元之故，在1個區塊BLKi(i=0、1、...、n)內，配置有連接於1條控制閘線CGL之記憶胞，即，配置有1頁分之記憶胞。

控制閘、選擇閘驅動器12c係對應於1個區塊BLKi(i=0、1、...、n)，即1條控制閘線CGL(1頁)而設置。各驅動器12c包含預譯碼器12a及列譯碼器12b亦係對應1個區塊BLKi即1條控制閘線CGL(1頁)而設置。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（46）

列位址信號係經由位址暫存器19被輸入至預譯碼器12a。接著由預譯碼器12a及列譯碼器12b選擇1列(或1個區塊)。被選擇之區塊爲BLKi時，例如驅動器12c對被選擇之區塊BLKi內之控制閘線CGL及選擇閘線SSL、GSL，施予對應於動作模式之特定電位(參照表3及4)。

具閂鎖功能之感測放大器13將讀取資料及程式資料予以閂鎖。讀取資料(輸出資料)係經由行選擇電路15及輸出入緩衝器18，被輸出至記憶體晶片外部。程式資料(輸入資料)係經由輸出入緩衝器18及行選擇電路15，被閂鎖於具有閂鎖功能之感測放大器13。

指令信號經由資料輸出入緩衝器18及指令暫存器25被輸入至指入譯碼器26。控制電路17上被輸入指令譯碼器26之輸出信號、指令閂鎖致能信號CLE、晶片致能信號/CE、寫入致能信號/WE等信號。

信號產生電路(升壓器)27在控制電路17之控制下，產生將施加予控制閘線CGL及選擇閘線SSL、GSL之電位，將該電位供給至控制閘、選擇閘驅動器12c。

圖25表示本發明之位元組型EEPROM之電路之其他例。圖26表示圖25之記憶胞陣列11之一部分。

本例之電路區塊係使用於具有圖18之記憶胞陣列之EEPROM者。

記憶胞陣列係由配置有本發明所相關之記憶胞單元之3-tr胞部11-0與配置有NAND胞單元之NAND胞部11-1所構成。

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（47）

3-tr胞部11-0係具有由1個記憶胞及將其夾住之2個選擇電晶體等3個元件所成之記憶胞單元，分成n個區塊BLK0、BLK1、...、BLKn。NAND胞部11-1係具有由串聯之複數個(4、8、16個等)記憶胞及將其夾住之2個選擇電晶體所成之NAND胞單元，分爲m個區塊BLK0、BLK1、...、BLKm。

在3-tr胞部11-0之各區塊BLKi(i=0，1，...，n)內配置有連接於1條控制閘線CGL上之記憶胞，即1頁分之記憶胞。相對於此，NAND胞部11-1之各區塊BLKi(i=0、1、...、m)內配置有連接於複數條控制閘線CGL之記憶胞，即複數頁分之記憶胞。

3-tr胞部11-0中，控制閘、選擇閘驅動器12c係對應於1個區塊BLKi即1條控制閘線CGL(1頁)而設置。各驅動器12c包含升壓器。預譯碼器12a及列譯碼器12b亦係對應於1個區塊BLKi即1條控制閘線CGL(1頁)而設置。

NAND胞部11-1中，控制閘、選擇閘驅動器12c係對應於包含有複數條控制閘線CGL0、...CGL7(複數頁)之1個區塊BLKi而設置。各驅動器12c包含升壓器。預譯碼器12a及列譯碼器12b亦係對應於包含有複數條控制閘線CGL0、...CGL7(複數頁)之1個區塊BLKi而設置。

列位址信號係經由位址暫存器19被輸入至預譯碼器12a。接著由預譯碼器12a及列譯碼器12b選擇3-tr胞部11-0或NAND胞部11-1之1個列(或1個區塊)。

具閂鎖功能之感測放大器13將讀取資料或程式資料予以

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（48）

閂鎖。讀取資料(輸出資料)係經由行選擇電路15及輸出入緩衝器18，被輸出至記憶體晶體外部。程式資料(輸入資料)係經由輸出入緩衝器18及行選擇電路15，被具有閂鎖功能之感測放大器13閂鎖。

指令信號係經由資料輸出入緩衝器18及指令暫存器25，被輸入至指令譯碼器26。控制電路17被輸入指令譯碼器26之輸出信號、指令閂鎖致能信號CLE、晶片致能信號/CE、寫入致能信號/WE等信號。

信號產生電路(升壓器)27在控制電路17之控制下，產生將施加予控制閘線CGL及選擇閘線SSL、GSL之電位，將該電位供給至控制閘、選擇閘驅動器12c。

圖27表示圖23至26之EEPROM所使用之位元組單位之資料改寫動作(data change operation for bite data)。

該資料改寫動作(data change operation)可由圖11至14所示之資料改寫動作予以總括而易於了解。

本發明之位元組單位之資料改寫動作(data change operation for bite data)包含以下4個主要步驟：

①對被選擇之區塊內之1頁分之記憶胞，進行資料之讀取，將其保持於具閂鎖功能之感測放大器內。

②對保持於具閂鎖功能之感測放大器內之資料，進行位元組資料之改寫(overwrite)。

③將被選擇之區塊內之1頁分之記憶胞之資料予以抹除。

④將保持於具閂鎖功能之感測放大器之資料，在之區塊內之1頁分之記憶胞內予以程式化。

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（49）

藉由上述步驟可用與快閃EEPROM相同之製程予以製造，且亦不拘使用相同之資料改寫方法(data change method)，可提供能進行以位元組單位進行資料改寫動作(data change operation for bite data)之非揮發性半導體記憶體(快閃EEPROM通常不具有上述①步驟，而係以區塊單位將記憶胞之資料予以一併抹除之故，並無法進行位元組單位之資料予以一併抹除之故，並無法進行位元組單位之資料改寫動作。惟，在抹除區塊內之全部之記憶胞之資料後，則可進行位元組單位之程式化)。

此處對於使用圖27所示之位元組單位之資料改寫動作之EEPROM，檢討記憶胞之資料改寫次數(number of data change operation，即number of program/erase cycles)之最大值。

依圖27之方法，在進行1位元組資料之變更之情況下，對被選擇之區塊內之1頁分之資料，進行1次之讀取動作、抹除動作及程式化動作。換言之，在被選擇之區塊內，即使對不變更資料之記憶胞，亦進行1次之讀取動作、抹除動作及程式化動作。

故，例如變更1頁內之全部之資料之情況下，依圖27之方法將1頁分之資料以1位元組爲單位予以變更時之頁讀取、抹除、程式次數，係比將1頁分之資料予以一次一起變更之情況之頁讀取、抹除、程式次數、實質上變多而成爲1頁內所包含之位元組數倍。

例如1頁包含64位元組之情況下，將1頁分之資料一次一

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 50 ）

起改寫僅1次之頁讀取、抹除、程式動作即足夠，但在將1頁分之資料以1位元組為單位予以改寫時，則需64次之頁讀取、抹除、程式動作。

如此，圖27所示之位元組單位之資料改寫動作(data change operation for bite data)在進行1位元組分之資料變更之情況下，對所選擇之區塊內之1頁分之資料，進行1次讀取動作、抹除動作及程式動作。故，依本發明之方法變更1頁分之資料之情況之頁讀取、抹除、程式次數，係比將1頁分之資料予以一次變更之情況之頁讀取、抹除、程式次數，最大變多成為1頁內所含之位元組數倍。

又，為了防止此種頁讀取、抹除、程式次數之增加，在圖27之方法之1次頁讀取後，將複數位元組之資料予以改寫，減少頁讀取、抹除、程式次數亦可。

惟，以下係說明以別的方法將複數位元組之改寫，維持為位元組單位之改寫動作(data change operation for bite data)，並可減少頁讀取、抹除、程式次數之非揮發性半導體記憶體。

圖28表示圖23之位元組型EEPROM之改良側。

本發明係以於列方向及行方向成行列狀配置之複數之區塊BLKi-j(i=0，1，...，n；j=0，1，2，3)構成記憶胞陣列11。

目前為止所說明之例如圖23及圖25所示，係將區塊BLKi僅配置於行方向，連接於1條控制閘線CGL之1頁分之記憶胞一定係存在於同一區塊BLKi內。本發明則係將1頁分之

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（51）

記憶胞以1位元組(8位元)之正數倍爲單位分爲複數分，於列方向上亦配置有複數之區塊。

具體上，1頁係由k(k爲正數)位元組之記憶胞所構成之情況下，若1區塊係由r(r爲正數、r≤k)位元組之記憶胞所構成時，則列方向之區塊數爲k/r。本例中，列方向之區塊數爲4個。於此情況下，例如1區塊係由16位元組之記憶胞所構成，則1頁係由64位元組之記憶胞所構成。

主控制閘、選擇閘驅動器12c係對應於列方向之4個區塊BLKi-j，即1條控制閘線CGL(1頁)而設置。各驅動器12c包含升壓器。預譯碼器12a及列譯碼器12b亦係對應4個區塊BLKi-j，即1條控制閘線CGL(1頁)而設置。

副控制閘驅動器28係對應於各區塊BLKi-j而設置。

列位址信號係經由位址暫存器19被輸入至預譯碼器12a及副譯碼器29。接著由預譯碼器12a及列譯碼器12b，選擇1個列內之4個區塊BLKi-j。又，依副譯碼器29選擇被選擇之4個區塊BLKi-j中之1個。

副譯碼器29若具有選擇被選擇之1個列內之複數個區塊或被選擇之列內之全部之區塊(本例爲4個區塊)之功能亦可。

本發明係可用區塊爲單位進行資料之讀取、抹除及程式化。換言之，於位元組單元之資料改寫動作(data change operation for bite data)中，並不需要將1頁分之資料讀入至具閂鎖功能之感測放大器。故，本發明在位元組單位之資料改寫動作(data change operation for bite data)中，可比圖

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（52）

23及圖25之例減低讀取次數、抹除次數、程式次數、可實質的提升改寫特性(program/erase endurance characteristics)。

例如考慮1頁係由k(k爲正數)位元組之記憶胞所構成之EEPROM之改寫特性(program/erase endurance characteristics)，即資料改寫次數(number of data change operation)之最大值爲1×10^6次之情況。

圖23及25之例中，變更1頁分之資料各需要k次之讀取動作、抹除動作、程式動作之故，事實上，改寫特性減少爲$(1\times k)\times10^6$次。

本發明則係將1頁分爲k/r(r爲正數，$r\leq k$)之區塊，各區塊係由r位元組之記憶胞所構成，可用區塊爲單位進行讀取動作、抹除動作及程式動作之故，用以變更1頁分之資料之讀取、抹除、程式等各動作，在實質上可用$(1/r)\times10^6$次即完成。

若以具體之數值表示，則例如1頁係由64位元組構成之情況，圖23及圖25之例之改寫特性係成爲1.7×10^4次。另一方面，在1頁係由8個區塊所構成，1區塊係由8個位元組所構成之情況下，本發明之改寫特性成爲1.3×10^5次，比圖23及圖24之例實質上提升了10的一次方之改寫特性。

本發明之情況下，藉由將1區塊以1位元組構成，可將實質改寫特性最大做成1×10^6次。

被選擇之區塊爲BLKi-j時，主控制閘、選擇閘驅動器i係將對應於動作模式之特定之電壓施加至被選擇之區塊

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A1規格(210×297公釐)

五、發明說明（53）

BLKi-j內之控制閘線CGL及選擇閘線SSL、GSL(參照表3及4)。

具閂鎖功能之感測放大器13係將讀取資料或程式資料予以閂鎖。讀取資料(輸出資料)係經由行選擇電路15及輸出入緩衝器18被輸出至記憶體晶片外部。程式資料(輸入資料)係經由輸出入緩衝器18及行選擇電路15被閂鎖於具閂鎖功能之感測放大器13。

指令信號經由資料輸出入緩衝器18及指令暫存器25被輸入至指令譯碼器26。於控制電路17被輸入指令譯碼器26之輸出信號、指令閂鎖致能信號CLE、晶片致能信號/CE、寫入致能信號/WE等信號。

信號產生電路(升壓器)27在控制電路17之控制下，產生要給予控制閘線CGL及選擇閘線SSL、GSL之電位，將該電位供給至控制閘、選擇閘驅動器12c。

圖29表示預譯碼器PDi之一例。

本例將列數即控制閘線CGL之數(區塊數)假定爲1024(2^{10})條。於該情況下，可由10位元之列位址信號a1、a2、...a10選擇1條控制閘線CGL。

列位址信號a1、a2、a3係被輸入至NAND電路30-1、列位址信號a4、a5、a6係被輸入至NAND電路30-2，列位址信號a7、a8、a9、a10係被輸入至NAND電路30-3。NAND電路30-1之輸出信號經由反相器31-1成爲信號D，NAND電路30-2之輸出信號經由反相器31-2成爲信號E，NAND電路30-3之輸出信號經由反相器31-3成爲信號F。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（54）

各預譯碼器PDi被輸入各異之列位址信號a1、a2、...、a10。而屬於被選擇之1列之預譯碼器PDi之輸出信號D、E、F全成爲"1"。

圖30表示列譯碼器RDi及主控制閘、選擇閘驅動器i之構造之一例。

列譯碼器RDi係由NAND電路32及反相器33所構成。預譯碼器PDi之輸出信號D、E、F被輸入至NAND電路。

主控制閘、選擇閘驅動器i係由升壓器34及作爲驅動電路之N通道MOS電晶體35-1、35-2、35-3所構成。

屬於被選擇之列之主控制閘、選擇閘驅動器係將電源電位VCC或引導(boot)電位施加至N通道MOS電晶體35-1、35-2、35-3之閘極。

例如，資料程式化時，屬於被選擇之列之驅動器i中，升壓器34之輸出電位VB成爲引導(boot)電位Vprog，N通道MOS電晶體35-1、35-2、35-3成爲ON狀態。另一方面，於信號產生電路27中，產生SS(=VCC)、CG(=Vprog)、GS(=0V)。該等電位SS、CG、GS經由N通道MOS電晶體35-1、35-2、35-3，傳達至被選擇之列之主控制閘線CGLi及選擇閘線SSLi、GSLi。

又，資料抹除時，屬於被選擇之列之驅動器i中，升壓器34之輸出電位VB成爲電源電位VCC，N通道MOS電晶體35-1、35-2、35-3成爲ON狀態。另一方面，於信號產生電路27中，產生SS(=VCC)、CG(=0V)、GS(=VCC)。該等電位SS、CG、GS經由N通道MOS電晶體35-1、35-

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（55）

2、35-3，被傳達至被選擇之列之主控制閘線CGLi及選擇閘線SSLi、GSLi。

又，關於選擇閘線SSLi、GSLi，其後成爲浮動之故，在P井施加抹除電位Vera時，選擇閘線SSLi、GSLi之電位，藉由P井與選擇閘線SSLi、GSLi之電容耦合，上升至Vera+α。

又，資料讀取時，屬於被選擇之列之驅動器i中升壓器34之輸出電位VB成爲電源電位VCC或VCC+α（α爲N通道電晶體之臨限值電壓以上之值），N通道MOS電晶體35-1、35-2、35-3成爲ON狀態。另一方面，於信號產生電路27中，產生SS(=VCC)、CG(0V或VCC)、GS(=VCC)。該等電位SS、CG、GS經由N通道MOS電晶體35-1、35-2、35-3，被傳達至被選擇之列之主控制閘線CGLi及選擇閘線SSLi、GSLi。

屬於非選擇列之主控制閘、選擇閘驅動器i中，因係對N通道MOS電晶體35-1、35-2、35-3之閘極施加接地電位之故，N通道MOS電晶體35-1、35-2、35-3成爲OFF狀態。故，非選擇列內之主控制閘線CGLi及選擇閘線SSLi、GSLi全部成爲浮動狀態。

又，對於非選擇列內之選擇閘線SSLi、GSLi，做成於資料讀取時施加VSS(0V)亦可。於該情況下，例如於全部之選擇閘線SSLi、GSLi各連接接地用MOS電晶體，藉由列（或區塊）選擇之有無，以控制該接地用MOS電晶體之ON/OFF。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（56）

圖31表示配置於1列內之複數之區塊及副控制閘驅動器之一例。

本例中係對應於圖28之電路區塊，對1列內配置有4個區塊BLKi-0、BLKi-1、BLKi-2、BLKi-3之情況作一說明。

於各區塊BLKi-j(j=0、1、2、3)內，各配置副控制閘線CGLi-0、CGLi-1、CGLi-2、CGLi-3。副控制閘線CGLi-j(j=0，1，2，3)係各連接於區塊BLKi-j內所配置之1位元組之正數倍(例如16位元組)之記憶胞。

副控制閘線CGLi-j各經由作爲構成副控制閘驅動器28之驅動電路之N通道MOS電晶體36-j，連接於主控制閘線CGLi。

N通道MOS電晶體36-j之ON-OFF係由副譯碼器29所控制。副譯碼器29具有選擇1個N通道MOS電晶體36-i(1個區塊)之功能。

又，使副譯碼器29具有選擇複數或全部之N通道之N通道MOS電晶體36-j(複數或全部之區塊)之功能亦可。

資料程式化時，被選擇之列內之被選擇之區塊BLKi-j，係於N通道MOS電晶體36-j之閘極施加Vprog之故，該N通道MOS電晶體36-j係成ON狀態。故，程式用之高電位Vprog係自主控制閘線CGLi傳達至被選擇之區塊BLKi-j內之副控制閘線CGLi-j。

又，資料抹除時，被選擇之列內之被選擇之區塊BLKi-j，係於N通道MOS電晶體36-j，之閘極施加VCC之故，該N通道MOS電晶體36-j係成ON狀態。故，接地電位係自主

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（57）

控制閘線CGLi傳達至被選擇之區塊BLKi-j內之副控制閘線CGLi-j。

又，資料讀取時，被選擇之列內之被選擇之區塊BLKi-j，係於N通道MOS電晶體36-j之閘極施加VCC之故，該N通道MOS電晶體36-j係成ON狀態。故，接地電位或電源電位VCC係自主控制閘線CGLi傳達至被選擇之區塊BLKi-j內之副控制閘線CGLi-j(參照表3及表4)。

另一方面，被選擇之列內之被選擇之區塊BLKi-j，係於N通道MOS電晶體36-j之閘極施加接地電位之故，該N通道MOS電晶體36-j係成OFF狀態。即，非選擇區塊BLKi-j內之副控制閘線CGLi-j係成浮動狀態。

此處，於被選擇之列中，於主控制閘線CGLi之正下方配置有副控制閘線CGLi-j。故，於程式化、抹除、讀取時，主控制閘線CGLi被施加特定電位之情況下，依電容耦合，非選擇區塊BLKi-j內之副控制閘線CGLi-j之電位有變化之可能性。

惟，非選擇區塊BLKi-j內之副控制閘線CGLi-j之電位變化不會對程式化、抹除、讀取動作造成任何不便。

又，被選擇之列內之選擇閘線SSLi、GSLi，係對被選擇之列內之全部之區塊BLKi-j成共通。

故，資料程式化時，被選擇之列內之全部之區塊BLKi-j之選擇閘線SSLi、GSLi係被經由N通道MOS電晶體35-1、35-3施加接地電位或電源電位VCC。資料抹除時，被選擇之列內之全部之區塊BLKi-j之選擇閘SSLi、GSLi係被經

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（58）

由N通道MOS電晶體35-1、35-3施加VCC。資料讀取時，被選擇之列內之全部之區塊BLKi-j之選擇閘線SSLi、GSLi被經由N通道MOS電晶體35-1、35-3施加電源電位VCC(參照表3及表4)。

圖32表示使用於圖28至圖31之EEPROM之位元組單位之資料改寫動作(data change operation for bite data)之第一例。

本發明之位元組單位之資料改寫動作係包含以下4個主要步驟。

①對被選擇之區塊內之記憶胞進行資料之讀取，將其保持於具閂鎖功能之感測放大器內。

②對保持於具閂鎖功能之感測放大器內之資料，進行位元組資料之改寫(overwrite)。

③將被選擇之區塊內之記憶胞之資料予以抹除。

④將保持於具閂鎖功能之感測放大器之資料，於被選擇之區塊內之記憶胞內予以程式化。

本發明之位元組單位之資料改寫動作之特徵與圖27之改寫動作比較即可明白，在進行位元組單位之資料改寫動作時，不會讀取被選擇之列內之1業分之資料，而僅會對被選擇之列內之被選擇之區塊BLKi-j之資料(1位元組之正數倍之資料)進行讀取。即，因爲對被選擇之列內之非選擇區塊之記憶胞之資料可不進行讀取之故，可對不欲變更資料之記憶胞，不進行讀取動作、抹除動作及程式動作。

故，本發明之改寫動作與圖27之改寫動作相比，可減少

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 59 ）

讀取、抹除、程式之次數，實質之改寫特性(Program/Erase endurance characteristics)，即，可提升資料改寫次數。

如此依本發明，可用與快閃EEPROM相同之製程製造，且使用相同之改寫方法亦無妨，改寫特性不會變差，可進行位元組單位之資料改寫動作。

圖33表示使用於圖28至圖31之EEPROM之位元組單位之資料改寫動作之第二例。

本發明之位元組之資料改寫動作包含以下4個主要之步驟。

①對被選擇之列內之1頁分之記憶胞，進行資料之讀取，將其保持於具閂鎖功能之感測放大器。

②對保持於具閂鎖功能之感測放大器之資料，進行位元組資料之改寫(overwrite)。

③將被選擇之區塊內之記憶胞之資料予以抹除。

④將保持於具閂鎖功能之感測放大器之資料，於被選擇之區塊內之記憶胞內予以程式化。

本發明之位元組單位之資料改寫動作與圖32之資料改寫動作相比，具有可對1頁分之記憶胞進行讀取之特徵。即，本發明雖讀取1頁分之記憶胞之資料，但抹除及程式化則僅對被選擇之列內之選擇區塊進行。因此，可取消對被選擇之列內之非選擇區塊之記憶胞之資料所進行之不需要之抹除、程式動作。

於該情況下，於讀取動作中，以選擇被選擇之列內之全部之區塊BLKi-j之方式，藉由副譯碼器多重選擇被選擇之

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（60）

列內之全部之區塊BLKi-j。

本發明之改寫動作與圖27之改寫動作相比，可減少頁抹除、程式之次數，可提升實質之改寫特性，即頁改寫次數。

如此，依本發明可用與快閃EEPROM相同之製程製造，且使用相同之改寫方法亦無妨，改寫特性不會變差，可進行位元組單位之資料改寫動作。

圖34表示記憶胞陣列區域之井之配置之一例。

快閃EEPROM通常係全部之記憶胞陣列(記憶胞及選擇電晶體)形成於1個井(例如雙井(TWIN-WELL)，即形成於p型基板上之n型井中之p型井)內。惟，本發明係於記憶胞單元之間配置副控制閘驅動器。副控制閘驅動器具有將高電位傳達至副控制閘之功能，若將其形成於與記憶胞相同之井上，則會因後退(back)閘偏壓效果使臨限值上升，或會因井電位使動作不安定。

此處，於本例中，於行方向之區塊BLKi-j設共通之井，列方向之區塊BLKi-j係各配置於相異之井內。於該情況下，副控制閘驅動器係形成於井之外部，即形成於p型基板上，而可避免上述問題。

又，藉由在程式化時及抹除時對施加至井之電位下工夫，亦可將全部之記憶胞單元及副控制閘驅動器配置於1個井內。

但在該情況下，則無法避免因後退(back)閘偏壓效果造成之臨限值電壓之上升。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（61）

圖35表示配置於1列內之複數之區塊與副控制閘驅動器之構造之其它例。

本例爲圖31之電路之變形例，在N通道MOS電晶體36-0，36-1、36-2、36-3之連接關係上具有特徵。

各區塊BLKi-j(j=0、1、2、3)內各配置副控制閘線CGLi-0、CGLi-1、CGLi-2、CGLi-3。副控制閘線CGLi-j(j=0、1、2、3)各連接於區塊BLKi-j內所配置之1位元組之正數倍(例如16位元組)之記憶胞。

副控制閘線CGLi-j各係經由作爲構成副控制閘驅動器28之驅動電路之N通道MOS電晶體36-j，連接於副譯碼器29。

N通道MOS電晶體36-j之ON/OFF係由主控制閘線CGLi之電位決定。被選擇之列中，因係對主控制閘線CGLi施加昇壓電位Vprog或電源電位VCC之故，被選擇之列之全部之N通道MOS電晶體36-0、36-1、36-2、36-3係成ON狀態。

資料程式化時，被選擇之區塊BLKi-j之副控制閘線CGLi-j被供給來自副譯碼器29之程式用之高電位Vprog。非選擇區塊BLKi-j之副控制閘線CGLi-j被供給來自副譯碼器29之接地電位。

又，資料抹除時，被選擇之區塊BLKi-j之副控制閘線CGLi-j被供給來自副譯碼器29之接地電位。非選擇區塊BLKi-j之副控制閘線CGLi-j被供給來自副譯碼器29之VCC。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（62）

又，資料讀取時，被選擇之區塊BLKi-j之副控制閘線CGLi-j被供給來自副譯碼器29之讀取電位(接地電位或電源電位VCC)。非選擇區塊BLKi-j之副控制閘線CGLi-j被供給來自副譯碼器29之接地電位(參照表3及表4)。

另一方面，非選擇列內之區塊BLKi-j中，N通道MOS電晶體36-j之閘極被施加接地電位之故，該N通道MOS電晶體36-j係成OFF狀態。

又，資料程式化時，被選擇之列內之全部之區塊BLKi-j之選擇閘線SSLi、GSLi，被經由N通道MOS電晶體35-1、35-3，施加接地電位或電源電位VCC。資料抹除時，被選擇之列內之全部之區塊BLKi-j之選擇閘線SSLi、GSLi，被經由N通道MOS電晶體35-1、35-3，施加VCC。資料讀取時，被選擇之列內之全部之區塊BLKi-j之選擇閘線SSLi、GSLi，被經由N通道MOS電晶體35-1、35-3，施加電源電位VCC(參照表3及表4)。

於此種構造中亦可進行以區塊爲單位之讀取、抹除或程式化動作，故，當然可使用圖32及圖33之以位元組爲單位之資料改寫動作。

故，可不對不進行資料變更之記憶胞進行不需要之讀取、抹除、程式化動作，可提升實質的改寫特性，即頁改寫次數。

圖36表示圖28之位元組型EEPROM之改良例。圖37表示僅取出圖36之記憶胞陣列11內之相鄰之2列之圖。

圖28之例係將預譯碼器12a、列譯碼器12b及主控制

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A1規格(210×297公釐)

五、發明說明（63）

閘、選擇閘驅動器12c，總合配置於記憶胞陣列11之列方向之一端者。

相對於此，本發明則係將預譯碼器12a、列譯碼器12b及主控制閘、選擇閘驅動器12c，配置於記憶胞陣列11之列方向之一端及另一端。

例如將選擇偶數列之預譯碼器PD0、PD2、...及列譯碼器RD0、RD2、...配置於記憶胞陣列11之列方向之一端，將選擇奇數列之預譯碼器PD1、PD3、...及列譯碼器RD1、RD3、...配置於記憶胞陣列11之列方向之另一端。又，將對偶數列施加特定電位之主控制閘、選擇閘驅動器0、2、...配置於記憶胞陣列11之列方向之一端，將對奇數列施加特定電位之主控制閘、選擇閘驅動器1、3、...配置於記憶胞陣列11之列方向之另一端。

藉此，於電路設計時，可輕易決定預譯碼器12a、列譯碼器12b及主控制閘、選擇閘驅動器12c，之配置方式。

即，主控制閘、選擇閘驅動器12c係產生例如程式用之高電位，將其傳達至主控制閘線CGLi之故，電路尺寸容易變大。故，若將預譯碼器12a、列譯碼器12b及主控制閘、選擇閘驅動器12c，，緊總合配置於記憶胞陣列11之列方向之一端，則非常難以決定該等電路在晶片上之配置。

如上述，若將預譯碼器12a、列譯碼器12b及主控制閘、選擇閘驅動器12c，配置於記憶胞陣列11之列方向之一端及另一端，則可有效活用晶片上之空間，可緊密的將各電路區塊收容於晶片上。

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（64）

又，如同圖所示，驅動同一區塊BLKi-j內之控制閘線CGLi之驅動電路，及驅動選擇線SSLi、GSLi之驅動電路，係一起作爲驅動器i，配置於記憶胞陣列11之一端或另一端。

藉此，被施加至被選擇之區塊BLKi-j內之記憶胞之信號，與被施加至選擇電晶體之信號之時點(timing)不會有誤差，可防止在程式化時或讀取時之錯誤動作之故，可提升可靠度。

又，本例中，以將2條選擇閘線SSLi、GSLi及1條控制閘線CGL爲一組予以同時驅動爲理想。又，因高耐壓電晶體(驅動器)之面積變大之故，若將選擇閘線SSLi、GSLi及控制閘線CGL爲一組予以配置，則可使晶片上之圖案一致化。故，可防止因圖案不一致所產生之載入(Loading)效果所造成之字元線變細。

圖38及圖39表示感測放大器之改良例。

圖38爲使用差動式感測放大器之情況之例。於該情況下，將1位元資料作爲互補資料記憶於2個記憶胞單元亦可。又，資料讀取係藉由將2個記憶胞單元所輸出之信號量(電位)之些許之差予以檢知出，並將該差予以增大而進行，因此可達成高速讀取。

又，係爲2個記憶胞單元，將1位元資料記憶於1對記憶胞單元之故，假使因反覆進行資料改寫動作而使得一者之記憶胞單元之改寫特性劣化，但只要另一者之記憶胞單元之改寫特性良好，便不會使可靠度降低。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A1規格(210×297公釐)

五、發明說明（65）

圖39係爲將複數條(例如2條)位元線共通的連接於1個感測放大器之情況之異。於該情況下，例如區塊BLKi-j之位元組單位之資料改寫動作係分2次進行。即，第1次之改寫動作係對連接於第偶數條位元線之記憶胞單元進行，第2次之改寫動作係對連接於第奇數條之記憶胞單元進行。

使用本例之感測放大器之情況下，在一方之位元線進行資料讀取時，將另一方之位元線設定於固定電位(例如接地電位)(屏蔽位元線讀取手法)。藉此，可避免讀取時之非選擇胞之程式錯誤等問題。又，本例之EEPROM可應用於在1個記憶胞單元記憶多值資料(multi-level data)之情況。

圖40表示圖28之位元組型EEPROM之改良例。

圖28之例中，記憶胞陣列11係包含於列方向及行方向成行列狀配置之複數個區塊BLKi-j(i=0、1、...n；j=0、1、2、3)。本發明係以此爲前提，進一步減少在晶片上占用極大面積之主控制閘驅動器(含升壓器)之數目，可使晶片上之電路區塊之配置輕易化。

本例中將行方向之區塊數設爲n(例如1024)個，設列方向之區塊數爲4個。於該情況下，1個區塊係包含16位元組之記憶胞，1頁係包含64位元組之記憶胞。

主控制閘驅動器37係對應於複數列而設置，在本例中係對應於2列，即對應於相鄰之2條主控制閘線CGL(2頁)而設置。換言之，在本發明係由1個主控制閘驅動器37，驅動2條主控制閘線CGL。各主控制閘驅動器係包含。

副控制閘驅動器28係對應於各區塊BLKi-j而設置。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（66）

選擇閘驅動器38係對應於1列而設置，即對應於1條控制閘線CGL(1頁)而設置。預譯碼器12a及列譯碼器12b亦對應於1列(即1條控制閘線CGL)而設置。

列位址信號係經由位址暫存器19被輸入至預譯碼器12a及副譯碼器29。接著由預譯碼器12a及列譯碼器12b，選擇1列內之4個區塊BLKi-j。又，由副譯碼器29選擇被選擇之4個區塊BLKi-j中之1個。

又，副譯碼器29具有選擇被選擇之1列內之複數個區塊或被選擇之1列內之全部之區塊(本例中爲4個區塊)之功能亦可。

本發明與圖28之例相同，可用區塊單位進行資料之讀取、抹除及程式。故，於位元組單位之資料改寫動作中，不需要將1頁分之資料讀入至具閂鎖功能之感測放大器，而可提升實質之改寫特性，即頁改寫次數。

又，本發明中，例如被選擇之區塊爲BLKi-j時，主控制閘驅動器37對被選擇之區塊BLKi-j所屬之列及與其相鄰之列之2條主控制閘線CGLi，CGLi+1，施加對應於動作模式之特定電位。換言之，因係於2條主控制閘線CGLi，CGLi+1共通的設置1個主控制閘驅動器37之故，可減少主控制閘驅動器37之數量，可使配置佈局簡單化，可減輕電路設計時之負擔。

選擇閘驅動器38係對被選擇之區塊BLKi-j所屬之列之選擇閘線SSL、GSL，施加對應於動作模式之特定電位。

具閂鎖功能之感測放大器13係將讀取資料或程式資料予

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（67）

以閂鎖。讀取資料(輸出資料)係經由行選擇電路15及輸出入緩衝器18被輸出至記憶體晶片外部。程式資料(輸入資料)係經由輸出入緩衝器18及行選擇電路15被閂鎖於具有閂鎖功能之感測放大器13。

指令信號係經由資料輸出入緩衝器18及指令暫存器25被輸入至指令譯碼器26。於控制電路17被輸入指令譯碼器26之輸出信號、指令衰鎖致能信號CLE、晶片致能信號/CE、寫入致能信號/WE等信號。

信號產生電路(升壓器)27在控制電路17之控制下，產生將施加至控制閘線CGL及選擇閘線SSL、GSL之電位，將該電位供給至主控制閘驅動器37及選擇閘驅動器38。

圖41表示預譯碼器PDi之構造之一例。

本例中，將列數，即控制閘線CGL之數(區塊數)假定爲1024 (2^{10})條。於該情況下，可由10位元之列位址信號a1、a2、...a10選擇1列。

列位址信號a2、a3、a4係被輸入至NAND電路30-1、列位址信號a5、a6、a7係被輸入至NAND電路30-2，列位址信號a8、a9、a10係被輸入至NAND電路30-3。NAND電路30-1之輸出信號經由反相器31-1成爲信號D，NAND電路30-2之輸出信號經由反相器31-2成爲信號E，NAND電路30-3之輸出信號經由反相器31-3成爲信號F。

於各預譯碼器PDi被輸入各異之列位址信號a1、a2、...、a10。而屬於被選擇之1列之預譯碼器PDi之輸出信號a1、D、E、F全成爲1。

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（68）

圖42表示列譯碼器RDi、主控制閘驅動器37及選擇閘驅動器38之一例。

列譯碼器RDi係包含NAND電路32及反相器33。預譯碼器PDi之輸出信號D、E、F被輸入至NAND電路。

選擇閘驅動器38係由作爲驅動電路之N通道MOS電晶體35-1、35-3所構成。被選擇之列中，列譯碼器RDi之輸出信號成爲VCC之故，N通道MOS電晶體35-1、35-3成爲ON狀態。故，信號產生電路27所產生之信號SS、GS被供給至選擇閘線SSLi、GSLi。

主控制閘驅動器37係由譯碼電路39，升壓器34、及作爲驅動電路之N通道MOS電晶體35-2所構成。

於被選擇之列及與其相鄰之列上之共通設置之主控制閘驅動器37中，譯碼電路39之輸出信號成VCC。又，對應於動作模式，升壓器成爲動作狀態或非動作狀態，於N通道MOS電晶體35-2之閘極施加電源電位VCC或被引導(boot)之高電位。

例如資料程式化時，於被選擇之列及與其相鄰之列共通設置之主控制閘驅動器37中，升壓器34之輸出電位VB成爲昇壓電位Vprog，N通道MOS電晶體35-2成爲ON狀態。另一方面，信號產生電路27所產生之CG(=Vprog)經由N通道MOS電晶體35-2，被傳達至被選擇之列及與其相鄰之列之主控制閘線CGLi、CGLi+1。

又，資料抹除時，被選擇之列及與其相鄰之列共通設置之主控制閘驅動器37中，升壓器34之輸出電位VB成爲電

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（69）

源電位VCC，N通道MOS電晶體35-2成爲ON狀態。另一方面，信號產生電路27所產生之CG(=0V)經由N通道MOS電晶體35-2被傳達至被選擇之列及與其相鄰之列之主控制閘線CGLi、CGLi+1。

又，資料程式化時，於被選擇之列及與其相鄰之列共通設置之主控制閘驅動器37中，升壓器34之輸出電位VB成爲VCC，N通道MOS電晶體35-2成爲ON狀態。另一方面，信號產生電路27所產生之CG(=0V或VCC)經由N通道MOS電晶體35-2，被傳達至被選擇之列及與其相鄰之列之主控制閘線CGLi、CGLi+1。

又，共通設置於相鄰之2個非選擇列之主控制閘驅動器37中，升壓器34之輸出信號VB成爲接地電位，該接地電位被施加至N通道MOS電晶體35-2之閘極。故，N通道MOS電晶體35-2成OFF狀態。

圖43表示配置於相鄰2列內之複數個區塊與副控制閘驅動器之一例。

本例與圖40之電路區塊對應，係說明於1列內配置4個區塊之情況。

於各區塊BLKi-j、BLK(i+1)-j內，各配置副控制閘線CGLi-j、CGL(-i+1)-j(j=0、1、2、3)。副控制閘線CGLi-j各連接於區塊BLKi-j內所配置之1位元組之正數倍(例如16位元組)之記憶胞，副控制閘線CGL(i+1)-j係各連接於區塊BLK(i+1)-j內所配置之1位元組之正數倍(例如16位元組)之記憶胞。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A1規格(210×297公釐)

五、發明說明（70）

副控制閘線CGLi-j各經由作爲構成副控制閘驅動器28之驅動電路之N通道MOS電晶體36-j，連接於主控制閘線CGLi。副控制閘線CGL(i+1)-j各經由構成副控制閘驅動器28之驅動電路之N通道MOS電晶體40-j，連接於主控制閘線CGLi+1。

N通道MOS電晶體36-j、40-j之ON/OFF係由副譯碼器29所控制。副譯碼器29係具有選擇1個N通道MOS電晶體36-j(1個區塊)之功能。例如在選擇區塊BLKi-1之情況下，N通道MOS電晶體36-1成ON狀態。此時，主控制閘線CGLi與副控制閘線CGLi-1成電性連接。

又，使副譯碼器29具有選擇1列內之複數或全部之N通道MOS電晶體之功能亦可。

本發明之EEPROM亦係由在列方向及行方向成行列狀配置之複數個區塊構成記憶胞陣列，可進行以區塊爲單位之資料之讀取、抹除及程式。因此，於本發明中亦可使用圖32及圖33之位元組單位之資料改寫動作。即，在進行位元組單位之資料改寫動作時，可不必讀取被選擇之列內之1頁分之資料，而可僅讀取被選擇之列內之被選擇之區塊之資料(1位元組之正數倍之資料)。

故，可不對不進行資料變更之記憶胞進行不需要之讀取、抹除、程式動作，而可提升實質之改寫特性，即頁改寫次數。

又，本發明係將1個主控制閘驅動器(包含升壓器)共通使用於相鄰之複數(例如2個)列。故，可將具有大尺寸之主控

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（71）

制閘驅動器之行方向之寬幅設定成比例之寬幅大，在電路設計時，可輕易進行主控制閘驅動器之配置佈局。

又，程式時，對被選擇之列之主控制閘線施加高電位Vprog，對選擇閘線施加電源電位VCC之故，僅將不得不輸出高電位Vprog之主控制閘驅動器共通配置於複數列，而於每一列皆配置選擇閘驅動器。

於該情況下，例如在程式時，雖對2條主控制閘線施加高電位Vprog，但該高電位Vprog係僅傳達至由副譯碼器選擇之被選擇之區塊內之副控制閘線之故，在動作上完全沒有問題。

圖44表示副譯碼器之配置例。

本發明係將記憶胞陣列11之1頁分之記憶胞分爲複數分，於列方向設置複數之區塊BLKi-j。又，於列方向之區塊BLKi-j間，配置副控制閘驅動器28。又，感測放大器13係對應於列方向所配置之區塊BLKi-j而設置。

故，在感測放大器13間之副控制閘驅動器28所對應之處形成空間。本例中係於該空間配置副譯碼器29。

如本例將副譯碼器29對應於副控制閘驅動器28而配置於複數處之情況，與將副譯碼器總合配置於1處之情況相比，可有效利用晶片上之空間，而對縮小晶片等有所貢獻。

圖45至圖47表示可使用本發明之EEPROM之例。

圖45之例中係於記憶胞陣列之行方向之兩端，各配置具有閂鎖功能之感測放大器13A，13B、行選擇電路15A，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A1規格（210×297公釐）

五、發明說明（72）

15B及資料輸出入緩衝器18A、18B。本例中係由3-tr胞部(參照圖26)11-0及NAND胞部11-1構成記憶胞陣列。當然亦可僅由3-tr胞部構成記憶胞陣列。

依本例，係於記憶胞陣列之行方向之兩端，配置感測放大器等之讀取動作用或程式動作用之電路之故，使得該等電路之配置佈局簡單化，可輕減電路設計時之負擔。

圖46之例係由3-tr胞部11-0及NAND胞部11-1構成記憶胞陣列，將3-tr胞部11-0配置於感測放大器13側，將3-tr胞部11-0之記憶胞作爲超高速緩衝記憶體(cache memory)使用。

依本例，係將NAND胞部11-1之資料暫時在3-tr胞部(記憶體)以區塊單位予以保存之故，可進行資料之高速讀取。

圖47之例係於1晶片41內配置複數之記憶體電路42a、42b。各記憶體電路42a、42b可相互獨立進行讀取動作、程式動作及抹除動作。故，例如在記憶體電路42a正在進行讀取動作途中，記憶體電路42b亦可進行程式動作。記憶體電路42a、42b之至少一者係使用本發明之EEPROM。

依本例可同時進行二種相異之動作之故，可更有效率的進行資料處理。

惟，截至目前爲止所說明之發明係以由具有堆閘構造之一個記憶胞及於其兩端各連接一個之兩個選擇電晶體所構成之胞單元爲主之構成要素。

依此種胞單元，可獲得如上所述之位元組(或頁)單位之

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（73）

資料改寫等等特徵。

惟，在以3個電晶體(記憶胞僅有一個)構成胞單元之情況下，因每一個記憶胞之胞尺寸比一般的NAND型快閃EEPROM大之故，難謂其有利於因記憶胞之高積體化而導致之記憶體容量之增大。

此處，以下之發明係說明一種維持以位元組(或頁)單位變更資料之功能，而可使每一記憶胞之胞尺寸變小之新映之胞單元構造或資料程式化手法。

首先，檢討習知之NAND型快閃EEPROM。

習知之NAND型快閃EEPROM係例如於一個記憶胞單元內配置16個串聯之記憶胞之故，具有在縮小每一個記憶胞之胞尺寸上之最適當之構造。

惟，若做成此種構造，雖可獲得縮小胞尺寸之特徵，但相反的，會失去以位元組(或頁)爲單位之資料改寫之特徵。

此處說明爲何習知之NAND型快閃EEPROM無法進行以位元組(或頁)爲單位之資料改寫之原因。

爲了理解NAND型快閃EEPROM無法進行以位元組(或頁)爲單位之資料變更之理由，首先需先了解NAND型快閃EEPROM之資料改寫動作。

NAND型快閃EEPROM之資料改寫動作以區塊單位進行。

首先，對被選擇之區塊內之NAND胞單元之全部記憶胞，進行資料之一併抹除(自浮動閘拉除電子，使臨限值下降之動作)。其後，例如自被選擇之區塊內之NAND胞單元

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（74）

之源側之記憶胞向汲側之記憶胞，依序以頁單位進行資料程式動作。

具體之資料程式動作乃參照圖48及49予以說明。

本例係對連接於控制閘線CGL1之記憶胞進行資料程式動作者。

首先，對源側(源線側)之選擇閘線GSL施加0V，使源側之選擇電晶體成切斷狀態。又，對汲側(位元線側)之選擇閘線SSL施加電源電位VCC，使汲側之選擇電晶體成ON狀態。

又，將進行"0"程式化(向浮動閘注入電子，使臨限值值上升之動作)之記憶胞M1所連接之位元線之位設定爲0V，將進行"1"程式化(維持抹除狀態)之記憶胞M2所連接之位元線之電位設定爲電源電位VCC。

此時，包含進行"0"程式化之記憶胞M1之NAND胞單元內全部之記憶胞之通道之電位成爲0V，包含進行"1"程式化之記憶胞M2之NAND胞單元內全部之記憶胞之通道之電位被預備充電至VCC-Vth(Vth爲選擇電晶體之臨限值電壓)。其後，包含進行"1"程式化之記憶胞M2之NAND單元內之汲側(位元線側)之選擇電晶體係成切斷狀態。

其後，控制閘線(選擇)CGL1之電位自0V上升電源電位VCC(例如3.3V)，自電源電位VCC上升至程式電位Vprog(例如18V)。又，控制閘線(非選擇)CGL0，CGL2，...CGL15之電位自0V上升至電源電位VCC，自電源電位VCC上升至Vpass(VCC<Vpass(例如9V)<Vprog)。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A1規格(210×297公釐)

五、發明說明（75）

此時，於進行"0"程式化之記憶胞M1中，因通道之電位成爲0V之故，浮動閘與通道間之通道絕緣膜被施加高電壓，電子自通道向浮動閘移動。另一方面，進行"1"程式化之記憶胞M2因通道成爲浮動之故，依電容耦合，通道之電位上升至Vch。故，於進行"1"程式化之記憶胞M2中，浮動閘與通道之間之通道絕緣膜未被施加高電壓，而維持於抹除狀態。

此處討論施加至被選擇區塊內之非選擇控制閘線CGL0，CGL2，...CGL15之Vpass。

對記憶胞M2進行之"1"程式化係在資料程式化時，抑制對記憶胞M2之浮動閘之電子注入，而藉由將記憶胞M2維持抹除狀態而予以達成。爲了將記憶胞M2維持於抹除狀態，可在資料程式化時，將包含記憶胞M2之NAND胞單元內之各記憶胞之通道電位依電容耦合設定成夠高，將施加至記憶胞M2之浮動閘與通道間之通道絕緣膜上之電壓予以緩和即可。

惟，包含記憶胞M2之NAND胞單元內之各記憶胞之通道電位係依存於被施加至非選擇控制閘線CGL0，CGL2，...CGL15之Vpass。故，若將Vpass設定爲越高，則包含記憶胞M2之NAND胞單元內之各記憶胞之通道電位便變越高，而可防止對應於記憶胞M2之程式錯誤。

惟，若使Vpass變高，則對於包含進行"0"程式化之記憶胞M1之NAND胞單元內之非選擇記憶胞M3，易產生程式錯誤。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（76）

即，包含記憶胞M1之NAND胞單元內之各記憶胞之通道電位係被維持於0V。因此，若Vpass接近於程式電位Vprog，則會對非選擇記憶胞M3亦進行"0"程式化。故，爲了要防止對應於包含記憶胞M1之NAND胞單元內之非選擇記憶胞之程式錯誤，必需儘量使Vpass降低。

如此，被施加至被選擇之區塊內之非選擇控制閘線CGL0、CGL2、...CGL15上之Vpass乃既不可太高又不可太低，而被設定於對於進行"1"程式化之被選擇之記憶胞M2或非選擇記憶胞M3不會進行"0"程式化之最佳值，例如被設定爲VCC＜Vpass(例如9V)＜Vprog。

以上，詳細說明之NAND型快閃EEPROM之資料改寫動作。以下說明爲何NAND型快閃EEPROM之資料改寫動作不以位元組(或頁)單位進行。

假設於NAND型快閃EEPROM中，資料改寫動作係以位元組(或頁)單位進行。

於該情況下，同一控制閘線，例如控制閘線CGL1被一直反覆選擇，而僅對於連接於該控制閘線CGL1之記憶胞一直反覆進行資料改寫。該狀況下，連接於控制閘線CGL1之記憶胞之資料予以抹除之動作，及對連接於控制閘線CGL1之記憶胞將資料予以程式化之動作，被反覆進行。

惟，此時，在被選擇之區塊內之非選擇記憶胞之控制閘上，在資料程式化時反覆的被施加Vpass。

故，於NAND型快閃EEPROM中，若一直反覆進行位元組(或頁)單位之資料改寫動作，則被選擇之區塊內之非選擇

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 77 ）

記憶胞之被選擇因Vpass而逐漸上升(對浮動閘徐徐注入電子)，而有發生程式錯誤之可能。

為消除此種可能性，必需將Vpass變低或變更為區塊單位之資料改寫動作。

惟，Vpass如上所述，於1次之資料程式化動作中，被設定為對於進行"1"程式化之被選擇之記憶胞或與進行"0"程式化之記憶胞相同之胞單元內之非選擇記憶胞不會進行"0"程式化(程式錯誤)之最佳值，要將其再設定為更低乃為不可能之事。

故，結果NAND型快閃EEPROM無法進行位元組(或頁)單位之資料改寫動作，而係進行區塊單位之資料改寫動作。

以下說明一新穎之胞單元構造或資料程式化手法，其係如NAND型快閃EEPROM，可做每一記憶胞之胞尺寸變小，並且對於位元組(或頁)單位之資料改寫動作可藉由使Vpass降低而達成者。

圖50表示本發明之位元組型EEPROM之記憶胞單元。圖51表示圖50之記憶胞之等效電路。

記憶胞MC1、MC2具有控制閘與浮動閘，係為與快閃EEPROM之記憶胞相同之構造。記憶胞MC1、MC2互為串聯，於其兩端各連接有1個選擇電晶體ST1、ST2。選擇電晶體ST1係經由位元線導通部BL連接於位元線，選擇電晶體ST2係連接於源線SL。

記憶胞MC1、MC2及選擇電晶體ST1、ST2構成1個記憶胞單元，記憶胞陣列係由將複數個記憶胞單元配置成陣

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（78）

列狀而成。

本發明之記憶胞單元可被視爲係於NAND型快閃EEPROM中，將1個NAND單元內之記憶胞做成2個者（即2NAND胞）。

惟，本發明並非將記憶胞單元內之記憶胞之數限定爲2個，例如只要滿足後述條件，亦可設定爲複數（3個、4個、5個等）。依情況，將記憶胞單元內之記憶胞之數設定成與習知之NAND型快閃EEPROM相同之16個亦可。

本發明之位元組型EEPROM之構造面上之優點說明如下：

本發明之位元組型EEPROM之記憶胞部之構造與NAND型快閃EEPROM之記憶胞部之構造相同。但通常本發明之位元組型EEPROM之胞單元內之記憶胞之數比NAND型快閃EEPROM之胞單元內之記憶胞數（例如16個）少。

故，本發明之位元組型EEPROM可直接採用NAND型快閃EEPROM之製程之故，不僅可進行位元組單位之抹除（此點容於後述），尚可增大記憶體容量且可減低生產成本。

例於本發明中，討論胞單元內之記憶胞數爲2個之情況。

本發明在設計規則（design rule）爲0.4[μm]之情況下，2個記憶胞之短邊長a爲1.2[μm]、長邊長b爲3.96[μm]之故，1個記憶胞之面積（[短邊長a×長邊長b]/2）爲2.376[μm^2]。另一方面，胞單元係包含16個記憶胞之NAND型快閃EEPROM（16 NAND胞）在設計規則爲0.4[μm]之情況下，1個記憶胞之面積爲1.095[μm^2]。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（79）

即，在採用本發明之記憶胞單元(2 NAND胞)之情況下，1個記憶胞之面積約爲16 NAND胞之1個記憶胞之面積之2倍。

又，圖65及圖66所示之習知之位元組型EEPROM在設計規則爲0.4[μm]之情況下，1個記憶胞之面積爲36[μm^2]。又，在採用以2個選擇電晶體夾住1個記憶胞之胞單元(3-tr胞或1 NAND胞)之情況下，若設計規則爲0.4[μm]，則1個記憶胞之面積爲3.84[μm^2]。

即，本發明之記憶胞單元(2 NAND胞)之1個記憶胞之面積可做成比習知之位元組型EEPROM或1 NAND胞小。

表5表示對應於記憶胞單元構造之1個記憶胞之面積之比較表。

[表5]

設計規則0.4μm			
16NAND胞	2NAND胞	1NAND胞 (3-tr胞)	NOR型
1.095μm^2 (1)	2.376μm^2 (2.17)	3.84μm^2 (3.51)	1.82μm^2 (1.66)
設計規則0.25μm			
16NAND胞	2NAND胞	1NAND胞 (3-tr胞)	NOR型
0.293μm^2 (1)	0.712μm^2 (2.43)	1.189μm^2 (4.06)	0.54μm^2 (1.84)

由此表可知，本發明之記憶胞單元(2NAND胞)之1個記

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（80）

憶胞之面積雖不如NAND型快閃EEPROM(16NAND胞)，但僅約1NAND胞(3-tr胞)之60%。

故，依本發明之胞單元構造，因記憶胞面積之縮小，有助於位元組EEPROM之記憶體容量之增大、晶片面積之縮小及製造成本之降低。

又，本發明之位元組型EEPROM可採用與NAND型快閃EEPROM相同之製程製造之故，亦可輕易應用於非揮發性記憶體混載LSI(nonvolatile memory embedded LSI)。

又，本發明之位元組型EEPROM之記憶胞係爲與NAND型快閃EEPROM之記憶胞相同之構造之故，若只看1個記憶胞，可直接採用快閃EEPROM之改寫方法(data change method)即利用FN通道現象之改寫方法。故，不只可降低製造成本亦可減少開發成本。

惟，依本發明之胞單元構造，係於2個選擇電晶體之間連接複數個(例如2個、3個、...)記憶胞。故，與NAND型快閃EEPROM相同的，在反覆進行位元組(或頁)單位之資料改寫之情況下，對於在控制閘被施加有Vpass之被選擇之區塊內之非選擇記憶胞，會產生程式錯誤之問題。

對該問題以下述方式解決。

NAND型快閃EEPROM中，Vpass係被設定爲在1次之程式動作中，對於進行"1"程式化(維持抹除狀態)之記憶胞，或對於在與進行"0"程式化之記憶胞相同之胞單元內之非選擇記憶胞，不會發生"0"程式化(程式錯誤)之條件下之最佳值。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（81）

又，該最佳值之決定完全與電源電位VCC或讀取時被施加至非選擇之記憶胞之控制閘之電位Vread無關。通常係被設定爲VCC（例如3.3V）<Vpass（例如9V）<Vprog（例如18V）。

本發明將Vpass設定爲電源電位VCC（例如3.3V）或讀取時施加至非選擇之記憶胞之控制閘之電位Vread（例如4.5V）。

該等VCC及Vread係比NAND型快閃EEPROM所使用之Vpass之值（例如9V）低。

即，本發明係藉由將Vpass設定爲電源電位VCC或讀取時施加至非選擇之記憶胞之控制閘之電位Vread，即藉由將Vpass設定成比NAND型快閃EEPROM所使用之Vpass之值低，來防止在反覆進行位元組（或頁）單位之資料改寫之情況之被選擇之區塊內之非選擇之記憶胞之程式錯誤問題。

又，本發明藉由將Vpass設定爲VCC或Vread，而不需新設一產生Vpass之電路，故，可使控制閘驅動器之構造簡略化，而可獲得控制閘驅動器縮小、佈局輕易化、及設計與開發期間縮短等效果。

另一方面，本發明係將Vpass設定爲電源電位VCC或讀取時施加至非選擇之記憶胞之控制閘之電位Vread之故，在一次之資料程式化動作中，會有進行"1"程式化（維持抹除狀態）之記憶胞之通道電位無法充分上升之虞。

此處，本發明以使進行"1"程式化之記憶胞之通道電位充分上升之方式，設定胞單元內之記憶胞之數、進行"1"程

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（82）

式化之記憶胞之通道之初期電位、及記憶胞之控制閘與通道之耦合比。

例如將進行"1"程式化之記憶胞之通道之初期電位，及記憶胞之控制閘與通道之耦合比，設定爲與NAND型快閃EEPROM相同之情況下，如圖50及51所示，若設胞單元內之記憶胞之數爲2個，則可使進行"1"程式化之記憶胞之通道電位上升至與NAND型快閃EEPROM相同之程度(關於此點將於後述之資料程式化動作之說明中予以詳細說明)。

如此，本發明，第一：因具有與NAND型快閃EEPROM完全相同之胞單元構造之故，可達成胞尺寸之縮小、記憶體容量之增大及成本之減低等效果。

第二：將資料程式化時施加至被選擇之區塊內之非選擇控制閘線之電位Vpass，設定爲電源電位VCC或讀取時施加至非選擇控制閘線之電位Vread。故，可防止被選擇之區塊內之非選擇記憶胞之程式錯誤問題，可進行位元組(或頁)單位之資料改寫動作。

第三：即使將Vpass設定於VCC或Vread，爲了要使進行"1"程式化之記憶胞之通道電位充分上升，將胞單元內之記憶胞之數、進行"1"程式化之記憶胞之通道之初期電位、及記憶胞之控制閘與通道之耦合比，設定於適當之值。而可防止進行"1"程式化之記憶胞之程式錯誤。

以下依序說明本發明之位元組型EEPROM之抹除動作、程式動作及讀取動作。

• 抹除動作

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A1規格(210×297公釐)

五、發明說明（83）

如圖52所示，被選擇之區塊內之選擇控制閘線(字元線)CGL11被施加接地電位VSS，被選擇之區塊內之非選擇控制閘線(字元線)CGL12成浮動狀態。又，被選擇之區塊內之選擇閘線SSL1、GSL1，與非選擇區塊內之控制閘線(字元線)CGL21、CGL22，及選擇閘線SSL2、GSL2亦成浮動狀態。

此後，將例如21[V]、3[ms]之抹除脈衝施加至體(bulk)(胞P井)。此時，連接於被選擇之區塊內之控制閘線CGL11之記憶胞中，在體(bulk)與控制閘線之間被施加抹除電壓(21[V])，浮動閘中之電子依FN(Fowler-Nordheim)通道現象，移動至體(bulk)。

於是，被選擇之區塊內之選擇控制閘線CGL11上所連接之記憶胞之臨限值電壓成爲-3[V]左右。此處，關於被選擇之記憶胞，依一次之抹除脈衝，以使其臨限值電壓成爲-3[V]左右之方式被抹除。

另一方面，被選擇之區塊內之非選擇控制閘線CGL12，及非選擇區塊內之控制閘線CGL21、CGL22係被設定爲浮動狀態。

故，將例如21[V]、3[ms]之抹除脈衝施加至體(bulk)(胞P井)，則依浮動狀態之控制閘線與之電容耦合比，使控制閘線CGL12、CGL21、CGL22之電位亦上升。

此處，若討論控制閘線CGL12、CGL21、CGL22與體(bulk)之耦合比，則在控制閘線CGL12、CGL21、CGL22上，連接有驅動電路(MOS電晶體之源極)、連接該驅動電

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A1規格(210×297公釐)

五、發明說明（84）

路與控制閘線(聚矽層)之金屬配線、及構成控制閘線之矽化物等。

耦合比係依存於浮動狀態之控制線CGL12、CGL21、CGL22之寄生電容。該電容中包含：作爲驅動電路之MOS電晶體之源極接合電容、源極與閘極之重疊電容、場(field)區域之聚矽層與金屬配線之電容、及控制閘線與體(bulk)(胞P井)之電容。

惟，寄生於控制閘線CGL12、CGL21、CGL22之電容之大部分係爲控制閘線與體(bulk)(胞P井)之電容。

換言之，控制閘線CGL12、CGL21、CGL22與之耦合比爲大值，例如爲0.9，則體(bulk)電位若上升，控制閘線CGL12、CGL21、CGL22之電位亦上升。

故，被選擇之區塊內之非選擇控制閘線CGL12上所連接之記憶胞、與非選擇區塊內之控制閘線CGL21、CGL22上所連接之記憶胞，可防止FN通道現象之產生。

依上所述結束抹除動作。

於抹除動作後，進行例如抹除檢證動作，即檢驗被選擇之區塊內之選擇控制閘線CGL11上所連接之全部之記憶胞之臨限值電壓是否未滿-1[V]。

• 程式動作

如圖53所示，說明對連接於控制閘線CGL1之記憶胞執行程式之情況。該等進行程式之記憶胞係全部爲抹除狀態者。

首先，被選擇區塊內之源極側之選擇閘線GSL成爲接地

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（85）

電位VSS，汲極側之選擇閘線SSL成爲電源電位VCC。於是源極側之選擇電晶體ST21、ST22成切斷(cutoff)狀態，汲極側之選擇電晶體ST11、ST12成ON狀態。

又，將進行"0"程式化之記憶胞MC11所連接之位元線BL之電位設定爲VSS，將進行"1"程式化之記憶胞(程式禁止胞)MC12所連接之位元線BL設定爲VCC。又，將控制閘線CGL1、CGL2之電位設定爲接地電位VSS。此時，記憶胞MC11、MC21之通道電位成爲接地電位VSS，記憶胞MC12、MC22之通道被預備充電至VCC-Vth(Vth係選擇電晶體ST12之臨限值電壓)。

其後，控制閘線CGL1、CGL2之電位被設定爲電源電位VCC(例如3.3V)或被設定爲在讀取時施加至非選擇閘線之電位Vread(例如4.5V)。又，選擇控制閘線CGL1之電位係自VCC或Vread上升至程式電位Vprog(例如18V)。

此時，被選擇之記憶胞MC11中，因通道(=VSS)與控制閘線CGL1(=Vprog)之間產生大電位差之故，依FN通道現象，電子被自通道注入浮動閘。藉此，被選擇之記憶胞MC11所對應之"0"程式化結束。

又，在對控制閘線施加高電位之前，即，通道升壓前之被選擇之記憶胞MC12之通道之初期電位被設定爲VCC-Vth，且成浮動狀態。故，其後，選擇控制閘線CGL1之電位成爲Vprog。非選擇控制閘線CGL2之電位成爲VCC或Vread後，被選擇之記憶胞MC12之通道電位亦依電容耦合自動上升。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（86）

即，被選擇之記憶胞MC12中，通道(=Vch)與控制閘線CGL1(=Vprog)之間之電位差變小，而抑制因FN通道現象所造成之對浮動閘之電子注入。藉此，被選擇之記憶胞MC12所對應之"1"程式化結束。

惟，在對被選擇之記憶胞(程式禁止胞)MC12執行"1"程式化方面，必需要將被選擇之記憶胞MC12之通道電位(程式禁止電位)Vch充分上升，使程式錯誤("0"程式化)不發生。

被引導(boot)後之記憶胞MC12之通道電位Vch主要係由下列因素決定，即引導(boot)前之記憶胞MC12之通道之初期電位。記憶胞MC12、MC22之控制閘與通道之耦合比，及胞單元內之記憶胞之數(本例爲2個)。

故，例如在將胞單元內之記憶胞之數予以固定之情況下，記憶胞MC12之通道電位Vch，藉由將記憶胞MC12之通道之初期電位及記憶胞MC12、MC22之控制閘與通道之耦合比設定爲較大，可充分(使Vch)上升。

記憶胞之控制閘與通道之耦合比B可由下式算出：

$$B = Cox/(Cox+Cj)$$

此處，Cox爲記憶胞之控制閘與通道間之閘電容之總和，Cj爲記憶胞之源極區域及汲極區域之接合電容之總和。

又，記憶胞之通道電容之近似值可用Cox與Cj之合計表

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（87）

示。即，記憶胞之通道電容除Cox及Cj之外雖包含：控制閘與源極區域之重疊(overlap)電容、位元線與源極區域間之電容、位元線與汲極區域間之容量，但該等電容與Cox或Cj相比係非常小之故，可予以忽略。

次之，對本發明之位元組型EEPROM與習知之NAND型快閃EEPROM，具體討論進行"1"程式化之記憶胞之通道電位(程式禁止電位)會成爲何種值。

本發明之位元組型EEPROM如圖50及圖51所示，係爲於1個胞單元內配置2個記憶胞之構造。

該情況下之通道電位Vch係爲：

$$Vch = Vini + (Vprog - VCC) \times B + (Vpass - VCC) \times B$$

$$B = Cox/(2 \times Cox + 3 \times Cj)$$

（註：記憶胞爲2個時，擴散層(源極/汲極)爲3）

此處若Cox=Cj=1，耦合比B成爲0.2。又，本發明中Vpass=VCC。又，若電源電位VCC爲3[V]、通道之初期電位Vini爲2[V]、程式電位Vprog爲16[V]，則通道電位Vch爲：

$$Vch = 2 + (16 - 3) \times 0.2 = 4.6[V]$$

另一方面，NAND型快閃EEPROM之通道電位Vch爲：

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（88）

$$Vch \approx Vini + (15/16) \times (Vpass - VCC) \times B$$
$$+ (1/16) \times (Vprog - VCC) \times B$$
$$B = 16 \times Cox / (16 \times Cox + 17 \times Cj)$$

（註：記憶胞爲16時，擴散層（源極/汲極）爲17）

此處，NAND型快閃EEPROM之胞單元係由串聯之16個記憶胞所成，1個記憶胞係被施加Vprog，剩下之15個記憶胞係被施加Vpass。

又，若Cox=Cj=1，則耦合比B成爲0.48。又，若電源電位VCC爲3[V]、通道之初期電位Vini爲2[V]、程式電位Vprog爲16[V]、Vpass爲8[V]，則通道電位Vch爲：

$$Vch = 2 + (15/16) \times (8 - 3) \times 0.48$$
$$+ (1/16) \times (16 - 3) \times 0.48$$
$$= 4.64[V]$$

如此，於本發明之位元組型EEPROM中，即使將例如Vpass設定爲電源電位VCC（或Vread），藉由將胞單元內之記憶胞之數設定爲2個，即可獲得與NAND型快閃EEPROM相同之程式禁止電位（"1"程式化胞之通道電位）。

換言之，本發明藉由將Vpass設定爲VCC（或Vread），而可緩和非選擇控制閘線所連接之非選擇記憶胞之控制閘與通道間之電壓之故，可消除非選擇記憶胞之程式錯誤，可反覆進行位元組（或頁）單位之資料改寫。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（89）

又，本發明即使將Vpass設定爲VCC(或Vread)，亦可得到與NAND型快閃EEPROM相同之程式禁止電位(program inhibit potential)之故，對選擇控制閘線所連接之程式禁止胞("1"程式化胞)亦可防止程式錯誤。

• 讀取動作

如圖54所示，在將位元線BL充電至預充電電位後，對被選擇之區塊內之選擇控制閘線CGL11施加0[V]，對被選擇之區塊內之非選擇控制閘線CGL12及選擇閘線SSL1、GSL1各施加電源電位VCC(例如3.3V)或讀取電位Vread(例如4.5V)。

又，非選擇區塊內之控制閘線CGL21、CGL22及選擇閘線SSL2、GSL2被施加0[V]。

此時，被選擇之區塊內之選擇電晶體成ON狀態，非選擇區塊內之選擇電晶體成OFF狀態。又，被選擇區塊內之非選擇記憶胞不論資料爲什麼值皆成ON狀態(記憶胞之臨限值分布請參照圖6)。

又，被選擇之區塊內之被選擇之記憶胞係對應於資料之值成ON或OFF狀態。

如圖55所示，在被選擇之記憶胞內寫入"1"資料之情況下，即，被選擇之記憶胞成抹除狀態之情況下，記憶胞之臨限值電壓成負的耗損模式。因此，該被選擇之記憶胞內有胞電流在流動，位元線BL之電位下降。

相反的在被選擇之記憶胞內寫入"0"資料之情況下，被選擇之記憶胞之臨限值電壓成爲正的加強模式，因此，該被

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（90）

選擇之記憶胞內無胞電流在流動，位元線BL之電位維持於預充電電位。

如此，資料"0"、"1"之判斷係依據自位元線至源線是否有胞電流在流動而進行。位元線之電位變化係由感測放大器予以放大(檢知)。

又，資料"0"與"1"之區別係依據記憶胞之浮動閘上是否蓄積了負的電荷而進行。

即，在浮動閘上蓄積有負的電荷之情況下，該記憶胞之臨限值電壓變高，記憶胞成爲加強型。另一方面，在浮動閘上未蓄積負的電荷之情況下，該記憶胞之臨限值電壓成爲不滿0[V]，記憶胞成爲耗損型。

表6表示上述抹除、程式化、讀取之各動作之選擇閘線SSL、GSL、控制閘線(字元線)CGL、位元線BLi、胞源線SL、胞P井之電位。

[表6]

		抹除	寫入	讀取
被選擇之區塊	位元線側之選擇閘線SSL	Vera×B	VCC	VCC或Vread
	控制閘線CGL(非選擇)	Vera×B	VCC或Vread(NAND型快閃EEPROM爲Vpass)	VCC或Vread
	控制閘線CGL(選擇)	0V	Vprog	0V
	源線側之選擇閘線GSL	Vera×B	0V	VCC或Vread

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（91）

非選擇區塊	位元線側之選擇閘線SSL	Vera×B	0V	0V
	控制閘線CGL	Vera×B	0V	0V
	源線側之選擇閘線GSL	Vera×B	0V	0V
位元線	"1"資料	Vera-Vb	VCC	VBL→0V
	"0"資料	Vera-Vb	0V	VBL
胞源線		Vera-Vb	VCC	0V
胞P井		Vera	0V	0V

在抹除動作中，被選擇之區塊內之選擇控制閘線CGL被設定爲0[V]，被選擇區塊內之非選擇控制閘線CGL、非選擇區塊內之控制閘線CGL及全部之選擇閘線SSL、GSL被設爲浮動狀態。

於該狀態中，胞P井被施加抹除電位Vera，例如21[V]後，浮動狀態之全部之選擇閘線SSL、GSL之電位與非選擇控制閘線CGL之電位，因與胞P井之電容耦合，而上升至Vera×β（β爲耦合比）爲止。

此處若β爲0.8，則浮動狀態之全部之選擇閘線SSL、GSL之電位與非選擇閘線CGL之電位上升至16.8[V]。

抹除動作時，位元線BLi及胞源線SL上所連接之N^+擴散層及胞P井所成之pn接合係於順方向被施加偏壓。因此，位元線BLi及胞源線SL被充電至Vera-Vb。又，Vb係pn接合之內建電位。

於程式動作中，將"1"資料予以程式化之被選擇之記憶胞

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（92）

所連接之位元線BLi，即維持抹除狀態之被選擇之記憶胞所連接之位元線BLi，係被設定爲電源電位（例如3.3[V]）VCC；將"0"資料予以程式化之被選擇之記憶胞所連接之位元線BLi係被設定爲0[V]。

被選擇之區塊內之位元線側之選擇閘線SSL係被設定爲電源電位VCC；胞源線側之選擇閘線GSL係被設定爲0[V]；非選擇控制閘線CGL係被設定爲VCC或Vread（例如4.5[V]）；選擇控制閘線CGL係被設定爲程式電位（例如18[V]）Vprog。

非選擇區塊內之選擇閘線SSL、GSL、控制閘線CGL及胞P井係被設定爲0[V]。

胞源線係被設定爲0[V]。惟，被選擇之區塊內之將"1"資料予以程式化之記憶胞之通道電位，由其與控制閘線CGL之電容耦合而被升壓，在因貫穿（punch-throngh）而造成胞源線之洩漏電流之問題之情況下，胞源線之電位以設定爲電源電位VCC爲宜。

在讀取動作中，被選擇之區塊內之選擇閘線SSL、GSL及非選擇閘線CGL係被設定爲電源電位VCC（例如3.3V）或讀取電位Vread（例如4.5V）；選擇控制閘線CGL係被設定爲0[V]。在採行在資料讀取前將位元線予以預先充電之方式之情況下，位元線BLi係被設定爲預充電電位（例如1.2[V]）VBL。

記憶了"1"資料之被選擇之記憶胞係成ON狀態之故，於該被選擇之記憶胞內有胞電流在流動，位元線BLi係被放

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 93）

電至0[V]。另一方面，記憶了"0"資料之被選擇之記憶胞係成OFF狀態之故，於該被選擇之記憶胞內並無胞電流在流動，位元線BLi係保持於預充電電位VBL。

圖56表示本發明之位元組型EEPROM之電路區塊之主要部分。

該EEPROM如上所述係具有：例如記憶胞陣列11，其係由2個選擇電晶體夾住2個記憶胞之4個元件所成之記憶胞單元以矩陣狀配置而成者；複數條控制閘線10a，其係於記憶胞陣列11上配置在列方向上者；及複數條位元線10b，其係於記憶胞陣列11上配置在行方向上者。

列譯碼器12係進行「列」之選擇，即係進行控制閘線10a之選擇。被選擇之控制閘線10a所連接之記憶胞之資料，係被輸入至感測放大器13，其係由設於每一行之具有資料閂鎖功能之感測放大器所成。行譯碼器14係進行「行」之選擇，即進行位元線BLi之選擇。

被選擇之行之感測放大器之資料，係經由區塊輸出入緩衝器18，被輸出至記憶體晶片之外部。被輸入至記憶體晶片之內部之資料，係經由資料輸出入緩衝器18，被閂鎖於被選擇之具有閂鎖功能之感測放大器內。

16係產生程式動作或抹除動作所必需之高電壓。控制電路17係控制記憶體晶片內部之各電路之動作，並且扮演記憶體晶片內部與外部之介面之角色。控制電路17包含順序控制機構(例如，可程式邏輯陣列)，其係控制對記憶胞之抹除、程式、讀取之各動作者。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（94）

圖57表示圖56之記憶胞陣列11之構造。

本例之記憶胞單元係由串聯之2個記憶胞所成之NAND胞、及於其兩端各連接1個之2個選擇電晶體所構成。記憶胞係由浮動閘與控制閘重疊之所謂之堆(stack)構造之MOSFET所構成。

由列方向之複數之記憶胞單元構成1個區塊；由1條控制閘線CGL上所連接之複數之記憶胞構成1頁。

又，本發明之抹除、程式及讀取係以頁單位進行。又，本發明藉由採用後述之改寫手法(data change scheme)，亦可進行以位元組爲單位之資料改寫動作。

圖58表示圖56之感測放大器13中之1條位元線BLi所連接之具閂鎖功能之感測放大器。

感測放大器係以閂鎖電路21爲主體，其係爲一方之輸出成爲另一方之輸入之2個CMOS反相器I1、I2所成者。閂鎖電路21之閂鎖節點Q，係經由行選擇用之NMOS電晶體M8，連接至I/O線。又，閂鎖節點Q係經由感測器切斷用之NMOS電晶體M4與位元線電位鉗位(clamp)用之NMOS電晶體M1，連接於位元線BLi。

NMOS電晶體M1、M4之連接節點成爲感測節點Nsense。感測節點Nsense上連接有預充電用之PMOS電晶體M2及放電用之NMOS電晶體M3。預充電用之PMOS電晶體M2係基於預先充電控制信號Load，於特定期間進行感測節點Nsense之充電。放電用之NMOS電晶體M3係基於放電控制信號DCB，進行感測節點Nsense之電荷之放電。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（95）

閂鎖電路21之閂鎖節點Qb上連接有重新設定(reset)用之NMOS電晶體M5，其係用以基於控制信號φL1將閂鎖節點Qb予以強制的接地者。閂鎖電路21之閂鎖節點Q上連接有重新設定用之NMOS電晶體M6，其係用以基於控制信號φL2將閂鎖節點Q予以強制的接地者。

重新設定用NMOS電晶體M5、M6之共通源極，係經由感測節點Nsense之電位所控制之感測用NMOS電晶體M7，連接至接地點。感測用NMOS電晶體M7與NMOS電晶體M5、M6相同可使用於閂鎖電路21之重新設定。

圖59係表示本發明之位元組型EEPROM之位元組單位之改寫動作之概略的順序控制之流程圖。

該順序控制係由例如圖56之控制電路17進行。依該流程圖，簡單說明位元組單位之改寫動作於下。

在成爲位元組改寫模式(bite data change mode)後，首先，被選擇之控制閘線(字元線)上所連接之記憶胞之1頁分之資料被讀出至感測放大器(頁讀取)。接著該1頁分之資料被閂鎖於感測放大器內(步驟ST1)。

次之，對應於以位址指定之行之位元組資料被載入。該被載入之位元組資料，係被改寫(overwrite)於閂鎖於感測放大器之1頁分之資料中進行資料變更之位元組資料上(步驟ST2)。

次之，被選擇之控制閘線所連接之記憶胞之1頁分之資料被同時抹除(頁抹除)(步驟ST3)。於抹除後，檢驗是否已對被選擇之控制閘線所連接之各記憶胞完全進行了抹除，

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（96）

或未完全抹除，即進行抹除驗證(步驟ST4、5)。

接著，直至1頁分之全部之記憶胞之臨限值成爲在特定範圍之內，反覆進行頁抹除及抹除驗證；在1頁分之全部之記憶胞之臨限值成爲在特定範圍內(抹除完畢)時，移至下一個動作(步驟ST3~5)。

又，在對1條位元線只存在有1個閂鎖功能之感測放大器之情況(只有1頁分之情況)下，依抹除驗證之結果，感測放大器之資料有被破壞之可能。故，於該情況下，不進行抹除驗證，僅進行一次抹除便使其結束。

其後，對被選擇之控制閘線所連接之記憶胞，將被閂鎖於感測放大器之1頁分之資料同時的予以程式化(步驟ST6)。於程式化後，對被選擇之控制閘線所連接之各記憶胞，進行檢驗其程式化是否已完全進行，或程式尚未完全進行，即進行程式化驗證(步驟ST7、8)。

接著直至1頁分之全部之記憶胞之臨限值成爲在特定範圍內爲止，反覆進行頁程式化及程式化驗證；在1頁分之全部之記憶胞之臨限值成爲在特定範圍內(程式化完畢)時，使位元組單位之資料改寫動作結束。

又，使用高程式電位，以1次之程式脈衝進行1次程式之情況下，亦可省略程式化驗證。

圖60表示圖59之主要步驟之被選擇之記憶胞之資料與感測放大器之節點Qb(圖58)之狀態。

同圖(a)表示被選擇之控制閘線(字元線)上所連接之記憶胞之1頁分之資料，被讀出至感測放大器之狀態。(對應於

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（97）

步驟ST1）。

記憶胞之資料爲"0"（臨限值電壓爲正）之情況下，位元線BLi之電荷不放電，維持於預充電電位。故，圖58之感測節點Nsense成爲電源電位VCC。若設控制信號φL2爲電源電位VCC，則節點Q成爲接地電位VSS，即成爲"0"。

相反的，在記憶胞之資料爲"1"（臨限值電壓爲負）之情況下，位元線BLi之電荷被放電。故，圖58之感測節點Nsense成爲接地電位VSS。若設控制信號φL2爲電源電位VCC，則節點Q成爲電源電位VCC，即成爲"1"。

同圖（b）表示對於閂鎖於感測放大器之1頁分之資料中以位址指定之位元組資料（8位元資料），進行資料改寫（overwrite）之狀態）（對應於步驟ST2）。

同圖（c）表示將被選擇之控制閘線（字元線）上所連接之記憶胞之資料予以抹除（頁抹除）之狀態（對應於步驟ST3）。依頁抹除，被選擇之控制閘線上所連接之記憶胞之資料全部成爲"1"。

同圖（d）表示對於被選擇之控制閘線（字元線）上所連接之記憶胞，將閂鎖於感測放大器之1頁分之資料予以程式化（反程式化）之狀態（對應於步驟ST6）。

如此，對記憶胞陣列11，在動作上，雖成爲頁單位之資料改寫，但在實際上則係成爲進行位元組單位之資料改寫。

次之，參照圖61至63之時序表。以圖58之感測放大器之動作爲中心，詳細說明頁程式化、頁驗證用之讀取動作。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（98）

又，圖61至63係將1個時序表予以分割成複數者。

在自晶片外部向晶片內部輸入指示程式化之指令後，開始程式動作。

首先，爲了將感測節點Nsense予以重新設定，設控制信號DCB爲電源電位VCC。此時，MOS電晶體M3爲ON，感測節點Nsense被接地(t1)。

又，若將控制信號BLSHF與控制信號DCB相同的亦設爲電源電位VCC，則MOS電晶體M1成爲ON，位元線BLi被接地。

在將程式資料載入感測放大器前，將資料閂鎖控制信號φLI設爲電源電位VCC，將預先充電控制信號Load設爲接地電位VSS。此時，MOS電晶體M5、M7爲ON，閂鎖電路21之閂鎖節點Qb被強制接地，資料被重新設定。即，於感測放大器20之全部之感測放大器中，閂鎖電路21之閂鎖節點Q成爲電源電位VCC，閂鎖節點Qb成爲接地電位VSS(t2)。

次之，程式資料自I/O線被載入，資料被閂鎖於感測放大器20之各閂鎖電路21，節點Q、Qb對應於載入資料被設定爲"H"、"L"(t3)。

具體而言，在進行"0"程式化之記憶胞所對應之感測放大器之閂鎖電路21中，閂鎖節點Q被施加"L"(=VSS)；在進行"1"程式化(程式禁止)之記憶胞所對應之感測放大器之閂鎖電路21中，閂鎖節點Q被施加"H"(=VCC)。

次之，控制信號BLSHF、SBL成爲"H"，基於被閂鎖於感

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 99 ）

測放大器20之各閂鎖電路21之資料，各位元線開始被充電(t4)。

即，進行"0"程式化之記憶胞所連接之位元線BLi被設定爲接地電位VSS，進行"1"程式化(程式禁止)之記憶胞所連接之位元線被充電至電源電位VCC。被選擇之控制閘線(字元線)被設定爲程式電壓Vprog(20[V]左右)。此時，非選擇之控制閘線(字元線)並非被設定於Vpass(例如8[V])，而係被設定於電源電位VCC(例如3.3[V])或被設定於讀取時被施加至非選擇之記憶胞之讀取電位Vread(例如4.5[V])。

依該動作，對1頁分之記憶胞進行程式化。

在資料程式化完畢後，開始程式化驗證，檢驗資料程式化是否確實的進行完畢。

首先，進行程式驗證用之讀取，該驗證讀取動作與一般之讀取動作相同。

若控制信號DCB被設定爲電源電位VCC，則MOS電晶體M3成爲ON，感測節點Nsense被控制接地(t5)。

接著，被選擇之控制閘線CGL被施加參考電位Vref(0.5[V]左右)；非選擇之控制閘線CGL被施加讀取電位Vread(例如4.5[V])，其係不論記憶胞內所記憶之資料內容，皆將記憶胞設定成ON狀態用之電位。又，選擇閘線SSL、GSL被施加電源電位VCC。藉此，進行驗證讀取(t6)。

在讀取時，可使用位元線預先充電型之感測方式、及電

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 100 ）

流檢知型之感測方式等。位元線預先充電型之感測方式中，將位元線BLi予以預先充電設定成浮動狀態後，對應於記憶胞之資料將位元線之電位予以維持或降低。關於電流檢知型之感測方式詳述於下。

於時刻t6中，將控制信號BLSHF自升壓電位VCC+α緊固鉗位於電位VCC-α，藉由流過MOS電晶體M1之記憶胞電流，與將節點Nsense予以充電之MOS電晶體M2之電流之平衡(balance)，進行讀取。接著，位元線BLi之電位上升至例如0.9[V]爲止時，MOS電晶體M1成切斷狀態，感測節點Nsense成爲電源電位VCC。

感測節點Nsense成爲"H"(=VCC)之後，使閂鎖控制信號φL1爲電源電位VCC，使MOS電晶體爲ON(t7)。在感測節點Nsense爲電源電位VCC之情況(係臨限值比驗證電位Vref高之記憶胞所連接之感測放大器之情況)下，MOS電晶體M7成爲ON，閂鎖節點Qb成爲接地電位VSS，閂鎖節點Q成爲電源電位VCC。

若閂鎖節點Q被載入接地電位VSS，正常的進行程式，則閂鎖電路21之閂鎖資料將反轉。對記憶胞之程式進行不充分之情況下，於驗證讀取中，感測節點Nsense仍保持爲"L"(=VSS)之故，閂鎖電路21之資料反轉不會發生，閂鎖節點Q保持VSS。程式禁止之記憶胞上所連接之感測放大器中，閂鎖節點Q爲電源電位VCC之故，資料不會反轉。

在存在有程式進行不充分之記憶胞時，即，存在有閂鎖電路21之資料反轉不會發生之感測放大器時，將反覆進行

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（101）

程式及驗證讀取。接著，1頁分之全部之感測放大器之閂鎖節點Q之電位成爲電源電位VCC後，程式結束。

次之，參照圖63之時序表，以圖58之感測放大器之動作爲中心，詳細說明位元組單位之資料改寫動作。

在自晶片外部向晶片內部輸入指示位元組改寫之指令後，開始位元組改寫動作。

首先，對被選擇之控制閘線(字元線)所連接之1頁分之記憶胞，開始進行已寫入之資料之讀取動作。

讀取動作係與一般之讀取動作相同。

首先，設資料閂鎖控制信號φL1爲電源電位VCC，設預先充電控制信號Load爲接地電位VSS。此時，MOS電晶體M5、M7爲ON，閂鎖電路21之閂鎖節點Qb被強制接地，資料被重新設定。即，感測放大器之全部之閂鎖電路21之閂鎖節點Q成爲電源電位VCC，閂鎖節點Qb成爲接地電位VSS(t1)。

次之，將控制信號DCB設定爲電源電位VCC。此時，MOS電晶體M3成爲ON，感測節點Nsense被強制接地(t2)。接著，對被選擇之控制閘線CGL施加VSS(=0V)，對選擇閘線SSL、GSL施加電源電位VCC，進行讀取(t3)。

感測節點Nsense成爲"H"(=VCC)後，閂鎖控制信號φL2成爲電源電位VCC，MOS電晶體M6成爲ON(t4)。感測節點Nsense爲電源電位VCC之情況(即，資料"0"被寫入，係爲連接於臨限值電壓比VSS高之記憶胞之感測放大器之情況)下，MOS電晶體M7爲ON，閂鎖節點Q成爲接地電位

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（102）

VSS，閂鎖節點Qb成爲電源電位VCC。

次之，將控制信號DCB設定爲電源電位VCC，將控制信號BLSHF設定爲電源電位VCC或電位VCC+α，將位元線BLi及感測節點Nsense予以重新設定(t5)。

其後，對以行位址所指定之感測放大器20之閂鎖電路21載入位元組資料，節點Q，Qb係對應於位元組資料被設定於"H"、"L"(t6)。

對被寫入閂鎖電路21之頁資料中之特定資料，改寫(overwrite)上自晶片外部輸入之位元組資料。

其後，對被選擇之控制閘線上所連接之記憶胞進行頁抹除動作。

被選擇之區塊之控制閘線係被設定爲接地電位VSS，非選擇之區塊之控制閘線及全部之選擇閘線係被設定爲浮動狀態。胞P井上被施加抹除電壓Vera後，浮動狀態之選擇閘線與非選擇之區塊之控制閘線，依其與胞P井之電容耦合，而升壓至Vera×β（β爲耦合比）。

又，位元線BLi及胞源線SL係連接至胞P井內之N^+層。該N^+層與胞P井之pn接合被施加順偏壓後，位元線BLi及胞源線SL便各被充電至Vera-Vb(t7)。其中Vb爲pn接合之內建電位。

其後，進行抹除驗證，確認被選擇之頁之記憶胞是否全部爲抹除狀態，即確認記憶胞之臨限值是否成負值。基於貯存於閂鎖電路21之資料，對被選擇之頁之記憶胞，進行程式動作及程式驗證動作。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（103）

圖63中省略抹除驗證以後之動作。

圖64係爲將NAND型快閃EEPROM之記憶胞陣列之一部分採用本發明之位元組型EEPROM之記憶胞陣列之例。

本發明之位元組型EEPROM之記憶胞陣列可視爲係於NAND型快閃EEPROM之記憶胞陣列中，將2個選擇電晶體間之記憶胞做成2個者。故，本例之EEPROM係可輕易實現者。

本例之EEPROM係於1條位元線BLi上連接相異構造之2種記憶胞單元。即，第1記憶胞單元係於2個選擇電晶體間連接複數個(例如8、16、32個等)記憶胞；第2記憶胞單元係於2個選擇電晶體間連接2個記憶胞。

在控制閘線(字元線)之選擇上，可在第1記憶胞單元之區域與第2記憶胞單元之區域，各設置驅動電路，而若可共通化，則將兩區域之驅動電路合而爲一亦可。

依此種構造，即可對記憶胞陣列之一部分，進行位元組單位之資料改寫動作。

又，取代圖64之NAND型快閃EEPROM之記憶胞陣列，而採用NAND型快閃EEPROM、DINOR型快閃EEPROM等之記憶胞陣列亦可。

如上述說明，依本發明之位元組型EEPROM，可達成以下效果：

(1)記憶胞單元係爲由2個選擇電晶體夾住一個堆(stack)型記憶胞所構成之故，可用與快閃EEPROM相同之製程予以形成，並且可採用與快閃EEPROM相同之改寫方法(data

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（104）

change method），進而又可進行以位元組爲單位之資料改寫動作。

（2）在程式化時，對非選擇之記憶胞之控制閘不施加Vpass而施加VCC或Vread，又若記憶胞單元係由2個選擇電晶體夾住複數（例如2個）之堆型記憶胞所構成，則除上述效果外，尚可達成縮小每一個記憶胞之尺寸。

一般之NAND型快閃EEPROM與本發明之位元組型EEPROM之效果之比較表列於表7。

[表7]

	習知技術	本發明	
胞單元構造	NAND型	3-tr型	4-tr型
一次寫入不需要驗證	×	○	×
頁(位元組)單位之改寫	×	○	○
讀取電流	×	○	△
讀取保持(資料保持特性)	×	○	×
資料改寫次數(加強(Endurance)特性)	○	○*1	○*1
寫入時之干擾(寫入錯誤)	×*2	○	○*3
胞尺寸	○ (1)	×*4 (3.5)	△ (2.2)

○：可或良

△：普通

×：不可或差

*1：使用副控制閘驅動器之場合

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（105）

*2：被選擇之區塊內之非選擇字元線施加Vprog

*3：被選擇之區塊內之非選擇字元線施加VCC或Vread

*4：若與習知之位元組型EEPROM比較則爲○

又，依本發明之位元組型EEPROM，(3)將記憶胞陣列以配置成行列狀之複數區塊構成，做成可以區塊爲單位進行讀取、抹除、程式化等動作之故，即使在位元組單位之資料改寫動作中，亦不會使實質之資料改寫特性變劣化。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

四、中文發明摘要（發明之名稱：非揮發性半導體記憶體）

本發明之記憶胞陣列具有記憶胞單元，其係由1個記憶胞及將其夾住之2個選擇電晶體所構成者。於1區塊內配置1條控制閘線CGL，由連接於1條控制閘線CGL之記憶胞構成1頁。位元線BLi上連接有具有閂鎖功能之感測放大器。資料改寫係：首先將1頁分之記憶胞之資料讀取入感測放大器，於感測放大器進行資料之改寫，在進行過頁抹除之後，將感測放大器之資料在1頁分之記憶胞內予以程式化(寫入)。依感測放大器之資料改寫，可進行頁單位或位元組單位之資料改寫。

英文發明摘要（發明之名稱：A NON-VOLITE SEMICONDUCTOR MEMORY DEVICE CURCUIT）

メモリセルアレイは、１個のメモリセルとこれを挟み込む２個のセレクトトランジスタとから構成されるユニットを有する。１ブロックには、１本のコントロールゲート線ＣＧＬが配置され、１本のコントロールゲート線ＣＧＬに接続されるメモリセルにより１ページが構成される。ビット線ＢＬｉには、ラッチ機能を持つセンスアンプが接続される。データ書き換えは、まず、１ページ分のメモリセルのデータをセンスアンプにリード、センスアンプでデータの上書きを行い、ページイレーズを行った後、センスアンプのデータを１ページ分のメモリセルにプログラムする。センスアンプにおけるデータの上書きにより、ページ単位又はバイト単位のデータ書き換えが可能となる。

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1. 一種非揮發性半導體記憶體，其特徵在於：

具有：記憶胞陣列：其具有記憶胞單元，該記憶胞單元係由1個記憶胞，及將其夾住之2個選擇電晶體所構成者；

位元線：其係連接於前述2個選擇電晶體中之一者；及

感測放大器，其係連接於前述位元線，具備閂鎖功能者；

前述記憶胞具有堆閘構造，其係具有浮動閘及控制閘者。

2. 如申請專利範圍第1項之非揮發性半導體記憶體，其中前述2個選擇電晶體具有與前述記憶胞相同之構造。

3. 如申請專利範圍第1項之非揮發性半導體記憶體，其中

更具備一程式化機構：其係在前述記憶胞陣列中，對連接於被選擇之控制閘線之自1頁分之記憶胞中所選擇之記憶胞，進行資料變更之情況下，

將前述1頁分之記憶胞之資料由前述感測放大器予以讀入，於前述感測放大器中，對於前述一頁分之資料中之前述被選擇的記憶胞所對應之資料，進行資料改寫，將前述一頁分之記憶胞之資料予以抹除，將前述感測放大器之資料於前述1頁分之記憶胞予以程式化。

4. 如申請專利範圍第3項之非揮發性半導體記憶體，其中

前述被選擇之記憶胞之資料係位元組資料及頁資料之一者。

5. 一種非揮發性半導體記憶體，其特徵在於

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A1規格（210×297公釐）

六、申請專利範圍

具有：記憶胞陣列：其具有第2記憶胞單元，該第2記憶胞單元係由：第1記憶胞單元，其係由1個記憶胞及將其夾住之2個選擇電晶體所構成者；及複數個記憶胞所構成者；

位元線：其係共通連接於前述第1及第2記憶胞單元者；及

感測放大器：其係連接於前述位元線，具備閂鎖功能者；

前述第1及第2記憶胞單元內之記憶胞，各係具有堆閘構造，其係具有浮動閘及控制閘者。

6. 如申請專利範圍第5項之非揮發性半導體記憶體，其中

前述第2記憶胞單元係為以下單元中之一者，即：前述複數個記憶胞串聯成之NAND單元、前述複數個記憶胞並聯成之AND單元、及前述複數個記憶胞並聯成之DINOR單元中之一者。

7. 如申請專利範圍第5項之非揮發性半導體記憶體，其中

前述2個選擇電晶體係具有與前述記憶胞相同之構造者。

8. 如申請專利範圍第5項之非揮發性半導體記憶體，其中

更具備一程式化機構：其係在前述記憶胞陣列中，對連接於被選擇之控制閘線之自1頁分之記憶胞中所選擇之記憶胞，進行資料變更之情況下，

將前述1頁分之記憶胞之資料由前述感測放大器予以讀入，於前述感測放大器中，對於前述一頁分之資料中之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

前述被選擇的記憶胞所對應之資料，進行資料改寫，將前述一頁分之記憶胞之資料予以抹除，將前述感測放大器之資料於前述1頁分之記憶胞予以程式化。

9. 如申請專利範圍第8項之非揮發性半導體記憶體，其中

前述被選擇之記憶胞之資料係位元組資料及頁資料之一者。

10. 一種非揮發性半導體記憶體，其特徵在於：

具有：記憶胞陣列：其係由包含記憶胞之記憶胞單元所構成；

位元線：其係連接於前述記憶胞單元；

感測放大器：其係連接於前述位元線，具備閂鎖功能者；及

程式化機構：其係在前述記憶胞陣列中，對連接於被選擇之控制閘線之自1頁分之記憶胞中所選擇之記憶胞，進行資料變更之情況下，將前述1頁分之記憶胞之資料由前述感測放大器予以讀入，於前述感測放大器中，對於前述一頁分之資料中之前述被選擇的記憶胞所對應之資料，進行資料改寫，將前述一頁分之記憶胞之資料予以抹除，將前述感測放大器之資料於前述1頁分之記憶胞予以程式化。

11. 如申請專利範圍第10項之非揮發性半導體記憶體，其中

前述記憶胞單元係為以下單元中之一者，即：由1個記憶胞及將其夾住之2個選擇電晶體所構成之記憶胞單元、複數個記憶胞串聯成之NAND單元、複數個記憶胞並聯

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

成之AND單元、及複數個記憶胞並聯成之DINOR單元中之一者。

12. 如申請專利範圍第10項之非揮發性半導體記憶體，其中前述被選擇之記憶胞所對應之資料係為頁資料及位元組資料中之一者。

13. 一種非揮發性半導體記憶體，其特徵在於：

具有：記憶胞陣列：其具有依FN通道電流進行資料之程式化之記憶胞；

位元線：其係連接於前述記憶胞；

感測放大器：其係連接於前述位元線，具備閂鎖功能者；及

電位施加機構：其係在對連接於被選擇之控制閘線之1頁分之記憶胞，同時進行資料程式化之情況下，對形成有前述1頁分之記憶胞之井施加第1電位，對前述1頁分之記憶胞之控制閘施加第2電位，對前述1頁分之記憶胞中實行程式化之被選擇之記憶胞所連接之位元線施加前述第1電位，及對前述1頁分之記憶胞中不實行程式化之非選擇之記憶胞所連接之位元線施加前述第1及第2電位之中間電位者。

14. 一種非揮發性半導體記憶體，其特徵在於：

具有：記憶胞陣列：其係由配置成矩陣狀之複數之記憶胞單元所構成者；

主控制閘線：其係於前述記憶胞陣列上向列方向延伸者；

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

主控制閘驅動器：其係配置於前述主控制閘線之一端者；

副控制閘線：其係連接於配置於前述列方向之該記憶胞單元內之1頁分之記憶胞中之複數之記憶胞者；及

副控制閘驅動器：其係配置於前述主控制閘線與前述副控制閘線之間者。

15. 如申請專利範圍第14項之非揮發性半導體記憶體，其中

前述複數之記憶胞單元之每一個，係由：1個記憶胞及2個選擇電晶體所構成者，該2個選擇電晶體係於該記憶胞兩端，以一端一個之方式連接者。

16. 如申請專利範圍第15項之非揮發性半導體記憶體，其中

更具備：2條選擇閘線：其係連接於配置於前述列方向之該記憶胞單元內之該2個選擇電晶體之閘極者；及

選擇閘驅動器：其係於前述2條選擇閘線之一端，與前述控制閘驅動器接近配置者。

17. 如申請專利範圍第14項之非揮發性半導體記憶體，其中

更具備副譯碼器：其係將位址信號予以譯碼，輸出控制信號者；

前述副控制閘驅動器係由MOS電晶體所構成者，該MOS電晶體係連接於前述主控制閘線及前述副控制閘線之間，於閘極被輸入前述控制信號者。

18. 如申請專利範圍第14項之非揮發性半導體記憶體，其中

更具備副譯碼器：其係將位址信號予以譯碼，對前述副控制閘線施加預定之電位者；

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

前述副控制閘驅動器係由MOS電晶體所構成者，該MOS電晶體係連接於前述副控制閘線及前述副譯碼器之間，於閘極被輸入前述主控制閘線之電位者。

19. 如申請專利範圍第14項之非揮發性半導體記憶體，其中更具備程式化機構：其係在對於配置於前述列方向之記憶胞單元內之1頁分之記憶胞中所選擇之記憶胞進行資料變更之情況下，

將連接於前述副控制閘線之複數之記憶胞之資料讀入具閂鎖功能之感測放大器，於前述感測放大器中對前述複數之記憶胞之資料中之前述被選擇之記憶胞所對應之資料進行資料改寫，將連接於前述副控制閘線之前述複數之記憶胞之資料予以抹除，將前述感測放大器之資料於前述副控制閘線所連接之前述複數之記憶胞中予以程式化者。

20. 如申請專利範圍第19項之非揮發性半導體記憶體，其中前述副控制閘線上連接有n(n為複數)位元組之記憶胞，前述被選擇之記憶胞所對應之資料係為位元組資料。

21. 如申請專利範圍第14項之非揮發性半導體記憶體，其中更具備程式化機構：其係在對於配置於前述列方向之記憶胞單元內之1頁分之記憶胞中所選擇之記憶胞進行資料變更之情況下，

將連接於前述主控制閘線之1頁分之記憶胞之資料讀入具閂鎖功能之感測放大器，於前述感測放大器中對連接

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A1規格(210×297公釐)

六、申請專利範圍

於前述副控制閘線之複數之記憶胞之資料中之前述被選擇之記憶胞所對應之資料進行資料改寫，將連接於前述副控制閘線之前述複數之記憶胞之資料予以抹除，將前述感測放大器之資料中之連接於前述副控制閘線之前述複數之記憶胞所對應之資料，於連接於前述副控制閘線之前述複數之記憶胞中予以程式化者。

22. 如申請專利範圍第21項之非揮發性半導體記憶體，其中前述副控制閘線上連接有n(n爲複數)位元組之記憶胞，前述被選擇之記憶胞所對應之資料係爲位元組資料。

23. 如申請專利範圍第14項之非揮發性半導體記憶體，其中在將連接於前述副控制閘線之前述複數之記憶胞定義爲區塊之情況下，於前述主控制閘線連接複數之區塊，對於每n個(n爲自然數)區塊進行資料之讀取、抹除或程式化。

24. 一種非揮發性半導體記憶體，其特徵在於：

具備：記憶胞陣列：其係由配置成矩陣狀之複數之記憶胞單元所構成者；

第1及第2主控制閘線：其係於前述記憶胞陣列上向列方向延伸者；

第1主控制閘驅動器：其係連接於前述第1主控制閘線之一端者；

第1副控制閘線：其係連接於前述複數之記憶胞單元中配置於第1列內之記憶胞單元內之記憶胞者；

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

第1副控制閘驅動器：其係配置於前述第1主控制閘線與前述第1副控制閘線之間者；

第1選擇閘線：其係連接於前述第1列內之記憶胞單元內之選擇電晶體者；

第1選擇閘驅動器：其係連接於前述第1選擇閘線之一端者；

第2主控制閘驅動器：其係連接於前述第2主控制閘線之一端者；

第2副控制閘線：其係連接於前述複數之記憶胞單元中配置於第2列內之記憶胞單元內之記憶胞者；

第2副控制閘驅動器：其係配置於前述第2主控制閘線與前述第2副控制閘線之間者；

第2選擇閘線：其係連接於前述第2列內之記憶胞單元內之選擇電晶體者；及

第2選擇閘驅動器：其係連接於前述第2選擇閘線之一端者；

前述第1主控制閘驅動器與前述第1選擇閘驅動器，係配置於前述記憶胞陣列之前述列方向之一端；前述第2主控制閘驅動器與前述第2選擇閘驅動器，係配置於前述記憶胞陣列之前述列方向之另一端。

25. 一種非揮發性半導體記憶體，其特徵在於：

具備：記憶胞陣列：其係由配置成矩陣狀之複數之記憶胞單元所構成；

第1及第2主控制閘線：其係於前述記憶胞陣列上向列

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

方向延伸者；

第1副控制閘線：其係連接於前述複數之記憶胞單元中配置於第1列內之記憶胞單元內之記憶胞者；

第1副控制閘驅動器：其係配置於前述第1主控制閘線與前述第1副控制閘線之間者；

第1選擇閘線：其係連接於前述第1列內之記憶胞單元內之選擇電晶體者；

第1選擇閘驅動器：其係連接於前述第1選擇閘線之一端者；

主控制閘驅動器：其係連接於前述第1及第2主控制閘線之一端者；

第2副控制閘線：其係連接於前述複數之記憶胞單元中配置於第2列內之記憶胞單元內之記憶胞者；

第2副控制閘驅動器：其係配置於前述第2主控制閘線與前述第2副控制閘線之間者；

第2選擇閘線：其係連接於前述第2列內之記憶胞單元內之選擇電晶體；及

第2選擇閘驅動器：其係連接於前述第2選擇閘線之一端者；

前述主控制閘驅動器與前述第1、第2選擇閘驅動器，皆係配置於前述記憶胞陣列之前述列方向之一端。

26. 如申請專利範圍第25項之非揮發性半導體記憶體，其中前述第1列與前述第2列係於行方向互相鄰接者。

27. 一種非揮發性半導體記憶體，其特徵在於具備：

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

記憶胞陣列：其係具有第1及第2記憶胞單元者，該第1及第2記憶胞單元係由1個記憶胞與將其夾住之2個選擇電晶體所構成者；

第1位元線：其係連接於前述第1記憶胞單元內之2個選擇電晶體中之一者；

第2位元線：其係連接於前述第2記憶胞單元內之2個選擇電晶體中之一者；及

感測放大器：其係連接於前述第1及第2位元線，具有閂鎖功能者。

28. 一種非揮發性半導體記憶體，其特徵在於具備：

記憶胞陣列：其係具有記憶胞單元者，該記憶胞單元係由複數個記憶胞與將其夾住之2個選擇電晶體所構成者；

位元線：其係連接於前述2個選擇電晶體中之一者；

感測放大器：其係連接於前述位元線，具有閂鎖功能者；及

電位施加機構：其係在程式化動作時，對被選擇之控制閘線施加比電源電位高之程式化用之高電位；

對非選擇之控制閘線施加前述電源電位，或讀取動作時施加至非選擇之控制閘線之讀取電位者。

29. 如申請專利範圍第28項之非揮發性半導體記憶體，其中前述記憶胞單元包含2個記憶胞。

30. 如申請專利範圍第28項之非揮發性半導體記憶體，其中前述複數個記憶胞各具有管閘構造，其係具有浮動閘

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A1規格（210×297公釐）

六、申請專利範圍

及控制閘者。

31. 如申請專利範圍第30項之非揮發性半導體記憶體，其中前述2個選擇電晶體係各具有與前述複數個記憶胞相同之構造者。

32. 如申請專利範圍第28項之非揮發性半導體記憶體，其中更具備程式化機構：其係在前述記憶胞陣列中，對連接於被選擇之控制閘線之1頁分之記憶胞中所選擇之記憶胞進行資料變更之情況下，將前述1頁分之記憶胞之資料讀入前述感測放大器，於前述感測放大器中對前述1頁分之資料中之前述被選擇之記憶胞所對應之資料進行資料改寫，將前述1頁分之記憶胞之資料予以抹除，將前述感測放大器之資料於前述1頁分之記憶胞中予以程式化者。

33. 如申請專利範圍第32項之非揮發性半導體記憶體，其中前述被選擇之記憶胞所對應之資料，係頁資料及位元組資料中之一者。

34. 如申請專利範圍第28項之非揮發性半導體記憶體，其中前述電位施加機構在前述程式化動作時，對前述被選擇之控制閘線及前述非選擇之控制閘線，施加前述電源電位或前述讀取電位後，僅使前述被選擇之控制閘線之電位升高至前述程式化用之高電位。

35. 一種非揮發性半導體記憶體，其特徵在於具備：

記憶胞陣列：其係具有第1記憶胞單元及第2記憶胞單元者，該第1記憶胞單元係由複數個記憶胞及將其夾住之2個選擇電晶體所構成者，該第2記憶胞單元係由複數個

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

記憶胞所構成者；

位元線：其係共通連接於前述第1及第2記憶胞單元者；

感測放大器：其係連接於前述位元線，具備閂鎖功能者；及

電位施加機構：其係於程式化動作時，在包含前述第1記憶胞單元之區塊被選擇之情況下，對被選擇之控制閘線施加比電源電位高之程式化用之高電位，對非選擇之控制閘線施加前述電源電位，或讀取動作時施加至非選擇之控制閘線之讀取電位。

36. 如申請專利範圍第35項之非揮發性半導體記憶體，其中

前述第2記憶胞單元係為以下單元中之一者，即：前述複數個記憶胞串聯成之NAND單元、前述複數個記憶胞並聯成之AND單元、及前述複數個記憶胞並聯成之DINOR單元中之一者。

37. 如申請專利範圍第35項之非揮發性半導體記憶體，其中

更具備程式化機構：其係於前述記憶胞陣列中，對連接於被選擇之控制閘線之1頁分之記憶胞中所選擇之記憶胞進行資料變更之情況下，將前述1頁分之記憶胞之資料讀入前述感測放大器，於前述感測放大器中對前述1頁分之資料中之前述被選擇之記憶胞所對應之資料進行資料改寫，將前述1頁分之記憶胞之資料予以抹除，將前述感測放大器之資料於前述1頁分之記憶胞中予以程式化者。

38. 如申請專利範圍第37項之非揮發性半導體記憶體，其中

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

前述被選擇之記憶胞所對應之資料，係為頁資料及位元組資料中之一者。

39. 如申請專利範圍第35項之非揮發性半導體記憶體，其中

前述電位施加機構在前述程式化動作時，對前述被選擇之控制閘線及前述非選擇之控制閘線，施加前述電源電位或前述讀取電位後，僅使前述被選擇之控制閘線之電位升高至前述程式化用之高電位。

40. 如申請專利範圍第3、8、10、19、21、32或37項之非揮發性半導體記憶體，其中

前述資料之變更動作係由抹除動作與程式化動作所構成，前述程式化動作係由熱電子現象或FN通道現象進行，前述抹除動作係由FN通道現象進行。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A1規格（210×297公釐）

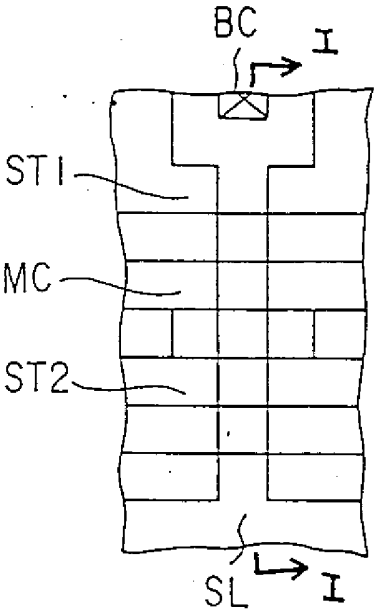


圖 1A

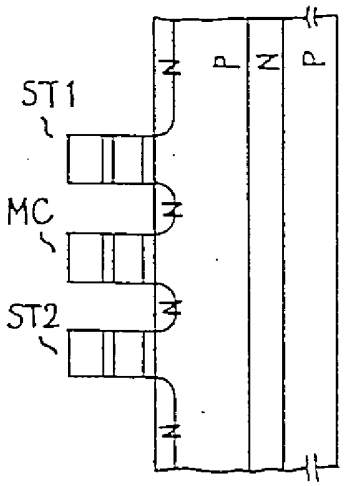
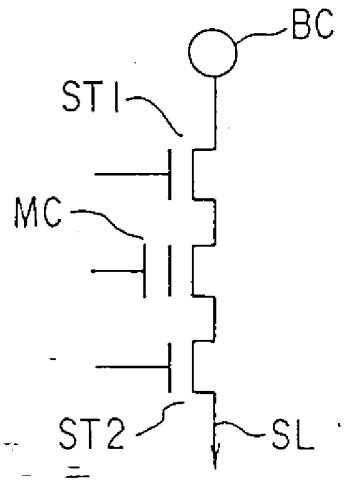


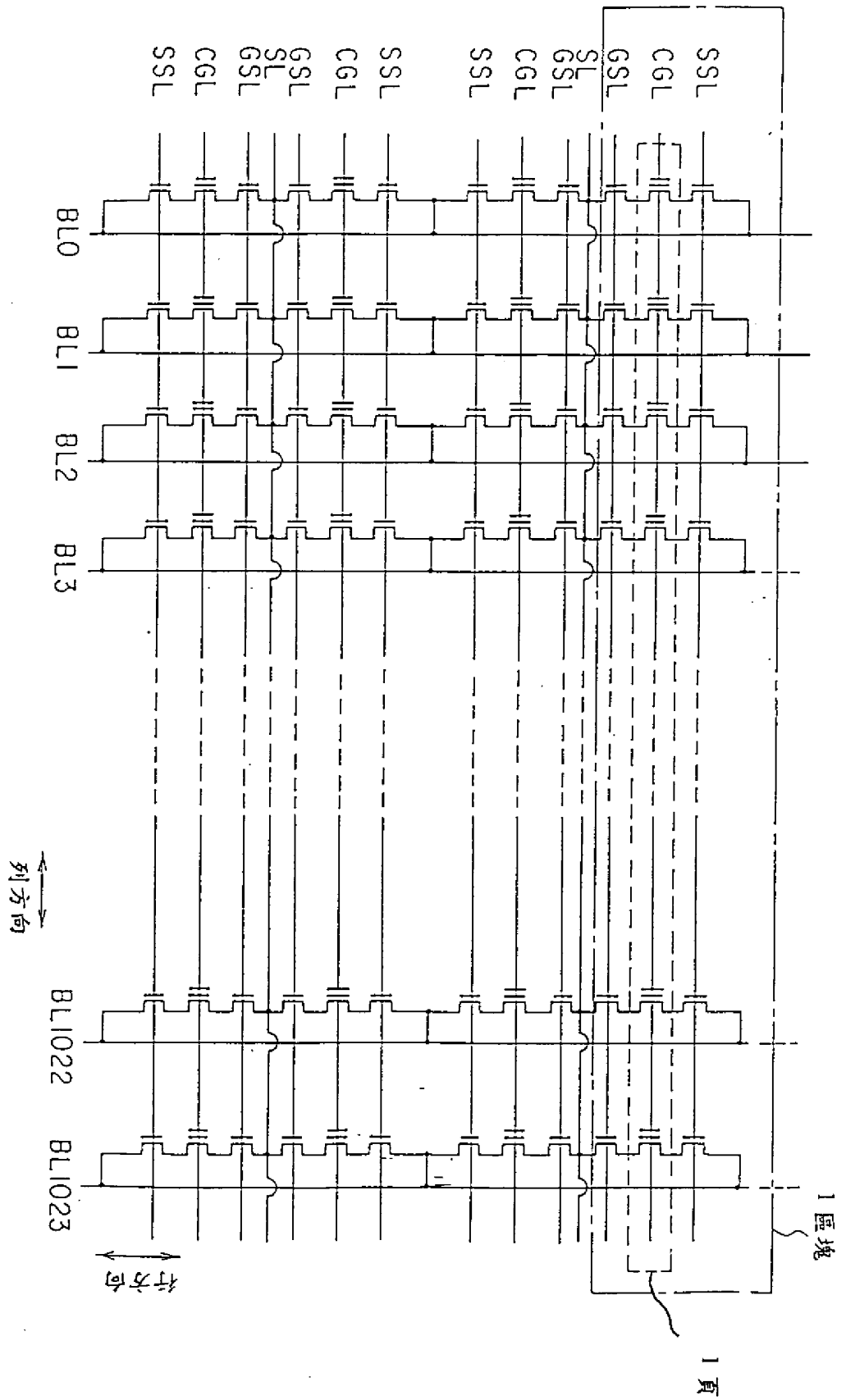
圖 1B

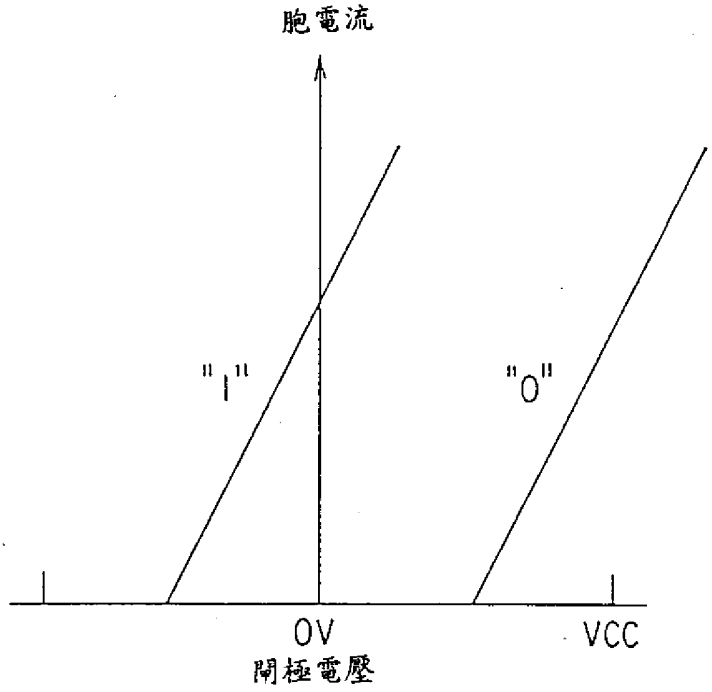
[圖 1]



[圖 2]

[圖 3]


SSL
CGL
GSL
SSL
CGL
GSL
SSL
CGL
GSL
SSL
CGL
GSL
BL0
BL1
BL2
BL3
BL1022
BL1023
列方向
行方向
1區塊
1頁



[圖 4]

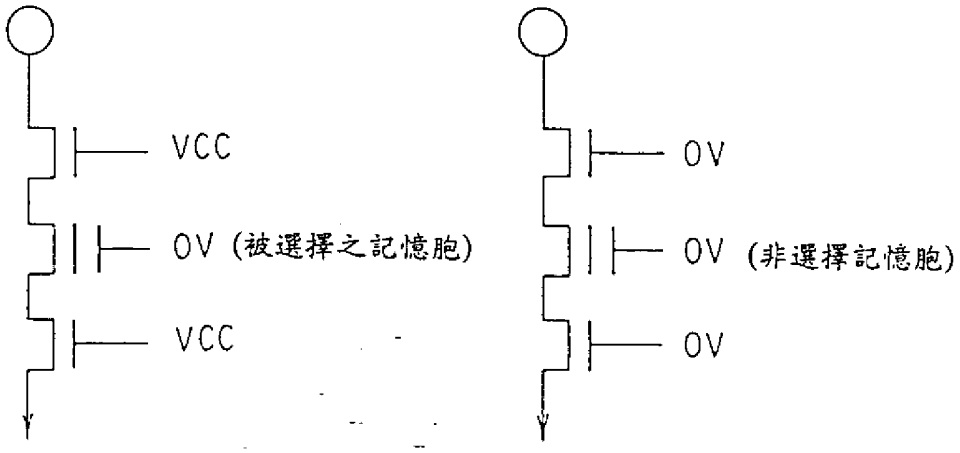
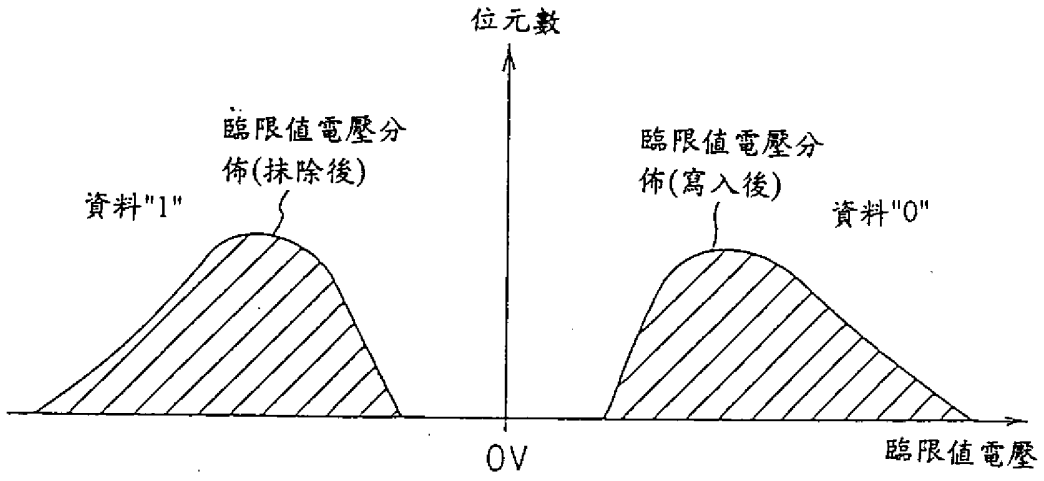
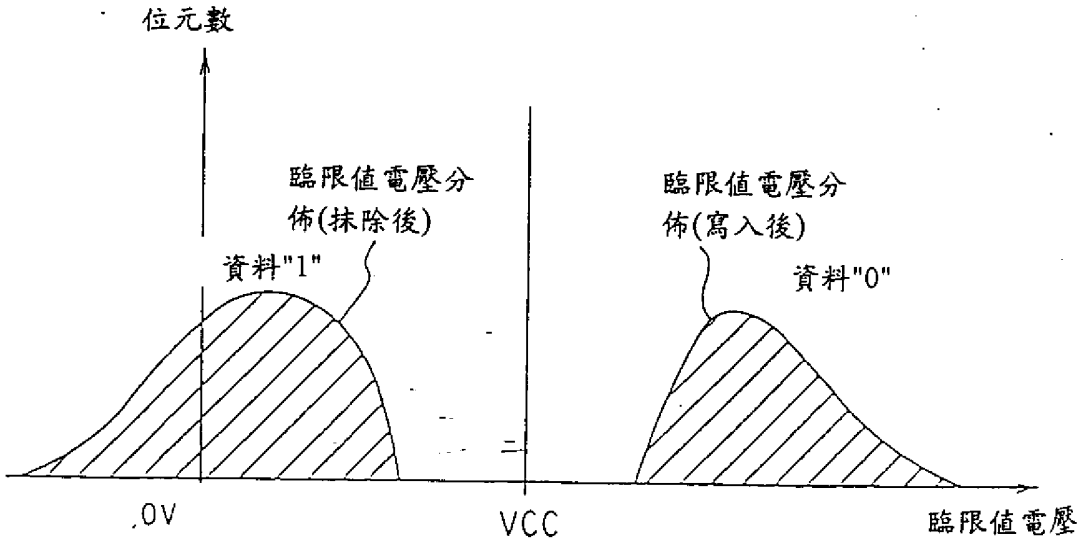


圖 5A　　圖 5B

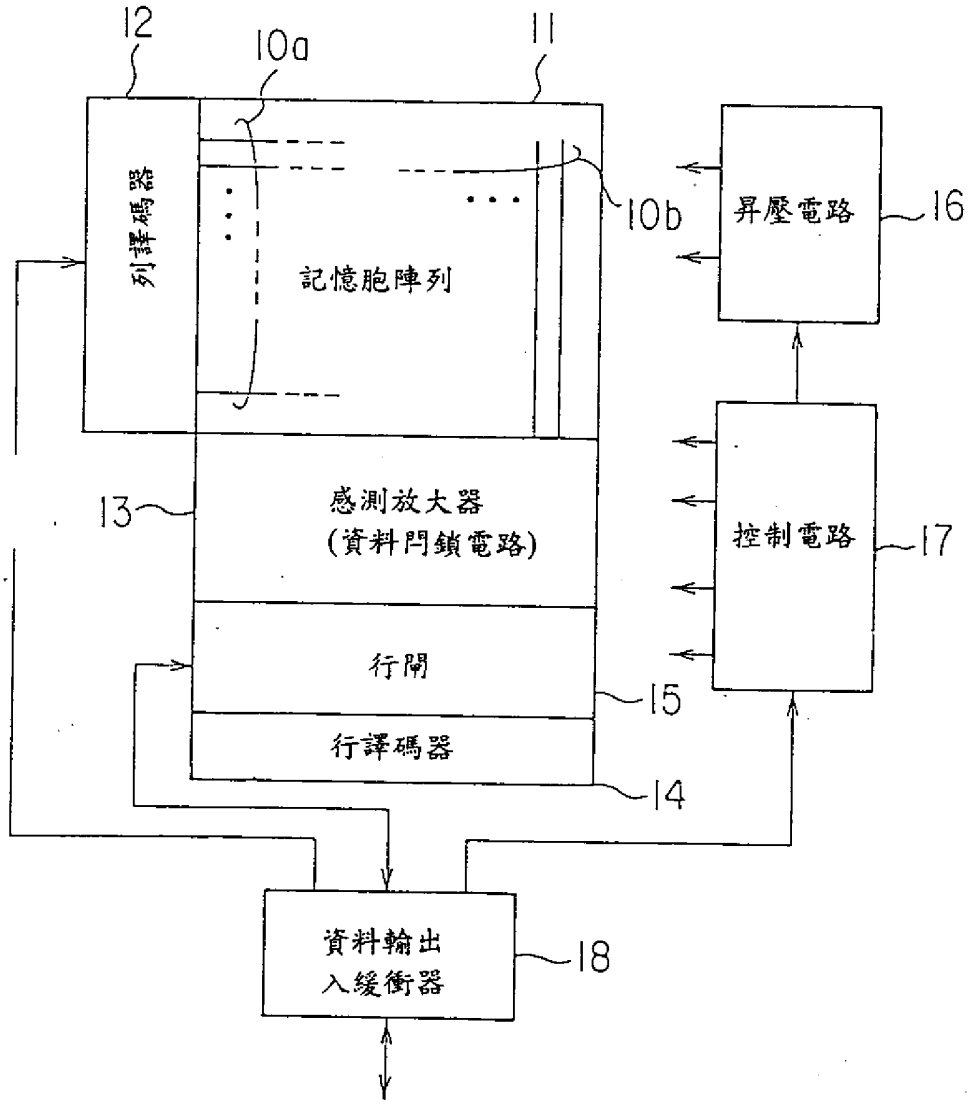
[圖 5]


位元數
臨限值電壓分佈(抹除後)
資料"1"
臨限值電壓分佈(寫入後)
資料"0"
0V
臨限值電壓

[圖 6]

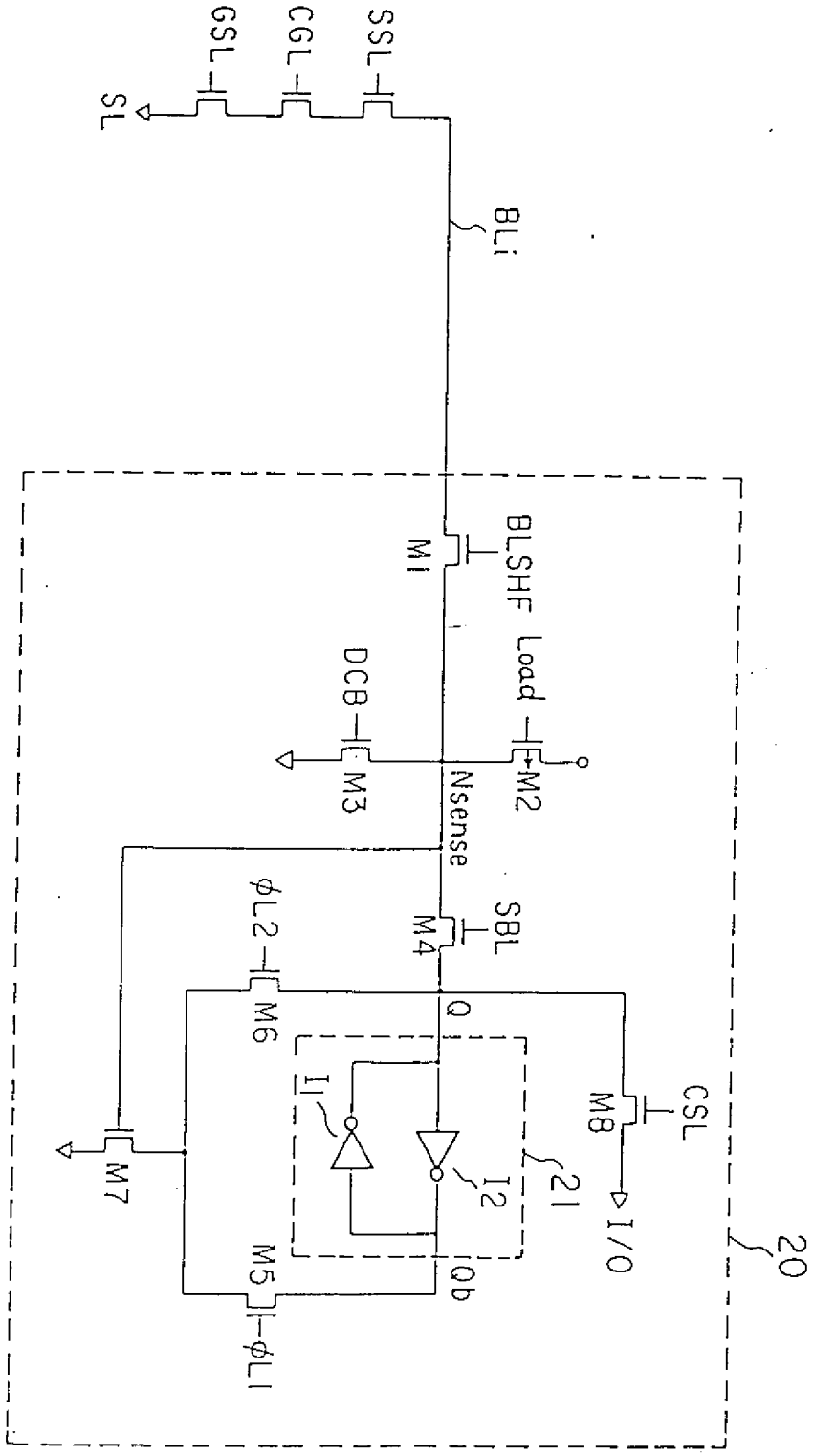

位元數
臨限值電壓分佈(抹除後)
資料"1"
臨限值電壓分佈(寫入後)
資料"0"
.0V
VCC
臨限值電壓

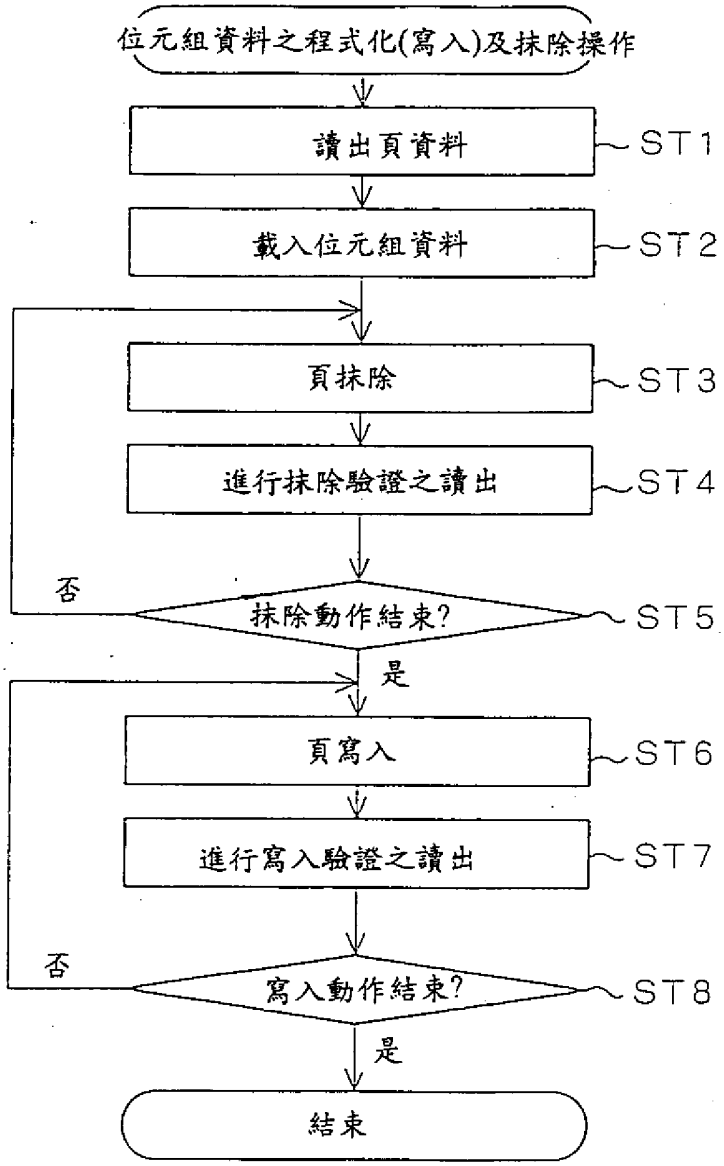
[圖 7]


12
10a
11
列譯碼器
記憶胞陣列
10b
昇壓電路
16
感測放大器
(資料閂鎖電路)
13
控制電路
17
行閘
15
行譯碼器
14
資料輸出
入緩衝器
18

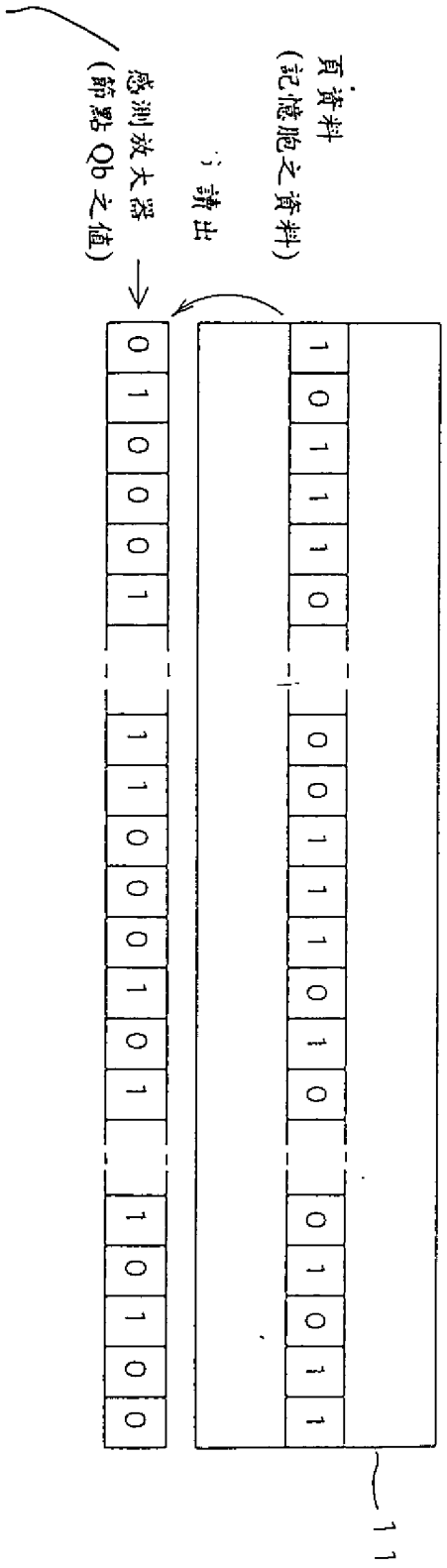
[圖 8]

[圖 9]

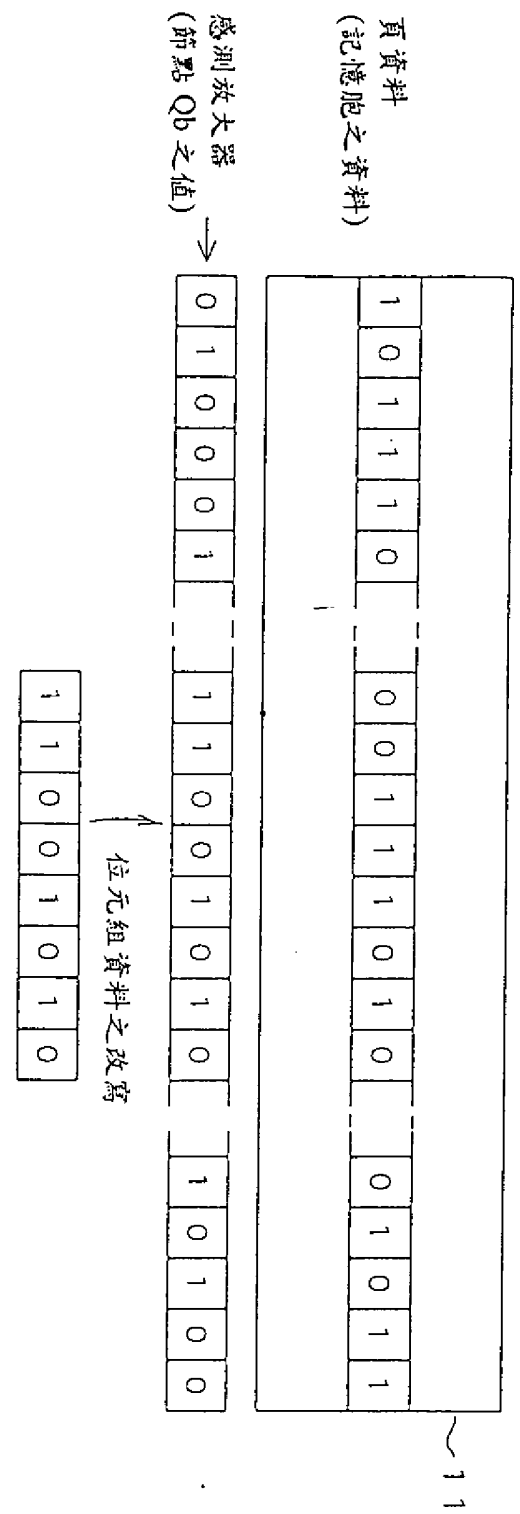

SL
GSL
CGL
SSL
BLi
M1
BLSHF
Load
M2
DCB
M3
Nsense
SBL
M4
φL2
M6
Q
I1
I2
21
M8
CSL
I/O
M7
M5
Qb
φL1
20


位元組資料之程式化(寫入)及抹除操作
讀出頁資料
ST1
載入位元組資料
ST2
頁抹除
ST3
進行抹除驗證之讀出
ST4
否
抹除動作結束?
ST5
是
頁寫入
ST6
進行寫入驗證之讀出
ST7
否
寫入動作結束?
ST8
是
結束

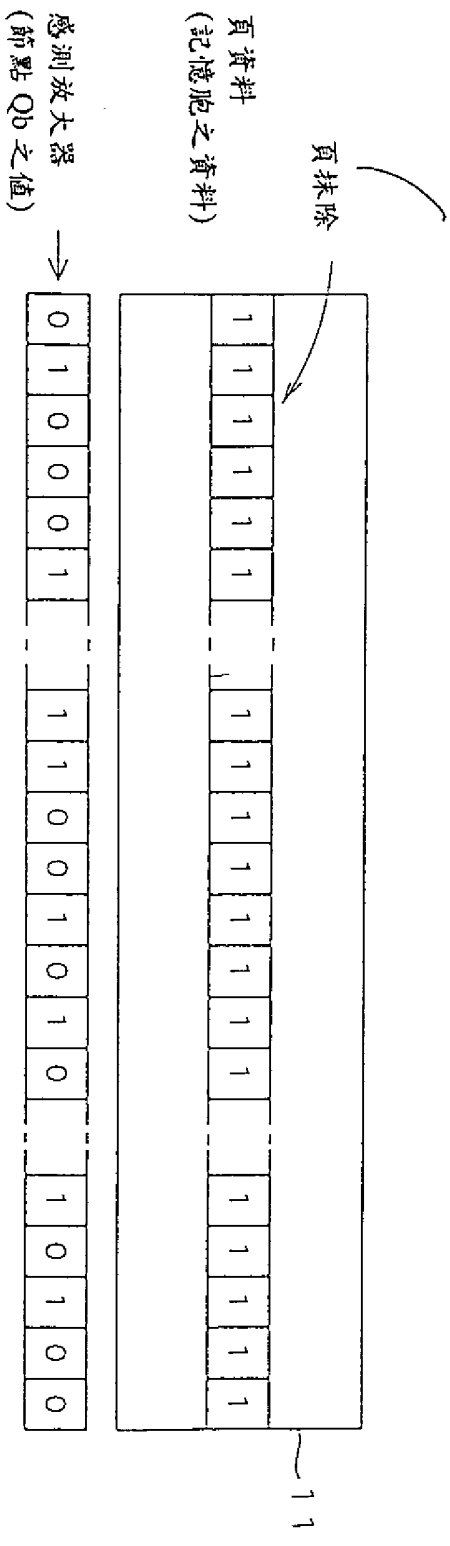
[圖 10]



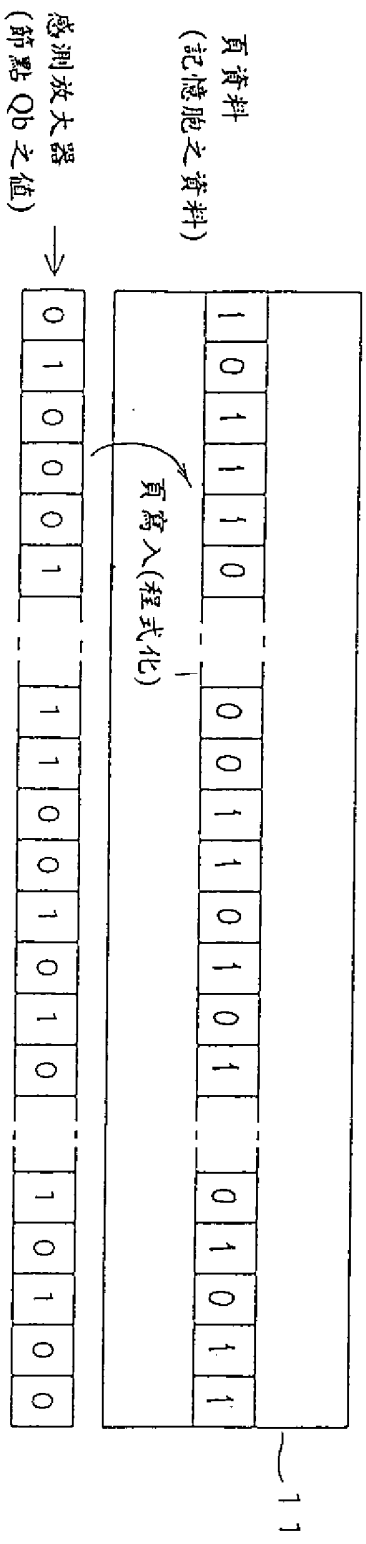
[圖 11]



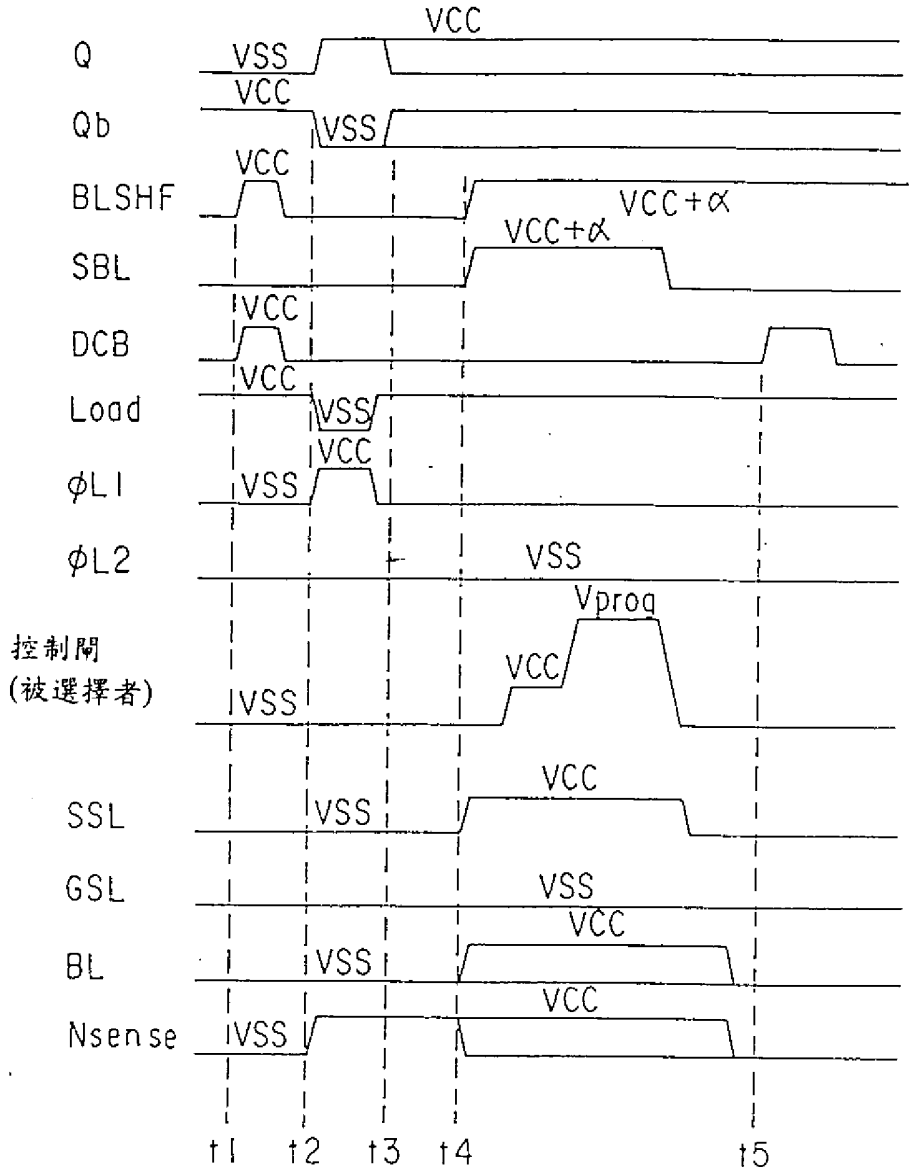
[圖 12]



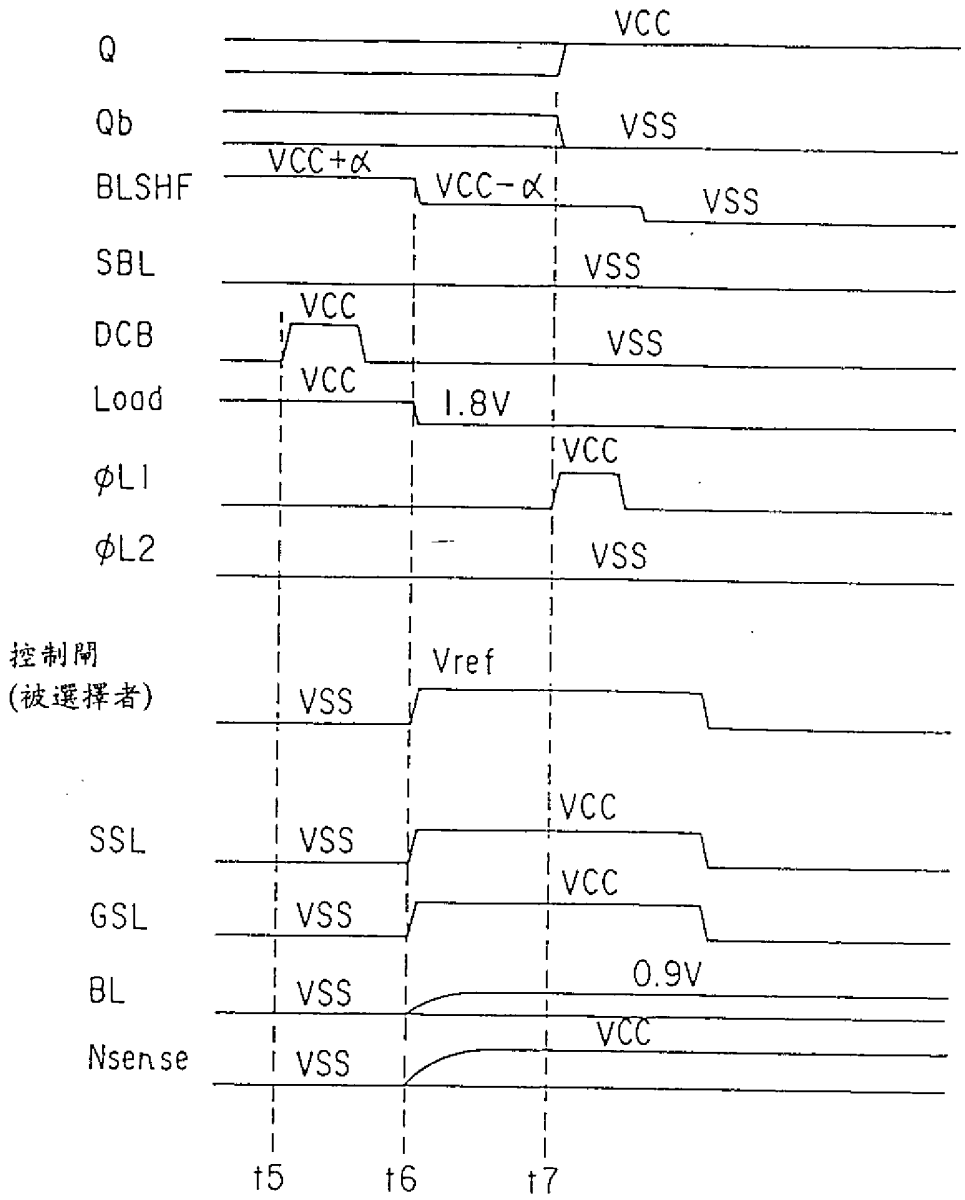
[圖 13]



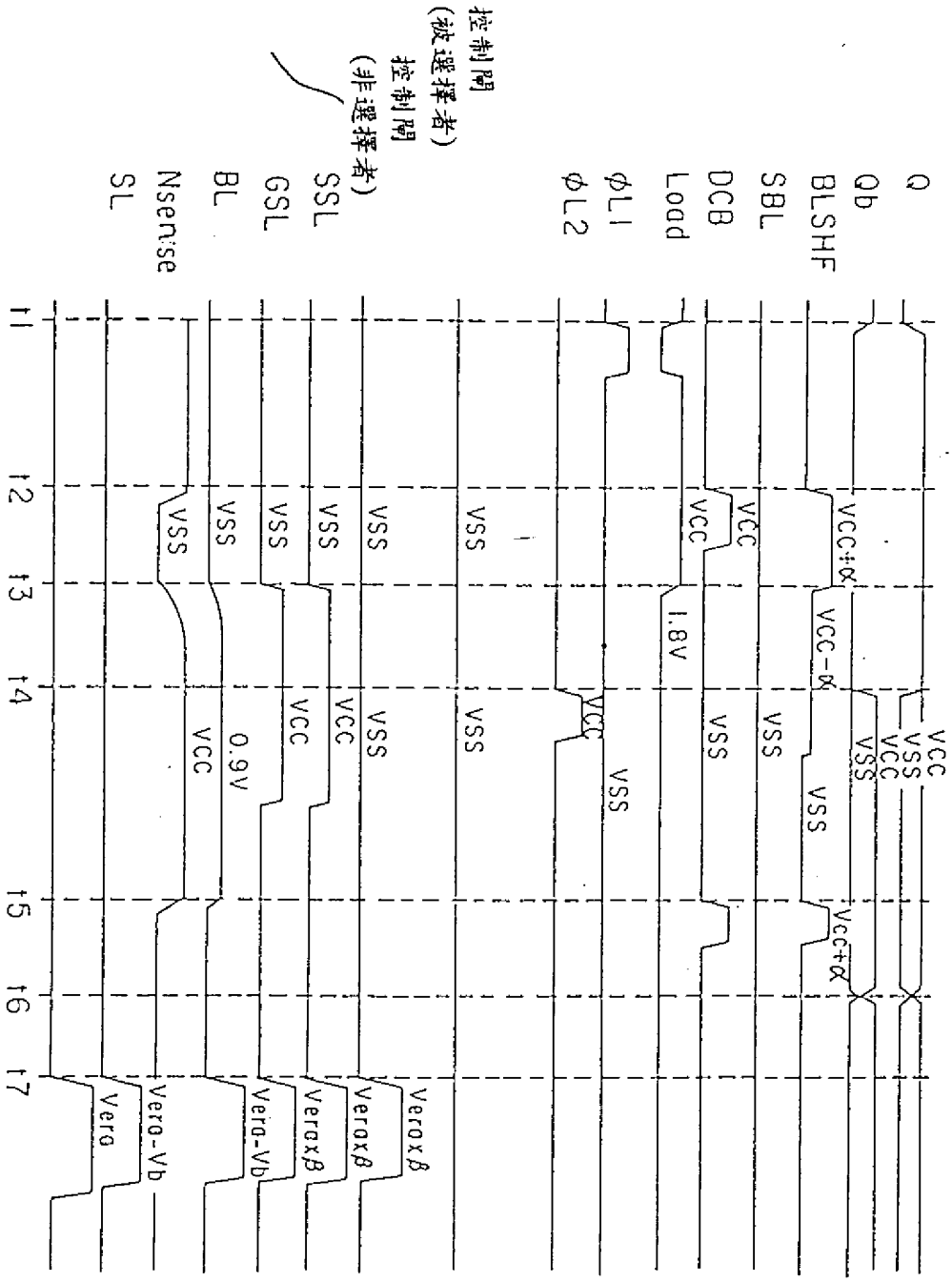
[圖 14]


Q
Qb
BLSHF
SBL
DCB
Load
φL1
φL2
控制閘
(被選擇者)
SSL
GSL
BL
Nsense
VCC
VSS
VCC+α
Vprog
t1
t2
t3
t4
t5

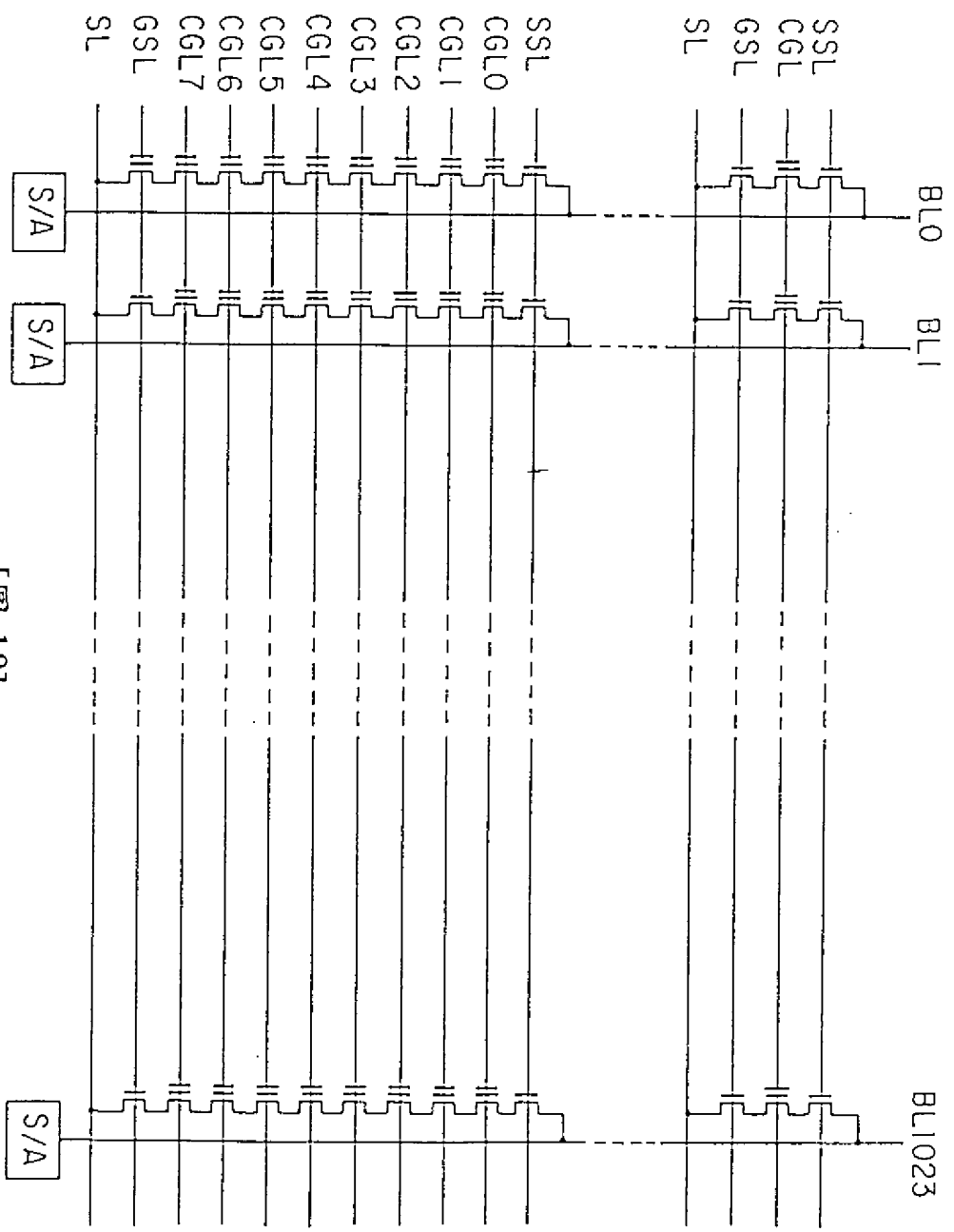
[圖 15]


Q
Qb
BLSHF
SBL
DCB
Load
φL1
φL2
控制閘
(被選擇者)
SSL
GSL
BL
Nsense
VCC
VSS
VCC+α
VCC-α
1.8V
Vref
0.9V
t5
t6
t7

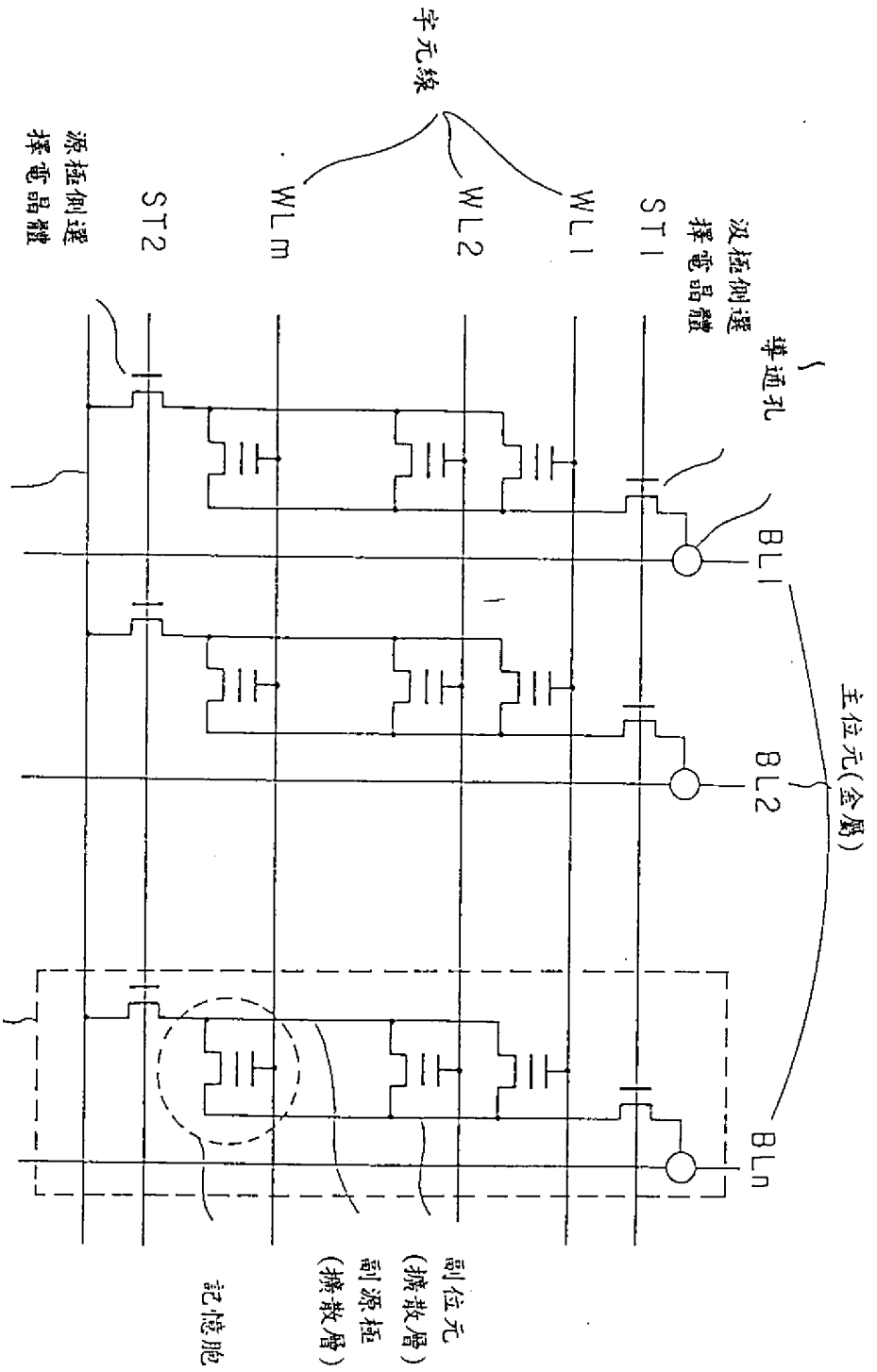
[圖 16]


Q
Qb
BLSHF
SBL
DCB
Load
φL1
φL2
控制閘
(被選擇者)
控制閘
(非選擇者)
SSL
GSL
BL
Nsense
SL
t1
t2
t3
t4
t5
t6
t7
VCC
VSS
VCC+α
VCC-α
1.8V
0.9V
Verox β
Vera-Vb
Vera

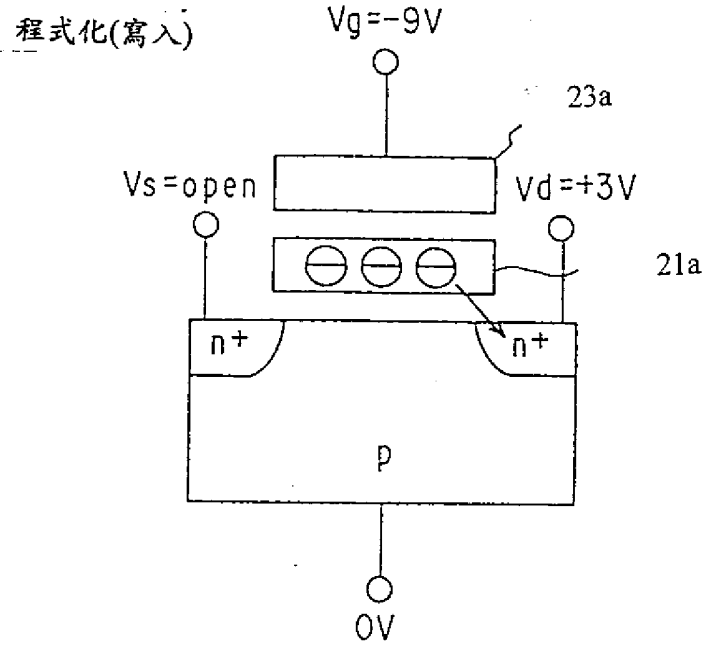
[圖 17]


SL
GSL
CGL7
CGL6
CGL5
CGL4
CGL3
CGL2
CGL1
CGL0
SSL
SL
GSL
CGL
SSL
S/A
S/A
S/A
BL0
BL1
BL1023

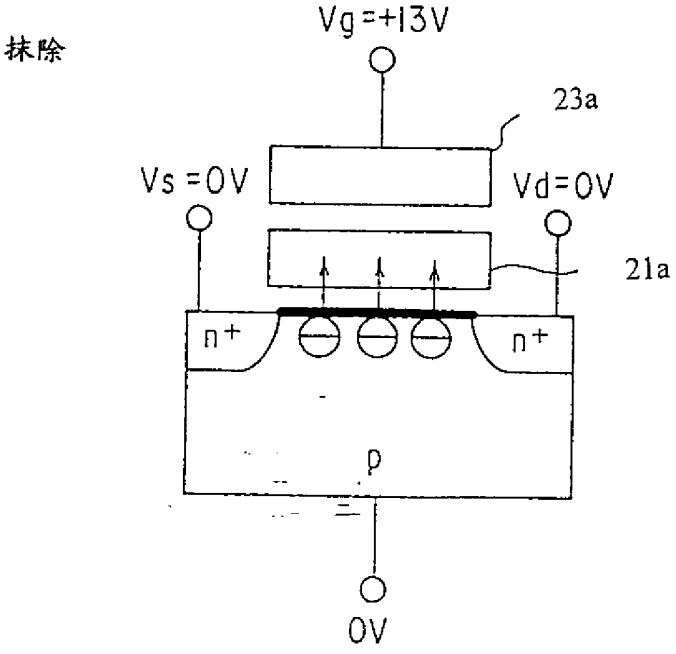
[図 18]


字元線
WL1
WL2
WLm
汲極側選擇電晶體
ST1
源極側選擇電晶體
ST2
導通孔
主位元(金屬)
BL1
BL2
BLn
主源極(擴散層)
AND 單元
副位元(擴散層)
副源極(擴散層)
記憶胞

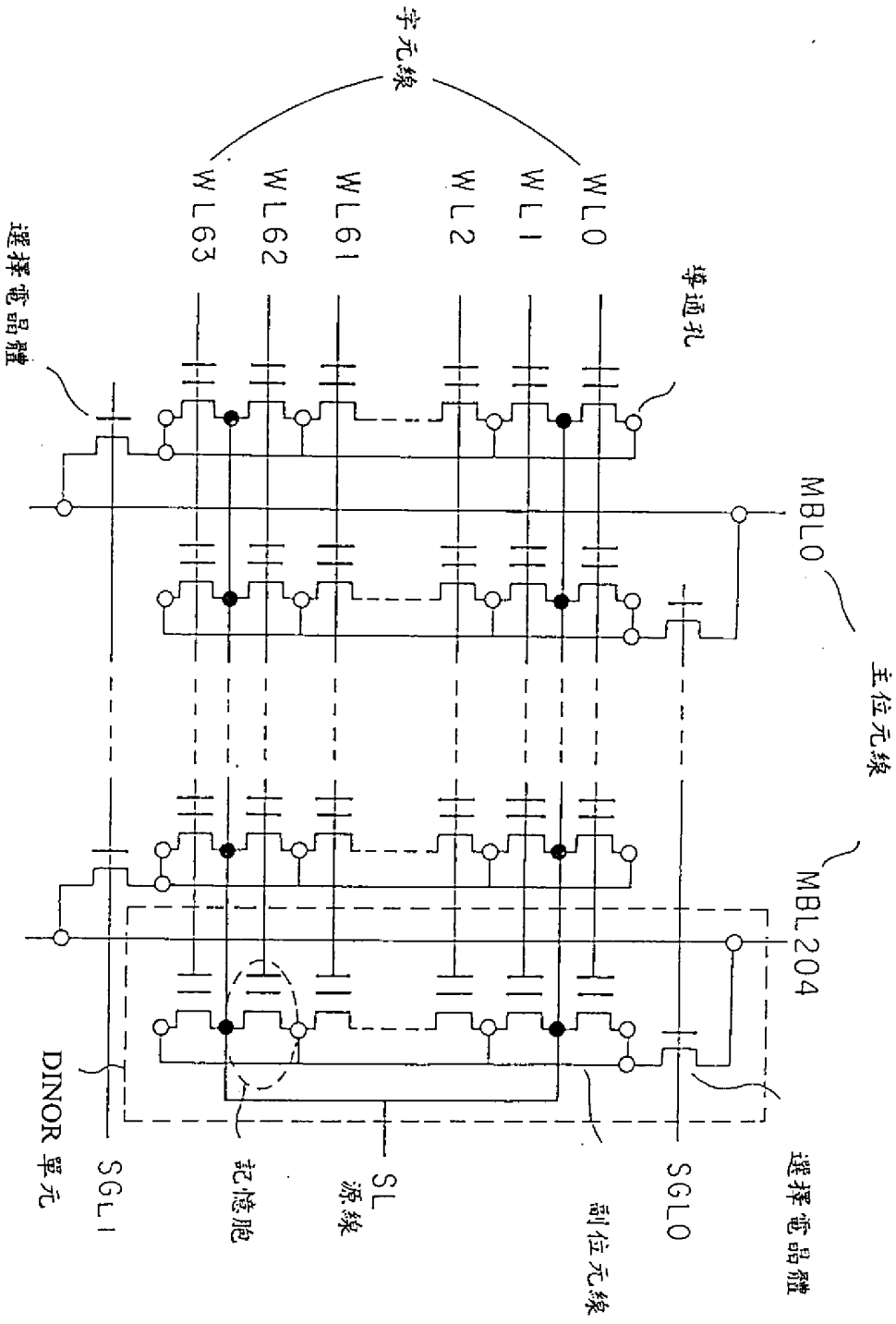
[圖 19]


程式化(寫入)
Vg=-9V
23a
Vs=open
Vd=+3V
21a
n+
n+
p
0V

[圖 20]

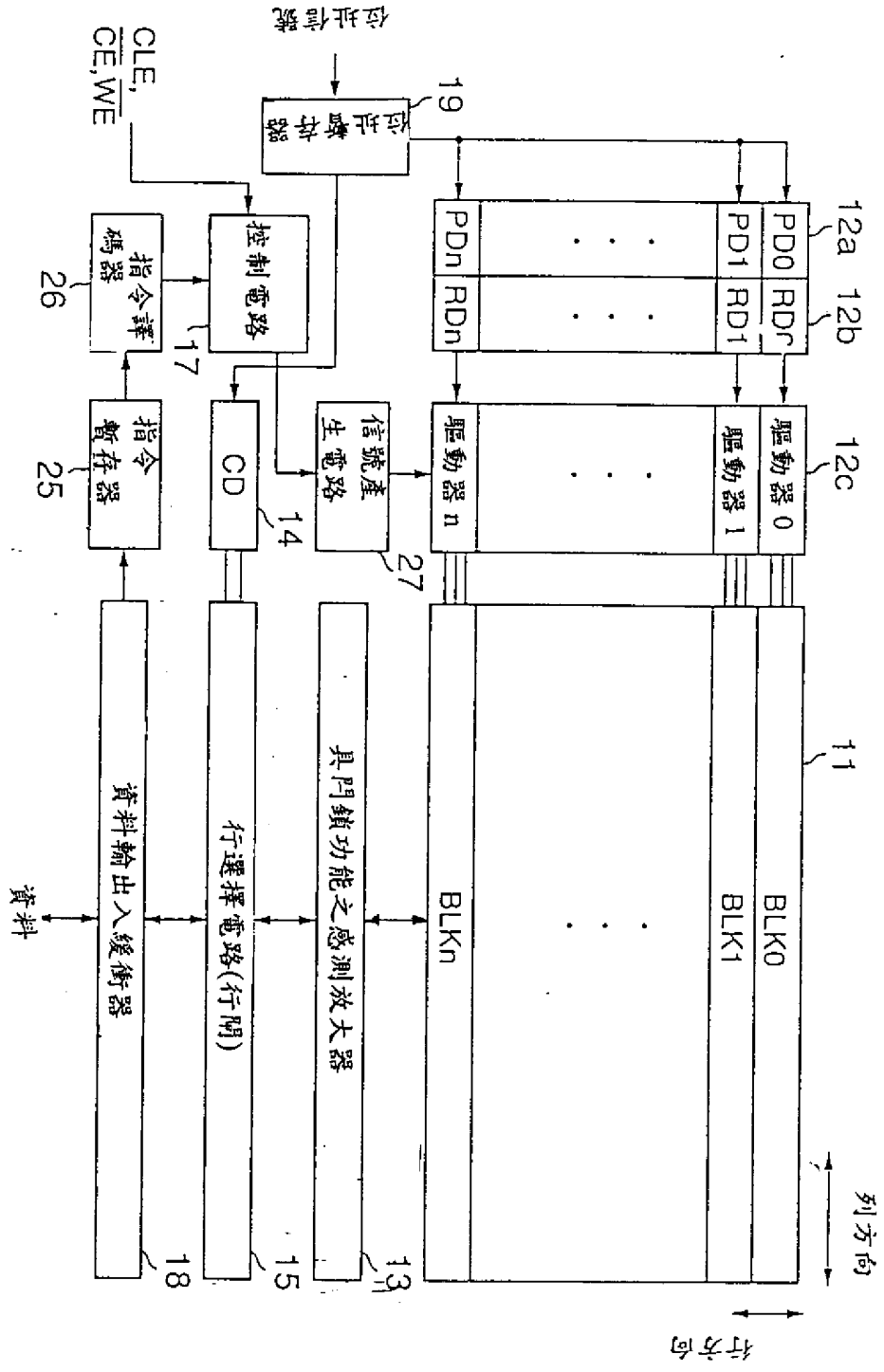

抹除
Vg=+13V
23a
Vs=0V
Vd=0V
21a
n+
n+
p
0V

[圖 21]

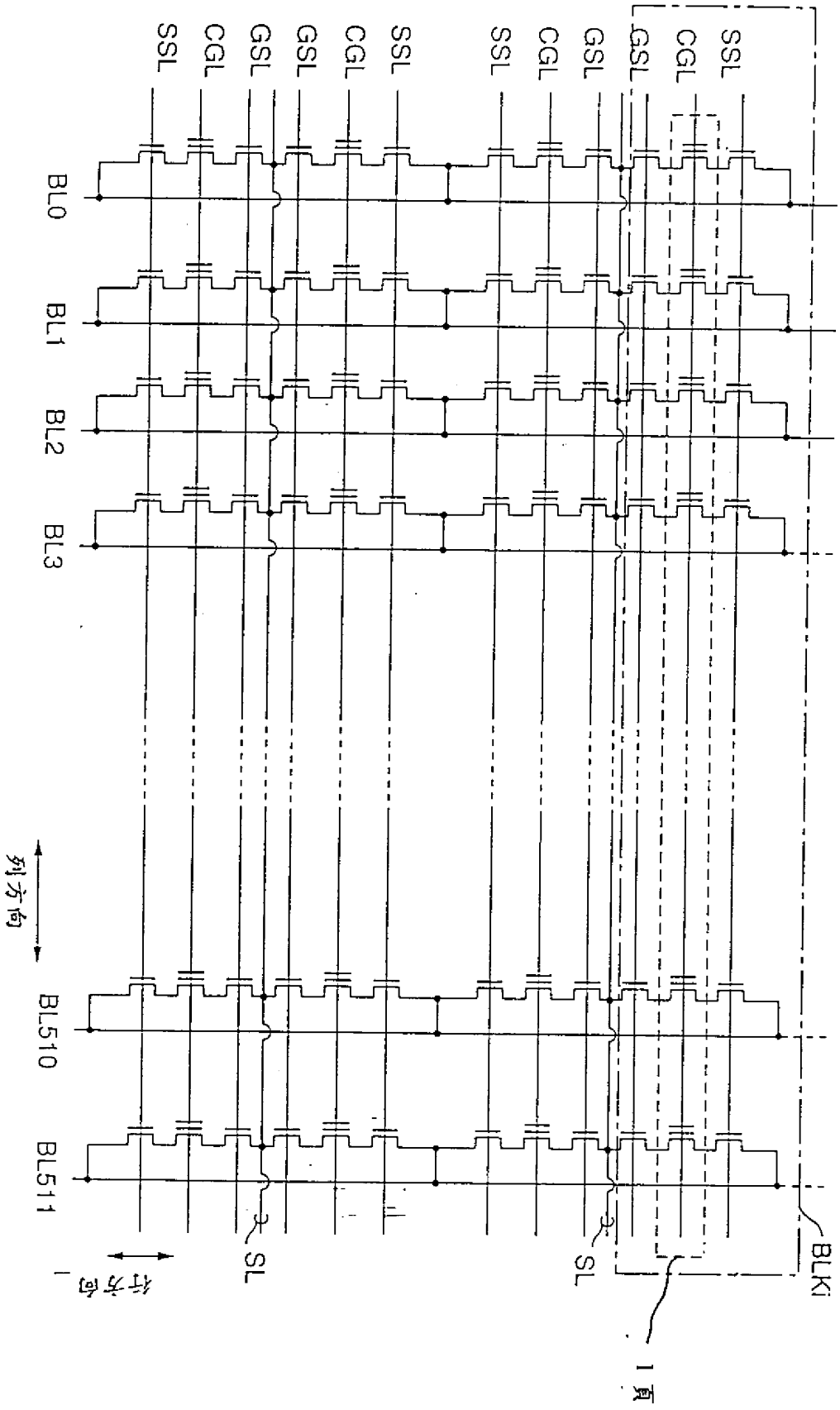

字元線
WL0
WL1
WL2
WL61
WL62
WL63
導通孔
選擇電晶體
MBL0
主位元線
MBL204
選擇電晶體
SGL0
副位元線
SL
源線
記憶胞
SGL1
DINOR 單元

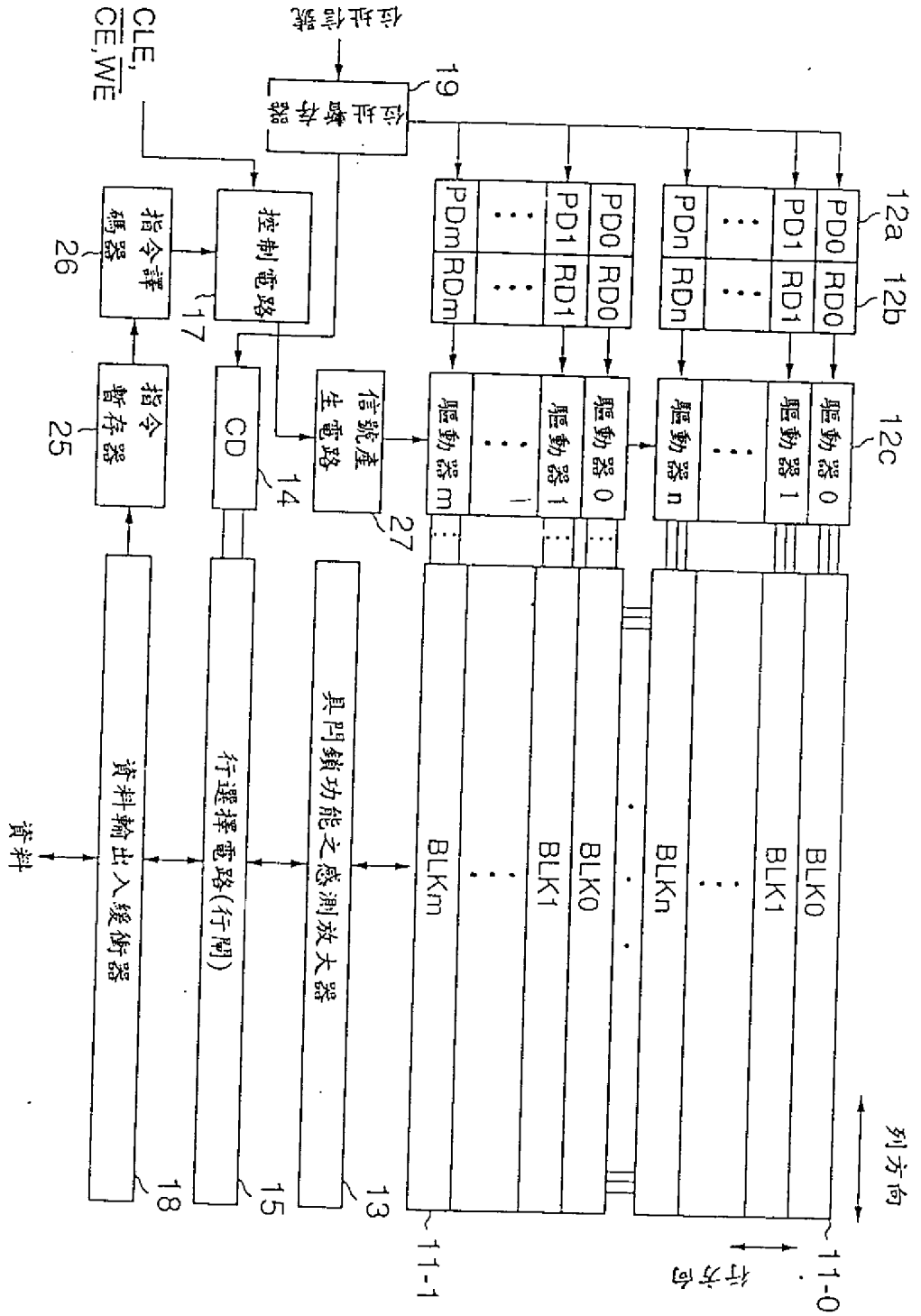
[圖 22]

[圖 23]


位址信號
CLE,
CE,WE
19
位址暫存器
12a
12b
12c
PD0
PD1
PDn
RD0
RD1
RDn
驅動器 0
驅動器 1
驅動器 n
指令譯碼器
26
控制電路
17
指令暫存器
25
CD
14
信號產生電路
27
11
BLK0
BLK1
BLKn
具閂鎖功能之感測放大器
13
行選擇電路(行閘)
15
資料輸出入緩衝器
18
資料
列方向
行方向

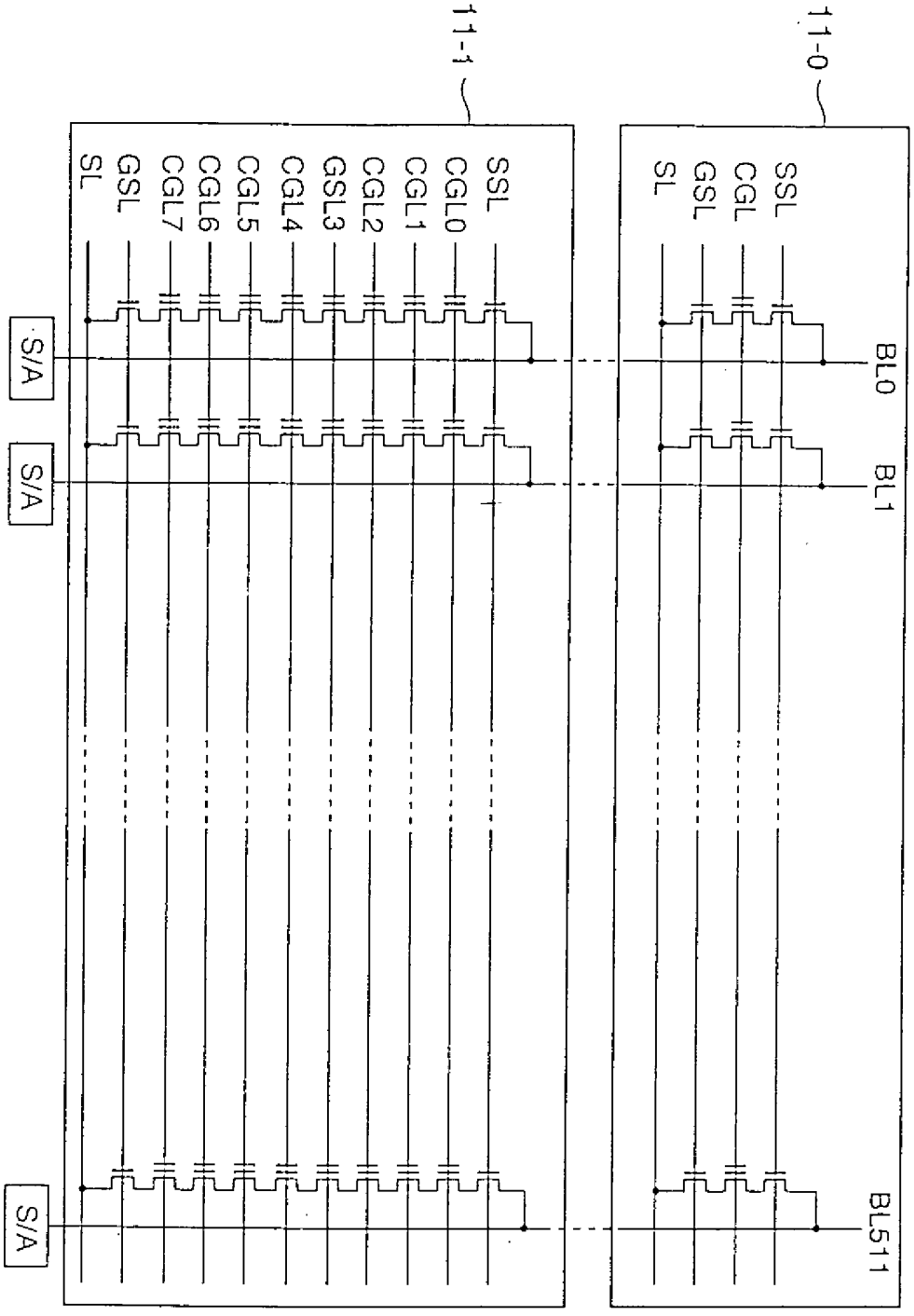
[圖 24]


SSL
CGL
GSL
GSL
CGL
SSL
SSL
CGL
GSL
GSL
CGL
SSL
BL0
BL1
BL2
BL3
BL510
BL511
列方向
行方向
SL
SL
BLKi
1頁

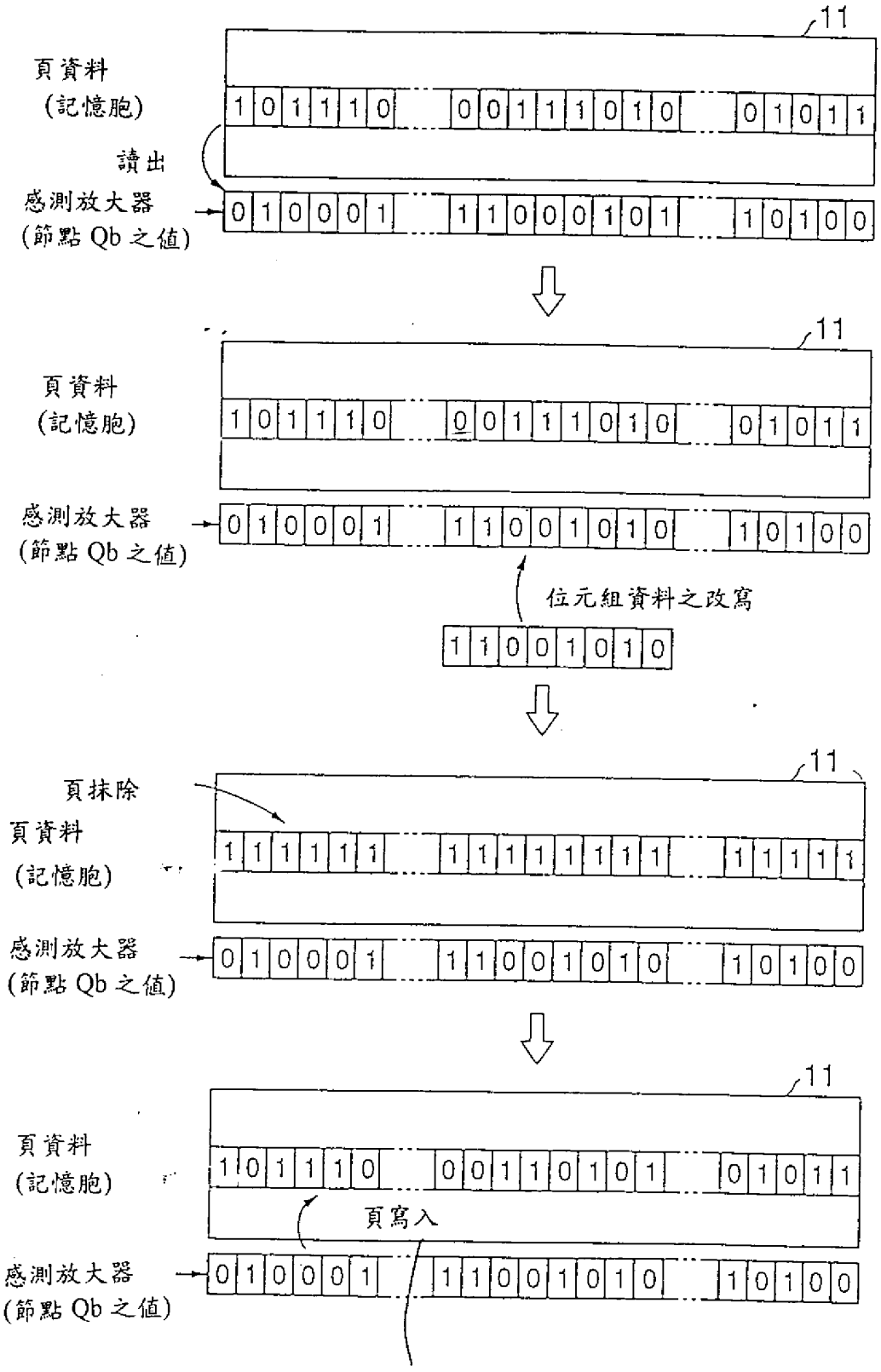

位址暫存器
19
CLE,
CE,WE
控制電路
17
指令譯碼器
26
指令暫存器
25
CD
14
信號產生電路
27
驅動器 0
驅動器 1
驅動器 m
驅動器 n
PD0
PD1
PDm
PDn
RD0
RD1
RDm
RDn
12a
12b
12c
BLK0
BLK1
BLKm
BLKn
11-0
11-1
列方向
行方向
具門鎖功能之感測放大器
13
行選擇電路(行閘)
15
資料輸出入緩衝器
18
資料

[圖 25]

[圖 26]

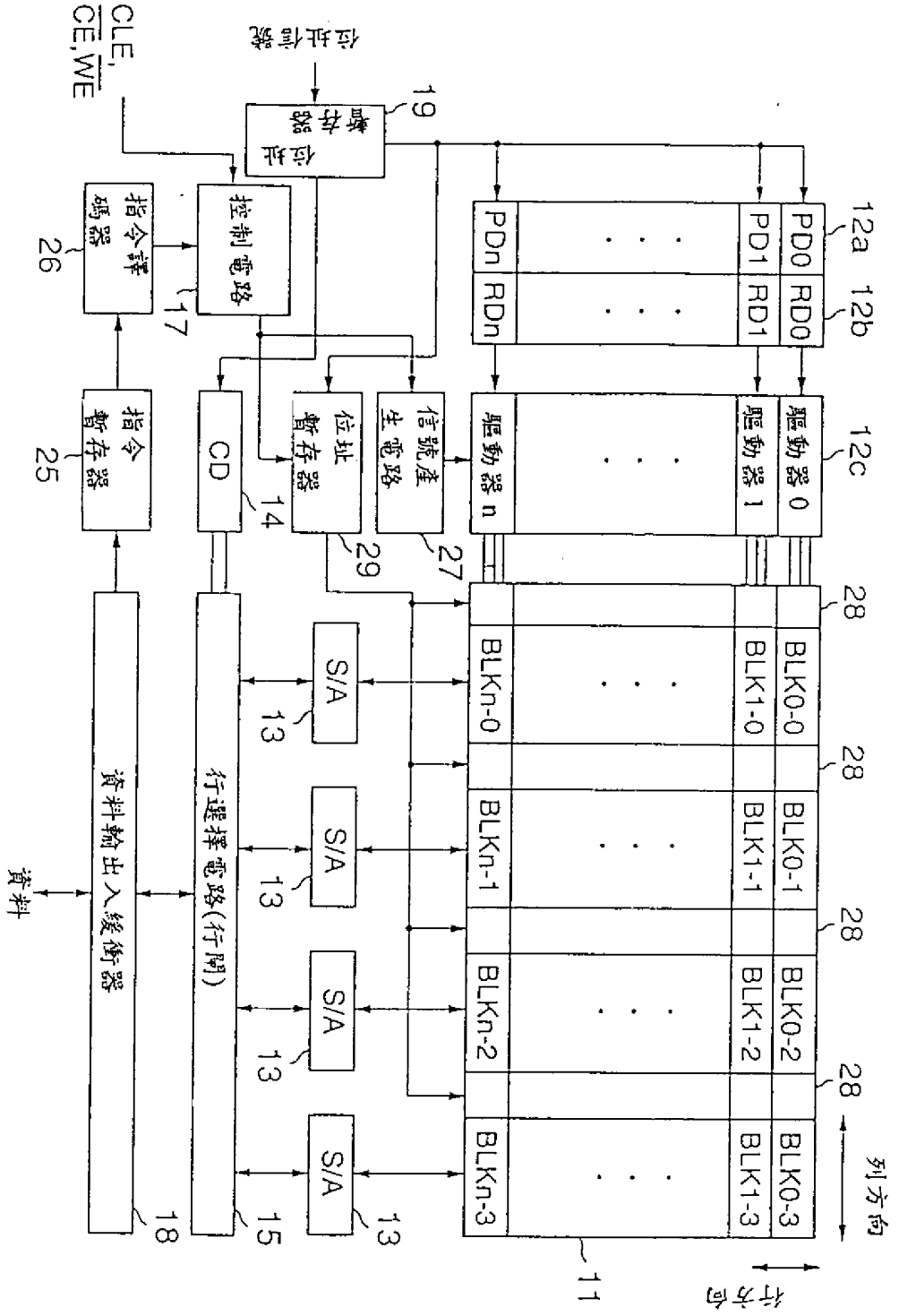

11-0
11-1
SSL
CGL
GSL
SL
CGL0
CGL1
CGL2
GSL3
CGL4
CGL5
CGL6
CGL7
BL0
BL1
BL511
S/A
S/A
S/A

位元組單元之資料改寫動作

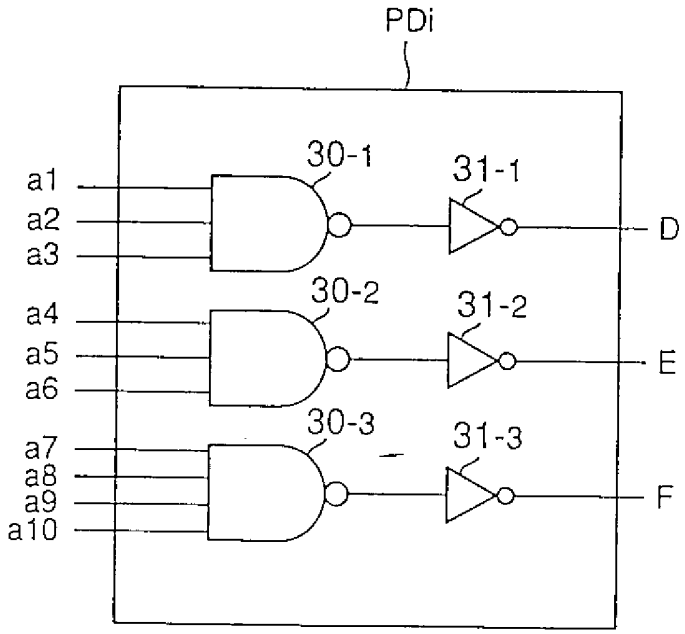


[圖 27]

462133

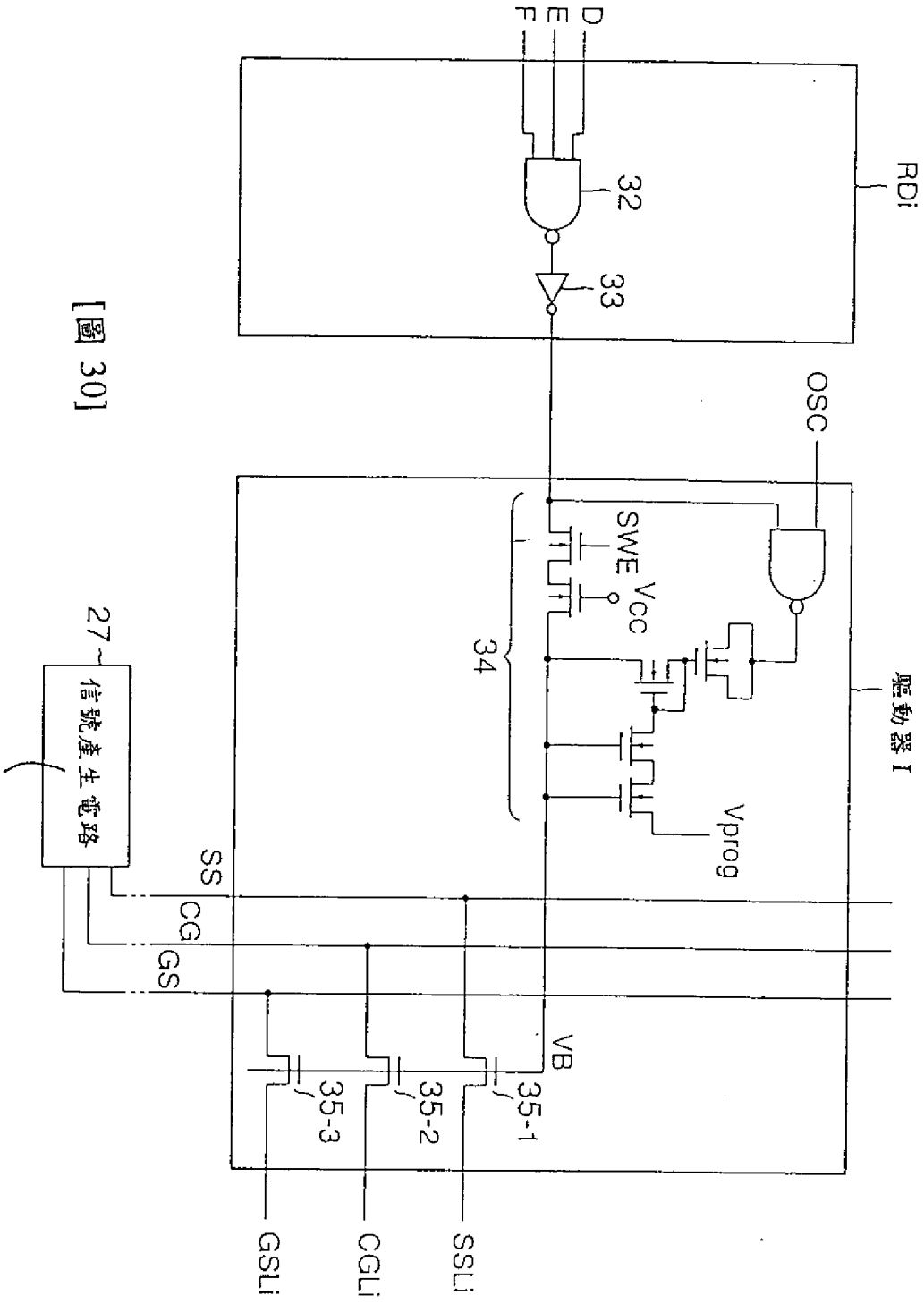

位址信號
CLE,
CE,WE
19
位址暫存器
指令譯碼器
26
控制電路
17
指令暫存器
25
CD
14
位址暫存器
29
信號產生電路
27
12a
12b
12c
PD0
RD0
PD1
RD1
PDn
RDn
驅動器 0
驅動器 1
驅動器 n
28
BLK0-0
BLK1-0
BLKn-0
BLK0-1
BLK1-1
BLKn-1
BLK0-2
BLK1-2
BLKn-2
BLK0-3
BLK1-3
BLKn-3
列方向
行方向
11
S/A
13
行選擇電路(行閘)
15
資料輸出入緩衝器
18
資料

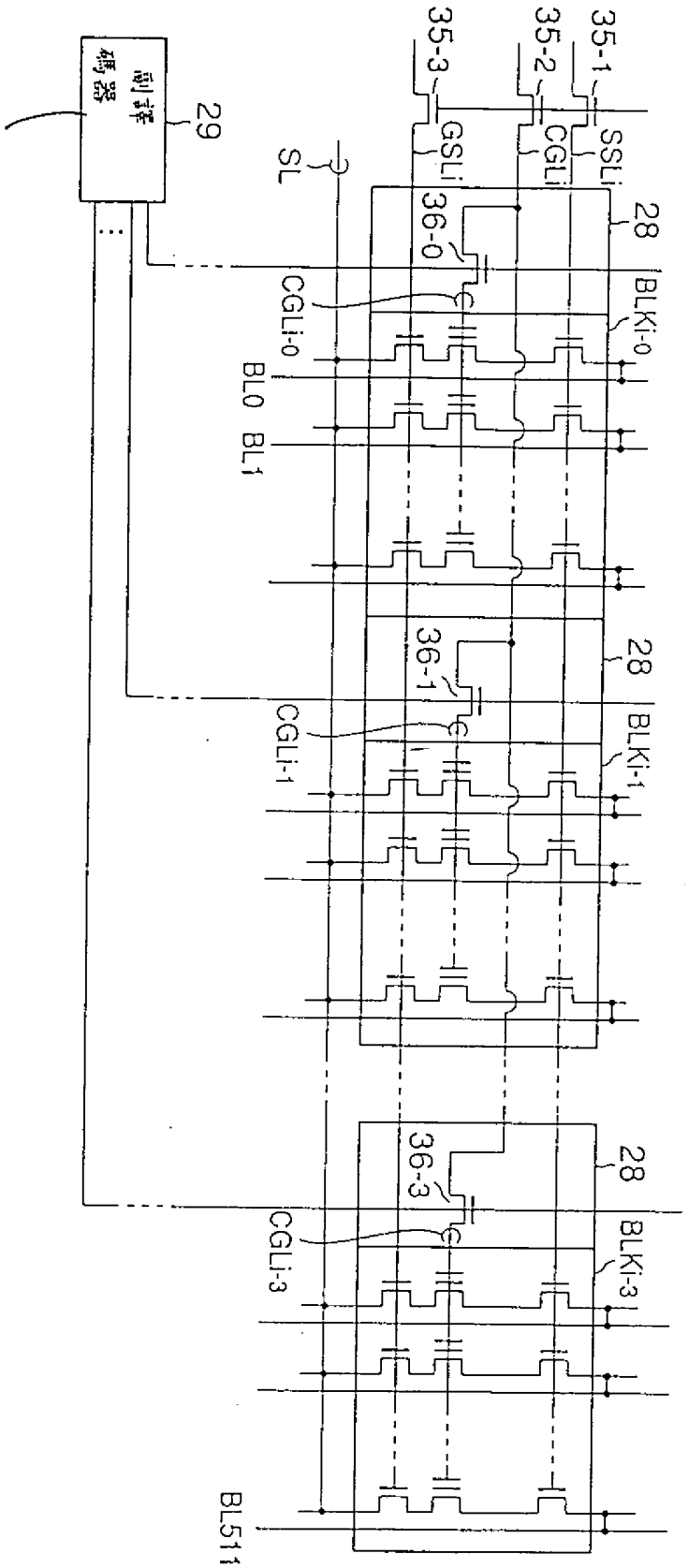
[圖 28]



[圖 29]

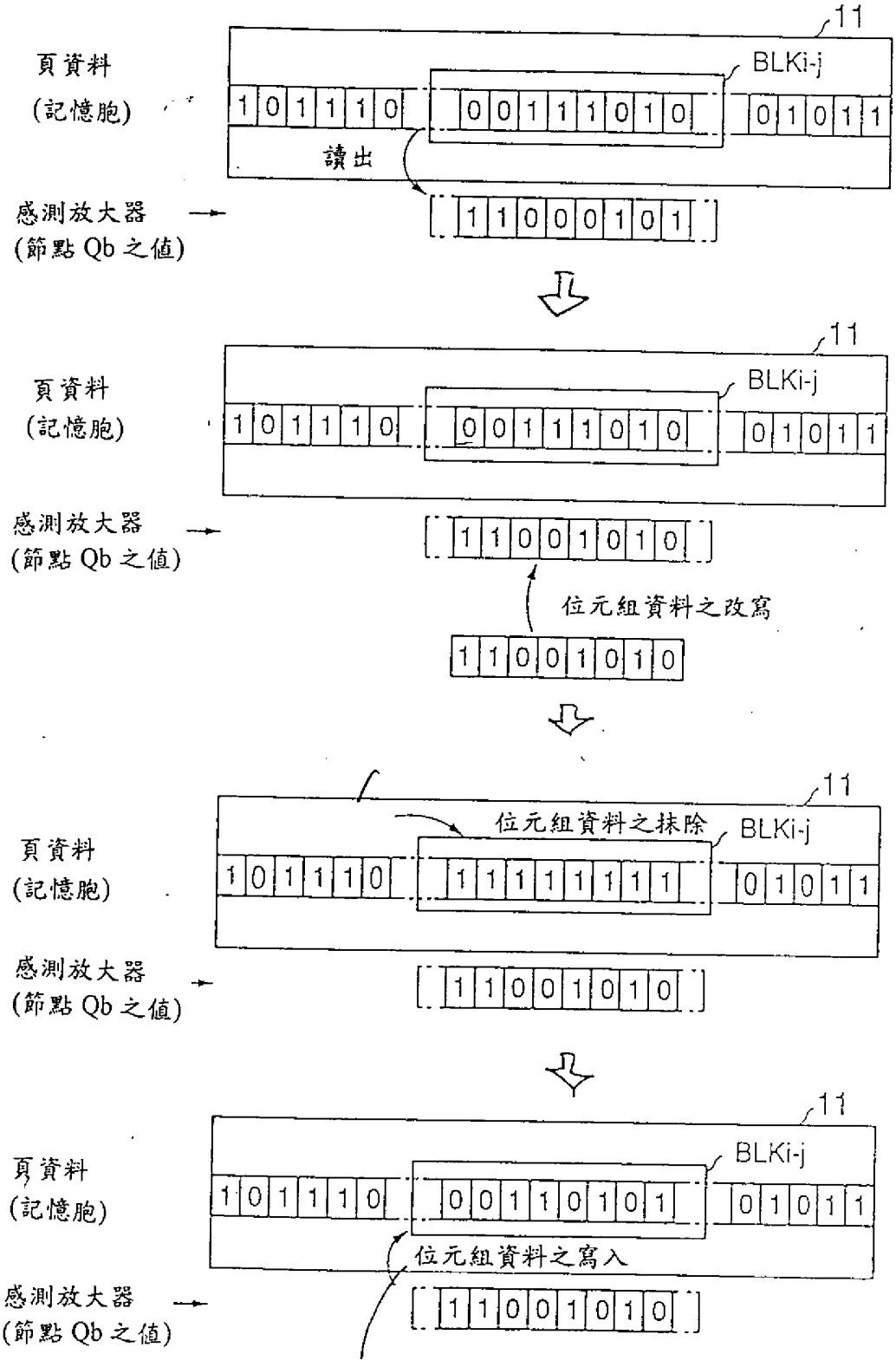
[圖 30]


D
E
F
32
33
RDi
OSC
SWE
Vcc
34
Vprog
驅動器 I
27
信號產生電路
SS
CG
GS
VB
35-1
35-2
35-3
GSLi
CGLi
SSLi


列譯碼器
29
35-1
35-2
35-3
SSLi
CGLi
GSLi
SL
28
36-0
36-1
36-3
BLKi-0
BLKi-1
BLKi-3
CGLi-0
CGLi-1
CGLi-3
BL0
BL1
BL511

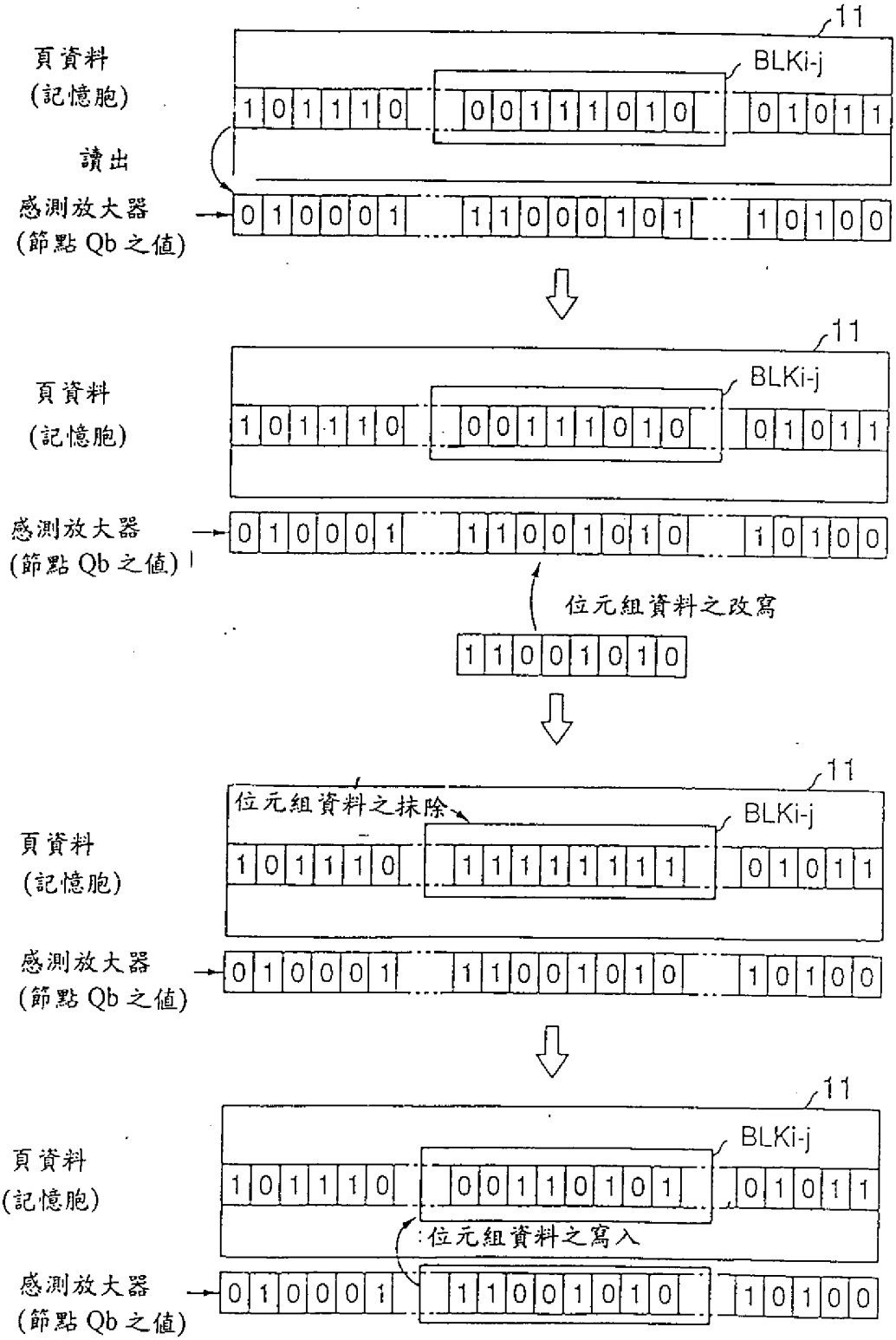
[圖 31]

位元組單元之資料改寫動作



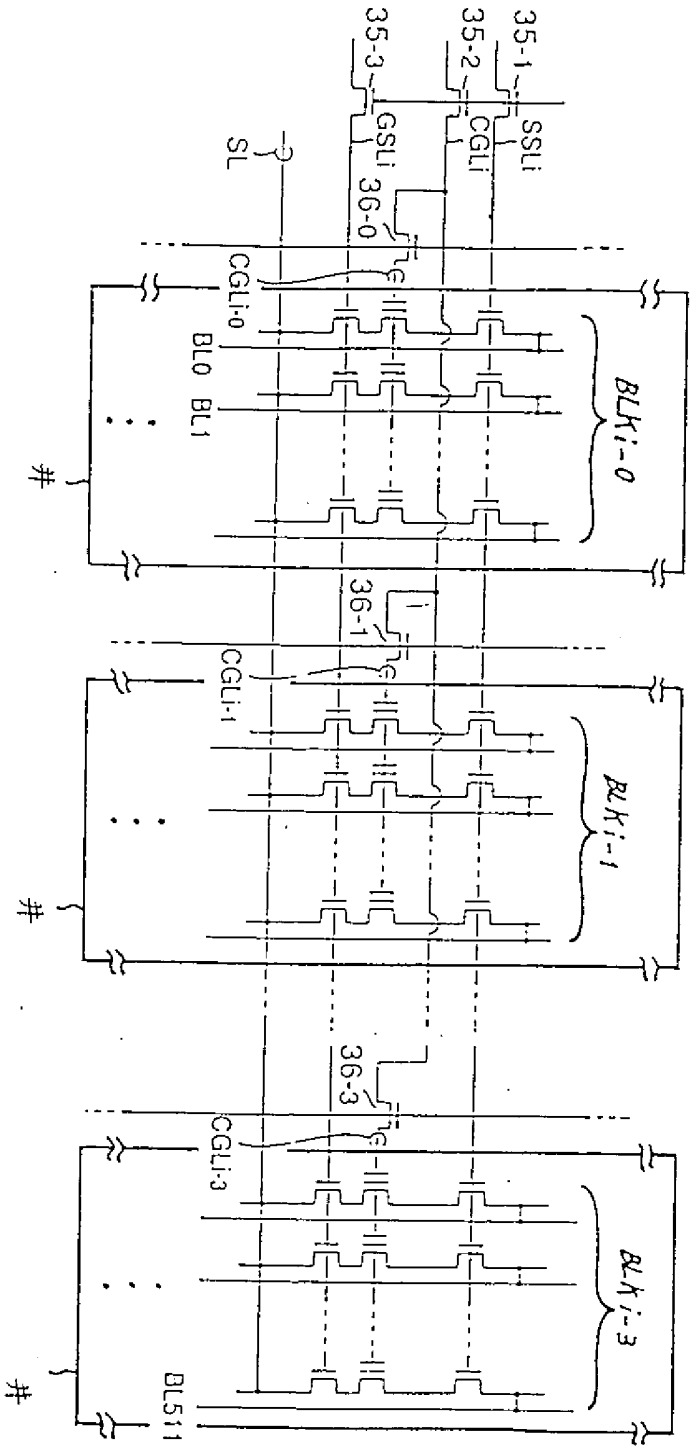
[圖 32]

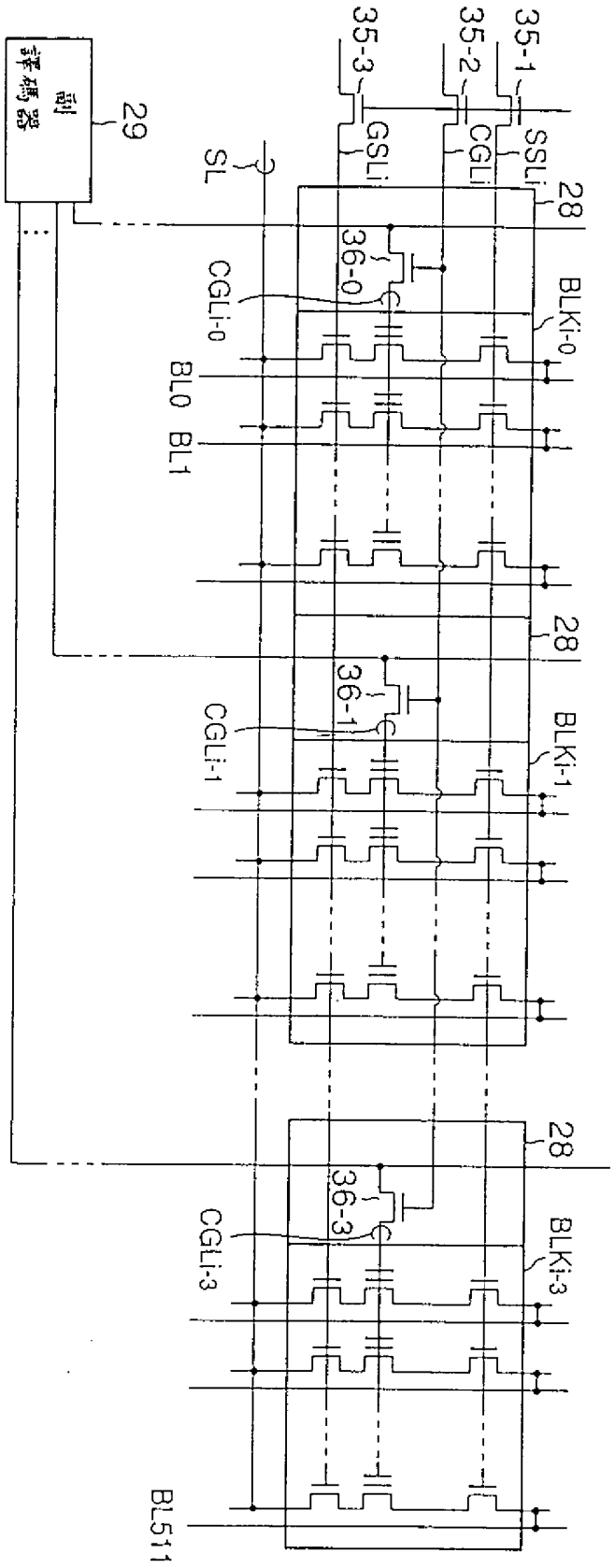
位元組單元之資料改寫動作



[圖 33]

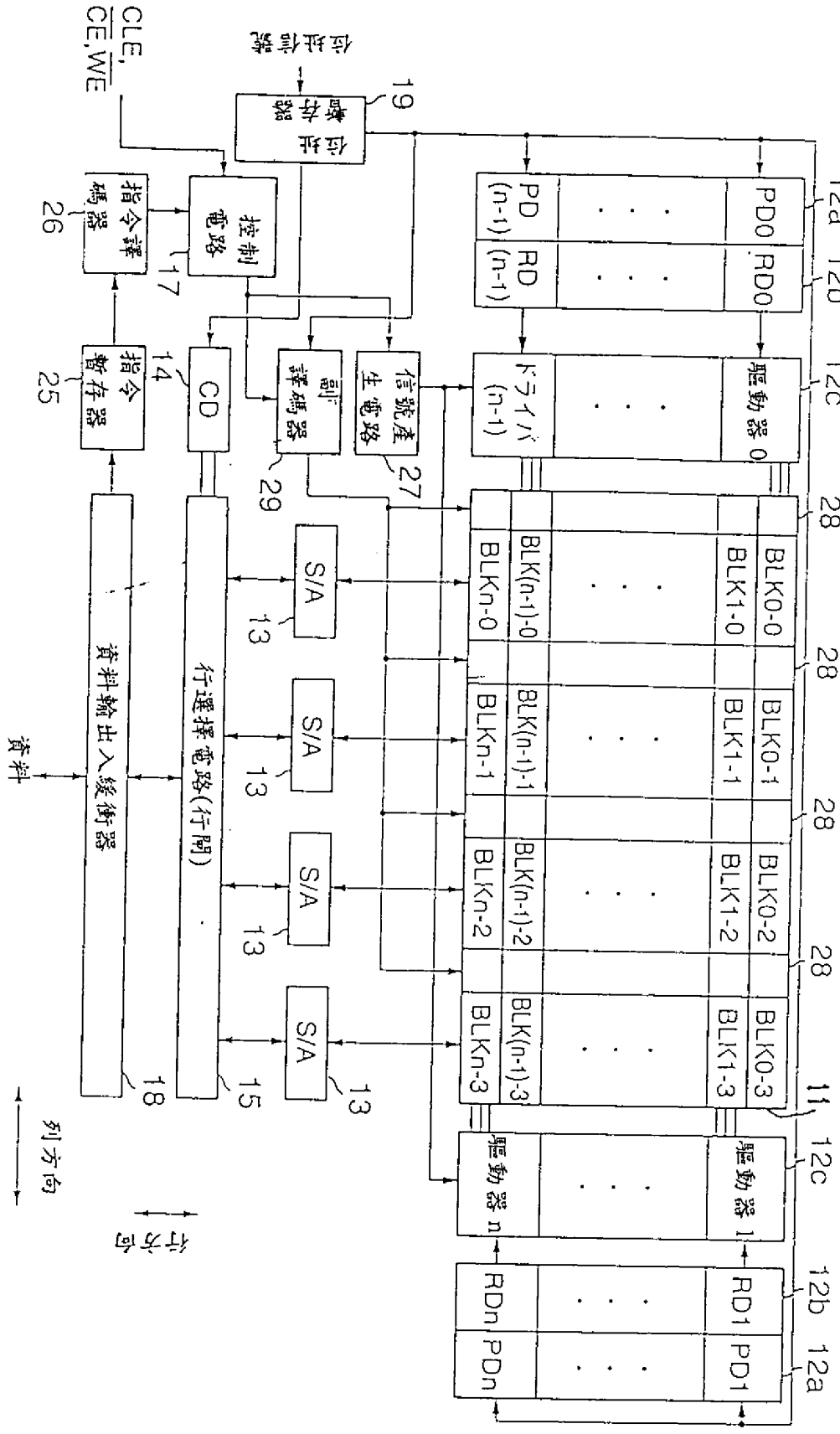
[圖 34]


35-1
35-2
35-3
SSLi
CGLi
GSLi
SL
36-0
36-1
36-3
CGLi-0
CGLi-1
CGLi-3
BL0
BL1
BL511
BLKi-0
BLKi-1
BLKi-3

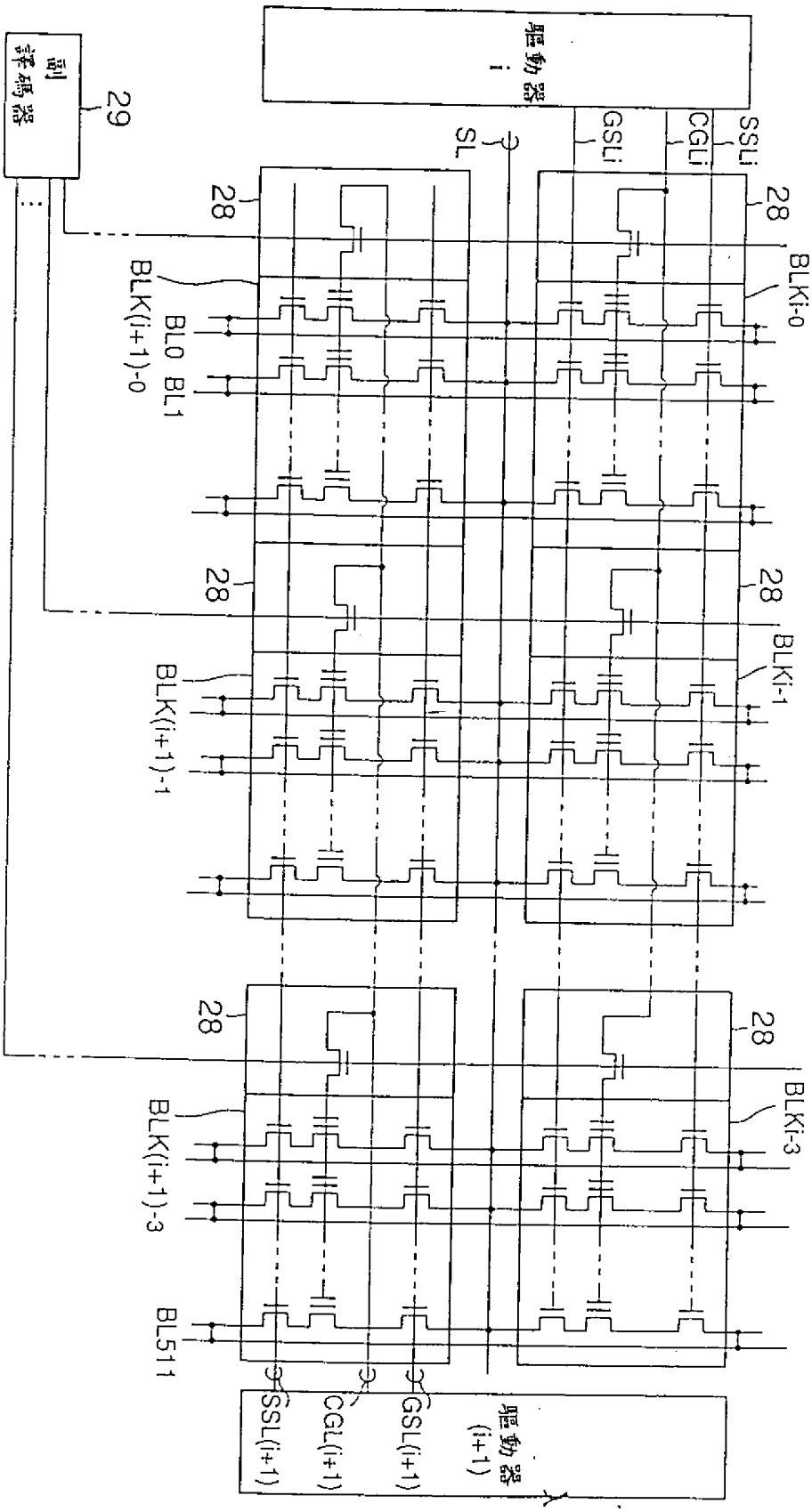

35-1
35-2
35-3
SSLi
CGLi
GSLi
SL
29
28
36-0
36-1
36-3
CGLi-0
CGLi-1
CGLi-3
BLKi-0
BLKi-1
BLKi-3
BL0
BL1
BL511

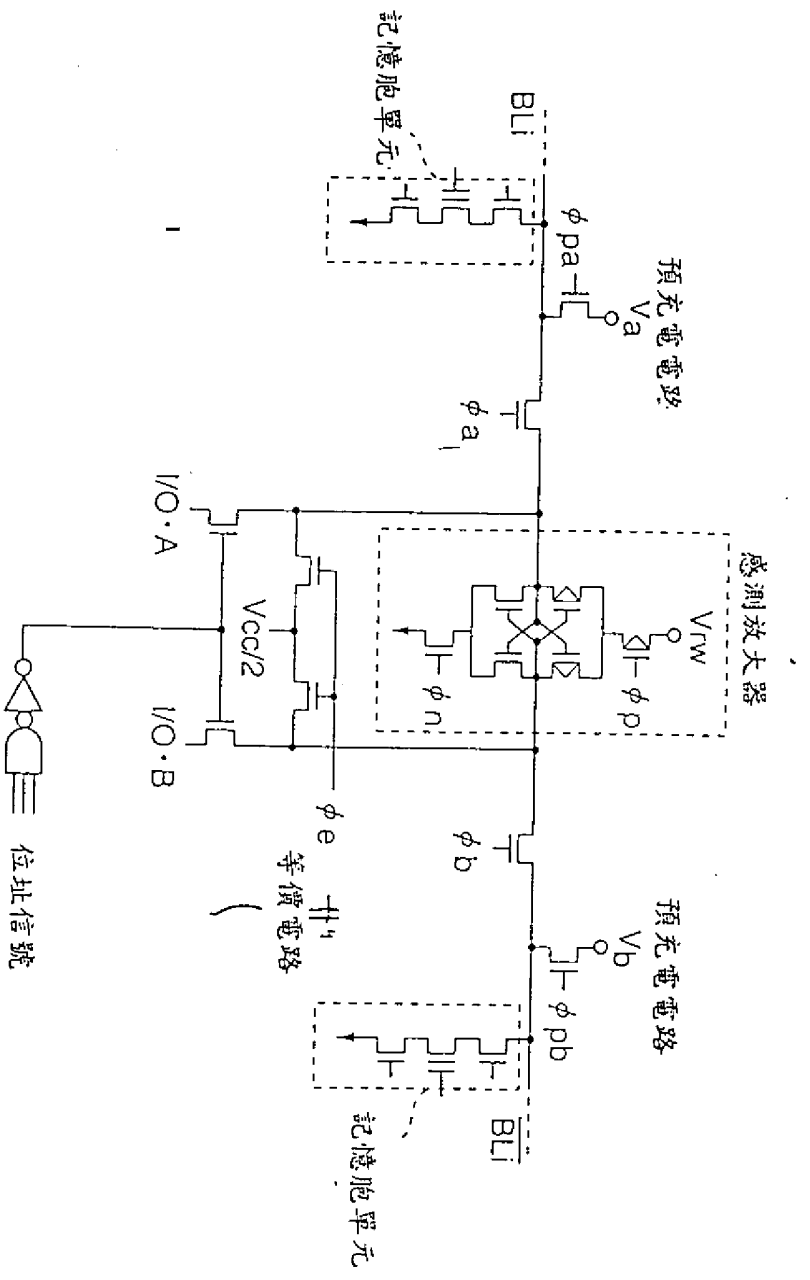
[圖 35]

[圖 36]

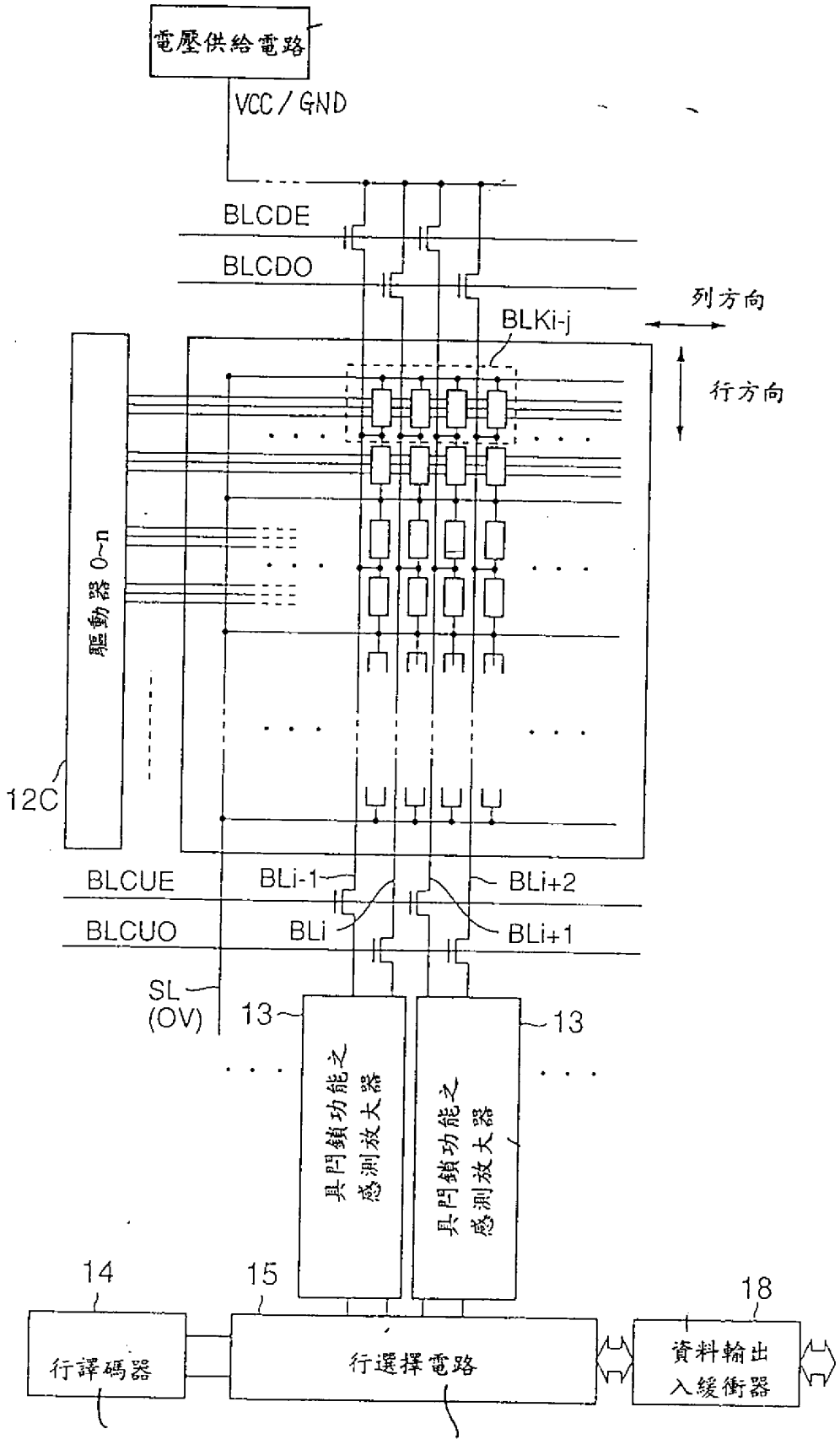

CLE,
CE,WE
位址信號
19
位址暫存器
指令譯碼器
26
控制電路
17
指令暫存器
25
14
CD
副譯碼器
29
信號產生電路
27
PD0
RD0
PD(n-1)
RD(n-1)
12a
12b
12c
驅動器 0
驅動器 n
驅動器 1
ドライバ(n-1)
BLK0-0
BLK1-0
BLK(n-1)-0
BLKn-0
BLK0-1
BLK1-1
BLK(n-1)-1
BLKn-1
BLK0-2
BLK1-2
BLK(n-1)-2
BLKn-2
BLK0-3
BLK1-3
BLK(n-1)-3
BLKn-3
28
11
S/A
13
行選擇電路(行閘)
15
資料輸出入緩衝器
18
資料
行方向
列方向
PD1
RD1
PDn
RDn

[圖 37]


驅動器 i
GSLi
CGLi
SSLi
SL
28
29
BLKi-0
BLKi-1
BLKi-3
BLK(i+1)-0
BLK(i+1)-1
BLK(i+1)-3
BL0
BL1
BL511
驅動器 (i+1)
GSL(i+1)
CGL(i+1)
SSL(i+1)

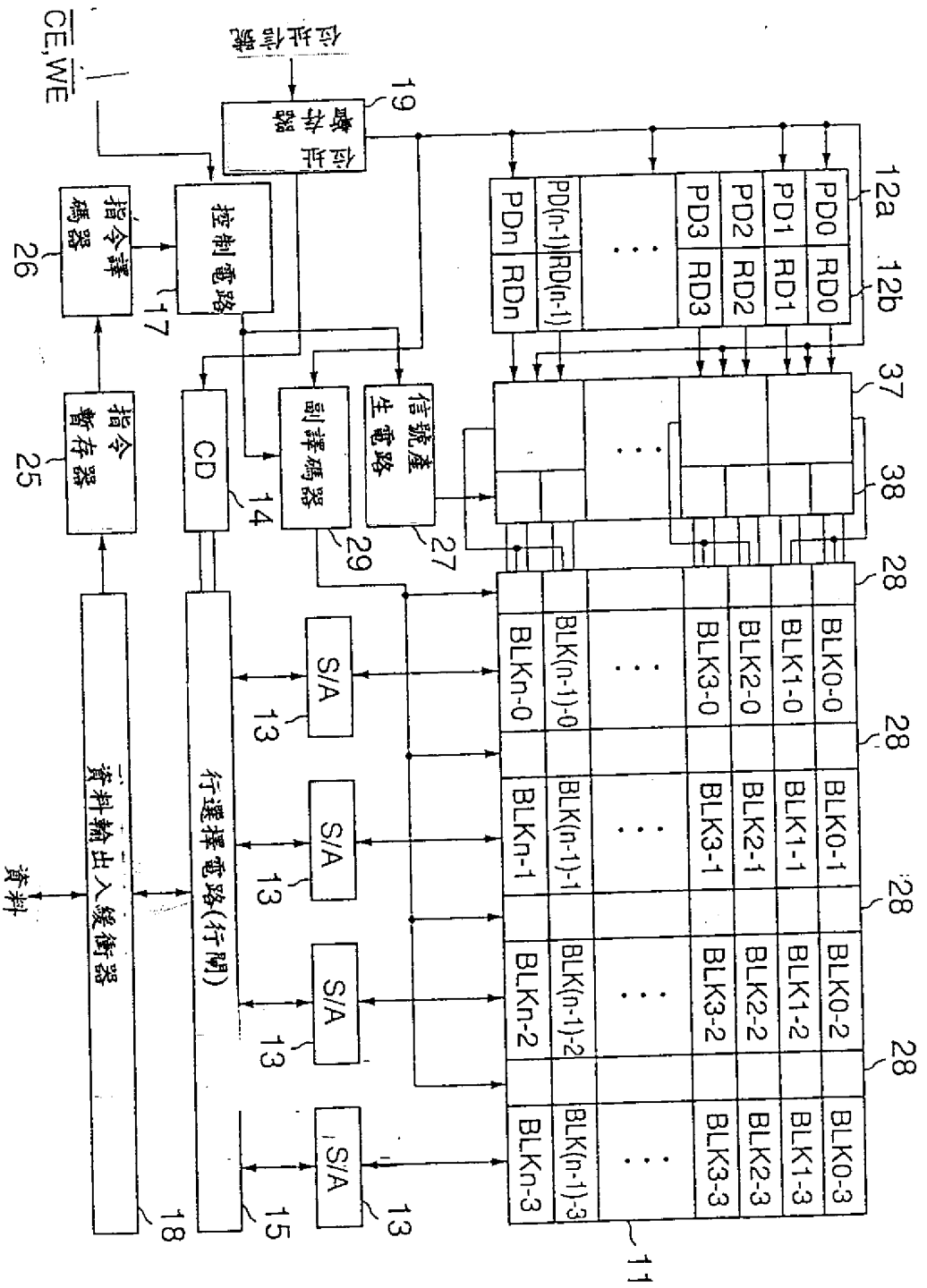

記憶胞單元
BLi
φpa
預充電電路
Va
φa
感測放大器
Vrw
φp
φn
I/O·A
Vcc/2
I/O·B
φe
等價電路
φb
預充電電路
Vb
φpb
BLi
記憶胞單元
位址信號

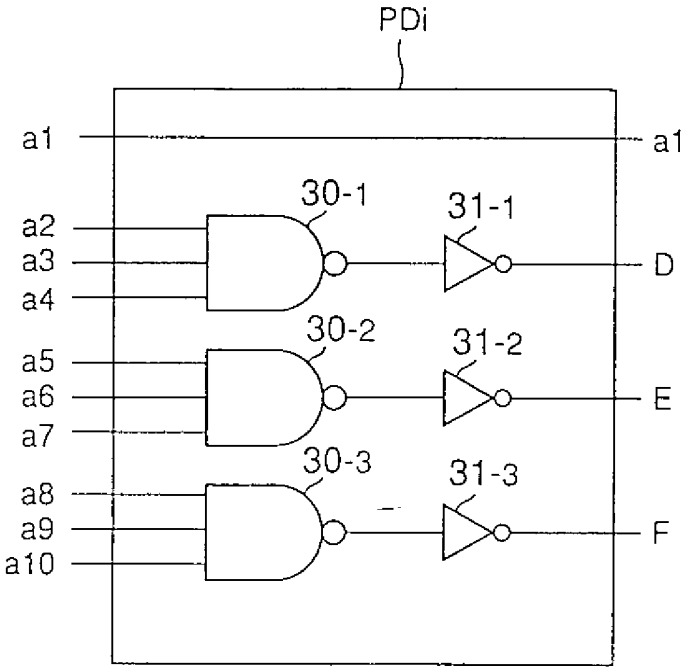
[圖 38]


電壓供給電路
VCC / GND
BLCDE
BLCDO
列方向
BLKi-j
行方向
驅動器 0~n
12C
BLCUE
BLCUO
BLi-1
BLi
BLi+2
BLi+1
SL
(OV)
13
13
具閂鎖功能之感測放大器
具閂鎖功能之感測放大器
14
15
18
行譯碼器
行選擇電路
資料輸出入緩衝器

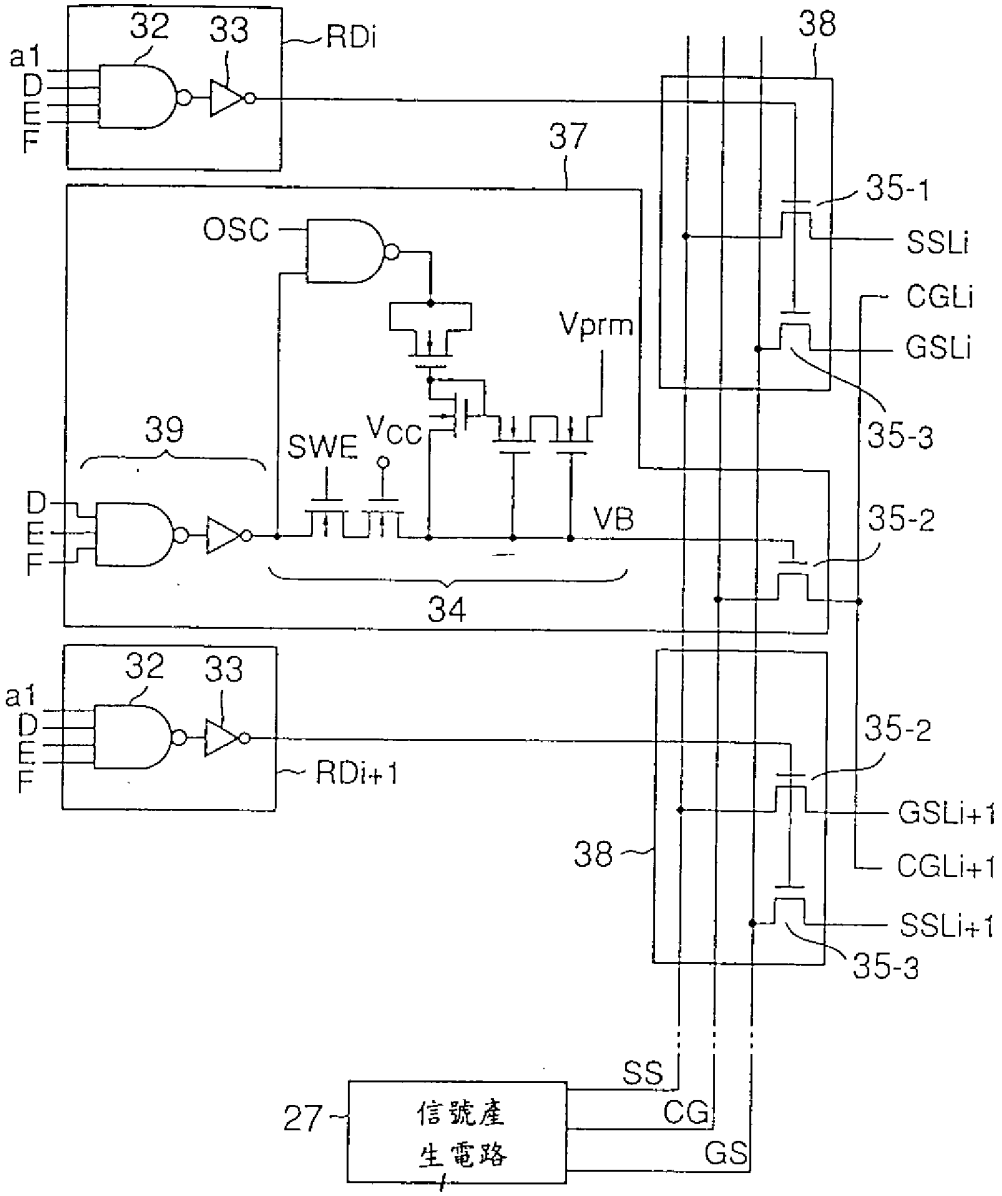
[圖 39]

[圖 40]


位址信號
CE, WE
位址暫存器
19
控制電路
17
指令譯碼器
26
指令暫存器
25
CD
14
副譯碼器
29
信號產生電路
27
S/A
13
行選擇電路(行閘)
15
資料輸出入緩衝器
18
資料
12a
12b
PD0
RD0
PD1
RD1
PD2
RD2
PD3
RD3
PD(n-1)
RD(n-1)
PDn
RDn
37
38
28
BLK0-0
BLK1-0
BLK2-0
BLK3-0
BLK0-1
BLK1-1
BLK2-1
BLK3-1
BLK0-2
BLK1-2
BLK2-2
BLK3-2
BLK0-3
BLK1-3
BLK2-3
BLK3-3
BLK(n-1)-0
BLK(n-1)-1
BLK(n-1)-2
BLK(n-1)-3
BLKn-0
BLKn-1
BLKn-2
BLKn-3
11

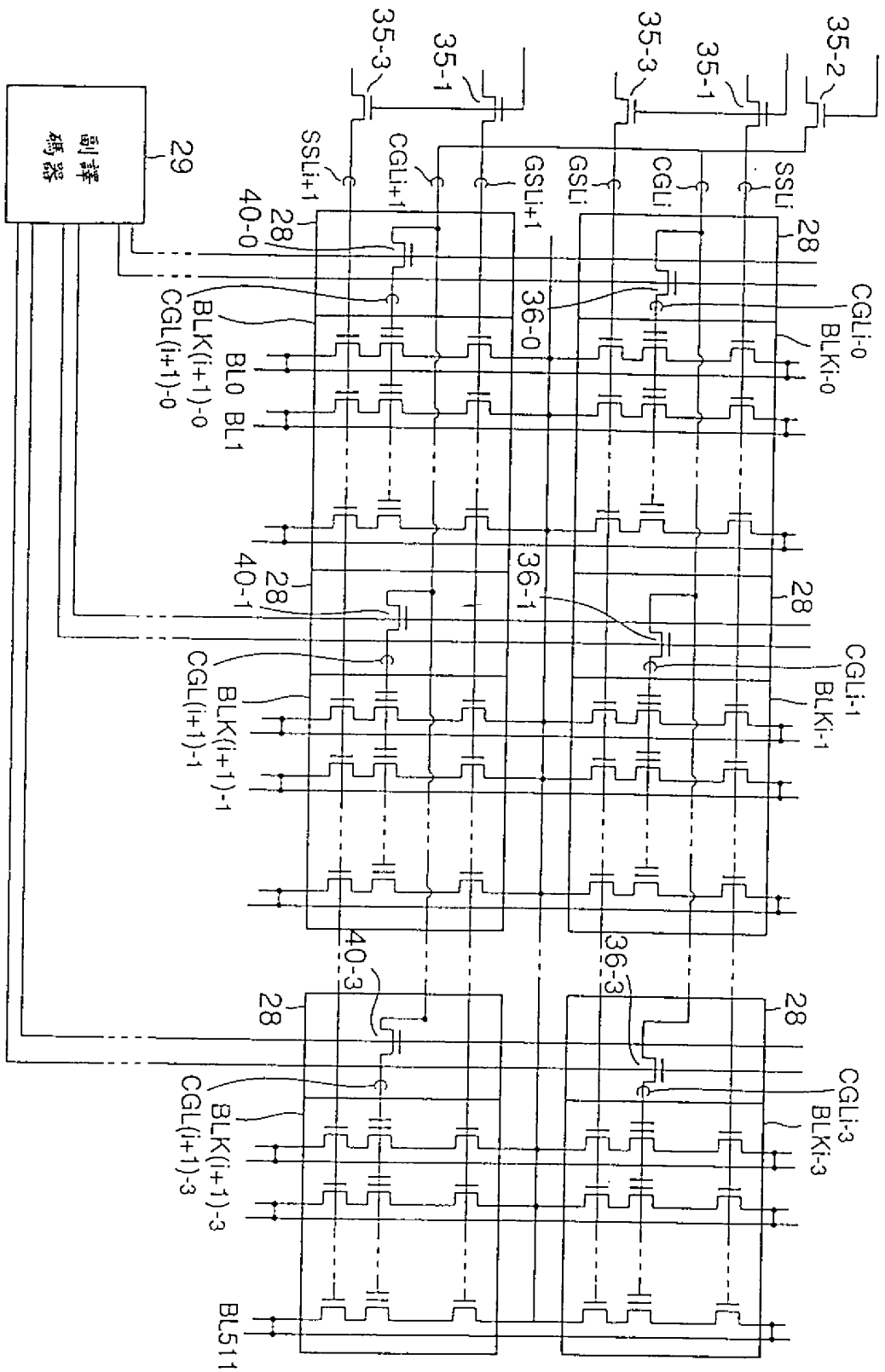


[圖 41]

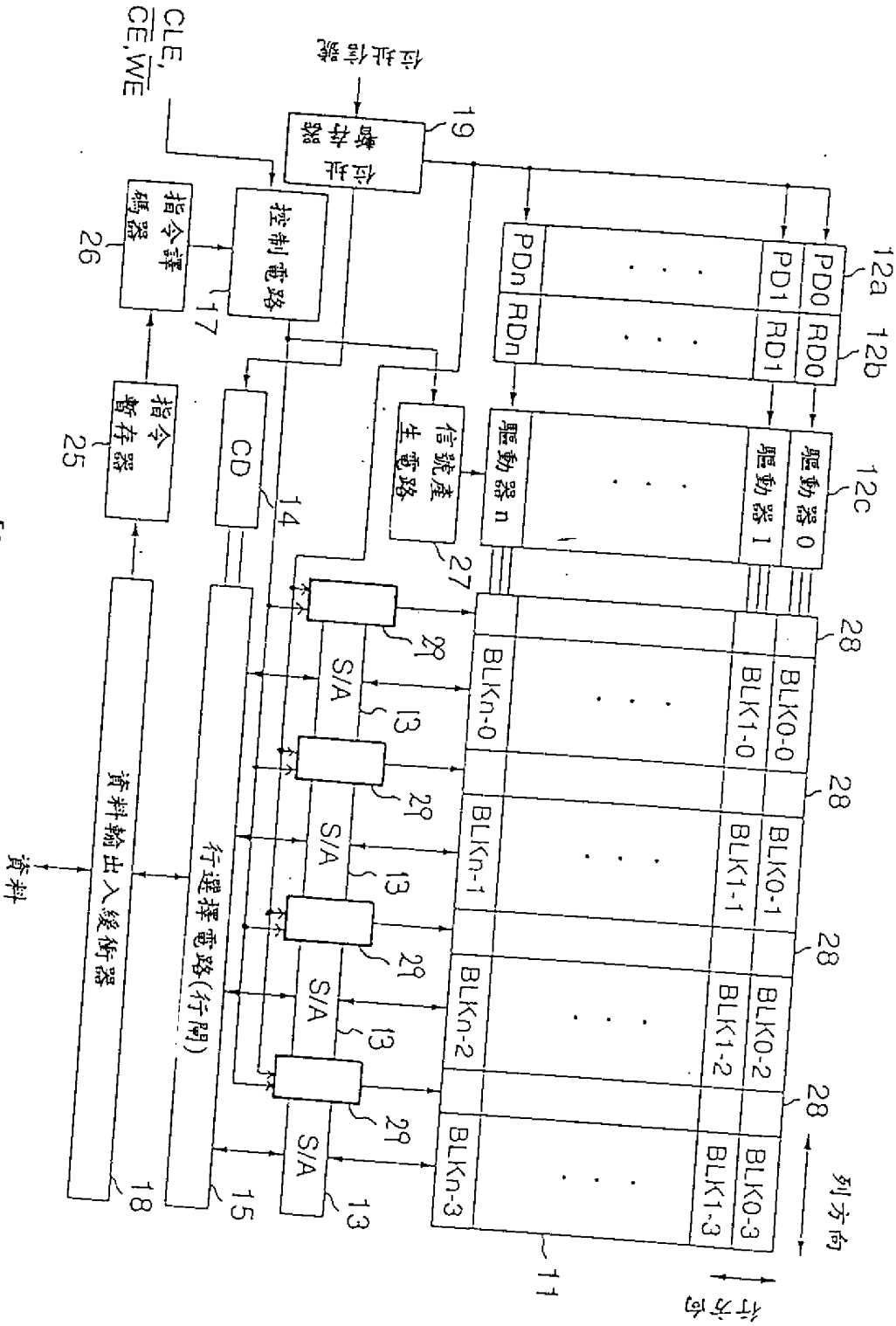

32
33
RDi
a1
D
E
F
38
37
35-1
SSLi
CGLi
GSLi
OSC
Vprm
39
SWE
Vcc
35-3
D
E
F
VB
35-2
34
32
33
a1
D
E
F
RDi+1
35-2
GSLi+1
38
CGLi+1
SSLi+1
35-3
SS
27
信號產生電路
CG
GS

[圖 42]

[圖 43]

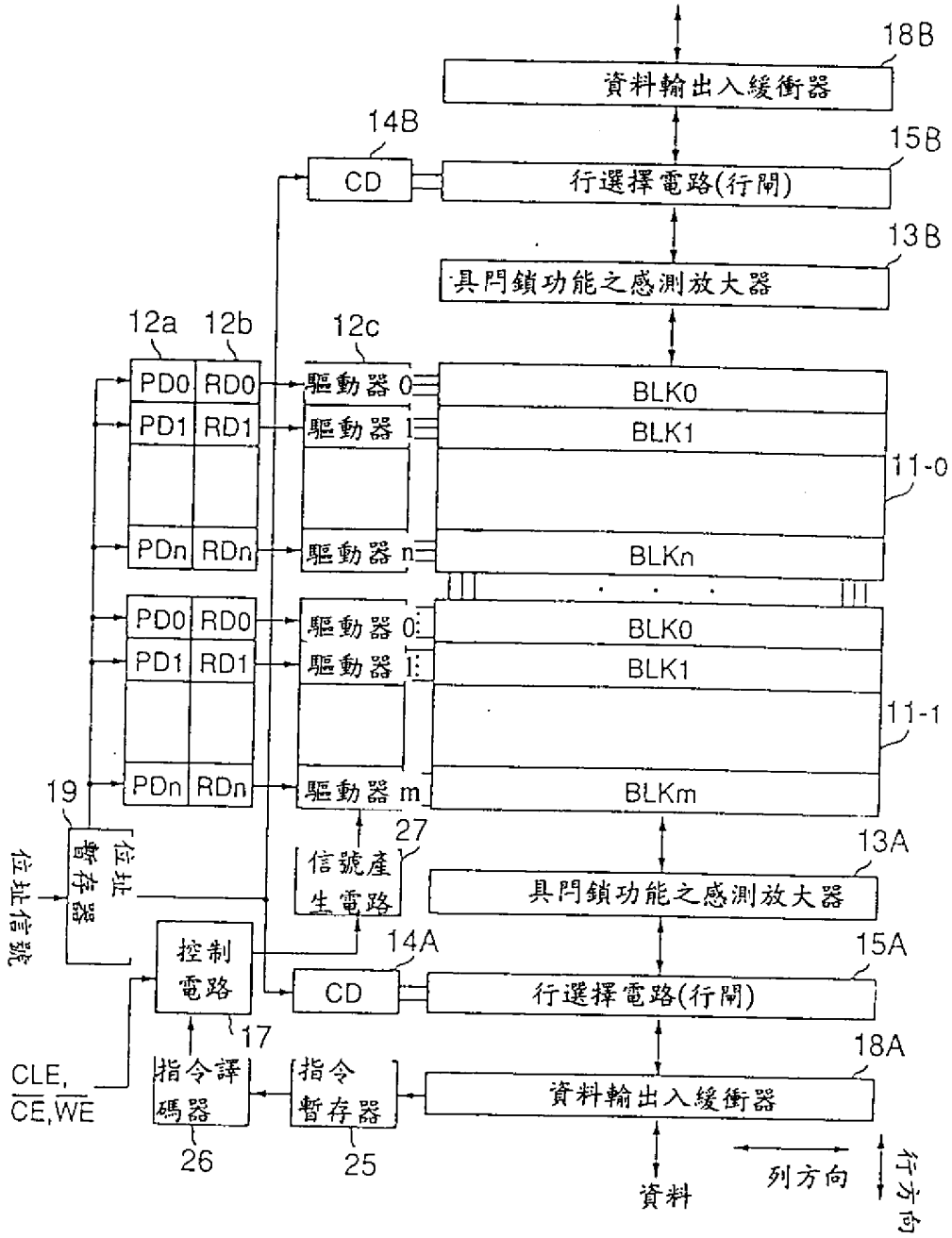

35-2
35-1
35-3
35-1
35-3
SSLi
GSLi
CGLi
GSLi+1
CGLi+1
SSLi+1
28
29
40-0
40-1
40-3
36-0
36-1
36-3
CGLi-0
BLKi-0
CGLi-1
BLKi-1
CGLi-3
BLKi-3
BLK(i+1)-0
CGL(i+1)-0
BLK(i+1)-1
CGL(i+1)-1
BLK(i+1)-3
CGL(i+1)-3
BL0
BL1
BL511

462133

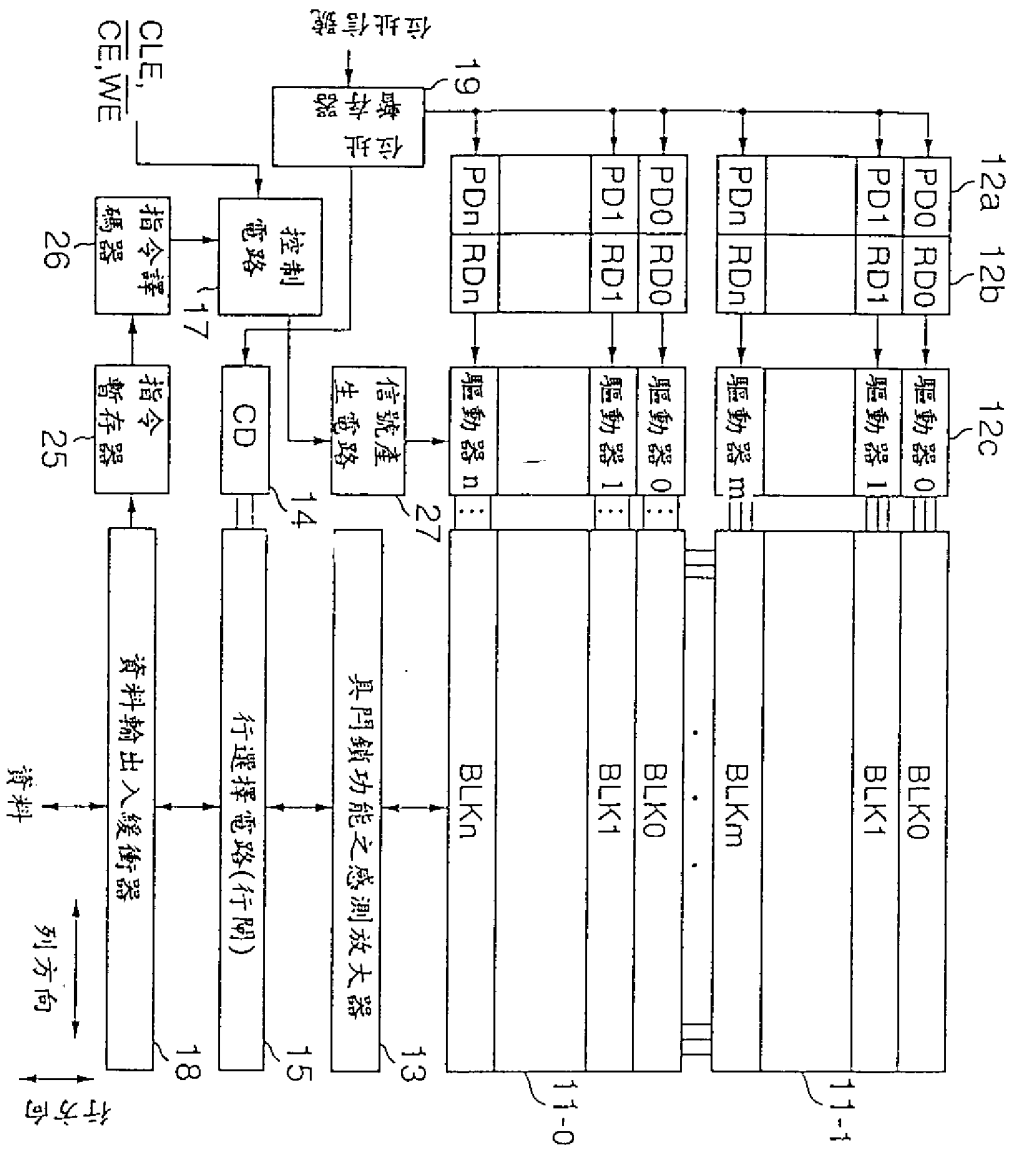


CLE,
CE,WE
位址信號
位址暫存器
19
控制電路
17
指令譯碼器
26
指令暫存器
25
CD
14
信號產生電路
27
PD0
PD1
PDn
RD0
RD1
RDn
12a
12b
驅動器 0
驅動器 1
驅動器 n
12c
BLK0-0
BLK1-0
BLKn-0
BLK0-1
BLK1-1
BLKn-1
BLK0-2
BLK1-2
BLKn-2
BLK0-3
BLK1-3
BLKn-3
28
S/A
13
29
行選擇電路(行閘)
15
資料輸出入緩衝器
18
資料
列方向
行方向
11

[圖 44]

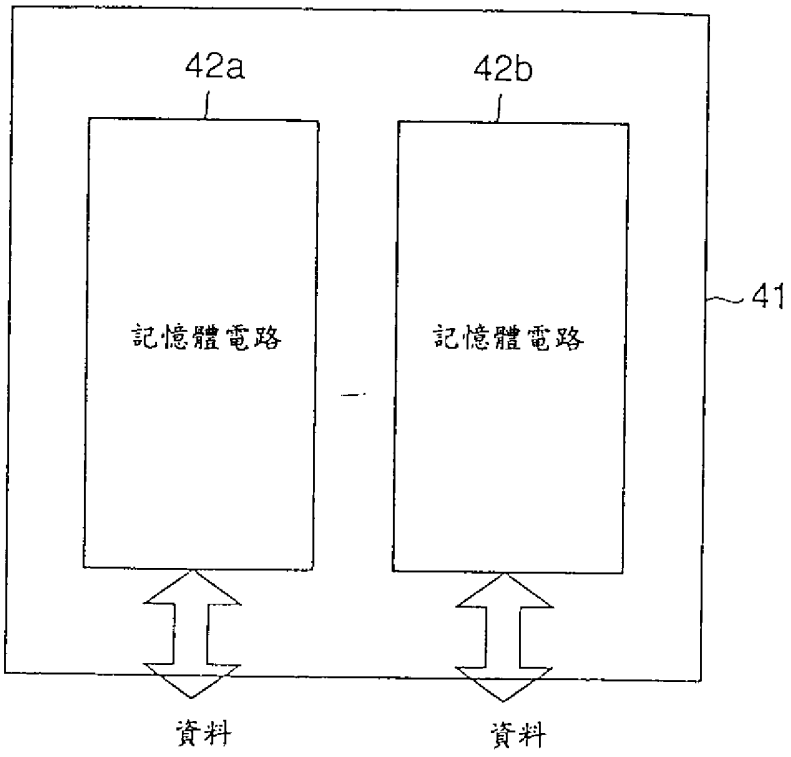

18B
資料輸出入緩衝器
14B
CD
15B
行選擇電路(行閘)
13B
具閂鎖功能之感測放大器
12a
12b
12c
PD0
RD0
驅動器 0
BLK0
PD1
RD1
驅動器 1
BLK1
11-0
PDn
RDn
驅動器 n
BLKn
PD0
RD0
驅動器 0
BLK0
PD1
RD1
驅動器 1
BLK1
11-1
PDn
RDn
驅動器 m
BLKm
19
位址暫存器
位址信號
27
信號產生電路
13A
具閂鎖功能之感測放大器
控制電路
14A
CD
15A
行選擇電路(行閘)
17
18A
CLE,
CE,WE
指令譯碼器
指令暫存器
資料輸出入緩衝器
26
25
資料
列方向
行方向

[圖 45]

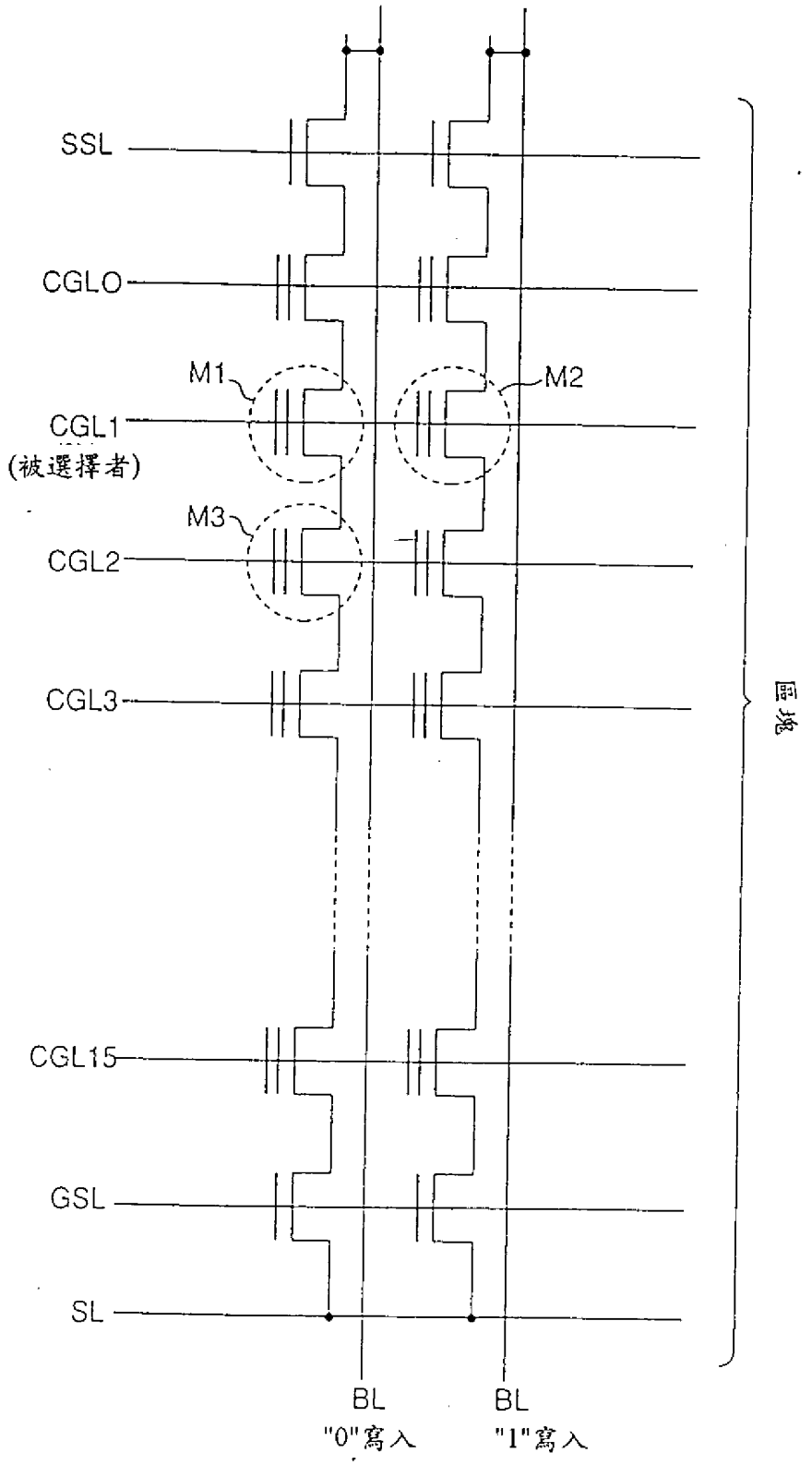


CLE,
CE,WE
位址信號
位址暫存器
19
控制電路
17
指令譯碼器
26
指令暫存器
25
CD
14
信號產生電路
27
PD0
PD1
PDn
RD0
RD1
RDn
12a
12b
12c
驅動器 0
驅動器 1
驅動器 m
驅動器 n
BLK0
BLK1
BLKm
BLKn
11-0
11-1
具門鎖功能之感測放大器
13
行選擇電路(行閘)
15
資料輸出入緩衝器
18
資料
列方向
行方向

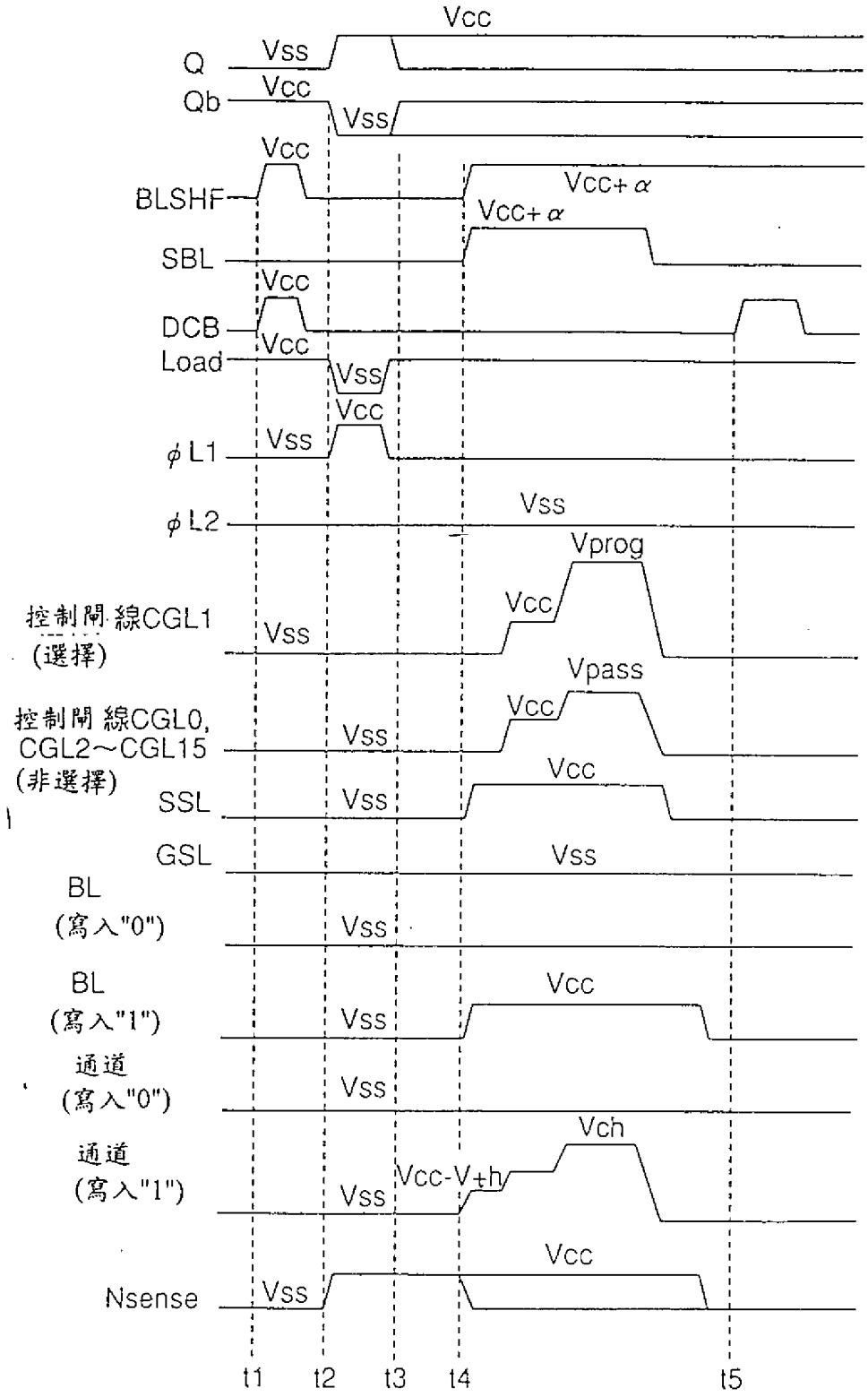
[圖 46]



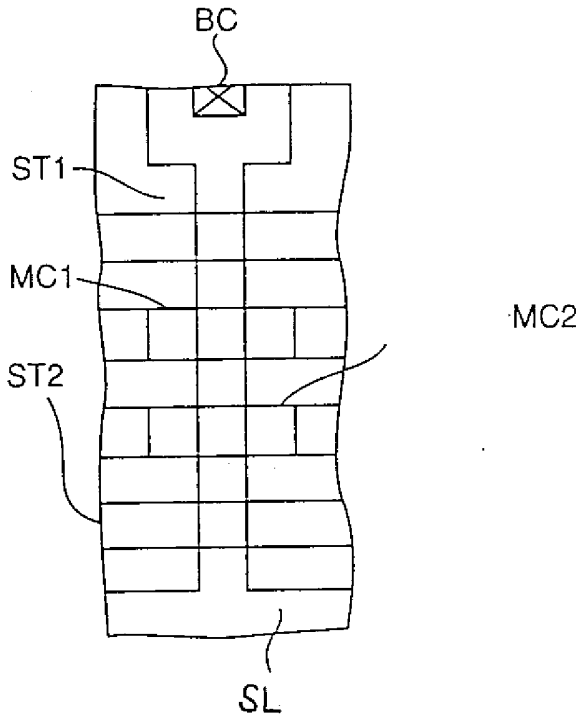
[圖 47]


SSL
CGLO
M1
M2
CGL1
(被選擇者)
M3
CGL2
CGL3
CGL15
GSL
SL
BL
"0"寫入
BL
"1"寫入
區塊

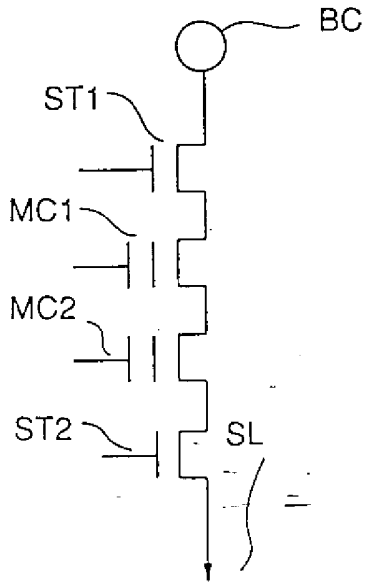
[圖 48]


Q
Qb
BLSHF
SBL
DCB
Load
φL1
φL2
控制閘線CGL1
(選擇)
控制閘線CGL0,
CGL2~CGL15
(非選擇)
SSL
GSL
BL
(寫入"0")
BL
(寫入"1")
通道
(寫入"0")
通道
(寫入"1")
Nsense
Vcc
Vss
Vcc+α
Vprog
Vpass
Vch
Vcc-Vth
t1
t2
t3
t4
t5

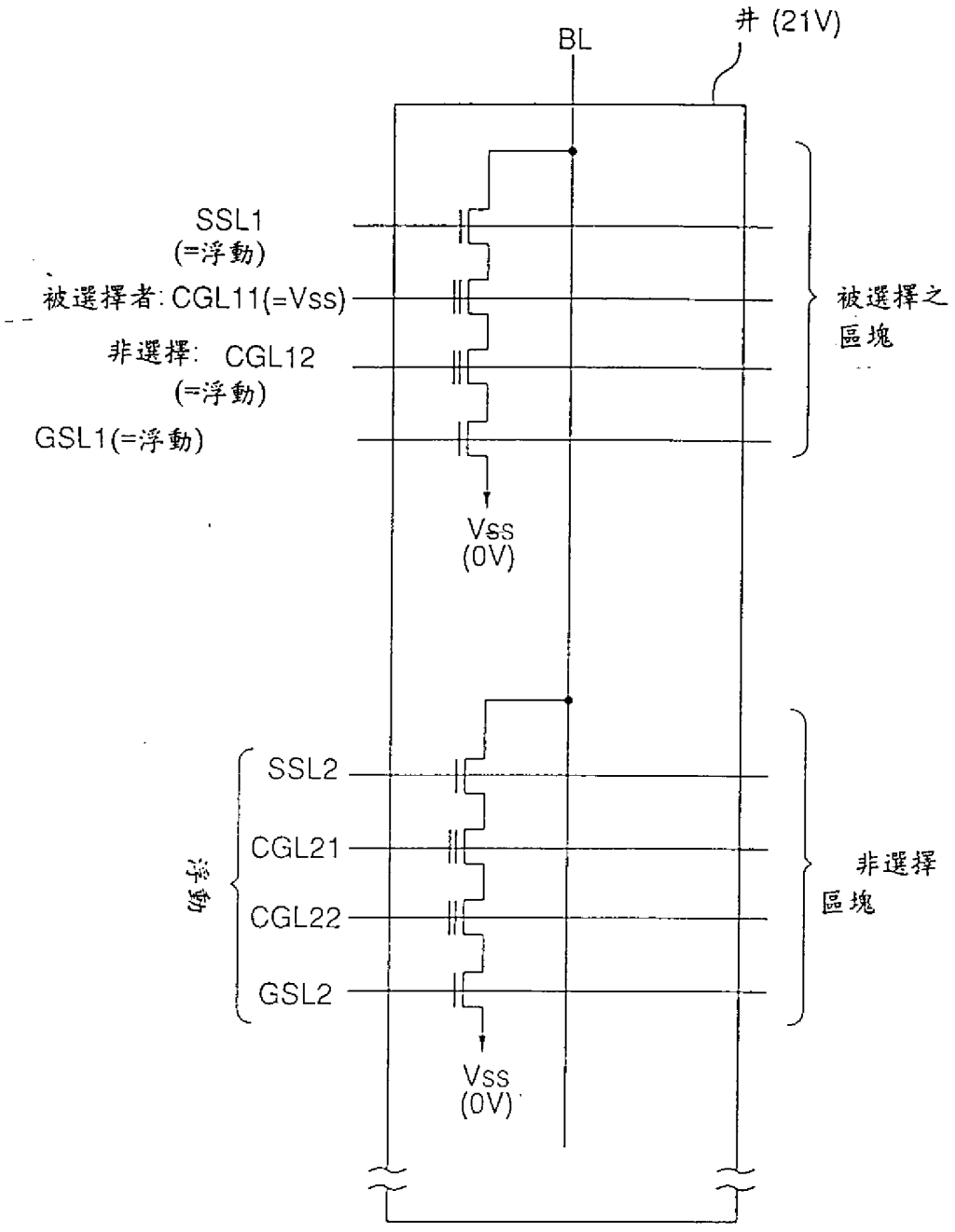
[圖 49]



[圖 50]

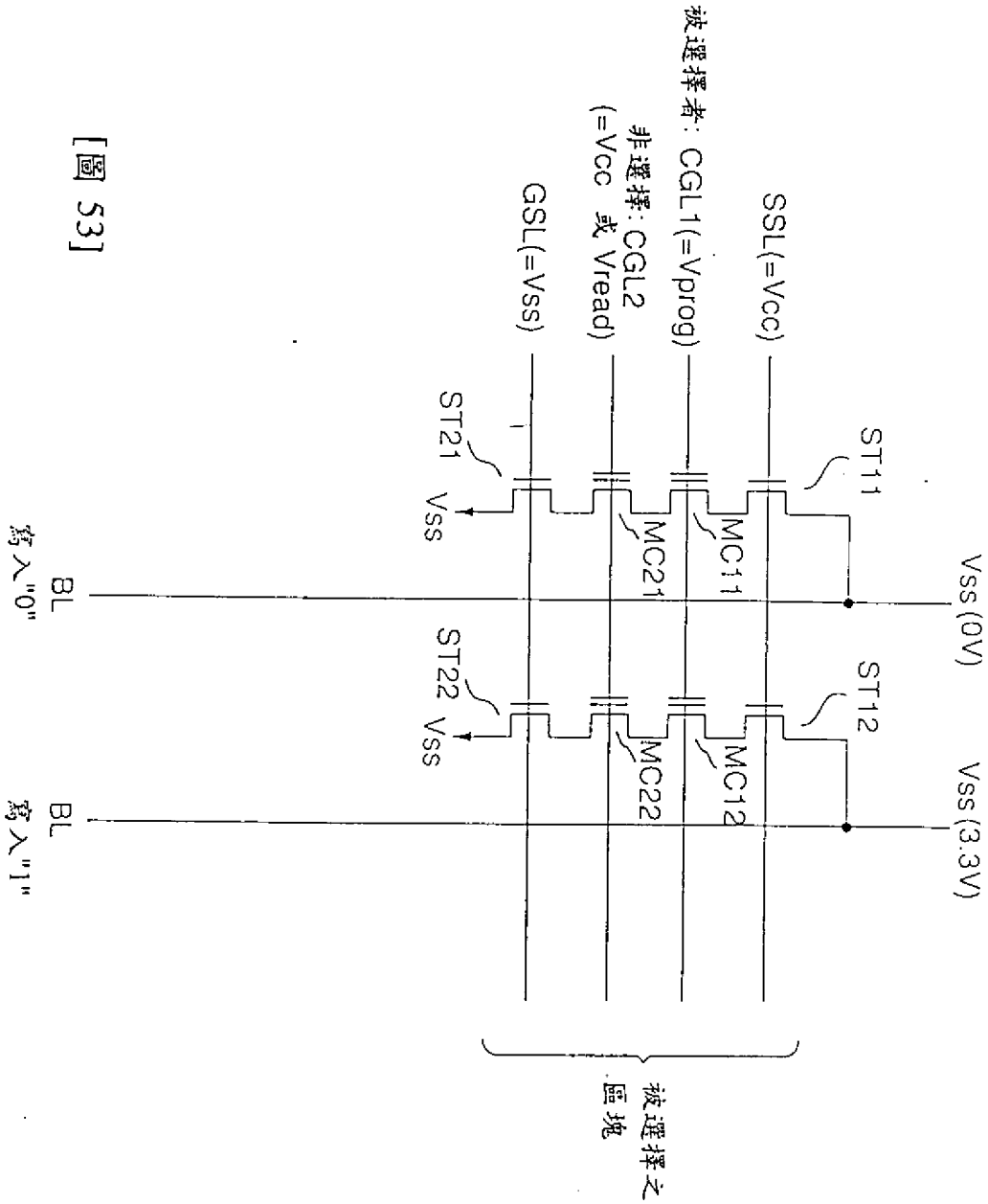


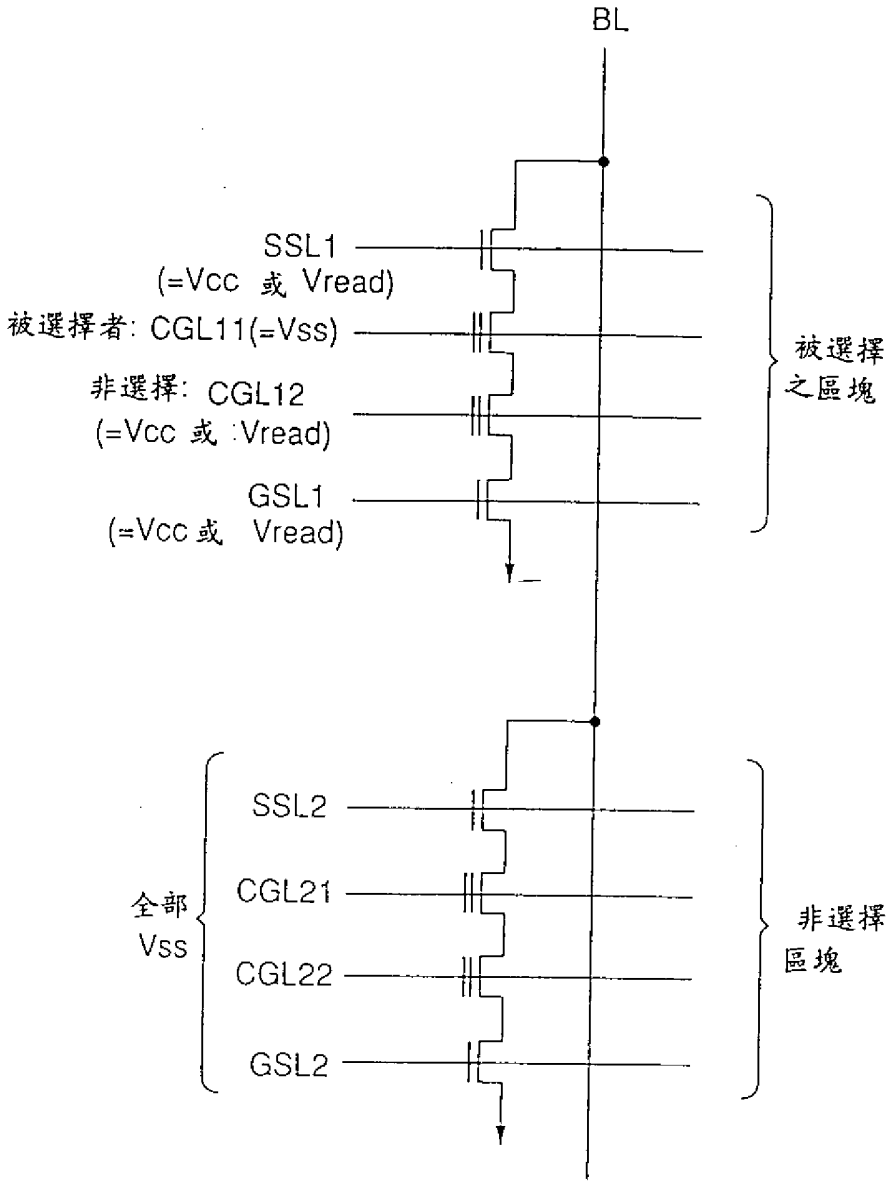
[圖 51]


井 (21V)
BL
SSL1
(=浮動)
被選擇者: CGL11(=Vss)
非選擇: CGL12
(=浮動)
GSL1(=浮動)
被選擇之
區塊
Vss
(0V)
SSL2
CGL21
CGL22
GSL2
浮動
非選擇
區塊
Vss
(0V)

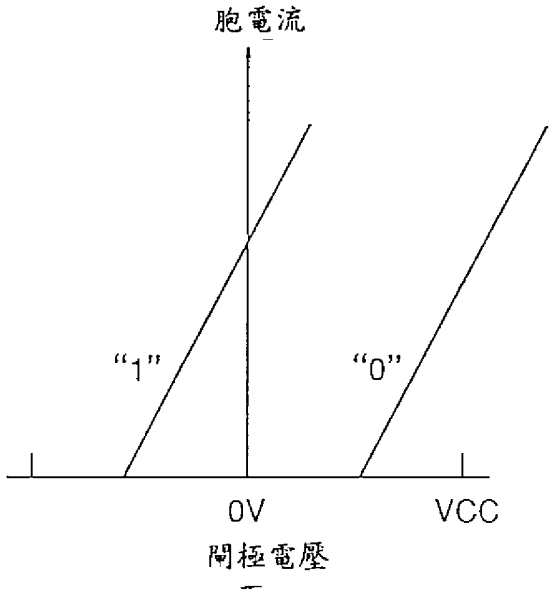
[圖 52]

[圖 53]

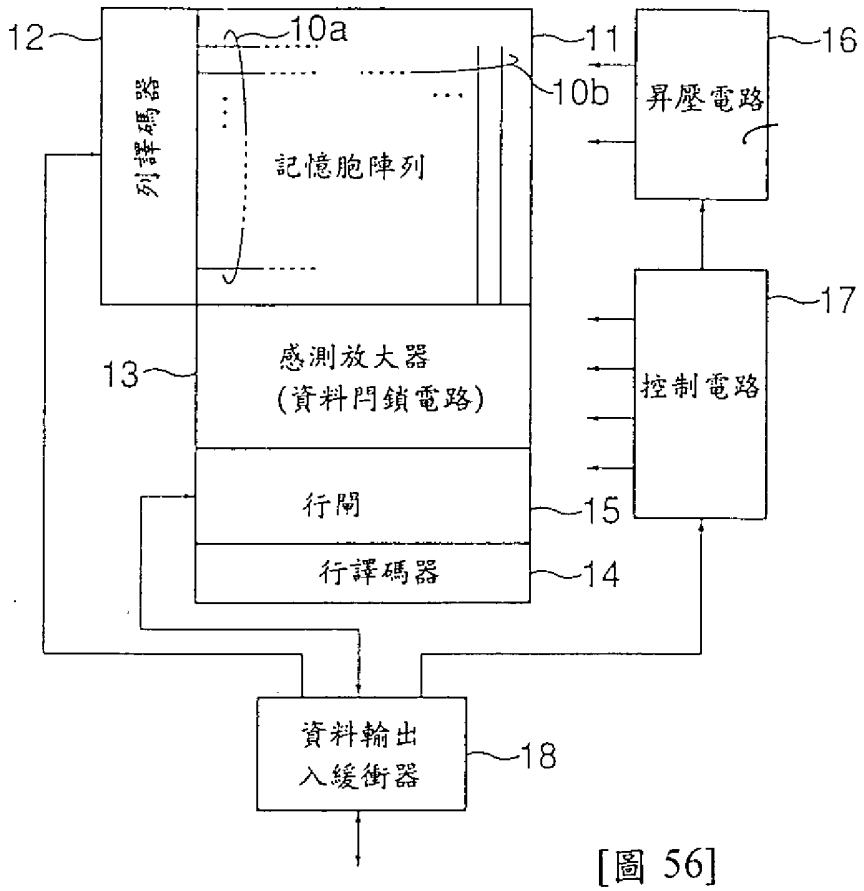

被選擇者: CGL1(=Vprog)
非選擇: CGL2
(=Vcc 或 Vread)
GSL(=Vss)
SSL(=Vcc)
ST11
ST12
ST21
ST22
MC11
MC12
MC21
MC22
Vss
Vss
Vss (0V)
Vss (3.3V)
BL
寫入"0"
BL
寫入"1"
被選擇之區塊


BL
SSL1
(=Vcc 或 Vread)
被選擇者: CGL11(=Vss)
非選擇: CGL12
(=Vcc 或 Vread)
GSL1
(=Vcc 或 Vread)
被選擇之區塊
全部 Vss
SSL2
CGL21
CGL22
GSL2
非選擇區塊

[圖 54]

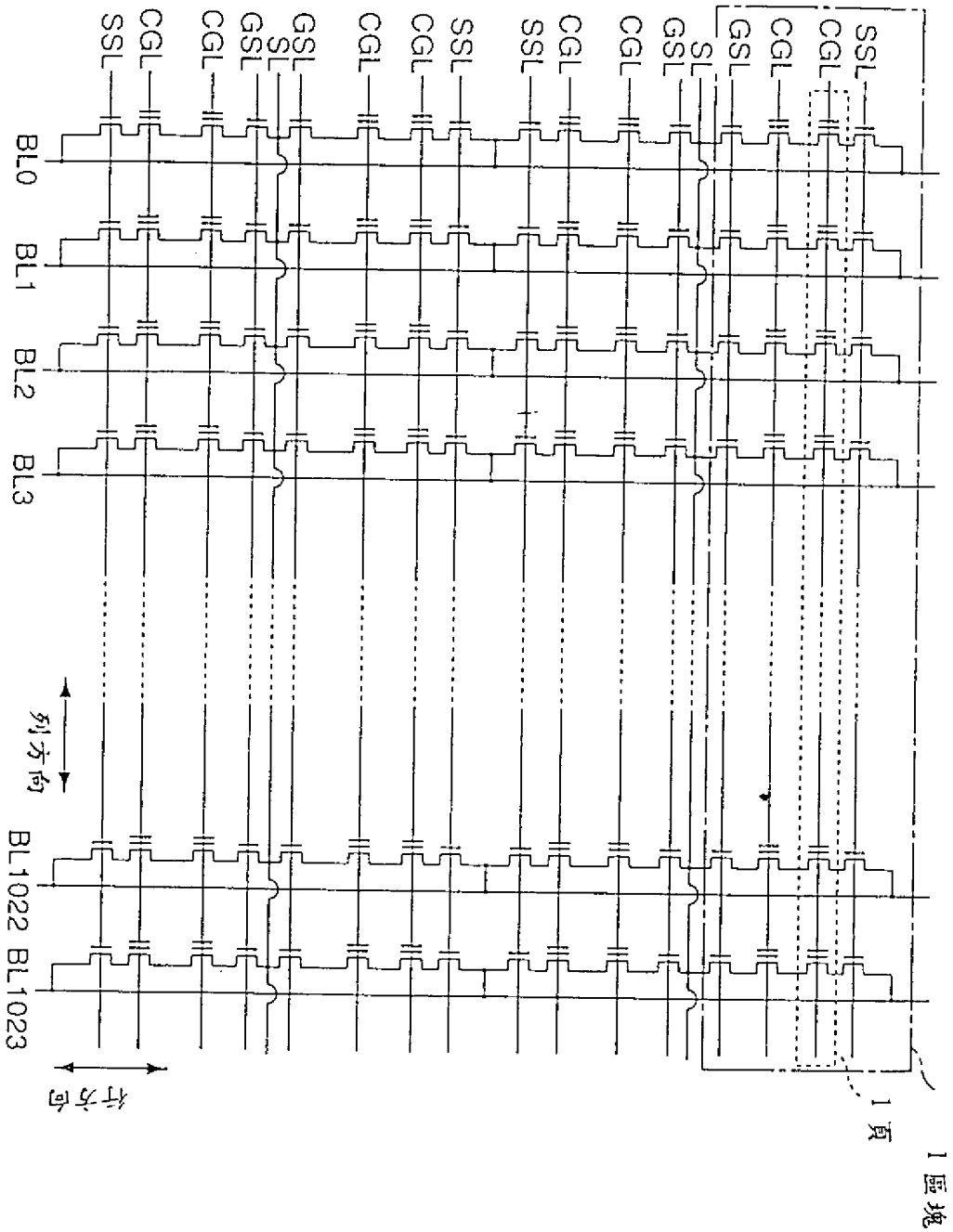

胞電流
"1"
"0"
0V
VCC
閘極電壓

[圖 55]

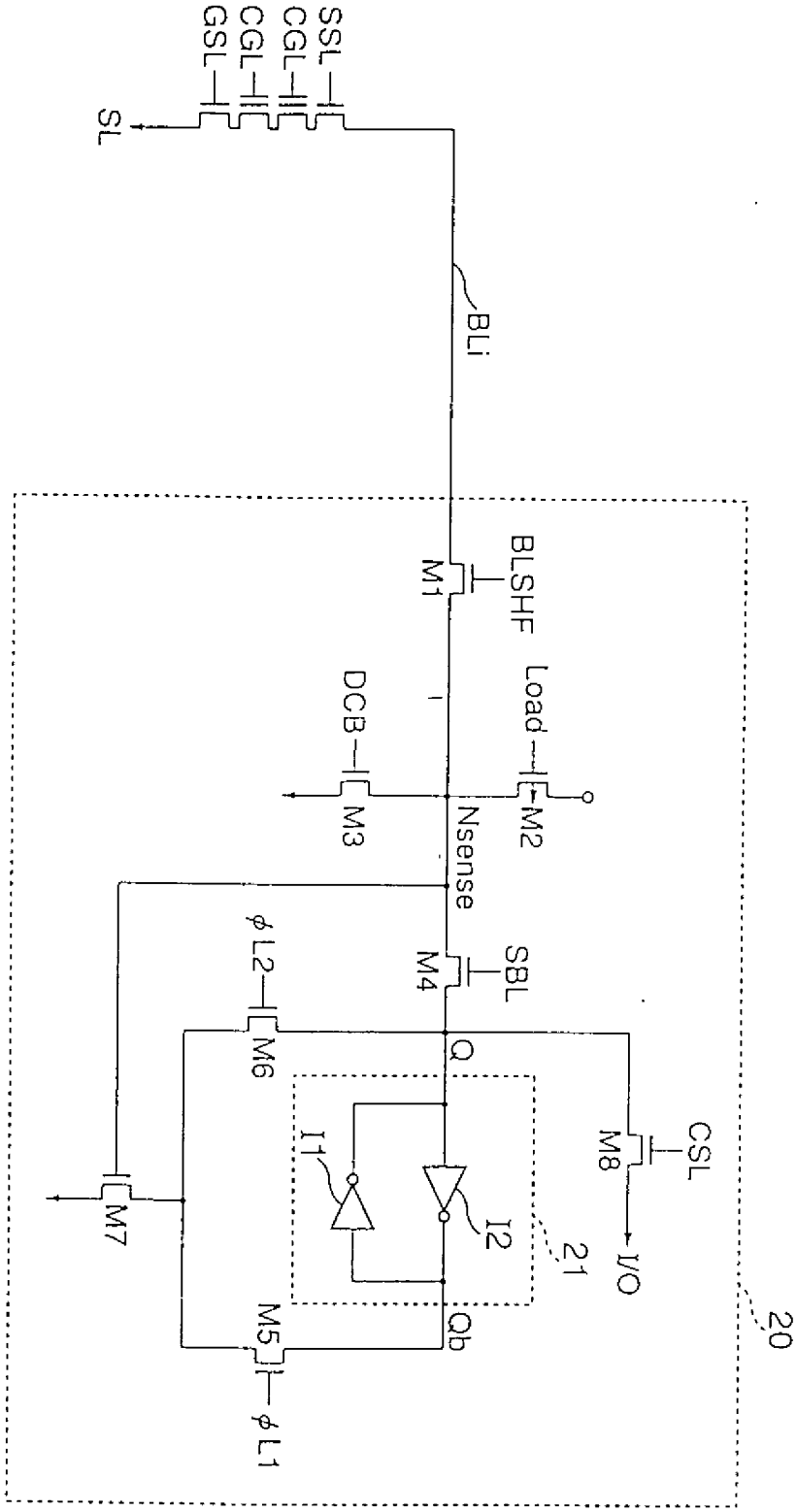

12
10a
11
16
10b
昇壓電路
列譯碼器
記憶胞陣列
17
13
感測放大器
(資料閂鎖電路)
控制電路
行閘
15
行譯碼器
14
資料輸出
入緩衝器
18

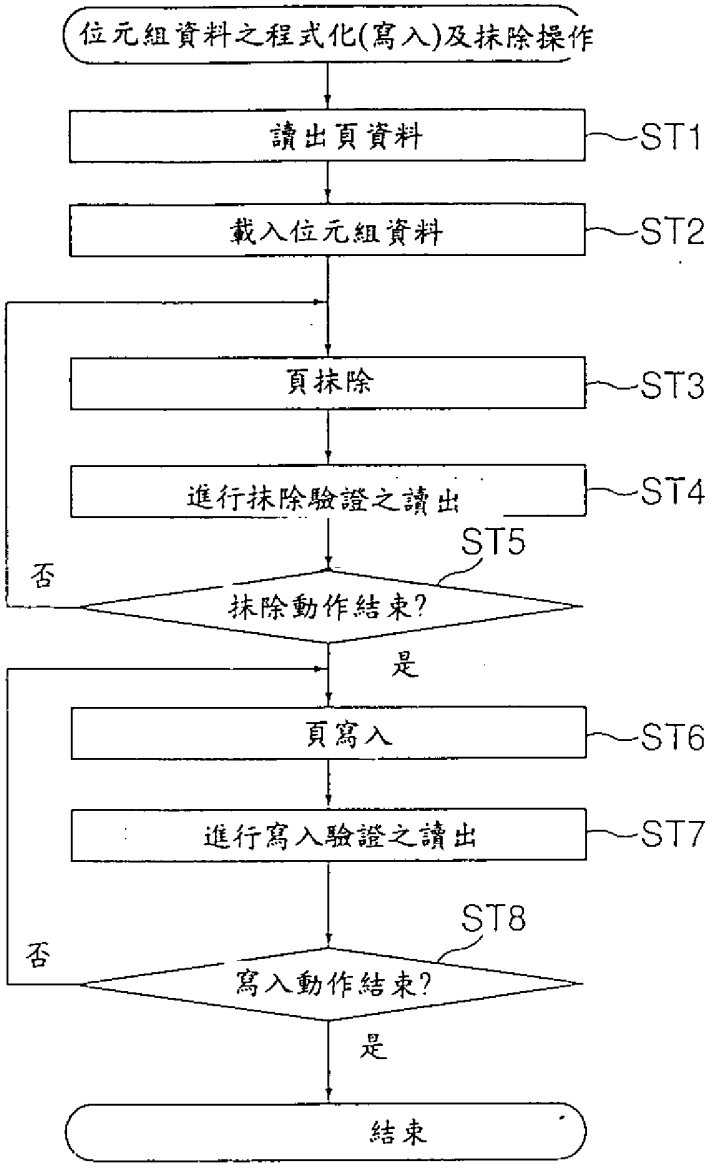
[圖 56]

[圖 57]



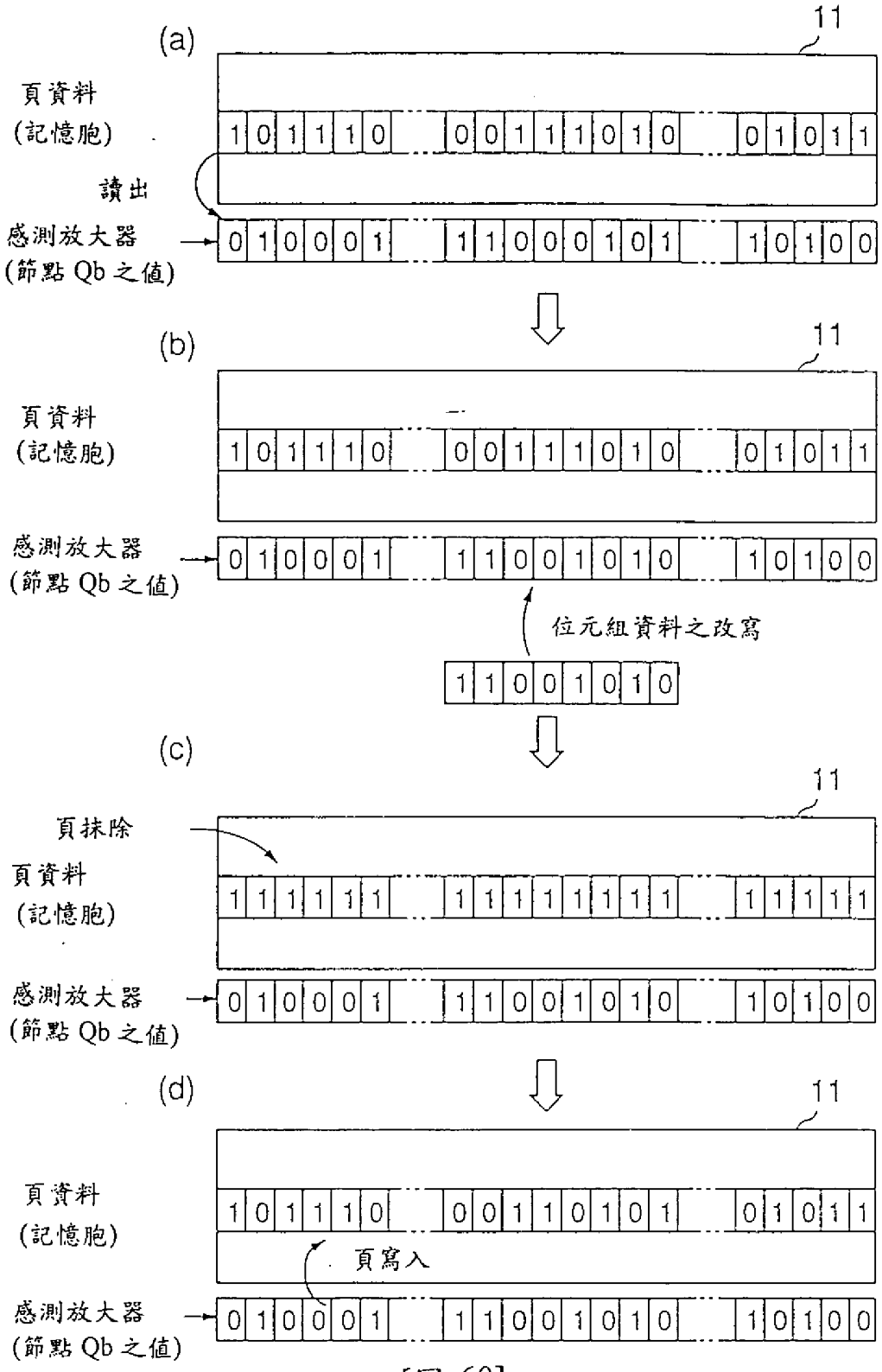
[圖 58]


SL
GSL
CGL
CGL
SSL
BLi
BLSHF
M1
DCB
M3
Load
M2
Nsense
SBL
M4
φL2
M6
Q
I1
I2
21
M8
CSL
I/O
M7
M5
Qb
φL1
20

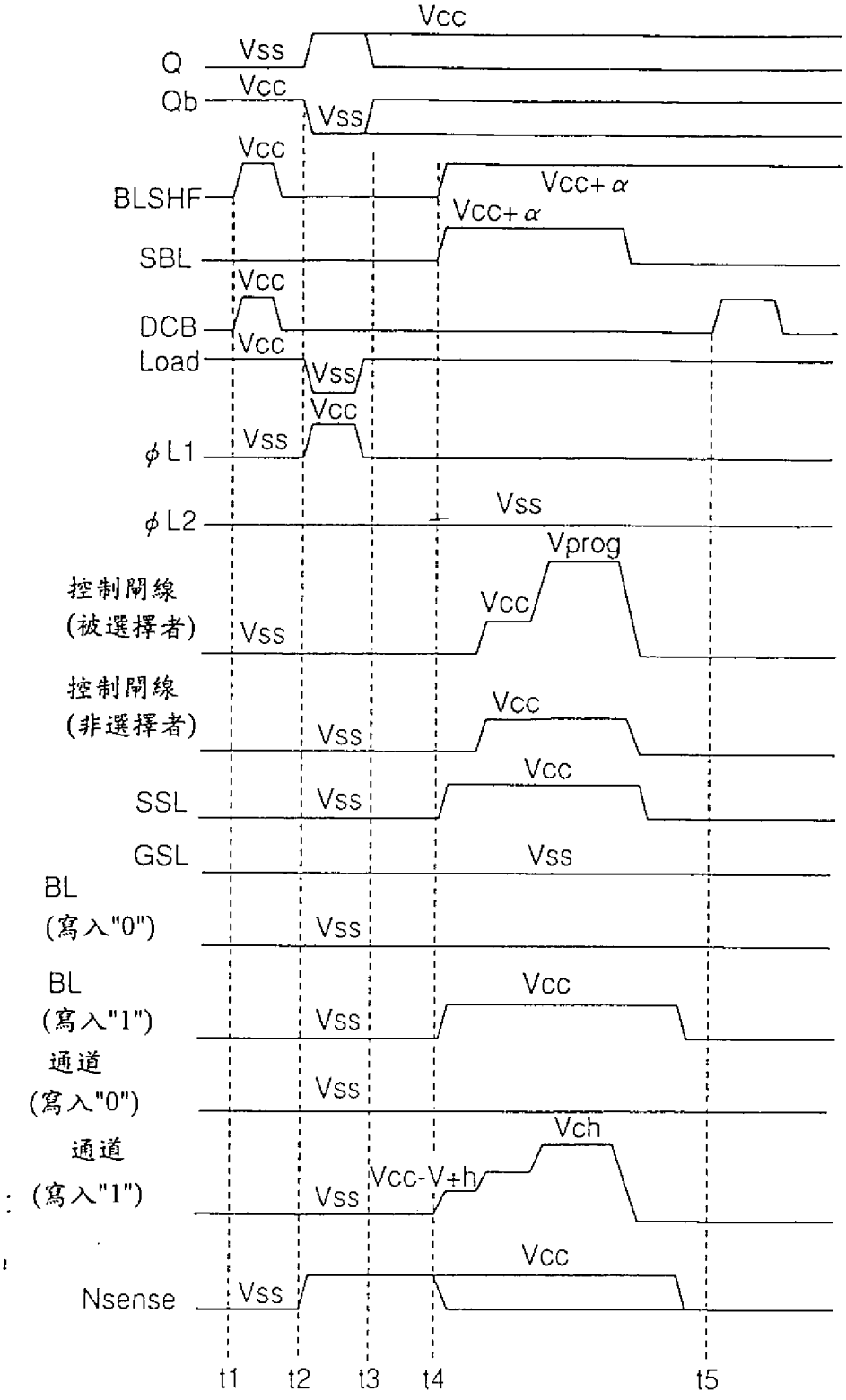

位元組資料之程式化(寫入)及抹除操作
讀出頁資料
ST1
載入位元組資料
ST2
頁抹除
ST3
進行抹除驗證之讀出
ST4
ST5
否
抹除動作結束?
是
頁寫入
ST6
進行寫入驗證之讀出
ST7
ST8
否
寫入動作結束?
是
結束

[圖 59]

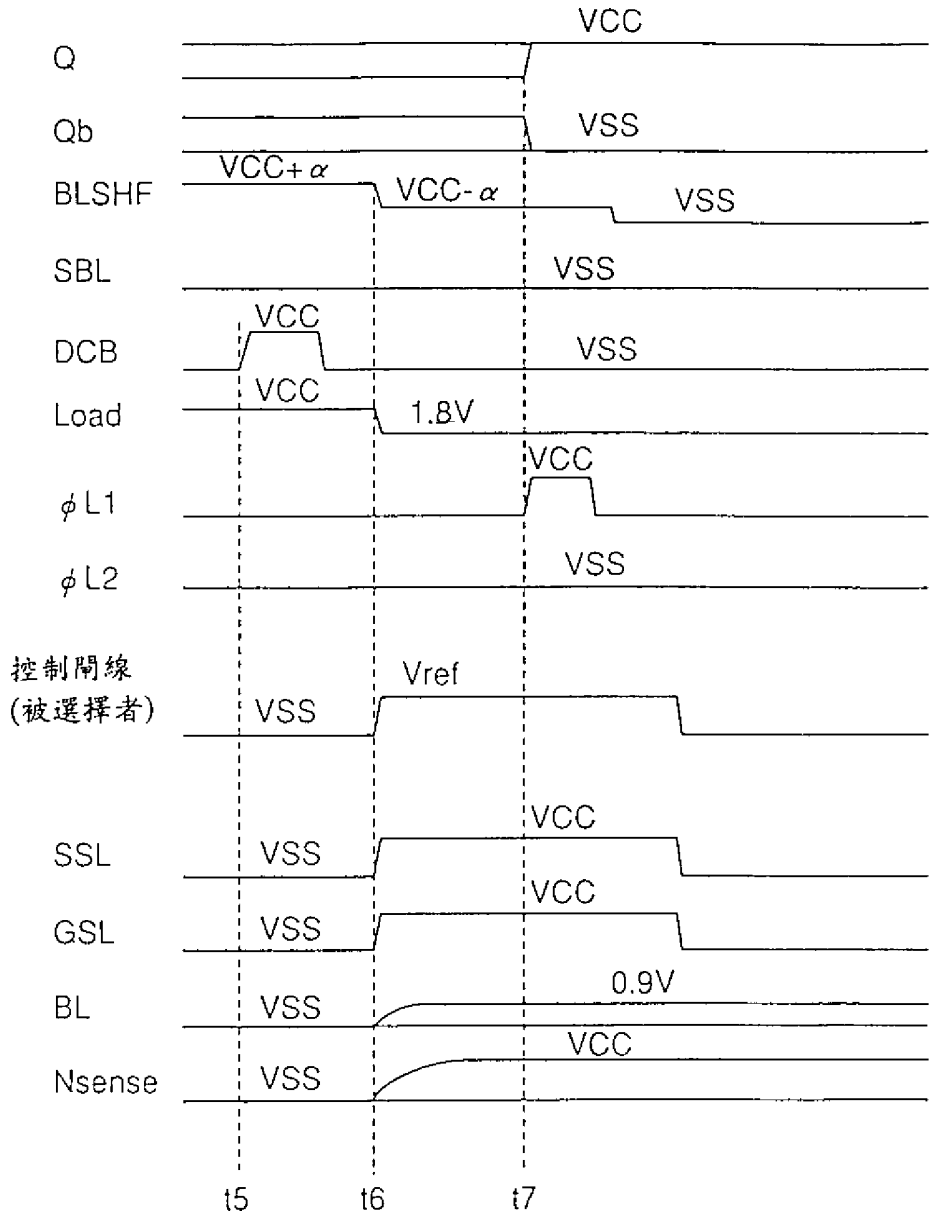
位元組單元之資料改寫動作



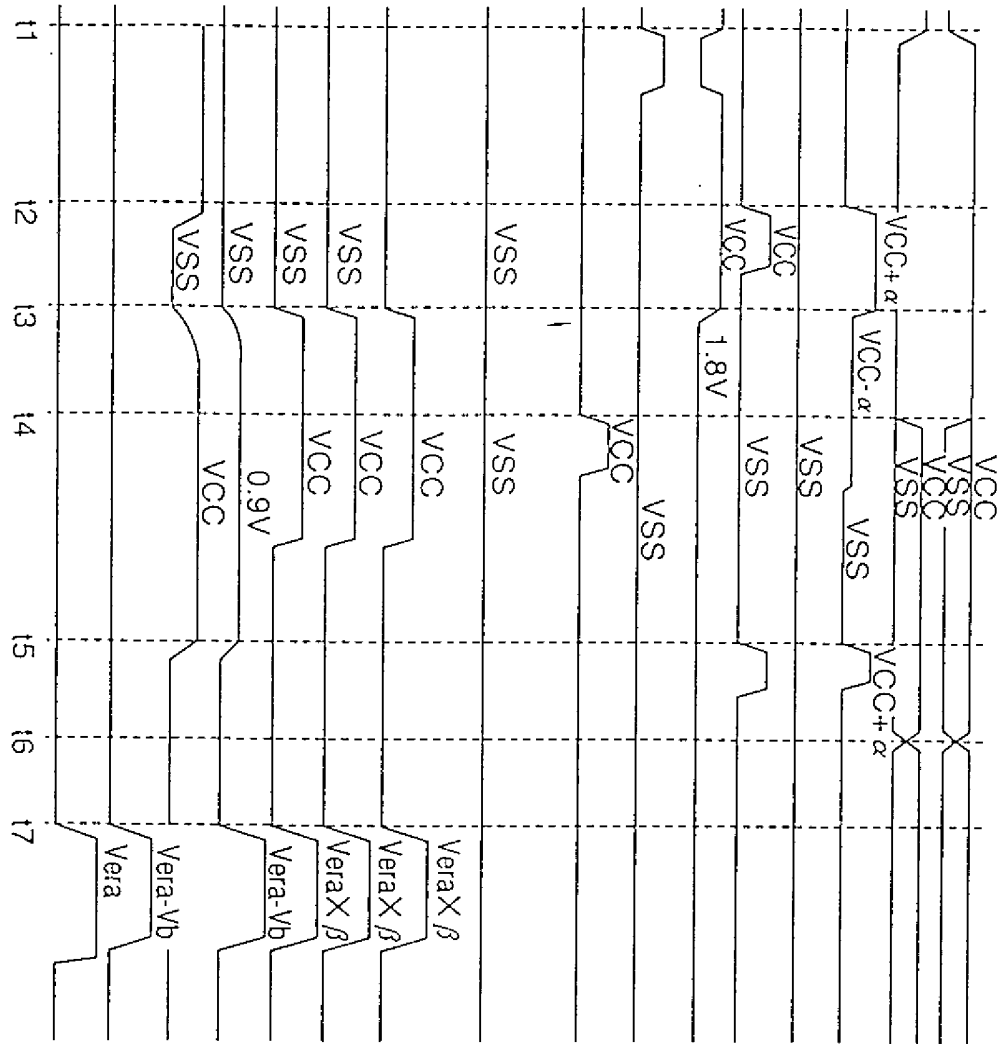
[圖 60]


Q
Qb
BLSHF
SBL
DCB
Load
φL1
φL2
控制閘線
(被選擇者)
控制閘線
(非選擇者)
SSL
GSL
BL
(寫入"0")
BL
(寫入"1")
通道
(寫入"0")
通道
(寫入"1")
Nsense
Vcc
Vss
Vcc+α
Vprog
Vch
Vcc-V+h
t1
t2
t3
t4
t5

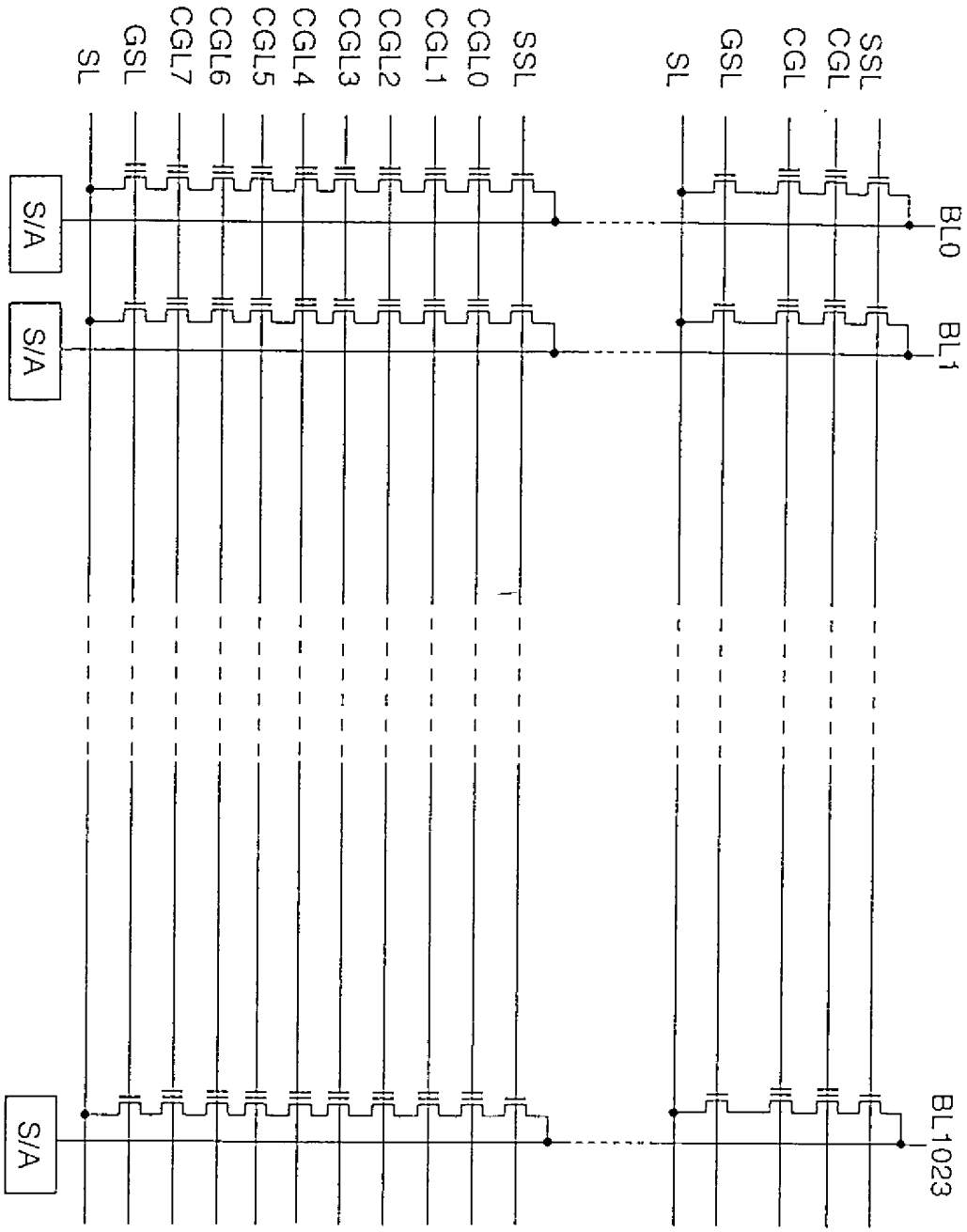
[圖 61]


Q
Qb
BLSHF
SBL
DCB
Load
φL1
φL2
控制閘線
(被選擇者)
SSL
GSL
BL
Nsense
VCC
VSS
VCC+α
VCC-α
1.8V
Vref
0.9V
t5
t6
t7

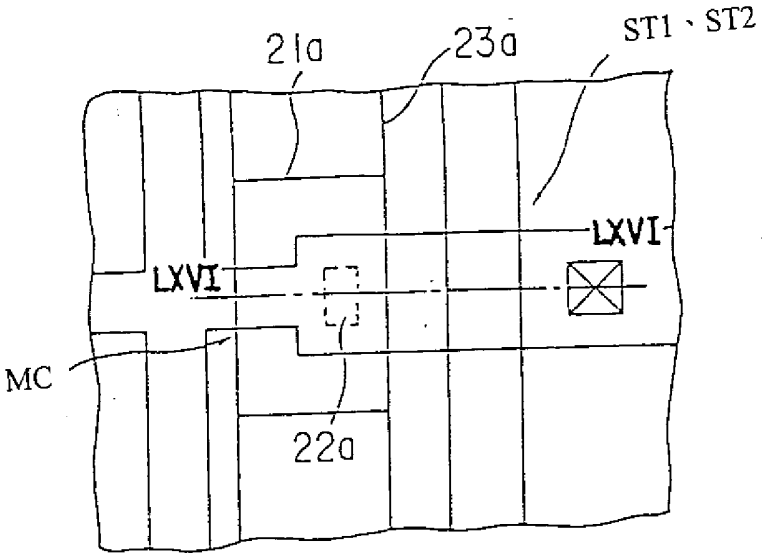
[圖 62]


Q
Qb
BLSHF
SBL
DCB
Load
φL1
φL2
控制閘線
(被選擇者)
控制閘線
(非選擇者)
SSL
GSL
BL
Nsense
SL
t1
t2
t3
t4
t5
t6
t7
VCC
VSS
VCC+α
VCC-α
1.8V
0.9V
VeraXβ
Vera-Vb
Vera

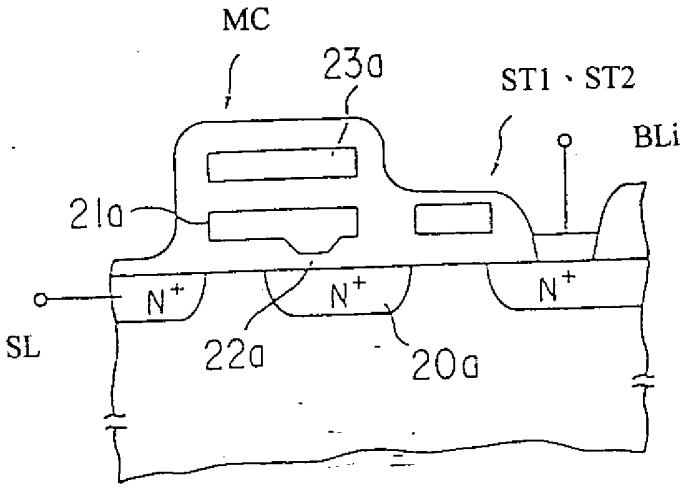
[圖 63]


SL
GSL
CGL7
CGL6
CGL5
CGL4
CGL3
CGL2
CGL1
CGL0
SSL
SL
GSL
CGL
CGL
SSL
S/A
S/A
S/A
BL0
BL1
BL1023

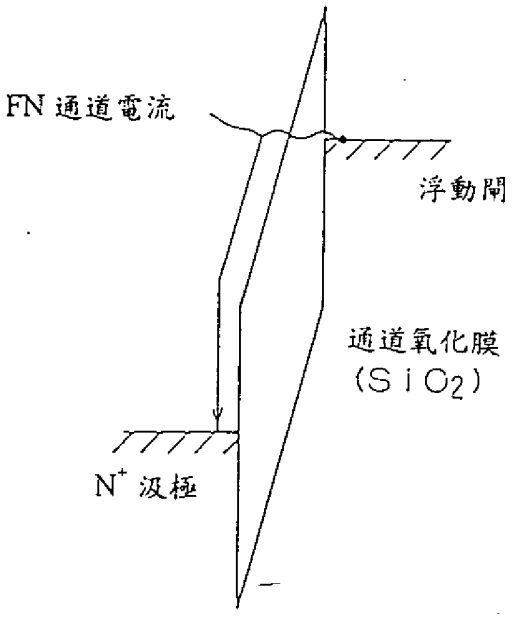
[圖 64]


21a
23a
ST1、ST2
LXVI
LXVI
MC
22a

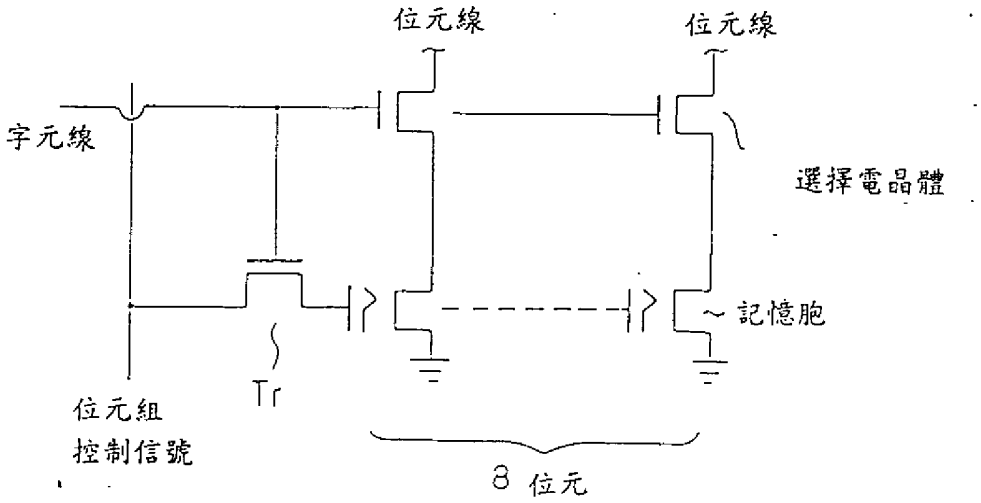
[圖 65]


MC
23a
ST1、ST2
BLi
21a
N+
N+
N+
SL
22a
20a

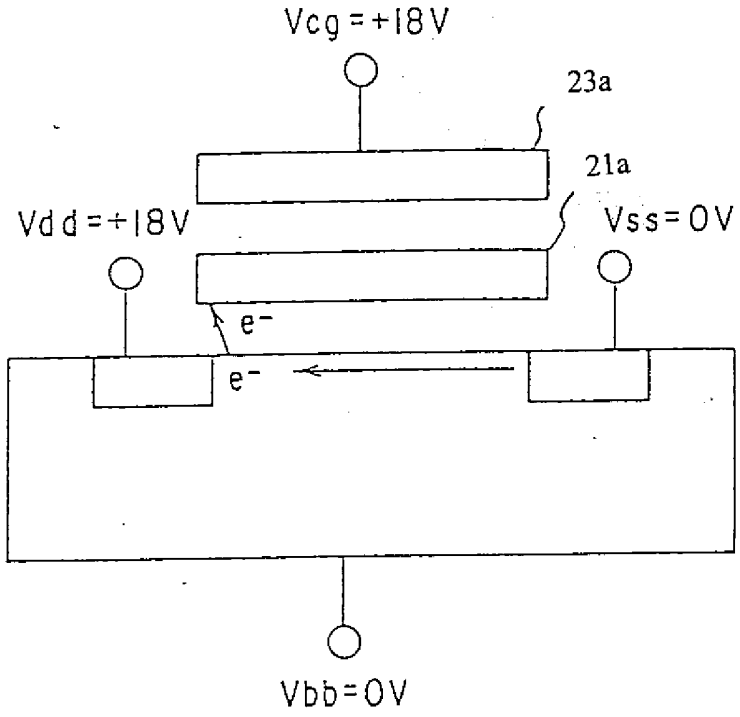
[圖 66]


FN 通道電流
浮動閘
通道氧化膜
(SiO2)
N+ 汲極

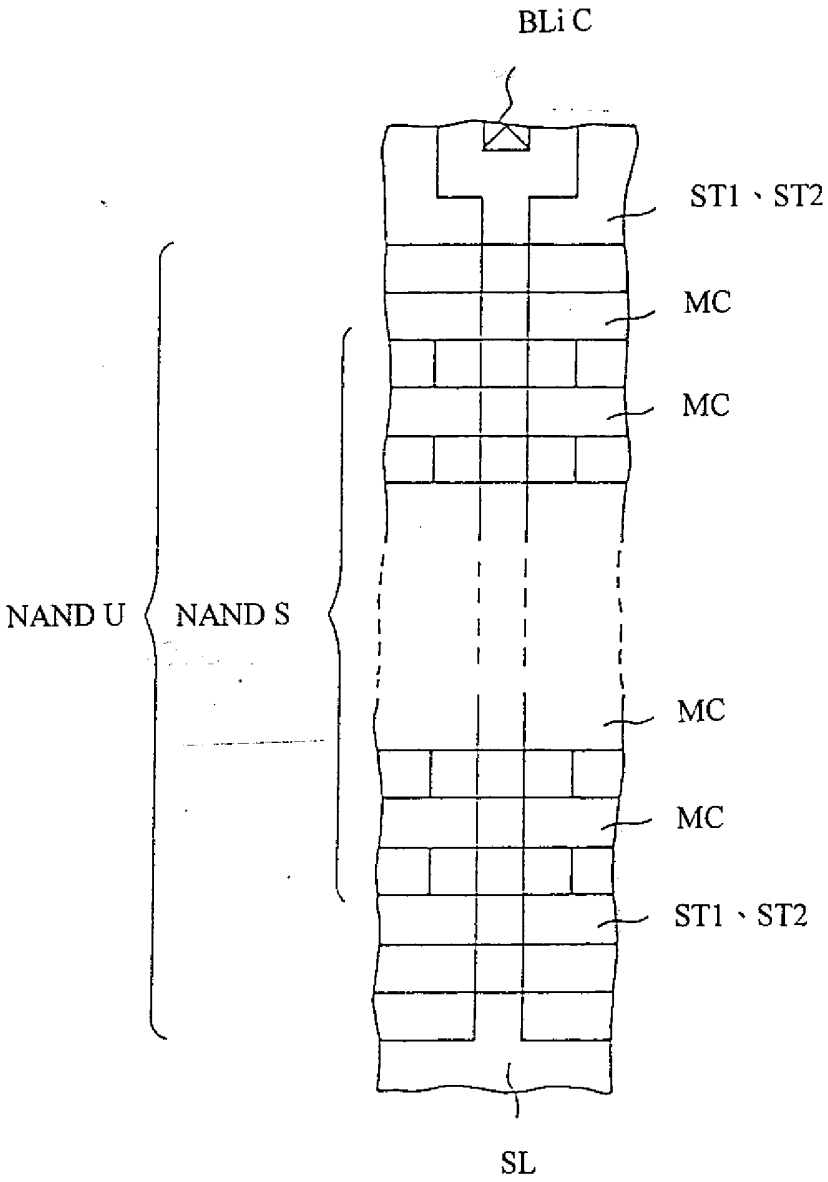
[圖 67]


位元線
位元線
字元線
選擇電晶體
記憶胞
Tr
位元組
控制信號
8 位元

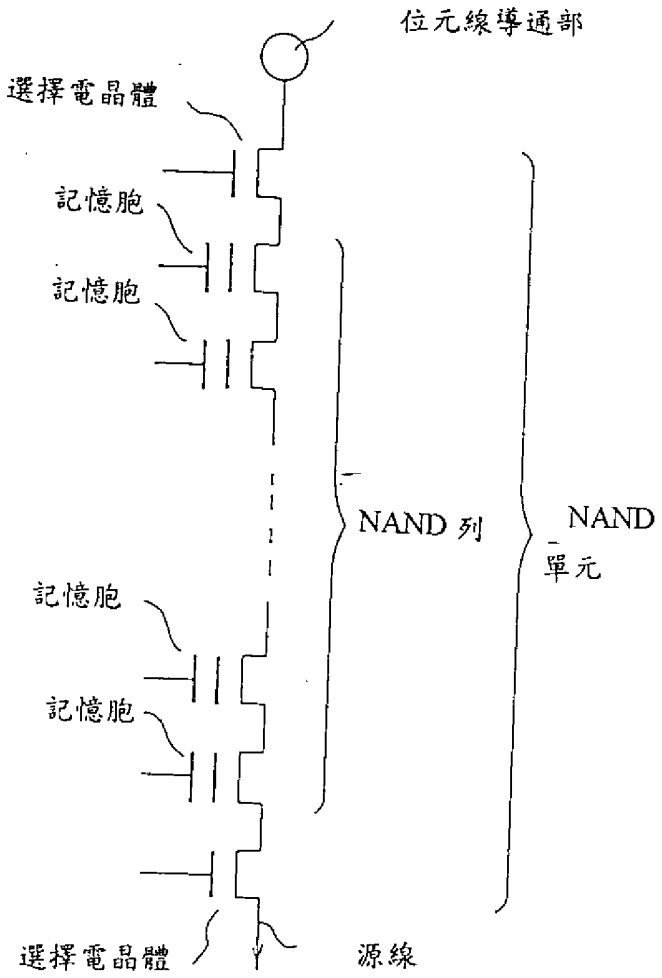
[圖 68]



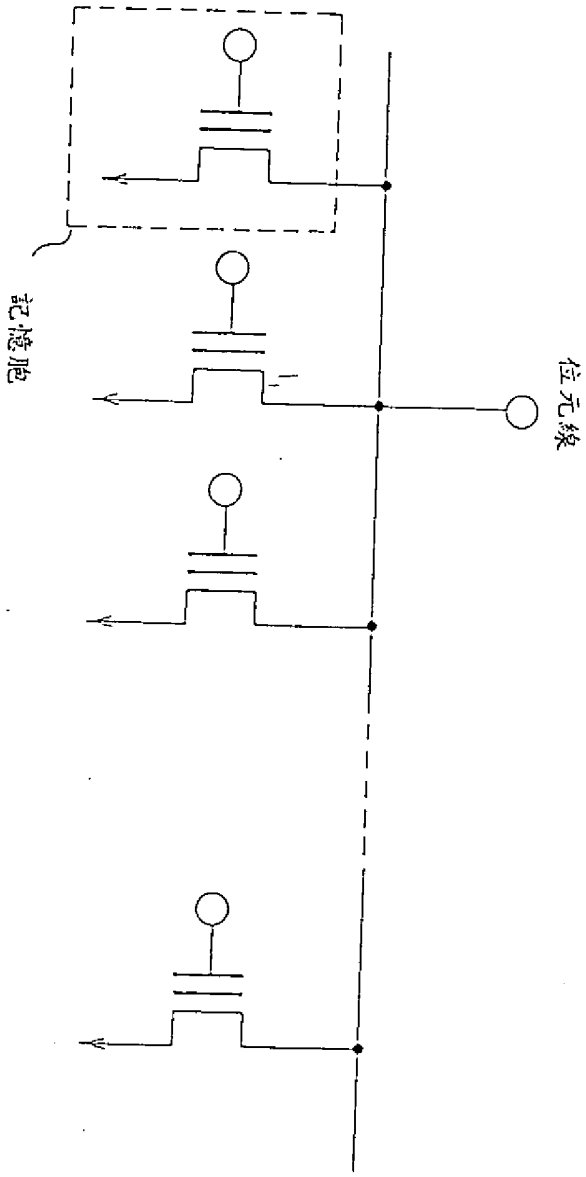
[圖 69]



[圖 70]



[圖 71]



[圖 72]

五、發明說明（ 1 ）

(發明背景)

本發明係關於非揮發性半導體記憶體，其係可將記憶胞之資料變更動作，以位元組單位予以進行者。

以往將記憶胞之資料變更以位元組單位進行之非揮發性半導體記憶體，習知者為EEPOM。

文獻1(W. Johnson et al., "A 16Kb Electrically Erasable Nonvolatile Memory, "ISSCC Digest of Technical Papers, pp. 152-153, Feb. 1982。)提議使用FLOTOX(Floating Gate Tunnel Oxide)胞，將記憶胞資料之變更以位元組單位進行之方式做成之EEPROM。

圖65例示一可進行位元組抹除之EEPROM之記憶胞部之平面圖，圖66係圖65之LXVI-LXVI線之剖面圖。

該EEPROM於記憶胞部使用FLOTOX胞。FLOTOX胞之特徵在於：在N^+汲20a及浮動閘21a之間，配置10[nm]左右之通道氧化膜22a，於該通道氧化膜22a上施加電場，於N^+汲20a及浮動閘21a之間，進行電荷之交換。

流經通道氧化膜22a之電流係由FN(Fowler-Nordheim)通道現象所產生之FN通道電流。

圖67表示MOS電容器部之能量帶圖。

對MOS電晶體(N^+汲-通道氧化膜-浮動閘)施加電場後，則基於(1)式，於通道氧化膜(SiO_2)上有FN通道電流流動。

$$I = S \cdot \alpha \cdot E^2 \exp(-\beta/E) \quad \ldots(1)$$

S：面積、E：電場

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 5 ）

EEPROM提出了NAND型快閃EEPROM。

NAND型快閃EEPROM揭示於文獻3(F. Masuoka et al., "New ultra high density EPROM and Flash EEPROM with NAND structured cell," IEDM Technical Digest, pp. 552-555 Dec. 1987)。

NAND型EEPROM之記憶胞陣列部如圖70及71所示，係由NAND U(NAND單元)所構成，其係將複數個(例如16個)記憶胞予以串聯成NAND S(NAND列(series))，於其兩端，每端各接1個選擇電晶體者。

NAND型EEPROM不是對1個記憶胞，而是對1個NAND單元，設置位元線導通部Bli C及源線即可。又，構成NAND列(series)之複數之記憶胞係與相鄰的記憶胞彼此共有1個擴散層之故，可大幅削減1位元單元之記憶胞尺寸，可實現大的記憶體容量之記憶體晶片。

圖72表示NOR型快閃EEPROM。NOR型快閃EEPROM係於位元線與源線之間配置1位元(1個)記憶胞。

上述NAND型快閃EEPROM自成本面觀之，其與NOR型快閃EEPROM相比，可將胞尺寸做小之故，具有：位元單位成本低，適用於大記憶體容量之檔案(File)記憶體之特徵。又，自功能面觀之，NAND型快閃EEPROM與NOR型快閃EEPROM相比，具有：資料變更速度快，消耗電力低之特徵。

NAND型快閃EEPROM之功能面之特徵係在於變更資料之方式(scheme)。即，在NAND型快閃EEPROM之情況下，

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 6 ）

程式化及抹除，係藉由矽基板(通道)與浮動閘之間之電荷之交換予以達成。

又，電荷之交換係利用FN通道現象。即，程式中必要之電流係自矽基板(通道)向浮動閘流動之FN通道電流，與在程式中利用熱電子之NOR型快閃EEPROM比較，NAND型快閃EEPROM之消耗電流非常小。

64 MB (Mega Bit)NAND型快閃EEPROM之情況下，可將1頁(512位元)單位之程式可用200[μs]進行。該程式時間比NOR型快閃EEPROM之1區塊單位之程式時間短。

表2為NAND型快閃EEPROM之特徵與NOR型快閃EEPROM之特徵之比較表。

[表2]

	NAND	NOR
優點	①寫入速度快 ②抹除速度快 ③區塊尺寸小，檔案管理容易	①隨機存取快 ②可對每一位元執行寫入
缺點	①隨機存取慢 ②無法對每一位元執行寫入	①寫入速度慢 ②抹除速度慢
用途	硬碟、軟碟之置換、攜帶型終端機(攜帶型終端機、聲音錄音、電子靜止照相機)FAX/數據機之資料記錄用	習知EEPROM領域之置換、控制機器、PC之BIOS、行動電話、HDD等之控制用記憶體

如表2所示，兩記憶體之優缺點呈互補關係。

關於用途，NAND型快閃EEPROM係以以區塊單位進行資

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 16 ）

高至前述程式化用之高電位。

(圖式之簡單說明)

圖1A：本發明之位元組型EEPROM之記憶胞單元之表示圖。

圖1B：圖1A之I-I線剖面圖。

圖2：圖1之等效電路表示圖。

圖3：本發明之位元組型EEPROM之記憶胞陣列表示圖。

圖4：與記憶胞之資料對應之閘極電壓與胞電流之關係表示圖。

圖5a及5b：資料讀取時施加至記憶胞單元之電位表示圖。

圖6：與記憶胞之資料對應之臨限值電壓分布之一例之表示圖。

圖7：與記憶胞之資料對應之臨限值電壓分布之其他例之表示圖。

圖8：本發明之位元組型EEPROM之主要部分之方塊圖。

圖9：圖8之感測放大器之一例之表示圖。

圖10：本發明之位元組單位之改寫動作之流程圖。

圖11：圖10之順序之資料讀取時之樣子之表示圖。

圖12：圖10之順序之位元組資料之改寫(overwrite)時之狀態表示圖。

圖13：圖10之順序之頁抹除時之樣子之表示圖。

圖14：圖10之順序之頁程式化時之樣子之表示圖。

圖15：本發明之頁單位之改寫動作(data change operation

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 18 ）

圖36：圖28之EEPROM之變形例之表示圖。

圖37：圖36之記憶胞陣列之相互鄰接之2列之表示圖。

圖38：使用差動型感測放大器之系統之例之表示圖。

圖39：於複數之位元線設置1個感測放大器之系統之例之表示圖。

圖40：圖28之EEPROM之變形例之表示圖。

圖41：圖40之預譯碼器之一例之表示圖。

圖42：圖40之列譯碼器及驅動器之一例之表示圖。

圖43：圖40之記憶胞陣列之相互鄰接之2列之表示圖。

圖44：副譯碼器之配置例之表示圖。

圖45：使用本發明之EEPROM之一例之表示圖。

圖46：使用本發明之EEPROM之一例之表示圖。

圖47：使用本發明之EEPROM之一例之表示圖。

圖48：NAND型EEPROM之程式化時之表示圖。

圖49：表示NAND型EEPROM之資料程式動作之波形圖。

圖50：本發明之位元組型EEPROM之記憶胞單元之表示圖。

圖51：圖50之等效電路之表示圖。

圖52：抹除動作時施加至記憶胞單元之電位之表示圖。

圖53：程式動作時施加至記憶胞單元之電位之表示圖。

圖54：讀取動作時施加至記憶胞單元之電位之表示圖。

圖55：記憶胞之資料所對應之閘極電壓與胞電流之關係之表示圖。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 19 ）

圖56：表示本發明之位元組型EEPROM之主要部分之方塊圖。

圖57：圖56之記憶胞陣列之電路構造之表示圖。

圖58：圖56之感測放大器之一例之表示圖。

圖59：本發明之位元組單位之改寫動作之流程圖。

圖60：感測放大器之節點Qb之樣子之表示圖。

圖61：表示本發明之頁單位之改寫動作之波形圖。

圖62：表示本發明之頁單位之改寫動作之波形圖。

圖63：表示本發明之位元組單位之改寫動作之波形圖。

圖64：本發明之位元組型EEPROM之記憶胞陣列之變形例之表示圖。

圖65：習知之位元組型EEPROM之記憶胞之表示圖。

圖66：圖65之LXVI-LXVI線之剖面圖。

圖67：FN通道電流之機構之能量帶域圖。

圖68：習知之位元組型EEPROM之記憶胞之表示圖。

圖69：習知之位元組型EEPROM之記憶胞之基本構造表示圖。

圖70：NAND型快閃EEPROM之NAND單元之表示圖。

圖71：圖70之等效電路之表示圖。

圖72：NOR型快閃EEPROM之記憶胞之表示圖。

元件符號說明

ST1、ST2	選擇電晶體	BLi	位元線
CGL	控制閘線	SL	源線
SSL、GSL	選擇閘線	I1、I2	CMOS反相器

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 19a ）

M1～8	NMOS電晶體	BLK_{i-j}	區塊
Q	閂鎖節點	bCB	放電控制信號
φL2	控制信號	M1、M2・・・、MC、	
PD0、PD1、PD2...預譯碼器		MC1、MC2・・記憶胞	
		NAND U	NAND 單元
RD0、RD1、RD2...列譯碼器		NAND S	NAND 列
		BLiC	位元線導通部
10a	控制閘線	21a	浮動閘
10b	位元線	21	閂鎖電路
11	記憶胞陣列	22a	通道氧化膜
12	列譯碼器	23a	控制閘
12a	預譯碼器	25	指令暫存器
12b	列譯碼器	26	指令譯碼器
12c	控制閘、選擇閘驅動器	27	信號產生電路
		28	副控制閘驅動
13	感測放大器	29	副譯碼器
14	行譯碼器	32	NAND電路
15	行選擇電路	33	反相器
16	升壓器	34	升壓器
17	控制電路	35、36	N通道MOS電晶體
18	資料輸出入緩衝器		
19	位址暫存器	37	主控制閘驅動器
20a	N^+汲	38	選擇閘驅動器
20	感測放大器	41	晶片

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

五、發明說明（ 19b ）

42a、42b 記憶體電路

(實施例之說明)

以下參照圖面詳細說明本發明之非揮發性半導體記憶體。

圖1A及圖1B表示本發明之位元組型EEPROM之記憶胞。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 20 ）

圖2表示圖1A及圖1B之記憶胞之等效電路。圖3表示記憶胞陣列之整體之電路構造。

記憶胞MC具有控制閘及浮動閘，與快閃EEPROM之記憶胞之構造相同。記憶胞MC兩端中，一端連接有選擇電晶體ST1，另一端連接有選擇電晶體ST2。選擇電晶體ST1係經由位元線導通部BC連接於位元線，選擇電晶體ST2係連接於源線SL。

由記憶胞MC及選擇電晶體ST1、ST2構成1個記憶胞單元，記憶胞陣列係由配置成陣列狀之複數之記憶胞單元所構成。

由配置於列方向之複數之記憶胞單元，構成1個區塊。於1區塊內，配置有向列方向延伸之1條控制閘線CGL。連接於1條控制閘線CGL之記憶胞總稱為1頁。

抹除動作可對每一頁進行。對記憶胞進行之程式化及讀取等各動作，亦可藉由在每一行設置具閂鎖功能之感測放大器，對1頁同時進行。惟，資料之輸出入係例如對每一位元順序進行。

又，依此種構造，可進行位元組單位之資料改寫動作(data change operation for bite data)。

本發明之位元組型EEPROM，依其構造，可視為於NAND型快閃EEPROM中，將1個NAND單元內之記憶胞做成1個者。惟，本發明之位元組型EEPROM，在機能上，與NAND型快閃EEPROM大不相同。關於此點以動作之說明予以詳述。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 22 ）

之點，係與NAND型快閃EEPROM相異。

以下依序說明本發明之位元組型EEPROM之抹除動作、程式化動作及讀取動作。

抹除動作時，所選擇(selected)之區塊之控制閘(字元線)CGL被施加接地電位，非選擇(unselected)之區塊之控制閘CGL被設定為浮動狀態。

其後，將例如21[V]、3[ms]之抹除脈衝施加至體塊(bulk)。此處，體塊係指形成於矽基板之井，記憶胞MC及選擇電晶體ST1、ST2全部係形成於該井中。

抹除脈衝被施加至體塊後，被選擇之(selected)區塊之記憶胞MC，在體塊與控制閘之間被施加抹除電壓(21[V])，浮動閘中之電子因FN(Fowler-Nordheim)通道現象向井移動。於是，記憶胞之臨限值電壓成為-3[V]左右。

本發明之位元型EEPROM在抹除動作中，記憶胞之臨限值電壓之絕對值亦可不將變成極端大的過度抹除(over erase)視為問題。故，於1個抹除脈衝，臨限值電壓係在成為-3[V]左右之條件下進行抹除動作，可縮短抹除時間(在進行確認臨限值電壓是否不到預定值之判別動作之情況時，亦需將其所需之時間包含在內)。

本發明之位元型EEPROM可不將過度抹除視為問題之理由係在於1個記憶胞MC之兩端連接有選擇電晶體ST1、ST2之故。即，在資料讀取時，雖必須將非選擇(unselected)記憶胞經常設為OFF狀態，將被選擇(selected)記憶胞因應資料設為ON或OFF狀態；但若設置過度抹除則

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 28 ）

式錯誤之故，程式之可靠性變高。又，可進行負單位(或位元單位)之改寫。即使於讀取時，因無通過電晶體(pass transistor)之故，可使胞電流加大。故，可進行高速讀取，讀取時之資料保持特性提升。

表3係表示上述抹除、程式化、讀取之各動作之選擇閘線SSL、GSL、控制閘線(字元線)CGL、位元線BLi、胞源線SL、胞P井之電位。

[表3]

		抹除	寫入	讀取
選擇區塊	位元線側之選擇閘線SSL	Vera×β	VCC	VCC
	控制閘線CGL	0V	Vprog	0V
	源線側之選擇閘線GSL	Vera×β	0V	VCC
非選擇區塊	位元線側之選擇閘線SSL	Vera×β	0V	0V
	控制閘線CGL	Vera×β	0V	0V
	源線側之選擇閘線GSL	Vera×β	0V	0V
位元線	"1"資料	Vera-Vb	VCC	VBL→0V
	"0"資料	Vera-Vb	0V	VBL
胞源線		Vera-Vb	VCC	0V
胞P井		Vera	0V	0V

於抹除動作中，選擇區塊之控制閘線CGL被設定為

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 50 ）

起改寫僅1次之頁讀取、抹除、程式動作即足夠，但在將1頁分之資料以1位元組為單位予以改寫時，則需64次之頁讀取、抹除、程式動作。

如此，圖27所示之位元組單位之資料改寫動作(data change operation for bite data)在進行1位元組分之資料變更之情況下，對所選擇之區塊內之1頁分之資料，進行1次讀取動作、抹除動作及程式動作。故，依本發明之方法變更1頁分之資料之情況之頁讀取、抹除、程式次數，係比將1頁分之資料予以一次變更之情況之頁讀取、抹除、程式次數，最大變多成為1頁內所含之位元組數倍。

又，為了防止此種頁讀取、抹除、程式次數之增加，在圖27之方法之1次頁讀取後，將複數位元組之資料予以改寫，減少頁讀取、抹除、程式次數亦可。

惟，以下係說明以別的方法將複數位元組之改寫，維持為位元組單位之改寫動作(data change operation for bite data)，並可減少頁讀取、抹除、程式次數之非揮發性半導體記憶體。

圖28表示圖23之位元組型EEPROM之改良側。

本發明係以於列方向及行方向成行列狀配置之複數之區塊BLKi-j(i=0，1，...，n；j=0，1，2，3)構成記憶胞陣列11。

目前為止所說明之例如圖23及圖25所示，係將區塊BLKi僅配置於行方向，連接於1條控制閘線CGL之1頁分之記憶胞一定係存在於同一區塊BLKi內。本發明則係將1頁分之

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 59 ）

讀取、抹除、程式之次數，實質之改寫特性(Program/Erase endurance characteristics)，即，可提升資料改寫次數。

如此依本發明，可用與快閃EEPROM相同之製程製造，且使用相同之改寫方法亦無妨，改寫特性不會變差，可進行位元組單位之資料改寫動作。

圖33表示使用於圖28至圖31之EEPROM之位元組單位之資料改寫動作之第二例。

本發明之位元組之資料改寫動作包含以下4個主要之步驟。

①對被選擇之列內之1頁分之記憶胞，進行資料之讀取，將其保持於具閂鎖功能之感測放大器。

②對保持於具閂鎖功能之感測放大器之資料，進行位元組資料之改寫(overwrite)。

③將被選擇之區塊內之記憶胞之資料予以抹除。

④將保持於具閂鎖功能之感測放大器之資料，於被選擇之區塊內之記憶胞內予以程式化。

本發明之位元組單位之資料改寫動作與圖32之資料改寫動作相比，具有可對1頁分之記憶胞進行讀取之特徵。即，本發明雖讀取1頁分之記憶胞之資料，但抹除及程式化則僅對被選擇之列內之選擇區塊進行。因此，可取消對被選擇之列內之非選擇區塊之記憶胞之資料所進行之不需要之抹除、程式動作。

於該情況下，於讀取動作中，以選擇被選擇之列內之全部之區塊BLKi-j之方式，藉由副譯碼器多重選擇被選擇之

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 77 ）

記憶胞之被選擇因Vpass而逐漸上升(對浮動閘徐徐注入電子)，而有發生程式錯誤之可能。

為消除此種可能性，必需將Vpass變低或變更為區塊單位之資料改寫動作。

惟，Vpass如上所述，於1次之資料程式化動作中，被設定為對於進行"1"程式化之被選擇之記憶胞或與進行"0"程式化之記憶胞相同之胞單元內之非選擇記憶胞不會進行"0"程式化(程式錯誤)之最佳值，要將其再設定為更低乃為不可能之事。

故，結果NAND型快閃EEPROM無法進行位元組(或頁)單位之資料改寫動作，而係進行區塊單位之資料改寫動作。

以下說明一新穎之胞單元構造或資料程式化手法，其係如NAND型快閃EEPROM，可做每一記憶胞之胞尺寸變小，並且對於位元組(或頁)單位之資料改寫動作可藉由使Vpass降低而達成者。

圖50表示本發明之位元組型EEPROM之記憶胞單元。圖51表示圖50之記憶胞之等效電路。

記憶胞MC1、MC2具有控制閘與浮動閘，係為與快閃EEPROM之記憶胞相同之構造。記憶胞MC1、MC2互為串聯，於其兩端各連接有1個選擇電晶體ST1、ST2。選擇電晶體ST1係經由位元線導通部BL連接於位元線，選擇電晶體ST2係連接於源線SL。

記憶胞MC1、MC2及選擇電晶體ST1、ST2構成1個記憶胞單元，記憶胞陣列係由將複數個記憶胞單元配置成陣

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

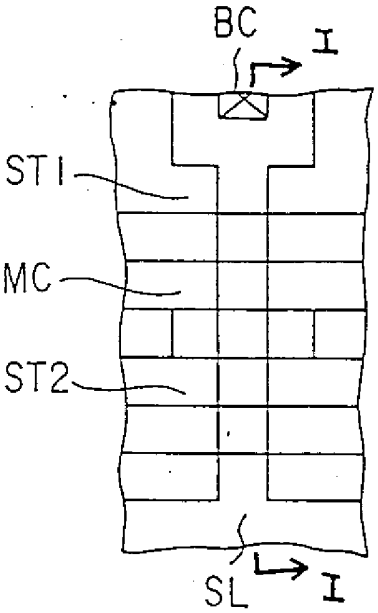


圖 1A

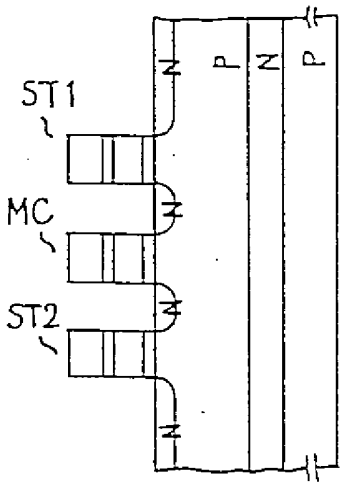
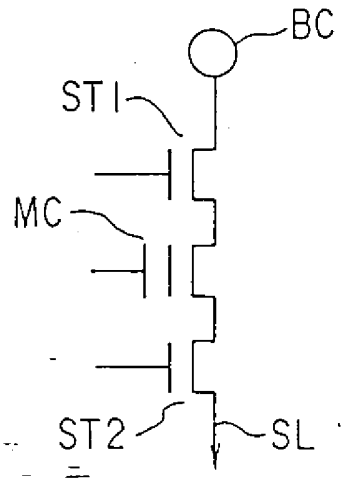


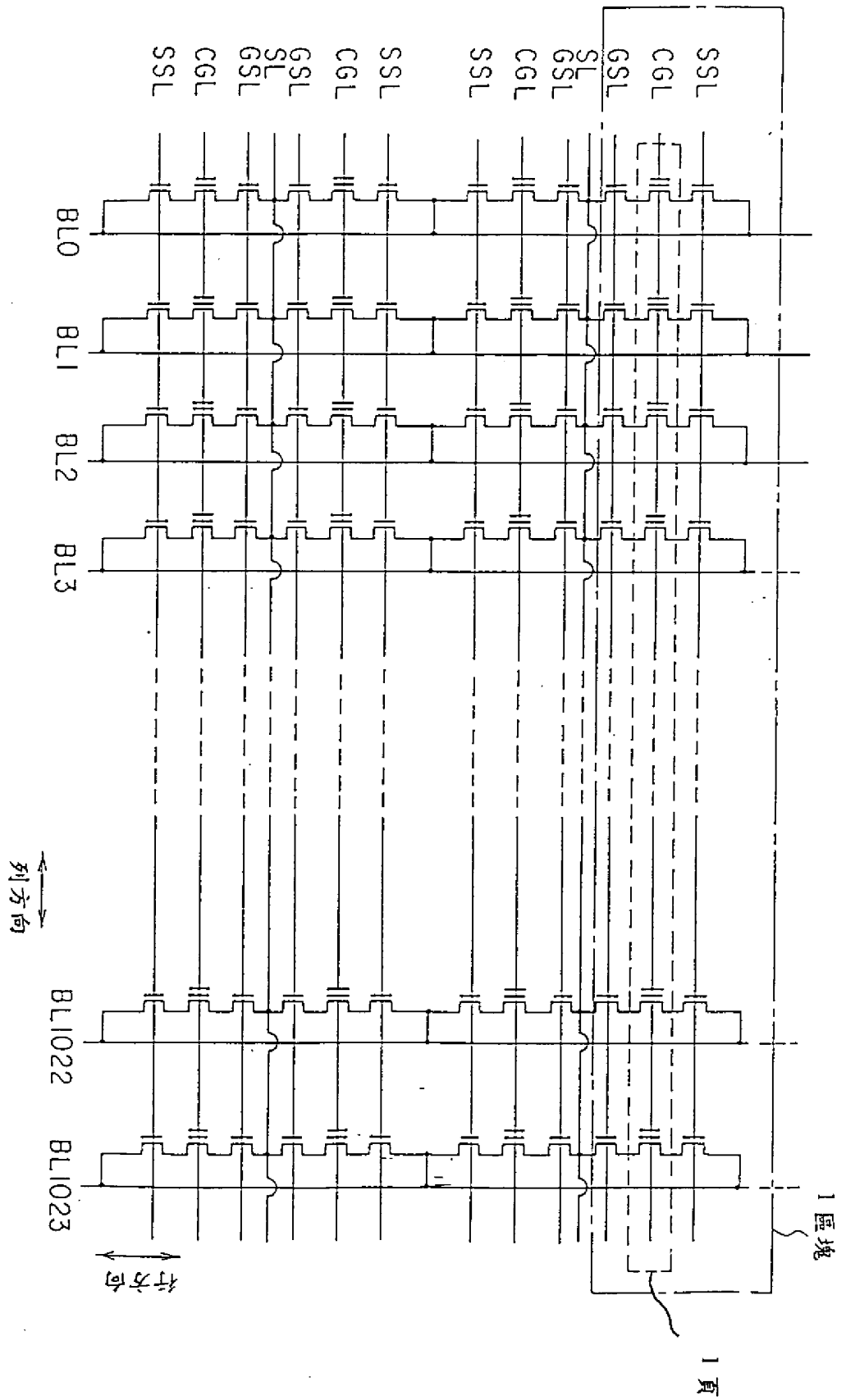
圖 1B

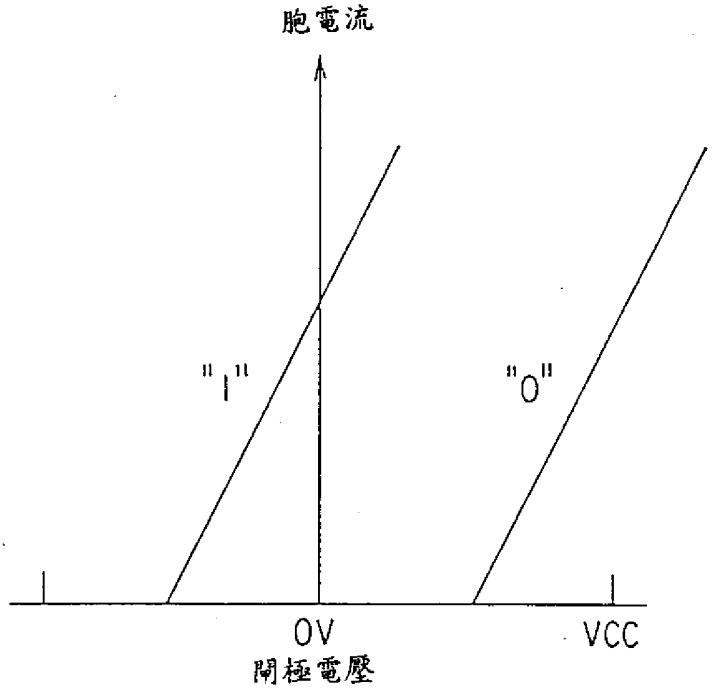
[圖 1]



[圖 2]

[圖 3]


SSL
CGL
GSL
SSL
CGL
GSL
SSL
CGL
GSL
SSL
CGL
GSL
BL0
BL1
BL2
BL3
BL1022
BL1023
列方向
行方向
1區塊
1頁



[圖 4]

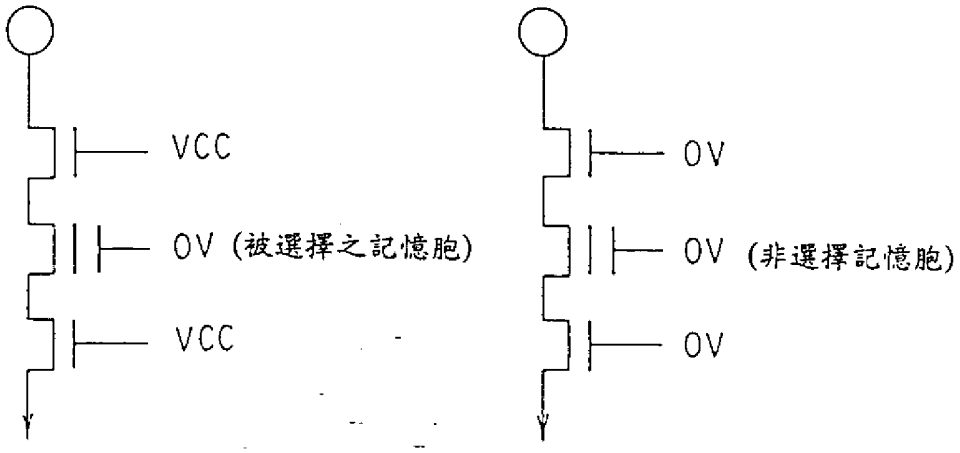
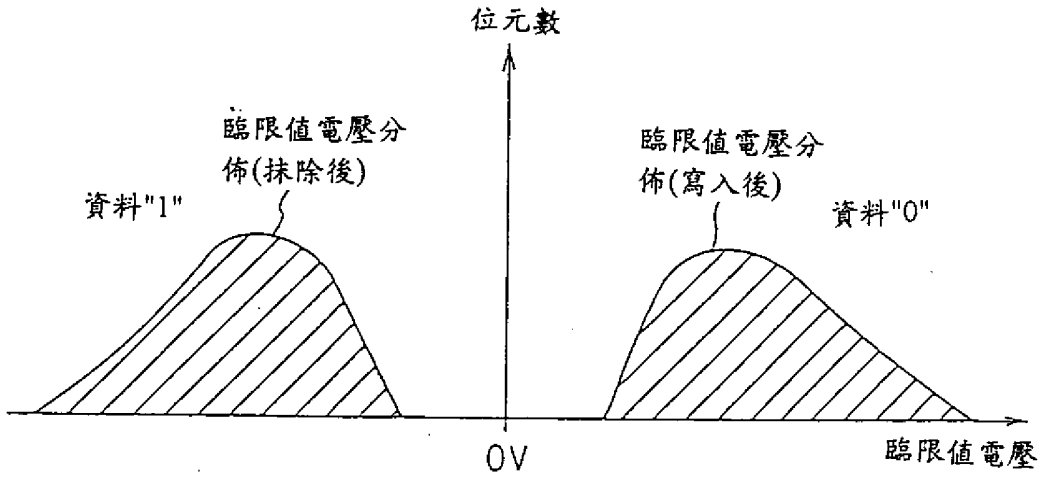
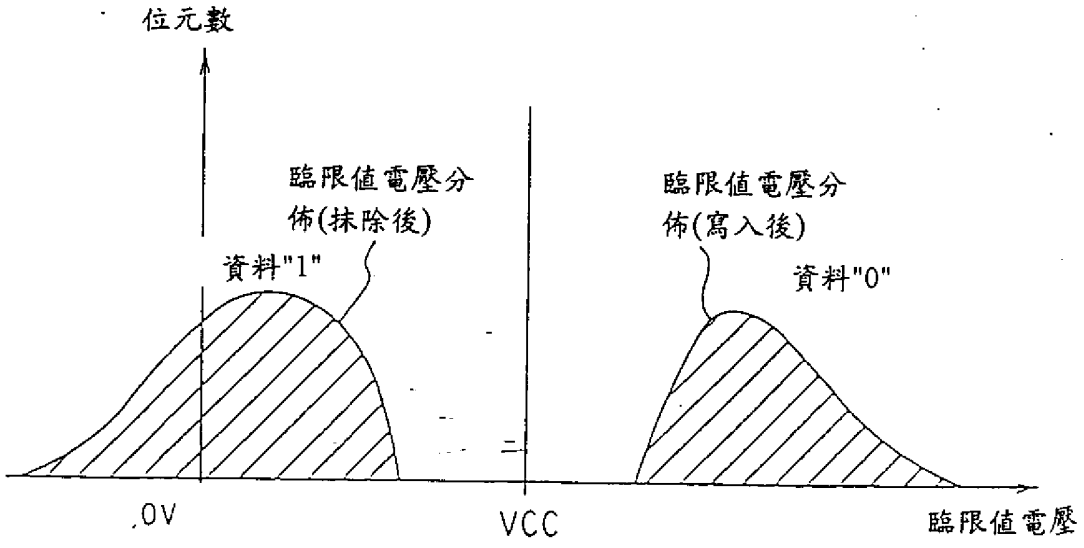


圖 5A　　圖 5B

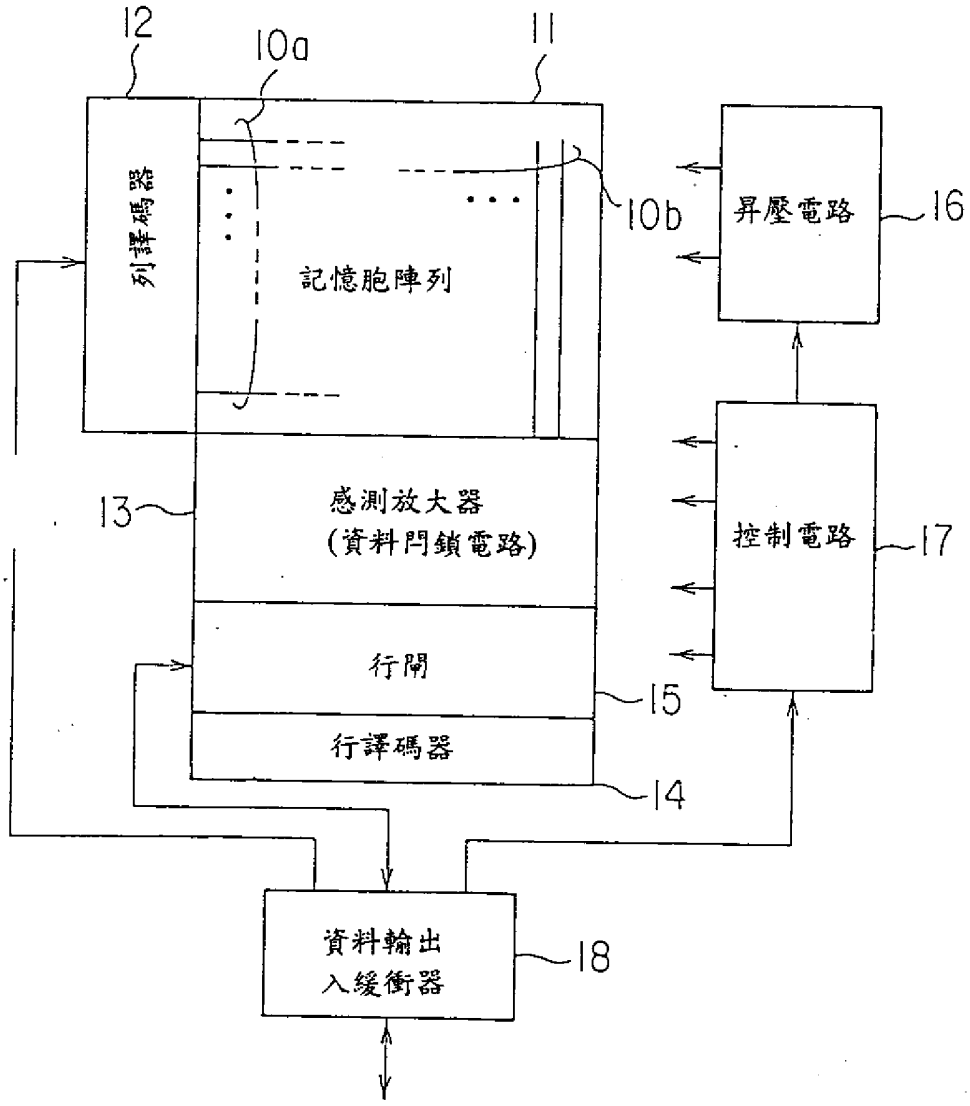
[圖 5]


位元數
臨限值電壓分佈(抹除後)
資料"1"
臨限值電壓分佈(寫入後)
資料"0"
0V
臨限值電壓

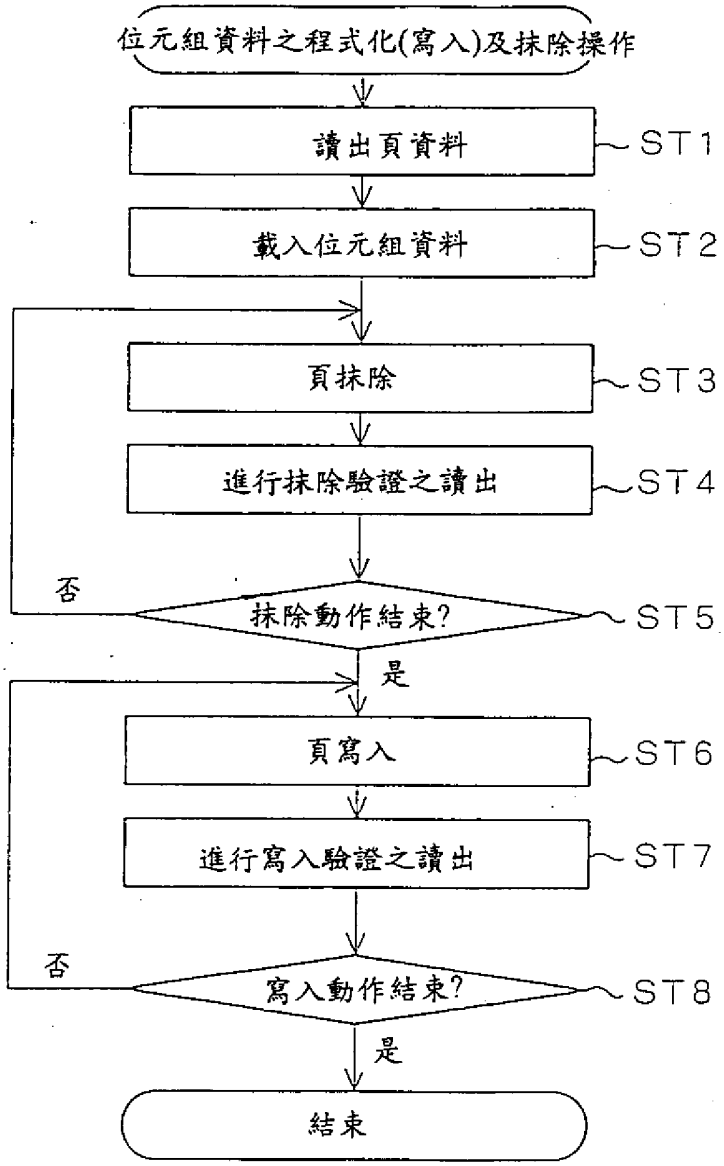
[圖 6]


位元數
臨限值電壓分佈(抹除後)
資料"1"
臨限值電壓分佈(寫入後)
資料"0"
.0V
VCC
臨限值電壓

[圖 7]

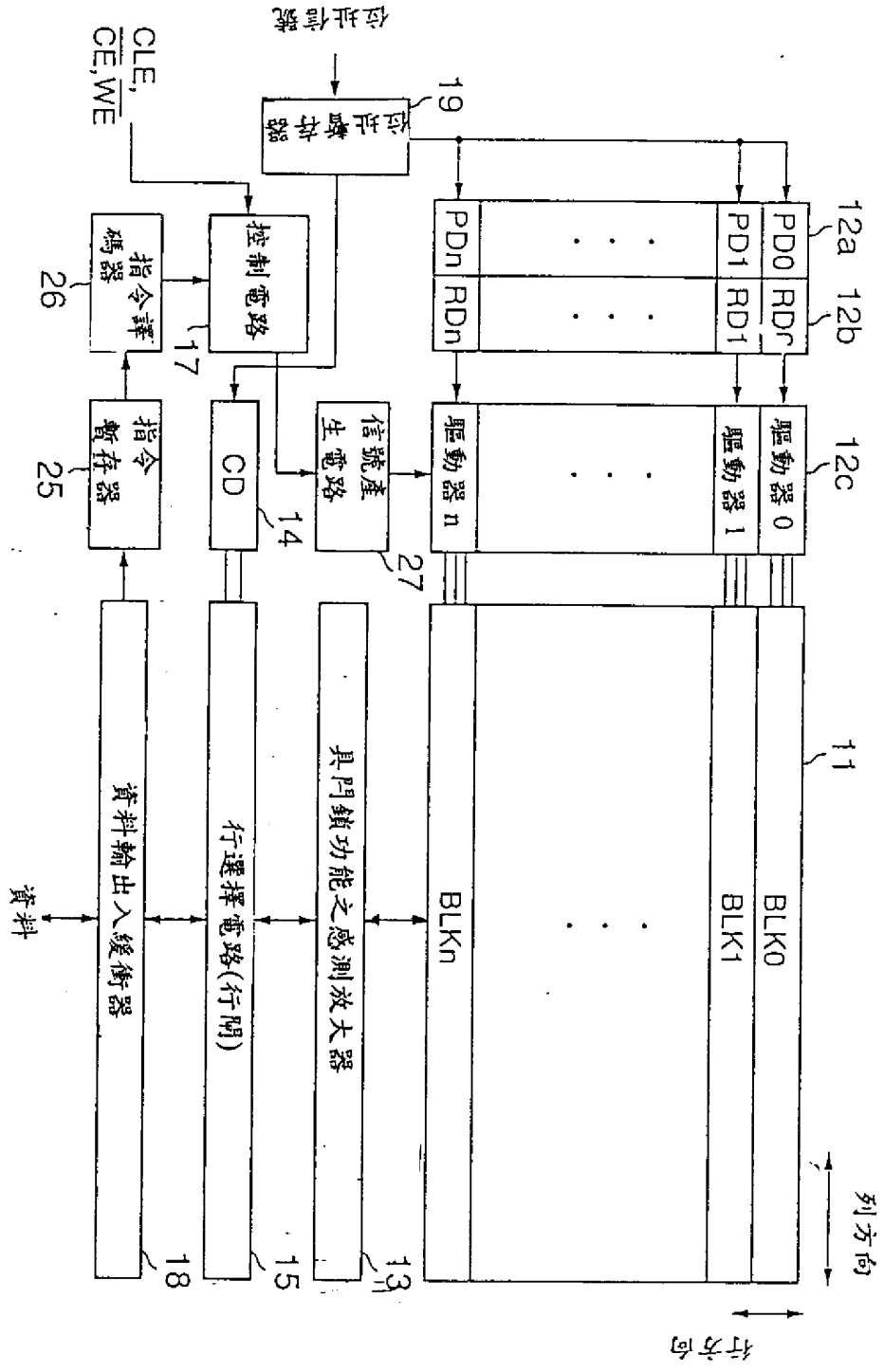

12
10a
11
列譯碼器
記憶胞陣列
10b
昇壓電路
16
感測放大器
(資料閂鎖電路)
13
控制電路
17
行閘
15
行譯碼器
14
資料輸出
入緩衝器
18

[圖 8]

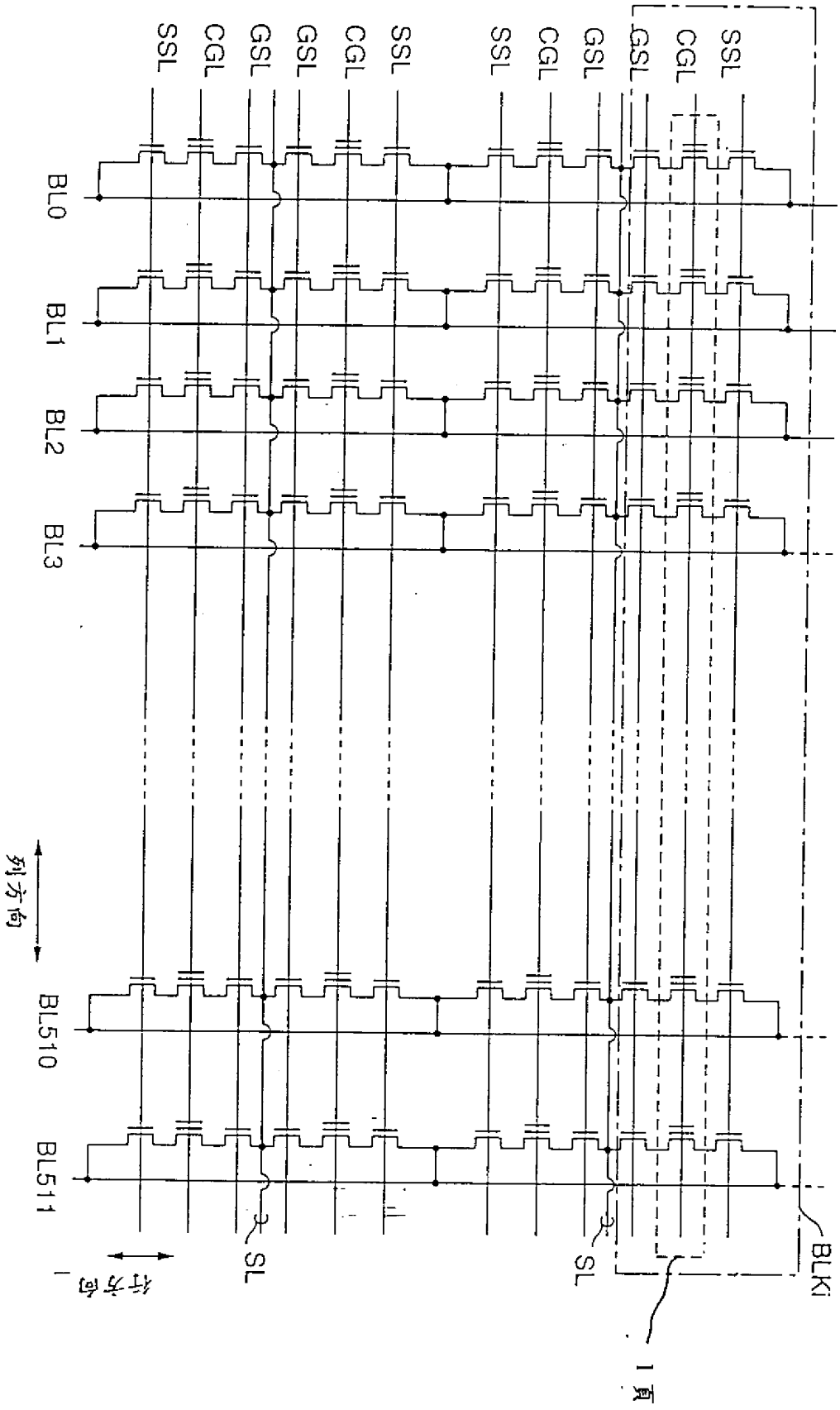

位元組資料之程式化(寫入)及抹除操作
讀出頁資料
ST1
載入位元組資料
ST2
頁抹除
ST3
進行抹除驗證之讀出
ST4
否
抹除動作結束?
ST5
是
頁寫入
ST6
進行寫入驗證之讀出
ST7
否
寫入動作結束?
ST8
是
結束

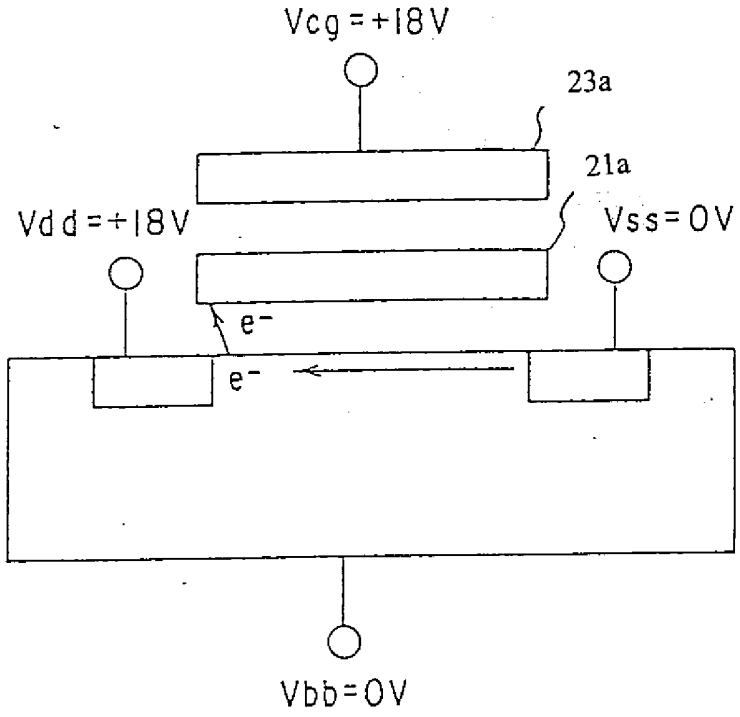
[圖 10]

[圖 23]

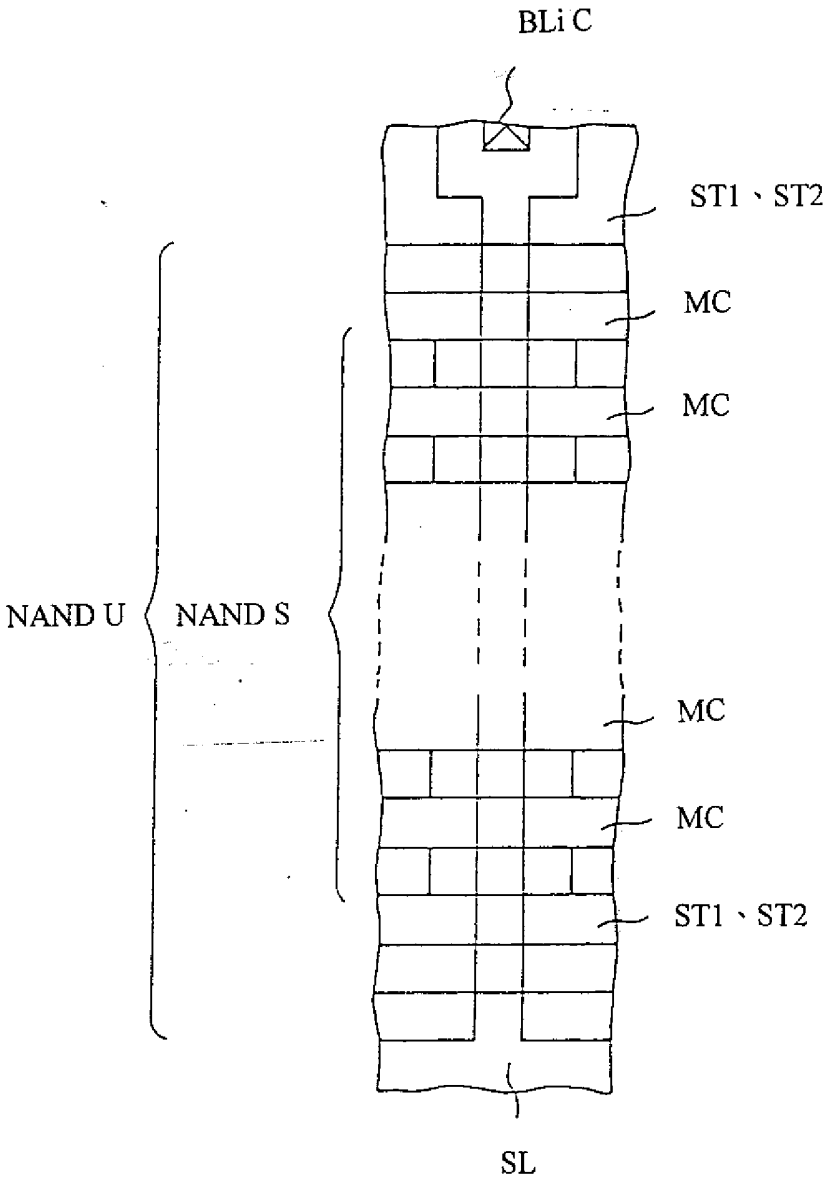

位址信號
CLE,
CE,WE
19
位址暫存器
12a
12b
12c
PD0
PD1
PDn
RD0
RD1
RDn
驅動器 0
驅動器 1
驅動器 n
指令譯碼器
26
控制電路
17
指令暫存器
25
CD
14
信號產生電路
27
11
BLK0
BLK1
BLKn
具閂鎖功能之感測放大器
13
行選擇電路(行閘)
15
資料輸出入緩衝器
18
資料
列方向
行方向

[圖 24]


SSL
CGL
GSL
GSL
CGL
SSL
SSL
CGL
GSL
GSL
CGL
SSL
BL0
BL1
BL2
BL3
BL510
BL511
列方向
行方向
SL
SL
BLKi
1頁



[圖 69]



[圖 70]