

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



W I P O | P C T



(10) 国际公布号

W O 2013/102416 A 1

(43) 国际公布日

2013 年 7 月 11 日 (11.07.2013)

- (51) 国际分类号 :
G09G 3/32 (2006 .01)
- (21) 国际申请号 : PCT/CN20 12/0877 15
- (22) 国际申请日 : 2012 年 12 月 27 日 (27.12.2012)
- (25) 申报语言 : 中文
- (26) 公布语言 : 中文
- (30) 优先权 :
201220001573.2 2012 年 1 月 4 日 (04.01 .2012) CN
- (71) 申请人 : 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号 ,Beijing 100015 (CN)。
成都京东方光电科技有限公司 (CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川省成都市高新区 (西区) 合作路 1188 号 ,Sichuan 61173 1 (CN)。
- (72) 发明人 : 谭文 (TAN, Wen); 中国北京市经济技术开发区地泽路 9 号 ,Beijing 100176 (CN)。祁小敬 (QI, Xiaojing); 中国北京市经济技术开发区地泽路 9 号 ,Beijing 100176 (CN)。
- (74) 代理人 : 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市朝阳区北辰东路 8 号汇宾大厦 A0601, Beijing 100101 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: PIXEL UNIT DRIVING CIRCUIT, PIXEL UNIT AND DISPLAY DEVICE

(54) 发明名称 : 像素单元驱动电路、像素单元和显示装置

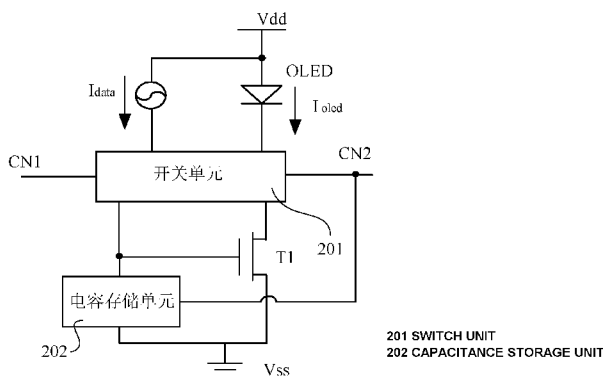


图 2 /Fig. 2

(57) Abstract: A pixel unit driving circuit, a pixel unit and a display device. The pixel unit driving circuit comprises: a switch unit (201), having a first terminal connected to a high voltage signal terminal (Vdd), a second terminal connected to a light-emitting device (OLED), a third terminal connected to a first control line (CN1), and a fourth terminal connected to a second control line (CN2); a driving transistor (T1), having a drain connected to the switch unit (201), and a source connected to a low voltage signal terminal (Vss); a capacitance storage unit (202), having a first terminal connected to a gate of the driving transistor (T1), and a second terminal connected to the source of the driving transistor (T1), and a third terminal connected to the second control line (CN2). The switch unit (201) controls the magnitude and on or off of a driving current I_{led} and a data current I_{data} , so that a current scaling ratio I_{data}/I_{oled} changes opposite to the change of I_{oled} , so as to guarantee that the data current I_{data} is capable of quickly charging the capacitance storage unit regardless of the magnitude of the driving current I_{led} .

(57) 摘要 :

[见续页]

WO 2013/102416 A1

本国际公布：

- 包括国际检索报告(条约第 21 条(3))。

一种像素单元驱动电路、像素单元和显示装置，其中所述的像素单元驱动电路包括：开关单元 (201)，其第一端与高电压信号端 (Vdd) 连接，第二端与发光器件(OLED) 连接，第三端与第一控制线 (CN1) 连接，第四端与第二控制线 (CN2) 连接；驱动晶体管 (T1)，其漏极与所述开关单元 (201) 连接，源极与低电压信号端(Vss) 连接；电容存储单元 (202)，其第一端与所述驱动晶体管 (T1) 的栅极连接，第二端与所述驱动晶体管 (T1) 的源极连接，第三端与第二控制线 (CN2) 连接。通过开关单元 (201) 控制驱动电流 I_{oled} 和数据电流 I_{data} 的大小及其通断，以使电流缩放比 I_{data}/I_{oled} 随着 I_{oled} 的变化而成相反趋势的变化，确保无论驱动电流 I_{oled} 大小，数据电流 I_{data} 都能够快速对电容存储单元快速充电。

像素单元驱动电路、像素单元和显示装置

技术领域

本发明涉及有机电致发光装置的技术领域，具体地，涉及一种像素单元驱动电路、像素单元和显示装置。

背景技术

有机发光二极管(Organic Light-Emitting Diode, OLED)显示器等电致发光显示装置与传统的液晶显示器的显示方式不同，OLED显示器不需背光源，因此OLED显示装置可以做得更轻、更薄，可视角度更大，并且能够显著节省电能，所以，OLED显示技术越来越多普及。

OLED显示器包括驱动电路和OLED发光器件等，通过驱动电路向发光器件输出电流以驱动发光器件发出不同亮度的光。图1为现有技术中OLED显示器中的像素结构。如图1所示，现有技术中OLED像素包括第一信号线CN1、第二信号线CN2、驱动电路和OLED发光器件，其中，驱动电路包括电容Cst、驱动晶体管T1、第二晶体管T2、第三晶体管T3和第四晶体管T4，驱动晶体管T1的栅极和源极之间串联电容Cst，驱动晶体管T1的栅极和漏极之间串联第三晶体管T3和第四晶体管T4，驱动晶体管T1的漏极与第二晶体管T2的源极连接，第一信号线CN1分别连接第三晶体管T3的栅极和第四晶体管T4的栅极，第二信号线CN2连接第二晶体管的栅极T2。驱动电路接收外部输入的数据电流 I_{data} ，数据电流 I_{data} 将存储在电容Cst中，电容Cst产生驱动OLED发光的驱动电流 I_{oled} ，现有技术中的数据电流 I_{data} 等于驱动电流 I_{oled} 。由于OLED发光时所需要的驱动电流 I_{oled} 比较小，因此数据电流 I_{data} 也比较小，当电容Cst较大时，较小的数据电流 I_{data} 需较长的时间对电容Cst充电，在低数据电流 I_{data} 的情况下，对电容Cst充电时间会很长，导致OLED显示器的刷新速度慢。

发明内容

为解决上述问题，本发明提供一种像素单元驱动电路、像素单元和显示装置，用于解决现有技术中像素单元刷新速度慢的问题。

为此，本发明提供一种像素单元驱动电路，其中，包括：

开关单元，其第一端与高电压信号端连接，第二端与发光器件连接，第三端与第一控制线连接，第四端与第二控制线连接；

驱动晶体管，其漏极与上述开关单元连接，源极与低电压信号端连接；

电容存储单元，其第一端与上述驱动晶体管的栅极连接，第二端与上述驱动晶体管的源极连接，第三端与第二控制线连接。

其中，所述电容存储单元包括：第一电容、第二电容和第五晶体管；其中

所述第一电容一端与上述驱动晶体管的栅极连接，另一端与上述驱动晶体管的源极连接；

所述第二电容的一端与上述驱动晶体管的栅极连接，另一端与上述第五晶体管的漏极连接；

所述第五晶体管的栅极与上述第二控制线连接，源极与上述驱动晶体管的源极连接。

其中，所述电容存储单元包括：第一电容、第二电容和第五晶体管；其中

所述第一电容一端与上述驱动晶体管的栅极连接，另一端与上述第二电容的一端连接；

所述第二电容的另一端与上述驱动晶体管的源极连接；

所述第五晶体管的漏极连接在上述第一电容和第二电容之间，栅极与第二控制线连接，源极与上述驱动晶体管的源极连接。

其中，所述开关单元包括：第二晶体管、第四晶体管；

所述第二晶体管的漏极与高电压信号端连接，栅极与第二控制线连接，源极与上述驱动晶体管的漏极连接；

所述第四晶体管的源极与上述驱动晶体管的栅极连接，栅极与第一控制线连接，漏极与高电压信号端连接。

其中，所述开关单元还包括：

第三晶体管，其源极与上述驱动晶体管漏极连接，漏极与高电压信号端连接，栅极与第一控制线连接。

其中，所述驱动晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管为n型薄膜晶体管。

本发明提供一种像素单元，其中，包括OLED和上述任一像素单元驱动

电路，所述像素单元驱动电路与所述 OLED 的阴极连接，所述 OLED 的阳极与高电压信号端连接。

本发明提供一种显示装置，其中，包括上述的像素单元。

本发明具有下述有益效果：

本发明提供的像素单元驱动电路，通过开关单元控制驱动电流 I_{oled} 和数据电流 I_{data} 的大小以及其通断，以使电流缩放比 I_{data}/I_{oled} 随着 I_{oled} 的变化而成相反趋势的变化，确保无论驱动电流 I_{oled} 大小，数据电流 I_{data} 都能够快速对电容存储单元快速充电。

本发明提供的像素单元和显示装置，通过开关单元控制驱动电流 I_{oled} 和数据电流 I_{data} 的大小以及其通断，以使电流缩放比 I_{data}/I_{oled} 随着 I_{oled} 的变化而成相反趋势的变化，确保无论驱动电流 I_{oled} 大小，数据电流 I_{data} 都能够快速对第一电容快速充电，提高像素单元的刷新速度，有助于实现高分辨率显示图像，同时降低电源在显示高亮度图像时的功耗，而且还可以通过控制外部输入的数据电流 I_{data} 的数值来控制驱动电流 I_{oled} ，从而控制发光器件的显示亮度。

由于晶体管源极和漏极结构对称的特性，本发明中有些情况下不严格区分源极和漏极，源极和漏极可以互换。

附图说明

图 1 为现有技术中 OLED 显示器中的像素结构；

图 2 为本发明像素单元驱动电路第一实施例的结构示意图；

图 3 为本发明像素单元驱动电路第二实施例的结构示意图；

图 4 为图 3 所示像素单元驱动电路的时序信号图；

图 5 为图 3 所示素单元驱动电路在第一时序阶段的等效电路图；

图 6 为图 3 所示素单元驱动电路在第二时序阶段的等效电路图；

图 7 为本发明像素单元驱动电路第三实施例的结构示意图；以及

图 8 为图 7 所示素单元驱动电路在第二时序阶段的等效电路图。

具体实施方式

为使本领域的技术人员更好地理解本发明的技术方案，下面结合附图对本发明提供的像素单元驱动电路、像素单元和显示装置进行详细描述。

图 2 为本发明像素单元驱动电路第一实施例的结构示意图。如图 2 所示，本实施例像素单元驱动电路包括开关单元 201、电容存储单元 202 和驱动晶体管 T1，其中，开关单元 201 的第一端与高电压信号端连接，开关单元 201 的第二端与发光器件连接，开关单元 201 的第三端与第一控制线 CN1 连接，开关单元 201 的第四端与第二控制线 CN2 连接；电容存储单元 202 的第一端与驱动晶体管 T1 的栅极连接，电容存储单元 202 的第二端与驱动晶体管 T1 的源极连接，电容存储单元 202 的第三端与第二控制线 CN2 连接；驱动晶体管 T1 的源极与开关单元 201 连接，驱动晶体管 T1 的源极与低电压信号端 Vss 连接。

第一控制线 CN1 向开关单元 201 输出高电平控制信号，开关单元 201 导通，通过第二控制线 CN2 分别向开关单元 201 和电容存储单元 202 输出低电平信号，电源的高电位 Vdd 输出数据电流 I_{data} ，数据电流 I_{data} 将存储在电容存储单元 202 中，存储在电容存储单元 202 中的电量为 Q；驱动晶体管 T1 的漏极和源极之间的电流为 I_{ds1} ，则 $I_{data} = I_{ds1}$ ，此时，驱动晶体管 T1 栅极和源极之间的电压 V_{gs} ；存储在电容存储单元 202 中的电量为 Q；通过第一控制线 CN1 向开关单元 201 输出低电平控制信号，通过第二控制线 CN2 分别向开关单元 201 和电容存储单元 202 输出高电平信号，电容存储单元 202 的电压将降低，电源向 OLED 输出驱动电流 I_{oled} ，此时电容存储单元 202 的电压等于驱动晶体管 T1 的栅极和源极之间的电压 V_{gs} ，电源向 OLED 输出的驱动电流 I_{oled} 等于流经驱动晶体管的漏极和源极电流 I_{ds1} ，所以，数据电流 I_{data} 小于驱动电流 I_{oled} ，并且数据电流 I_{data} 的变化幅度要小于驱动电流 I_{oled} 的变化幅度，在电流缩放比 I_{data}/I_{oled} 随着 I_{oled} 的变化而成相反趋势的变化的同时，无论驱动电流 I_{oled} 大小，数据电流 I_{data} 都不会太小，确保数据电流 I_{data} 都能够快速对电容存储单元快速充电。

图 3 为本发明像素单元驱动电路第二实施例的结构示意图。如图 3 所示，本实施例像素单元驱动电路中的电容存储单元包括第一电容 Cst1、第二电容 Cst2 和第五晶体管 T5；其中，第一电容 Cst1 的一端与驱动晶体管 T1 的栅极连接，第一电容 Cst1 的另一端与驱动晶体管 T1 的源极连接，第二电容 Cst2 的一端与驱动晶体管 T1 的栅极连接，第二电容 Cst2 的另一端与第五晶体管 T5 的漏极连接，第五晶体管 T5 的栅极与第二控制线 CN2 连接，第五晶体管 T5 的源极与驱动晶体管 T1 的源极连接；开关单元包括第二晶体管 T2 和第四

晶体管 T4, 第二晶体管 T2 的漏极与高电压信号端 Vdd 连接, 第二晶体管 T2 的栅极与第二控制线 CN2 连接, 第二晶体管 T2 的源极与驱动晶体管 T1 的漏极连接, 第四晶体管 T4 的漏极与驱动晶体管 T1 的栅极连接, 第四晶体管 T4 的栅极与第一控制线 CN1 连接, 第四晶体管 T4 的漏极与高电压信号端 Vdd 连接。

进一步的, 本实施例像素单元驱动电路中的开关单元还包括: 第三晶体管 T3, 第三晶体管 T3 的源极与驱动晶体管 T1 的漏极连接, 第三晶体管 T3 的漏极与高电压信号端 Vdd 连接, 第三晶体管 T3 的栅极与第一控制线 CN1 连接, 当第四晶体管 T4 的出现断路故障时, 第一控制线 CN1 仍可通过第三晶体管 T3 实现对开关单元 201 的控制, 增强了开关单元的稳定性。

图 4 为图 3 所示像素单元驱动电路的时序信号图, 图 5 为图 3 所示像素单元驱动电路在第一时序阶段的等效电路图, 图 6 为图 3 所示像素单元驱动电路在第二时序阶段的等效电路图。如图 4 所示, 在第一时序阶段, 通过第一控制线 CN1 分别向第三晶体管 T3 的栅极和第四晶体管 T4 的栅极输出高电平控制信号, 第三晶体管 T3 和第四晶体管 T4 导通; 通过第二控制线分别向第二晶体管 T2 的栅极和第五晶体管的栅极 T5 输出低电平控制信号, 第二晶体管 T2 和第五晶体管 T5 截止。第一时序阶段中, 驱动电路的等效电路如图 5 所示, 电源的高电位 Vdd 输出数据电流 I_{data} , 数据电流 I_{data} 将存储在第一电容 Cst1 中, 同时, 驱动晶体管 T1 处于饱和状态, 驱动晶体管 T1 的漏极和源极之间的电流为 I_{ds1} , 则 $I_{data} = I_{ds1}$, 此时, 驱动晶体管 T1 栅极和源极之间的电压 $V_{gs} = V_a - V_{ss}$, 其中, V_a 为 A 处的电平, V_{ss} 为电源的低电平。

第一时序阶段结束时, 存储在第一电容 Cst1 中的电量为 Q, 第一电容 Cst1 的电压等于驱动晶体管 T1 栅极和源极之间的电压 V_{gs} , 根据公式可得:

$$V_{gs} = \frac{Q}{C_{st1}} \quad (1)$$

其中, 驱动晶体管 T1 源极和漏极之间的电流 I_{ds1} 如公式(2)所示

$$I_{ds1} = \frac{1}{2} k(V_{gs} - V_{th})^2 \quad (2)$$

由于 $I_{data} = I_{ds1}$, 根据公式(2)可得公式(3), 公式(3)如下所示:

$$I_{data} = I_{ds1} = \frac{1}{2} k(V_{gs} - V_{th})^2 \quad (3)$$

根据公式(1)、公式(2)和公式(3)可得公式(4), 公式(4)如下所示:

$$I_{data} = \frac{1}{2} k_l (V_{gs} - V_{th})^2 = \frac{1}{2} k_l \left(\frac{Q}{C_{st1}} - V_{th} \right)^2 \quad (4)$$

其中， K_l 为驱动晶体管的电流参数。

如图 4、图 6 所示，在第二时序阶段，通过第一控制线 CN1 分别向第三晶体管 T3 的栅极和第四晶体管 T4 的栅极输出低电平控制信号，使第三晶体管 T3 和第四晶体管 T4 截止；通过第二控制线分别向第二晶体管 T2 的栅极和第五晶体管的栅极 T5 输出高电平控制信号，使第二晶体管和第五晶体管导通。当第二晶体管 T2 导通时，电源将向 OLED 输出电流 I_{oled} ，电源向 OLED 输出的驱动电流 I_{oled} 等于流经驱动晶体管 T1 的漏极和源极电流 I'_{ds1} ；当第五晶体管 T5 导通时，第一电容 Cst1 和第二电容 Cst2 并联，该并联电路连接在驱动晶体管 T1 的栅极和源极之间，此时，存储在第一电容 Cst1 中的电量 Q 将在第一电容 Cst1 和第二电容 Cst2 之间分配，使第一电容 Cst1 和第二电容 Cst2 上的电压相等，第一电容 Cst1 和第二电容 Cst2 上的电压等于驱动晶体管 T1 的栅极和源极之间的电压 V'_{gs} ，其中，驱动晶体管 T1 的栅极和源极之间的电压 V'_{gs} 如公式 (5) 所示：

$$V'_{gs} = \frac{Q}{C_{st1} + C_{st2}} \quad (5)$$

其中，驱动晶体管 T1 源极和漏极之间的电流 I'_{ds1} 如公式 (6) 所示：

$$I'_{ds1} = \frac{1}{2} K_1 (V'_{gs} - V_{th})^2 \quad (6)$$

由于 $I_{oled} = I'_{ds1}$ ，根据公式 (6) 可得公式 (7)，公式 (7) 如下所示：

$$I_{oled} = I'_{ds1} = \frac{1}{2} K_1 (V'_{gs} - V_{th})^2$$

根据公式 (5)、公式 (6) 和公式 (7) 可得公式 (8)，公式 (8) 如下所示：

$$I_{oled} = \frac{1}{2} k_l (V'_{gs} - V_{th})^2 = \frac{1}{2} k_l \left(\frac{Q}{C_{st1} + C_{st2}} - V_{th} \right)^2 \quad (8)$$

根据公式 (4) 和公式 (8)，对数据电流 I_{data} 与驱动电流 I_{oled} 之间的电流缩放比 I_{data}/I_{oled} 进行运算，电流缩放比 I_{data}/I_{oled} 如公式 (9) 所示：

$$\begin{aligned} \frac{I_{data}}{I_{oled}} &= \frac{\frac{1}{2} k_l \left(\frac{Q}{C_{st1}} - V_{th} \right)^2}{\frac{1}{2} k_l \left(\frac{Q}{C_{st1} + C_{st2}} - V_{th} \right)^2} = \left(\frac{\frac{Q}{C_{st1}} - V_{th}}{\frac{Q}{C_{st1} + C_{st2}} - V_{th}} \right)^2 = \left(\frac{\frac{Q}{C_{st1} + C_{st2}} + \frac{C_{st2}}{C_{st1}} \cdot \frac{Q}{C_{st1} + C_{st2}} - V_{th}}{\frac{Q}{C_{st1} + C_{st2}} - V_{th}} \right)^2 \\ &= \left(\frac{\frac{C_{st2}}{C_{st1}} \cdot \frac{Q}{C_{st1} + C_{st2}} + 1}{\frac{Q}{C_{st1} + C_{st2}} - V_{th}} \right)^2 = \left(\frac{\frac{C_{st2}}{C_{st1}} V'_{gs} + 1}{V'_{gs} - V_{th}} \right)^2 = \left(\frac{C_{st2}}{C_{st1}} \cdot \frac{\sqrt{\frac{2I_{oled}}{k_l}} + V_{th}}{\sqrt{\frac{2I_{oled}}{k_l}}} + 1 \right)^2 \end{aligned}$$

$$= \left(\frac{Cst2}{Cst1} \cdot \frac{V_{th} \sqrt{k1}}{\sqrt{2} I_{oled}} + \frac{Cst1}{Cst2} + 1 \right)^2 - \frac{k1}{2} \left(\frac{Cst2 V_{th}}{Cst1} \right)^2 \left[\frac{1}{\sqrt{I_{oled}}} + \left(1 + \frac{Cst1}{Cst2} \right) \frac{\sqrt{2}}{V_{th} \sqrt{k1}} \right]^2$$

$$= a \left(\frac{1}{\sqrt{I_{oled}}} + b \right)^2 \quad (9)$$

$$\text{其中, } a = \frac{k1}{2} \left(\frac{Cst2 V_{th}}{Cst1} \right)^2, \quad b = \left(1 + \frac{Cst1}{Cst2} \right) \frac{\sqrt{2}}{V_{th} \sqrt{k1}}。$$

根据公式(9)可知, 电流缩放比 I_{data}/I_{oled} 随着 I_{oled} 的变化而成相反趋势的变化, 当需要较大的驱动电流 I_{oled} 时, 电流缩放比较小, 因此降低了电源在显示高亮度图像时的功耗, 同时有较大的数据电流 I_{data} 来对第一电容 $Cst1$ 进行快速充电; 当需要较小的驱动电流 I_{oled} 时, 由于电流缩放比较大, 因此仍然可以维持一个相对较大的数据电流 I_{data} 来对第一电容 $Cst1$ 充电, 从而保证数据电流 I_{data} 对第一电容 $Cst1$ 进行快速充电, 提高像素单元的刷新速度, 有助于实现高分辨率显示图像。

根据公式(9)可得公式(10), 公式(10)如下所示:

$$\sqrt{I_{oled}} = \frac{1}{b\sqrt{a}} \sqrt{I_{data}} - \frac{1}{b}; \quad (10)$$

根据公式(10)得知, 通过控制外部输入的数据电流 I_{data} 的数值来控制驱动电流 I_{oled} , 从而可以精确控制发光器件的显示亮度。

图7为本发明像素单元驱动电路第三实施例的结构示意图。如图7所示, 本实施例中, 存储单元包括第一电容 $Cst1$ 、第二电容 $Cst2$ 和第五晶体管 $T5$, 开关单元包括第二晶体管 $T2$ 和第四晶体管 $T4$; 其中, 第一电容 $Cst1$ 的一端与驱动晶体管 $T1$ 的栅极连接, 第一电容 $Cst1$ 的另一端与第二电容 $Cst2$ 的一端连接, 第二电容 $Cst2$ 的另一端与驱动晶体管 $T1$ 的源极连接; 第五晶体管 $T5$ 的漏极连接在第一电容 $Cst1$ 和第二电容 $Cst2$ 之间, 第五晶体管 $T5$ 的栅极与第二控制线 $CN2$ 连接, 第五晶体管 $T5$ 的源极与驱动晶体管 $T1$ 的源极连接; 第二晶体管 $T2$ 的源极与高电压信号端 Vdd 连接, 第二晶体管 $T2$ 的栅极与第二控制线 $CN2$ 连接, 第二晶体管 $T2$ 的源极与驱动晶体管 $T1$ 的漏极连接, 第四晶体管 $T4$ 的源极与驱动晶体管 $T1$ 的栅极连接, 第四晶体管 $T4$ 的栅极与第一控制线 $CN1$ 连接, 第四晶体管 $T4$ 的漏极与高电压信号端 Vdd 连接。

进一步的, 本实施例像素单元驱动电路中, 开关单元还包括第三晶体管 $T3$, 第三晶体管 $T3$ 的源极与驱动晶体管 $T1$ 的漏极连接, 第三晶体管 $T3$ 的漏极与高电压信号端 Vdd 连接, 第三晶体管 $T3$ 的栅极与第一控制线 $CN1$ 连

接。

在实际应用中，第二晶体管 T2、第三晶体管 T3 和第四晶体管 T4 的源极和漏极的功能是相同的，所以，可以将上述晶体管的源极和漏极交换连接，对驱动电路的作用是相同的。驱动晶体管 T1、第二晶体管 T2、第三晶体管 T3、第四晶体管 T4、第五晶体管 T5 为 n 型薄膜晶体管。

图 8 为图 7 所示像素单元驱动电路在图 4 所示第二时序阶段的等效电路图。本实施例中，当向像素单元驱动电路中施加如图 4 所示的时序信号，第一时序阶段时像素单元驱动电路的等效电路如图 5 所示。第二时序阶段时像素单元驱动电路的等效电路如图 8 所示，如图 8 所示，第一电容 Cst1 和第二电容 Cst2 串联，第一电容 Cst1 上电量 Q 将在第一电容 Cst1 和第二电容 Cst2 之间分配，使第一电容 Cst1 和第二电容 Cst2 上的电压相等，第一电容 Cst1 和第二电容 Cst2 上的电压等于驱动晶体管 T1 的栅极和源极之间的电压 V'_{gs} ，其中，驱动晶体管 T1 的栅极和源极之间的电压 V'_{gs} 如公式(5)所示。因此，本发明像素单元驱动电路第二实施例中，数据电流 I_{data} 、驱动电流 I_{qled} 和电流缩放比 I_{data}/I_{led} 等电学参数与像素单元驱动电路第一实施例中公式(1)-(10)的运算过程相同，在此不再赘述。

上述像素单元驱动电路实施例中，通过开关单元控制驱动电流 I_{qled} 和数据电流 I_{data} 的大小以及其通断，以使电流缩放比 I_{data}/I_{qled} 随着 I_{qled} 的变化而成相反趋势的变化，确保无论驱动电流 I_{qled} 大小，数据电流 I_{data} 都能够快速对第一电容快速充电，提高像素单元驱动电路的刷新速度，有助于实现高分辨率显示图像，同时降低电源在显示高亮度图像时的功耗，而且还可以通过控制外部输入的数据电流 I_{data} 的数值来控制驱动电流 I_{qled} ，从而控制发光器件的显示亮度。

本发明还提供一种像素单元，包括 OLED 发光器件和上述的任意一种像素单元驱动电路，其中，所述像素单元驱动电路与 OLED 的阴极连接，OLED 的阳极与高电压信号端 Vdd 连接。

本发明还提供一种显示装置，其中，包括上述实施例中的像素单元。

可以理解的是，以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式，然而本发明并不局限于此。对于本领域内的普通技术人员而言，在不脱离本发明的精神和实质的情况下，可以做出各种变型和改进，这些变型和改进也视为本发明的保护范围。

权 利 要 求 书

1、一种像素单元驱动电路，包括：

开关单元，其第一端与高电压信号端连接，第二端与发光器件连接，第三端与第一控制线连接，第四端与第二控制线连接；

驱动晶体管，其漏极与所述开关单元连接，源极与低电压信号端连接；

电容存储单元，其第一端与所述驱动晶体管的栅极连接，第二端与所述驱动晶体管的源极连接，第三端与第二控制线连接。

2、根据权利要求1所述的像素单元驱动电路，所述电容存储单元包括：第一电容、第二电容和第五晶体管；其中

所述第一电容一端与所述驱动晶体管的栅极连接，另一端与所述驱动晶体管的源极连接；

所述第二电容的一端与所述驱动晶体管的栅极连接，另一端与所述第五晶体管的漏极连接；

所述第五晶体管的栅极与所述第二控制线连接，源极与所述驱动晶体管的源极连接。

3、根据权利要求1所述的像素单元驱动电路，所述电容存储单元包括：第一电容、第二电容和第五晶体管；其中

所述第一电容一端与所述驱动晶体管的栅极连接，另一端与所述第二电容的一端连接；

所述第二电容的另一端与所述驱动晶体管的源极连接；

所述第五晶体管的漏极连接在所述第一电容和第二电容之间，栅极与第二控制线连接，源极与所述驱动晶体管的源极连接。

4、根据权利要求1至3任一所述的像素单元驱动电路，所述开关单元包括：第二晶体管、第四晶体管；

所述第二晶体管的漏极与高电压信号端连接，栅极与第二控制线连接，源极与所述驱动晶体管的漏极连接；

所述第四晶体管的源极与所述驱动晶体管的栅极连接，栅极与第一控制线连接，漏极与高电压信号端连接。

5、根据权利要求4所述的像素单元驱动电路，所述开关单元还包括：

第三晶体管，其源极与所述驱动晶体管漏极连接，漏极与高电压信号端

连接，栅极与第一控制线连接。

6、根据权利要求5所述的像素单元驱动电路，所述驱动晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管为n型薄膜晶体管。

7、一种像素单元，包括OLED和如权利要求1至6中任一权利要求所述的像素单元驱动电路，所述像素单元驱动电路与所述OLED的阴极连接，所述OLED的阳极与高电压信号端连接。

8、一种显示装置，包括多个如权利要求7所述的像素单元。

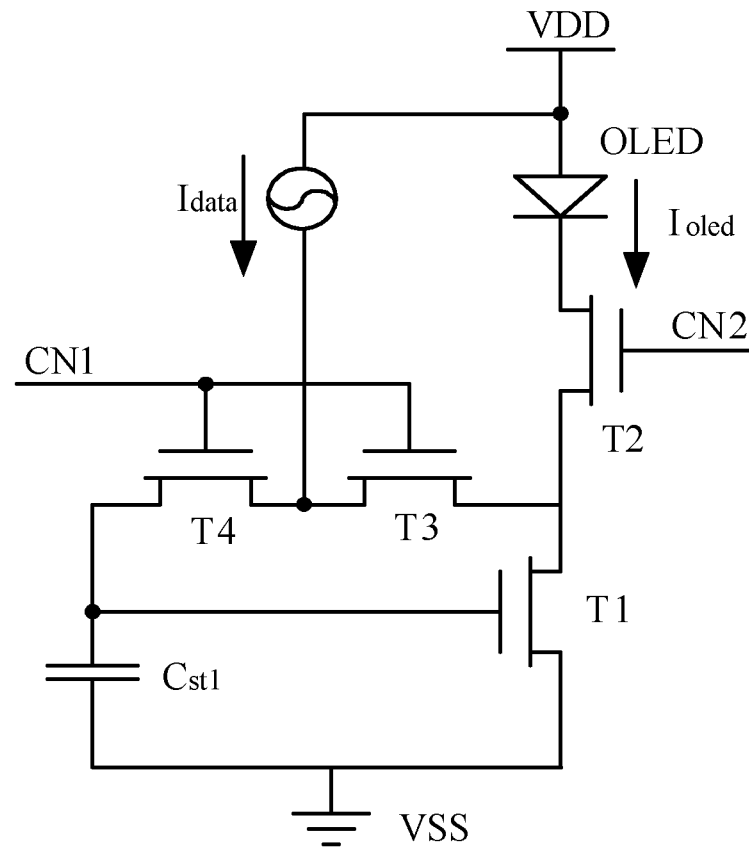


图 1

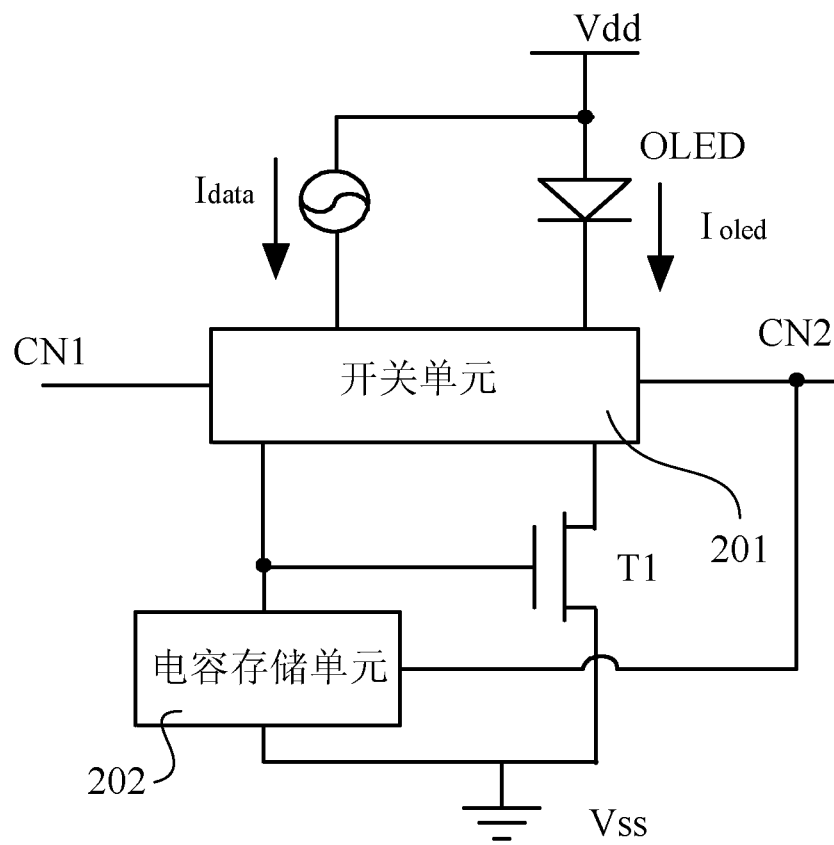


图 2



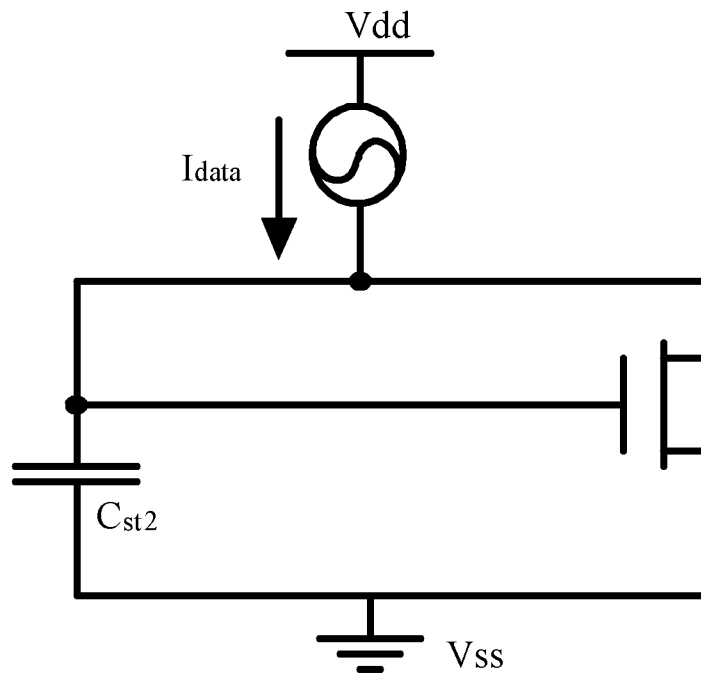


图 5

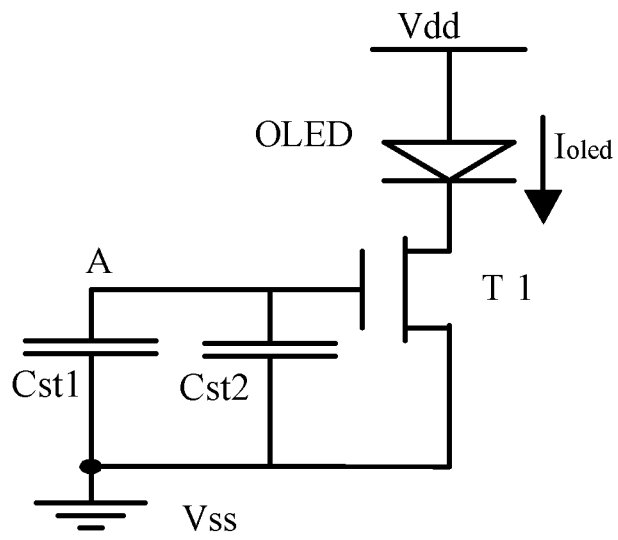


图 6

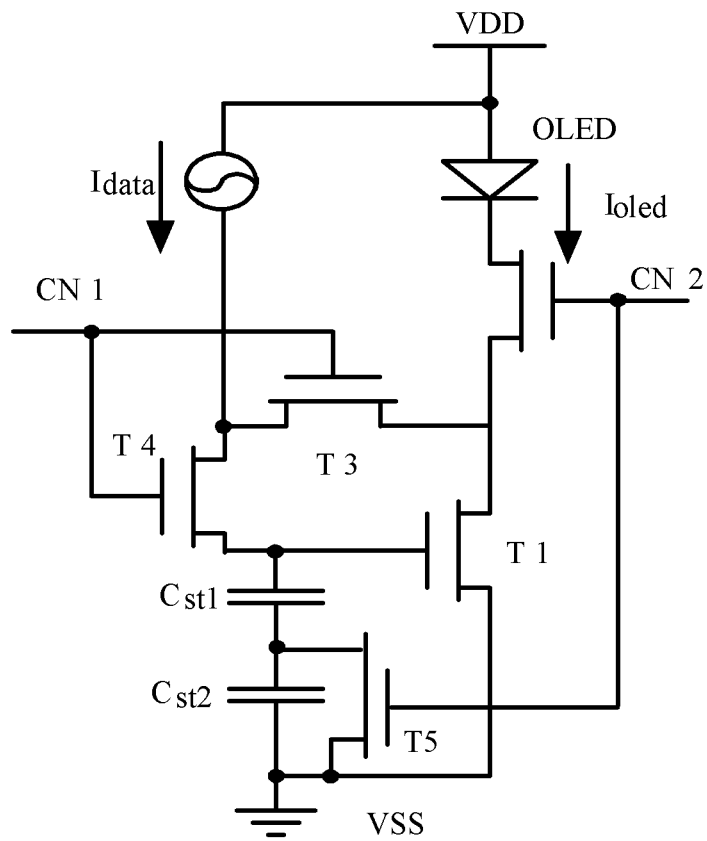


图 7

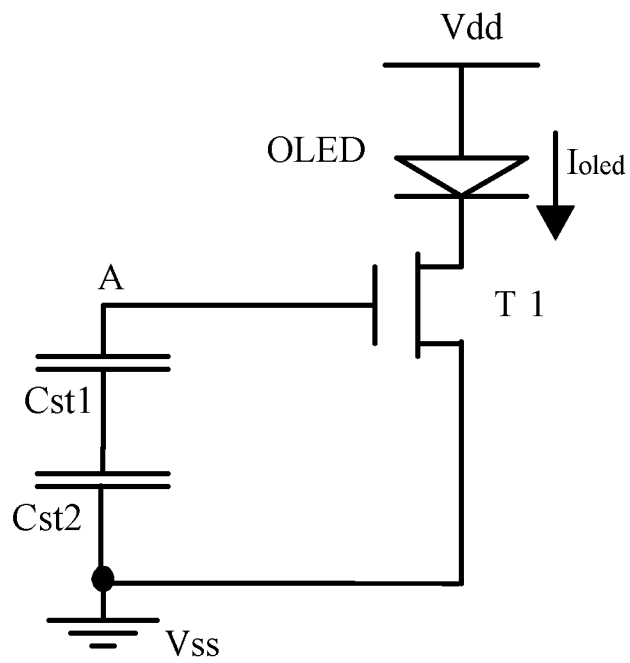


图 8

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2012/087715

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/32 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G09G 3/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, VEN: charge, +distribut+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 1534579 A (SAMSUNG DENKAN KK) 06 October 2004 (06.10.2004) see description, page 6, line 24 to page 7, line 14, page 8, line 26 to page 9, line 14 and fig. 5	1, 7, 8
A		2-6
A	CN 1932940 A (SEMICONDUCTOR ENERGY LAB) 21 March 2007 (21.03.2007) the whole document	1-8
A	CN 101154348 A (SEIKO EPSON CORP.) 02 April 2008 (02.04.2008) the whole document	1-8
A	US 2004251839 A I (TOPPOLY OPTOELECTRONICS CORP et al.) 16 December 2004 (16.12.2004) the whole document	1-8
PX	CN 202422687 U (BOE TECHNOLOGY GROUP CO LTD et al.) 05 September 2012 (05.09.2012) claims 1-8	1-8

II Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 14 March 2013 (14.03.2013)	Date of mailing of the international search report 28 March 2013 (28.03.2013)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LIU, Chang Telephone No. (86-10) 62085774

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/087715

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 1534579 A	06.10.2004	JP 4153855 B 2	24.09.2008
		DE 60305872 T 2	11.01 .2007
		EP 1465141 B I	07.06.2006
		CN 1313997 C	02.05.2007
		EP 1465141 A I	06.10.2004
		US 2004196223 A I	07.10.2004
		DE 60305872 D I	20.07.2006
		K R 20040085654 A	08.10.2004
		K R 497246 B	23.06.2005
		JP 2004310014 A	04.11 .2004
CN 1932940 A	21.03.2007	US 7187351 B 2	06.03.2007
		K R 20070032218 A	21.03.2007
		US 7737923 B 2	15.06.2010
		US 2010245219 A I	30.09.2010
		JP 2007108733 A	26.04.2007
		EP 1764770 A 2	21.03.2007
		JP 2012190032 A	04.10.2012
		US 2007063993 A I	22.03.2007
		JP 5057731 B 2	24.10.2012
		EP 1764770 A 3	14.03.2012
CN 101154348 A	02.04.2008	CN 102142226 A	03.08.2011
		CN 1932940 B	18.05.2011
		CN 101154348 B	05.09.2012
		JP 2008107785 A	08.05.2008
		K R 20080029849 A	03.04.2008
		TW 200828239 A	01.07.2008
		US 2008309653 A I	18.12.2008
		US 8159420 B 2	17.04.2012
		US 7319447 B 2	15.01.2008
		TW 200415557 A	16.08.2004
US 2004251839 A I	16.12.2004	TW 589603 B	01.06.2004
		None	
CN 202422687 U	05.09.2012	None	

国际检索报告

国际申请号
PCT/CN2012/087715

A. 主题的分类

G09G 3/32(2006.01) i

按照国际专利分类(IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G09G3/32

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词 (如使用))

CNABS, CNTXT, VEN: 电致发光, 有机发光, 电容, 驱动, 栅极, 电荷, 分配, 转移, 第二控制线, 开关
charge, +distribut+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	○村1534579 人(三星 501 株式会社)06.10 月 2004 (06.10.2004) 说明书第 6 页第 24 行至第 7 页第 14 行、第 8 页第 26 行至第 9 页第 4 行, 图 5	1, 7, 8
A		2-6
A	CN1932940 A (株式会社半导体能源研究所) 21.3 月 2007(21.03.2007) 全文	1-8
A	CN101 154348 A (精工爱普生株式会社) 02.4 月 2008(02.04.2008) 全文	1-8
A	US200425 1839 A I (TOPPOLY OPTOELECTRONICS CORP 等) 16.12 月 2004 (16.12.2004) 全文	1-8
PX	CN202422687 U (京东方科技集团股份有限公司等) 05.9 月 2012 (05.09.2012) 权利要求 1-8	1-8



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的 3/4 或 3/4 后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布, 与申请不相抵触!, 但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期

14.3 月 2013(14.03.2013)

国际检索报告邮寄日期

28.3 月 2013 (28.03.2013)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: 86-10)62019451

受权官员

刘畅

电话号码: (86-10) 62085 774

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/087715

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN1534579 A	06. 10.2004	JP4153855 B 2	24.09.2008
		DE60305872 T 2	11.01.2007
		EP1465 141 B I	07.06.2006
		CN13 13997 C	02.05.2007
		EP1465 141 A I	06. 10.2004
		US2004196223 A I	07. 10.2004
		DE60305872 D I	20.07.2006
		KR20040085654 A	08. 10.2004
		KR497246 B	23.06.2005
		JP20043 10014 A	04. 11.2004
CN1932940 A	21.03.2007	US718735 1 B 2	06.03.2007
		KR20070032218 A	21.03.2007
		US7737923 B 2	15.06.2010
		US2010245219 A I	30.09.2010
		JP2007108733 A	26.04.2007
		EP1764770 A 2	21.03.2007
		JP2012190032 A	04. 10.2012
		US2007063993 A I	22.03.2007
		JP505773 1 B 2	24. 10.2012
		EP1764770 A 3	14.03.2012
CN101 154348 A	02.04.2008	CN102142226 A	03.08.2011
		CN1932940 B	18.05.2011
		CN101 154348 B	05.09.2012
		JP2008107785 A	08.05.2008
		KR20080029849 A	03.04.2008
		TW200828239 A	01.07.2008
		US2008309653 A I	18. 12.2008
		US8159420 B 2	17.04.2012
		US73 19447 B 2	15.01.2008
		TW200415557 A	16.08.2004
US2004251839 A I	16. 12.2004	TW589603 B	01.06.2004
		无	
CN202422687 U	05.09.2012	无	