



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2017년11월15일  
(11) 등록번호 10-1798212  
(24) 등록일자 2017년11월09일

(51) 국제특허분류(Int. Cl.)  
H01L 51/52 (2006.01) H01L 51/56 (2006.01)  
(21) 출원번호 10-2013-7007335  
(22) 출원일자(국제) 2011년08월22일  
심사청구일자 2016년08월22일  
(85) 번역문제출일자 2013년03월22일  
(65) 공개번호 10-2013-0106828  
(43) 공개일자 2013년09월30일  
(86) 국제출원번호 PCT/IB2011/053673  
(87) 국제공개번호 WO 2012/025867  
국제공개일자 2012년03월01일  
(30) 우선권주장  
10173785.6 2010년08월24일  
유럽특허청(EPO)(EP)  
(56) 선행기술조사문헌  
US20100148665 A1\*  
(뒷면에 계속)

(73) 특허권자  
코닌클리케 필립스 엔.브이.  
네덜란드, 아인트호벤 5656 에이이, 하이 테크 캠퍼스 5  
(72) 발명자  
슈바프, 홀거  
네덜란드 엔엘-5656 아에 아인트호벤 하이테크 캠퍼스 빌딩 44 내  
보에르너, 허버트 프레드리크  
네덜란드 엔엘-5656 아에 아인트호벤 하이테크 캠퍼스 빌딩 44 내  
(뒷면에 계속)  
(74) 대리인  
양영준, 백만기

전체 청구항 수 : 총 5 항

심사관 : 이옥우

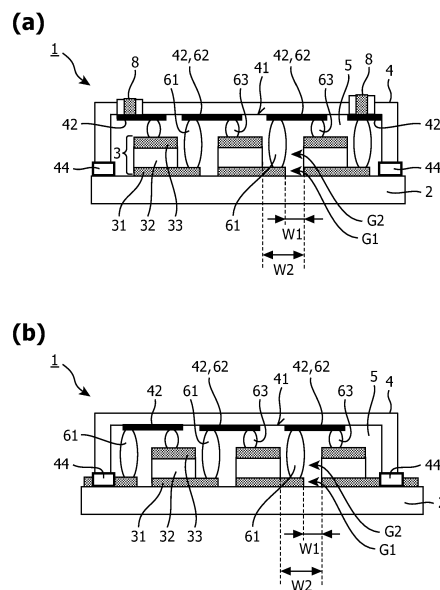
(54) 발명의 명칭 유기 전계발광 소자

(57) 요약

본 발명은 양호한 수명 성능을 제공하면서 고전압에서 작동가능하고, 감소된 수고 및 비용으로 제조할 수 있는 OLED 소자(1)에 관한 것이다. 이 유기 전계발광 소자(1)는 제1 및 제2 전극(31,33) 및 제1 및 제2 전극(31,33) 사이에 배열된 유기 발광층 스택(32)을 각각 포함하는 직렬 접속된 복수의 전계발광층 스택(3)을 적재한 기판

(뒷면에 계속)

대표도 - 도1



(2), 및 전계발광층 스택(3)을 캡슐화하기 위해 기판(2)에 밀봉된 커버 리드(4) - 전계발광층 스택(3)과 커버 리드(4)의 내측(41) 간에 캡(5)이 제공됨 - 를 포함하며, 상기에서 직렬 접속은, 직렬 접속에 관련된 전계발광층 스택(3)들 중 적어도 하나의 제1 전극(31)을 직렬 접속에 관련된 다른 전계발광층 스택(3), 바람직하게는 인접한 전계발광층 스택(3)의 제2 전극(33)에 도전성 브리지(6)를 통해 접속시킴으로써 구현되고, 상기에서 도전성 브리지(6)는, 커버 리드(4)의 내측(41) 상에 배치된 도전성 경로(62), 제1 전극(31)을 도전성 경로(62)에 접속시키는 제1 전기접속(61), 및 도전성 경로(62)를 다른 전계발광층 스택(3), 바람직하게는 인접한 전계발광층 스택(3)의 제2 전극(33)과 접속시키는 제2 전기접속(63)을 포함한다. 본 발명은 또한, 수고와 비용이 감소되게 하는 공정 단계들로 유기 전계발광 소자(1)를 제조하는 방법에 관한 것이다.

(72) 발명자

**반 엘스베르겐, 볼커**

네덜란드 엔엘-5656 아에 아인트호벤 하이테크 캠퍼스 빌딩 44 내

**라쉬, 데를프**

네덜란드 엔엘-5656 아에 아인트호벤 하이테크 캠퍼스 빌딩 44 내

**하트만, 소에렌**

네덜란드 엔엘-5656 아에 아인트호벤 하이테크 캠퍼스 빌딩 44 내

(56) 선행기술조사문헌

US20090189515 A1\*

JP2004127726 A

JP2003086369 A

JP2004134385 A

\*는 심사관에 의하여 인용된 문헌

## 명세서

### 청구범위

#### 청구항 1

유기 전계발광 소자(1)를 제공하는 방법으로서,

제1 전극(31)들을 서로 전기적으로 절연시키기 위해 인접한 제1 전극(31)들 간에 제1 폭(W1)을 갖는 제1 갭(G1)에 의해 이격된 상기 제1 전극(31)들의 패턴으로 커버된 기판(2)을 제공하는 단계;

상기 제1 전극(31)들의 패턴의 상부 상에 인접층 스택으로서 유기 발광층 스택(32)을 피착하는 단계;

상기 유기 발광층 스택(32)의 상부 상에 인접층으로서 제2 전극(33)을 피착하는 단계;

상기 제1 전극(31)들의 커버되지 않은 접촉 영역(311)들을 제공하기 위해 상기 제1 폭(W1)보다 큰 제2 폭(W2)을 갖는 제2 갭(G2)을 상기 제1 갭(G1) 위에 제공하도록, 상기 제1 전극(31)들 간의 제1 갭(G1) 위의 상기 제2 전극(33) 및 상기 유기 발광층 스택(32)을 제거하는 단계;

상기 제1 전극(31)의 상부 상에 제1 전기접속(61)을 피착하고, 상기 제2 전극(33)의 상부 상에 제2 전기접속(63)을 피착하는 단계;

상기 기판(2)에 밀봉되고 도전성 경로(62)들을 포함하는 커버 리드(4)로 전계발광층 스택(3)들을 캡슐화하는 단계 - 상기 전계발광층 스택(3)들과 상기 커버 리드(4)의 내측(41) 간에 갭(5)이 제공됨 - ;

상기 전계발광층 스택(3)들의 직렬 접속을 제공하기에 적합한 상기 커버 리드(4)의 내측(41)에 배치된 상기 도전성 경로(62)들에 상기 제1 및 제2 전기접속(61,63)을 접속시킴으로써, 상기 직렬 접속에 관련된 적어도 하나의 전계발광층 스택(3)의 제1 전극(31)과 상기 직렬 접속에 관련된 다른 전계발광층 스택(3)의 제2 전극(33) 간에 도전성 브리지(6)를 구현하는 단계; 및

상기 제1 또는 제2 전극(31,33) 중 적어도 하나에 구동 전압을 제공하기 위해, 상기 제1 또는 제2 전극(31,33) 중 적어도 하나의 전극의 상부 상에 전기 도전성 재료를 피착함으로써, 상기 제1 또는 제2 전극(31,33) 중 적어도 하나를 상기 커버 리드(4)에 존재하는 적어도 하나의 전기 피드쓰루(8)에 접속시키는 단계

를 포함하는 방법.

#### 청구항 2

제1항에 있어서, 상기 제거하는 단계는 플라즈마 식각(plasma etching)에 의해 수행되는 것을 특징으로 하는 방법.

#### 청구항 3

제1항에 있어서, 상기 제거하는 단계는 레이저 어블레이션(laser ablation)(LA1,LA2)에 의해 수행되는 것을 특징으로 하는 방법.

#### 청구항 4

제1항에 있어서, 상기 제거하는 단계는 접합제 테이프를 통한 기계적 제거에 의해 수행되는 것을 특징으로 하는 방법.

#### 청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 방법은, 목적하는 애플리케이션에 따라 조정된 순서로 상기 전계발광층 스택(3)들을 직렬 접속하기에 적합한 패턴으로 상기 도전성 경로(62)들을 상기 커버 리드(4)에 제공하는 단계를 더 포함하는 것을 특징으로 하는 방법.

#### 청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

## 발명의 설명

## 기술 분야

[0001] 본 발명은 직렬 접속된 전계발광층 스택을 포함하는 유기 전계발광 소자(OLED) 및 그러한 OLED 소자의 제조 방법의 분야에 관한 것이다.

## 배경 기술

[0002] 유기 전계발광 소자(또는 다이오드)는, 상기 유기 전계발광 소자(OLED)에 구동 전압이 인가되는 경우 유기 분자가 발광하는 소자이다. OLED는, 통상적으로 투명 기판과 그 기판의 상부에 피착된 전계발광층 스택을 포함하며, 전계발광층 스택은 두 전극 층들 사이에 유기 발광층 스택을 포함하며, 두 전극 층들은 통상적으로 상기 기판 상부 상의 투명 양극(anode)과 상기 유기층 스택 상부 상의 반사 음극(cathode)이다. 유기 분자는 수분 및 산소에 민감하므로, 상기 층 스택은 기판의 상부 상에서 밀봉된(sealed) 커버 리드(cover lid)에 의해 캡슐화된다(encapsulated). OLED를 구동하기 위해, 예를 들어 2-15 V와 같은 수 볼트 수준의 구동 전압을 인가한다. 전계발광층 스택은 박층 스택이므로, 제조 공정중에 존재하는 먼지 입자로부터 발생한 층 결함에 의해 유발된 단락이 전극들 사이에서 발생할 수 있다. 단일 다이오드 구성의 경우, 하나의 단락이라도 존재하는 경우 OLED 소자가 불량일 수 있다.

[0003] 단락 저항을 개선하고, 인가된 전류를 일정하게 유지하면서 더 높은 전압에서 전계발광층 스택을 구동시킬 수 있도록 하기 위해, OLED 소자는 하나의 단일 기판상에 서로 옆으로 배열되고 직렬 접속된 복수의 전계발광층 스택을 포함할 수 있다. 하지만, 복수의 전계발광층 스택의 패턴을 제조하는 것은 고도의 구축(structuring) 수고가 요구된다. 상기 층 스택의 제조는 개별 층들에 대해 수 개의 상이한 마스크를 사용하는 마스크 공정으로

수행될 수 있다. 마스크 공정은 마스크의 제조 및 각 마스크의 정밀 정렬(accurate alignment)의 요구로 인해 고가이다. 또한, 전계발광층 스택의 구조는 마스크에 의해 결정되며 요구에 따라 용이하게 변경될 수 없다. 또한, 직렬 접속된 상이한 전계발광층 스택의 전극들 간의 상호접속(interconnection)의 제조는 고도의 제조 수고를 요구한다. 상기 수고를 감소시키기 위한 요구가 존재한다.

[0004] US 2009/0189515 A1은 직렬 접속된 복수의 전계발광층 스택을 포함하는 OLED 소자를 개시한다. 직렬 접속은, 압력 또는 열의 인가하에 전계발광층 스택의 상부 상에 라미네이트된, 국소 도전성 구조를 포함하는 플렉서블 상호접속 시트를 통해 구현된다. 전계발광층 스택 간의 상호접속 라미네이션에 의해, 상기 상호접속을 구현하기 위한 추가의 구축 공정을 피할 수 있다. 하지만, 전계발광층 스택에 압력 및 열을 인가하는 것은 OLED 소자의 수명에 부정적인 영향을 미칠 수 있다. 또한, 상기 라미네이트된 시트는 수분 및 산소가 전계발광층 스택에 확산되는 것을 방지하기에 충분하지 않을 수 있으며, 이 또한 OLED 소자 수명에 부정적인 영향을 미친다.

US 2010/0148665 A1은 직렬 접속된, 캡슐화된 광전자 소자들을 개시한다.

## 발명의 내용

### 해결하려는 과제

[0005] 본 발명의 목적은 감소된 수고 및 비용으로 제조할 수 있는, 양호한 수명 성능을 제공하면서 고전압에서 구동가능한 OLED 소자를 제공하는 것이다.

### 과제의 해결 수단

[0006] 제1 및 제2 전극 및 제1 및 제2 전극 사이에 배치된 유기 발광층 스택을 각각 포함하는 직렬 접속된 복수의 전계발광층 스택을 적재한 기판, 및 전계발광층 스택들을 캡슐화하기 위해 기판에 밀봉된 커버 리드 - 전계발광층 스택과 커버 리드의 내측 간에 갭이 제공됨 - 를 포함하는 유기 전계발광 소자가 설명되며, 상기 직렬 접속은, 직렬 접속에 관련된 적어도 하나의 전계발광층 스택, 바람직하게는 각각의 전계발광층 스택의 제1 전극을 직렬 접속에 관련된 다른 전계발광층 스택, 바람직하게는 인접한 전계발광층 스택의 제2 전극에 도전성 브리지를 통해 접속시킴으로써 구현되며, 상기 도전성 브리지는, 커버 리드의 내측 상에 배치된 도전성 경로, 제1 전극을 도전성 경로에 접속하는 제1 전기접속, 및 도전성 경로를 다른 전계발광층 스택, 바람직하게는 인접한 전계발광층 스택의 제2 전극과 접속시키는 제2 전기접속을 포함한다.

[0007] 커버 리드는, 커버 리드와 기판 사이의 캡슐화된 용적에 수분 및/또는 산소가 확산되는 것에 대해 충분한 장벽을 제공하는 임의의 적절한 강성 재료로 제조된다. 커버 리드는, 예를 들어 유리 프릿(glass frit)(비도전성 재료) 또는 도전성 밀봉재(예를 들어 도전성 충전제를 갖는 에폭시 글루)와 같은, 적어도 수분 및 산소에 대해 충분히 기밀(gas tight)되는 적절한 밀봉재를 사용함으로써 기판의 상부 상에서 밀봉된다. 용어 "기판의 상부 상에서 밀봉"은 커버 리드와 기판 간의 밀폐된 연결을 나타낸다. 상부에 추가의 층(예를 들어, 제1 및/또는 제2 전극용 접촉 패드(contact pad))를 갖는 기판의 경우, 커버 리드는 이들 층들을 가로질러 기판에 밀봉된다. 커버 리드는 내측 및 외측을 가지며, 내측은 전계발광층 스택을 향해 마주하는 커버 리드 측을 나타낸다. 외측은 커버 리드의 상응하는 다른 측이다. 커버 리드의 형태는 커버 리드의 내측과 전계발광층 스택 간에 갭을 제공하도록 조정된다. 다른 경우, 갭은 불활성 유체(inert fluid)로 충전될 수 있다. 갭은 커버 리드에 대한 OLED 소자 외부로부터의 임의의 기계적 충격이 전계발광층에 이르는 것을 방지할 것이다. 게터(getter) 재료를, 통상적으로 커버 리드의 내측에 부착하여 갭의 내측에 배치할 수 있다. 커버 리드와 전계발광층 스택 간의 갭은 수 mm까지의 크기를 가질 수 있다. 통상적으로 갭은 예를 들어 건성 질소와 같은 가스로 충전된다. 이와 달리, 갭은 건성 외기로 충전될 수 있다.

[0008] 복수의 전계발광층 스택의 직렬 접속은  $n$ 개의 전계발광층( $n=2,3,4,5,\dots$ 개 전계발광층 스택을 갖는)의 전기적 연쇄(electrical chain)를 나타내며, 여기서 제1 전계발광층 스택은 제2 전계발광층 스택에 접속되고, 이는 제3 전계발광층 스택에 접속되고, 이는 제4 전계발광층 스택에 접속되고 등등이다. 관련된 전계발광층 스택의 수는 본 발명의 범위 내에서 상이한 OLED 소자에 따라 달라질 수 있다. 직렬 접속된 것보다 더 많은 전계발광층 스택이 OLED 소자 내에 존재할 수 있다. 하지만, 직렬 접속은 하나의 전계발광층 스택의 제1 전극을 다른 전계발광층 스택의 제2 전극에 접속함으로써 구현된다. 하나의 전계발광층 스택이 다른 전계발광층 스택에 인접하여 배치될 필요는 없다. 하지만, 인접한 전계발광층 스택들을 접속하면 전기 접속 형식이 단순화될 것이다. 적어도 하나의 전계발광층 스택 간의 직렬 전기 접속은 제1 전극 및 제2 전극 간의 도전성 브리지를 통해 구현되며, 이는 제1 및 제2 전극에서부터 커버 리드까지 달하는 제1 및 제2 전기접속, 및 커버 리드의 도전성 경로를 통해

제1 및 제2 전기접속을 전기적으로 접속하기 위해 커버 리드의 내측에 배치된 도전성 경로의, 세 부분을 포함한다. 바람직하게는, 직렬 접속에 관련된 모든 전계발광층 스택은 도전성 브리지로 접속된다. 본 발명에서, 용어 "도전성"은 용어 "전기적"이 사용되지 않는다 하더라도 항상 전기적 도전성 재료 또는 구성요소를 나타낸다. 도전성 경로에는, 예를 들어 커버 리드의 금속 부분 - 나머지 커버 리드는 비-도전성임 - 으로서, 또는 예를 들어 커버 리드에 용접된 배선 등과 같은, 커버 리드의 내측에 부착된 추가 구성요소로서, 임의의 적절한 도전성 재료가 제공될 수 있다. 커버 리드의 적어도 내측은 전기 절연 재료로 제조될 수 있으며, 도전성 경로를 제공하는 전기 도전성 커버층 패턴으로 코팅될 수 있다. 용어 "패턴"은 서로의 옆이며 서로에 대해 전기적으로 절연된 복수의 도전층 영역을 나타낸다. 상기 커버 리드는 예를 들어 유리 또는 세라믹 재료로 제조될 수 있다. 도전성 경로로서 커버층은, 예를 들어, 커버 리드의 내측에 도달하는 제1 및 제2 전기접속을 접속하기에 적절한 폭 및 길이를 갖는 직사각형 스트라이프로서 배치될 수 있다. 하지만, 도전성 경로의 형태는 변경될 수 있으며 본 발명의 범위 내에서 특정 애플리케이션에 따라 조정될 수 있다. 적절한 커버층의 예는 인쇄, 스퍼터링 또는 증발(evaporation)에 의해 커버 리드의 내측에 도포된 알루미늄층일 수 있다. 이와 달리, 도전성 페이스트(예를 들어, 은 페이스트와 같은 금속 페이스트)를, 예를 들어 인쇄 또는 페인팅에 의해 커버 리드의 내측의 상부 상에 피착할 수 있다. 커버 리드는 적어도 부분적으로 전기 도전성 재료로 제조될 수 있으며, 커버 리드의 내측은 도전성 경로를 제공하는 전기 도전성 커버층 패턴으로 코팅되고, 커버층은 적어도 커버층의 내측과 전기 도전성 커버층 간에 제공된 절연층에 의해 커버 리드에 대해 절연된다. 상기 커버 리드는 금속으로 제조될 수 있으며, 그의 내측은 절연층으로서 SiN 또는 AlO 층으로 코팅된다. 절연층은 적어도 커버 리드와 커버층 사이에 도포되어야 한다. 커버층의 내측은 상기 절연층으로 완전히 코팅될 수 있다. 도전성 경로로서 커버층 패턴은 커버 리드에 의해 결정되지 않지만, 전계발광층 스택의 패턴 및 직렬 접속되는 전계발광층 스택의 목적하는 순서에 의해 결정된다. 전계발광층 스택의 직렬 접속을 제공하기 위해, 도전성 경로는 서로에 대해 전기적으로 절연되어야 하며, 이는 도전성 경로를 적절히 패터닝함으로써 달성될 수 있다. 상기 패터닝은, 예를 들어, 커버층 피착용 마스크를 사용하거나, 금속 페이스트(예를 들어, 은 페이스트)를 인쇄하거나, 레이저 금속 전사 공정(금속 시트 상에 집속된 레이저에 의해 커버 리드의 내측 상에 배치된 금속 시트로부터 금속 재료를 국소 증발시키는 것)을 적용하는 것 등에 의해 달성될 수 있다. 후자의 공정은 변경이 용이하며, 요구에 따라 상이한 패턴을 갖는 도전성 경로를 제공하는데 적합하다.

[0009] 제1 및 제2 전기접속은 제1 및 제2 전극의 적절한 영역에 도전성 재료를 도포함으로써 제공될 수 있다. 도전성 재료의 피착 공정은 전극과 커버 리드 간의 전기적 접속을 구현하기에 충분한 재료를 제공하도록 조정된다. 도전성 재료는 임의의 적절한 도전성 재료일 수 있다. 커버 리드와 전계발광층 스택 간의 갭에 따라, 당업자는 본 발명의 범위 내에서 상기 접속을 구현하기 위해 요구되는 도전성 재료의 양을 조정할 것이다. 예로서, 제1 및 제2 전기접속은, 전계발광층 스택 및 제2 전극으로 커버되지 않은 적절히 구축된 제1 전극 상 및 제2 전극 상의 임의의 적절한 위치에 인쇄된 금속 페이스트(예를 들어, 은 페이스트) 또는 도전성 글루에 의해 구현된다.

[0010] 유기 전계발광 소자는 광을 생성하기 위해 유기 저분자 또는 고분자를 사용할 수 있다. 따라서, OLED는 저분자 유기 발광 소자(small molecule organic light emitting devices, SMOLED) 또는 고분자 발광 소자(polymer light emitting devices, PLED)로 지칭될 수 있다. 하지만, SMOLED가 발광 성능이 더 양호하므로 바람직하다. 기판은 예를 들어 유리 또는 플라스틱과 같은 투명 재료로 제조된다. 전계발광층 스택은 양극 및 음극으로서 적어도 두 개의 전극, 및 하나의 단일층으로 구성될 수 있거나 복수의 유기층을 포함할 수 있는, 그 사이의 유기 발광층 스택을 포함한다. 전극들 사이에 배치된 이 복수의 유기층은, 정공수송층, 전자수송층, 정공차단층, 전자차단층, 예를 들어 발광 분자가 포함된 호스트 재료를 포함하는 하나 이상의 발광층의 조합일 수 있다. 상이한 수/종류의 층들을 포함하는 다수의 상이한 전계발광층 스택이 당업자에게 공지되어 있으며, 목적하는 애플리케이션에 따라 적절한 전계발광층 스택을 선택할 수 있다. 여기서, 기판 상부 상의 전극을 제1 전극으로 나타낸다. 기판을 통과하여 발광하는 통상적인 소위 배면 발광체(bottom emitter)에 있어서, 제1 전극은 예를 들어 ITO(indium-tin-oxide)로 제조된 투명 전극이다. 다른 전극은 통상적으로 예를 들어 Al과 같은 반사 금속으로 제조된 제2 전극이다. 이와 달리, 광이 커버 리드를 통과하여 발광되며(소위 전면 발광체(top emitter)), 제2 전극 및 커버 리드 모두 적어도 일부가 투명해야 한다. 배면 발광체에 있어서, 제1 전극 및/또는 기판은 불투명 재료로 제조될 수 있다. OLED의 외부 광추출(light out-coupling) 양상을 개선하기 위해 제1 전극과 기판 사이에 추가의 층들이 존재할 수 있다. 제2 전극이 커버 리드의 측부로부터 접촉할 수 있도록 하기 위해 제1 전극의 상부 상에 국소적으로 추가의 하드층들이 피착될 수 있다. 상기 하드층들은, 음극이 후면(커버 리드의 측부)으로부터 예를 들어, 배선 또는 핀과 접촉함으로써 유발된 제1 및 제2 전극 간의 단락을 방지하기 위해 전기 절연 재료로 제조되어야 한다. 통상적으로 투명 전극이 양극이고 다른 전극이 음극이다. 배면 발광체에서, 투명 전극이 제1 전극이다. 전면 발광체에 있어서, 투명 전극은 제2 전극이다. 소위 투명 발광체에서는,



전극들뿐만 아니라 커버 리드 및 기판도 투명해야 하며, 두 전극은 음극 또는 양극 중 어느 하나일 수 있다. 이와 달리, 양극 또는 음극으로서의 제1 및 제2 전극의 용도는 배면-, 전면- 및 투명 발광체에서 반대로 될 수 있다. 적절한 투명 음극은 금속 박층으로 제조될 수 있다.

[0011] 인접한 전계발광층 스택의 제1 전극들은 제1 폭을 갖는 제1 갭에 의해 서로 이격될 수 있으며, 인접한 전계발광층 스택의 제2 전극 및 유기 발광층 스택은 제1 갭 위(above)에서 제1 폭보다 큰 제2 폭을 갖는 제2 갭에 의해 서로 이격되어, 제1 전극들의 커버되지 않은 접촉 영역들을 제공한다. 용어 "위(above)"는 피착 순서에 따른 층 순서를 나타낸다. 다른 층 위(above)의 층은 다른 층보다 이후에 피착된다(다른 층의 상부 상에 피착된다). 제1 폭보다 큰 제2 폭으로 인해, 제1 전기접속용 재료를 도포하기에 충분히 큰 제1 전극의 비코팅 영역이 제공된다. 제1 및 제2 갭의 폭은 통상적으로 0.1 mm 및 1.1 mm이다. 제1 전기접속을 제1 전극에 도포하기 위한 신뢰성 있는 공정을 위해, 제1 전극의 비코팅 영역의 폭은 적어도 1 mm여야 하며, 따라서 제2 폭은 제1 폭보다 약 1 mm 크다. 제1 폭은 바람직하게는 0.05-0.5 mm이고, 더 바람직하게는 0.1-0.02 mm이다. 추가로, 제2 폭은 바람직하게는 0.5-2 mm이고, 더 바람직하게는 0.75-1.5 mm이다.

[0012] 제1 전극의 커버되지 않은 접촉 영역들은, 바람직하게는 도전성 브리지를 통해 접속되는 인접한 전계발광층 스택을 향해 마주하는 제1 전극의 에지들의 전체 길이까지 연장될 수 있다. 이 배치는 제1 갭을 가로질러 인접한 전계발광층 스택들 간의 단락의 위험을 방지한다.

[0013] 제1 전기접속은 제1 전극의 커버되지 않은 접촉 영역의 상부 상에 피착된, 바람직하게는 인쇄된 도전성 재료에 의해 구현될 수 있다. 커버되지 않은 접촉 영역은, 접촉 영역의 상부 상의 잔류 유기 재료에 의해 유발된 임의의 전압 강하를 방지하면서 적절한 접촉 영역을 제공한다. 제1 전기접속은 커버되지 않은 접촉 영역의 길이를 따라 연장되는 것이 바람직하며, 더 바람직하게는 커버되지 않은 접촉 영역의 전체 길이를 따라 연장된다. 여기서, 제1 전기접속에 의해 유발된 전압 강하를 감소시키거나 방지하기 위해, 제1 전기접속은 커버되지 않은 접촉 영역의 형태를 따르는 도전성 재료의 라인으로서 도포될 수 있다. 이어서, 커버 리드의 내측의 도전성 경로의 형태도 또한 제1 전기접속의 형태에 따라 조정되어야 한다.

[0014] 제2 전기접속은, 제2 전극의 상부 상에 피착된, 바람직하게는 인쇄된 도전성 재료에 의해 구현될 수 있다. 제2 전기접속이 제2 전극에 도포되는 위치는 목적하는 애플리케이션에 따라 달라진다. 제2 전극 상의 임의의 적절한 위치에 제2 전기접속을 도포하는 설계 자유도가 존재한다. 이어서, 커버 리드의 내측의 도전성 경로의 형태 및 위치를 제2 전기접속의 형태 및 위치에 따라 조정해야 한다. 접촉 영역을 일치시키기 위해 제2 전기접속의 피착 공정(예를 들어, 인쇄)을 커버 리드의 내측에 존재하는 도전성 경로에 따라 조정할 수 있다.

[0015] 커버 리드의 내측의 도전성 경로들의 배치를 조정하여, 목적하는 애플리케이션에 따라 조정된 순서로 전계발광층 스택들을 접속시킬 수 있다. 두 개의 상이한 OLED 소자의 제1 및 제2 전기접속이 동일한 위치에 배치되는 경우에도, 전계발광층 스택들의 직렬 접속의 순서 및/또는 직렬 접속에 관련된 전계발광층 스택의 수는, 상이한 도전성 경로 패턴을 갖는 커버 리드를 이용함으로써 요구에 따라 변경할 수 있다. 상이한 색상의 광을 발광하는(예를 들어, 청색, 녹색 및 적색광을 발광하거나, 청색 및 황색광을 발광하는) 전계발광층 스택들의 경우, 개별 전계발광층 스택들로부터 발광된 광의 혼합물로부터 생성된, OLED 소자로부터 발광된 광의 결과 색상은, 특정 색상의 광을 발광하는 상이한 수의 전계발광층 스택을 직렬 접속에 관여시킴으로써 변경될 수 있다. 전계발광층 스택들(형태, 수, 크기, 발광색) 및 제1 및 제2 전기접속(위치, 형태, 크기)이 모든 소자에 대해 동일한 경우에도, 상이한 도전성 경로 패턴을 포함하는 커버 리드에 의해 상기 변경을 제어할 수 있다. 도전성 경로들의 배치는 또한, 필요할 경우, 직렬 접속되고 병렬 접속된 전계발광층 스택들의 조합을 제공할 수 있다.

[0016] 도전성 경로는, 바람직하게는 커버 리드에 부착된 기능성 구성요소에 접속될 수 있다. 여기서, 간단한 방법으로 OLED 소자에 추가의 기능이 통합될 수 있으며, 상기 기능성 구성요소를 상이하게 구비한 커버 리드를 이용함으로써, 도입된 기능은 필요에 따라 상이한 OLED 소자들에 대해 변경될 수 있다. 예로서, 상기 기능성 구성요소는 OLED 소자의 구동 중에 국소적인 또는 전체의 전류, 휘도, 온도 등을 결정하기 위한 센서일 수 있다. 퓨즈도 또한 기능성 구성요소로서 통합될 수 있다.

[0017] 커버 리드는 제1 및/또는 제2 전극 중 적어도 하나에 구동 전압을 제공하기 위해 적어도 하나의 전기 피드쓰루(feedthrough)를 포함할 수 있다. 커버 리드를 통과하는 하나 이상의 피드쓰루를 통해 하나의 전극, 바람직하게는 두 전극 모두가 후면으로부터 접촉함으로써, 커버 리드가 기판의 에지까지 연장되면 OLED 소자의 조명면을 증가시킬 수 있다. 제1 또는 제2 전극은 전원에 접속된 제1 피드쓰루를 통해 접촉할 수 있으며, 다른 전극은 적어도 부분적으로 도전성인 커버 리드 및 도전성 밀봉재를 통해 접촉하고, 커버 리드는 전원에 추가로 접속된다. 두 전극 모두 개별 피드쓰루를 통해 전원에 접속될 수 있다. 여기서, 커버 리드는 도전성 또는 비-도전성

재료로 제조될 수 있다.

- [0018] 본 발명은 또한, 하기 단계들을 포함하는, 본 발명에 따른 유기 전계발광 소자를 제공하는 방법에 관한 것이다.
- 제1 전극들을 서로 전기적으로 절연시키기 위해 인접한 제1 전극들 간의 제1 폭을 갖는 제1 겹에 의해 이격된 제1 전극들의 패턴으로 커버된 기판을 제공하는 단계,
  - 제1 전극들의 패턴의 상부 상에 인접 층 스택으로서 유기 발광층 스택을 피착하는 단계,
  - 유기 발광층 스택의 상부 상에 인접 층으로서 제2 전극을 피착하는 단계,
  - 제1 전극의 커버되지 않은 접촉 영역을 제공하기 위해 제1 폭보다 큰 제2 폭을 갖는 제2 겹을 제1 겹 위에 제공하도록, 제1 전극들 간의 제1 겹 위의 제2 전극 및 유기 발광층 스택을 제거하고, 바람직하게는 제1 겹 내에 피착된 임의의 재료도 또한 제거하는 단계.
- [0019] 삭제
- [0020] - 제1 전극의 상부 상에 제1 전기접속을 피착, 바람직하게는 인쇄하고 제2 전극의 상부 상에 제2 전기접속을 피착, 바람직하게는 인쇄하는 단계,
- [0021] - 기판에 밀봉되고 도전성 경로들을 포함하는 커버 리드로 전계발광층 스택들을 캡슐화하는 단계 - 전계발광층 스택들과 커버 리드의 내측 간에 겹이 제공됨 -, 및
- [0022] - 전계발광층 스택들의 직렬 접속을 제공하기에 적절한 커버 리드의 내측에 배치된 도전성 경로들에 제1 및 제2 전기접속을 접속시킴으로써, 직렬 접속에 관련된 적어도 하나의 전계발광층 스택, 바람직하게는 각각의 전계발광층 스택의 제1 전극과, 직렬 접속에 관련된 다른 전계발광층 스택, 바람직하게는 인접한 전계발광층 스택의 제2 전극 간에 도전성 브리지를 구현하는 단계.
- [0023] 기판은 전계발광층 스택들과 기판 사이에 추가의 층들을 포함할 수 있다. 제1 및 제2 전기접속은 임의의 적절한 피착법에 의해 피착될 수 있다. 바람직한 실시예에서, 피착법은 인쇄이며, 이에 의해 상당한량의 재료를 짧은 시간 내에 가변적 방법으로 도포하는 것이 가능하다. 도전성 브리지는, 기판의 상부 상에 커버 리드를 밀봉하여 결국 추가의 층들을 밀봉 영역 내부에 적재함으로써 커버 리드의 내측의 도전성 경로들에 제1 및 제2 전기접속을 접속시킨 후에 구현된다. 밀봉 공정 중에, 제1 및 제2 전기접속은 도전성 경로들과 접촉하게 되어 도전성 브리지를 구현한다. 도전성 브리지는 커버 리드 내측의 도전성 경로들을 통해 구현되므로, 커버 리드의 도전성 경로들을 변경시킴으로써 무작위의 접속 패턴을 실현할 수 있다.
- [0024] 삭제
- [0025] 삭제
- [0026] 삭제
- [0027] 삭제
- [0028] 삭제
- [0029] 유기 발광층은 증발(evaporation)에 의해 피착될 수 있다. 하지만, 인접 층들의 도포시 인쇄, 분무법 등과 같은 비-진공 공정을 사용할 수 있다. 제2 전극은 CVD, 증발, 스퍼터링 등과 같은 진공 피착 기술에 의해 피착될 수 있다. 이후의 구조를 갖는 인접 층들의 피착은 유기 발광층 스택 및 제2 전극을 도포하기 위한 임의의 마스크 피착을 방지한다. 상기 층들의 피착을 위한 마스크 공정을 방지함으로써 제조 비용이 상당히 감소된다(마스크 제조 방지, 마스크 정렬 수고 방지, 피착후 마스크 세정 방지, 오정렬 마스크로 인한 생산 손실 방지). 상기 층들의 피착후 수행된 패터닝 공정에 의해 원할 경우 매우 작은 크기의 패턴을 제조할 수 있다. 마스크 공



정의 경우, 구조의 크기는  $>200\ \mu\text{m}$  로 제한된다. 본 발명에서 개별 전계발광층 스택들 간의 최소 이격거리는 상당히 작을 수 있으며, 인접한 제1 전극들 간의 제1 갭에 대한 패터닝 기술에 의해서만 제한된다. 제1 및 제2 갭의 재료를 제거하는 단계는, 예를 들어 플라즈마 식각 또는 접합제 테이프를 통한 기계적 제거와 같은 임의의 적절한 제거 단계에 의해 수행될 수 있다. 바람직한 실시예에서, 제거 단계는 레이저 어블레이션(laser ablation)에 의해 수행된다. 레이저 어블레이션은 무접촉 공정이며, 전계발광층 스택들의 상이한 패턴에 따라 용이하게 조정될 수 있다. 레이저 어블레이션 공정은 제2 전극의 측부부터 적용될 수 있으며 제1 단계에서 먼저 제2 전극을 제거하고 제2 단계에서 유기 발광층 스택을 제거하는 2-단계 공정일 수 있다. 레이저 변수들은 제1 단계 및 제2 단계에 대해 상이하게 조정될 수 있다. 레이저 어블레이션은 공지된 기술이다. 당업자는 재료를 제거하기 위해 요구되는 레이저 변수들을 필요에 따라 선택할 수 있다. 또한, 당업자는 상이한 층 스택들에 대해 레이저 변수를 조정할 수 있다. 제1 및 제2 갭 내의 재료는 완전히 제거될 수 있다. 이와 다른 공정에서, 제1 갭에 존재하는 유기 발광 재료는 일부만 제거될 수 있다. 하지만, 제1 갭 내에서 유기 발광층 스택의 잔류 재료와 인접한 제1 전극 사이에 갭이 제공되어야 한다. 이와 달리, 유기 발광층 스택의 잔류 재료는 예를 들어 점착성 테이프와 같은 다른 기술에 의해 제거될 수 있다. 이와 달리, 레이저 어블레이션 공정을 기관 측부부터 적용할 수 있으며, 이때 유기 발광층 스택과 제2 전극은 단일 단계에서 제거된다. 제1 갭의 제1 폭보다 큰 제2 폭을 갖는 제2 갭을 제공하도록 레이저 변수들이 조정될 수 있거나, 상기 제2 폭을 갖는 상기 제2 갭을 달성하기 위해 다른 측부에서 제2 레이저 어블레이션 단계를 적용한다.

[0030] 다른 실시예에서, 방법은, 목적하는 애플리케이션에 따라 조정된 순서로, 전계발광층 스택들을 직렬 접속하기에 적절한 패턴으로 커버 리드에 도전성 경로들을 제공하는 단계를 추가로 포함한다. 예로서, 상이한 색상의 광을 발광하는(예를 들어, 청색, 녹색 및 적색광을 발광하거나, 청색 및 황색광을 발광하는) 전계발광층 스택들의 경우, 개별 전계발광층 스택들로부터 발광된 광의 혼합물로부터 생성된, OLED 소자로부터 발광된 광의 결과 색상은, 특정한 색상의 광을 발광하는 상이한 수의 전계발광층 스택을 직렬 접속에 관여시킴으로써 변경시킬 수 있다. 전계발광층 스택들(형태, 수, 크기, 발광색) 및 제1 및 제2 전기접속(위치, 형태, 크기)가 모든 소자에 대해 동일한 경우에도, 상이한 도전성 경로 패턴을 포함하는 커버 리드에 의해 상기 변경을 제어할 수 있다. 도전성 경로들의 배치는 또한 직렬 접속되고 병렬 접속된 전계발광층 스택들의 조합을 제공할 수 있다.

[0031] 다른 실시예에서, 방법은, 제1 또는 제2 전극 중 적어도 하나에 구동 전압을 제공하기 위해, 제1 또는 제2 전극 중 적어도 하나의 상부 상에 전기 도전성 재료를 피착함으로써, 커버 리드에 존재하는 적어도 하나의 전기 피드쓰루에 제1 또는 제2 전극 중 적어도 하나를 접속하는 단계를 추가로 포함한다. 상기 단계는 상술한 바와 같은 장점들을 갖는다.

### 도면의 간단한 설명

[0032] 본 발명의 상기 및 다른 측면들은 이후 설명되는 실시예로부터 명백하며 이후 설명되는 실시예를 참조로 설명될 것이다.

도면에서:

도 1은 (a) 커버 리드에 전기 피드쓰루를 갖는, 및 (b) 커버 리드에 의해 캡슐화된 영역 외부의 기관 영역까지 연장된 제1 전극을 갖는, 본 발명에 따른 유기 전계발광 소자의 두 대안을 도시한다.

도 2는 유기 전계발광 소자의 상면도를 도시한다.

도 3은 기능성 구성요소를 추가로 포함하는 도전성 커버 리드의 도시한다.

도 4는 상이한 도전성 브리지 패턴을 적용한, 직렬 접속된 복수의 전계발광층 스택의 두 대안을 도시한다.

도 5는 본 발명에 따른 유기 전계발광 소자를 제조하기 위한 공정 단계들을 도시한다.

### 발명을 실시하기 위한 구체적인 내용

[0033] 도 1은 (a) 커버 리드에 전기 피드쓰루(8)를 갖는, 및 (b) 커버 리드에 의해 캡슐화된 영역 외부의 기관 영역까지 연장된 제1 전극을 갖는, 유기 전계발광 소자의 두 대안을 도시한다. 두 대안에서, 유기 전계발광 소자(1)는, 이 실시예에서는 3개의 전계발광층 스택(3)인 복수의 전계발광층 스택(3)을 적재한 기관(2)을 포함한다. 하지만, 전계발광층 스택의 수는 목적하는 애플리케이션에 따라 달라지며 넓은 범위의 수에 걸쳐 변경될 수 있다. 전계발광층 스택은, 회색 영역으로 나타낸 제1 및 제2 전극(31,33) 및 제1 및 제2 전극(31,33) 사이에 배치된 유기 발광층 스택(32)을 각각 포함하여 직렬 접속된다. 도 1a에서 커버 리드(4)는 기관(2)에 직접 밀봉된

다. 도 1b에서, 제1 전극층은 커버 리드의 외부까지 연장되고, 따라서 커버 리드는 기판 상에서 직접 부분 밀봉되고 제1 전극의 상부 상에서 부분 밀봉된다. 밀봉 접속(44)은 도포된 밀봉재에 따라 전기 도전성 또는 비-도전성일 수 있다. 커버 리드(4)는 전계발광층 스택(3)과 커버 리드(4)의 내측(41) 간에 갭(5)을 제공하면서 전계발광층 스택(3)을 캡슐화하며, 상기에서 직렬 접속은, 직렬 접속에 관련된 전계발광층 스택(3) 각각의 제1 전극(31)을 직렬 접속에 관련된 다른 전계발광층 스택(3), 여기서는 인접한 전계발광층 스택(3)의 제2 전극(33)에 도전성 브리지(6)를 통해 접속시킴으로써 구현되며, 상기에서 도전성 브리지(6)는 각각, 커버 리드(4)의 내측(41) 상에 배치된 도전성 경로(62), 제1 전극(31)을 도전성 경로(62)에 접속시키는 제1 전기접속(61), 및 도전성 경로(62)를 다른 전계발광층 스택(3), 여기서는 인접한 전계발광층 스택(3)의 제2 전극(33)에 접속시키는 제2 전기접속(63)을 포함한다. 제1 및 제2 전기접속(61,63)을 구현하는 도전성 재료의 필요량은, 커버 리드와 전계발광층 스택 간의 갭이 mm 수준인 것에 비하여 1  $\mu$ m 이하의 수준인 전계발광층 스택(3)의 통상적인 작은 층 두께를 고려시 근소하게만 차이가 난다. 따라서, 제1 및 제2 전기접속(61,63)은 동일한 피착 공정으로 피착될 수 있다. 제1 및 제2 갭(G1,G2) 및 상응하는 제1 및 제2 폭(W1,W2)은 파선으로 나타낸다. 제1 전기접속(61)은 갭(G2)으로 연장되는 영역 상에서 제1 전극(31)에 접속된다. 상기 영역은 제1 전극의 커버되지 않은 접촉 영역으로 나타내며, 이는 도 2에 좀더 상세히 도시된다. 도 1a에서, 제1 및 제2 전기접속(61,63)을 구현하기 위해서도 사용되는 도전성 재료를 도포함으로써, 제2 전극(33)은 전계발광층 스택(3)의 직렬 접속의 첫번째 전계발광층 스택(3)으로서 좌측 피드쓰루(8)에 접속되고, 마지막 전계발광층 스택(3)의 제1 전극(31)은 우측 피드쓰루(8)에 접속된다.

[0034] 도 2는 유기 전계발광 소자의 작은 부분의 상면도를 도시한다. 이 예에서, 전계발광층 스택(3)은 직사각형 형태를 가지며, 제1 및 제2 전극(31,33)만이 보여진다. 유기 발광층 스택(32)은 제2 전극(33)에 의해 커버되어 여기서는 보이지 않는다. 전계발광층 스택의 형태에 따라, 도전성 경로(62) 및 제1 및 제2 전기접속(61,63)도 또한 조정된 형태를 갖는다. 전계발광층 스택, 제1 및 제2 전기접속(61,63) 및 도전성 경로(62)들의 형태는 다른 접근방식으로 변형될 수 있다. 백색 영역으로 도시된 제1 전극(31)의 영역은 제1 전극(31)의 커버되지 않은 접촉 영역(311)이며, 여기에 제1 전기접속(61)이 도포된다. 제2 전기접속(63)은 제2 전극(33)의 상부 상에 도포된다. 두 전기접속(61,63)은 모두 흑색 영역으로 도시된다. 제1 전기접속(61)은, 커버되지 않은 접촉 영역(311)을 따라 임의의 전압 강하가 발생하지 않도록, 커버되지 않은 접촉 영역(311)의 전체 길이(L)를 따라 연장된다. 제2 전기접속(62)도 또한 제2 전극(33)을 따라 임의의 전압 강하가 발생하지 않도록 제2 전극(33)의 상응하는 전체 길이를 따라 연장된다. 커버 리드(여기서는 미도시)의 내측의 도전성 경로(62)들은 파선 영역으로 나타내며, 이 예에서는 도전성 커버층(42)으로서 제조된다. 도전성 경로(62)들의 영역은 제1 전기접속(61)을 제2 전기접속(63)에 적어도 전기적으로 접속하도록 조정되어야 한다.

[0035] 도 3은 기능성 구성요소를 추가로 포함하는 도전성 커버 리드를 도시한다. 여기서, 도전성 경로(62)들 중 하나는 커버 리드(4)의 내측(41)에 배치된 기능성 구성요소(7)에 접속된다. 이 예에서, 커버 리드는 예를 들어 금속과 같은 도전성 재료로 제조된다. 전계발광층 스택들의 직렬 접속을 수득하기 위해, 도전성 경로(62)들은 도전성 커버 리드(4)에 대해 전기적으로 절연되어야 한다. 여기서, 커버 리드(4)의 내측(41)은 비-도전성층(43)(예를 들어, SiN 또는 AlO)으로 코팅된다. 도전성 경로(62)들은 이후에 비-도전성층(43)의 상부 상에 증착된다.

[0036] 도 4는 상이한 도전성 브리지(6) 패턴을 적용한 직렬 접속된 9개의 전계발광층 스택(3)의 두 대안을 도시한다. 9개의 전계발광층 스택(3)은 OLED 소자에 구동 전압이 인가되는 경우 상이한 색상의 광을 발광한다. 도 4에 도시된 예에서, 9개의 전계발광층 스택은 전체적으로 백색을 갖는 광을 제공하기 위해, 3개의 적색-발광 전계발광층 스택(3r); 3개의 녹색-발광 전계발광층 스택(3g), 및 3개의 청색-발광 전계발광층 스택(3b)을 포함한다. 도 4a에서, 9개의 모든 전계발광층 스택(3r,3g,3b)은, 특정 색점의 백색광을 제공하도록, 나타낸 바와 같이 접속하게 되는 도전성 경로 패턴을 갖는 제1 커버 리드를 적용함으로써 직렬로 접속된다. 도 4b에서는, 상이한 색점의 백색광을 제공하도록, 하나의 청색 전계발광층 스택은 접속되지 않은 채(발광하지 않음), 나타낸 바와 같이 접속하게 되는 도전성 경로 패턴을 갖는 제2 커버 리드를 적용함으로써 8개의 전계발광층 스택(3r,3g,3b)만이 직렬 접속된다. 하나의 청색 요소는 발광하지 않으므로, 도 4b에 나타난 OLED 소자의 전체적인 색상은 도 4a에 나타난 OLED 소자와 비교하여 적색 스펙트럼 범위로 이동할 것이다. 이 예는, 기판의 상부 상에 전계발광층 스택들의 배치를 동일하게 하고 커버 리드의 도전성 경로 패턴만을 변경시킴으로써 발광 성능이 어떻게 영향을 받을 수 있는지를 보여줄 것이다. 존재하는 전계발광층 스택들의 일부는 병렬로 접속될 수 있지만, 다른 전계발광층 스택은 직렬로 접속될 수 있다. 당업자는 본 발명의 범위 내에서 커버 리드의 도전성 경로 패턴을 위한 다른 레이아웃을 알 것이다.

[0037] 도 5는 본 발명에 따른 유기 전계발광 소자를 제조하기 위한 공정 단계들을 도시한다. 제1 단계 (a)로서, 제1 전극(31)들을 서로 전기적으로 절연시키기 위해, 인접한 제1 전극(31)들 간의 제1 폭(W1)을 갖는 제1 갭(G1)에 의해 이격된 제1 전극(31) 패턴으로 커버된 기판(2)이 하기 공정 단계들을 위해 제공된다. 기판(2) 상부 상의 전극층(31)의 패턴닝은 당업자에게 공지되어 있다. 예로서, 제1 전극(31)은 IT0로 제조될 수 있다. 패턴은 마스크 공정 또는 식각 공정에 의해 달성된다. 제1 전극(31) 패턴을 갖는 상기 기판의 상부 상에, 제1 전극(31) 패턴의 상부 상에 유기 발광층 스택(32)을 인접 층 스택으로서 피착한다. 유기 발광층은 또한 제1 전극(31)들 간의 제1 갭을 채울 것이다. 적합한 피착 공정은 진공 증착 또는 인쇄 공정(비-진공 공정)이다. 유기 발광층 스택(32)의 상부 상에, 예를 들어 CVD 또는 스퍼터링과 같은 공정을 이용하여 또한 인접 층으로서 제2 전극(33)을 피착하여 도 5a에 도시된 바와 같은 층 스택을 수득한다. 제1 전극(31)의 커버되지 않은 접촉 영역(311)을 제공하기 위해 제1 폭(W1)보다 큰 제2 폭(W2)을 갖는 제2 갭(G2)을 제1 갭(G1) 위에 제공하도록, 제1 전극(31)들 간의 제1 갭(G1) 위의 제2 전극(33) 및 유기 발광층 스택(32)을 제거하고, 바람직하게는 제1 갭(G1) 내에 피착된 임의의 재료도 또한 제거함으로써, 서로 격리된 복수의 전계발광층 스택이 달성된다. 상기 제거는, 도 5b 및 5c에 나타낸 바와 같이, 2-단계 공정으로 레이저 어블레이션(LA1, LA2)에 의해 수행된다. 여기서, 제1 세트의 레이저 변수로 제2 갭 내의 재료를 제거함으로써 제2 전극(33)을 먼저 구성한다. 이어서 제2 단계에서, 제2 세트의 레이저 변수로 제2 갭 내의 재료를 제거함으로써 유기 발광층 스택(32)을 구성한다. 일부 실시예에서, 제1 및 제2 세트의 레이저 변수는 동일한 세트의 변수일 수 있다. 예를 들어, 레이저 변수는 파장, 레이저 펄스 길이, 펄스 진폭, 어블레이션되는 영역을 따라 이동하는 레이저 초점 속도, 초점 면적 등일 수 있다. 개별 전계발광층 스택을 수득한 후, 제1 전극(31)의 커버되지 않은 접촉 영역(311)의 상부 및 제2 전극(33)의 상부 상에 제1 및 제2 전기접속(61, 63)이 증착된다. 인쇄에 의해, 목적하는 상이한 직렬 접속 레이아웃들에 대해 도전성 재료를 빠르고 가변적으로 도포하는 것이 가능하기 때문에, 바람직한 피착 기술은 인쇄이다.

[0038] 기판(2)에 밀봉되고 도전성 경로(62)들을 포함하는 커버 리드(4)로 전계발광층 스택(3)들을 캡슐화하고 - 전계발광층 스택(3)들과 커버 리드(4)의 내측(41) 간에 갭(5)이 제공됨 -, 전계발광층 스택(3)들의 직렬 접속을 제공하기 위해 적합한 커버 리드(4)의 내측(41)에 배치된 도전성 경로(62)들에 제1 및 제2 전기접속(61, 63)을 접속시킴으로써, 직렬 접속에 관련된 각각의 전계발광층 스택(3)의 제1 전극(31)과 직렬 접속에 관련된 다른 전계발광층 스택(3), 바람직하게는 인접한 전계발광층 스택(3)의 제2 전극(33) 간에 도전성 브리지(6)를 구현하여, OLED 소자의 제조를 완료하는 이후의 단계들은 여기서 도시되지 않는다. 커버 리드(4)의 도전성 경로(62)들은 목적하는 애플리케이션에 따라 조정된 순서로 전계발광층 스택(3)들을 직렬로 접속하기에 적합한 패턴에 따라 조정될 수 있다.

[0039] 도면 및 상술한 설명에서 본 발명을 예시하고 상세히 설명하였지만, 상기 예시 및 설명은 예시적 또는 시범적이며, 제한적이지 않은 것으로 간주되고; 본 발명은 개시된 실시예로 제한되지 않는다. 도면, 명세서 및 첨부된 청구범위의 연구로부터, 청구된 발명의 실시예 있어서 개시된 실시예에 대한 다른 변형이 당업자에 의해 이해될 수 있고 시행될 수 있다. 청구항에서, 단어 "포함하는"은 다른 구성요소 또는 단계들을 배제하지 않으며, 단수 명사("한" 또는 "하나")는 복수를 배제하지 않는다. 특정 수단들이 서로 다른 종속항들에서 인용된다는 단순한 사실만으로 이들 수단들의 결합이 유리하게 하기 위해 사용될 수 없음을 나타내지는 않는다. 청구 범위의 임의의 참조 부호가 본 발명의 범위를 제한하는 것으로 해석되어서는 안 된다.

### 부호의 설명

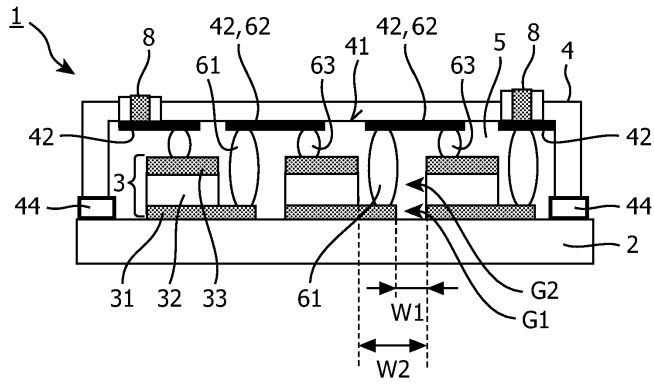
[0040]	1	유기 전계발광 소자
	2	기판
	3	전계발광층 스택
	3r, 3g, 3b	적색/녹색/청색 발광 전계발광층 스택
	31	제1 전극
	311	제1 전극의 커버되지 않은 접촉 영역
	32	유기 발광층 스택
	33	제2 전극
	4	커버 리드

41	커버 리드의 내측
42	전기 도전성 커버층(도전성 경로(62)의 실시예)
43	절연층
44	밀봉재
5	커버 리드와 전계발광층 스택 간의 갭
6	도전성 브리지
61	제1 전기접속
62	도전성 경로
63	제2 전기접속
7	기능성 구성요소
8	전기 피드쓰루
G1	제1 갭
G2	제2 갭
W1	제1 폭(제1 갭의 폭)
W2	제2 폭(제2 갭의 폭)
L	제1 전극의 비코팅 영역의 전체 길이
LA1,LA2	레이저 어블레이션

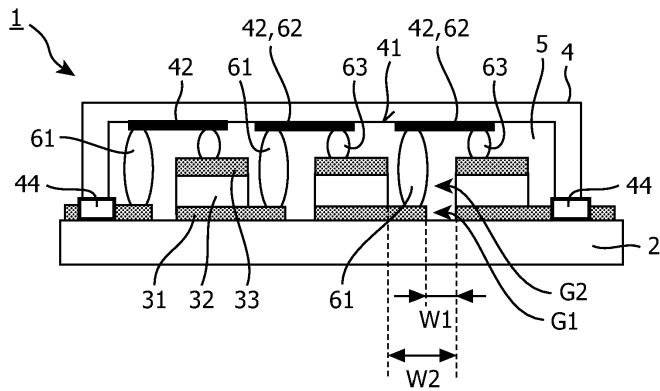
도면

도면1

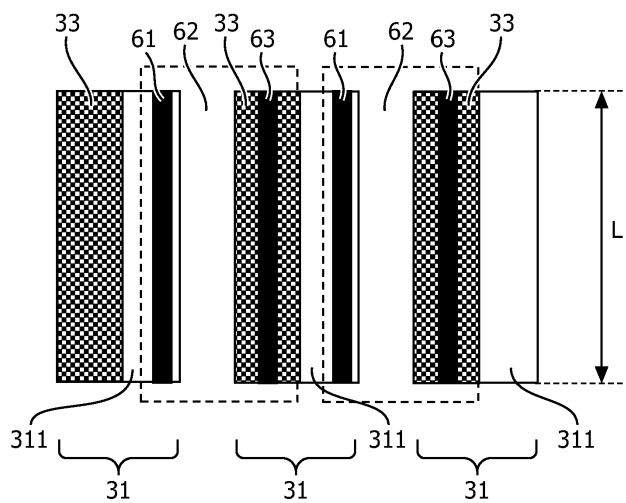
(a)



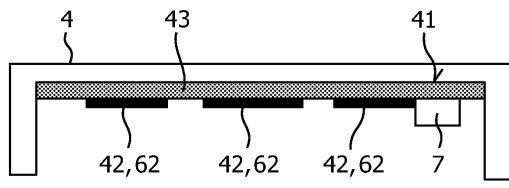
(b)



도면2

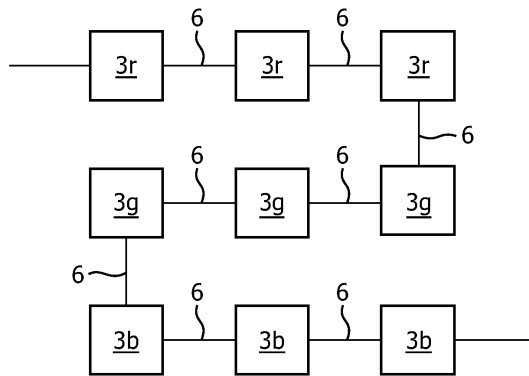


도면3

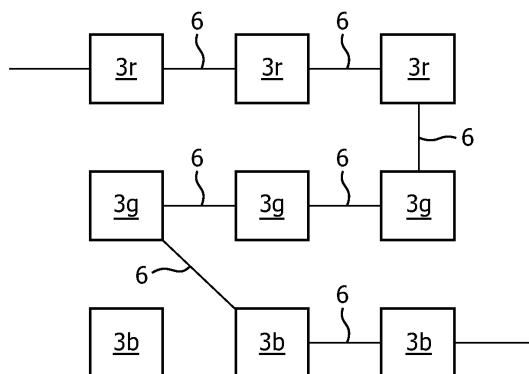


도면4

(a)



(b)





도면5

