I641141

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I641141 B**

(45)公告日： 中華民國 107 (2018) 年 11 月 11 日

(21)申請案號：102121959 (22)申請日： 中華民國 102 (2013) 年 06 月 20 日

(51)Int. Cl.： ***H01L29/78 (2006.01)*** ***H01L29/40 (2006.01)***

(30)優先權：2012/06/29 日本 2012-147703

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)
日本

(72)發明人：佐佐木俊成 SASAKI, TOSHINARI (JP) ；羽持貴士 HAMOCHI, TAKASHI (JP) ；宮本敏行 MIYAMOTO, TOSHIYUKI (JP) ；野村昌史 NOMURA, MASAFUMI (JP) ；肥塚純一 KOEZUKA, JUNICHI (JP) ；岡崎健一 OKAZAKI, KENICHI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 201203392A US 2011/0287580A1

WO 2010/103935A1

審查人員：謝介銘

申請專利範圍項數：5 項 圖式數：23 共 119 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

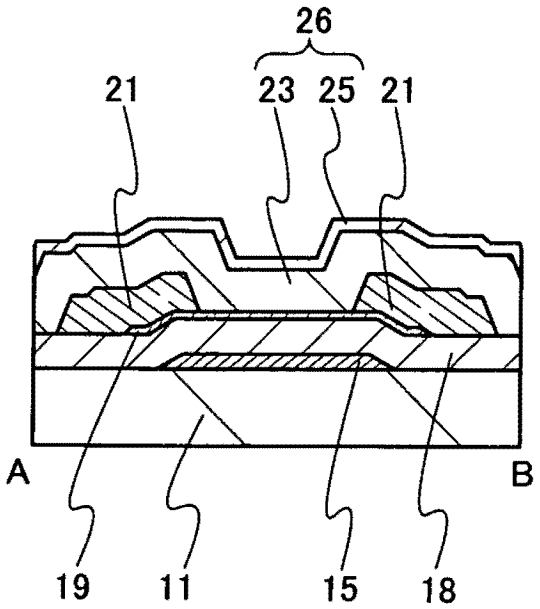
在具有氧化物半導體膜的電晶體中，抑制氫及氮移動到氧化物半導體膜。此外，在使用具有氧化物半導體的電晶體形成的半導體裝置中，抑制電特性的變動而提高可靠性。本發明的一個方式包括具有氧化物半導體膜的電晶體及設置在該電晶體上的氮化絕緣膜，藉由熱脫附譜分析法，從該氮化絕緣膜釋放出的氫分子量小於 5×10^{21} 分子/cm^3，較佳為 3×10^{21} 分子/cm^3 以下，更佳為 1×10^{21} 分子/cm^3 以下，且從該氮化絕緣膜釋放出的氨分子量小於 1×10^{22} 分子/cm^3，較佳為 5×10^{21} 分子/cm^3 以下，更佳為 1×10^{21} 分子/cm^3 以下。

In a transistor including an oxide semiconductor film, movement of hydrogen and nitrogen to the oxide semiconductor film is suppressed. Further, in a semiconductor device using a transistor including an oxide semiconductor film, a change in electrical characteristics is suppressed and reliability is improved. A transistor including an oxide semiconductor film and a nitride insulating film provided over the transistor are included, and an amount of hydrogen molecules released from the nitride insulating film by thermal desorption spectroscopy is less than 5×10^{21} molecules/cm^3, preferably less than or equal to 3×10^{21} molecules/cm^3, more preferably less than or equal to 1×10^{21} molecules/cm^3, and an amount of ammonia molecules released from the nitride insulating film by thermal desorption spectroscopy is less than 1×10^{22} molecules/cm^3, preferably less than or equal to 5×10^{21} molecules/cm^3, more preferably less than or equal to 1×10^{21} molecules/cm^3.

TW I641141 B

指定代表圖：

圖 1B



符號簡單說明：

1・・・電晶體

11・・・基板

15・・・閘極電極

18・・・閘極絕緣膜

19・・・氧化物半導體膜

21・・・電極

23・・・絕緣膜

25・・・氮化絕緣膜

26・・・保護膜

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

本發明係關於一種具有場效應電晶體的半導體裝置及半導體裝置的製造方法。

【先前技術】

用於以液晶顯示裝置或發光顯示裝置爲代表的大部分的平板顯示器的電晶體由形成在玻璃基板上的非晶矽、單晶矽或多晶矽等矽半導體構成。此外，使用該矽半導體的電晶體也用於積體電路（IC）等。

近年來，將呈現半導體特性的金屬氧化物用於電晶體代替上述矽半導體的技術受到矚目。注意，在本說明書中，將呈現半導體特性的金屬氧化物稱爲“氧化物半導體”。

例如，已公開了如下技術，即作爲氧化物半導體使用氧化鋅或 In-Ga-Zn 類氧化物來製造電晶體並將該電晶體用於顯示裝置的像素的切換元件等的技術（參照專利文獻 1 及專利文獻 2）。

已經指出，特別是在氧化物半導體中，氫是載子的供

應源。因此，需要採取某些措施來防止在形成氧化物半導體時氫混入到氧化物半導體中。藉由減少包含在氧化物半導體膜或接觸於氧化物半導體的閘極絕緣膜中的氫量，抑制臨界電壓的變動（參照專利文獻 3）。

此外，作爲氫的供應源有水。由此，藉由在具有氧化物半導體膜的電晶體上設置對水具有阻擋性的氮化矽膜，可以防止水從外部侵入到氧化物半導體膜中。

[專利文獻 1]日本專利申請公開第 2007-123861 號公報

[專利文獻 2]日本專利申請公開第 2007-96055 號公報

[專利文獻 3]日本專利申請公開第 2009-224479 號公報

但是，與氫同樣，氮成爲載子供應源。由此，當包含在氮化矽膜中的氮侵入到氧化物半導體膜中時，產生具有氧化物半導體膜的電晶體的電特性的變動，典型地產生臨界電壓的負向漂移。此外，有每個電晶體的電特性產生偏差的問題。

【發明內容】

鑒於上述問題，本發明的一個方式的目的之一是在具有氧化物半導體膜的電晶體中抑制氫及氮移動到氧化物半導體膜中。另外，本發明的一個方式的目的之一是在使用具有氧化物半導體的電晶體形成的半導體裝置中抑制電特性的變動而提高可靠性。

本發明的一個方式包括：具有氧化物半導體膜的電晶體；以及設置在該電晶體上的氮化絕緣膜，其中，藉由加熱從氮化絕緣膜釋放出的氫分子量小於 5×10^{21} 分子/cm^3，較佳爲 3×10^{21} 分子/cm^3 以下，更佳爲 1×10^{21} 分子/cm^3 以下，且藉由加熱從氮化絕緣膜釋放出的氨分子量小於 1×10^{22} 分子/cm^3，較佳爲 5×10^{21} 分子/cm^3 以下，更佳爲 1×10^{21} 分子/cm^3 以下。

本發明的一個方式包括：閘極電極；隔著閘極絕緣膜重疊於閘極電極的一部分的氧化物半導體膜；接觸於氧化物半導體膜的一對電極；以及設置在氧化物半導體膜上的氮化絕緣膜，其中，藉由加熱從氮化絕緣膜釋放出的氫分子量小於 5×10^{21} 分子/cm^3，較佳爲 3×10^{21} 分子/cm^3 以下，更佳爲 1×10^{21} 分子/cm^3 以下，且藉由加熱從氮化絕緣膜釋放出的氨分子量小於 1×10^{22} 分子/cm^3，較佳爲 5×10^{21} 分子/cm^3 以下，更佳爲 1×10^{21} 分子/cm^3 以下。

本發明的一個方式在具有氧化物半導體膜的電晶體中包括氮化絕緣膜作爲閘極絕緣膜。藉由加熱從氮化絕緣膜釋放出的氫分子量小於 5×10^{21} 分子/cm^3，較佳爲 3×10^{21} 分子/cm^3 以下，更佳爲 1×10^{21} 分子/cm^3 以下，且藉由加熱從氮化絕緣膜釋放出的氨分子量小於 1×10^{22} 分子/cm^3，較佳爲 5×10^{21} 分子/cm^3 以下，更佳爲 1×10^{21} 分子/cm^3 以下。

本發明的一個方式包括：氧化物半導體膜；接觸於氧化物半導體膜的一對電極；至少設置在氧化物半導體膜上

的閘極絕緣膜；以及隔著閘極絕緣膜重疊於氧化物半導體膜的一部分的閘極電極，其中，閘極絕緣膜具有氮化絕緣膜，藉由加熱從氮化絕緣膜釋放出的氫分子量小於 5×10^{21} 分子/cm^3，較佳爲 3×10^{21} 分子/cm^3 以下，更佳爲 1×10^{21} 分子/cm^3 以下，且藉由加熱從氮化絕緣膜釋放出的氨分子量小於 1×10^{22} 分子/cm^3，較佳爲 5×10^{21} 分子/cm^3 以下，更佳爲 1×10^{21} 分子/cm^3 以下。

藉由在具有氧化物半導體膜的電晶體上設置如下氮化絕緣膜，即藉由加熱釋放氫分子小於 5×10^{21} 分子/cm^3，較佳爲 3×10^{21} 分子/cm^3 以下，更佳爲 1×10^{21} 分子/cm^3 以下及氨分子小於 1×10^{22} 分子/cm^3，較佳爲 5×10^{21} 分子/cm^3 以下，更佳爲 1×10^{21} 分子/cm^3 以下，來可以減少從氮化絕緣膜向氧化物半導體膜的氫及氮的移動量。此外，可以抑制包含在水中的氫從外部侵入到氧化物半導體膜。

此外，藉由作爲具有氧化物半導體膜的電晶體的閘極絕緣膜，設置如下氮化絕緣膜，即藉由加熱釋放氫分子小於 5×10^{21} 分子/cm^3，較佳爲 3×10^{21} 分子/cm^3 以下，更佳爲 1×10^{21} 分子/cm^3 以下及氨分子小於 1×10^{22} 分子/cm^3，較佳爲 5×10^{21} 分子/cm^3 以下，更佳爲 1×10^{21} 分子/cm^3 以下，來可以減少從氮化絕緣膜向氧化物半導體膜的氫及氮的移動量。此外，可以抑制包含在水中的氫從外部侵入到氧化物半導體膜。

根據本發明的一個方式，可以抑制具有氧化物半導體膜的電晶體的電特性的變動而提高可靠性。

【圖式簡單說明】

在圖式中：

圖 1A 和圖 1B 是說明電晶體的一個方式的圖；

圖 2A 至圖 2D 是說明電晶體的製造方法的一個方式的剖面圖；

圖 3A 和圖 3B 是說明電晶體的一個方式的圖；

圖 4A 至圖 4D 是說明電晶體的製造方法的一個方式的剖面圖；

圖 5 是說明電晶體的一個方式的剖面圖；

圖 6A 和圖 6B 是說明電晶體的一個方式的圖；

圖 7A 和圖 7B 是說明電晶體的一個方式的圖；

圖 8A 至圖 8C 是說明顯示裝置的一個方式的俯視圖；

圖 9A 和圖 9B 是說明顯示裝置的一個方式的剖面圖；

圖 10 是說明顯示裝置的一個方式的剖面圖；

圖 11A 至圖 11C 是說明顯示裝置的一個方式的剖面圖；

圖 12A 和圖 12B 是說明半導體裝置的一個方式的圖；

圖 13A 至圖 13C 是說明電子裝置的圖；

圖 14A 至圖 14C 是說明電子裝置的圖；

圖 15A 和圖 15B 是說明樣本的結構的圖；

圖 16A 至圖 16C 是說明 TDS 分析結果的圖；

圖 17A 和圖 17B 是說明 TDS 分析結果的圖；

圖 18A 和圖 18B 是說明 TDS 分析結果的圖；

圖 19A 和圖 19B 是說明 TDS 分析結果的圖；

圖 20A 至圖 20C 是說明電晶體的 Vg-Id 特性的圖；

圖 21A 至圖 21C 是說明電晶體的 Vg-Id 特性的圖；

圖 22A 至圖 22C 是說明電晶體的 Vg-Id 特性的圖；

圖 23 是說明氮化矽膜的氫分子的釋放量及氨分子的釋放量、電晶體的 Vg-Id 特性的圖。

【實施方式】

下面，參照圖式詳細說明本發明的實施方式。但是，本發明不侷限於以下說明，而所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換爲各種各樣的形式。因此，本發明不應該被解釋爲僅限定在下面的實施方式及實施例所記載的內容中。另外，在下面所說明的實施方式及實施例中，在不同的圖式中使用相同的元件符號或相同的陰影線表示相同部分或具有相同功能的部分，而省略反復說明。

注意，在本說明書所說明的每一個圖式中，有時爲了明確起見，誇大表示各結構的大小、膜的厚度、區域。因此，本發明並不一定限定於該尺度。

注意，本說明書所使用的“第一”、“第二”、“第

三”等序數詞是爲了避免構成要素的混同而附記的，而不是爲了在數目方面上限定。因此，也可以將“第一”適當地調換爲“第二”或“第三”等來進行說明。

另外，“源極”及“汲極”的功能在電路工作的電流方向變化的情況等下，有時互相調換。因此，在本說明書中，“源極”及“汲極”可以被互相調換。

另外，電壓是指兩個點之間的電位差，電位是指某一點的靜電場中的單位電荷具有的靜電能(電位能量)。但是，一般來說，將某一點的電位與標準的電位（例如接地電位）之間的電位差簡單地稱爲電位或電壓，通常，電位和電壓是同義詞。因此，在本說明書中，除了特別指定的情況以外，既可將“電位”稱爲“電壓”，又可將“電壓”稱爲“電位”。

此外，由於具有氧化物半導體膜的電晶體爲 n 通道型電晶體，所以在本說明書中當閘極電壓爲 0V 時，將被認爲汲極電流不流過的電晶體定義爲具有常截止特性的電晶體。另外，當閘極電壓爲 0V 時，將被認爲汲極電流流過的電晶體定義爲具有常導通特性的電晶體。

實施方式 1

在本實施方式中，參照圖式說明本發明的一個方式的半導體裝置及其製造方法。

圖 1A 和圖 1B 示出半導體裝置所具有的電晶體 1 的俯視圖及剖面圖。圖 1A 是電晶體 1 的俯視圖，圖 1B 是

沿著圖 1A 的點劃線 A-B 的剖面圖。注意，在圖 1A 中，爲了明確起見，省略基板 11、電晶體 1 的構成要素的一部分（例如，閘極絕緣膜 18）、絕緣膜 23、氮化絕緣膜 25 等。

圖 1A 和圖 1B 所示的電晶體 1 包括：設置在基板 11 上的閘極電極 15；形成在基板 11 及閘極電極 15 上的閘極絕緣膜 18；隔著閘極絕緣膜 18 重疊於閘極電極 15 的氧化物半導體膜 19；以及接觸於氧化物半導體膜 19 的一對電極 21。另外，在閘極絕緣膜 18、氧化物半導體膜 19 及一對電極 21 上形成包括絕緣膜 23 及氮化絕緣膜 25 的保護膜 26。

藉由熱脫附譜分析法（TDS（Thermal Desorption Spectroscopy）），設置在本實施方式所示的電晶體 1 上的氮化絕緣膜 25 釋放氫分子小於 5×10^{21} 分子/cm^3，較佳爲 3×10^{21} 分子/cm^3 以下，更佳爲 1×10^{21} 分子/cm^3 以下及氨分子小於 1×10^{22} 分子/cm^3，較佳爲 5×10^{21} 分子/cm^3 以下，更佳爲 1×10^{21} 分子/cm^3 以下。由於氮化絕緣膜 25 釋放出的氫及作爲氮的供應源的氨的分子量少，所以向包括在電晶體 1 中的氧化物半導體膜 19 的氫及氮的移動量少。

在包含在氧化物半導體膜 19 中的氫與接合到金屬原子的氧起反應而成爲水的同時，在氧脫離的晶格（或氧脫離的部分）中形成缺陷。另外，氫的一部分與氧起反應而產生作爲載子的電子。此外，包含在氧化物半導體膜 19

中的氮與金屬元素或氧起反應而產生作爲載子的電子。其結果是，具有氧化物半導體膜 19 的電晶體容易成爲常導通特性。由此，藉由使氧化物半導體膜 19 中的氫及氮極少，可以抑制臨界電壓的負向漂移並降低電特性的偏差。此外，可以降低電晶體的源極及汲極的洩漏電流，典型地是關態電流（off-state current）。

由此，藉由在電晶體 1 上設置氮化絕緣膜，該氮化絕緣膜藉由熱脫附譜分析法釋放氫分子小於 5×10^{21} 分子/cm^3，較佳爲 3×10^{21} 分子/cm^3 以下，更佳爲 1×10^{21} 分子/cm^3 以下及氨分子小於 1×10^{22} 分子/cm^3，較佳爲 5×10^{21} 分子/cm^3 以下，更佳爲 1×10^{21} 分子/cm^3 以下，可以減少從氮化絕緣膜向氧化物半導體膜 19 的氫及氨的移動量，且可以降低氧化物半導體膜 19 中的氫及氮的濃度。此外，由於在電晶體 1 上設置有氮化絕緣膜 25，所以可以抑制水從外部侵入到氧化物半導體膜 19。即，可以抑制包含在水中的氫侵入到氧化物半導體膜 19。根據上述結果，可以抑制臨界電壓的負向漂移並降低電特性的偏差。此外，可以降低電晶體的源極及汲極的洩漏電流，典型地是關態電流。

氮化絕緣膜 25 可以使用厚度爲 50nm 以上且 200nm 以下的氮化矽、氮氧化矽、氮化鋁、氮氧化鋁等形成。此外，在本說明書中，“氧氮化矽膜”是指在其組成中氧的含量多於氮的含量的膜。“氮氧化矽膜”是指在其組成中氮的含量多於氧的含量的膜。此外，“氧氮化鋁膜”是指

在其組成中氧的含量多於氮的含量的膜。“氮氧化鋁膜”是指在其組成中氮的含量多於氧的含量的膜。

在此，以下說明利用熱脫附譜分析法（以下稱爲 TDS 分析）的氫分子及氨分子的釋放量的測量方法。

利用 TDS 分析測量的氣體的釋放量與光譜的積分值成比例。因此，根據絕緣膜的光譜的積分值及相對於標準樣本的基準值的比例可以計算出氣體的釋放量。標準樣本的基準值是指包含預定原子的樣本的在光譜的積分值中原子密度所占的比例。

例如，根據作爲標準樣本的包含預定密度的氫的矽晶片的 TDS 分析結果及絕緣膜的 TDS 分析結果，可以藉由算式 1 算出絕緣膜的氫分子的釋放量（N_{H2}）。在此，假定利用 TDS 分析來得到的被檢出爲質量數 2 的所有光譜都是源自氫分子。此外，由於自然界中的存在比例極微量，所以不加考慮質量數 1 以外的氫原子的同位素。

[算式 1]

$$N_{H2} = \frac{N_{H2(S)}}{S_{H2(S)}} \times S_{H2} \times \alpha \qquad (1)$$

N_{H2} 是氫分子的釋放量。$N_{H2(S)}$ 是以密度換算從標準樣本脫離的氫分子的值。$S_{H2(S)}$ 是當對標準樣本進行 TDS 分析時的光譜的積分值。在此，標準樣本的基準值是 $N_{H2(S)}/S_{H2(S)}$。S_{H2} 是當對絕緣膜進行 TDS 分析時的光譜的積分值。α是影響到 TDS 分析中的光譜強度的係數。關於算式 1 的詳細情況，參照日本專利申請公開平 6-275697 號公報。注意，使用由電子科學公司製造的熱脫附裝置 EMD-

WA1000S/W，並將包含 $1\times10^{16}atoms/cm^3$ 的氫原子的矽晶片用作標準樣本，來對上述絕緣膜的氫分子的釋放量進行測量。

此外，在上述算式 1 中，藉由將利用 TDS 分析測量絕緣膜的氨分子的釋放量時的光譜的積分值代入 S_{H2}，可以算出氨分子的釋放量。

以下對電晶體 1 的其他結構的詳細內容進行說明。

雖然對基板 11 的材質等沒有大限制，但是至少需要具有能夠承受後面的熱處理的耐熱性。例如，作爲基板 11，可以使用玻璃基板、陶瓷基板、石英基板、藍寶石基板等。此外，也可以利用使用矽或碳化矽等的單晶半導體基板、多晶半導體基板、使用矽鍺等的化合物半導體基板、SOI（Silicon On Insulator:絕緣體上矽）基板等，並且也可以將在這些基板上設置有半導體元件的基板用作基板 11。

另外，也可以作爲基板 11 使用撓性基板，並且在撓性基板上直接形成電晶體 1。或者，也可以在基板 11 與電晶體 1 之間設置剝離層。剝離層可以用於如下情況，即在其上製造半導體裝置的一部分或全部，然後將其從基板 11 分離並轉置到其他基板上。此時，也可以將電晶體 1 轉置到耐熱性低的基板或撓性基板上。

此外，也可以在基板 11 及閘極電極 15 之間設置基底絕緣膜。作爲基底絕緣膜，可以舉出氧化矽、氧氮化矽、氮化矽、氮氧化矽、氧化鎵、氧化鉿、氧化釔、氧化鋁、

氧氮化鋁等的膜。另外，藉由作爲基底絕緣膜使用氮化矽、氧化鎵、氧化鉿、氧化釔、氧化鋁等，可以抑制雜質，典型爲鹼金屬、水、氫等從基板 11 擴散到氧化物半導體膜 19。

閘極電極 15 可以使用選自鋁、鉻、銅、鉭、鈦、鉬、鎢中的金屬元素、以上述金屬元素爲成分的合金或組合上述金屬元素的合金等而形成。另外，也可以使用選自錳、鋯中的一個或多個的金屬元素。此外，閘極電極 15 可以具有單層結構或兩層以上的疊層結構。例如，可以舉出包含矽的鋁膜的單層結構、在鋁膜上層疊鈦膜的兩層結構、在氮化鈦膜上層疊鈦膜的兩層結構、在氮化鈦膜上層疊鎢膜的兩層結構、在氮化鉭膜或氮化鎢膜上層疊鎢膜的兩層結構、以及依次層疊鈦膜、該鈦膜上的鋁膜和其上的鈦膜的三層結構等。此外，也可以使用組合鋁與選自鈦、鉭、鎢、鉬、鉻、釹、鈧中的元素的膜、組合鋁與上述元素中的多種的合金膜或氮化膜。

另外，閘極電極 15 也可以使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、包含氧化矽的銦錫氧化物等透光導電材料。另外，也可以採用上述透光導電材料與上述金屬元素的疊層結構。

另外，也可以在閘極電極 15 與閘極絕緣膜 18 之間設置 In-Ga-Zn 類氧氮化物半導體膜、In-Sn 類氧氮化物半導體膜、In-Ga 類氧氮化物半導體膜、In-Zn 類氧氮化物半導

體膜、Sn 類氧氮化物半導體膜、In 類氧氮化物半導體膜、金屬氮化膜(InN 膜、ZnN 膜等)等。由於上述膜具有 5eV 以上，較佳爲 5.5eV 以上的功函數，且該值比氧化物半導體的電子親和力大，所以可以使使用氧化物半導體的電晶體的臨界電壓向正方向偏移，從而可以實現所謂常截止特性的切換元件。例如，在使用 In-Ga-Zn 類氧氮化物半導體膜的情況下，使用氮濃度至少高於氧化物半導體膜 19，具體爲 7atoms%以上的 In-Ga-Zn 類氧氮化物半導體膜。

閘極絕緣膜 18 例如使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧化鉿、氧化鎵或 Ga-Zn 類金屬氧化物等即可，並且以疊層或單層設置閘極絕緣膜 18。注意，爲了提高與氧化物半導體膜 19 之間的介面特性，較佳的是閘極絕緣膜 18 中的至少接觸於氧化物半導體膜 19 的區域使用氧化絕緣膜形成。

另外，藉由在閘極絕緣膜 18 中設置具有阻擋氧、氫、水等的功能的絕緣膜，可以防止氧從氧化物半導體膜 19 擴散到外部且可以防止氫、水等從外部侵入到氧化物半導體膜 19。作爲具有阻擋氧、氫、水等的功能的絕緣膜，有氧化鋁、氧氮化鋁、氧化鎵、氧氮化鎵、氧化釔、氧氮化釔、氧化鉿、氧氮化鉿等。

此外，閘極絕緣膜 18 爲疊層結構，作爲第一氮化矽膜使用缺陷少的氮化矽膜，在第一氮化矽膜上設置如氮化絕緣膜 25 那樣氫分子釋放量及氨分子釋放量少的氮化矽

膜作爲第二氮化矽膜，且在第二氮化矽膜上設置氧化絕緣膜，可以形成缺陷少且氫分子及氨分子的釋放量少的閘極絕緣膜作爲閘極絕緣膜 18。其結果是，可以抑制包含在閘極絕緣膜 18 中的氫及氮移動到氧化物半導體膜 19。

此外，藉由將氮化矽膜用於閘極絕緣膜 18 可以獲得如下效果。氮化矽膜的介電常數比氧化矽膜高，爲了得到相等的靜電容量所需要的厚度大，所以可以在物理上加厚閘極絕緣膜。因此，藉由抑制電晶體 1 的絕緣耐壓的下降進而提高絕緣耐壓來可以抑制半導體裝置的靜電破壞。

此外，當閘極電極 15 使用銅且接觸於閘極電極 15 的閘極絕緣膜 18 使用氮化矽膜時，較佳爲使用使因加熱釋放的氨分子的量盡可能極低的氮化矽膜。由此，作爲該氮化矽膜可以使用可以應用於氮化絕緣膜 25 的氮化矽膜。其結果是可以抑制銅與氨分子起反應。

在使用氧化物半導體的電晶體中，當在氧化物半導體膜與閘極絕緣膜的介面或閘極絕緣膜中有陷阱能階（也稱爲介面態）時，電晶體的臨界電壓變動，典型的是臨界電壓負向漂移且亞臨界值擺幅值（S 值）增大，該亞臨界值擺幅值示出當電晶體成爲導通狀態時爲了使汲極電流變化一位數而所需的閘極電壓。其結果是，有每個電晶體的電特性產生偏差的問題。由此，藉由作爲閘極絕緣膜使用缺陷少的氮化矽膜，可以降低臨界電壓的負向漂移及電晶體的電特性的偏差。

此外，藉由作爲閘極絕緣膜 18 使用矽酸鉿

（$HfSiO_x$）、添加有氮的矽酸鉿（$HfSi_xO_yN_z$）、添加有氮的鋁酸鉿（$HfAl_xO_yN_z$）、氧化鉿、氧化釔等 high-k 材料，可以降低電晶體的閘極漏電。

較佳的是將閘極絕緣膜 18 的厚度設定爲 5nm 以上且 400nm 以下，更佳爲 10nm 以上且 300nm 以下，進一步佳爲 50nm 以上且 250nm 以下。

氧化物半導體膜 19 較佳的是至少包含銦（In）或鋅（Zn）。或者，較佳爲包含 In 和 Zn 的兩者。另外，爲了減少使用該氧化物半導體膜的電晶體的電特性偏差，除了上述元素以外，較佳的是還具有一種或多種穩定劑（stabilizer）。

作爲穩定劑，可以舉出鎵（Ga）、錫（Sn）、鉿（Hf）、鋁（Al）或鋯（Zr）等。另外，作爲其他穩定劑，可以舉出鑭系元素的鑭（La）、鈰（Ce）、鐠（Pr）、釹（Nd）、釤（Sm）、銪（Eu）、釓（Gd）、鋱（Tb）、鏑（Dy）、鈥（Ho）、鉺（Er）、銩（Tm）、鐿（Yb）、鎦（Lu）等。

例如，作爲氧化物半導體，可以使用：氧化銦、氧化錫、氧化鋅；二元金屬氧化物諸如 In-Zn 類金屬氧化物、Sn-Zn 類金屬氧化物、Al-Zn 類金屬氧化物、Zn-Mg 類金屬氧化物、Sn-Mg 類金屬氧化物、In-Mg 類金屬氧化物、In-Ga 類金屬氧化物、In-W 類金屬氧化物；三元金屬氧化物諸如 In-Ga-Zn 類金屬氧化物（也稱爲 IGZO）、In-Al-Zn 類金屬氧化物、In-Sn-Zn 類金屬氧化物、Sn-Ga-Zn 類

金屬氧化物、Al-Ga-Zn 類金屬氧化物、Sn-Al-Zn 類金屬氧化物、In-Hf-Zn 類金屬氧化物、In-La-Zn 類金屬氧化物、In-Ce-Zn 類金屬氧化物、In-Pr-Zn 類金屬氧化物、In-Nd-Zn 類金屬氧化物、In-Sm-Zn 類金屬氧化物、In-Eu-Zn 類金屬氧化物、In-Gd-Zn 類金屬氧化物、In-Tb-Zn 類金屬氧化物、In-Dy-Zn 類金屬氧化物、In-Ho-Zn 類金屬氧化物、In-Er-Zn 類金屬氧化物、In-Tm-Zn 類金屬氧化物、In-Yb-Zn 類金屬氧化物、In-Lu-Zn 類金屬氧化物；以及四元金屬氧化物諸如 In-Sn-Ga-Zn 類金屬氧化物、In-Hf-Ga-Zn 類金屬氧化物、In-Al-Ga-Zn 類金屬氧化物、In-Sn-Al-Zn 類金屬氧化物、In-Sn-Hf-Zn 類金屬氧化物、In-Hf-Al-Zn 類金屬氧化物。

注意，在此，例如 In-Ga-Zn 類金屬氧化物是指作爲主要成分具有 In、Ga 和 Zn 的氧化物，對於 In、Ga、Zn 的比率沒有限制。此外，也可以包含 In、Ga、Zn 以外的金屬元素。

另外，作爲氧化物半導體，也可以使用以 $InMO_3(ZnO)_m$（m>0，且 m 不是整數）表示的材料。注意，M 表示選自 Ga、Fe、Mn 和 Co 中的一種金屬元素或多種金屬元素。另外，作爲氧化物半導體，也可以使用以 $In_2SnO_5(ZnO)_n$（n>0，且 n 是整數）表示的材料。

例如，可以使用 In:Ga:Zn=1:1:1（=1/3:1/3:1/3）、In:Ga:Zn=2:2:1（=2/5:2/5:1/5）或 In:Ga:Zn=3:1:2（=1/2:1/6:1/3）的原子數比的 In-Ga-Zn 類金屬氧化物或與該組

成相似的氧化物。或者，可以使用 In:Sn:Zn=1:1:1（=1/3:1/3:1/3）、In:Sn:Zn=2:1:3（=1/3:1/6:1/2）或 In:Sn:Zn=2:1:5（=1/4:1/8:5/8）的原子數比的 In-Sn-Zn 類金屬氧化物。另外，金屬氧化物的原子數比作爲誤差包括上述原子數比的±20%的變動。

但是，所公開的發明不侷限於此，可以根據所需要的半導體特性及電特性（場效應遷移率、臨界電壓、偏差等）而使用具有適當的組成的氧化物。另外，較佳爲採用適當的載子密度、雜質濃度、缺陷密度、金屬元素及氧的原子數比、原子間距離、密度等，以得到所需要的半導體特性。

例如，當使用 In-Sn-Zn 類金屬氧化物時可以較容易獲得高的遷移率。但是，當使用 In-Ga-Zn 類金屬氧化物時也可以藉由降低塊體（bulk）內缺陷密度來提高遷移率。

注意，可以用於形成氧化物半導體膜 19 的金屬氧化物的能隙爲 2eV 以上，較佳爲 2.5eV 以上，更佳爲 3eV 以上。像這樣，藉由使用能隙寬的氧化物半導體，可以減少電晶體的關態電流。

另外，氧化物半導體膜 19 也可以是非晶結構、單晶結構或多晶結構。

此外，作爲氧化物半導體膜 19，也可以使用具有結晶部的 CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor：C 軸配向結晶氧化物半導體）膜。

CAAC-OS 膜是包含多個結晶部的氧化物半導體膜之一，大部分的結晶部的尺寸爲能夠容納於一邊短於 100nm 的立方體內的尺寸。因此，有時包括在 CAAC-OS 膜中的結晶部的尺寸爲能夠容納於一邊短於 10nm、短於 5nm 或短於 3nm 的立方體內的尺寸。CAAC-OS 膜的缺陷態密度低於微晶氧化物半導體膜。下面，對 CAAC-OS 膜進行詳細的說明。

在 CAAC-OS 膜的透射電子顯微鏡（TEM：Transmission Electron Microscope）影像中，觀察不到結晶部與結晶部之間的明確的邊界，即晶界（grain boundary）。因此，在 CAAC-OS 膜中，不容易發生起因於晶界的電子遷移率的降低。

根據從大致平行於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（剖面 TEM 影像）可知在結晶部中金屬原子排列爲層狀。各金屬原子層具有反映形成 CAAC-OS 膜的面（也稱爲被形成面）或 CAAC-OS 膜的頂面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或頂面的方式排列。

另一方面，根據從大致垂直於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（平面 TEM 影像）可知在結晶部中金屬原子排列爲三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

由剖面 TEM 影像及平面 TEM 影像可知，CAAC-OS 膜的結晶部具有配向性。

使用 X 射線繞射(XRD:X-Ray Diffraction)裝置對 CAAC-OS 膜進行結構分析。例如，當利用 out-of-plane 法分析包括 $InGaZnO_4$ 的結晶的 CAAC-OS 膜時，在繞射角（2θ）爲 31°附近時出現峰值。由於該峰值來源於 $InGaZnO_4$ 結晶的(009)面，由此可以確認 CAAC-OS 膜中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 膜的被形成面或頂面的方向。

另一方面，當利用從大致垂直於 c 軸的方向使 X 線入射到樣本的 in-plane 法分析 CAAC-OS 膜時，在 2θ爲 56°附近時出現峰值。該峰值來源於 $InGaZnO_4$ 結晶的(110)面。在此，將 2θ固定爲 56°附近並在以樣本面的法線向量爲軸（ϕ 軸）旋轉樣本的條件下進行分析（ϕ 掃描）。當該樣本是 $InGaZnO_4$ 的單晶氧化物半導體膜時，出現六個峰值。該六個峰值來源於相等於（110）面的結晶面。另一方面，當該樣本是 CAAC-OS 膜時，即使在將 2θ固定爲 56°附近的狀態下進行 ϕ 掃描也不能觀察到明確的峰值。

由上述結果可知，在具有 c 軸配向的 CAAC-OS 膜中，雖然 a 軸及 b 軸的方向在結晶部之間不同，但是 c 軸都朝向平行於被形成面或頂面的法線向量的方向。因此，在上述剖面 TEM 影像中觀察到的排列爲層狀的各金屬原子層相當於與結晶的 ab 面平行的面。

注意，結晶部在形成 CAAC-OS 膜或進行加熱處理等晶化處理時形成。如上所述，結晶的 c 軸朝向平行於

CAAC-OS 膜的被形成面或頂面的法線向量的方向。由此，例如，當 CAAC-OS 膜的形狀因蝕刻等而發生改變時，結晶的 c 軸不一定平行於 CAAC-OS 膜的被形成面或頂面的法線向量。

此外，CAAC-OS 膜中的晶化度不一定均勻。例如，當 CAAC-OS 膜的結晶部是由 CAAC-OS 膜的頂面附近的結晶成長而形成時，有時頂面附近的晶化度高於被形成面附近的晶化度。另外，當對 CAAC-OS 膜添加雜質時，被添加了雜質的區域的晶化度改變，所以有時 CAAC-OS 膜中的晶化度根據區域而不同。

注意，當利用 out-of-plane 法分析包括 $InGaZnO_4$ 結晶的 CAAC-OS 膜時，除了在 2θ爲 31°附近的峰值之外，有時還在 2θ爲 36°附近觀察到峰值。2θ爲 36°附近的峰值意味著 CAAC-OS 膜的一部分中含有不具有 c 軸配向的結晶。較佳的是，在 CAAC-OS 膜中在 2θ爲 31°附近時出現峰值而在 2θ爲 36°附近時不出現峰值。

在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。因此，這種電晶體的可靠性高。

另外，氧化物半導體膜 19 也可以採用層疊有多個氧化物半導體膜的結構。例如，也可以作爲氧化物半導體膜 19 採用第一氧化物半導體膜和第二氧化物半導體膜的疊層，並且作爲第一氧化物半導體膜和第二氧化物半導體膜分別使用不同組成的金屬氧化物。例如，也可以作爲第一

氧化物半導體膜使用二元金屬氧化物至四元金屬氧化物之一，而作爲第二氧化物半導體膜使用與第一氧化物半導體膜不同的二元金屬氧化物至四元金屬氧化物。

此外，也可以使第一氧化物半導體膜和第二氧化物半導體膜的構成元素相同，並使兩者的組成不同。例如，也可以將第一氧化物半導體膜的原子數比設定爲 In：Ga：Zn=3：1：2，將第二氧化物半導體膜的原子數比設定爲 In：Ga：Zn=1：1：1。此外，也可以將第一氧化物半導體膜的原子數比設定爲 In：Ga：Zn=2：1：3，將第二氧化物半導體膜的原子數比設定爲 In：Ga：Zn=1：3：2。另外，各氧化物半導體膜的原子數比作爲誤差包括上述原子數比的±20%的變動。

此時，較佳的是將第一氧化物半導體膜和第二氧化物半導體膜中的離閘極電極近的一側（通道一側）的氧化物半導體膜的 In 與 Ga 的含量比設定爲 In>Ga。另外，較佳的是將離閘極電極遠的一側（背通道一側）的氧化物半導體膜的 In 與 Ga 的含量比設定爲 In≤ Ga。

此外，作爲氧化物半導體膜 19 採用三層結構，也可以使第一氧化物半導體膜至第三氧化物半導體膜的構成元素相同但組成彼此不同。例如，也可以將第一氧化物半導體膜的原子數比設定爲 In：Ga：Zn=1：3：2，將第二氧化物半導體膜的原子數比設定爲 In：Ga：Zn=3：1：2，將第三氧化物半導體膜的原子數比設定爲 In：Ga：Zn=1：1：1。

由於與 In 的原子數比大於 Ga 及 Zn 的氧化物半導體膜，典型的是第二氧化物半導體膜以及 Ga、Zn 及 In 的原子數比相同的氧化物半導體膜，典型的是第三氧化物半導體膜相比，In 的原子數比小於 Ga 及 Zn 的氧化物半導體膜，典型的是原子數比爲 In:Ga:Zn=1:3:2 的第一氧化物半導體膜不容易產生氧缺陷，所以可以抑制載子密度的增加。另外，當原子數比爲 In:Ga:Zn=1:3:2 的第一氧化物半導體膜具有非晶結構時，第二氧化物半導體膜容易變爲 CAAC-OS 膜。

此外，由於第一氧化物半導體膜至第三氧化物半導體膜的構成元素相同，所以第一氧化物半導體膜與第二氧化物半導體膜的介面的陷阱能階很少。因此，藉由使氧化物半導體膜 19 具有上述結構，可以降低電晶體的隨時間的變化及光 BT 應力測試導致的臨界電壓的變動量。

在氧化物半導體中，重金屬的 s 軌道主要有助於載子傳導，並且藉由增加 In 的含率增加 s 軌道的重疊，由此具有 In>Ga 的組成的氧化物的載子遷移率比具有 In≤ Ga 的組成的氧化物高。另外，Ga 的氧缺陷的形成能量比 In 大而 Ga 不容易產生氧缺陷，由此具有 In≤ Ga 的組成的氧化物與具有 In>Ga 的組成的氧化物相比具有穩定的特性。

藉由在通道一側使用具有 In>Ga 的組成的氧化物半導體並在背通道一側使用具有 In≤ Ga 的組成的氧化物半導體，可以進一步提高電晶體的場效應遷移率及可靠性。

另外，也可以作爲第一氧化物半導體膜至第三氧化物

半導體膜使用結晶性不同的氧化物半導體。就是說，也可以採用適當地組合單晶氧化物半導體、多晶氧化物半導體、非晶氧化物半導體或 CAAC-OS 的結構。此外，在第一氧化物半導體膜和第二氧化物半導體膜中的任一個使用非晶氧化物半導體時，可以緩和氧化物半導體膜 19 的內部應力或外部應力，而降低電晶體的特性偏差。另外，可以進一步提高電晶體的可靠性。

氧化物半導體膜 19 的厚度爲 1nm 以上且 100nm 以下，較佳爲 1nm 以上且 30nm 以下，更佳爲 1nm 以上且 50nm 以下，進一步佳爲 3nm 以上且 20nm 以下。

較佳的是，在氧化物半導體膜 19 中，利用二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）得到的鹼金屬或鹼土金屬的濃度爲 1×10^{18}atoms/cm^3 以下，更佳爲 2×10^{16}atoms/cm^3 以下。這是因爲如下緣故：鹼金屬及鹼土金屬當與氧化物半導體接合時有時生成載子，而成爲使電晶體的關態電流上升的原因。

在氧化物半導體膜 19 中，利用二次離子質譜分析法得到的氫濃度較佳低於 5×10^{18}atoms/cm^3，更佳爲 1×10^{18}atoms/cm^3 以下，進一步佳爲 5×10^{17}atoms/cm^3 以下，更進一步佳爲 1×10^{16}atoms/cm^3 以下。

包含在氧化物半導體膜 19 中的氫與接合到金屬原子的氧起反應而成爲水，並且在氧脫離的晶格（或氧脫離的部分）中形成缺陷。另外，氫的一部分與氧接合而產生作爲載子的電子。因此，在形成氧化物半導體膜的製程中，

藉由極力降低包含氫的雜質，可以降低氧化物半導體膜的氫濃度。由此，藉由將儘量去除氫的氧化物半導體膜用作通道區，可以降低臨界電壓的負向漂移並降低電特性的偏差。此外，可以降低電晶體的源極及汲極的洩漏電流，典型地是關態電流。

此外，藉由將氧化物半導體膜 19 的氮濃度爲 5×10^{18}atoms/cm^3 以下，可以抑制電晶體的臨界電壓的負向漂移並可以降低電特性的偏差。

另外，藉由儘量去除氫，根據各種實驗可以證明將被高度純化的氧化物半導體膜用於通道區的電晶體的關態電流低。例如，即使用具有 1×10^6μm 通道寬度和 10μm 通道長度的元件，在從 1V 至 10V 的源極電極和汲極電極之間的電壓（汲極電壓）範圍內，關態電流可以是半導體參數分析儀的測量極限以下，即 1×10^{-13}A 以下。在此情況下，可知關態電流爲 100zA/μm 以下。此外，藉由使用如下電路來測量關態電流，在該電路中連接電容元件與電晶體且由該電晶體控制流入到電容元件或從電容元件流出的電荷。在該測量時，將被高度純化的氧化物半導體膜用於上述電晶體的通道區，且根據電容元件的每單位時間的電荷量推移測量該電晶體的關態電流。其結果可知當電晶體的源極電極與汲極電極之間的電壓爲 3V 時，可以得到幾十 yA/μm 的更低的關態電流。由此，將被高度純化的氧化物半導體膜用於通道區的電晶體的關態電流顯著低。

一對電極 21 作爲導電材料使用由鋁、鈦、鉻、鎳、

銅、釹、鋯、鉬、銀、鉭或鎢構成的金屬或以這些元素爲主要成分的合金的單層結構或疊層結構。例如，可以舉出如下結構：包含矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的兩層結構；在鎢膜上層疊鈦膜的兩層結構；在銅-鎂-鋁合金膜上層疊銅膜的兩層結構；在鈦膜或氮化鈦膜上層疊鋁膜或銅膜，在其上還形成鈦膜或氮化鈦膜的三層結構；以及在鉬膜或氮化鉬膜上層疊鋁膜或銅膜，在其上還形成鉬膜或氮化鉬膜的三層結構等。另外，也可以使用包含氧化銦、氧化錫或氧化鋅的透明導電材料。

此外，在本實施方式中，將一對電極 21 設置在氧化物半導體膜 19 與絕緣膜 23 之間，但是也可以設置在閘極絕緣膜 18 與氧化物半導體膜 19 之間。

絕緣膜 23 爲了提高與氧化物半導體膜 19 之間的介面特性，較佳爲使用氧化絕緣膜。作爲絕緣膜 23，可以使用厚度爲 150nm 以上且 400nm 以下的氧化矽、氧氮化矽、氧化鋁、氧化鉿、氧化鎵或 Ga-Zn 類金屬氧化物等。

接著，參照圖 2A 至圖 2D 說明圖 1A 和圖 1B 所示的電晶體 1 的製造方法。

如圖 2A 所示那樣，在基板 11 上形成閘極電極 15，並且在閘極電極 15 上形成閘極絕緣膜 18。

以下示出閘極電極 15 的形成方法。首先，藉由濺射法、CVD 法、蒸鍍法等形成導電膜，並且藉由光微影製程在導電膜上形成遮罩。接著，用該遮罩對導電膜的一部分進行蝕刻來形成閘極電極 15。然後，去除遮罩。

另外，當形成閘極電極 15 時，也可以利用電鍍法、印刷法、噴墨法等代替上述形成方法。

在此，藉由濺射法形成厚度爲 100nm 的鎢膜。接著，藉由光微影製程形成遮罩，用該遮罩對鎢膜進行乾蝕刻，從而形成閘極電極 15。

閘極絕緣膜 18 藉由濺射法、CVD 法、蒸鍍法等形成。

當作爲閘極絕緣膜 18 形成氧化矽膜或氧氮化矽膜時，作爲原料氣體，較佳爲使用包含矽的沉積氣體及氧化氣體。作爲包含矽的沉積氣體的典型例子，可以舉出矽烷、乙矽烷、丙矽烷、氟化矽烷等。作爲氧化氣體，可以舉出氧、臭氧、一氧化二氮、二氧化氮等。

此外，當作爲閘極絕緣膜 18 形成疊層結構的氮化矽膜及氧化絕緣膜時，較佳爲使用兩個步驟的形成方法層疊氮化矽膜形成。首先，藉由作爲原料氣體使用矽烷、氮及氨的混合氣體的電漿 CVD 法形成缺陷少的第一氮化矽膜。接著，藉由使用如後面說明的氮化絕緣膜 25 那樣的流量比的原料氣體，可以形成氫分子釋放量及氨分子釋放量少的氮化矽膜作爲第二氮化矽膜。藉由採用上述那樣的形成方法，作爲閘極絕緣膜 18 可以形成缺陷少且氫分子釋放量及氨分子釋放量少的氮化矽膜。

此外，當作爲閘極絕緣膜 18 形成氧化鎵膜時，例如可以利用 MOCVD（Metal Organic Chemical Vapor Deposition：有機金屬氣相沉積）法形成。

在此，藉由電漿 CVD 法形成層疊厚度爲 300nm 的第一氮化矽膜、厚度爲 50nm 的第二氮化矽膜及厚度爲 50nm 的氧氮化矽膜的閘極絕緣膜 18。

接著，如圖 2B 所示，在閘極絕緣膜 18 上形成氧化物半導體膜 19。

以下說明氧化物半導體膜 19 的形成方法。藉由濺射法、塗敷法、脈衝雷射蒸鍍法、雷射燒蝕法等在閘極絕緣膜 18 上形成氧化物半導體膜。接著，藉由光微影製程在氧化物半導體膜上形成遮罩，然後用該遮罩對氧化物半導體膜的一部分進行蝕刻，如圖 2B 所示，在閘極絕緣膜 18 上與閘極電極 15 的一部分重疊地形成經過元件分離的氧化物半導體膜 19。然後，去除遮罩。

另外，藉由印刷法形成氧化物半導體膜 19，可以直接形成經過元件分離的氧化物半導體膜 19。

在藉由濺射法形成氧化物半導體膜的情況下，作爲用來產生電漿的電源裝置，可以適當地使用 RF 電源裝置、AC 電源裝置、DC 電源裝置等。

作爲濺射氣體，適當地使用稀有氣體（典型的是氬）氛圍、氧氛圍、稀有氣體和氧的混合氣體。此外，當採用稀有氣體和氧的混合氣體時，較佳爲增高相對於稀有氣體的氧氣體比例。

另外，根據所形成的氧化物半導體膜的組成而適當地選擇靶材，即可。

另外，在當形成氧化物半導體膜時例如使用濺射法的

情況下，藉由將基板溫度設定爲 150℃以上且 750℃以下，較佳的是設定爲 150℃以上且 450℃以下，更佳的是設定爲 200℃以上且 350℃以下來形成氧化物半導體膜，可以形成 CAAC-OS 膜。

另外，CAAC-OS 膜例如使用多晶的氧化物半導體濺射靶材且利用濺射法形成。當離子碰撞到該濺射靶材時，有時包括在濺射靶材中的結晶區域從 a-b 面劈開，即具有平行於 a-b 面的面的平板狀或顆粒狀的濺射粒子剝離。此時，藉由該平板狀的濺射粒子保持結晶狀態到達基板，可以形成 CAAC-OS 膜。

另外，爲了形成 CAAC-OS 膜，較佳爲採用如下條件。

藉由抑制成膜時的雜質的混入，可以抑制雜質所導致的結晶態的損壞。例如，降低存在於成膜室內的雜質（氫、水、二氧化碳及氮等）的濃度即可。另外，降低成膜氣體中的雜質濃度即可。明確而言，使用露點爲-80℃以下，較佳爲-100℃以下的成膜氣體。

另外，藉由增高成膜時的基板加熱溫度，在濺射粒子到達基板之後發生濺射粒子的遷移。明確而言，將基板加熱溫度設定爲 100℃以上且低於基板的應變點，較佳爲 200℃以上且 500℃以下來進行成膜。藉由增高成膜時的基板加熱溫度，當平板狀的濺射粒子到達基板時，在基板上發生遷移，使濺射粒子的平坦的面附著到基板。

另外，較佳的是，藉由增高成膜氣體中的氧比例並對

功率進行最優化，減輕成膜時的電漿損傷。將成膜氣體中的氧比例設定爲 30vol.%以上，較佳的是設定爲 100vol.%。

以下，作爲濺射靶材的一個例子示出 In-Ga-Zn 類金屬氧化物靶材。

藉由將 InO_X 粉末、GaO_Y 粉末及 ZnO_Z 粉末以規定的莫耳數混合，並進行加壓處理，然後在 1000℃以上且 1500℃以下的溫度下進行加熱處理，來得到多晶的 In-Ga-Zn 類金屬氧化物靶材。另外，X、Y 及 Z 爲任意正數。在此，InO_X 粉末、GaO_Y 粉末及 ZnO_Z 粉末的規定的莫耳數比例如爲 2:2:1、8:4:3、3:1:1、1:1:1、4:2:3 或 3:1:2。另外，可以根據所製造的濺射靶材適當地改變粉末的種類及其混合的莫耳數比例。

此外，在形成氧化物半導體膜之後進行加熱處理，可以使氧化物半導體膜脫氫化或脫水化。加熱處理的溫度典型地爲 150℃以上且低於基板的應變點，較佳爲 250℃以上且 450℃以下，更佳爲 300℃以上且 450℃以下。

在氦、氖、氬、氙、氪等稀有氣體或包含氮的惰性氣體氛圍中進行加熱處理。或者，也可以在惰性氣體氛圍中進行加熱之後在氧氛圍中進行加熱。另外，上述惰性氣體氛圍及氧氛圍較佳的是不包含氫、水等。處理時間是 3 分鐘至 24 小時。

該加熱處理可以使用電爐、RTA 裝置等。藉由使用 RTA 裝置，可以限定於短時間內在基板的應變點以上的溫

度下進行加熱處理。由此，可以縮短加熱處理時間。

藉由在形成氧化物半導體膜之後進行加熱處理，氧化物半導體膜中的氫濃度低於 5×10^{18}atoms/cm^3，較佳爲 1×10^{18}atoms/cm^3 以下，更佳爲 5×10^{17}atoms/cm^3 以下，進一步佳爲 1×10^{16}atoms/cm^3 以下。

在此，藉由濺射法形成厚度爲 35nm 的氧化物半導體膜，然後在該氧化物半導體膜上形成遮罩，對氧化物半導體膜的一部分選擇性地進行蝕刻。接著，在去除遮罩之後，藉由在氮及氧氛圍中進行加熱處理，形成氧化物半導體膜 19。

接著，如圖 2C 所示，形成一對電極 21。

以下示出一對電極 21 的形成方法。首先，藉由濺射法、CVD 法、蒸鍍法等形成導電膜。接著，藉由光微影製程在該導電膜上形成遮罩。接著，用該遮罩對導電膜的一部分進行蝕刻來形成一對電極 21。然後，去除遮罩。

在此，藉由濺射法依次層疊厚度爲 50nm 的鎢膜、厚度爲 400nm 的鋁膜及厚度爲 100nm 的鈦膜。接著，藉由光微影製程在鈦膜上形成遮罩，用該遮罩對鎢膜、鋁膜及鈦膜進行乾蝕刻，從而形成一對電極 21。

此外，也可以在形成一對電極 21 之後進行加熱處理。該加熱處理可以與在形成氧化物半導體膜 19 之後進行的加熱處理同樣地進行。

另外，在形成一對電極 21 之後，爲了去除蝕刻殘渣，較佳爲進行洗滌處理。藉由進行該洗滌處理，可以抑

制一對電極 21 的短路。該洗滌處理可以藉由使用 TMAH（Tetramethylammonium Hydroxide：四甲基氫氧化銨）溶液等鹼性溶液、氫氟酸、草酸等酸性的溶液或者水進行。

接著，在氧化物半導體膜 19 及一對電極 21 上形成絕緣膜 23。絕緣膜 23 可以藉由濺射法、CVD 法、蒸鍍法等形成。

在此，作爲絕緣膜 23 藉由電漿 CVD 法形成氧化矽膜或氧氮化矽膜。

接著，也可以進行熱處理。該加熱處理的溫度典型地爲 150℃以上且低於基板的應變點，較佳爲 200℃以上且 450℃以下，更佳爲 300℃以上且 450℃以下。藉由進行該加熱處理可以使包含在絕緣膜 23 中的水、氫等釋放。

在此，在氮及氧氛圍下以 350℃的溫度進行 1 小時的加熱處理。

接著，在絕緣膜 23 上形成氮化絕緣膜 25。氮化絕緣膜 25 可以藉由濺射法、CVD 法等形成。

當作爲氮化絕緣膜 25 利用電漿 CVD 法形成氮化矽膜時，使用包含矽的沉積氣體、氮及氨作爲原料氣體。藉由作爲原料氣體使用少於氮量的氨，在電漿中氨離解而產生活性種。該活性種切斷包含在包含矽的沉積氣體中的矽與氫的接合及氮的三鍵。其結果是，促進矽與氮的接合，可以形成矽與氫的接合少、缺陷少且緻密的氮化矽膜。另一方面，當在原料氣體中對於氮的氨的量多時，包含矽的沉積氣體及氮的分解不進展，矽與氫的接合殘留，從而形成

缺陷增加且較粗的氮化矽膜。由此，在原料氣體中，較佳的是將相對於氨的氮的流量比設定爲 5 以上且 50 以下，較佳爲 10 以上且 50 以下。

在此，在電漿 CVD 設備的處理室中，作爲原料氣體使用流量爲 50sccm 的矽烷、流量爲 5000sccm 的氧以及流量爲 100sccm 的氨，將處理室的壓力設定爲 200Pa，將基板溫度設定爲 220℃，用 27.12MHz 的高頻電源向平行平板電極供應 1000W 的高頻功率，在該條件下藉由電漿 CVD 法形成厚度爲 50nm 的氮化矽膜。另外，電漿 CVD 設備是電極面積爲 6000cm^2 的平行平板型電漿 CVD 設備，而將被供應的功率換算爲每單位面積的功率（功率密度）的值爲 $1.7\times10^{-1}W/cm^2$。

藉由上述製程，可以形成包括絕緣膜 23 以及氫分子及氨分子的釋放量少的氮化絕緣膜 25 的保護膜 26。

接著，也可以進行加熱處理。該加熱處理的溫度典型地爲 150℃以上且低於基板的應變點，較佳爲 200℃以上且 450℃以下，更佳爲 300℃以上且 450℃以下。

藉由以上製程，可以在具有氧化物半導體膜的電晶體上形成氫分子及氨分子的釋放量少的氮化絕緣膜。此外，可以製造抑制了電特性的變動且提高了可靠性的電晶體。

注意，本實施方式所示的結構、方法等可以與其他的實施方式及實施例所示的結構、方法等適當地組合而實施。

實施方式 2

在本實施方式中，參照圖 3A 和圖 3B 說明具有與實施方式 1 不同的結構的電晶體。本實施方式所示的電晶體 3 與實施方式 1 所示的電晶體的不同之處在於：本實施方式所示的電晶體 3 是頂閘極結構的電晶體。

圖 3A 和圖 3B 示出電晶體 3 的俯視圖及剖面圖。圖 3A 是電晶體 3 的俯視圖，圖 3B 是沿著圖 3A 的點劃線 A-B 的剖面圖。另外，在圖 3A 中，爲了明確起見，省略基板 31、基底絕緣膜 33、電晶體 3 的構成要素的一部分（例如，絕緣膜 37、氮化絕緣膜 39 等）。

圖 3A 和圖 3B 所示的電晶體 3 包括：形成在基底絕緣膜 33 上的氧化物半導體膜 34；與氧化物半導體膜 34 接觸的一對電極 35；與基底絕緣膜 33、氧化物半導體膜 34 及一對電極 35 接觸的閘極絕緣膜 40；以及隔著閘極絕緣膜 40 重疊於氧化物半導體膜 34 的閘極電極 41。

設置在本實施方式所示的電晶體 3 中的閘極絕緣膜 40 包括絕緣膜 37 及氮化絕緣膜 39。絕緣膜 37 藉由適當地使用用於實施方式 1 所示的閘極絕緣膜 18 的氧化絕緣膜，可以降低氧化物半導體膜 34 與閘極絕緣膜 40 之間的介面態。氮化絕緣膜 39 可以使用如實施方式 1 的氮化絕緣膜 25 所示的氮化絕緣膜，即藉由熱脫附譜分析法釋放氫分子小於 5×10^{21} 分子/cm^3，較佳爲 3×10^{21} 分子/cm^3 以下，更佳爲 1×10^{21} 分子/cm^3 以下及氨分子小於 1×10^{22} 分子/cm^3，較佳爲 5×10^{21} 分子/cm^3 以下，更佳爲 1×10^{21} 分

子/cm^3 以下。由於從氮化絕緣膜 39 釋放出的氫分子量及氨分子量少，所以向包含在電晶體 3 中的氧化物半導體膜 34 的氫及氮的移動量少。

由此，從設置在電晶體 3 中的閘極絕緣膜 40 向氧化物半導體膜 34 的氫及氮的移動量少，可以降低氧化物半導體膜 34 中的氫及氮的濃度。此外，由於作爲設置在電晶體 3 中的閘極絕緣膜設置有氮化絕緣膜 39，所以可以抑制水從外部侵入到氧化物半導體膜 34。即，可以抑制包含在水中的氫侵入到氧化物半導體膜 34。根據上述結果，可以抑制臨界電壓的負向漂移並降低電特性的偏差。此外，可以降低電晶體的源極及汲極的洩漏電流，典型地是關態電流。

以下對電晶體 3 的其他結構的詳細內容進行說明。

基板 31 可以適當地使用作爲實施方式 1 所示的基板 11 舉出的基板。

較佳爲使用氧含量超過化學計量組成的氧化絕緣膜形成基底絕緣膜 33。氧含量超過化學計量組成的氧化絕緣膜可以進行加熱處理將氧擴散到氧化物半導體膜。作爲基底絕緣膜 33 的典型例子，可以舉出氧化矽、氧氮化矽、氮氧化矽、氧化鎵、氧化鉿、氧化釔、氧化鋁、氧氮化鋁等。

基底絕緣膜 33 的厚度爲 50nm 以上，較佳爲 200nm 以上且 3000nm 以下，更佳爲 300nm 以上且 1000nm 以下。藉由將基底絕緣膜 33 形成爲厚，可以增加基底絕緣

膜 33 的氧分子釋放量並減少基底絕緣膜 33 與在後面形成的氧化物半導體膜的介面的介面態。

在此，“藉由加熱使氧的一部分釋放”是指當利用 TDS 分析法時，換算爲氧原子的氧的釋放量爲 1.0×10^{18}atoms/cm^3 以上，較佳爲 3.0×10^{20}atoms/cm^3 以上。

氧化物半導體膜 34 可以與實施方式 1 所示的氧化物半導體膜 19 同樣地形成。

一對電極 35 可以與實施方式 1 所示的一對電極 21 同樣地形成。另外，藉由使一對電極 35 的通道寬度方向上的長度比氧化物半導體膜 34 長，再者使一對電極 35 覆蓋氧化物半導體膜 34 的與通道長度方向交叉的端部，由此增加一對電極 35 與氧化物半導體膜 34 接觸的面積，可以降低氧化物半導體膜 34 與一對電極 35 的接觸電阻，從而可以提高電晶體的通態電流。

此外，在本實施方式中，將一對電極 35 設置在氧化物半導體膜 34 與絕緣膜 37 之間，但是也可以設置在閘極絕緣膜 33 與氧化物半導體膜 34 之間。

此外，藉由在閘極絕緣膜 40 及閘極電極上與實施方式 1 同樣地設置絕緣膜 23 及氮化絕緣膜 25，進一步可以抑制水從外部侵入到具有氧化物半導體膜的電晶體 3。

閘極電極 41 可以與實施方式 1 所示的閘極電極 15 同樣地形成。

接著，參照圖 4A 至圖 4D 說明圖 3A 和圖 3B 所示的

電晶體的製造方法。

如圖 4A 所示，在基板 31 上形成基底絕緣膜 33。接著，在基底絕緣膜 33 上形成氧化物半導體膜 34。

基底絕緣膜 33 藉由濺射法、CVD 法等形成。

當利用濺射法形成藉由加熱使氧的一部分脫離的氧化絕緣膜作爲基底絕緣膜 33 時，成膜氣體中的氧量多是較佳的，並且能夠使用氧或氧和稀有氣體的混合氣體等。典型地，成膜氣體的氧濃度較佳爲 6%以上且 100%以下。

另外，在藉由 CVD 法形成氧化絕緣膜作爲基底絕緣膜 33 的情況下，來源於原料氣體的氫或水有時混入到氧化絕緣膜中。因此，較佳的是在藉由 CVD 法形成氧化絕緣膜之後進行用於脫氫化或脫水化的加熱處理。

再者，藉由對利用 CVD 法形成的氧化絕緣膜導入氧，可以增加藉由加熱脫離的氧量。作爲對氧化絕緣膜導入氧的方法，可以舉出離子植入法、離子摻雜法、電漿浸沒離子植入法、電漿處理等。

在此，氧化物半導體膜 34 可以適當地採用與實施方式 1 所示的氧化物半導體膜 19 同樣的形成方法。

另外，爲了 CAAC-OS 膜所包含的結晶部的配向，較佳爲提高作爲氧化物半導體膜的基底絕緣膜的基底絕緣膜 33 的表面的平坦性。典型地，可以將基底絕緣膜 33 的平均面粗糙度（Ra）設定爲 1nm 以下、0.3nm 以下或 0.1nm 以下。注意，Ra 是將 JIS B0601 中定義的算術平均粗糙度擴大爲三維以使其能夠應用於曲面，可以以“將從基準面

到指定面的偏差的絕對值平均而得的值”表示，以算式（2）定義。

[算式 2]

$$Ra=\frac{1}{S_0}\int_{y1}^{y2}\int_{x1}^{x2}\left|f(x,y)-Z_0\right|dxdy \quad (2)$$

在此，指定面是指成爲檢測粗糙度的對象的面，且用座標（$x_1,y_1,f(x_1,y_1)$），（$x_1,y_2,f(x_1,y_2)$），（$x_2,y_1,f(x_2,y_1)$），（$x_2,y_2,f(x_2,y_2)$）的 4 點表示的四角形的區域，S_0 表示將指定面投影到 xy 平面上的長方形的面積，Z_0 表示基準面的高度（指定面的平均高度）。可以利用原子力顯微鏡（AFM：Atomic Force Microscope）來對 Ra 進行測量。

另外，作爲用來提高基底絕緣膜 33 的表面的平坦性的平坦化處理，可以採用如下處理中的一個或多個：化學機械拋光（Chemical Mechanical Polishing：CMP）處理；乾蝕刻處理；以及對真空處理室中引入例如氬氣體等惰性氣體，並施加以被處理面爲陰極的電場，來使表面的微細凹凸平坦化的電漿處理（所謂的反濺射）等。

接著，較佳爲進行加熱處理。藉由進行該加熱處理，可以將基底絕緣膜 33 所包含的氧的一部分擴散到基底絕緣膜 33 與氧化物半導體膜 34 的介面附近。其結果，可以降低基底絕緣膜 33 與氧化物半導體膜 34 的介面附近的介面態。

加熱處理的溫度典型地爲 150℃以上且低於基板的應變點，較佳爲 250℃以上且 450℃以下，更佳爲 300℃以

上且 450℃以下。

在氦、氖、氬、氙、氪等稀有氣體或包含氮的惰性氣體氛圍中進行加熱處理。或者，也可以在惰性氣體氛圍中進行加熱之後在氧氛圍中進行加熱。另外，上述惰性氣體氛圍及氧氛圍較佳的是不包含氫、水等。處理時間是 3 分鐘至 24 小時。

接著，如圖 4B 所示，形成一對電極 35。一對電極 35 可以適當地使用與實施方式 1 所示的一對電極 21 同樣的形成方法。或者，也可以藉由印刷法或噴墨法形成一對電極 35。

接著，如圖 4C 所示，形成構成閘極絕緣膜 40 的絕緣膜 37 及氮化絕緣膜 39。

絕緣膜 37 藉由濺射法、CVD 法、蒸鍍法等形成。

氮化絕緣膜 39 可以與實施方式 1 所示的氮化絕緣膜 25 同樣地形成，即藉由熱脫附譜分析法釋放氫分子小於 5×10^{21} 分子/cm^3，較佳爲 3×10^{21} 分子/cm^3 以下，更佳爲 1×10^{21} 分子/cm^3 以下及氨分子小於 1×10^{22} 分子/cm^3，較佳爲 5×10^{21} 分子/cm^3 以下，更佳爲 1×10^{21} 分子/cm^3 以下。

接著，如圖 4D 所示，在閘極絕緣膜 40 上形成閘極電極 41。閘極電極 41 可以適當地使用與實施方式 1 所示的閘極電極 15 同樣的形成方法。

接著，與實施方式 1 同樣，也可以進行加熱處理。該加熱處理的溫度典型地爲 150℃以上且低於基板的應變點，較佳爲 250℃以上且 450℃以下，更佳爲 300℃以上

且 450℃以下。

藉由以上製程，可以製造抑制了電特性的變動且提高了可靠性的電晶體。

注意，本實施方式所示的結構、方法等可以與其他的實施方式及實施例所示的結構、方法等適當地組合而實施。

實施方式 3

在本實施方式中，參照圖 5 說明具有與實施方式 1 及實施方式 2 不同的結構的電晶體。本實施方式所示的電晶體 5 具有隔著氧化物半導體膜相對的多個閘極電極。

圖 5 所示的電晶體 5 包括：設置在基板 11 上的閘極電極 15；形成在基板 11 及閘極電極 15 上的閘極絕緣膜 18；隔著閘極絕緣膜 18 重疊於閘極電極 15 的氧化物半導體膜 19；以及與氧化物半導體膜 19 接觸的一對電極 21。另外，在閘極絕緣膜 18、氧化物半導體膜 19 及一對電極 21 上形成包括絕緣膜 23 及氮化絕緣膜 25 的保護膜 26。此外，包括隔著保護膜 26 重疊於氧化物半導體膜 19 的閘極電極 61。

閘極電極 61 可以與實施方式 1 所示的閘極電極 15 同樣地形成。

本實施方式所示的電晶體 5 具有隔著氧化物半導體膜 19 相對的閘極電極 15 及閘極電極 61。藉由對閘極電極 15 及閘極電極 61 施加不同的電位，可以控制電晶體 5 的

臨界電壓。或者，藉由對閘極電極 15 及閘極電極 61 施加相同電位，可以增加電晶體 5 的通態電流。此外，在氧化物半導體膜 19 與閘極電極 61 之間設置如下氮化絕緣膜，即藉由熱脫附譜分析法釋放氫分子小於 5×10^{21} 分子/cm^3，較佳爲 3×10^{21} 分子/cm^3 以下，更佳爲 1×10^{21} 分子/cm^3 以下及氨分子小於 1×10^{22} 分子/cm^3，較佳爲 5×10^{21} 分子/cm^3 以下，更佳爲 1×10^{21} 分子/cm^3 以下，由此可以減少從氮化絕緣膜向氧化物半導體膜 19 的氫及氮的移動量，並可以降低氧化物半導體膜 19 中的氫及氮的濃度。此外，由於在氧化物半導體膜 19 與閘極電極 61 之間設置氮化絕緣膜 25，所以可以抑制水從外部侵入到氧化物半導體膜 19。即，可以抑制包含在水中的氫侵入到氧化物半導體膜 19。根據上述結果，可以抑制臨界電壓的負向漂移並降低電特性的偏差。

實施方式 4

在本實施方式中，參照圖 6A 和圖 6B 說明可以抑制氫及氮移動到氧化物半導體膜並減少氧化物半導體膜的氧缺陷的電晶體及保護膜的結構。注意，至於與實施方式 1 重複的結構，省略其說明。

在使用氧化物半導體的電晶體中，氧化物半導體膜所包含的氧缺陷有可能導致電晶體的電特性劣化。例如，在使用包含氧缺陷的氧化物半導體形成的電晶體中，臨界電壓容易向負方向變動，而容易成爲常導通特性。這是因爲

起因於氧化物半導體所包含的氧缺陷產生電荷而導致低電阻化的緣故。

另外，當氧化物半導體膜包含氧缺陷時，有如下問題：由於隨時間的變化或偏壓溫度應力測試（以下，也稱爲 BT(Bias-Temperature)應力測試），電晶體的電特性，典型爲臨界電壓的變動量有可能增大。

由此，在本實施方式中，說明抑制了臨界電壓的負向漂移且具有優良的電特性的電晶體及其製造方法。另外，說明可以製造隨時間的變化或光 BT 應力測試所導致的電特性變動少的可靠性高的電晶體及其製造方法。

圖 6A 和圖 6B 示出半導體裝置所具有的電晶體 7 的俯視圖及剖面圖。圖 6A 是電晶體 7 的俯視圖，圖 6B 是沿著圖 6A 的點劃線 A-B 的剖面圖。注意，在圖 6A 中，爲了明確起見，省略基板 11、電晶體 7 的構成要素的一部分（例如，閘極絕緣膜 18）、絕緣膜 24a、絕緣膜 24b、氮化絕緣膜 25、平坦化膜 27 等。

圖 6A 和圖 6B 所示的電晶體 7 包括：設置在基板 11 上的閘極電極 15；形成在基板 11 及閘極電極 15 上的閘極絕緣膜 18；隔著閘極絕緣膜 18 重疊於閘極電極 15 的氧化物半導體膜 19；以及與氧化物半導體膜 19 接觸的一對電極 21。另外，在閘極絕緣膜 18、氧化物半導體膜 19 及一對電極 21 上形成包括絕緣膜 24a、絕緣膜 24b 及氮化絕緣膜 25 的保護膜 28。此外，也可以在保護膜 28 上設置平坦化膜 27。另外，在形成在保護膜 28 及平坦化膜

27 中的開口部 30 中，也可以設置連接於一對電極 21 的一個的導電膜 29。

在本實施方式所示的電晶體 7 中，以接觸於氧化物半導體膜 19 的方式形成有絕緣膜 24a。絕緣膜 24a 是透過氧的氧化絕緣膜。此外，絕緣膜 24a 也用作後面形成絕緣膜 24b 時的對氧化物半導體膜 19 的損傷的緩和膜。

作爲透過氧的氧化絕緣膜，可以使用厚度爲 5nm 以上且 150nm 以下，較佳爲 5nm 以上且 50nm 以下，更佳爲 10nm 以上且 30nm 以下的氧化矽膜、氧氮化矽膜等。

此外，較佳的是絕緣膜 24a 所包含的缺陷少，典型地，藉由 ESR 測量，在起因於矽的懸空鍵的 g=2.001 處呈現的信號的自旋密度爲 3×10^{17}spins/cm^3 以下，更佳爲 5.0×10^{16}spins/cm^3 以下。這是因爲若包含在絕緣膜 24a 中的缺陷密度多，則氧與該缺陷接合，絕緣膜 24a 中的氧的透過量有可能減少。

此外，較佳的是在絕緣膜 24a 與氧化物半導體膜 19 之間的介面缺陷少，典型地，藉由在磁場方向與膜表面平行的狀態下施加磁場的 ESR 測量，在起因於氧化物半導體膜中的氧缺陷的 g=1.93 處呈現的信號的自旋密度爲 1×10^{17}spins/cm^3 以下，較佳爲檢測下限以下的絕緣膜。藉由將起因於氧化物半導體膜 19 的氧缺陷的自旋密度設定爲上述自旋密度以下，在具有氧化物半導體的電晶體的 Vg-Id 特性中，可以減少汲極電壓不同時的電晶體成爲導通狀態的閘極電壓的偏差。

此外，在絕緣膜 24a 中，從外部進入到絕緣膜 24a 中的氧不是全都移動到絕緣膜 24a 的外部，一部分的氧殘留在絕緣膜 24a 中。此外，在氧進入到絕緣膜 24a 的同時，包含在絕緣膜 24a 中的氧移動到絕緣膜 24a 的外部，而有時在絕緣膜 24a 中移動氧。

當作爲絕緣膜 24a 形成透過氧的氧化絕緣膜時，可以將從設置在絕緣膜 24a 上的氧含量超過化學計量組成的氧化絕緣膜脫離的氧經過絕緣膜 24a 移動到氧化物半導體膜 19。

以接觸於絕緣膜 24a 的方式形成有絕緣膜 24b。較佳爲使用氧含量超過化學計量組成的氧化絕緣膜形成絕緣膜 24b。氧含量超過化學計量組成的氧化絕緣膜藉由加熱使氧的一部分脫離。至於包含比滿足化學計量多的氧的氧化絕緣膜，與實施方式 2 的基底絕緣膜 33 同樣，藉由 TDS 分析測量的換算爲氧原子的氧的釋放量爲 1.0×10^{18}atoms/cm^3 以上，較佳爲 3.0×10^{20}atoms/cm^3 以上。

將安裝在電漿 CVD 設備的進行了真空排氣的處理室內的基板的溫度保持爲 180℃以上且 400℃以下，較佳爲 200℃以上且 370℃以下，將原料氣體導入處理室將處理室內的壓力設定爲 30Pa 以上且 250Pa 以下，較佳的是設定爲 40Pa 以上且 200Pa 以下，並對設置在處理室內的電極供應高頻功率，以上述條件形成氧化矽膜或氧氮化矽膜作爲絕緣膜 24a。

另外，藉由將相對於包含矽的沉積氣體的氧化氣體量設定爲 100 倍以上，可以減少包含在絕緣膜 24a 中的氫含量。其結果是，由於可以減少混入到絕緣膜 24a 的氫量，所以可以抑制電晶體的臨界電壓的負向漂移。

作爲絕緣膜 24b，可以使用厚度爲 30nm 以上且 500nm 以下，較佳爲 50nm 以上且 400nm 以下的氧化矽膜、氧氮化矽膜等。

此外，較佳的是絕緣膜 24b 所包含的缺陷少，典型地，藉由 ESR 測量，在起因於矽的懸空鍵的 g=2.001 處呈現的信號的自旋密度較佳爲 1×10^{18}spins/cm^3 以下。此外，由於絕緣膜 24b 與絕緣膜 24a 相比離氧化物半導體膜 19 遠，所以也可以絕緣膜 24b 的缺陷密度比絕緣膜 24a 高。

將安裝在電漿 CVD 設備的進行了真空排氣的處理室內的基板的溫度保持爲 180℃以上且 260℃以下，較佳爲 180℃以上且 240℃以下，將原料氣體導入處理室將處理室內的壓力設定爲 100Pa 以上且 250Pa 以下，較佳爲 100Pa 以上且 200Pa 以下，並對設置在處理室內的電極供應 0.17W/cm^2 以上且 0.5W/cm^2 以下，較佳爲 0.25W/cm^2 以上且 0.35W/cm^2 以下的高頻功率，以上述條件形成氧化矽膜或氧氮化矽膜作爲絕緣膜 24b。

當作爲絕緣膜 24b 的成膜條件在上述壓力的處理室中供應上述功率密度的高頻功率時，在電漿中原料氣體的分解效率得到提高，氧自由基增加，原料氣體的氧化進展，

因此絕緣膜 24b 中的氧含量比化學計量組成多。另一方面，由於在以上述基板溫度形成的膜中矽與氧的接合力弱，所以因在後面的製程中進行的加熱而氧的一部分脫離。其結果是，可以形成包含比滿足化學計量的氧多的氧且藉由加熱氧的一部分發生脫離的氧化絕緣膜。此外，在氧化物半導體膜 19 上設置有絕緣膜 24a。由此，在絕緣膜 24b 的形成製程中，絕緣膜 24a 用作對氧化物半導體膜 19 的損傷的緩和膜。其結果是，在降低對氧化物半導體膜 19 的損傷的同時，可以使用功率密度高的高頻功率形成絕緣膜 24b。

藉由邊加熱邊在絕緣膜 24a 上形成絕緣膜 24b，使氧移動到氧化物半導體膜 19，從而可以填充包含在氧化物半導體膜 19 中的氧缺陷。或者，藉由在絕緣膜 24a 上形成絕緣膜 24b 之後進行加熱處理，使氧移動到氧化物半導體膜 19，可以填充包含在氧化物半導體膜 19 中的氧缺陷。其結果是，可以減少包含在氧化物半導體膜中的氧缺陷量。

藉由在氧化物半導體膜 19 的背通道（在氧化物半導體膜 19 中與相對於閘極電極 15 的面相反的面）上隔著透過氧的氧化絕緣膜設置氧含量超過化學計量組成的氧化絕緣膜，可以使氧移動到氧化物半導體膜 19 的背通道一側，可以減少該區域中的氧缺陷。

此外，在絕緣膜 24b 的形成製程中，在氧化物半導體膜 19 不受到損傷的情況下，不設置絕緣膜 24a，也可以

只設置氧含量超過化學計量組成的氧化絕緣膜的絕緣膜24b作爲保護膜。

在絕緣膜 24b 上形成有氮化絕緣膜 25。藉由設置氮化絕緣膜 25，從氮化絕緣膜向氧化物半導體膜 19 的氫及氨的移動量少，可以降低氧化物半導體膜 19 中的氫及氮的濃度。此外，由於在電晶體 7 上設置有氮化絕緣膜 25，所以可以抑制水從外部侵入到氧化物半導體膜 19。即，可以抑制包含在水中的氫侵入到氧化物半導體膜 19。此外，當氮化絕緣膜 25 的氧阻擋性高時，可以抑制包含在絕緣膜 24b 中的氧移動到外部，而可以使包含在絕緣膜 24b 中的氧移動到氧化物半導體膜 19，因此是較佳的。根據上述結果，可以抑制臨界電壓的負向漂移並降低電特性的偏差。此外，可以降低電晶體的源極及汲極的洩漏電流，典型地是關態電流。另外，可以抑制隨時間的變化或光 BT 應力測試所導致的電特性變動。

平坦化膜 27 可以使用丙烯酸樹脂、環氧樹脂、苯並環丁烯樹脂、聚醯亞胺、聚醯胺等有機材料。另外，除了上述有機材料之外，還可以使用矽氧烷類樹脂等。另外，可以藉由層疊多個由這些材料形成的絕緣膜，來形成平坦化膜。

由於用於平坦化膜 27 的有機材料與無機絕緣膜相比包含水或氣體，所以有時因加熱處理而該水或氣體移動到氧化物半導體膜。此外，容易透過來自外部的水。由此，當形成平坦化膜 27 時，因上述水或氣體而產生具有氧化

膜 33 上的氧化物半導體膜 34、接觸於氧化物半導體膜 34 的一對電極 35。此外，電晶體 9 具有包括絕緣膜 38a、絕緣膜 38b 及氮化絕緣膜 39 的閘極絕緣膜 42、隔著閘極絕緣膜 42 重疊於氧化物半導體膜 34 的閘極電極 41。此外，也可以具有覆蓋閘極絕緣膜 42 及閘極電極 41 的平坦化膜 43。此外，在閘極絕緣膜 42 及平坦化膜 43 中的開口部 47 中，也可以具有一對電極 35 的一方的導電膜 45。

在本實施方式所示的電晶體 9 中，以接觸於氧化物半導體膜 34 的方式形成有絕緣膜 38a。絕緣膜 38a 是透過氧的氧化絕緣膜。絕緣膜 38a 可以適當地使用實施方式 4 所示的絕緣膜 24a。

當作爲絕緣膜 38a 形成透過氧的氧化絕緣膜時，可以將從設置在絕緣膜 38a 上的氧含量超過化學計量組成的氧化絕緣膜脫離的氧經過絕緣膜 38a 移動到氧化物半導體膜 34。

以接觸於絕緣膜 38a 的方式形成絕緣膜 38b。絕緣膜 38b 爲氧含量超過化學計量組成的氧化絕緣膜，可以適當地使用實施方式 4 所示的絕緣膜 24b。

藉由邊加熱在絕緣膜 38a 上邊形成絕緣膜 38b，使氧移動到氧化物半導體膜 34，從而可以填充包含在氧化物半導體膜 34 中的氧缺陷。或者，藉由在絕緣膜 38a 上形成絕緣膜 38b 之後進行加熱處理，使氧移動到氧化物半導體膜 34，可以填充包含在氧化物半導體膜 34 中的氧缺

陷。其結果是，可以減少包含在氧化物半導體膜中的氧缺陷量。

藉由作爲閘極絕緣膜使用缺陷少的絕緣膜，可以降低臨界電壓的負向漂移及電晶體的電特性的偏差。

此外，在絕緣膜 38b 的形成製程中，在氧化物半導體膜 34 不受到損傷的情況下，不設置絕緣膜 38a，也可以只設置藉由加熱氧的一部分發生脫離的氧化絕緣膜的絕緣膜 38b。

在絕緣膜 38b 上形成有氮化絕緣膜 39。藉由設置氮化絕緣膜 39，從氮化絕緣膜向氧化物半導體膜 34 的氫及氨的移動量少，可以降低氧化物半導體膜 34 中的氫及氮的濃度。此外，由於在電晶體 9 上設置有氮化絕緣膜 39，所以可以抑制水從外部侵入到氧化物半導體膜 34。即，可以抑制包含在水中的氫侵入到氧化物半導體膜 34。此外，由於氮化絕緣膜 39 的氧阻擋性高，可以抑制包含在絕緣膜 38b 中的氧移動到外部，可以使包含在絕緣膜 38b 中的氧移動到氧化物半導體膜 34，因此是較佳的。根據上述結果，可以抑制臨界電壓的負向漂移並降低電特性的偏差。此外，可以降低電晶體的源極及汲極的洩漏電流，典型地是關態電流。另外，可以抑制隨時間的變化或光 BT 應力測試所導致的電特性變動。

作爲平坦化膜 43，可以適當地使用實施方式 4 所示的平坦化膜 27 的材料。

此外，藉由在絕緣膜 38b 與平坦化膜 43 之間設置氮

化絕緣膜 39，提高氮化絕緣膜 39 與平坦化膜 43 的密接性，所以是較佳的。

作爲導電膜 45，可以適當地使用實施方式 4 所示的導電膜 29 的材料。

此外，與實施方式 4 同樣地，在實施方式 2 的圖 4B 的製程所示的在氧化物半導體膜 34 上形成一對電極 35 之後，將氧化物半導體膜 34 暴露於產生在氧氛圍中的電漿，向氧化物半導體膜 34 供應氧，也可以形成氧缺陷少的氧化物半導體膜。其結果是，可以向氧化物半導體膜 34 供應氧，從而可以減少包含在氧化物半導體膜 34 中的氧缺陷量。

藉由以上製程，可以製造抑制了電特性的變動且提高了可靠性的電晶體。另外，可以製造隨時間的變化或光 BT 應力測試所導致的電特性變動少，典型的是臨界電壓的變動少的可靠性高的電晶體。

注意，本實施方式所示的結構、方法等可以與其他的實施方式及實施例所示的結構、方法等適當地組合而實施。

實施方式 6

藉由使用上述實施方式所例示的電晶體可以製造具有顯示功能的半導體裝置（也稱爲顯示裝置）。此外，藉由將包括電晶體的驅動電路的一部分或全部與像素部一起形成在同一個基板上，可以形成系統整合型面板（system-

on-panel）。在本實施方式中，參照圖 8A 至圖 11C 說明使用上述實施方式所示的電晶體的顯示裝置的例子。此外，圖 9A、圖 9B 及圖 10 是示出沿圖 8B 中的 M-N 點劃線的剖面結構的剖面圖。

在圖 8A 中，以圍繞設置在第一基板 901 上的像素部 902 的方式設置有密封材料 905，並且使用第二基板 906 進行密封。在圖 8A 中，在第一基板 901 上的與由密封材料 905 圍繞的區域不同的區域中安裝有使用單晶半導體或多晶半導體形成在另行準備的基板上的信號線驅動電路 903 及掃描線驅動電路 904。此外，供應到信號線驅動電路 903、掃描線驅動電路 904 或者像素部 902 的各種信號及電位藉由 FPC（Flexible printed circuit：撓性印刷電路）918a、FPC918b 供應。

在圖 8B 和圖 8C 中，以圍繞設置在第一基板 901 上的像素部 902 和掃描線驅動電路 904 的方式設置有密封材料 905。此外，在像素部 902 和掃描線驅動電路 904 上設置有第二基板 906。因此，像素部 902 及掃描線驅動電路 904 與顯示元件一起由第一基板 901、密封材料 905 以及第二基板 906 密封。在圖 8B 和圖 8C 中，在第一基板 901 上的與由密封材料 905 圍繞的區域不同的區域中安裝有使用單晶半導體或多晶半導體形成在另行準備的基板上的信號線驅動電路 903。在圖 8B 和圖 8C 中，供應到信號線驅動電路 903、掃描線驅動電路 904 或者像素部 902 的各種信號及電位由 FPC918 供應。

此外，圖 8B 和圖 8C 示出另行形成信號線驅動電路 903 並且將其安裝到第一基板 901 的例子，但是不侷限於該結構。既可以另行形成掃描線驅動電路並進行安裝，又可以僅另行形成信號線驅動電路的一部分或者掃描線驅動電路的一部分並進行安裝。

另外，對另行形成的驅動電路的連接方法沒有特別的限制，而可以採用 COG（Chip On Glass：玻璃覆晶封裝）方法、打線接合方法或者 TAB（Tape Automated Bonding：捲帶式自動接合）方法等。圖 8A 是藉由 COG 方法安裝信號線驅動電路 903、掃描線驅動電路 904 的例子，圖 8B 是藉由 COG 方法安裝信號線驅動電路 903 的例子，而圖 8C 是藉由 TAB 方法安裝信號線驅動電路 903 的例子。

此外，顯示裝置包括顯示元件爲密封狀態的面板和在該面板中安裝有 IC 諸如控制器等的模組。

注意，本說明書中的顯示裝置是指影像顯示裝置、顯示裝置或光源（包括照明設備）。另外，顯示裝置還包括：安裝有諸如 FPC 或 TCP 的連接器的模組；在 TCP 的端部設置有印刷線路板的模組；或者藉由 COG 方式將 IC（積體電路）直接安裝到顯示元件的模組。

此外，設置在第一基板上的像素部及掃描線驅動電路具有多個電晶體，可以應用上述實施方式所示的電晶體。

作爲設置在顯示裝置中的顯示元件，可以使用液晶元件（也稱爲液晶顯示元件）、發光元件（也稱爲發光顯示

元件）。發光元件將由電流或電壓控制亮度的元件包括在其範疇內，明確而言，包括無機 EL（Electro Luminescence：電致發光）元件、有機 EL 元件等。此外，也可以應用電子墨水等由於電作用而改變對比度的顯示媒介。

圖 9A 所示的顯示裝置包括連接端子電極 915 及端子電極 916，連接端子電極 915 及端子電極 916 藉由各向異性導電劑 919 電連接到 FPC918 所具有的端子。

連接端子電極 915 由與第一電極 930 相同的導電膜形成，並且，端子電極 916 由與電晶體 910、電晶體 911 的一對電極相同的導電膜形成。

圖 9B 所示的顯示裝置包括連接端子電極 915a、915b 及端子電極 916，連接端子電極 915a、915b 及端子電極 916 藉由各向異性導電劑 919 電連接到 FPC918 所具有的端子。

連接端子電極 915a 由與第一電極 930 相同的導電膜形成，連接端子電極 915b 由與第二電極 941 相同的導電膜形成，並且，端子電極 916 由與電晶體 910、電晶體 911 的一對電極相同的導電膜形成。

此外，如圖 10 所示，半導體裝置包括連接端子電極 955 及端子電極 916，連接端子電極 955 及端子電極 916 藉由各向異性導電劑 919 電連接到 FPC918 所具有的端子。

連接端子電極 955 由與第二電極 951 相同的導電膜形

成，並且，端子電極 916 由與電晶體 910、電晶體 911 的一對電極相同的導電膜形成。

此外，設置在第一基板 901 上的像素部 902 和掃描線驅動電路 904 包括多個電晶體，圖 9A、圖 9B 及圖 10 例示包括在像素部 902 中的電晶體 910、包括在掃描線驅動電路 904 中的電晶體 911。在圖 9A 中，在電晶體 910 及電晶體 911 上設置有相當於實施方式 1 所示的保護膜 26 或實施方式 4 所示的保護膜 28 的絕緣膜 924，在圖 9B 中，在絕緣膜 924 上還設置有平坦化膜 921。此外，絕緣膜 923 用作基底膜。

在本實施方式中，作爲電晶體 910、電晶體 911 可以應用上述實施方式所示的電晶體。

此外，在圖 10 中，示出在絕緣膜 924 上的與用於驅動電路的電晶體 911 的氧化物半導體膜的通道形成區重疊的位置設置有導電膜 917 的例子。在本實施方式中，由與第一電極 930 相同的層形成導電膜 917。藉由將導電膜 917 設置在與氧化物半導體膜的通道形成區重疊的位置，可以進一步降低 BT 應力測試前後的電晶體 911 的臨界電壓的變動量。此外，導電膜 917 的電位既可以與電晶體 911 的閘極電極的電位相同，又可以不同，並且，還可以將導電膜用作第二閘極電極。此外，導電膜 917 的電位也可以是 GND、0V 或浮動狀態。

此外，導電膜 917 還具有遮蔽外部的電場的功能。就是說，導電膜 917 還具有不使外部的電場作用於內部（包

括電晶體的電路部）的功能（尤其是，遮蔽靜電的靜電遮蔽功能）。藉由利用導電膜 917 的遮蔽功能，可以防止由於靜電等外部的電場的影響而使電晶體的電特性變動。導電膜 917 可以用於上述實施方式所示的任何電晶體。

設置在像素部 902 中的電晶體 910 與顯示元件電連接，而構成顯示面板。顯示元件只要能夠進行顯示就沒有特別的限制，而可以使用各種各樣的顯示元件。

關於對顯示元件施加電壓的第一電極及第二電極（也稱爲像素電極、共用電極、反電極等），可以根據取出光的方向、設置電極的地方以及電極的圖案結構選擇透光性或反射性。

第一電極 930、第二電極 931、第二電極 941 也可以使用包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦錫氧化物（以下，稱爲 ITO）、銦鋅氧化物、包含氧化矽的銦錫氧化物等透光導電材料。

此外，第一電極 930、第二電極 931、第二電極 941 可以使用鎢（W）、鉬（Mo）、鋯（Zr）、鉿（Hf）、釩（V）、鈮（Nb）、鉭（Ta）、鉻（Cr）、鈷（Co）、鎳（Ni）、鈦（Ti）、鉑（Pt）、鋁（Al）、銅（Cu）、銀（Ag）等的金屬、其合金或者其氮化物中的一種或多種來形成。

此外，第一電極 930、第二電極 931、第二電極 941 可以使用包括導電高分子（也稱爲導電聚合體）的導電組

成物來形成。作爲導電高分子，可以使用所謂的π電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者由苯胺、吡咯和噻吩中的兩種以上構成的共聚物或其衍生物等。

圖 9A 和圖 9B 示出作爲顯示元件使用液晶元件的液晶顯示裝置的例子。圖 9A 是採用垂直電場方式的例子。

在圖 9A 中，作爲顯示元件的液晶元件 913 包括第一電極 930、第二電極 931 以及液晶層 908。另外，以夾持液晶層 908 的方式設置有用作配向膜的絕緣膜 932、絕緣膜 933。此外，第二電極 931 設置在第二基板 906 一側，並且，第一電極 930 和第二電極 931 隔著液晶層 908 重疊。

圖 9B 是作爲水平電場方式的一個例子採用 FFS（Fringe Field Switching：邊緣電場轉換）模式的例子。

在圖 9B 中，作爲顯示元件的液晶元件 943 包括形成在平坦化膜 921 上的第一電極 930、第二電極 941 以及液晶層 908。第二電極 941 用作共用電極。在第一電極 930 與第二電極 941 之間設置有絕緣膜 944。絕緣膜 944 使用氮化矽膜形成。另外，以夾持液晶層 908 的方式設置有用作配向膜的絕緣膜 932、絕緣膜 933。

此外，間隔物 935 是藉由對絕緣膜選擇性地進行蝕刻而得到的柱狀間隔物，並且它是爲控制第一電極 930 與第二電極 931 之間的間隔（單元間隙）而設置的。此外，也可以使用球狀間隔物。

當作爲顯示元件使用液晶元件時，可以使用熱致液晶、低分子液晶、高分子液晶、高分子分散型液晶、鐵電液晶、反鐵電液晶等。上述液晶材料根據條件呈現膽固醇相、近晶相、立方相、手性向列相、各向同性相等。

另外，也可以使用將不使用配向膜的呈現藍相的液晶。藍相是液晶相的一種，是指當使膽固醇相液晶的溫度上升時從膽固醇相轉變到各向同性相之前出現的相。由於藍相只出現在較窄的溫度範圍內，所以爲了改善溫度範圍而將混合有手性試劑的液晶組成物用於液晶層。由於包含呈現藍相的液晶和手性試劑的液晶組成物的回應速度快，即爲 1msec 以下，並且其具有光學各向同性，所以不需要配向處理，並且視角依賴性小。另外，由於不需要設置配向膜而不需要摩擦處理，因此可以防止由於摩擦處理而引起的靜電破壞，並可以降低製程中的液晶顯示裝置的故障、破損。從而可以提高液晶顯示裝置的生產率。

第一基板 901 和第二基板 906 由密封材料 925 固定。作爲密封材料 925，可以使用熱固性樹脂或光固化樹脂等有機樹脂。

此外，在圖 9A 所示的液晶顯示裝置中，密封材料 925 接觸於閘極絕緣膜 922，且平坦化膜 921 設置在密封材料 925 的內側。此外，閘極絕緣膜 922 層疊氮化矽膜及氧氮化矽膜形成。此外，較佳的是當對絕緣膜 924 選擇性地進行蝕刻時，對閘極絕緣膜 922 的上層的氧氮化矽膜進行蝕刻，使氮化矽膜露出。其結果是，密封材料 925 與形

成在閘極絕緣膜 922 中的氮化矽膜接觸，而可以抑制來自外部的水侵入到密封材料 925 的內部。

此外，在圖 9B 所示的液晶顯示裝置中，密封材料 925 接觸於絕緣膜 924。由於平坦化膜 921 設置在密封材料 925 的內側且密封材料 925 與絕緣膜 924 的表面上的氮化矽膜接觸，所以可以抑制來自外部的水侵入到密封材料 925 的內部。

考慮到配置在像素部中的電晶體的洩漏電流等而以能夠在規定的期間中保持電荷的方式設定設置在液晶顯示裝置中的儲存電容器的大小。藉由使用具有高純度氧化物半導體膜的電晶體，設置具有各像素中的液晶電容的三分之一以下，較佳爲五分之一以下的電容的大小的儲存電容器，就足夠了，所以可以提高像素中的孔徑比。

此外，在顯示裝置中，適當地設置黑矩陣（遮光膜）、偏振構件、相位差構件、抗反射構件等的光學構件（光學基板）等。例如，也可以使用利用偏振基板以及相位差基板的圓偏振。此外，作爲光源，也可以使用背光、側光燈等。

此外，作爲像素部中的顯示方式，可以採用逐行掃描方式或隔行掃描方式等。另外，作爲當進行彩色顯示時在像素中控制的顏色因素，不侷限於 RGB（R 表示紅色，G 表示綠色，B 表示藍色）這三種顏色。例如，也可以採用 RGBW（W 表示白色）或對 RGB 追加黃色（yellow）、青色（cyan）、洋紅色（magenta）等中的一種顏色以上的

顏色。另外，也可以按每個顏色因素的點使其顯示區的大小不同。但是，本發明不侷限於彩色顯示的顯示裝置，而也可以應用於單色顯示的顯示裝置。

圖 11A 至圖 11C 示出在圖 9A 所示的顯示裝置中與將設置在第二基板 906 上的第二電極 931 電連接的公共連接部（焊盤部）形成在第一基板 901 上的例子。

注意，在此由於其面積尺寸大不相同，所以分別將其稱爲像素部中的接觸孔和公共連接部的開口部。另外，在圖 9A 和圖 9B 及圖 11A 至圖 11C 中，不使用相同的縮尺來圖示像素部 902 和公共連接部，例如公共連接部的點劃線 I-J 的長度爲 500μm 左右，而像素部 902 的電晶體的尺寸小於 50μm，雖然實際上公共連接部的面積尺寸是電晶體的 10 倍以上，但是爲了明瞭地示出，而在圖 9A 和圖 9B 及圖 11A 至圖 11C 中分別改變像素部 902 和公共連接部的縮尺而進行圖示。

公共連接部配置於與用來黏結第一基板 901 和第二基板 906 的密封材料重疊的位置，並且藉由密封材料所包含的導電粒子與第二電極 931 電連接。或者，在不與密封材料重疊的位置（注意，像素部以外的位置）設置公共連接部，並且，以與公共連接部重疊的方式將包含導電粒子的膏劑與密封材料另行設置，而與第二電極 931 電連接。

圖 11A 是公共連接部的剖面圖，並相當於圖 11B 所示的俯視圖的 I-J。

共用電位線 975 設置在閘極絕緣膜 922 上並利用與圖

9A 和圖 9B 所示的電晶體 910 的源極電極 971 或汲極電極 973 相同的材料及製程製造。

此外，共用電位線 975 由絕緣膜 924 及平坦化膜 921 覆蓋，絕緣膜 924 及平坦化膜 921 在重疊於共用電位線 975 的位置上具有多個開口部。該開口部在與使電晶體 910 的源極電極 971 或汲極電極 973 與第一電極 930 連接的接觸孔相同的製程中製造。

此外，共用電位線 975 及共用電極 977 在開口部中連接。共用電極 977 設置在平坦化膜 921 上，並使用與連接端子電極 915、像素部的第一電極 930 相同的材料及製程製造。

如此，與像素部 902 的切換元件的製程共同地製造公共連接部。

共用電極 977 是與包括在密封材料中的導電粒子接觸的電極，並與第二基板 906 的第二電極 931 電連接。

此外，如圖 11C 所示，共用電位線 985 也可以使用與電晶體 910 的閘極電極相同的材料及製程製造。

在圖 11C 所示的公共連接部中，共用電位線 985 設置在閘極絕緣膜 922、絕緣膜 924 及平坦化膜 921 的下層，閘極絕緣膜 922、絕緣膜 924 及平坦化膜 921 在重疊於共用電位線 985 的位置上具有多個開口部。該開口部在與使電晶體 910 的源極電極 971 或汲極電極 973 與第一電極 930 連接的接觸孔相同的製程中對絕緣膜 924 及平坦化膜 921 進行蝕刻之後，還對閘極絕緣膜 922 選擇性地進行蝕

刻形成。

此外，共用電位線 985 及共用電極 987 在開口部中連接。共用電極 987 設置在平坦化膜 921 上，並使用與連接端子電極 915、像素部的第一電極 930 相同的材料及製程製造。

此外，在圖 9B 所示的 FFS 模式的液晶顯示裝置中，共用電極 977、987 分別與第二電極 941 連接。

作爲顯示裝置所包括的顯示元件，可以應用利用電致發光的發光元件。利用電致發光的發光元件根據發光材料是有機化合物還是無機化合物被區分，一般地，前者被稱爲有機 EL 元件，而後者被稱爲無機 EL 元件。

在有機 EL 元件中，藉由對發光元件施加電壓，電子及電洞分別從一對電極注入到包括發光性有機化合物的層，以使電流流過。並且，藉由這些載子（電子及電洞）的重新結合，發光性有機化合物形成激發態，當從該激發態回到基態時發光。由於這種機制，這種發光元件被稱爲電流激發型發光元件。

無機 EL 元件根據其元件結構而分類爲分散型無機 EL 元件和薄膜型無機 EL 元件。分散型無機 EL 元件具有發光材料的粒子分散在黏合劑中的發光層，其發光機制是利用施體能階和受體能階的施體-受體重新結合型發光。薄膜型無機 EL 元件具有發光層夾在介電層之間且該介電層由電極夾住的結構，其發光機制是利用金屬離子的內殼層電子躍遷的定域型發光（localized type light emission）。

在此，作爲發光元件使用有機 EL 元件進行說明。

爲了取出發光，使發光元件的一對電極中的至少一個具有透光性即可。並且，在基板上形成電晶體及發光元件，作爲發光元件，有：從與基板相反一側的表面取出發光的頂部發射結構的發光元件；從基板一側的表面取出發光的底部發射結構的發光元件；以及從基板一側及與基板相反一側的表面取出發光的雙面發射結構的發光元件，可以應用上述任一種發射結構的發光元件。

圖 10 示出作爲顯示元件使用發光元件的發光裝置的例子。作爲顯示元件的發光元件 963 與設置在像素部 902 中的電晶體 910 電連接。另外，發光元件 963 的結構是第一電極 930、發光層 961、第二電極 931 的疊層結構，但是不侷限於所示的結構。根據從發光元件 963 取出的光的方向等，可以適當地改變發光元件 963 的結構。

在平坦化膜 921 與第一電極 930 之間具有氮化矽膜 950。氮化矽膜 950 接觸於平坦化膜 921 及絕緣膜 924 的側面。在氮化矽膜 950 及第一電極 930 的端部上具有分隔壁 960。分隔壁 960 使用有機絕緣材料或無機絕緣材料形成。尤其是，較佳爲使用感光樹脂材料，在第一電極 930 上形成開口部，並且將該開口部的側壁形成爲具有連續曲率的傾斜面。

發光層 961 可以由單層構成，也可以由多個層的疊層構成。

爲了防止氧、氫、水分、二氧化碳等侵入到發光元件

963 中，也可以在第二電極 931 及分隔壁 960 上形成保護層。作爲保護層，可以形成氮化矽、氮氧化矽、氧化鋁、氮化鋁、氧氮化鋁、氮氧化鋁、DLC 膜等。此外，在由第一基板 901、第二基板 906 及密封材料 936 密封的空間中設置有填充材料 964 並被密封。如此，爲了不暴露於外部氣體，較佳爲使用氣密性高且脫氣少的保護薄膜（黏合薄膜、紫外線固化樹脂薄膜等）、覆蓋材料封裝（封入）。

作爲密封材料 936，可以使用熱固性樹脂或光固化樹脂等有機樹脂或者包括低熔點玻璃的玻璃粉等。玻璃粉對水或氧等的雜質具有高阻擋性，所以是較佳的。此外，當作爲密封材料 936 使用玻璃粉時，如圖 10 所示，藉由在氮化矽膜 950 上設置玻璃粉，可以提高氮化矽膜 950 及玻璃粉的密接性並防止水從外部侵入到密封材料 936 的內部。

作爲填充材料 964，除了氮或氬等惰性氣體以外，也可以使用紫外線固化樹脂或熱固性樹脂，例如可以使用 PVC（聚氯乙烯）、丙烯酸樹脂、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB（聚乙烯醇縮丁醛）或 EVA（乙烯-醋酸乙烯酯）。例如，作爲填充材料使用氮，即可。

另外，如果需要，則也可以在發光元件的射出表面上適當地設置諸如偏光板或者圓偏光板（包括橢圓偏光板）、相位差板（λ/4 板，λ/2 板）、濾色片等的光學薄膜。此外，也可以在偏光板或者圓偏光板上設置防反射膜。例如，可以進行抗眩光處理，該處理是利用表面的凹

凸來擴散反射光而可以降低眩光的處理。

此外，作爲顯示裝置，也可以提供驅動電子墨水的電子紙。電子紙也稱爲電泳顯示裝置（電泳顯示器），並具有如下優點：與紙同樣的易讀性；其耗電量比其他顯示裝置的耗電量低；形狀薄且輕。

此外，由於電晶體容易被靜電等損壞，所以較佳爲設置用來保護驅動電路的保護電路。保護電路較佳爲使用非線性元件構成。

如上所述，藉由應用上述實施方式所示的電晶體，可以提供具有顯示功能的可靠性高的半導體裝置。

本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

實施方式 7

藉由使用實施方式 1 至實施方式 6 中的任一個所示的電晶體，可以製造具有讀取目標物的資訊的影像感測器功能的半導體裝置。

圖 12A 示出具有影像感測器功能的半導體裝置的一個例子。圖 12A 是光電感測器的等效電路，而圖 12B 是示出光電感測器的一部分的剖面圖。

光電二極體 602 的一個電極電連接到光電二極體重設信號線 658，而光電二極體 602 的另一個電極電連接到電晶體 640 的閘極。電晶體 640 的源極和汲極中的一個電連接到光電感測器基準信號線 672，而電晶體 640 的源極和

汲極中的另一個電連接到電晶體 656 的源極和汲極中的一個。電晶體 656 的閘極電連接到閘極信號線 659，電晶體 656 的源極和汲極中的另一個電連接到光電感測器輸出信號線 671。

注意，在本說明書的電路圖中，爲了使使用氧化物半導體膜的電晶體一目了然，將使用氧化物半導體膜的電晶體的符號表示爲“OS”。在圖 12A 中，電晶體 640、電晶體 656 可以應用實施方式 1 至實施方式 6 中的任一個所示的電晶體，是使用氧化物半導體膜的電晶體。在本實施方式中示出應用具有與實施方式 4 所示的電晶體 7 相同的結構的電晶體的例子。

圖 12B 是示出光電感測器中的光電二極體 602 和電晶體 640 的剖面圖，其中在具有絕緣表面的基板 601（元件基板）上設置有用作感測器的光電二極體 602 和電晶體 640。藉由使用黏合層 608，在光電二極體 602 和電晶體 640 上設置有基板 613。

在電晶體 640 上設置有絕緣膜 632、平坦化膜 633 以及平坦化膜 634。光電二極體 602 具有：形成在平坦化膜 633 上的電極 641b；在電極 641b 上依次層疊的第一半導體膜 606a、第二半導體膜 606b、第三半導體膜 606c；設置在平坦化膜 634 上的藉由第一半導體膜至第三半導體膜與電極 641b 電連接的電極 642；以及設置在與電極 641b 同樣的層中的與電極 642 電連接的電極 641a。

電極 641b 與形成在平坦化膜 634 中的導電膜 643 電

連接，並且電極 642 藉由電極 641a 與導電膜 645 電連接。導電膜 645 與電晶體 640 的閘極電極電連接，並且光電二極體 602 與電晶體 640 電連接。

在此，例示出一種 pin 型光電二極體，其中層疊用作第一半導體膜 606a 的具有 p 型導電型的半導體膜、用作第二半導體膜 606b 的高電阻的半導體膜（i 型半導體膜）、用作第三半導體膜 606c 的具有 n 型導電型的半導體膜。

第一半導體膜 606a 是 p 型半導體膜，而可以由包含賦予 p 型的雜質元素的非晶矽膜形成。使用包含屬於週期表中的第 13 族的雜質元素（例如，硼（B））的半導體材料氣體藉由電漿 CVD 法來形成第一半導體膜 606a。作爲半導體材料氣體，可以使用矽烷（SiH_4）。另外，可以使用 Si_2H_6、SiH_2Cl_2、$SiHCl_3$、$SiCl_4$、SiF_4 等。另外，也可以使用如下方法：在形成不包含雜質元素的非晶矽膜之後，使用擴散法或離子植入法將雜質元素導入到該非晶矽膜。較佳的是在使用離子植入法等導入雜質元素之後進行加熱等來使雜質元素擴散。在此情況下，作爲形成非晶矽膜的方法，可以使用 LPCVD 法、氣相生長法或濺射法等。較佳的是將第一半導體膜 606a 的厚度設定爲 10nm 以上且 50nm 以下。

第二半導體膜 606b 是 i 型半導體膜（本質半導體膜），由非晶矽膜形成。爲了形成第二半導體膜 606b，藉由電漿 CVD 法使用半導體材料氣體來形成非晶矽膜。

作爲半導體材料氣體，可以使用矽烷（SiH_4）。或者，也可以使用 Si_2H_6、SiH_2Cl_2、$SiHCl_3$、$SiCl_4$ 或 SiF_4 等。也可以藉由 LPCVD 法、氣相生長法、濺射法等形成第二半導體膜 606b。較佳的是將第二半導體膜 606b 的厚度設定爲 200nm 以上且 1000nm 以下。

第三半導體膜 606c 是 n 型半導體膜，由包含賦予 n 型的雜質元素的非晶矽膜形成。使用包含屬於週期表中的第 15 族的雜質元素（例如，磷（P））的半導體材料氣體藉由電漿 CVD 法形成第三半導體膜 606c。作爲半導體材料氣體，可以使用矽烷（SiH_4）。或者，也可以使用 Si_2H_6、SiH_2Cl_2、$SiHCl_3$、$SiCl_4$ 或 SiF_4 等。另外，也可以使用如下方法：在形成不包含雜質元素的非晶矽膜之後，使用擴散法或離子植入法將雜質元素導入到該非晶矽膜。較佳的是在使用離子植入法等導入雜質元素之後進行加熱等來使雜質元素擴散。在此情況下，作爲形成非晶矽膜的方法，可以使用 LPCVD 法、氣相生長法或濺射法等。較佳的是將第三半導體膜 606c 的厚度設定爲 20nm 以上且 200nm 以下。

此外，第一半導體膜 606a、第二半導體膜 606b 以及第三半導體膜 606c 也可以不使用非晶半導體形成，而使用多晶半導體或微晶半導體（Semi Amorphous Semiconductor：SAS）形成。

此外，由於藉由光電效應生成的電洞的遷移率低於電子的遷移率，因此當將 p 型半導體膜側的表面用作光接收

面時，pin 型光電二極體具有較好的特性。在此示出將光電二極體 602 從形成有 pin 型光電二極體的基板 601 的面接收的光轉換爲電信號的例子。此外，來自其導電型與用作光接收面的半導體膜一側相反的半導體膜一側的光是干擾光，因此，電極較佳爲使用具有遮光性的導電膜。另外，也可以將 n 型半導體膜一側的表面用作光接收面。

藉由使用絕緣材料且根據其材料使用濺射法、電漿 CVD 法、旋塗法、浸漬法、噴塗法、液滴噴射法（噴墨法等）、絲網印刷、膠版印刷等，來可以形成絕緣膜 632、平坦化膜 633、平坦化膜 634。

作爲平坦化膜 633、634，例如可以使用聚醯亞胺樹脂、丙烯酸樹脂、苯並環丁烯類樹脂、聚醯胺樹脂、環氧樹脂等具有耐熱性的有機絕緣材料。此外，除了上述有機絕緣材料以外，還可以使用低介電常數材料（low-k 材料）、矽氧烷類樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等的單層或疊層。

藉由檢測入射到光電二極體 602 的光，可以讀取檢測目標的資訊。另外，在讀取檢測目標的資訊時，可以使用背光等的光源。

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而實施。

實施方式 8

本說明書所公開的半導體裝置可以應用於各種電子裝

置（也包括遊戲機）。作爲電子裝置，可以舉出電視機（也稱爲電視或電視接收機）、用於電腦等的顯示器、影像拍攝裝置諸如數位相機及數位攝影機、數位相框、行動電話機、可攜式遊戲機、可攜式資訊終端、音頻再生裝置、遊戲機（彈珠機（pachinko machine）或投幣機（slot machine）等）、外殼遊戲機。圖 13A 至圖 13C 示出上述電子裝置的具體例子。

圖 13A 示出具有顯示部的桌子 9000。在桌子 9000 中，外殼 9001 組裝有顯示部 9003，利用顯示部 9003 可以顯示影像。另外，示出利用四個桌腿 9002 支撐外殼 9001 的結構。另外，外殼 9001 具有用於供應電力的電源供應線 9005。

可以將上述實施方式中任一個所示的半導體裝置用於顯示部 9003，由此可以對電子裝置賦予高可靠性。

顯示部 9003 具有觸屏輸入功能，藉由用手指等按觸顯示於桌子 9000 的顯示部 9003 中的顯示按鈕 9004 來可以進行屏面操作或資訊輸入，並且顯示部 9003 也可以用作如下控制裝置，即藉由使其具有能夠與其他家電產品進行通信的功能或能夠控制其他家電產品的功能，而藉由屏面操作控制其他家電產品。例如，藉由使用實施方式 7 所示的具有影像感測器功能的半導體裝置，可以使顯示部 9003 具有觸屏輸入功能。

另外，利用設置於外殼 9001 的鉸鏈也可以將顯示部 9003 的屏面以垂直於地板的方式立起來，從而也可以將

桌子用作電視機。雖然當在小房間裡設置大屏面的電視機時自由使用的空間變小，但是若在桌子內安裝有顯示部則可以有效地利用房間的空間。

圖 13B 示出電視機 9100。在電視機 9100 中，外殼 9101 組裝有顯示部 9103，並且利用顯示部 9103 可以顯示影像。此外，在此示出利用支架 9105 支撐外殼 9101 的結構。

藉由利用外殼 9101 所具備的操作開關、另外提供的遙控器 9110，可以進行電視機 9100 的操作。藉由利用遙控器 9110 所具備的操作鍵 9109，可以進行頻道及音量的操作，並可以對在顯示部 9103 上顯示的影像進行操作。此外，也可以採用在遙控器 9110 中設置顯示從該遙控器 9110 輸出的資訊的顯示部 9107 的結構。

圖 13B 所示的電視機 9100 具備接收機及數據機等。電視機 9100 可以利用接收機接收一般的電視廣播。再者，電視機 9100 藉由數據機連接到有線或無線方式的通信網路，也可以進行單向（從發送者到接收者）或雙向（發送者和接收者之間或接收者之間等）的資訊通信。

可以將上述實施方式中任一個所示的半導體裝置用於顯示部 9103、9107，而能夠對電視機及遙控器賦予高可靠性。

圖 13C 示出電腦，該電腦包括主體 9201、外殼 9202、顯示部 9203、鍵盤 9204、外部連接埠 9205、指向裝置 9206 等。

可以將上述實施方式中任一個所示的半導體裝置用於顯示部 9203，而能夠對電腦賦予高可靠性。

圖 14A 和圖 14B 是能夠折疊的平板終端。圖 14A 是打開的狀態，並且平板終端包括外殼 9630、顯示部 9631a、顯示部 9631b、顯示模式切換開關 9034、電源開關 9035、省電模式切換開關 9036、卡子 9033 以及操作開關 9038。

可以將上述實施方式中任一個所示的半導體裝置用於顯示部 9631a、9631b，而能夠實現可靠性高的平板終端。

在顯示部 9631a 中，可以將其一部分用作觸控式螢幕的區域 9632a，並且可以藉由按觸所顯示的操作鍵 9638 來輸入資料。此外，作爲一個例子在此示出：顯示部 9631a 的一半只具有顯示的功能，並且另一半具有觸控式螢幕的功能，但是不侷限於該結構。也可以採用顯示部 9631a 的全部區域具有觸控式螢幕的功能的結構。例如，可以使顯示部 9631a 的整個面顯示鍵盤按鈕來將其用作觸控式螢幕，並且將顯示部 9631b 用作顯示幕面。

此外，顯示部 9631b 也與顯示部 9631a 同樣，可以將其一部分用作觸控式螢幕的區域 9632b。此外，藉由使用手指或觸控筆等按觸觸控式螢幕的顯示鍵盤顯示切換按鈕 9639 的位置，可以在顯示部 9631b 顯示鍵盤按鈕。

此外，也可以對觸控式螢幕的區域 9632a 和觸控式螢幕的區域 9632b 同時進行按觸輸入。

另外，顯示模式切換開關 9034 能夠進行豎屏顯示和橫屏顯示等顯示的方向的切換以及黑白顯示或彩色顯示等的切換等。根據內置於平板終端中的光感測器所檢測的使用時的外光的光量，省電模式切換開關 9036 可以將顯示的亮度設定爲最適合的亮度。平板終端除了光感測器以外還可以內置陀螺儀和加速度感測器等檢測傾斜度的感測器等的其他檢測裝置。

此外，圖 14A 示出顯示部 9631b 的顯示面積與顯示部 9631a 的顯示面積相同的例子，但是不侷限於此，一方的尺寸和另一方的尺寸可以不同，並且它們的顯示品質也可以不同。例如顯示部 9631a 和顯示部 9631b 中的一方可以進行比另一方更高精細的顯示。

圖 14B 是合上的狀態，並且平板終端包括外殼 9630、太陽能電池 9633、充放電控制電路 9634。此外，在圖 14B 中，作爲充放電控制電路 9634 的一個例子示出具有電池 9635 和 DCDC 轉換器 9636 的結構。

此外，平板終端可以折疊，因此不使用時可以合上外殼 9630。因此，可以保護顯示部 9631a 和顯示部 9631b，而可以提供一種具有良好的耐久性且從長期使用的觀點來看具有良好的可靠性的平板終端。

此外，圖 14A 和圖 14B 所示的平板終端還可以具有如下功能：顯示各種各樣的資訊（靜態影像、動態影像、文字影像等）；將日曆、日期或時刻等顯示在顯示部上；對顯示在顯示部上的資訊進行操作或編輯的觸摸輸入；藉

由各種各樣的軟體（程式）控制處理等。

藉由利用安裝在平板終端的表面上的太陽能電池9633，可以將電力供應到觸控式螢幕、顯示部或影像信號處理部等。注意，太陽能電池 9633 可以設置在外殼 9630 的一面或兩面，因此可以進行高效的電池 9635 的充電。另外，當作爲電池 9635 使用鋰離子電池時，有可以實現小型化等的優點。

另外，參照圖 14C 所示的方塊圖對圖 14B 所示的充放電控制電路 9634 的結構和工作進行說明。圖 14C 示出太陽能電池 9633、電池 9635、DCDC 轉換器 9636、轉換器 9637、開關 SW1 至 SW3 以及顯示部 9631，電池 9635、DCDC 轉換器 9636、轉換器 9637、開關 SW1 至 SW3 對應於圖 14B 所示的充放電控制電路 9634。

首先，說明在利用外光使太陽能電池 9633 發電時的工作的例子。使用 DCDC 轉換器 9636 對太陽能電池所產生的電力進行升壓或降壓以使它成爲用來對電池 9635 進行充電的電壓。並且，當利用來自太陽能電池 9633 的電力使顯示部 9631 工作時使開關 SW1 導通，並且，利用轉換器 9637 將其升壓或降壓到顯示部 9631 所需要的電壓。另外，當不進行顯示部 9631 中的顯示時，可以採用使 SW1 截止且使 SW2 導通來對電池 9635 進行充電的結構。

注意，作爲發電單元的一個例子示出太陽能電池 9633，但是不侷限於此，也可以使用壓電元件（piezoelectric element）或熱電轉換元件（珀耳帖元件

（Peltier element））等其他發電單元進行電池 9635 的充電。例如，電池 9635 也可以使用以無線（不接觸）的方式能夠收發電力來進行充電的無線電力傳輸模組或組合其他充電方法進行充電。

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而實施。

實施例 1

在本實施例中說明對可以應用於根據本發明的一個方式的電晶體的氮化絕緣膜進行評價的結果。詳細地說明對因加熱釋放的氫分子量、因加熱釋放的氨分子量以及因加熱釋放的水分子量進行評價的結果。

首先，說明評價了的樣本的製造方法。所製造的樣本爲結構 1 及結構 2。

結構 1 的樣本以如下方法製造：在矽晶片 991 上使用可以應用於實施方式 1 所示的氮化絕緣膜 25（參照圖 1B）的形成條件利用電漿 CVD 法形成氮化矽膜 993（參照圖 15A）。

氮化矽膜 993 使用條件 1 至條件 3 的 3 個條件形成，將以各個條件形成的樣本稱爲樣本 A1 至樣本 A3。另外，將樣本 A1 至樣本 A3 中的氮化矽膜 993 的厚度都設定爲 50nm。

條件 1 爲如下條件：保存矽晶片 991 的溫度爲 220℃；作爲原料氣體使用流量爲 50sccm 的矽烷、流量爲

5000sccm 的氮、流量爲 100sccm 的氨；處理室內的壓力爲 200Pa；向平行平板電極供應的高頻功率爲 27.12MHz、1000W（功率密度爲 $1.6\times10^{-1}W/cm^2$）。此外，相對於氨的流量的氮的流量比爲 50。

條件 2 爲如下條件：條件 1 中的向平行平板電極供應的高頻功率爲 150W（功率密度爲 $2.5\times10^{-2}W/cm^2$）。

條件 3 爲如下條件：保存矽晶片 991 的溫度爲 220℃；作爲原料氣體使用流量爲 30sccm 的矽烷、流量爲 1500sccm 的氮、流量爲 1500sccm 的氨；處理室內的壓力爲 200Pa；向平行平板電極供應的高頻功率爲 27.12MHz、150W（功率密度爲 $2.5\times10^{-2}W/cm^2$）。此外，相對於氨的流量的氮的流量比爲 1。

對樣本 A1 至樣本 A3 進行 TDS 分析（熱脫附譜分析）。此外，在各樣本中，以 65℃以上且 610℃以下加熱矽晶片 991。

示出 TDS 分析的結果的曲線中的峰值爲當包含在被分析的樣本（本實施例中的樣本 A1 至樣本 A3）中的原子或分子釋放到外部時出現的峰值。另外，釋放到外部的原子或分子的總量相當於該峰值的積分值。因此，根據該峰值強度的高低評價包含在氮化矽膜中的原子或分子的總量。

圖 16A 至圖 16C 以及圖 17A 和圖 17B 示出樣本 A1 至樣本 A3 的 TDS 分析結果。圖 16A 是示出相對於基板溫度的 M/z =2 的氣體，典型地是氫分子的釋放量的圖表。

圖 16B 是示出相對於基板溫度的 M/z =18 的氣體，典型地是水分子的釋放量的圖表。圖 16C 是示出從圖 16A 的曲線的峰值的積分值算出的氫分子釋放量的圖表。圖 17A 是示出相對於基板溫度的 M/z =17 的氣體，典型地是氨分子的釋放量的圖表。圖 17B 是示出從圖 17A 的曲線的峰值的積分值算出的氨分子釋放量的圖表。此外，上述 TDS 分析中的氫分子的檢測下限爲 1.0×10^{21} 分子/cm^3 以下，氨分子的檢測下限爲 2.0×10^{20} 分子/cm^3。

從圖 16A 可確認到樣本 A2 的氫分子的 TDS 強度比樣本 A1 及樣本 A3 高。從圖 16C 可確認到樣本 A2 的相對於基板溫度的氫分子釋放量爲樣本 A1 及樣本 A3 的 5 倍左右。此外，從圖 16B 可確認到在樣本 A1 至樣本 A3 中在基板溫度爲 100℃以上且 200℃以下的範圍示出水分子的釋放的峰值。另外，只在樣本 A3 中在上述範圍檢測出尖峰的峰值。

另一方面，從圖 17A 可確認到樣本 A3 的氨分子的 TDS 強度比樣本 A1 及樣本 A2 高。從圖 17B 可確認到樣本 A3 的相對於基板溫度的氨分子釋放量至少爲樣本 A1 及樣本 A2 的 16 倍以上左右。此外，樣本 A2 的氨分子釋放量爲檢測下限以下。

接著，說明所製造的樣本中的結構 2。結構 2 的樣本以如下方法製造：在矽晶片 991 上使用可以應用於實施方式 4 所示的絕緣膜 24b（參照圖 6B）的形成條件利用電漿 CVD 法形成氧氮化矽膜 995，在氧氮化矽膜 995 上與結構

1 同樣地形成氮化矽膜 993（參照圖 15B）。

在結構 2 的樣本中，爲了對抑制氮化矽膜 993 中的水的移動的效果進行評價，氧氮化矽膜 995 爲氧含量超過化學計量組成的氧氮化矽膜。在此，圖 19A 和圖 19B 示出對在矽晶片上只形成厚度爲 400nm 的氧氮化矽膜 995 的樣本進行 TDS 分析的結果。此外，在各樣本中，以 70℃以上且 570℃以下加熱矽晶片 991。圖 19A 是示出相對於基板溫度的 M/z =32 的氣體，典型地是氧分子的釋放量的圖表。圖 19B 是示出相對於基板溫度的 M/z =18 的氣體，典型地是水分子的釋放量的圖表。在氧含量超過化學計量組成的氧氮化矽膜中包含氧（參照圖 19A）並包含水（參照圖 19B）。由此，在樣本 A4 至樣本 A6 中，藉由對相對於基板溫度的水分子釋放量進行評價，可以評價氮化矽膜 993 是否具有抑制水的移動的效果。

氧氮化矽膜 995 的形成條件爲如下條件：保存矽晶片 991 的溫度爲 220℃；作爲原料氣體使用流量爲 160sccm 的矽烷、流量爲 4000sccm 的一氧化氮；處理室內的壓力爲 200Pa；向平行平板電極供應的高頻功率爲 27.12MHz、1500W（功率密度爲 $2.5\times10^{-1}W/cm^2$）。氧氮化矽膜 995 的厚度爲 400nm。

在結構 2 的樣本中，氮化矽膜 993 使用上述條件 1 至條件 3 的 3 個條件形成，將以各個條件形成的樣本稱爲樣本 A4 至樣本 A6。另外，將樣本 A4 至樣本 A6 中的氮化矽膜 993 的厚度都設定爲 50nm。條件 1 至條件 3 的詳細

內容與結構 1 的情況相同。

在結構 2 中，爲了對抑制水的移動的效果進行評價，對樣本 A4 至樣本 A6 進行 TDS 分析（熱脫附譜分析）。此外，在各樣本中，以 70℃以上且 580℃以下加熱矽晶片 991。

圖 18A 和圖 18B 示出樣本 A4 至樣本 A6 的 TDS 分析結果。圖 18A 是示出相對於基板溫度的氫分子釋放量的圖表。圖 18B 示出相對於基板溫度的水分子釋放量的圖表。

從圖 18A 可確認到樣本 A5 的氫分子的 TDS 強度比樣本 A4 及樣本 A6 高。此外，從圖 18B 可確認到水分子的 TDS 強度的較小的峰值，但是在樣本 A4 至樣本 A6 中沒有確認到很大的差別。

在結構 2 中可確認到，雖然樣本 A4 至樣本 A6 具有包含水的氧氮化矽膜 995，但是示出水分子的脫離的峰值的強度極低。因此，可以說樣本 A4 至樣本 A6 的各條件爲可以形成具有抑制水的移動的效果的絕緣膜的條件。

但是，具有使用與樣本 A5 相同的條件的氮化矽膜的樣本 A2 的氫分子釋放量較多，樣本 A3 的氨分子釋放量較多。在具有氧化物半導體的電晶體中，當氧化物半導體膜中包含氫及氮時，在氧化物半導體膜中有可能產生作爲載子的電子，而電晶體成爲常截止特性。由此，氫分子及作爲氮的供應源的氨分子都是使電晶體的電特性變動的雜質。例如，如樣本 A3 那樣氨分子的釋放量較多意味著氮供應源較多，藉由將上述那樣的絕緣膜形成在電晶體上或

在電晶體的閘極絕緣膜上，電晶體成爲常導通特性。

於是，藉由在具有氧化物半導體膜的電晶體上設置如使用在樣本 A1 及樣本 A4 中使用的條件 1 形成氮化矽膜那樣氫分子的釋放量及氨分子的釋放量少的氮化絕緣膜，可以製造抑制了電特性變動的電晶體或提高了可靠性的電晶體。此外，藉由在具有氧化物半導體膜的電晶體的閘極絕緣膜上設置如使用在樣本 A1 及樣本 A4 中使用的條件 1 形成氮化矽膜那樣氫分子的釋放量及氨分子的釋放量少的氮化絕緣膜，可以製造抑制了電特性變動的電晶體或提高了可靠性的電晶體。

接著，製造包括利用上述條件 1 至條件 3 形成的氮化矽膜的電晶體，並對 Vg-Id 特性進行測量。

首先，對包含於樣本 B1 至樣本 B3 中的電晶體的製程進行說明。參照圖 2A 至圖 2D 對本實施例進行說明。

首先，如圖 2A 所示，作爲基板 11 使用玻璃基板，並在基板 11 上形成閘極電極 15。

利用濺射法形成厚度爲 100nm 的鎢膜，並利用光微影製程在該鎢膜上形成遮罩，利用該遮罩對該鎢膜的一部分進行蝕刻而形成閘極電極 15。

接著，在閘極電極 15 上形成閘極絕緣膜 18。

作爲閘極絕緣膜，形成厚度爲 50nm 的氮化矽膜及厚度爲 200nm 的氧氮化矽膜的疊層。在如下條件下形成氮化矽膜：向電漿 CVD 設備的處理室中供應矽烷 50sccm、氮 5000sccm，將處理室內的壓力控制爲 60Pa，使用

27.12MHz 的高頻電源供應 150W 的功率。在如下條件下形成上述氧氮化矽膜：向電漿 CVD 設備的處理室供應矽烷 20sccm、一氧化二氮 3000sccm，將處理室內的壓力控制爲 40Pa，使用 27.12MHz 的高頻電源供應 100W 的功率。另外，上述氮化矽膜及上述氧氮化矽膜在基板溫度爲 350℃的條件下形成。

接著，隔著閘極絕緣膜 18 形成與閘極電極 15 重疊的氧化物半導體膜 19。

這裡，在閘極絕緣膜 18 上利用濺射法形成作爲 CAAC-OS 膜的 IGZO 膜，並且利用光微影製程在該 IGZO 膜上形成遮罩，利用該遮罩對該 IGZO 膜的一部分進行蝕刻。然後，對被蝕刻的 IGZO 膜進行加熱處理形成氧化物半導體膜 19。另外，在本實施例中形成厚度爲 35nm 的 IGZO 膜。

IGZO 膜在如下條件下形成：作爲濺射靶材使用 In：Ga：Zn=1：1：1（原子數比）的靶材，向濺射裝置的處理室內供應作爲濺射氣體的 50sccm 的 Ar 和 50sccm 的氧，將處理室內的壓力控制爲 0.6Pa，並供應 5kW 的直流電力。另外，形成 IGZO 膜時的基板溫度爲 170℃。

接著，進行加熱處理以使氧化物半導體膜中含有的水、氫等釋放出去。這裡，在氮氛圍下以 450℃進行 1 小時的加熱處理，然後在氮及氧氛圍下以 450℃進行 1 小時的加熱處理。

藉由上述製程形成的結構可以參照圖 2B。

接著，對閘極絕緣膜 18 的一部分進行蝕刻使閘極電極露出（未圖示），然後，如圖 2C 所示，形成接觸於氧化物半導體膜 19 的一對電極 21。

在閘極絕緣膜 18 及氧化物半導體膜 19 上形成導電膜，利用光微影製程在該導電膜上形成遮罩，並利用該遮罩對該導電膜的一部分進行蝕刻形成一對電極 21。注意，該導電膜在厚度爲 50nm 的鎢膜上形成厚度爲 400nm 的鋁膜，並在該鋁膜上形成厚度爲 100nm 的鈦膜而形成。

接著，將基板轉移到減壓了的處理室中，在以 220℃進行加熱後，將基板轉移到充滿了一氧化二氮的處理室中。接著，將氧化物半導體膜 19 暴露於藉由利用 27.12MHz 的高頻電源對設置於處理室內的上部電極供應 150W 的高頻功率而生成的氧電漿中。

接著，在上述電漿處理之後，在不暴露於大氣的情況下連續地在氧化物半導體膜 19 及一對電極 21 上形成絕緣膜 23。作爲絕緣膜 23 形成厚度爲 50nm 的第一氧氮化矽膜及厚度爲 400nm 的第二氧氮化矽膜的疊層。

作爲第一氧氮化矽膜利用電漿 CVD 法在如下條件下形成：作爲原料氣體使用流量爲 30sccm 的矽烷及流量爲 4000sccm 的一氧化二氮，將處理室的壓力設定爲 40Pa，基板溫度爲 220℃，並對平行平板電極供應 150W 的高頻功率。

作爲第二氧氮化矽膜可以利用電漿 CVD 法在如下條

件下形成：作爲原料氣體使用流量爲 160sccm 的矽烷及流量爲 4000sccm 的一氧化二氮，將處理室的壓力設定爲 200Pa，將基板溫度設定爲 220℃，並對平行平板電極供應 1500W 的高頻功率。利用上述條件可以形成氧含量超過化學計量組成且藉由加熱氧的一部分發生脫離的氧氮化矽膜。

接著，進行加熱處理以使絕緣膜 23 中的水、氫等釋放出去。這裡，在氮及氧氛圍下以 350℃進行 1 小時的加熱處理。

接著，如圖 2D 所示，在絕緣膜 23 上形成氮化絕緣膜 25。

在樣本 B1 中，作爲氮化絕緣膜 25，利用樣本 A1 的條件 1 形成氮化矽膜。

在樣本 B2 中，作爲氮化絕緣膜 25，利用樣本 A2 的條件 2 形成氮化矽膜。

在樣本 B3 中，作爲氮化絕緣膜 25，利用樣本 A3 的條件 3 形成氮化矽膜。

接著，雖然沒有進行圖示，對絕緣膜 23 及氮化絕緣膜 25 的一部分進行蝕刻來形成露出有一對電極的一部分的開口部。

接著，在氮化絕緣膜 25 上形成平坦化膜（未圖示）。這裡，將組成物塗敷於氮化絕緣膜 25 之上，然後進行曝光及顯影，來形成具有露出一對電極的一部分的開口部的平坦化膜。另外，作爲平坦化膜形成厚度爲 1.5μm

的丙烯酸樹脂。然後，進行加熱處理。作爲該加熱處理，在溫度爲 250℃的含有氮的氛圍中進行 1 小時。

接著，形成與一對電極的一部分連接的導電膜（未圖示）。這裡，利用濺射法形成厚度爲 100nm 的含有氧化矽的 ITO。

藉由上述製程，製造樣本 B1 至樣本 B3 中的電晶體。

接著，測量樣本 B1 至樣本 B3 的電晶體的 Vg-Id 特性。

接著，作爲耐濕評價的加速壽命試驗進行高壓爐試驗（PCT：Pressure Cooker Test）。在本實施例中作爲 PCT 試驗，將樣本 B1 至樣本 B3 保持溫度 130℃、濕度 85%、壓力 0.23MPa 的條件下 15 小時。

圖 20A 至圖 22C 示出包括在樣本 B1 至樣本 B3 中的電晶體的 Vg-Id 特性的初期特性以及高壓爐試驗後的包括在樣本 B1 至樣本 B3 中的各電晶體的 Vg-Id 特性。

另外，在各樣本中，分別測量了通道長度（L）爲 2μm、通道寬度（W）爲 50μm 的電晶體 1 及通道長度（L）爲 6μm、通道寬度（W）爲 50μm 的電晶體 2 的 Vg-Id 特性。在各樣本中，電晶體 1 的初期特性示於各圖 A，電晶體 2 的初期特性示於各圖 B，電晶體 2 的高壓爐試驗後的 Vg-Id 特性示於各圖 C。另外，在各樣本中，在基板內製造具有相同結構的 24 個電晶體。

圖 21A 所示的 Vg-Id 特性不具有開關特性。另外，圖

22A 所示的 Vg-Id 特性的臨界電壓偏差較大。但是，圖 20A 所示的 Vg-Id 特性具有良好的開關特性，並且臨界電壓的偏差較少。

與圖 21B 所示的 Vg-Id 特性的初期特性相比，可知圖 20B 及圖 22B 所示的 Vg-Id 特性的初期特性的臨界電壓偏差較少。

與圖 21C 及圖 22C 所示的高壓爐試驗後的 Vg-Id 特性相比，圖 20C 所示的 Vg-Id 特性具有良好的開關特性。

由上述結果可知，藉由在電晶體上形成氫分子的釋放量及氨分子的釋放量少的氮化絕緣膜，可以降低臨界電壓的負向漂移並提高電晶體的可靠性。

接著，利用與本實施例的樣本 B1 至樣本 B3 相同的製程並以條件 1 至條件 3 之外的條件形成氮化絕緣膜 25，由此製造多個樣本。另外，在各樣本中，在基板內形成 24 個具有相同結構的電晶體，並對各電晶體的 Vg-Id 特性的初期特性進行比較。注意，在各電晶體中，通道長度（L）爲 2μm，通道寬度（W）爲 50μm。

圖 23 示出在利用與樣本 B1 至樣本 B3 相同的製程並使用條件 1 至條件 3 以外的條件形成氮化絕緣膜 25 的多個樣本中，氮化絕緣膜 25 的氫分子釋放量及氨分子釋放量與電晶體的 Vg-Id 特性的初期特性的關係。

在圖 23 中，橫軸表示氮化絕緣膜 25 的氫分子釋放量，縱軸表示氮化絕緣膜 25 的氨分子釋放量。另外，在圖 23 中，圓圈表示基板內的 24 個電晶體的最大臨界電壓

與最小臨界電壓的差（Vth_max-Vth_min）爲 1V 以下。另外，三角表示 Vth_max-Vth_min 大於 1V 且爲 3V 以下。另外，叉號表示 Vth_max-Vth_min 大於 3V。

在圖 23 中，在從氮化絕緣膜 25 釋放出的氫分子量低於 5×10^{21} 分子/cm^3 且從氮化絕緣膜 25 釋放出的氨分子量低於 1×10^{22} 分子/cm^3 的區域中，叉號不示出於圖表上。由此可知，藉由在電晶體上設置氫分子的釋放量低於 5×10^{21} 分子/cm^3 且氨分子的釋放量低於 1×10^{22} 分子/cm^3 的氮化絕緣膜，可以降低電晶體的臨界電壓的偏差。另外，可以抑制臨界電壓的負向漂移。

【符號說明】

1：電晶體

3：電晶體

5：電晶體

7：電晶體

9：電晶體

11：基板

15：閘極電極

18：閘極絕緣膜

19：氧化物半導體膜

21：電極

23：絕緣膜

24a：絕緣膜

24b：絕緣膜

25：氮化絕緣膜

26：保護膜

27：平坦化膜

28：保護膜

29：導電膜

30：開口部

31：基板

33：基底絕緣膜

34：氧化物半導體膜

35：電極

37：絕緣膜

38a：絕緣膜

38b：絕緣膜

39：氮化絕緣膜

40：閘極絕緣膜

41：閘極電極

42：閘極絕緣膜

43：平坦化膜

45：導電膜

47：開口部

61：閘極電極

601：基板

602：光電二極體

606a：半導體膜

606b：半導體膜

606c：半導體膜

608：黏合層

613：基板

632：絕緣膜

633：平坦化膜

634：平坦化膜

640：電晶體

641a：電極

641b：電極

642：電極

643：導電膜

645：導電膜

656：電晶體

658：光電二極體重設信號線

659：閘極信號線

671：光電感測器輸出信號線

672：光電感測器基準信號線

901：基板

902：像素部

903：信號線驅動電路

904：掃描線驅動電路

905：密封材料

906：基板

908：液晶層

910：電晶體

911：電晶體

913：液晶元件

915：連接端子電極

915a：連接端子電極

915b：連接端子電極

916：端子電極

917：導電膜

918：FPC

918b：FPC

919：各向異性導電劑

921：平坦化膜

922：閘極絕緣膜

923：絕緣膜

924：絕緣膜

925：密封材料

930：電極

931：電極

932：絕緣膜

933：絕緣膜

935：間隔物

936：密封材料

941：電極

943：液晶元件

944：絕緣膜

950：氮化矽膜

951：電極

955：連接端子電極

960：分隔壁

961：發光層

963：發光元件

964：填充材料

971：源極電極

973：汲極電極

975：共用電位線

977：共用電極

985：共用電位線

987：共用電極

991：矽晶片

993：氮化矽膜

995：氧氮化矽膜

9000：桌子

9001：外殼

9002：桌腿

9003：顯示部

9004：顯示按鈕

9005：電源供應線

9033：卡子

9034：開關

9035：電源開關

9036：開關

9038：操作開關

9100：電視機

9101：外殼

9103：顯示部

9105：支架

9107：顯示部

9109：操作鍵

9110：遙控器

9201：主體

9202：外殼

9203：顯示部

9204：鍵盤

9205：外部連接埠

9206：指向裝置

9630：外殼

9631：顯示部

9631a：顯示部

9631b：顯示部

9632a：區域

9632b：區域

9633：太陽能電池

9634：充放電控制電路

9635：電池

9636：DCDC 轉換器

9637：轉換器

9638：操作鍵

9639：按鈕

公告本

I641141

發明摘要

※申請案號：102121959

※申請日：102 年 06 月 20 日　　※IPC 分類：*H01L 29/78* (2006.01)
H01L 29/40 (2006.01)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【中文】

在具有氧化物半導體膜的電晶體中，抑制氫及氮移動到氧化物半導體膜。此外，在使用具有氧化物半導體的電晶體形成的半導體裝置中，抑制電特性的變動而提高可靠性。本發明的一個方式包括具有氧化物半導體膜的電晶體及設置在該電晶體上的氮化絕緣膜，藉由熱脫附譜分析法，從該氮化絕緣膜釋放出的氫分子量小於 5×10^{21} 分子/cm^3，較佳爲 3×10^{21} 分子/cm^3 以下，更佳爲 1×10^{21} 分子/cm^3 以下，且從該氮化絕緣膜釋放出的氨分子量小於 1×10^{22} 分子/cm^3，較佳爲 5×10^{21} 分子/cm^3 以下，更佳爲 1×10^{21} 分子/cm^3 以下。

【英文】

In a transistor including an oxide semiconductor film, movement of hydrogen and nitrogen to the oxide semiconductor film is suppressed. Further, in a semiconductor device using a transistor including an oxide semiconductor film, a change in electrical characteristics is suppressed and reliability is improved. A transistor including an oxide semiconductor film and a nitride insulating film provided over the transistor are included, and an amount of hydrogen molecules released from the nitride insulating film by thermal desorption spectroscopy is less than 5×10^{21} molecules/cm^3, preferably less than or equal to 3×10^{21} molecules/cm^3, more preferably less than or equal to 1×10^{21} molecules/cm^3, and an amount of ammonia molecules released from the nitride insulating film by thermal desorption spectroscopy is less than 1×10^{22} molecules/cm^3, preferably less than or equal to 5×10^{21} molecules/cm^3, more preferably less than or equal to 1×10^{21} molecules/cm^3.

圖 式

圖 1A

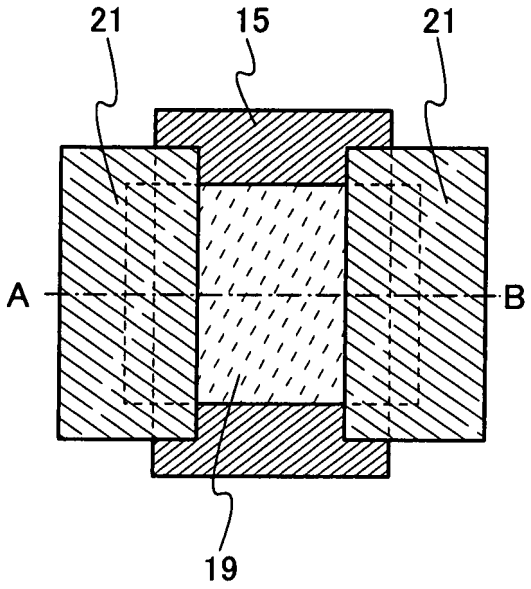


圖 1B

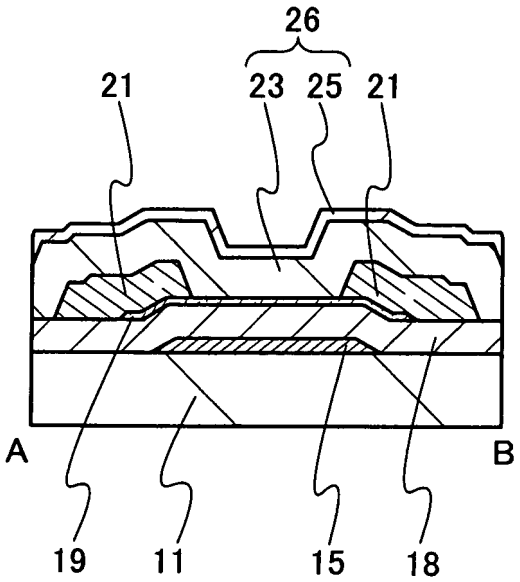


圖 2A

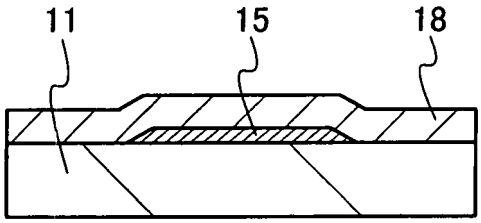


圖 2B

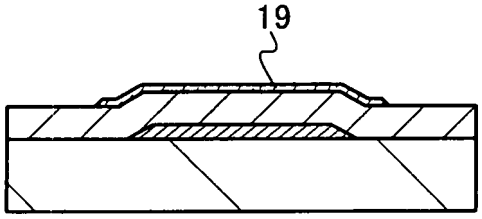


圖 2C

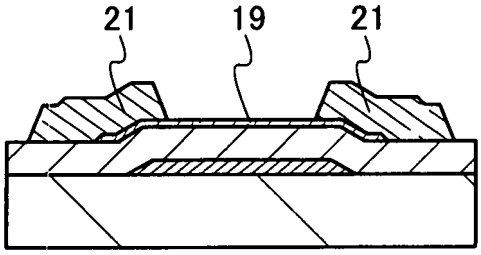


圖 2D

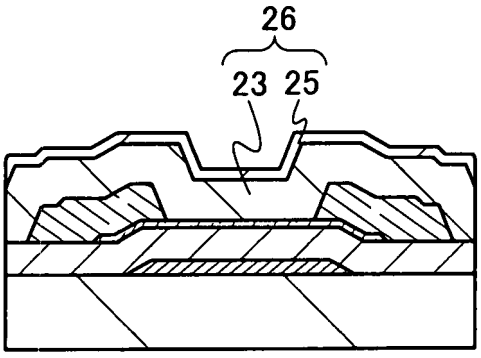


圖 3A

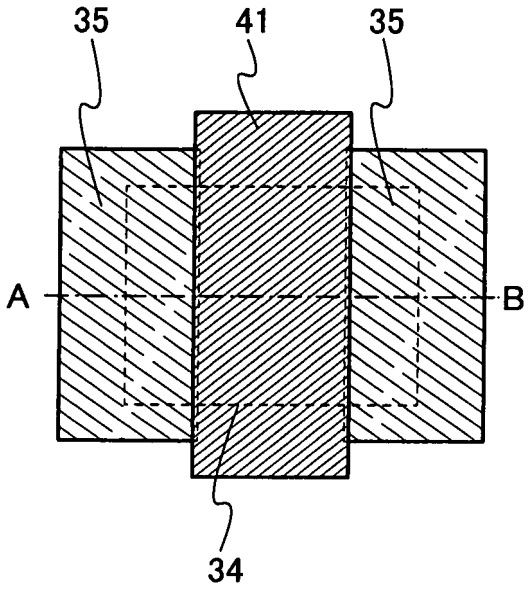


圖 3B

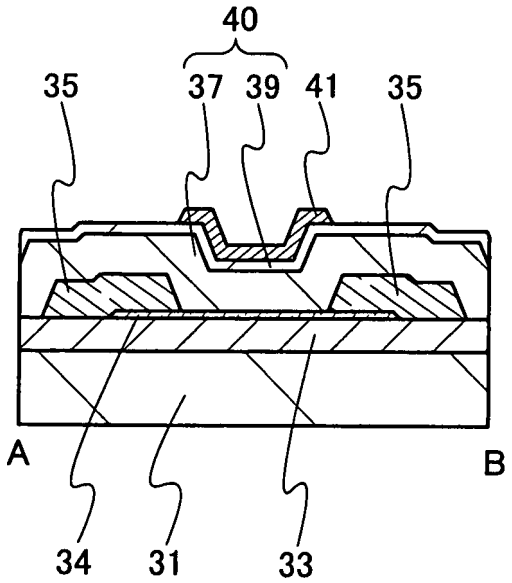


圖 4A

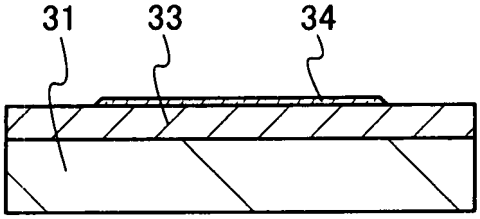


圖 4B

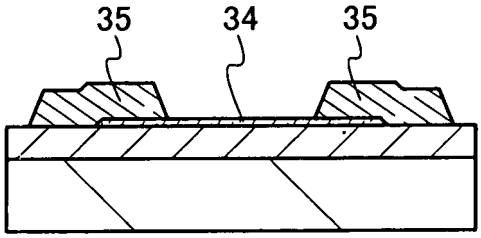


圖 4C

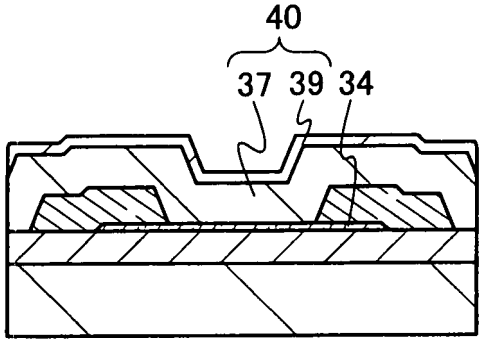


圖 4D

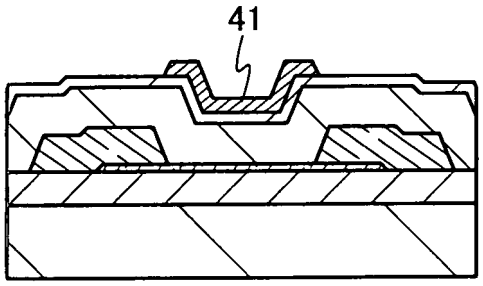


圖 5

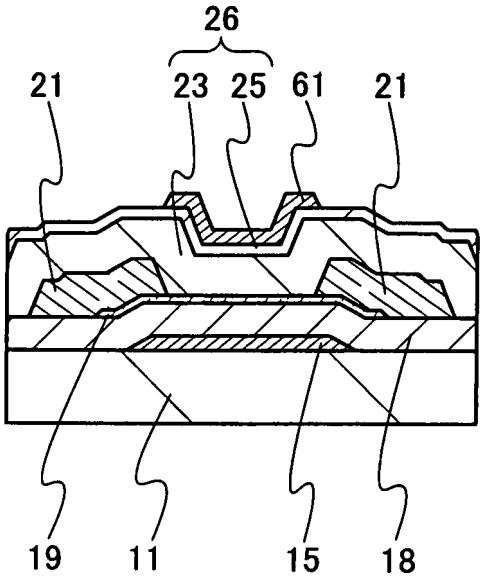


圖 6A

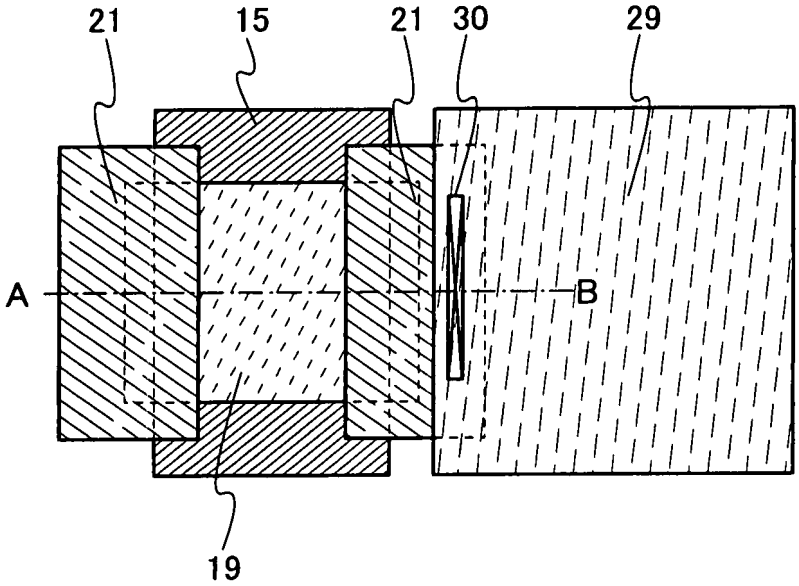


圖 6B

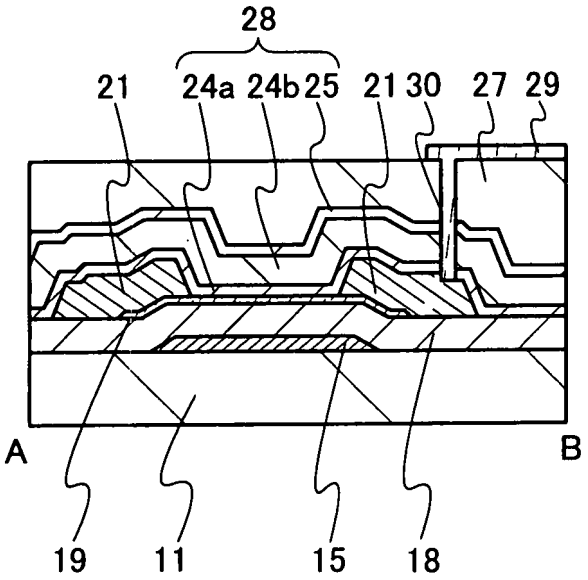


圖 7A

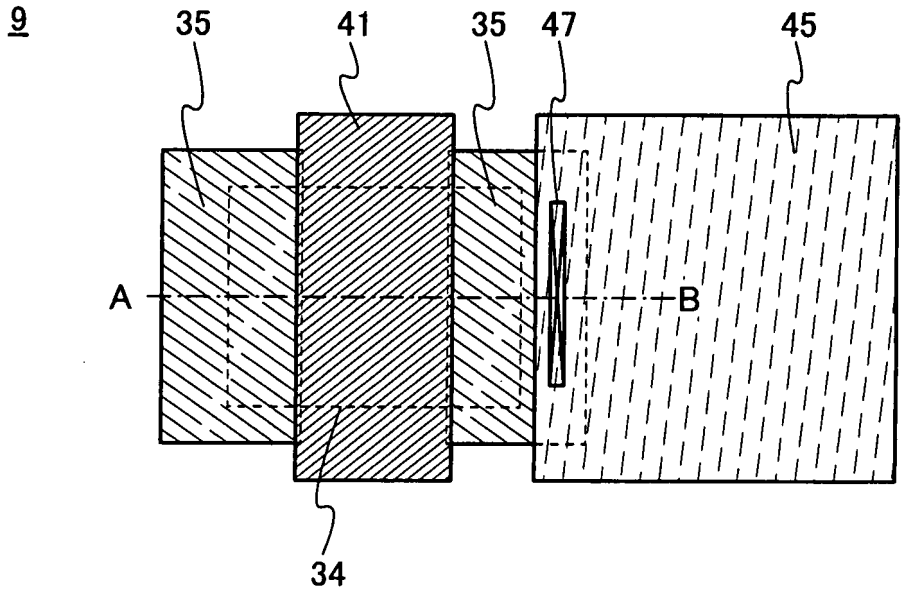


圖 7B

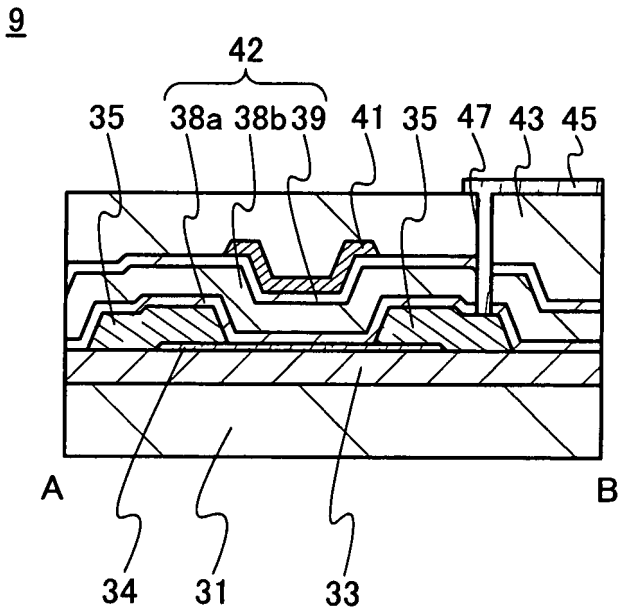


圖 8A

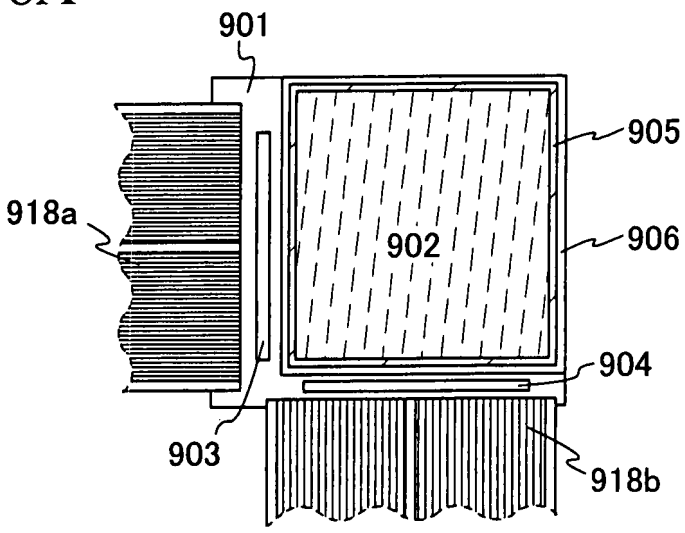

901
905
918a
902
906
904
903
918b

圖 8B

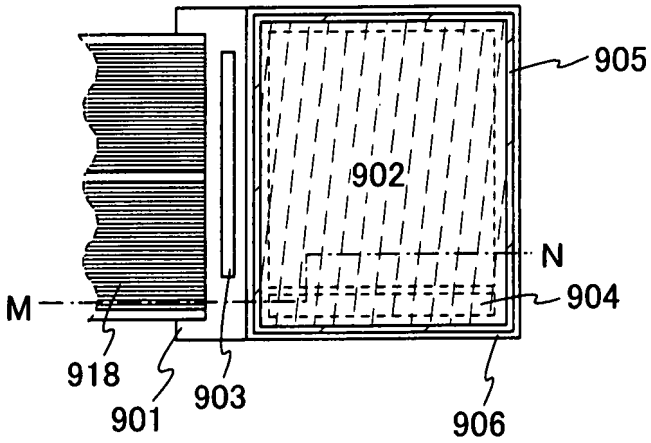
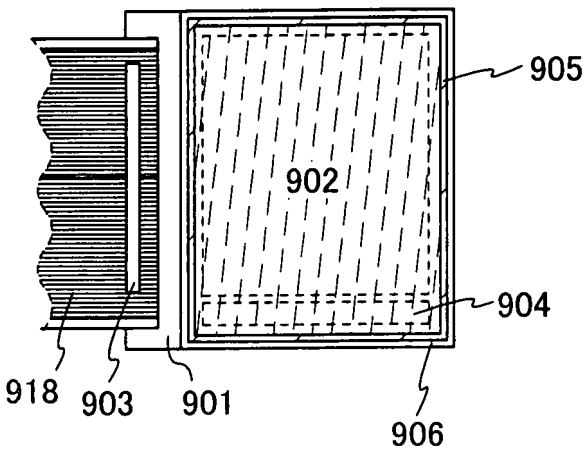

905
902
N
M
904
918
901
903
906

圖 8C


905
902
904
918
903
901
906

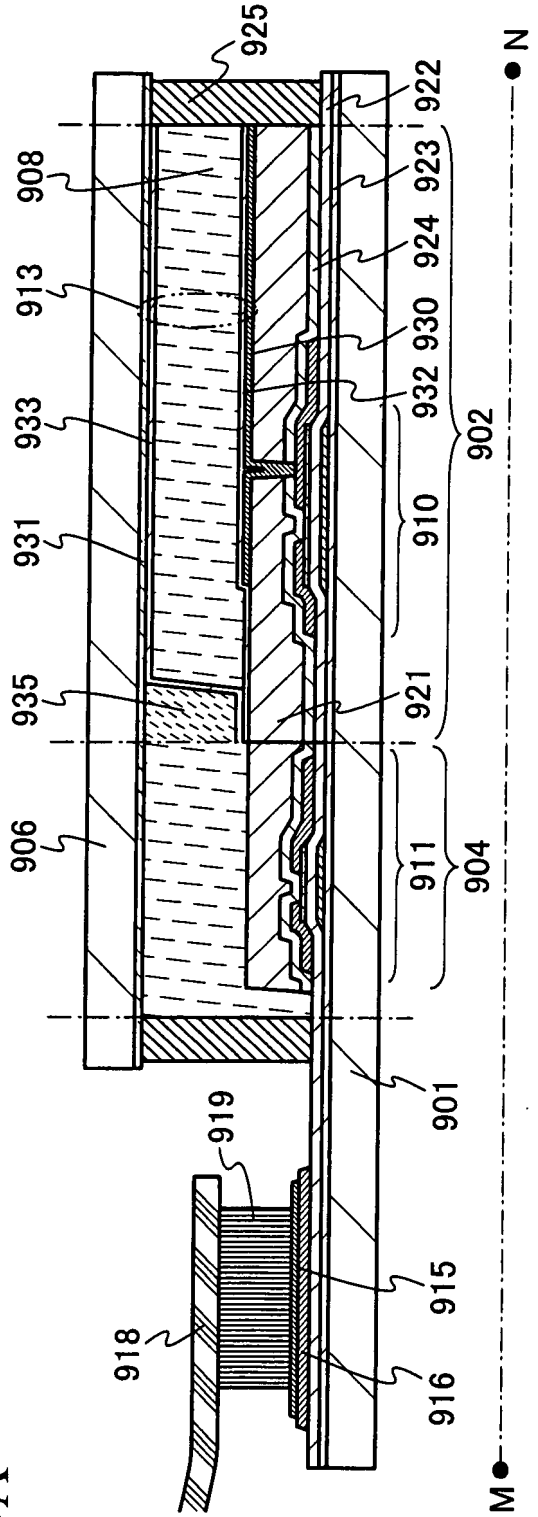

925
922
908
923
913
924
930
933
932
931
910
902
935
921
906
911
904
901
919
915
918
916
N
M

圖 9A

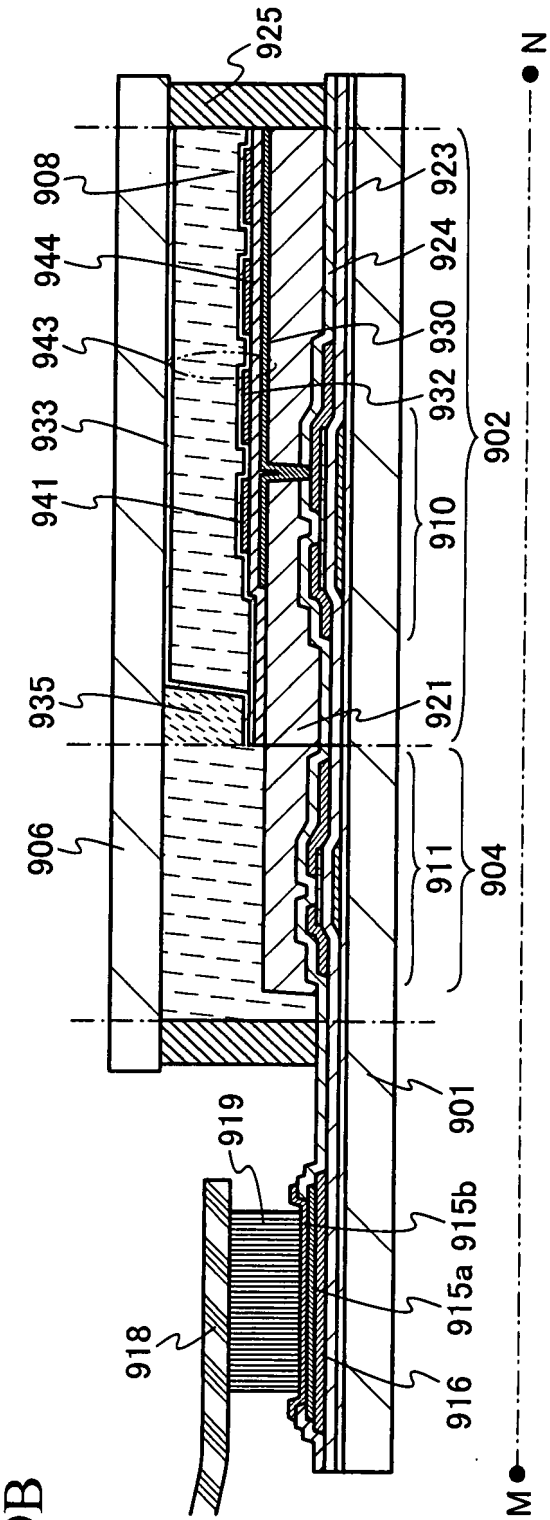

925
908
944
923
924
943
930
933
932
941
910
902
935
921
906
911
904
901
919
915b
915a
918
916
N
M

圖 9B

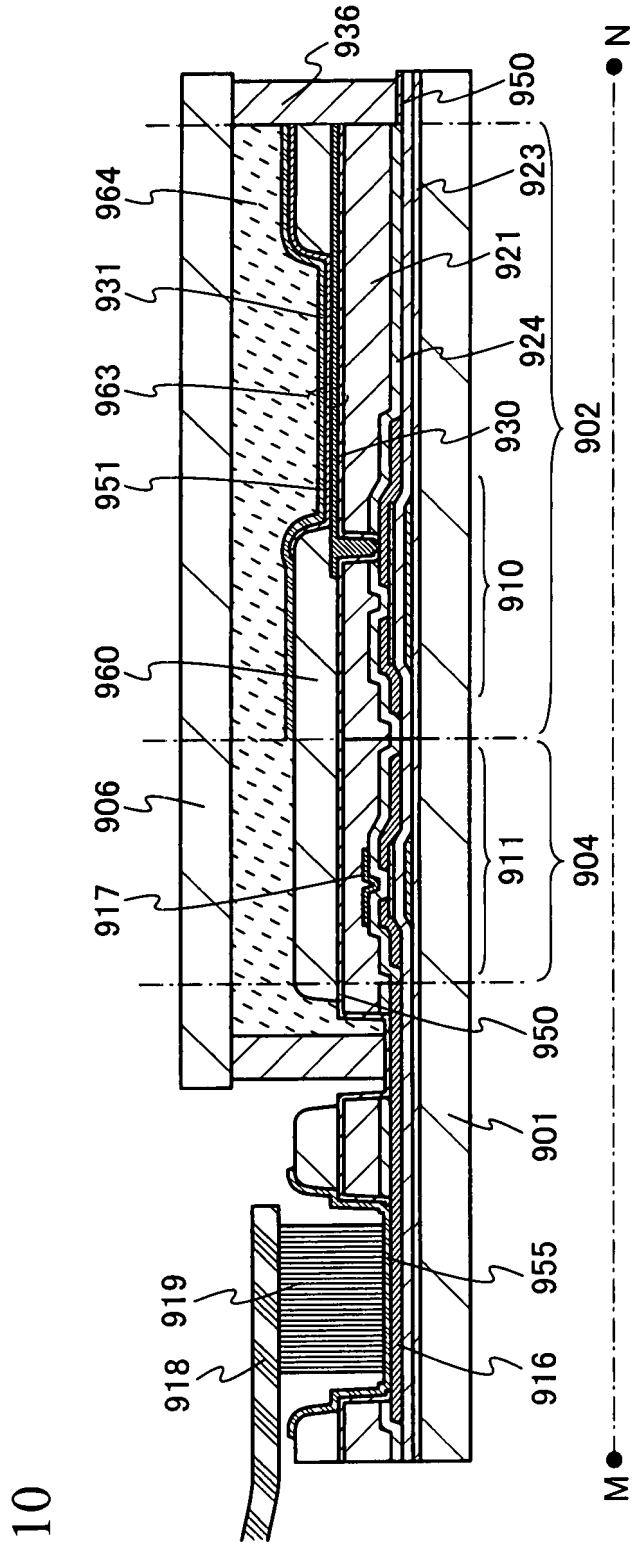

936
950
964
923
931
921
924
963
930
902
951
910
960
906
911
904
917
950
901
955
919
916
918
N
M

圖 10

圖 11A

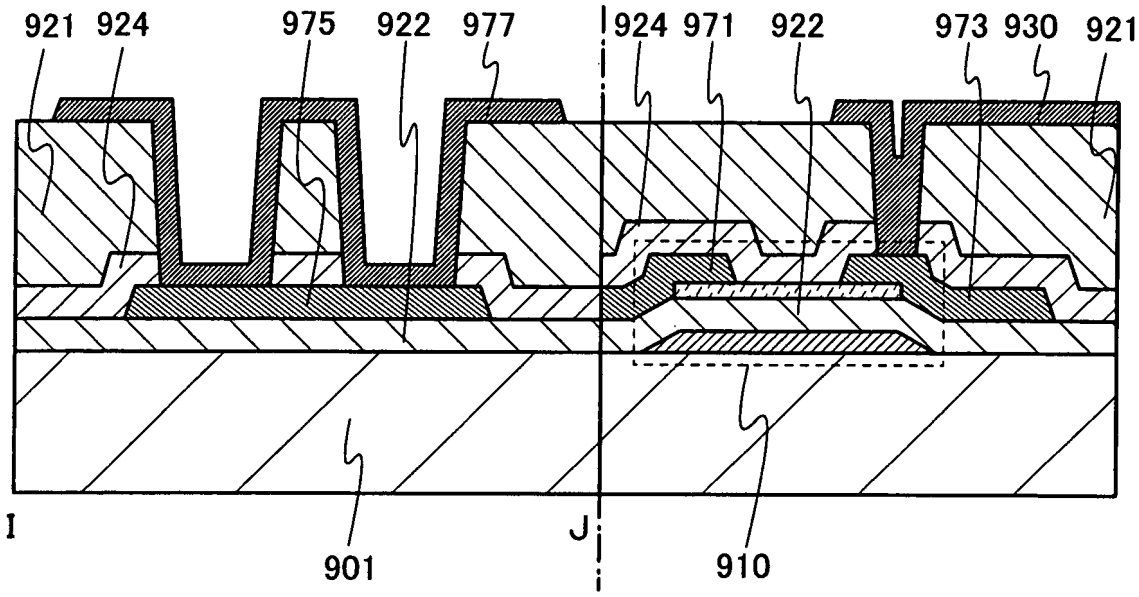


圖 11B

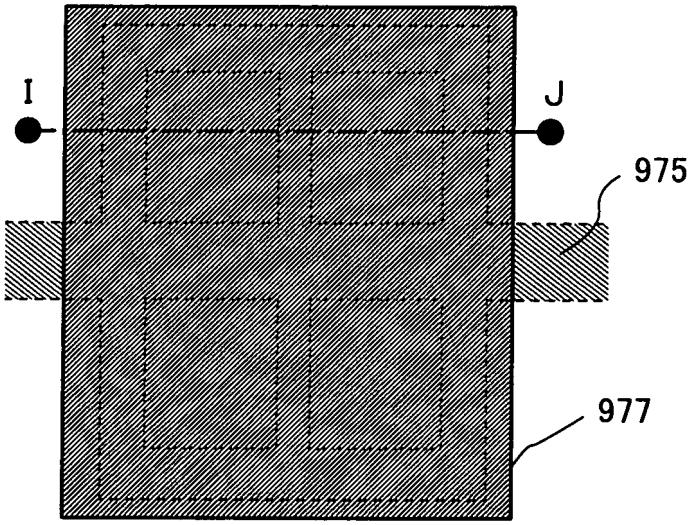
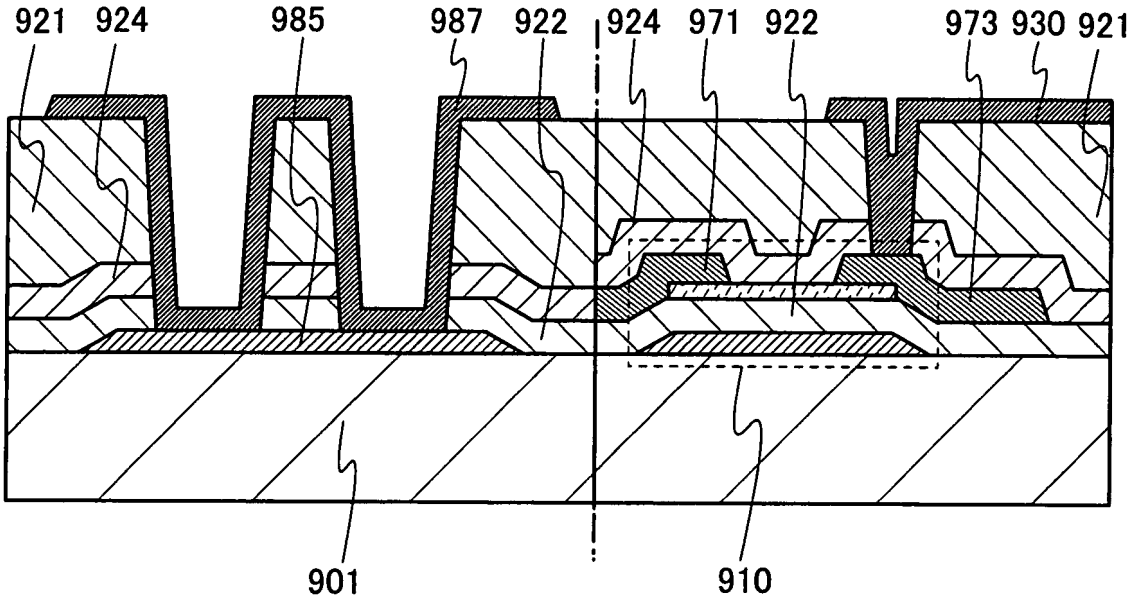


圖 11C



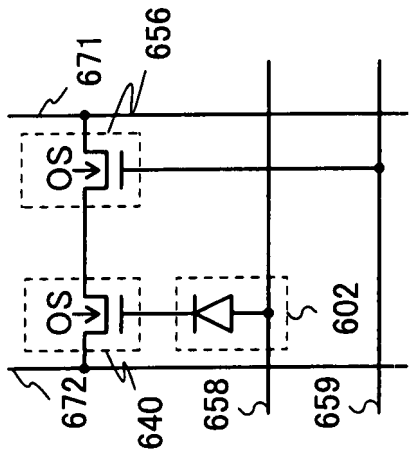

671
656
OS
OS
672
640
658
659
602

圖 12A

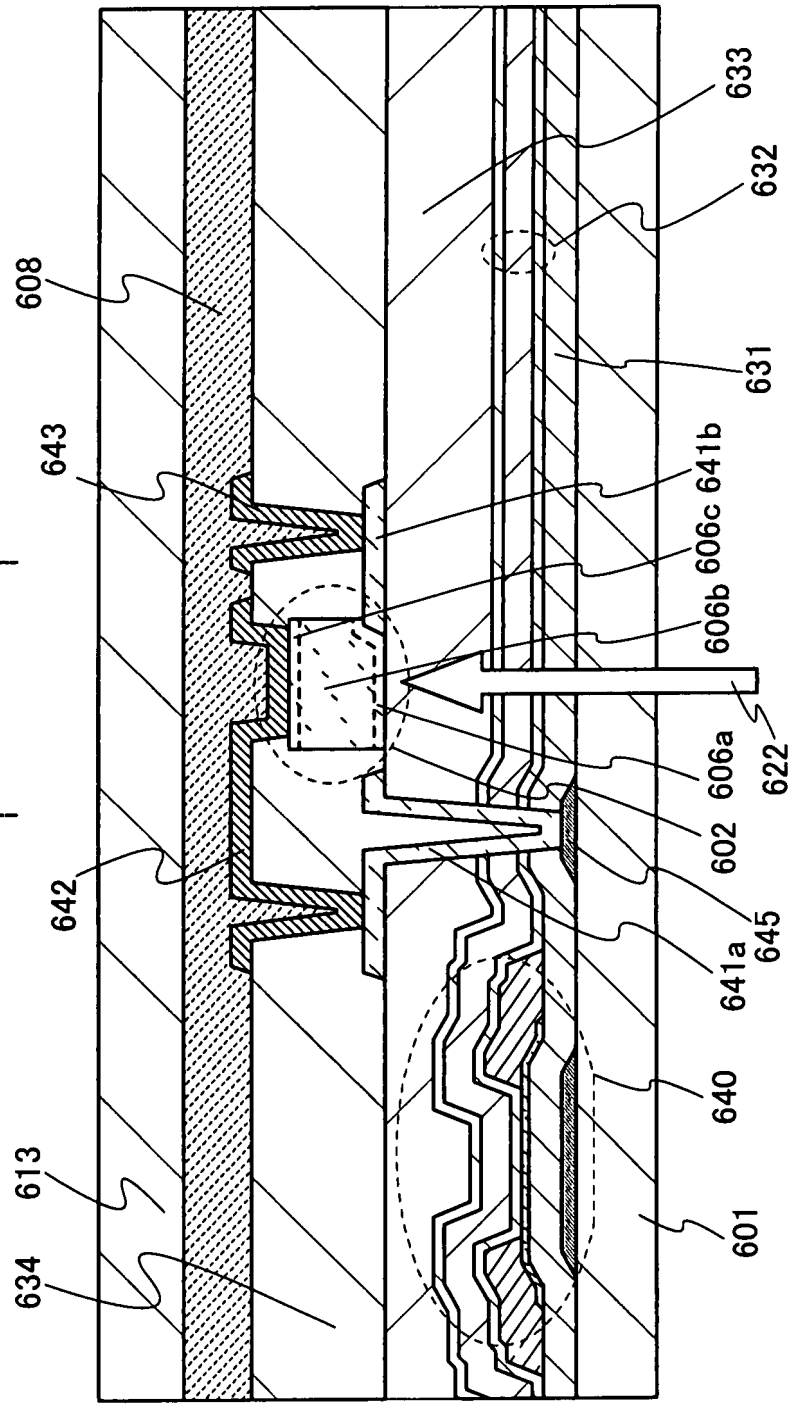

608
643
642
613
634
633
632
631
641b
606c
606b
606a
622
602
645
641a
640
601

圖 12B

圖 13A

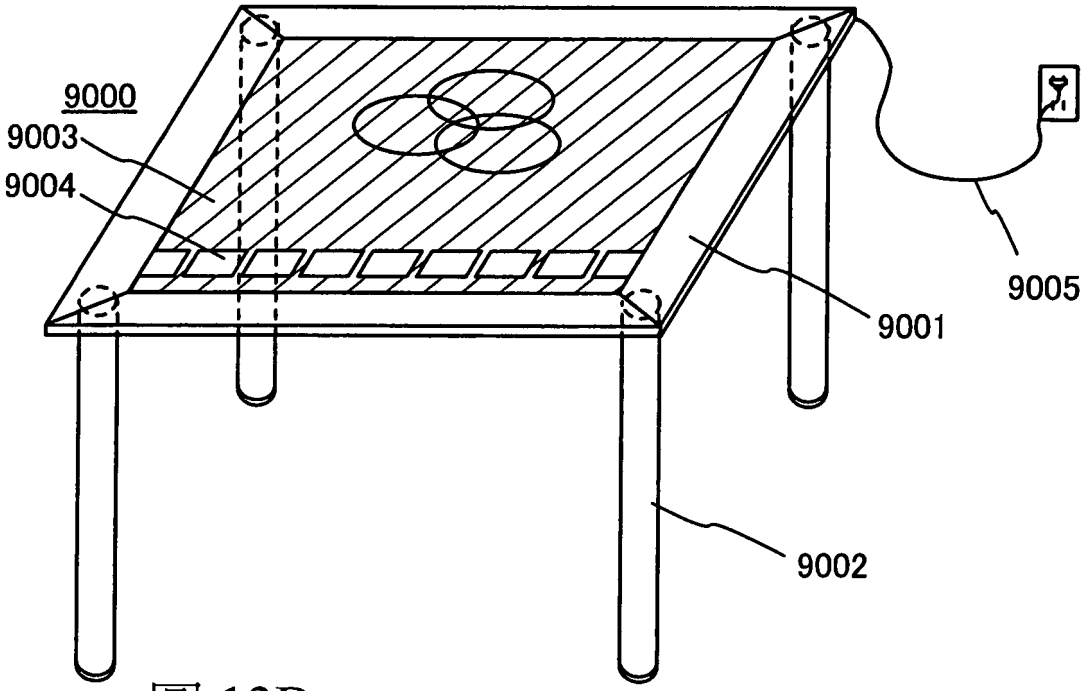


圖 13B

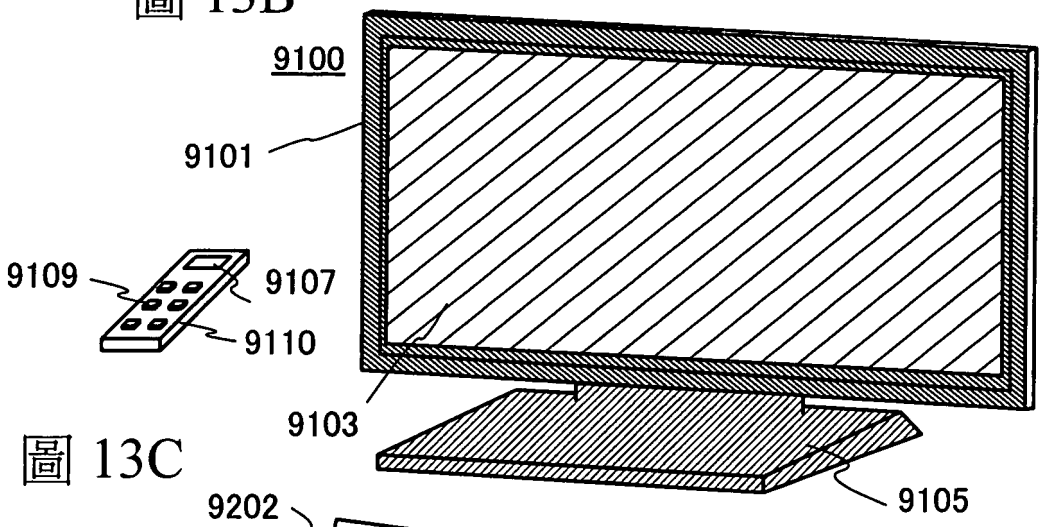


圖 13C

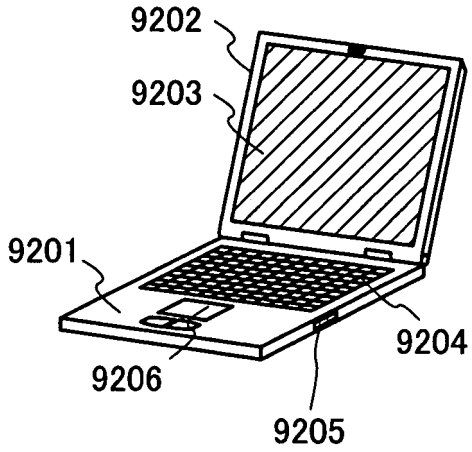


圖 14A

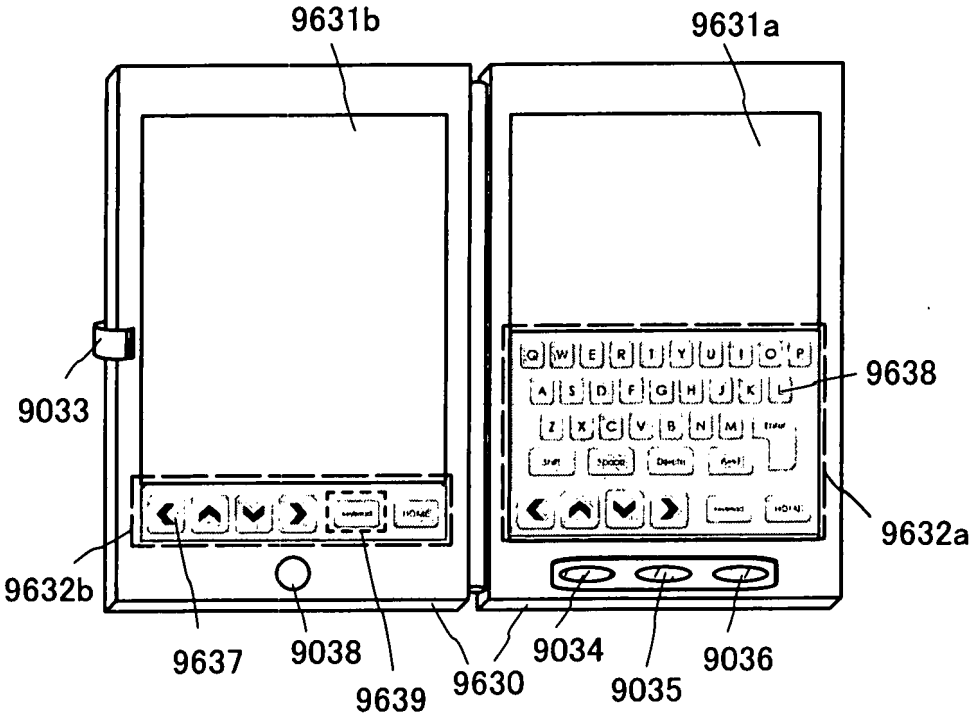


圖 14B

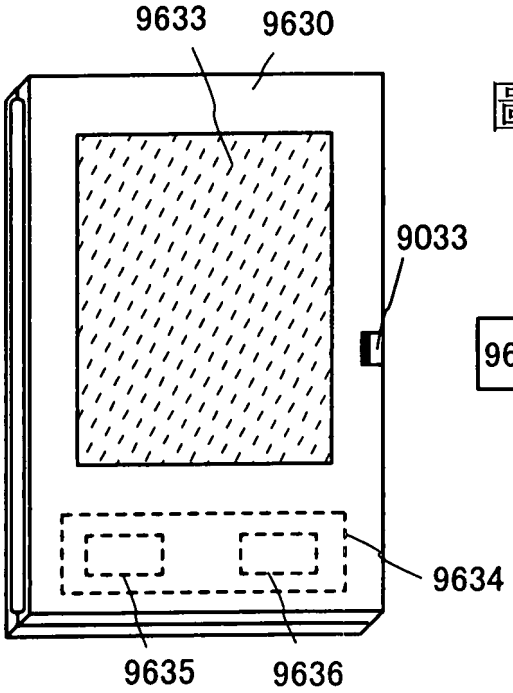


圖 14C

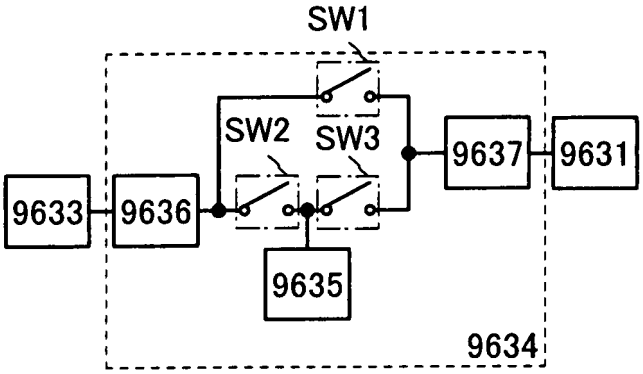


圖 15A

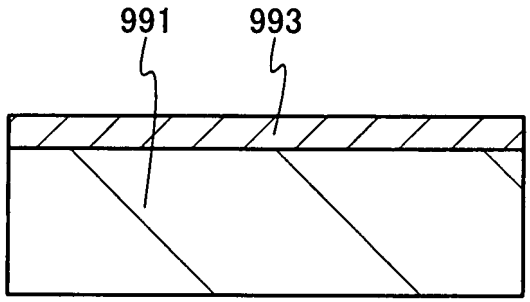


圖 15B

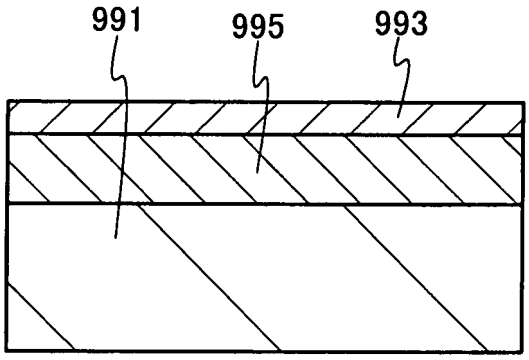


圖 16A

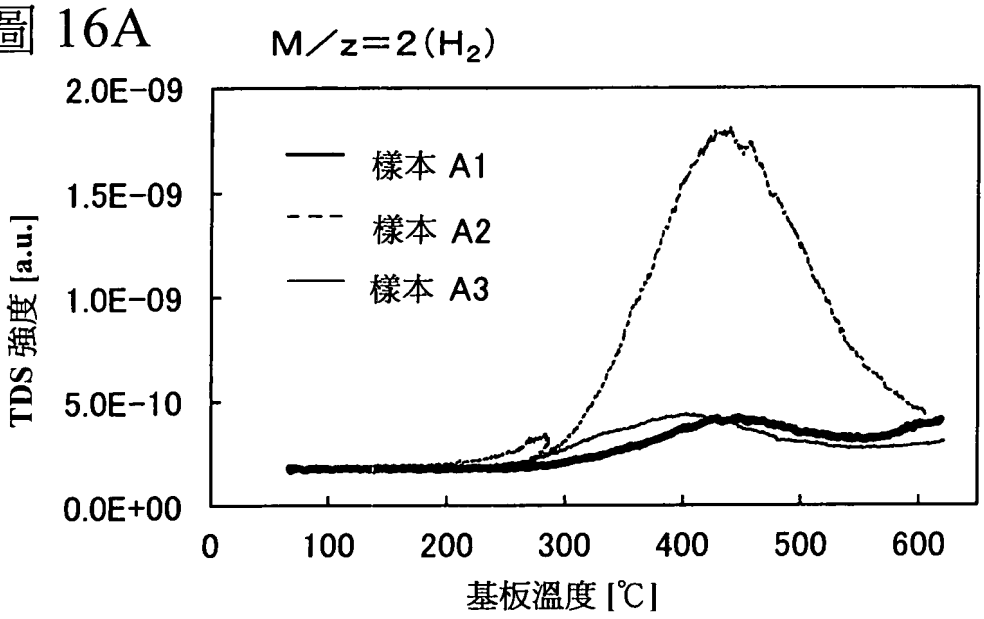


圖 16B

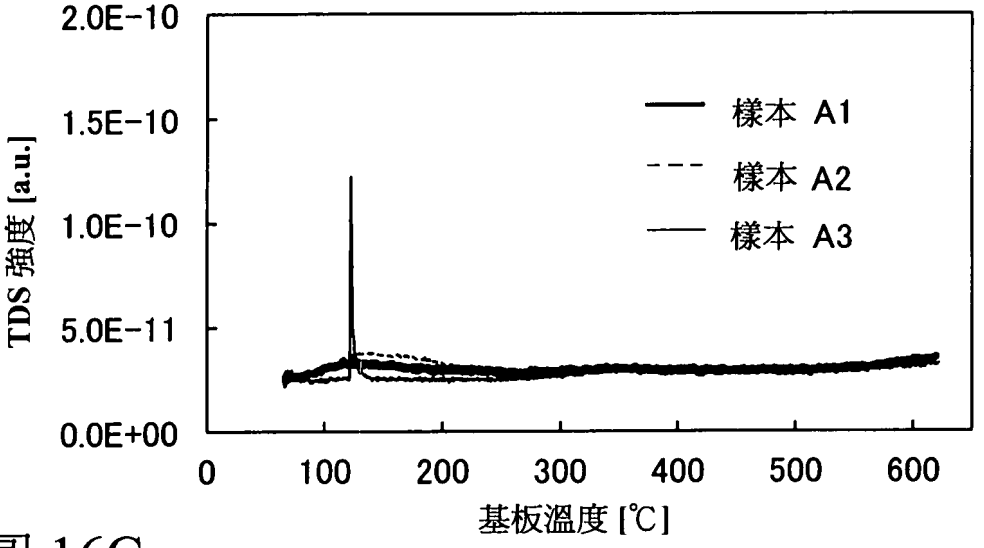


圖 16C

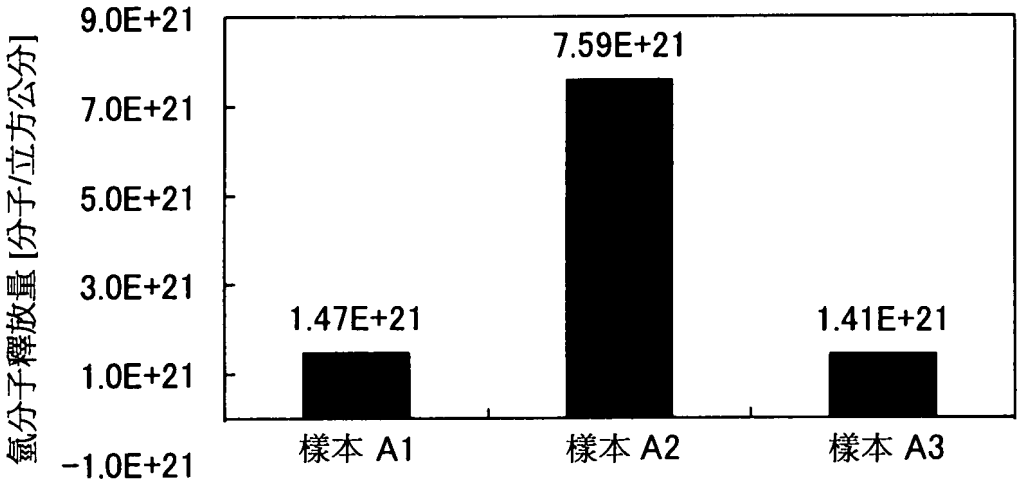


圖 17A

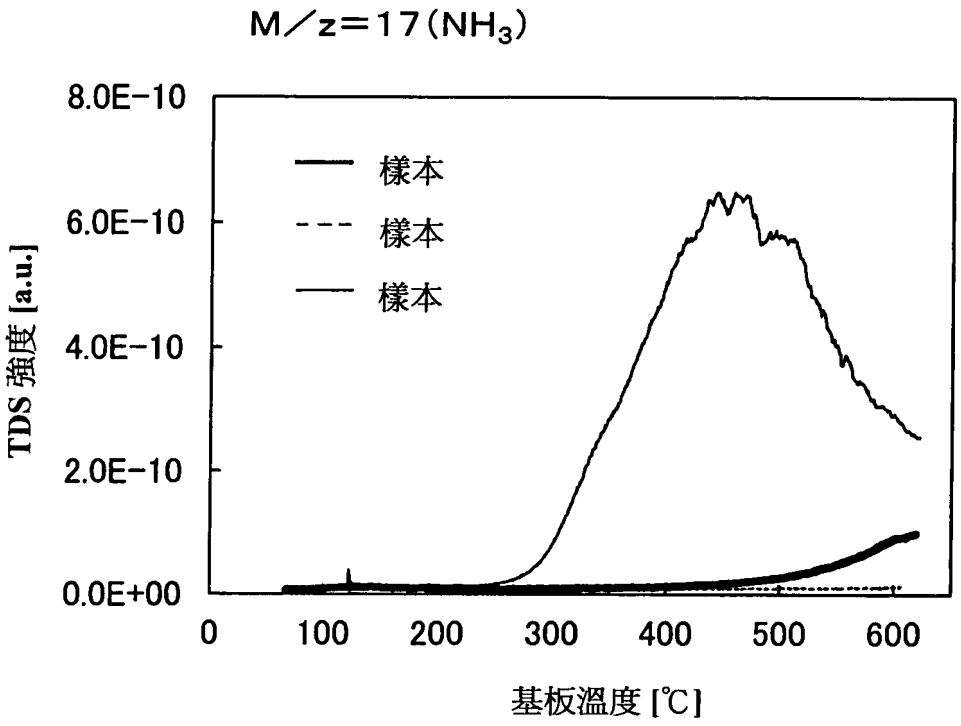

M／z＝17（NH_3）
8.0E-10
6.0E-10
4.0E-10
2.0E-10
0.0E+00
TDS 強度 [a.u.]
樣本
樣本
樣本
0
100
200
300
400
500
600
基板溫度 [℃]

圖 17B

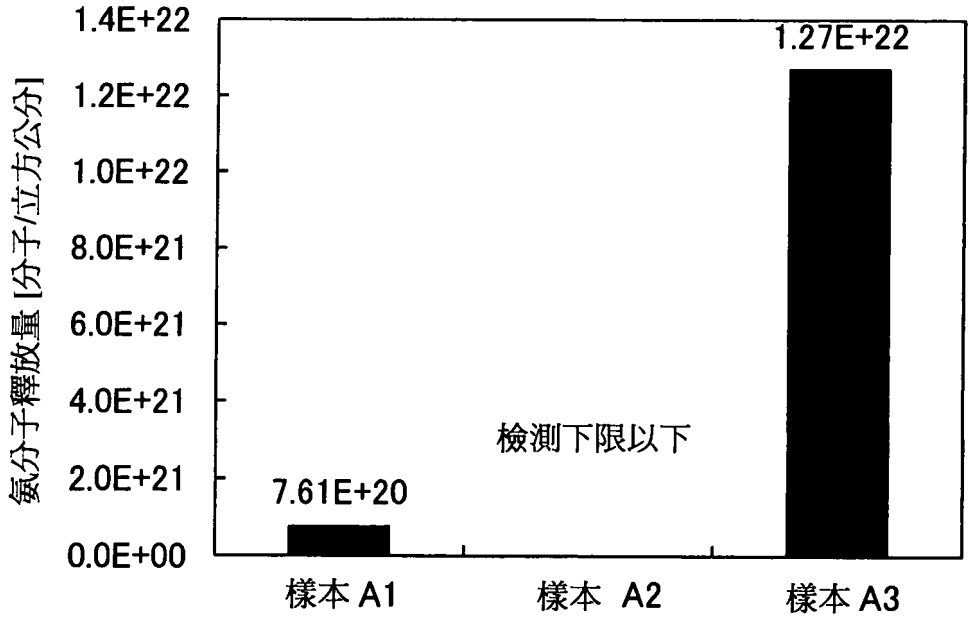

1.4E+22
1.2E+22
1.0E+22
8.0E+21
6.0E+21
4.0E+21
2.0E+21
0.0E+00
氨分子釋放量 [分子/立方公分]
1.27E+22
檢測下限以下
7.61E+20
樣本 A1
樣本 A2
樣本 A3

圖 18A

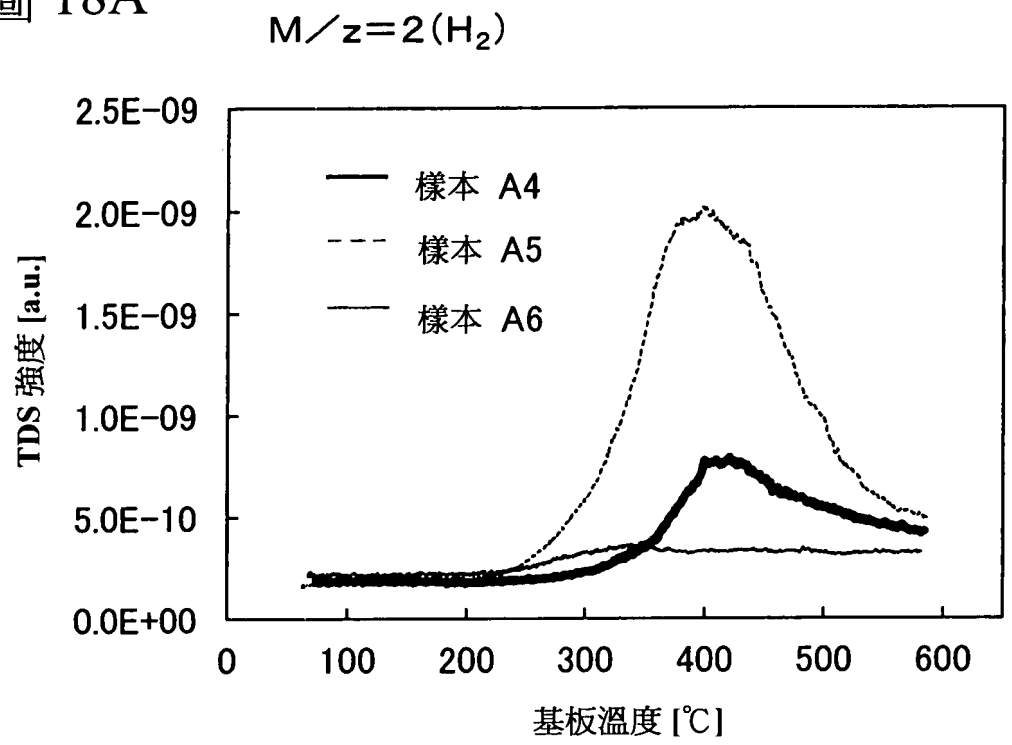

M／z＝2（H_2）
2.5E-09
2.0E-09
1.5E-09
1.0E-09
5.0E-10
0.0E+00
TDS 強度 [a.u.]
樣本 A4
樣本 A5
樣本 A6
0
100
200
300
400
500
600
基板溫度 [℃]

圖 18B

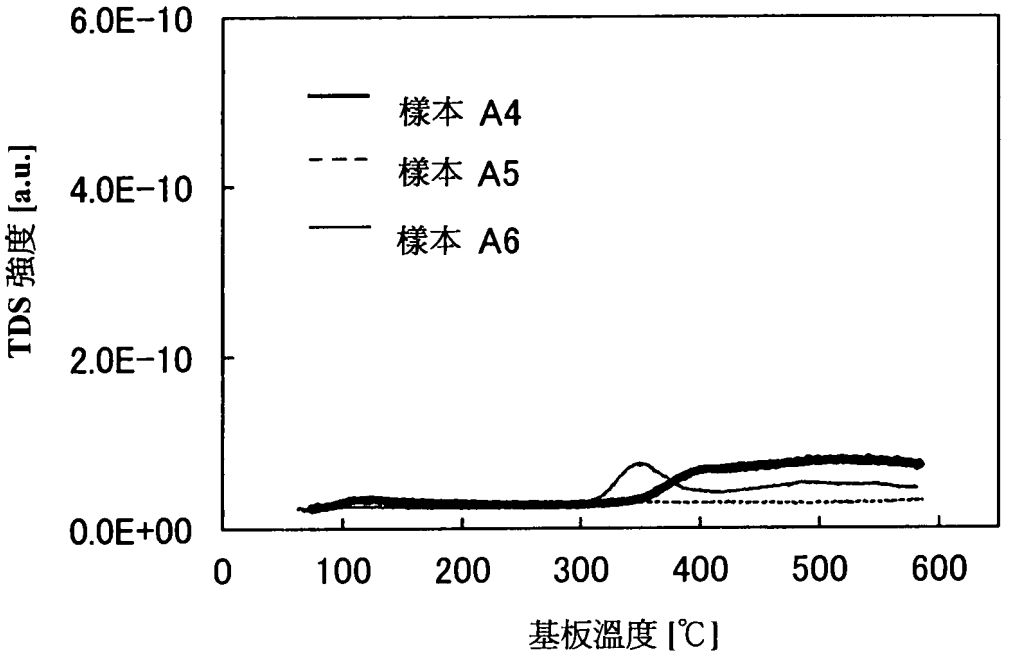

M／z＝18（H_2O）
6.0E-10
4.0E-10
2.0E-10
0.0E+00
TDS 強度 [a.u.]
樣本 A4
樣本 A5
樣本 A6
0
100
200
300
400
500
600
基板溫度 [℃]

圖 19A

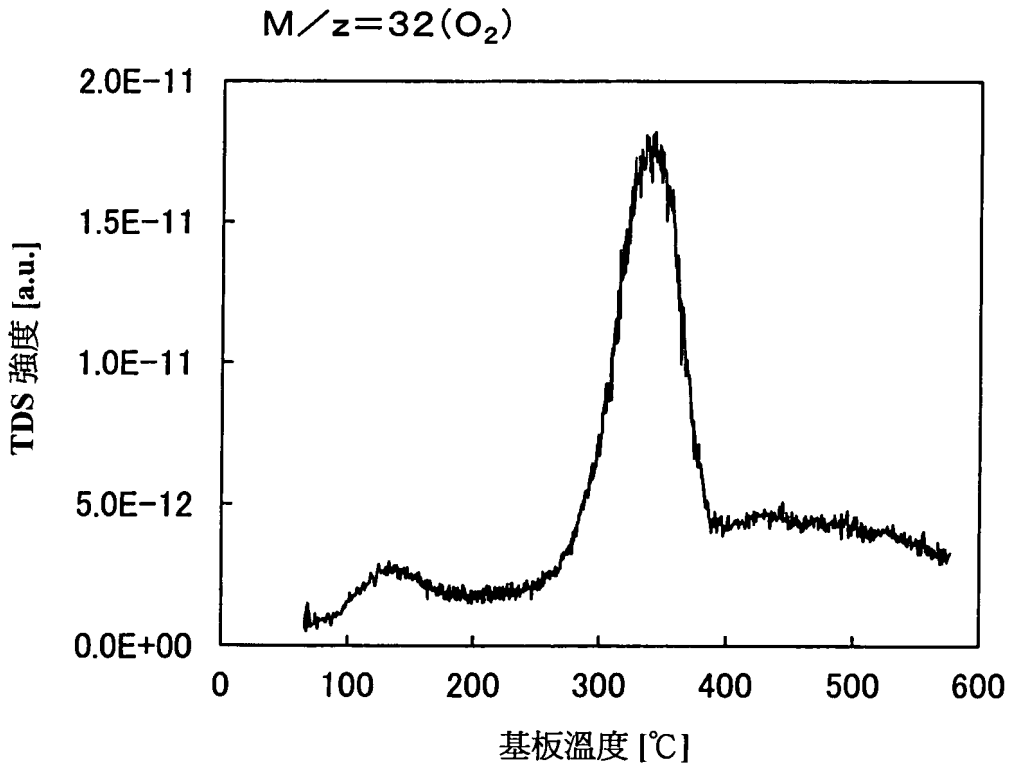

M／z＝32(O2)
2.0E-11
1.5E-11
1.0E-11
5.0E-12
0.0E+00
TDS 強度 [a.u.]
0
100
200
300
400
500
600
基板溫度 [℃]

圖 19B

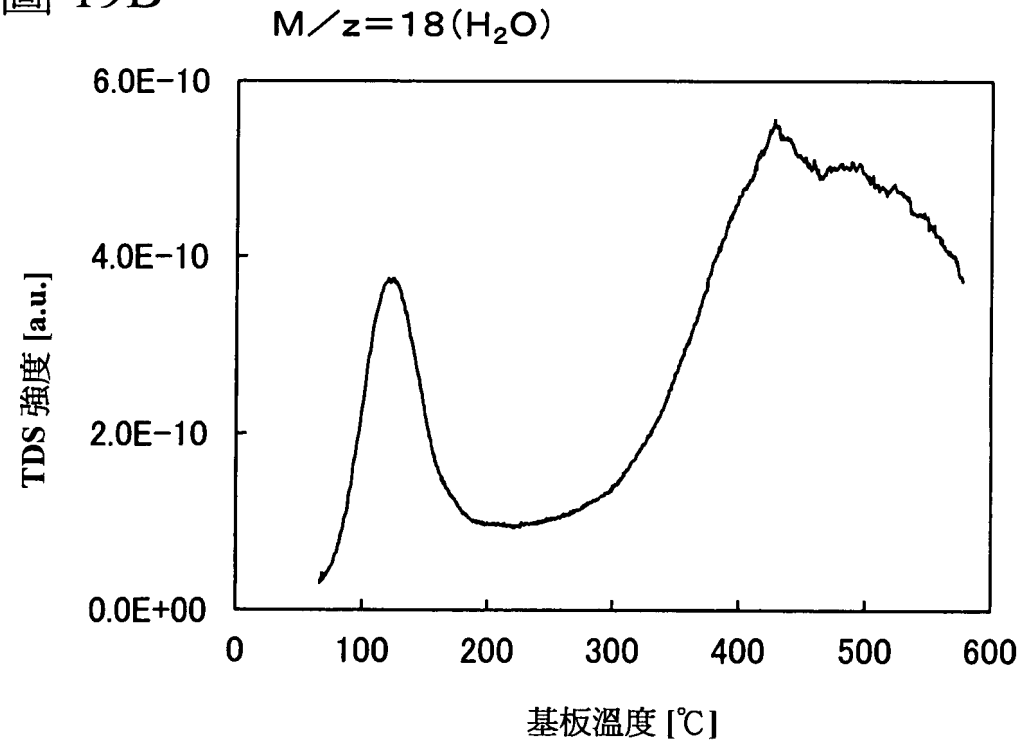

M／z＝18(H2O)
6.0E-10
4.0E-10
2.0E-10
0.0E+00
TDS 強度 [a.u.]
0
100
200
300
400
500
600
基板溫度 [℃]

圖 20A

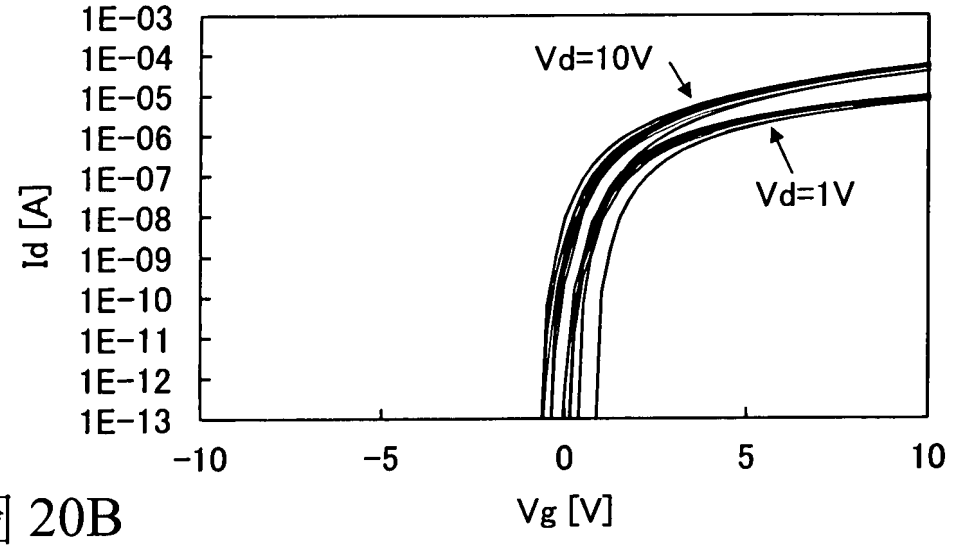


圖 20B

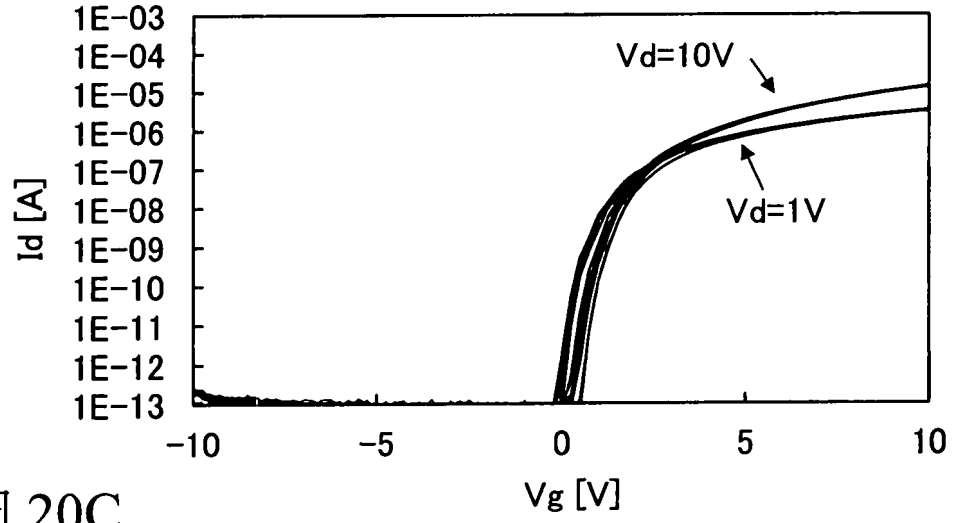


圖 20C

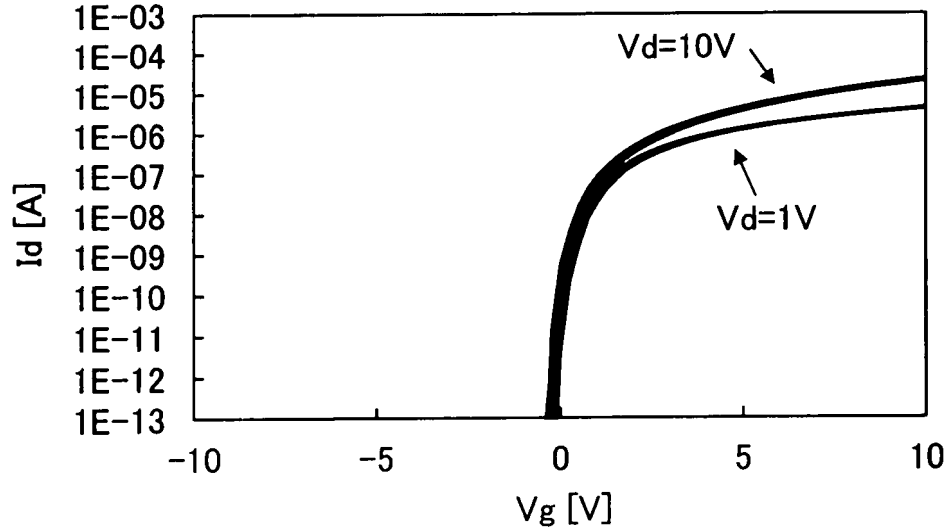


圖 21A

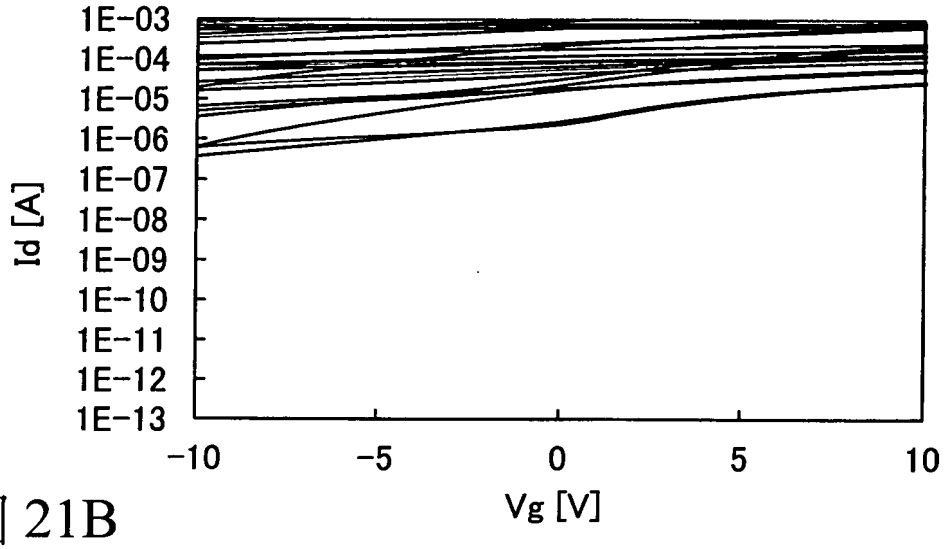


圖 21B

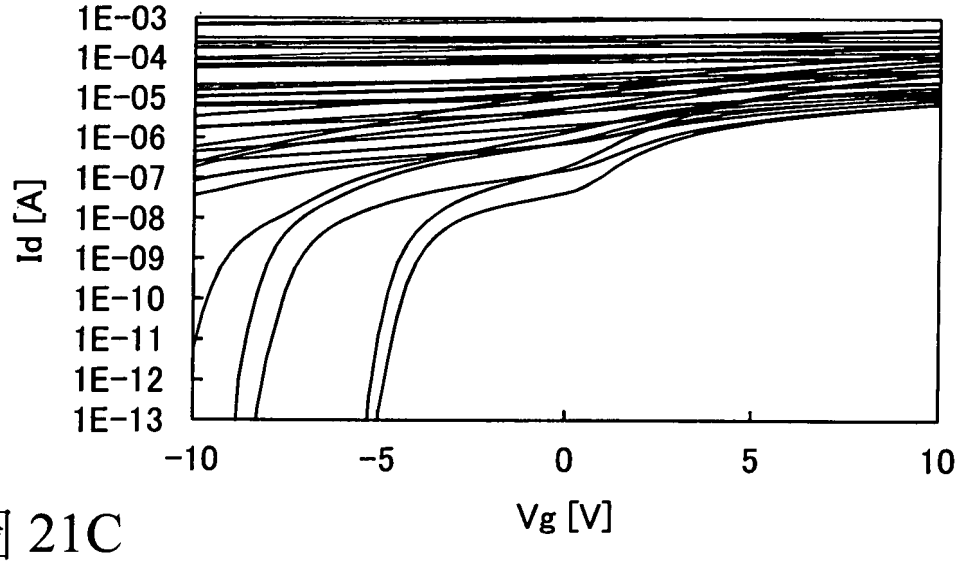


圖 21C

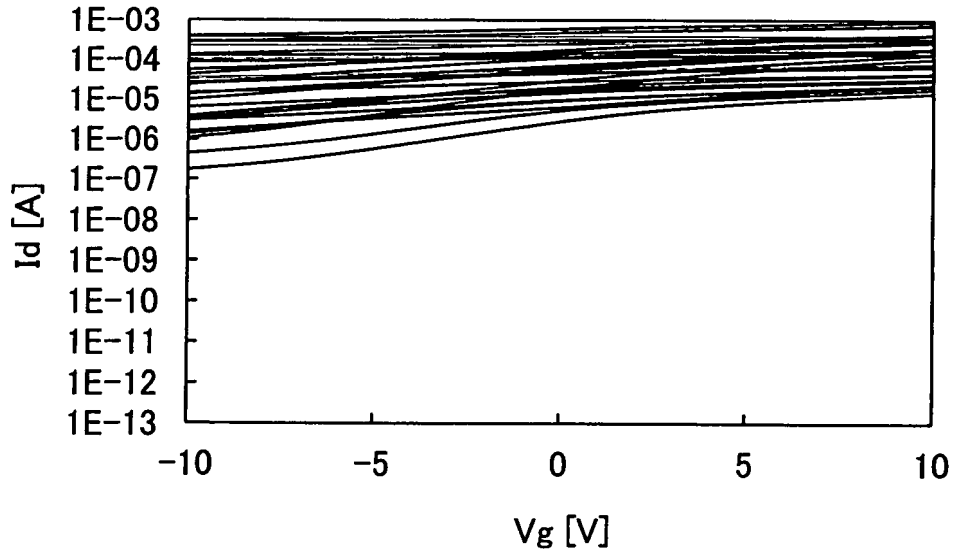


圖 22A

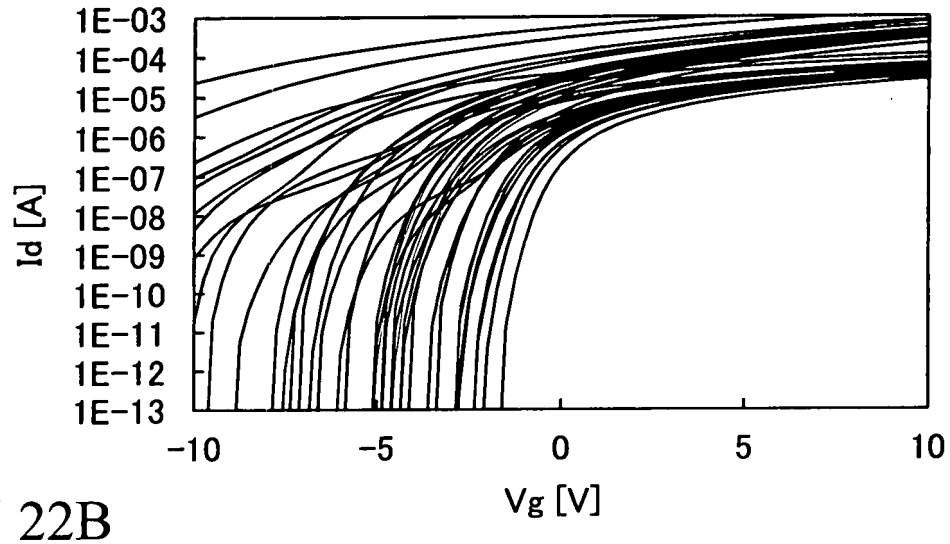


圖 22B

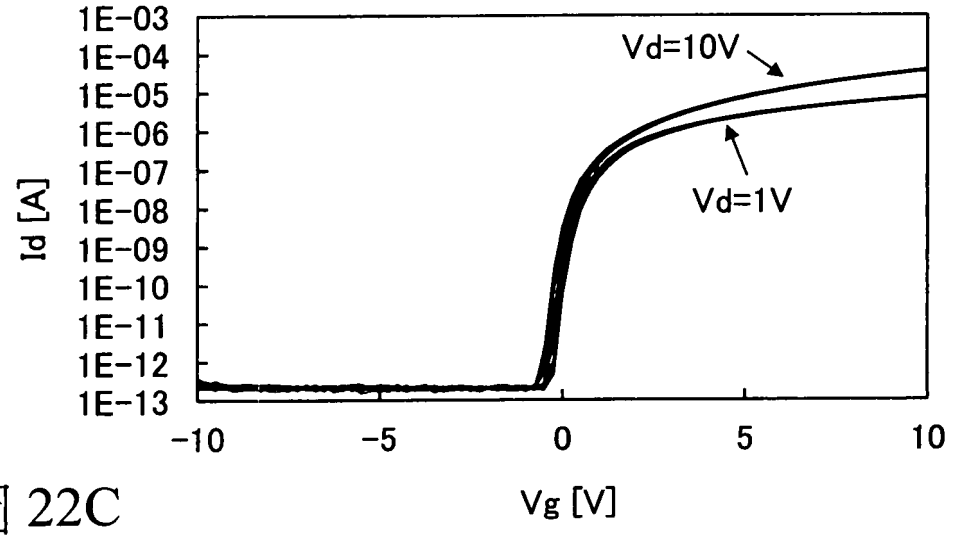


圖 22C

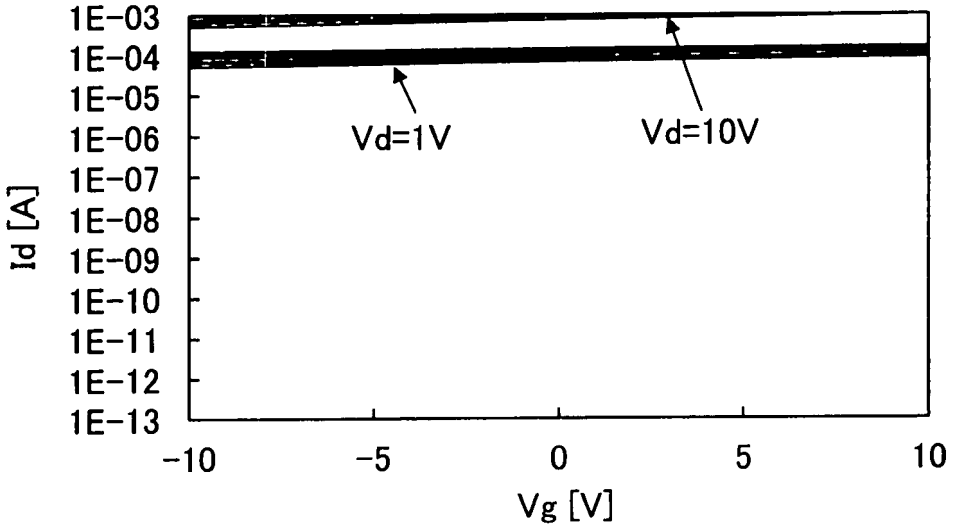
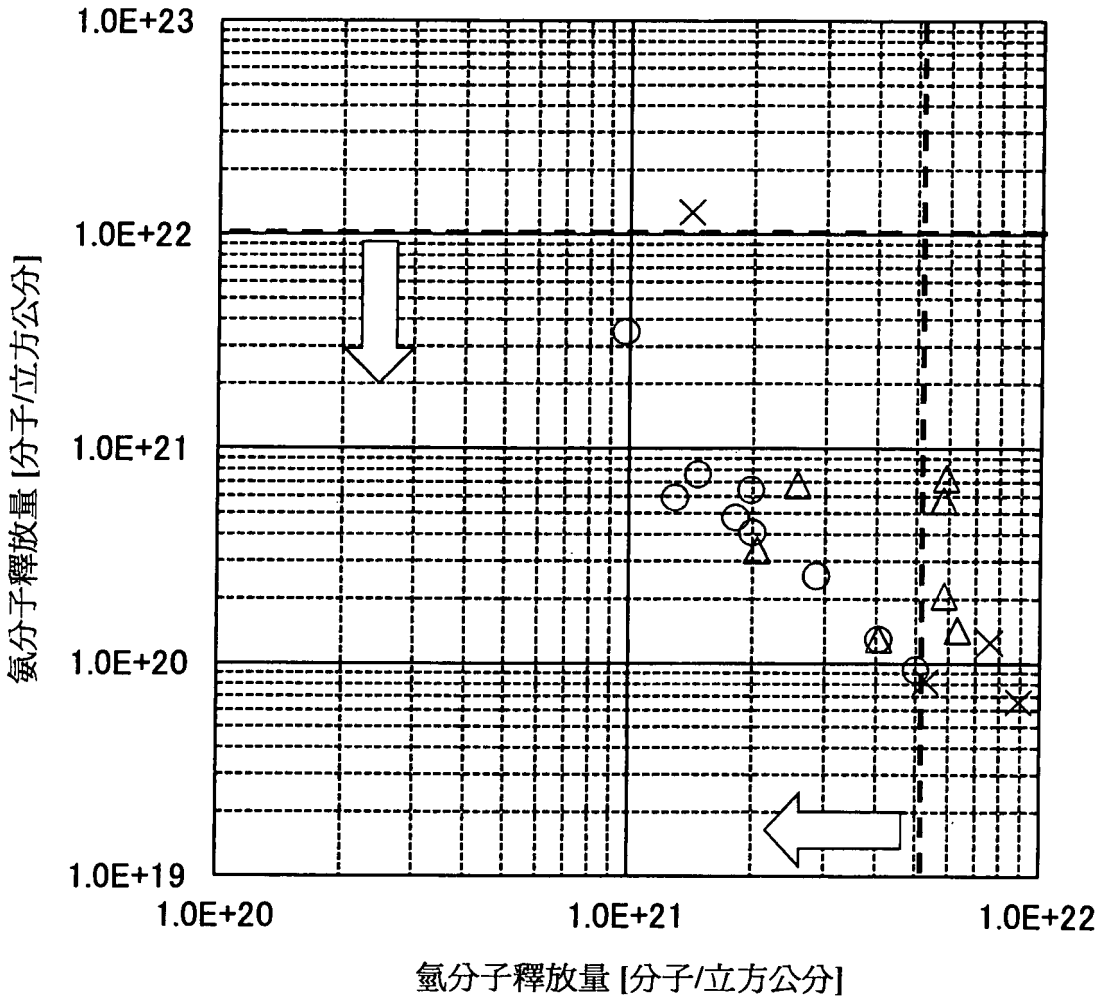


圖 23


1.0E+23
1.0E+22
1.0E+21
1.0E+20
1.0E+19
氨分子釋放量 [分子/立方公分]
1.0E+20
1.0E+21
1.0E+22
氫分子釋放量 [分子/立方公分]

【代表圖】

【本案指定代表圖】：第(1B)圖。

【本代表圖之符號簡單說明】：

1：電晶體

11：基板

15：閘極電極

18：閘極絕緣膜

19：氧化物半導體膜

21：電極

23：絕緣膜

25：氮化絕緣膜

26：保護膜

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

物半導體膜的電晶體的電特性變動，有可能降低電晶體的可靠性。

於是，如圖 6A 和圖 6B 的電晶體 7 所示，在電晶體 7 與平坦化膜 27 之間較佳爲設置用作抑制水的侵入的氮化絕緣膜 25。

此外，藉由在絕緣膜 24b 與平坦化膜 27 之間設置氮化絕緣膜 25，提高氮化絕緣膜 25 與平坦化膜 27 的密接性，所以是較佳的。

導電膜 29 可以適當地使用用於一對電極 21 的材料。另外，導電膜 29 也可以使用包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦錫氧化物（以下，稱爲 ITO）、銦鋅氧化物、包含氧化矽的銦錫氧化物等透光導電材料。

另外，也可以使用氧含量超過化學計量組成的氧化絕緣膜作爲閘極絕緣膜 18。藉由作爲閘極絕緣膜 18 使用氧含量超過化學計量組成的氧化絕緣膜，可以減低氧化物半導體膜 19 與閘極絕緣膜 18 之間的介面的介面態，而可以降低臨界電壓的負向漂移及電晶體的電特性的偏差。

此外，如實施方式 1 的圖 2C 的製程所示那樣，在氧化物半導體膜 19 上形成一對電極 21 之後，將氧化物半導體膜 19 暴露於產生在氧氛圍中的電漿，向氧化物半導體膜 19 供應氧，也可以形成氧缺陷少的氧化物半導體膜。作爲氧氛圍，可以舉出氧、臭氧、一氧化二氮、二氧化氮等。再者，在電漿處理中，較佳的是將氧化物半導體膜

19 暴露於在對基板 11 一側不施加偏壓的狀態下產生的電漿。其結果是，氧化物半導體膜 19 不受到損傷，且可以供應氧，而可以減少包含在氧化物半導體膜 19 中的氧缺陷量。此外，藉由形成一對電極 21 時的蝕刻處理可以去除因蝕刻處理而殘留在氧化物半導體膜 19 的表面上的雜質例如氟、氯等鹵素。

藉由以上製程，可以製造抑制了電特性的變動且提高了可靠性的電晶體。另外，可以製造隨時間的變化或光 BT 應力測試所導致的電特性變動少，典型的是臨界電壓的變動少的可靠性高的電晶體。

注意，本實施方式所示的結構、方法等可以與其他的實施方式及實施例所示的結構、方法等適當地組合而實施。

實施方式 5

在本實施方式中，參照圖 7A 和圖 7B 說明與實施方式 2 不同的閘極絕緣膜的結構。

圖 7A 和圖 7B 示出半導體裝置所具有的電晶體 9 的俯視圖及剖面圖。圖 7A 是電晶體 9 的俯視圖，圖 7B 是沿著圖 7A 的點劃線 A-B 的剖面圖。注意，在圖 7A 中，爲了明確起見，省略基板 31、基底絕緣膜 33、電晶體 9 的構成要素的一部分（例如，絕緣膜 38a、絕緣膜 38b、氮化絕緣膜 39）、平坦化膜 43 等。

圖 7A 和圖 7B 所示的電晶體 9 具有形成在基底絕緣

第 102121959 號　　民國 107 年 6 月 21 日修正

申請專利範圍

1. 一種半導體裝置，包括：

閘極電極；

隔著閘極絕緣膜重疊於該閘極電極的一部分的氧化物半導體膜；

接觸於該氧化物半導體膜的一對電極；以及

該氧化物半導體膜上的氮化絕緣膜，

其中，在 65℃或更高，以及在 610℃或更低的溫度，藉由熱脫附譜分析法分析該氮化絕緣膜的情況下，釋放大於 1×10^{21} 分子/cm^3 且小於 5×10^{21} 分子/cm^3 的氫分子，及大於 1×10^{20} 分子/cm^3 且小於 1×10^{22} 分子/cm^3 的氨分子。

2. 根據申請專利範圍第 1 項之半導體裝置，其中該一對電極夾在該氧化物半導體膜與該閘極絕緣膜之間。

3. 根據申請專利範圍第 1 項之半導體裝置，其中氧化物絕緣膜夾在該氧化物半導體膜與該氮化絕緣膜之間。

4. 根據申請專利範圍第 3 項之半導體裝置，其中該氧化絕緣膜爲氧化矽或氧氮化矽。

5. 根據申請專利範圍第 1 項之半導體裝置，其中氧含量超過化學計量組成的氧化絕緣膜夾在該氧化物半導體膜與該氮化絕緣膜之間。