(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3639610号
(P3639610)
(45)発行日　平成17年4月20日(2005.4.20)　(24)登録日　平成17年1月21日(2005.1.21)

(51)Int.Cl.[7]　F I
H04N 7/24　H04N 7/13　Z
H03M 7/40　H03M 7/40

請求項の数 1　(全 10 頁)

(21)出願番号　特願平5-255113
(22)出願日　平成5年9月17日(1993.9.17)
(65)公開番号　特開平7-95572
(43)公開日　平成7年4月7日(1995.4.7)
審査請求日　平成12年9月18日(2000.9.18)
審判番号　不服2003-10677(P2003-10677/J1)
審判請求日　平成15年6月12日(2003.6.12)

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100090273
弁理士　國分　孝悦
(72)発明者　鹿倉　明祐
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

合議体
審判長　藤内　光武
審判官　原　光明
審判官　高瀬　勤

最終頁に続く

(54)【発明の名称】画像符号化装置

(57)【特許請求の範囲】
【請求項１】
入力画像データの１画面を第１の分割方向にｎ個（ｎは２以上の整数）のブロックに分割するブロック分割手段と、
前記ｎ個のブロックの各々の画像データを符号化するｎ個の符号化手段と、
前記各符号化手段によって符号化された各々の画像データを蓄えるためのバッファメモリと、
前記入力画像データの１画面を前記第１の分割方向と直交する第２の分割方向にｍ個（ｍは２以上の整数）のブロックに分割し、前記ｍ個のブロックの各領域毎に前記バッファメモリに蓄えられたデータの合計量を計算し、その合計量に基づき前記各符号化手段に対して共通の符号化パラメータを設定して、前記各符号化手段からの発生データ量を制御する制御手段とを有することを特徴とする画像符号化装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、発生符号量を制御して画像データの符号化処理を行う画像符号化装置に関する。
【０００２】
【従来の技術】
従来、動画像のディジタル伝送の分野にあっては、高能率符号化技術の研究が盛んに行わ

れ、低いデータレートでも良好な画像伝送が行える『動き補償予測符号化を用いた画像符号化装置』が実現されている。

【０００３】

図３に従来の動き補償予測符号化を用いた画像符号化装置の概略ブロック図を示す。この画像符号化装置は、入力端子３０２、アナログ－ディジタル（以下、Ａ／Ｄと記す）変換回路３０４、符号化回路３０６、バッファメモリ３５２、出力端子３５４、符号化パラメータ制御回路３６０から構成されている。

【０００４】

そして、前記符号化回路３０６は予測誤差算出回路３１０、直交変換回路３１４、量子化回路３１８、逆量子化回路３２２、逆直交変換回路３２４、再生画像信号算出回路３２８、画像メモリ３３２、動き補償回路３３６、ループフィルタ３３８、動きベクトル算出回路３４２、可変長符号化回路３４６、データ合成回路３５０、スイッチ３５６、モード制御回路３５８から構成されている。

【０００５】

なお、この符号化回路３０６では、一般に後述の直交変換を施す関係上、ラスタースキャンのデータ列を水平方向ｉ画素、垂直方向ｊラインのブロック、例えばｉ＝ｊ＝８のブロック毎の並べ変えを行った後処理を実施しているが、同図中においてはこのブロック毎の並べ変えを行うデータ順序変換回路、および符号化回路３０６の後段に配置される逆変換回路は省略した。

【０００６】

この構成において、入力端子３０２に入力されたアナログ画像信号はＡ／Ｄ変換回路３０４に供給されディジタル信号に変換される。

【０００７】

このディジタル化された画像信号は符号化回路３０６によって符号化され、画像信号の情報量が削減される。

【０００８】

すなわち、Ａ／Ｄ変換回路３０４から符号化回路３０６に供給された入力信号３０８は、予測誤差算出回路３１０の一方の入力端ａ、および動きベクトル算出回路３４２に供給される。

【０００９】

予測誤差算出回路３１０の他方の入力端ｂには、後述の動作により算出された予測信号３４０が入力され、予測誤差算出回路３１０において現在の信号である入力信号３０８と予測信号３４０との差分演算が行われ、予測誤差信号３１２が出力される。

【００１０】

この予測誤差信号３１２は、直交変換回路３１４に入力され、例えば離散コサイン変換（ＤＣＴ）などの直交変換が行われ、予測誤差直交変換係数３１６として出力される。

【００１１】

予測誤差直交変換係数３１６は、量子化回路３１８で量子化され、予測誤差直交変換量子化係数３２０として出力される。この時、量子化回路３１８の量子化ステップを変化させることにより、符号化データ３５１の発生量の制御を行う。すなわち、出力端子３５４からのデータレートを一定にするため、バッファメモリ３５２のデータ蓄積量に応じて量子化回路３１８の量子化ステップを変化させる。

【００１２】

例えば、バッファメモリ３５２のデータ蓄積量が多い時には、符号化データ３５１の発生量が少なくなるような量子化ステップで量子化回路３１８を動作させ、データ蓄積量を規定値まで少なくする。逆にデータ蓄積量が少ない時には、符号化データ３５１の発生量が多くなるような量子化ステップで量子化回路３１８を動作させ、データ蓄積量を規定値まで増加させる。

【００１３】

符号化パラメータ制御回路３６０は、前記動作を行うためバッファメモリ３５２のデータ

蓄積量を検出し、蓄積量に応じた符号化パラメータ制御係数３６２を発生し、最適な量子化ステップを設定するように量子化回路３１８を制御する。また、前記符号化パラメータ制御係数３６２は、符号化モード（ｉｎｔｒａ／ｉｎｔｅｒ）の切り換えを行うモード制御回路３５８にも入力されていて、これにより符号化データの発生量の制御が行われるが、これについては後述する。

【００１４】

前記予測誤差直交変換量子化係数３２０は、可変長符号化回路３４６に伝送されると同時に、予測信号３４０の生成のために局部復号部に送られる。局部復号部では、まず逆量子化回路３２２によって予測誤差直交変換量子化係数３２０が逆量子化される。この時、逆量子化回路３２２で用いる量子化ステップは、量子化回路３１８で使用された量子化ステップと同じとするため、逆量子化回路３２２も符号化パラメータ制御係数３６２により制御される。

【００１５】

次に、逆直交変換回路３２４で逆量子化出力を逆直交変換し、量子化・逆量子化誤差を含んだ予測誤差信号３２６が再生される。量子化・逆量子化誤差を含んだ予測誤差信号３２６は、再生画像信号算出回路３２８において、前記予測誤差算出回路３１０で使用した予測信号３４０と加算され、局部復号した再生画像信号３３０となり、画像メモリ３３２に記憶される。

【００１６】

この画像メモリ３３２は、現フレームの再生画像信号３３０を記憶するとともに、所定期間遅延した信号、例えば前フレームの再生画像信号３３４を出力するために設けられているものである。

【００１７】

動きベクトル算出回路３４２では、現フレームの画像信号３０８と、画像メモリ３３２から出力される前フレームの再生画像信号３３４との比較により、画像の動き量および方向を検出して、符号化ブロックの動きを示す情報、およびｉｎｔｒａ／ｉｎｔｅｒモード情報を含む動きベクトル信号３４４を算出する。この動きベクトル信号３４４は、予測信号を生成するために動き補償回路３３６およびモード制御回路３５８に送られるとともに、伝送のためにデータ合成回路３５０に送られる。

【００１８】

動き補償回路３３６では、前フレームの再生画像信号３３４を動きベクトル信号３４４を用いて動き補償し、動き補償された予測信号３３７を発生する。この動き補償された予測信号３３７は、ループフィルタ３３８で符号化ブロックの境界を目立たなくするため２次元ローパスフィルタ処理が行われ、予測信号３４０としてスイッチ３５６に出力される。予測信号３４０はスイッチ３５６がＯＮの時、予測誤差算出回路３１０および再生画像信号算出回路３２８に供給される。

【００１９】

符号化回路３０６は、スイッチ３５６がＯＮ状態の時はｉｎｔｅｒモード、すなわち動き補償フレーム間予測符号化回路として動作し、スイッチ３５６がＯＦＦ状態では予測信号３４０を“０”としてｉｎｔｒａモードで動作する。また、前記スイッチ３５６はモード制御回路３５８によってＯＮ／ＯＦＦ動作が制御される。

【００２０】

モード制御回路３５８は、動きベクトル信号３４４および符号化パラメータ制御係数３６２の値に従ってスイッチ３５６の制御を行う。例えば、シーンチェンジなどで現フレームの画像データが前フレームと相関がない場合には、ｉｎｔｒａモードを示す動きベクトル信号３４４が入力され、スイッチ３５６をＯＦＦとする。

【００２１】

また、エラー伝播防止のために適当な周期で入力信号３０８をｉｎｔｒａモードで符号化する必要があるため、バッファメモリ３５２のデータ蓄積量と関連して変化する符号化パラメータ制御係数３６２の値に応じてスイッチ３５６をＯＦＦとする。これは、例えばバ

ファメモリ３５２のデータ蓄積量が少ない時に、発生データ量の多いｉｎｔｒａモードで符号化を行うことで、ｉｎｔｅｒモード時も粗い量子化が行われないようにして、画質劣化を最小限にするための動作である。

【００２２】

以上の動作によりスイッチ３５６をＯＮ／ＯＦＦすることによって、適応的にｉｎｔｒａ／ｉｎｔｅｒモードの切り換えが行われ、予測信号３４０が生成される。

【００２３】

そして、量子化回路３１８から出力される予測誤差直交変換量子化係数３２０は、可変長符号化回路３４６に入力され、不図示の走査順変換（ジグザグスキャン等）を行った後、例えばランレングス・ハフマン符号化等の可変長符号化が行われる。

【００２４】

可変長符号化後の符号化データ３４８は、データ合成回路３５０で前記動きベクトル信号３４４および符号化パラメータ制御係数３６２と合成され、所定のフォーマットに整えられバッファメモリ３５２に書き込まれる。

【００２５】

バッファメモリ３５２は符号化回路３０６から不規則なレートで発生する符号化データ３５１を一時記憶し、一定のデータレートで出力端子３５４に出力する。

以上の動作により、伝送レート一定の可変長符号化データが生成される。

【００２６】

【発明が解決しようとする課題】

上述した画像符号化装置を、例えばＨＤＴＶ（高精細テレビ）信号のように情報量の多い信号に適用する場合には、前述した符号化回路３０６を非常に高速に動作させることが要求される。

【００２７】

しかしながら、前述した符号化回路を高速度で動作させるように構成するためには、回路規模を非常に大きくしなければならないので、価格が高価となって経済性が低下してしまう問題があった。また、非常に高速で動作させると消費電力が増加し、また、ノイズなどの悪影響が大きくなって安定性が悪くなる等の様々の問題が生じる不都合があった。

【００２８】

本発明は、高速多量の画像データに対して、高速で動作させる符号化回路を用いることなく、高画質な画像再現ができるように最適に符号量を制御しながら符号化することができる画像符号化装置を提供することを目的とする。

【００２９】

【課題を解決するための手段】

上記課題を解決するその一つの発明の画像符号化装置は、入力画像データの１画面を第１の分割方向にｎ個（ｎは２以上の整数）のブロックに分割するブロック分割手段と、前記ｎ個のブロックの各々の画像データを符号化するｎ個の符号化手段と、前記各符号化手段によって符号化された各々の画像データを蓄えるためのバッファメモリと、前記入力画像データの１画面を前記第１の分割方向と直交する第２の分割方向にｍ個（ｍは２以上の整数）のブロックに分割し、前記ｍ個のブロックの各領域毎に前記バッファメモリに蓄えられたデータの合計量を計算し、その合計量に基づき前記各符号化手段に対して共通の符号化パラメータを設定して、前記各符号化手段からの発生データ量を制御する制御手段とを有することを特徴とする。

【００３２】

【実施例】

図１は、本発明の一実施例の動き補償予測符号化を用いた画像符号化装置の概略構成を示すブロック図である。この画像符号化装置はアナログ信号をディジタル信号に変換するためのＡ／Ｄ変換回路１０４、１フィールドまたは１フレームの画像信号をｎ個のブロックに分割し、分割された画像信号の時間軸の伸長を行うためのブロック分割・時間伸長回路１０６、画像信号の動き補償を用いた可変長符号化を行うための符号化回路１０８、１１

０、１１２、１１４、１１６、…、１１８、データを一時記憶させるためのバッファメモリ１２０、１２２、１２４、１２６、１２８、…、１３０、バッファメモリ１２０、１２２、１２４、１２６、１２８、…、１３０からのデータの読み出しの制御を行う読み出し制御回路１３２、バッファメモリに蓄積されたデータ量を検出し、その総和を算出するためのデータ量計算回路１３４、符号化回路１０８、１１０、１１２、１１４、１１６、…、１１８で発生するデータ量を制御するための符号化パラメータ制御回路１３８、１フィールド・または１フレームの画像信号をｍ個のブロックに分割するための１／ｍ時間単位の基準信号を発生する１／ｍ基準信号発生回路１４２、分割されたｎ個のブロックの合成を行うためのブロック合成回路１４６から構成されており、符号化回路１０８、１１０、１１２、１１４、１１６、…、１１８、バッファメモリ１２０、１２２、１２４、１２６、１２８、…、１３０はそれぞれ並列に動作するようになっている。

【００３３】

また、符号化回路１０８、１１０、１１２、１１４、１１６、…、１１８はそれぞれ図３に示す符号化回路３０６に対応し、入力信号の差分演算を行うための予測誤差算出回路３１０、直交変換を行うための直交変換回路３１４、量子化を行うための量子化回路３１８、逆量子化を行うための逆量子化回路３２２、逆直交変換を行うための逆直交変換回路３２４、入力信号の加算演算を行うための再生画像信号算出回路３２８、画像メモリ３３２、動き補償をした予測信号を発生するための動き補償回路３３６、２次元ローパスフィルタ処理を行うためのループフィルタ３３８、画像の動き量および方向を検出して動きベクトル信号を発生するための動きベクトル算出回路３４２、可変長符号化を行うための可変長符号化回路３４６、符号化データ、動きベクトル信号、符号化パラメータ制御係数の合成を行うためのデータ合成回路３５０、ｉｎｔｒａ／ｉｎｔｅｒモードの切り換えを行うためのスイッチ３５６、スイッチ３５６を制御するためのモード制御回路３５８から構成されている。

【００３４】

図２は、画像信号の画面上での分割例を示す図であり、画面上においてｎ並列の各符号化回路１０８、１１０、１１２、１１４、１１６、…、１１８が担当するｎ個の分割領域、および前記ｎ個の分割領域の分割方向とは異なる方向で、かつｎ個の分割領域にまたがるように設定したｍ分割の領域を示した一例である。この例では、画面上を横方向にｎ分割してｎ並列の符号化処理を行い、各符号化回路１０８、１１０、１１２、１１４、１１６、…、１１８の動作速度を低減し、さらに画面を縦方向にｍ分割した領域単位で符号化パラメータの制御を行うようにしており、ｎ分割する方向とｍ分割する方向とが直交している。

【００３５】

以下、図１および図２を用いて、本発明を適用した画像符号化装置の動作を説明する。

【００３６】

入力端子１０２に入力されたアナログ画像信号は、Ａ／Ｄ変換回路１０４によってディジタル信号に変換される。ディジタル化された画像信号は、ブロック分割・時間伸長回路１０６で、図２に示すように１フィールド、または１フレーム毎にｎ個のブロックに分割され、この分割された各ブロック毎に対応して設けられているｎ個の符号化回路１０８、１１０、１１２、１１４、１１６、…、１１８に供給される。この時、分割された各画像信号はブロック分割・時間伸長回路１０６で時間軸の伸長が行われるので、各符号化回路１０８、１１０、１１２、１１４、１１６、…、１１８の処理速度は画像信号を分割しない場合に比べて１／ｎに低減される。これにより、高速多量の画像信号に対しても図３に示した符号化回路３０６内で行われるような複雑な符号化処理を高速に実施可能となる。

【００３７】

符号化回路１０８、１１０、１１２、１１４、１１６、…、１１８で符号化され、動きベクトル信号および符号化パラメータ制御係数１４０の付属情報を付加された符号化データ１５０、１５２、１５４、１５６、１５８、…、１６０は、それぞれバッファメモリ１２０、１２２、１２４、１２６、１２８、…、１３０に書き込まれる。

【００３８】
このバッファメモリ１２０、１２２、１２４、１２６、１２８、…、１３０は各符号化回路１０８、１１０、１１２、１１４、１１６、…、１１８から不規則なレートで発生する符号化データ１５０、１５２、１５４、１５６、１５８、…、１６０を一時記憶し、読み出し制御回路１３２のアドレス制御により一定のデータレートで順次データを読み出す。
【００３９】
各バッファメモリ１２０、１２２、１２４、１２６、１２８、…、１３０から読み出されたデータはブロック合成回路１４６に供給され、ｎ個のブロックに分割された領域分が合成されて、出力端子１４８に出力される。
【００４０】
次に、上述の複数の符号化回路、および複数のバッファメモリを持つ本実施例の場合の符号化パラメータの制御の説明を以下に行う。
【００４１】
１／ｍ基準信号発生回路１４２は、１フィールドもしくは１フレームをｍ分割した時間単位の１／ｍ基準信号１４４を発生する。この１／ｍ基準信号１４４をもとに、データ量計算回路１３４は、各バッファメモリ１２０、１２２、１２４、１２６、１２８、…、１３０に蓄積されたデータ量を検出しその総和を算出する。そして、データ量計算回路１３４によって算出されたデータ蓄積総量１３６をもとに、符号化パラメータ制御回路１３８でデータ蓄積総量１３６に応じた符号化パラメータ制御係数１４０を発生し、符号化回路１０８、１１０、１１２、１１４、１１６、…、１１８から出力される符号化データ１５０、１５２、１５４、１５６、１５８、…、１６０の発生量を制御する。
【００４２】
この時の符号化パラメータ制御係数１４０による符号化回路１０８、１１０、１１２、１１４、１１６、…、１１８の動作は、図３に示す符号化回路３０６の動作と同様である。すなわち、各符号化回路１０８、１１０、１１２、１１４、１１６、…、１１８に設けられている量子化回路３１８の量子化ステップの制御、およびモード制御回路３５８のｉｎｔｒａ／ｉｎｔｅｒのモード切り換え制御を並列に行うことにより、符号化データ１５０、１５２、１５４、１５６、１５８、…、１６０の発生量が制御される。
【００４３】
例えば、バッファメモリ１２０、１２２、１２４、１２６、１２８、…、１３０のデータ蓄積総量１３６が多い時には、符号化データ１５０、１５２、１５４、１５６、１５８、…、１６０の発生量が少なくなるような量子化ステップで各符号化回路１０８、１１０、１１２、１１４、１１６、…、１１８に設けられている量子化回路を動作させ、データ蓄積総量１３６を規定値まで少なくする。逆にバッファメモリ１２０、１２２、１２４、１２６、１２８、…、１３０のデータ蓄積総量１３６が少ない時には、符号化データ１５０、１５２、１５４、１５６、１５８、…、１６０の発生量が多くなるような量子化ステップで各符号化回路１０８、１１０、１１２、１１４、１１６、…、１１８に設けられている量子化回路を動作させ、データ蓄積総量１３６を規定値まで増加させる。
【００４４】
本実施例においては、符号化パラメータ制御係数１４０をｎ並列処理を行っている符号化回路１０８、１１０、１１２、１１４、１１６、…、１１８に並列に入力することによって、１／ｍ基準信号１４４を単位として、各符号化回路１０８、１１０、１１２、１１４、１１６、…、１１８の符号化パラメータを同一の値を用いて制御していることが特徴となっている。１／ｍ基準信号１４４を単位とした時にデータ量計算回路１３４で検出されるバッファメモリ１２０、１２２、１２４、１２６、１２８、…、１３０のデータ蓄積総量１３６は、図２の斜線で示した部分の符号化データ１５０、１５２、１５４、１５６、１５８、…、１６０の発生量に相当している。そして本実施例によれば、図２の斜線で示した部分が同一の符号化パラメータで符号化処理が行われることになる。
【００４５】
上記のような制御を行うことにより、１／ｍ基準信号１４４を単位としてｍ個のブロック

に分割された各領域において、ｎ分割されて並列に処理される各符号化回路１０８、１１０、１１２、１１４、１１６、…、１１８からの出力は、同一の符号化パラメータによって符号化され同一画質となるので、ｎ分割して並列処理を行った画像の境界部分での画質の差異をなくすことができる。さらに、符号化パラメータの制御を１フィールドまたは１フレームをｍ分割されたブロックごとに行い、バッファメモリ１２０、１２２、１２４、１２６、１２８、…、１３０のデータの蓄積変化量を少量毎に監視しているので、例えばシーンチェンジの時のように符号化パラメータを急激に変化させる必要がある場合などにおいて、フィードバックのかかる時定数が小さいために、画面全体の画質が急激に低下するような動作を防止できる。

【００４６】

上述の方法で符号化データ１５０、１５２、１５４、１５６、１５８、…、１６０の発生量が制御されバッファメモリ１２０、１２２、１２４、１２６、１２８、…、１３０に蓄積されたデータは、読み出し制御回路１３２により順次読み出されるが、この読み出し制御も符号化パラメータ制御を１／ｍ基準信号１４４単位で行うのに対応させて、１／ｍ基準信号１４４単位で例えば各バッファメモリ１２０、１２２、１２４、１２６、１２８、…、１３０の順に蓄積データを読み出すようにする。

【００４７】

そして、ブロック合成回路１４６でバッファメモリ１２０、１２２、１２４、１２６、１２８、…、１３０から読み出されたデータを図２の斜線部で示す領域単位で合成して、出力端子１４８に送出する。

【００４８】

以上説明したような構成および方法により、符号化部およびバッファメモリ部を並列処理動作させる画像符号化装置が実現される。また、動作速度を非常に高速にすることなく、高速多量の画像信号に対して動き補償予測符号化を適用できるようにしたので、消費電力の増加や、ノイズによる悪影響が大きくならないようにすることができる。

【００４９】

以上、本発明の一実施例につき説明したが、本発明は上述の実施例に限定されることなく、本発明の技術的思想に基づき各種の有効な変更が可能である。例えば、図２では画面上でのｎ分割する方向とｍ分割する方向とが直交する例を示したが、本発明ではこれに限定されるものではない。

【００５０】

【発明の効果】

以上説明したように、本発明によれば、１画面を複数に分割し、複数の符号化部を用いて各分割された領域の画像データを符号化しているので、各符号化部での動作速度を非常に高速にしなくても、高速多量の画像データを符号化処理することができる。

【００５１】

また、複数の符号化手段で符号化処理されたときの画像データの符号量に応じて各符号化手段に対して共通の符号化パラメータを設定するようにしたので、各符号化手段における符号化処理による画像の画質が同一となり、１画面を複数に分割した画像の境界部分での画質の差異をなくすことができる。

【００５２】

また、ｍ分割されたブロックごとに符号化パラメータの制御を行い、バッファメモリの蓄積変化量を少量毎に監視しているので、例えば、シーンチェンジの時のように符号化パラメータを急激に変化させる必要がある場合などにおいて、フィードバックのかかる時定数が小さいために、画面全体の画質が急激に低下するような動作を防止できる。

【図面の簡単な説明】

【図１】本発明の一実施例の画像符号化装置の概略構成を示すブロック図である。

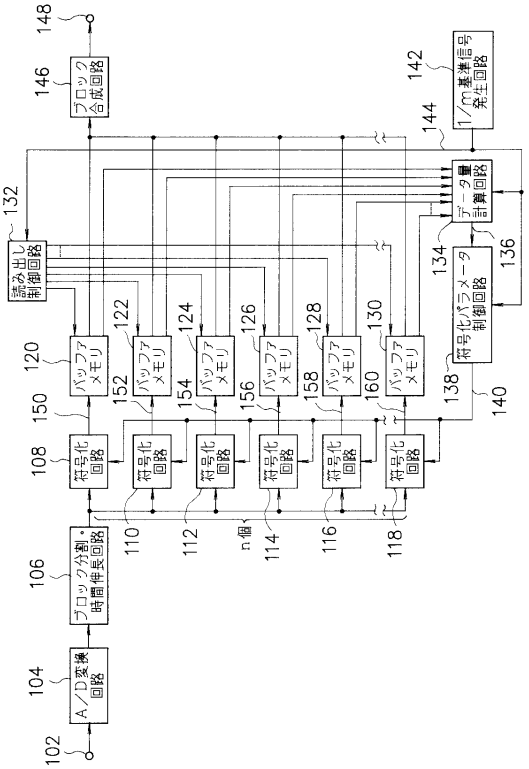
【図２】本発明における画像信号の画面上での分割例を示す図である。

【図３】従来の画像符号化装置の概略構成を示すブロック図である。

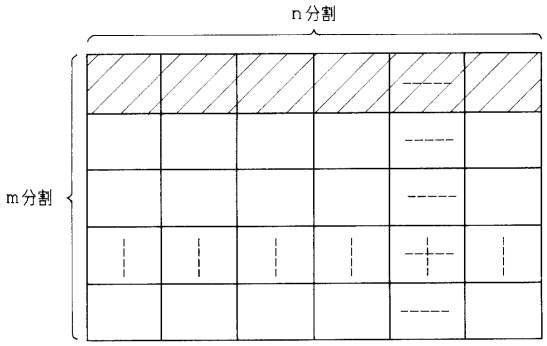
【符号の説明】

１０２　入力端子
１０４　Ａ／Ｄ変換回路
１０６　ブロック分割・時間伸長回路
１０８、１１０、１１２、１１４、１１６、１１８　符号化回路
１２０、１２２、１２４、１２６、１２８、１３０　バッファメモリ
１３２　読み出し制御回路
１３４　データ量計算回路
１３６　データ蓄積総量
１３８　符号化パラメータ制御回路
１４０　符号化パラメータ制御係数
１４２　１／ｍ基準信号発生回路
１４４　１／ｍ基準信号
１４６　ブロック合成回路
１４８　出力端子

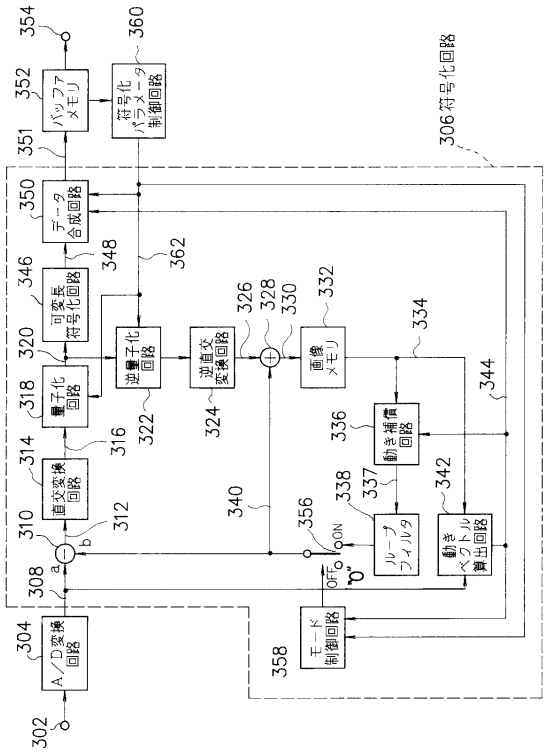
【図１】



【図２】



【図３】


A/D変換回路
302
304
308
a
b
310
312
直交変換回路
314
316
量子化回路
318
320
可変長符号化回路
346
348
データ合成回路
350
351
バッファメモリ
352
354
符号化パラメータ制御回路
360
362
逆量子化回路
322
逆直交変換回路
324
326
328
330
画像メモリ
332
334
動き補償回路
336
337
ループフィルタ
338
動きベクトル算出回路
342
340
344
356
ON
OFF
"0"
モード制御回路
358
306符号化回路

フロントページの続き

(56)参考文献 特開平５－６８２４３（ＪＰ，Ａ）
特開平４－３０２５９８（ＪＰ，Ａ）
特開昭６４－４４５００（ＪＰ，Ａ）