

(19) (KR)
(12) (B1)

(51) 。 Int. Cl.⁶
G06F 15/16

(45)
(11)
(24)

2003 11 10
10-0394897
2003 08 04

(21) 10-1996-0036638
(22) 1996 08 30

(65)
(43)

1997-0012193
1997 03 29

(30) 520,949 1995 08 30 (US)

(73) , 60196, , 1303

(72) , 85023-5230, 44

(74)

:

(54)

가 (3) 가 , , BKPT가 (7) 가
(3) (down load) . (

1

- 1
- 2 1
- 3 2
- 4 2
- 5 2
- 6 5
- 7 4
- 8 4
- 9 2

10 2
11
12 1

CPU

) , (debug
, (trace) (breakpoint) ,
가
, (status) . 가
가 . 가
, (event) 가 가
가 가
가 i960Jx 가
i960Jx (trapping) i960Jx
(debugging) 가 가
가 80486 , 80486
, 80486 (interrupt)
i960Jx 80486 (exception) 가
,
, i960Jx 80486 , 가
,
가

가

가,

가

가

가

가

(bus)' (status)

(assert)' (negate)' (Status)

(true) 가 (false) 0

'\$' 가 16 16

'%' 가 2 2

(8), (9), (12), (13), (14), (10) (5) (3) (8)

E- (12) (13) S- (8) S- (8) M-

(23) (9) (14) M- (23)

(9) CPU(2), (MMU)/ (4), (6) CPU(2), MMU/ (4), (

6), (10) K- (25) MMU/ (4) M- (23) (5)

MMU/ (4) CPU(2) (10) (CPST)

(Stall) CPU(2) (Reset) (10)

serial data out) (PST) (DDATA) (DSDO: development

(DSCLK: development serial clock), (BKPT) (DSDI: development serial data in)

(5)

2 (10) (10) (20), (30), (

32), (40), (50), (60), FIFO(First-in First

-out)(70), (80), (100)

(BKPT) (2) (20) (20) (100) (20)

al) (20) (60) (Status sign

(20) (15) (40), (50),

2) (32) (20) 가 (Bus Request) CPU(

(20) CPU(2) (Bus Grant)

(40) (multi-bit) (32)

(configuration) (60) (100)

KADDR(K)) KDATA K- (25)

(50) (32) K- (25)

(50) K- (25) KADDR, KDATA, KCONTROL (100)
 KADDR, KDATA, KCONTROL

(30) DSDI DSCLK 1 2
 (30) DSDO 3 (30) (32)
 (32) (40) (50)

(60) (Stall) CPU(2) (60) FIFO FIFO(70),
 Mux (80) FIFO(70) K- (25) KADDR KDA
 TA (Full) FIFO(70) (80) FIFO (80) FIFO(70) CPU(2)
 (20) (80) DDATA PST (32) (CPST) CPU(2)
 (30) 가 (20) (40)
 (32) (destination) (20) (20)
 (50) (15) (20)
 (40) (Status) (100) (20)
 (20)

3 (100) (100)
 (ABHR, 110), (ABLR, 110), (130), (140),
 (DBMR, 150), (DBR, 160),
 (170), (180), (PBMR, 190),
 (PBR, 115), (PC) (125), (135)
 (15) ABHR(110), ABLR(120), DBMR(150), DBR(160), PBMR(190), PBR(115)
 ABHR(110), ABLR(120), DBMR(150), DBR(160)
 K PBMR(190), PBR(115), PC (125) ABHR(110)
 1 KADDR (15) (170, 125)
 (130) 1 KADDR (130) KADDR
 2 (130) ABLR(120) 1 (140) KADDR 2
 (140) (130) (140)

DBMR(150) (180) 가 DBR(160) (180) 1
 KDATA (170) (170)
 (180) 2 (180)

PBMR(190) (135) 가 PBR(115) (135) 1
 K (125) PC (135)
 (135) 2 (135)
 12 CPU(2) CPU(2) (IFP, 210)
 (operand) (OEP, 220) IFP (202), (204),
 FIFO(FIFO) (206) OEP(220) (212) (214)

FO (202) (208) 1 (204) FI
 (206) (212) (214) 1 FIFO (206)
 (212) (214) 1 (208) 2
 (214) 2 (216) (216) 1 (212)
 (204) (216) 2 K K (216)
 (208) K

4 (40)
 (40) TDR (TDR) / (CSR)
 (10)
 1 2 (31 16) 2
 (15 0) 1 1 가 2
 1 1 가
 (5) 2 2

1 ; 2

TDR
TDR 7 PCI 가 , TDR PCI
(PBR) PCI 가 , (PBMR) PBR PBMR
가 (EPC: Enable Program Counter Breakpoint) , 가
, PBR PBMR 가
EPC 가 ,
가 (EAL: Enable Address Breakpoint Low) , 가
(50) ABLR 가 , KADDR
가 EAL 가 ,
ABLR
가 (EAR: Enable Address Breakpoint Range) , 가
(50) ABLR ABHR
가 가 , KADDR
EAR 가
ABLR ABHR
EAI(Enable Address Breakpoint Inverted) , EAI가
(50) ABLR ABHR ,
가 가 EAI 가 ,
, KADDR ABLR
ABHR
DI(Data Breakpoint Invert) , DI 가 ,
DI (50) DBR
EDUU(Enable Data Breakpoint for the Upper Upper Data Byte) EDUU 가 , KDAT
A K- (25) 31 24
가 , EdMU(Enable Data breakpoint for the Upper Middle Data Byte)
KDATA K- (25) 23 16
가 , EDLM(Enable Data Breakpoint for the Lower Middle Data Byte) , EDL
M 가 , KDATA K- (25) 15 8
가 , EDLL(Enable Data Breakpoint for the Lower Lower Data Byte)
e) EDLL 가 , KDATA K- (25) 8
0 가
EDWU(Enable Data Breakpoint for the Upper Data Word) KDATA K- (25)
31 16 가 EDWL(Enable Data
Breakpoint for the Lower Data Word) KDATA K- (25)
15 0 가
EDLW(Enable Data Breakpoint for the Data Longword) KDATA K- (25)
31 0 가 EDUU, EDUM,
EDLM, EDLL, EDWU, EDWL, EDLW 가
가
EDUU, EDUM, EDLM, EDLL, EDWU, EDWL, EDLW ,

KADDR[1:0]=00 , KDATA[31:24]
KADDR[1:0]=00 , KDATA[23:16]
KADDR[1:0]=00 , KDATA[15:8]
KADDR[1:0]=00 , KDATA[7:0]
- KDATA 31 16 16 0
KADDR 31 16 가 0 0 ,
(long - word) , KADDR 가 1 , 15 0
KADDR 31 0

EBL(Enable Breakpoint Level) (global enable) EBL 가

TRC(Trigger Response Control) (5) DDATA (100) CPU(2)가

TRC %01 (20)가 CPU(2)가

PU(2)가 %10 가 (20)가 CPU(2)가 TRC CPU(2)

CSR(Configuration Status Register: U(2) SR MMU/ (4), (6), (5) CSR CP C

CSR (100) CSR CSR

7 CSR (5) (field) (100) (40) TDR 가 \$1 (40) TDR 가 \$1 1 CSR

TDR() 15 0 가 \$2가 1 CSR

(10) TDR() 1 2 가 \$5 2 CSR

(10) TDR() 31 16 \$6 2 CSR

CSR 2 DDATA 9 DDATA 가 K- (25) DDATA 가

(30) CSR 가 CSR 가

DDATA CSR (7) FOF(4) FOF 가 4 .4

(5) CPU(2) 가 FOF(Fault-on-Fault) (5) FOF 가 FOF CS

R TRG(Hardware Breakpoint Trigger) TRG 가 TRG TRG 가 TRG CSR

(5) CPU(2) (5) (30) 'Go' CPU(2)가 CPU(2)가 CPU(2)가 (5) (30)

BKPT (BKPT) BKPT 가 CPU(2) BKPT 가 BKPT BKPT CSR (30) 'Go'

IPW(Inhibit Processor Writes to Debug Registers) IPW가 IPW (7) CPU(2)가 IPW (50)

2)가 (7) (40) (50) MAP) , CPU(2)가 MAP

가 (6) MAP

3 가 (3)

MAP (3)

(7)

(7) (3) RTE(Return from Exception) CPU(2)

PST 가 \$7

PST \$D (7) (30)

MAP 가 (on-chip)

TRC(Force Emulation Mode on Trace Exception) 가 3가 1

(3)가 가 (3) 가

EMU(Force Emulation Mode) 가 (3) (1)

(7)

가 가 TDR TRC (3)가

DDC(Debug Data Control) DDATA

DDC %00 DDATA

DDC %01 M- (23) DDATA

DDC %10 M- (23) DDATA

DDC %11 M- (23) DDATA

DDATA DDC 가 CSR DDC DDATA

가 가 , 16 가 가 8 가

, 32 가 가 DDC M- (23) 가

DDATA

BTB(Branch Target Bytes) DDATA

BTB %00 DDATA BTB

%01 DDATA BTB

%10 3 DDATA BTB

%11 4 DDATA DDATA

가, , FIFO (70) (60)

(Return from Exception; RTE), (Return from subr
(JMP) (Jump-to-Subroutine; JSR)

outine; RTS)

END(Enable Debug Mode) , PST DDATA

가 가 (3) CPU(2) 8

NPL(Non-Pipelined Mode) , CPU(2)가 (3)

IPI(Ignore Pending Interrupts) CPU(2)가 (5) - -
 SSM(Single-Step Mode) CPU(2)가 CPU(2)가 CPU(2)
 가 CPU(2) CPU(2)가 CPU(2)
 SBD(Store Buffer Disable) KAD(K-Bus RAM Disable) Go 가 KOD(K-Bus ROM Disable)
 (7) (3) (70) FIFO
 SBD MMU/ (4) KAD (6) M- (23) FIFO
 (6) KAD, KOD, KCD
 (50) 5
 (50)
 5 (ABLR ABHR)
 (5) ABLR ABHR
 가,
 AABR(Address Attribute Breakpoint Register) 6 AABR
 가 ABLR ABLR
 , ABBR K- (25)
 AABR 5 TT(Transfer Type) TM(Transfer Modifier)
 (5) TT
 (3)가 (50) 가 (50)
 (3)가 (50)
 (50)가 (3)가 (50)
 R 4 TT TM AAB
 1

[1]

TT	TM	어드레스 공간
00	001	사용자 오퍼랜드
00	010	사용자 명령
00	101	감시프로그램 오퍼랜드
00	110	감시프로그램 명령
01	XXX	사용되지 않음
10	101	에플레이터 모드 오퍼랜드(만일 MAP=1이면)
10	110	에플레이터 모드 명령(만일 MAP=1이면)
11	000	CPU-공간
11	001	인터럽트 응답
11	01X	인터럽트 응답
11	1XX	인터럽트 응답

(,) (,)
 TT TM
 AABR SZ(Size) K- (25) / (R) AABR AABR
 SZ R 가
 (50)가
 K- (25) (50)
 , AABR

가 (qualifications)
 가, AABR
 AABR , RM(Read/Write Mask) , RM 가 , R
 , SM(Size mask) SM 가 SZ
 TTM(Transfer Type Mask) TT TTM 가 TT
 , TMM(Transfer Modifier Mask) TM
 TMM 가 TM
 (50)
 (5) (PBR)
 PMBR(Program Countor Breakpoint Mask) PBR (5)
 PBMR CPU(2)
 (50)
 DBR(Data Breakpoint Registe
 (5) DBMR
 DBMR
 DBMR
 가 DBR K- (25)
 가
 가 3
 1 (5) (5) (3) (7)
 (7) (5) (3) (3) (7)
 (7) (3) (3) (7) DSDI, DSCLK, DSDO, DDATA, PST
 DSDI, DSCLK, DSDO
 DDATA (10) DDAT
 CSR 가, CPU(2) CSR
 PST
 DDATA PST
 (7)
 (3) (3) CPU(2), MMU/ (4), (6)
 (9) K- (25) (6) RAM, ROM,
 , K- (25) M- (23)
 (8) , M- (23) E- (8)
 가 (8) S- (12, 13)
 S- (3)
 (9) K- (25) (14)
 , M- (23) (8) (12, 13)
 S- (10) K- (25) M- (23) E
 (E- 가) (10) K- (25) (7)
 (10) (10)
 1 (10) 3
 (7) 가 (3) 가

가 (5) (5) (10) DDATA DST
 . DDATA
 PST CPU(2) . 가, DD
 ATA
 DDATA PST 가 ,
 DDATA PST (3)
 가 PST (5) 10
 , PST
 10 PST (3 0) CPU(2) PST
 가 % 0000 , % 0001
 , PST PST 가 % 0011 ,
 , %0100 PST WDDATA , WDDATA
 (5) 가 CSR DDATA , DDATA
 PST ,
 %0101 PST (5)
 %0111 PST (5) RTE . PST
 가 %1000 (5) DDDATA
 PST 가 %1001 (5) DDATA
 . PST 가 %1010 (5) DDATA 3
 . PST 가 %1011 (5) DDATA 4
 . PST 가 %1100 (5) CPU(2)
 , PST 가 %1101 (5) CPU(2)
 , PST 가 %1101 (5) CPU(2)
 , PST 가 %1110 (5) CPU(2)
) CPU(2) . PST 가 %1111 , (5) CPU(2) (5)
 , PST DDATA ,
 가 DDATA (5) DDATA . DDATA
 CSR (7) (40) CSR (7) CSR
 8 DSDI DSCLK (30) CSR
 , DSDI 1 DSDI DSCLK 가
 16 16 (32) 가
 16 16 16 32 가
 48 (32) 16 16 (Packet) 2 16
 , 가 (20) (32) . 2 16
 (32) 가 (20) (15) , 3 16 (32)
 CSR (40) , (20) , (10)
 CSR 48
 , CSR (7) , DSDI
 가 DSDI DSCLK 2 16 가 2 16
 , 가 (32) . 2 16 가 31 16 CSR
 가 가 (40) DSDI DSCLK (32) . 3 16
 가 (40) (32) . 3 16
 15 0 CSR .

, DDATA (7) CSR
 , DDATA (4) CPU(2) CSR
 . CPU(2)가 (170) CSR (100)
 (170) K- (25) KDATA (170) CPU (100)
 DATA (170) CPU(2) K- (25) CSR CPU , K
 (7) (32) (40)
 TA 가 (7) CPU(2) CSR , DDC(Debug Data Control) DDA
 BTB(Branch Target Bytes) (7) , DDC(Debug Data Control) DDATA
 , DDC %00
 , DDATA DDC %01 , M- (23)
 DDATA DDC %10 , M- (23)
 DDATA DDC %11 , M- (23)
 DDATA DDC
 DDC 가 8 , DDATA 가 16 , (long) 가 32 , 가 CSR
 , DDATA , 8 가 , 가 , 16
 , DDC M- (23) , 가 , 32 , 가
 A DDATA
 BTB(Branch Target Bytes) DDATA BTB
 , BTB %00 , DDATA BTB
 %01 , DDATA BTB
 %10 , 3 DDATA BTB %11
 , 4 DDATA DDATA
 , (60) FIFO (70) 가
 , RTE(Return-from-exception), RTS(Return-from-Subroutine) JMP(jump)
 JSR(jump-to-subroutine) DDATA
 , CPU(2) 가 CPU(2) K- (25) KADDR FIFO (70)
 O , 가 CPU(2) K- (25) KDATA FIF
 (70) FIFO (70) (60)
 FIFO (60) FIFO (20) (40) CSR
 , FIFO (70) FIFO KADDR KDATA
 , FIFO (70) (3) KADDR KDATA , FIFO
 (70) KADDR KDATA
 (5) FIFO (70) , FIFO (70) 가 DDATA
 Full) , CPU(2) 가 (60) (Stall) , FIFO (70) (
 FIFO (70) 가 가 (9)
 CPU(2) DDATA
 (3) (80)
 FIFO (70) CPST(CPU Processor Status) (80) CPST
 . CPU(2) CPST CP
 ST 가 (3)가 (3)
 CPST

FIFO CPST 가 (80) , (Mux) (80)가 DDATA PST (edge) (3) (transaction) 가 Mux 가 \$C, \$E, \$F가 PST CPU(2) (marker) PST (3) PST 가 \$0 \$7 , PST 가 PST 가 \$8, \$9, \$A, \$B , PST DDATA DDATA PST 가 DDATA (3) 1 (3) DDATA PST 11 (JMP) 16 (40) , CSR DDATA JMP(AO) 11 (Last)' , CPU(2) , A O (AO) CPU(2) PC- 가 , AO C, AGEX, IAG, , DSOC AGEX CPU(2) (3) DSO (instruction fetch pipeline, IFP)() 2 (operand execution pipeline; OEP) FIFO 가 (Instruction Address Generation; IAG) 1 2 (Decode amp; Select; DS) 1 2 (EX) OEP (AG) OC EX , OEP OC E X 가 DS , OC , EX , OEP DS OEP DSOC AG EX , , AGEX AO 가 . JMP AGEX IAG JMP +4, +8 , CPU(2) CPST (taken) PST DDATA (counterpart) 1 \$5 . CPU(2)가

, FIFO (70) IC
 DATA (60) PST (80) PST \$9 가 D
 (3 0) (15 12) (80) (nibble)
 PST (2 CPST) 1 \$5 10 , PST
 \$5 , AO
 DDATA (2 FIFO) \$0 JMP 9 11 , DDATA
 \$0 (3) 가 , DDATA
 2 PST \$9 JMP 가 DDATA \$0
 2 , DDATA \$B , PST
 PST DDATA , PST
 DDATA 가 DDATA 1 , ,
 3 , PST \$0 가, 3
 DDATA 3 0 ,
 , CPST 1
 DDATA 7 4 5 6 , D
 DATA 11 8 15 12 , (7
)
 (80) PST DDATA PST DDATA (7)
 , PST DDATA 가
 PST DDATA PST DDATA 가
 , (7)
 , (3) CPU(2)
 , DDATA PST ,
 (3) JMP , JMP ,
 PC()가 가 가 (program visible register)
 (addressing) , 가 (7)
 DDATA PST , , PST , PST , PST
 가 \$5 , 10 , , DDATA , PST
 , PST DDATA , DDATA 가
 , DDATA CPU(2) 가 ,
 , DDATA 가 PST 가 DDATA
 , DDATA 가 가 가 ,

명령 어드레스	명령
00001316	movq #1,d0
00001318	mov.l d0,(-4,a6)
0000131c	pea (-68,a6)
00001320	pea (-36, a6)
00001324	bsr.w Func2
0000115c	mov.l d7,-(a7)

23) , CSR , PST , DDATA 가 M- (

PST DDATA
 \$1 ---- 1316
 \$1 ---- 1318
 \$b ---- 1318
 0 [3:0] 1318
 0 [7:4] 1318
 0 [11:8] 1318
 0 [15:12] 1318
 0 [19:16] 1318
 0 [23:20] 1318
 0 [27:24] 1318
 0 [31:28] 1318
 \$1 ---- 131c
 \$b ---- 131c
 0 [3:0] 131c
 0 [7:4] 131c
 0 [11:8] 131c
 0 [15:12] 131c
 0 [19:16] 131c
 0 [23:20] 131c
 0 [27:24] 131c
 0 [31:28] 131c
 \$1 ---- 1320
 \$b ---- 1320
 0 [3:0] 1320
 0 [7:4] 1320
 0 [11:8] 1320
 0 [15:12] 1320
 0 [19:16] 1320
 0 [23:20] 1320
 0 [27:24] 1320
 0 [31:28] 1320
 \$5 ----
 \$9 ---- 1324
 0 \$c (115c)
 0 \$5 (115c)
 0 \$1 (115c)
 0 \$1 (115c)
 \$b ---- 1324
 0 \$8 1324
 0 \$2 1324

1324

0 \$3 1324

0 \$1 1324

0 \$0 1324

0 \$0 1324

0 \$0 1324

0 \$0 1324

\$1 ---- 115c

, PST DDATA , DDATA , PST DDA
 TA - PST , PST DD
 ATA
 , , 가
 (encounter) , 가 가
 가 (50) (100)
 2 가, 1
 (Trigger Definition Register; TDR) 가 (40)
 (50) (7) (3) CPU(2)
 3 (ABLTR ABHR)
 6 (5)
 AABR(Address Attribute Breakpoint Register)
 K- (25) . ABLR ABLR AABR
 (50)
 (5) . PBR(Program Countor Breakpoint)
 PBMR(Program Countor Breakpoint Mask) PBR (5)
 , PBMR (5) CPU(2)
 (50)
 DBMR(Data Breakpoint Mask Register) . DBR DBR(Data Breakpoint Register)
 (5) . DBMR
 DBR DBR K- (25) DBMR
 (50) (40) TDR DDATA
 가 . TDR DDATA DDATA
 9 DDATA (3 0) . CS
 R (31 28) DDATA (3 0)
 DDATA 가 \$0 , 가 DDATA 가 \$1
 (10) 1 , 1
 TDR(Trigger Definition Register) (16 0) \$2 DDATA
 (10) 2 , 1 DDATA 가 \$5 , T
 DR(Trigger Definition Register) (31 16) , \$6 2 DDATA

2
 CSR (31 28)
 (30) (7) K- (56) CPU(
 2) (30) (7) DSDI DSCLK
 (50) DSDI DSCLK
 (clock in) 가 16 가
 (32) 16
 (50) CPU(2)
 (50) CPU(2)가
 (170) K- (25) (170) (100)
 0) 16 KDDATA CPU(2) (15) CSR CPU
 (20) (170) (32) (40)
 (7) (50) CPU(2)
 K- (25) KDATA K- (25) 가 CP
 U(2) PC (125)
 (100) (130, 140, 180, 135)
 (3) (50) TDR (100)
 (15) (100) TDR
 (7) 가 가 가
 (7) (30) 가 3 ABH
 R(110) 3 ABLR(120) 가 ABLR(120) ABHR(110) (130)
 (140) K- (25) KADDR (40) TDR (15)
 t Inverted) EAR(Enable Address Range) EAI(Enable Address Breakpoin
 110) , EAR 가 ABLR(120) ABHR(
 가 ABLR(120) ABHR(110) 가 가 , EAI
 EAR EAI (130, 140) KADDR ABHR(1
 10) ABLR(120) ABHR(110) ABLR(120) EAR 가 KADDR
 (130, 140) 가 BKPT() (20) (9) CPU(2) - Go
 가 BKPT TDR CPU(2)가
 (3)가 , BKPT
 가 TDR TRC %01 . TRC TDR (31,
 30) 가 TRC 가 CP
 U(2) (3)가
 , CPU(2) 가
 (3)가
 CPU(2) (3)가 (20)
 , TDR TRC CPU(2) %10 . TRC 가 %10 가 CPU(2)
 (20) CPU(2) CPU(2)가

가 . CPU(2) . 가

CPU(2)가 가 CPU(2) 가 가

CPU(2) , CPU(2) CPU(2) 가

2)가 MAP (40) CSR

8 , TT (50) AABR TT TM \$2 (Stack) TM \$5() \$6() CPU(2)

(Save) CPU(2)

가 (6) , RTE(Return From Exception) (5) CPU(2)

. CPU(2)가 \$D . PST , PST CPU(2)

가 (7) , 가, PST \$7 가 CPU(2)

(6) (7) (5)

(3) 가 가

가, PST (3) 가 가

TDR (15)

(31 16) 2 (15 0) 1 가 2

1 'if-then-if' 가 (7) (5) 가

2 가 가 가 2 (7) 가

\$FEED \$0000FACE 가 \$DEADBEEF (7) (PBR, 115) \$DEADBE

EF , PBR(Program Counter Breakpoint Mask Register, 190) \$00000000 PC (125)

가 PBR(190) , PBR(115) (40) TDR

(7) \$0000FACE (ABLR) \$0041 6 TDR

가 (AABR) . ABLR(120) \$0000FACE . AABR

\$0041 TM %001 , TT %00 , SZ %10 , R(Read) 0 . TM

TT (7) (100) DBR(data breakpoint register, 160) \$0000FEED

(7) DBMR(data breakpoint mask register, 150) \$00000000

가 DBMR(150) , DBR(160) (180) KD

ATA (40) TDR

(7) \$20022824 TDR . TDR

1 , EBL , EDLW

DI , EDWL , AI EAR 가 EDWU, EDLL, EDLM, EDUM, EDUU EPL PCI
, TDR 1 가 DBR(160) KADDR
, 1 ABLR . TDR , 1
, TDR 2 가 , TRC %00
, EBL EDLW, EDWL, EDWU, EDLL, EDLM, EDUM EDUU , DI,
AI, EAR EAL , EPC , PIC , TDR
2 가 PBR(115) . TDR , 2
(3) CPU(2) (40) TDR (31, 30)
가 2 CPU(2)가 , CPU(2)가 PST
CPU(2)가 PST 가 가
(10) K- (25) 가 CPU(2) (10)
(10) CPU(2) (10) 가 K- (25) AB
HR(110) KDATA DBR(160) KDDATA (170) K- (25) (10)
5) CPU(2) (transaction) (10) K- (2
(10) CPU(2) . K- (25) CPU(2)
CPU(2) (10) 가 (7)
DSDI DSCLK (30)
1 DSDI 16 가 DSCLK 가
16 16 가 (32)
16 32 (32) 16 16 가 48 가
(15) (20) (20) 1 16 (20) (15)
(110) 32 가 (50) ABHR
DSDI DSCLK (7)
(32) 16 가
2 16 가
(50) ABHR(110) 가 DSDI DSCLK ((32)
7) 3 16 가 가
(50) ABHR (20) K- ((20)
25) CPU(2) (10) CPU(2)
가 ABHR(110) KADDR K- (2
5) (6) K- (25) KDATA (6)
6) (5) (6)

(170) . KDATA (100)
 (32) .
 (shift-out) (30) DSDO 32
 가 CPU(2) CPU(2)
 가 KDATA CPU(2) (30)가
 (B)가 CPU(2) (10)
 K- (25) CPU(2) (10) CPU(2) (9) (10)
 CPU(2) (10) CPU(2)가 가 CPU(2)
 (3) 가 가
 가, (10) CPU(2)가 가 CPU(
 2) (9) (40) CSR IPW(Inhibit Processor Writes to Debug Regist
 er) 가 , CPU(2) , IPW . CSR IPW
 가 , IPW (7)
 IPW (7) (shift in) , DSDI DSCLK
 1 (30) CSR ,
 DSDI 16 , DSCLK 가
 16 (32)
 , CSR 48 , 16
 32 (32) DSDI DSCLK (7)
 CSR 1 DSDI , DSCLK (30) 가
 16 , DSCLK 가
 32 (32) CSR 가 48 (32) , 16
 (20) , 1 16 가 ,
 (32) (40) 2 16 가 (20)
 (15) , CSR (40)
 , 48 (20) 3 16 (32) CSR
 CSR (10) ,
 DSDI ,
 DI 16 가 (32) , DS
 2 16 가 (40)
 . 2 16 (31) 16) CSR , 가 DSDI DSCLK
 (32) (7) (40) . 3 16 가 ()
 15 0) CSR (4) CPU(2) CSR
 , IPW (100)
 . CPU(2)가 CSR (25) KDATA , 6 (170)
 (170) K- (32) (170)
 (7) (32) (40)
 CSR IPW (15) (100) . IPW 가
 CPU(2)가 ABHR(110), ABLR(120), DBMR(150), DBR(160), PBMR(190), PBR(125)
 , IPW (9)
 (50) IPW ,
 (3) CPU(2)

(7) (3) (40)

(3)가 가 가 BKPT가 (7)

(5)

(7) (40)

(8) (50) 가, CPU(2), MMU/ (4), (3) 'Go'

(7) 'Go'

CPU(2)가 (7) CPU(2) CPU(2) 'Go' CPU(2)

(3)가 'Go' (3)가

(7) BKPT (3) CPU(2) 가 가

BKPT (10) (20) K- (25) (10) CPU(2)

CPU(2)가 BKPT , CPU(2) (3) (3)가

, PST \$F 가 (3)

, CPU(2)

PST 가, (3)가 (7)

DSDI DSCLK (3) (3)

(6) 가,

(40) (30)

50) DSDI (3) (32)가 가 (30)

50) (170) (50) (170) (9)

KDATA K- (25) K- (25) 가

(7) 'Go' DSDI DSCLK (3) (3)

'Go' DSDI (3) (3) 'Go'

(30) (32) (32)가 가 K- (25)

(15) CPU(2) Go (20) (20) 'Go' (7)

CPU(2)가 Go 가 CPU(2) ()

가 , CPU(2) CPU(2) 가 CPU(2)

가 (3) (3)

가 (7) (3)

가 (7) 80 , CPU 32 , 32

80 16 가 (10) CPU- K- (10)

. K- (25) , CPU(2) 가 CPU- K- (10)

(3)가
 가 (10)
 (3)가
 가, (3)가
 가 (7)
 가 (3)가
 가 (7)
 가 (30)
 가 (10)
 가 (10)
 가 (30)
 MAP 가 (on-chip)
 / Go 'Go' 가 (7)
 . Go (3) (10)
 (20) (3) (3) TDR 가, (3)
 - - (fault-on-fault)
 가, 가
 가 (5)
 가 (7) 가 가 (5)
 (3) 가
 (5) (10) DDATA DDATA PST , DDATA , PST
 CPU(2) DDATA , DDATA
 T (3) (3) DDATA DDATA PST PS
 (3) (3) (3)
 가, 가
 가 (50) (100)
 가, (40) TDR(1 2) 가

(3)가 CPU(2) (10) K- (25)
 (9) CPU(2) CPU(2) CPU(2)
 (10) CPU(2)가 CPU(2)
 (3) CPU(2) 가 가 C
 (9) (10) CPU(2) 가 IPW(Inhibit Processor Writes to Debug Re (50)
 (40) CSR 가
 가 CSR IPW 가 CPU(2)
 IPW (7) IPW
 (7) CPU(2)
 (7) (3) (40)
 가 B
 (3)가 (7) (window of time)가
 (5) (7) (가
 (7) 80 . 80
 16 CPU 32 32
 CPU(2) CPU (10) K- (25)
 가 (10)
 가 (3) (7) (3)

(57)

1.

(asserted) 가

가

가 ,

가

2.

가

가

가 ,

가

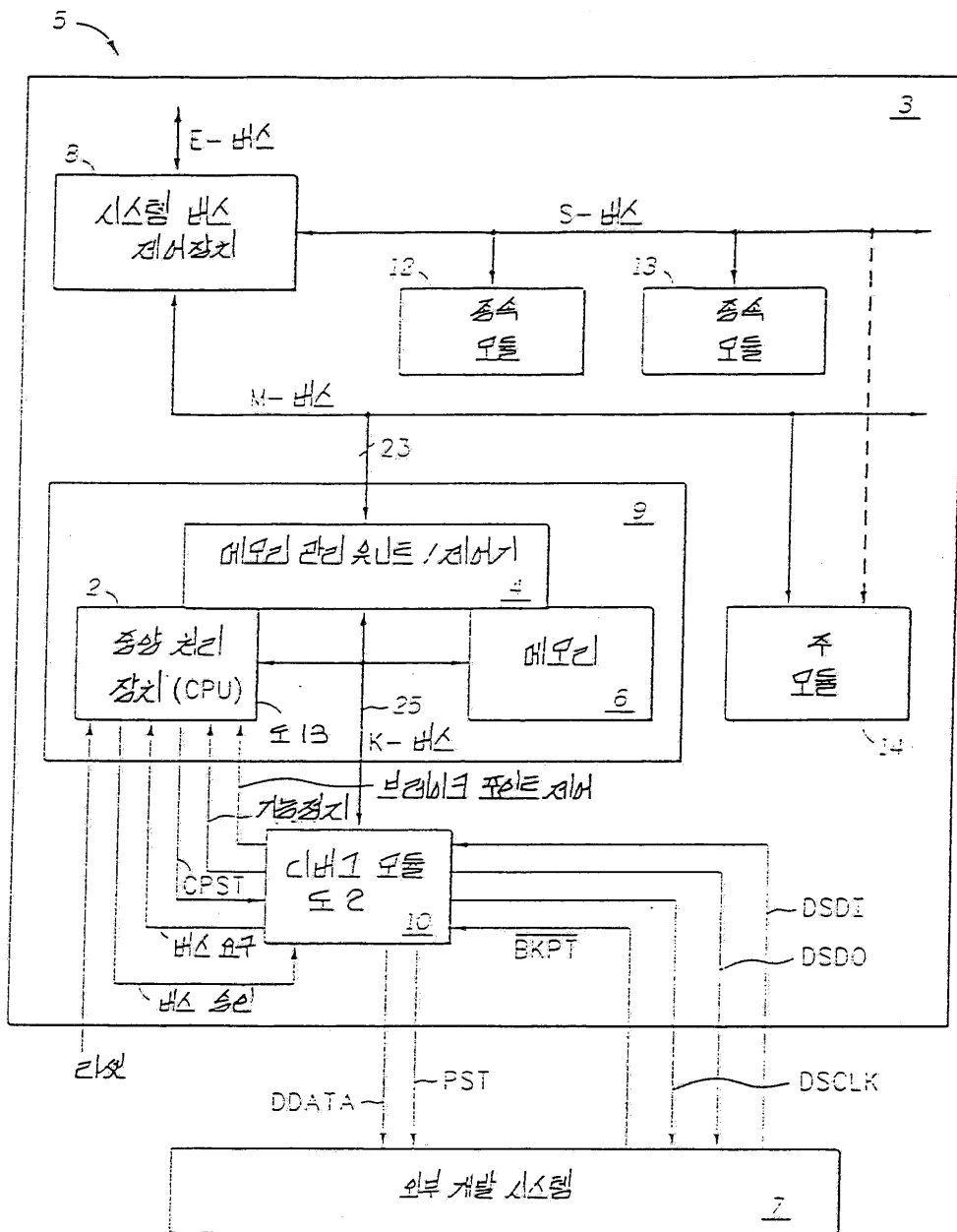
3.

가

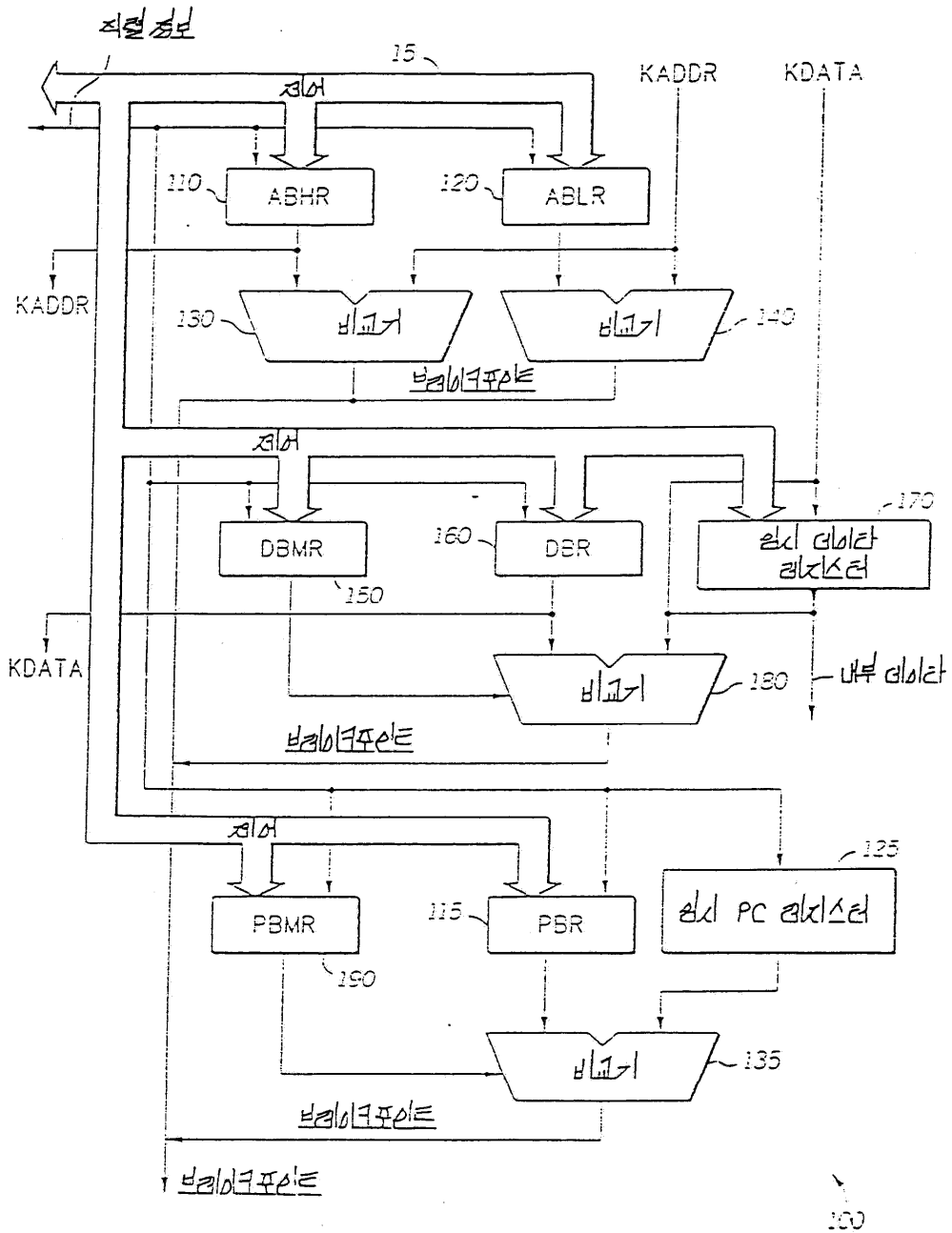
가

가

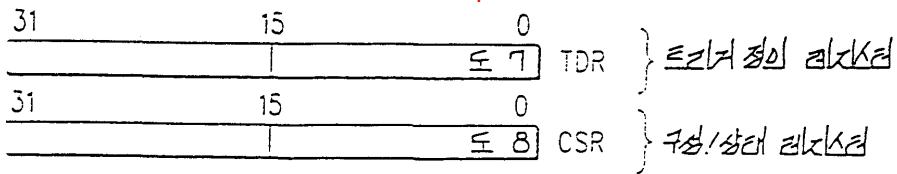
1



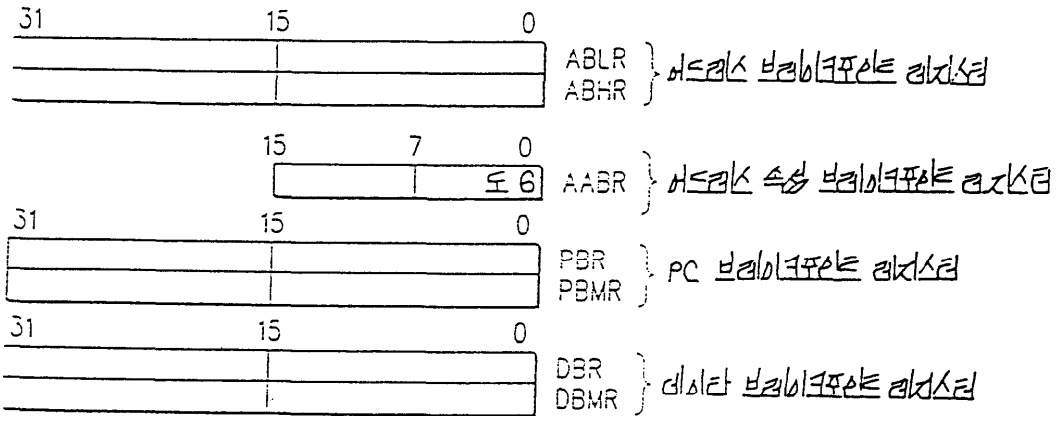
3



4



5

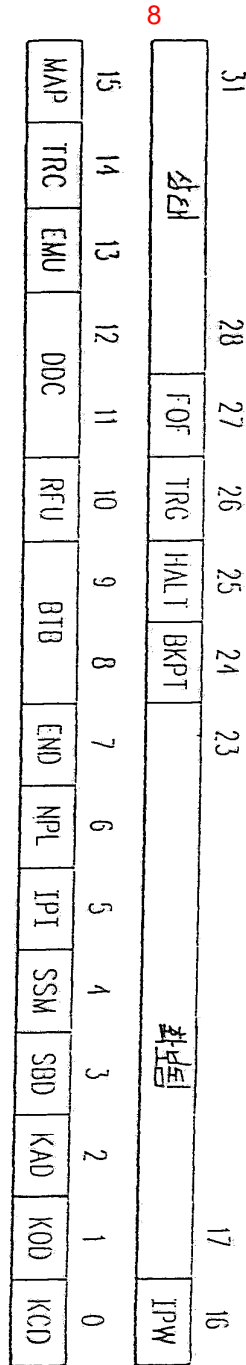


6



7

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TRC	EBL	EDLW	EDWL	EDWU	EDLL	EDLM	EDUM	EDUU	DI	AI	EAR	EAL	EPC	PCI	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
00	EBL	EDLW	EDWL	EDWU	EDLL	EDLM	EDUM	EDUU	DI	AI	EAR	EAL	EPC	PCI	

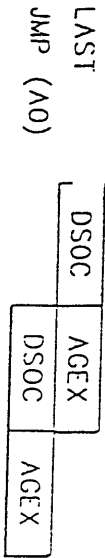


9

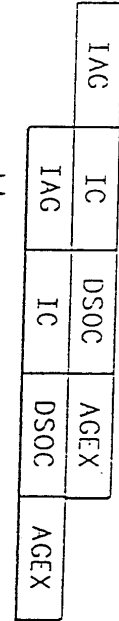
DDATA[3:0], CSR[31:28]	브레이크포인트 상태
\$0	브레이크포인트 사용 가능하지 않음
\$1	레벨 1 브레이크포인트에 대한 기록
\$2	트리거된 레벨 1 브레이크포인트
\$3-4	확보됨
\$5	레벨 2 브레이크포인트에 대한 기록
\$6	트리거된 레벨 2 브레이크포인트
\$7-\$F	확보됨

10

PST[3:0]	정의
0000	확장 지속
0001	지령 실행 개시
0010	확보됨
0011	사용자 모드로 진입
0100	필스 명령의 실행을 시작
0101	선택된 본거의 실행을 시작
0110	확보됨
0111	RTE 명령의 실행을 시작
1000	DDATA에 대해 1 바이트 전송을 시작
1001	DDATA에 대해 2 바이트 전송을 시작
1010	DDATA에 대해 3 바이트 전송을 시작
1011	DDATA에 대해 4 바이트 전송을 시작
1100	제외 처리
1101	예들림이림 모드 진입 제외 처리
1110	프루세서는 정지하고, 인터럽트를 기다린다
1111	프루세서 정지



목표
목표 + \$4



CPST
내년 DDATA

\$5	\$9	\$0	목표	
\$0	\$0	3:0	7:4	11:8
				15:12

PST
DDATA

\$5	\$9	\$0	목표	
\$0	\$0	3:0	7:4	11:8
				15:12

12

