

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2010年12月23日(23.12.2010)

PCT

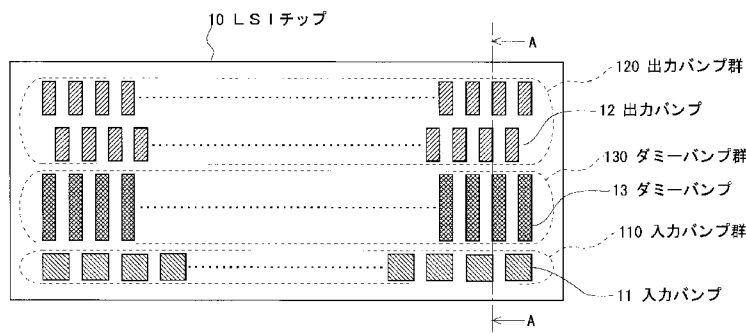
(10) 国際公開番号  
WO 2010/146884 A1

- (51) 国際特許分類:  
H01L 21/60 (2006.01)
- (21) 国際出願番号: PCT/JP2010/051415
- (22) 国際出願日: 2010年2月2日(02.02.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2009-142950 2009年6月16日(16.06.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 塩田 素二 (SHIOTA, Motoji). 中濱 裕喜 (NAKAHAMA, Hiroki). 松井 隆司 (MATSUI, Takashi). 堀口 武志 (HORIGUCHI, Takeshi).
- (74) 代理人: 島田 明宏 (SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町1丁目10番3号 萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR CHIP AND STRUCTURE FOR MOUNTING SAME

(54) 発明の名称: 半導体チップおよびその実装構造

[図1]



- 10... LSI CHIP  
120... OUTPUT BUMP GROUP  
12... OUTPUT BUMP  
130... DUMMY BUMP GROUP  
13... DUMMY BUMP  
110... INPUT BUMP GROUP  
11... INPUT BUMP

(57) Abstract: Provided is a semiconductor chip which can suppress generation of failures of connection with a substrate having the semiconductor chip mounted thereon and has a narrow pitch between the terminals. The LSI chip (10) includes an input bump group (110), which is composed of a plurality of input bumps (11) disposed in a row along one of the long sides of the bottom surface, and an output bump group (120), which is composed of a plurality of output bumps (12) disposed in zigzag arrangement along the other long side of the bottom surface. In the LSI chip, a dummy bump group (130) composed of a plurality of rectangular dummy bumps (bumps not having an electrically connecting function) (13), each of which has, as the long sides, the sides extending in the direction perpendicular to the long sides of the bottom surface is provided in the region between the region provided with the input bump group (110) and the region provided with the output bump group (120).

(57) 要約:

[続葉有]

WO 2010/146884 A1



---

実装先の基板との接続不良の発生を抑制することのできる、端子間が狭ピッチ化された半導体チップを実現する。底面の一方の長辺に沿って一列に配置された複数個の入力バンプ（１１）からなる入力バンプ群（１１０）と底面の他方の長辺に沿って千鳥状に配置された複数個の出力バンプ（１２）からなる出力バンプ群（１２０）とを含むＬＳＩチップ（１０）において、入力バンプ群（１１０）が設けられている領域と出力バンプ群（１２０）が設けられている領域との間の領域に、底面の長辺に対して垂直方向に延びる辺を長辺とする長形状の複数のダミーバンプ（電氣的接続の機能を持たないバンプ）（１３）からなるダミーバンプ群（１３０）が設けられる。

## 明 細 書

**発明の名称：半導体チップおよびその実装構造**

### 技術分野

[0001] 本発明は、半導体チップおよびその実装構造に関し、より詳しくは、導電性の接着剤を用いて基板に実装される半導体チップの構造およびそのような半導体チップの基板への実装構造に関する。

### 背景技術

[0002] 近年、電子機器の小型化や薄型化への要求が高まっている。それに伴い、IC (Integrated Circuit: 集積回路) チップやLSI (Large Scale Integration: 大規模集積回路) チップ (以下、両者をまとめて単に「チップ」という。) を配線基板に実装する方法に関して、様々な提案がなされている。例えば、ごく小さい領域で配線基板へのチップの実装を実現する手法として、「フリップチップ実装」と呼ばれる実装方法が知られている。フリップチップ実装とは、「ベアチップ」と呼ばれるパッケージ化されていないチップの表面 (ひょうめん) に「バンプ」と呼ばれる突起電極を形成し、回路面を下に向けて配線基板に直接電気接続する実装方法である。

[0003] フリップチップ実装に際して、配線基板とチップとの接着には一般的に異方性導電材料が用いられる。異方性導電材料は、圧着部における厚さ方向に対しては導電性を有し、圧着部における面方向に対しては絶縁性を有する接続材料である。異方性導電材料は、主に、導電性粒子および接着剤として機能する樹脂 (以下、「接着樹脂」という。) によって構成されている (接着樹脂の中に導電性粒子が分散されている)。接着の際には、接着部分に熱と圧力が加えられることにより、接着樹脂が押し広げられる。このとき、対向する電極間に導電性粒子が挟みこまれる (捕捉される) ことにより、対向する電極間が電氣的に導通する。なお、導電性粒子の接着樹脂への充填量については、電極の接続面積や電極間スペースに応じて設計される。

[0004] 異方性導電材料としては、典型的には、ACP (Anisotropic Conductive Paste) と呼ばれるペースト状の接着剤とACF (Anisotropic Conductive Film) と呼ばれるフィルム状の接着剤とが知られている。ACPおよびACFは、エポキシ樹脂などの熱硬化性樹脂から成る接着剤の中にニッケル粒子や金めっきプラスチック粒子などの導電性粒子を分散させた接着剤である。ACPとACFとを比較すると、ACFよりもACPの方が導電性粒子の流動性が高い。このため、ACPについては、接着の際に電極間に導電性粒子が捕捉されにくいという不利な点がある。これに対して、ACFについては、接着の際に電極間に導電性粒子が捕捉されやすく電氣的導通が確実に確保されるという利点がある。近年、電子機器の小型化や薄型化に伴い、チップの端子間のピッチの狭小化や電極パッドの微細化が進んでいる。そこで、導電性粒子の捕捉のされやすさの観点から、接着剤としてACFが採用されることが多くなっている。

[0005] 図15は、液晶表示装置の駆動回路として用いられる従来のLSIチップ70の底面図である。このLSIチップ70の底面には、一方の長辺に沿って一列に配置された複数個の入力バンプ（入力端子）71からなる入力バンプ群710と、他方の長辺に沿って千鳥状に配置された複数個の出力バンプ（出力端子）72からなる出力バンプ群720とが設けられている。入力バンプ群710および出力バンプ群720は、このLSIチップ70を搭載する配線基板上に形成された電極パッドとACFによって接続される。入力バンプ群710に接続される電極パッドには、このLSIチップ70を動作させるための電気信号が与えられる。出力バンプ群720に接続される電極パッドには走査信号線や映像信号線が接続され、当該電極パッドを介してこのLSIチップ70から走査信号線および映像信号線に駆動用の信号が与えられる。

[0006] 次に、ACFを用いて行われる配線基板へのチップ（例えば、図15に示したLSIチップ70）の実装について説明する。まず、図16（A）に示

すように、チップ50との電氣的接続のための電極パッド53が形成された配線基板51と、バンプ52が形成されたチップ50とが準備され、電極パッド53を覆うようにしてACF54が配線基板51に貼り付けられる。その後、図16(B)に示すように、圧着ツール55によってチップ50の配線基板51への熱圧着が行われる。熱圧着は、チップ50の底面に設けられたバンプ52と配線基板51上の電極パッド53とが位置合わせされた状態で行われる。この熱圧着により、ACF54を構成する樹脂（以下、「ACF樹脂」という。）が熔融し、図16(C)に示すように、ACF樹脂はチップ50の中央部から外側へと流れ出る。このとき、ACF樹脂はバンプ52間に充填されるので、ACF樹脂に含まれる導電性粒子によってチップ50底面のバンプ52と配線基板51上の電極パッド53との電氣的な導通状態が確保される。

[0007] なお、本願発明に関連して、以下のような先行技術が知られている。日本の特開2004-252466号公報には、図17や図18に示す構成の底面を有するICチップ80、85の発明が開示されている。図17では、入力バンプ群、映像信号線に接続される出力バンプ群、および走査信号線に接続される出力バンプ群にそれぞれ符号81、82、および83を付している。図18では、入力バンプ群、映像信号線に接続される出力バンプ群、および走査信号線に接続される出力バンプ群にそれぞれ符号86、87、および88を付している。これらのICチップ80、85によれば、出力バンプが千鳥配列とはなっていないため出力バンプ間におけるACF樹脂の流動性が向上するとされている。また、日本の特開2006-106132号公報には、図19に示すようにチップの短辺側にテスト用端子群91を備えた構成や図20に示すように入力端子群93よりも中央側にテスト用端子群94を備えた構成が開示されている。なお、図20は、図21で符号95で示す領域の部分拡大図である。さらに、日本の特開2007-173738号公報には、ダミー配線導体部を備える構成とすることにより、封止樹脂内に発生した気泡の配線導体への進入を阻止する技術が開示されている。

## 先行技術文献

## 特許文献

[0008] 特許文献1：日本の特開2004-252466号公報

特許文献2：日本の特開2006-106132号公報

特許文献3：日本の特開2007-173738号公報

## 発明の概要

## 発明が解決しようとする課題

[0009]     ところで、上述した端子間の狭ピッチ化に起因して、チップ底面の四隅（以下、「コーナー部」という。）において、チップの出力バンプと配線基板上の電極パッドとの間の電氣的な接続の不良（以下、「接続不良」という。）が生じることがある。これについて以下に説明する。図22は、図15に示したLSIチップ70の端子間が狭ピッチ化されたものである場合についてのLSIチップ70の底面におけるACF樹脂の流れについて説明するための図である。図22では、矢印の向きによってACF樹脂の流れを表しており、矢印の幅によってACF樹脂の流れの大きさ（流量）を表している。中央部から短辺側への流れについては、入力バンプ71と出力バンプ72との間の領域にバンプが設けられていないため、符号75の矢印で示すように非常に大きな流量となっている。中央部から長辺側への流れのうち出力バンプ72側への流れについては、符号76～78の矢印で示すように、長辺の中心からコーナー部に近づくにつれて流量は小さくなっている。この理由は、出力バンプ72が狭ピッチで千鳥配列にされていることに起因してACF樹脂が出力バンプ72間を流れにくくなっているからである。また、ACF樹脂についてはより流れやすい方向への流量が大きくなるので、上述のように中央部から短辺側への流量が大きくなる分、中央部から長辺側への流量は小さくなる。以上より、LSIチップ70の特にコーナー部近傍では、符号78の矢印で示すように、非常に小さな流量となる。その結果、コーナー部近傍で上述した接続不良が生じる。なお、入力バンプ71は出力バンプ72

ほど狭ピッチ化されていないため、中央部から長辺側への流れのうち入力バンプ 7 1 側への流れについては、コーナー部近傍においても符号 7 9 の矢印で示すように、接続不良が生じない程度の流量が確保されている。

[0010] そこで本発明は、実装先の基板との接続不良の発生を抑制することのできる、端子間が狭ピッチ化された半導体チップを実現することを目的とする。

### 課題を解決するための手段

[0011] 本発明の第 1 の局面は、長方形形状の底面を有し、前記底面の一方の長辺に沿って配置され外部からの入力信号を受け取るための複数の突起電極からなる第 1 の突起電極群と、前記底面の他方の長辺に沿って配置され出力信号を外部に出力するための複数の突起電極からなる第 2 の突起電極群とを含む半導体チップであって、

前記底面において、前記第 1 の突起電極群が形成されている領域と前記第 2 の突起電極群が形成されている領域との間の領域に、前記底面の長辺に対して垂直方向に延びる辺を長辺とする長方形形状の複数の突起電極からなる第 3 の突起電極群を備え、

前記第 3 の突起電極群に含まれる複数の突起電極は、外部との電氣的な接続がなされない電極であることを特徴とする。

[0012] 本発明の第 2 の局面は、本発明の第 1 の局面において、

前記第 3 の突起電極群に含まれる複数の突起電極は、前記底面の一方の短辺近傍および他方の短辺近傍に形成された突起電極のみからなることを特徴とする。

[0013] 本発明の第 3 の局面は、本発明の第 1 の局面において、

前記第 3 の突起電極群に含まれる複数の突起電極の長辺は、前記第 1 の突起電極群が形成されている領域と前記第 2 の突起電極群が形成されている領域との間の距離の 2 分の 1 以上の長さであることを特徴とする。

[0014] 本発明の第 4 の局面は、本発明の第 1 の局面において、

前記第 3 の突起電極群は、前記第 1 の突起電極群が形成されている領域に沿って一列に配置された複数の突起電極からなる突起電極列と前記第 2 の突

起電極群が形成されている領域に沿って一列に配置された複数の突起電極からなる突起電極列とを少なくとも含む複数の突起電極列によって構成されていることを特徴とする。

[0015] 本発明の第5の局面は、本発明の第1の局面において、

前記第3の突起電極群に含まれる複数の突起電極は、相対的に前記底面の一方の長辺側にずれて配置された突起電極と相対的に前記底面の他方の長辺側にずれて配置された突起電極とが交互に配置されるように形成されていることを特徴とする。

[0016] 本発明の第6の局面は、本発明の第1の局面において、

前記第3の突起電極群に含まれる複数の突起電極は、前記底面の中央部から短辺側に近づくに従い長辺が長くなるように形成されていることを特徴とする。

[0017] 本発明の第7の局面は、本発明の第1の局面において、

前記第3の突起電極群は、前記第1の突起電極群が形成されている領域に沿って一列に配置された複数の突起電極からなる突起電極列と前記第2の突起電極群が形成されている領域に沿って一列に配置された複数の突起電極からなる突起電極列とを含み、

各突起電極列に含まれる複数の突起電極は、前記底面の中央部から短辺側に近づくに従い長辺が長くなるように形成されていることを特徴とする。

[0018] 本発明の第8の局面は、本発明の第1の局面において、

前記第2の突起電極群は、前記底面の一方の長辺に沿って一列に配置された複数の突起電極からなる突起電極列と前記第3の突起電極群が形成されている領域に沿って一列に配置された複数の突起電極からなる突起電極列とを少なくとも含む複数の突起電極列によって構成されていることを特徴とする。

[0019] 本発明の第9の局面は、互いに対向する第1および第2の基板からなる液晶パネルを含み、前記液晶パネルを駆動するための駆動回路が前記第1の基板に設けられる液晶モジュールであって、

本発明の第 1 から第 8 までのいずれかの局面に係る半導体チップが前記駆動回路として異方性導電膜を用いて前記第 1 の基板に実装されていることを特徴とする。

[0020] 本発明の第 10 の局面は、電気配線が形成された配線基板に長方形状の底面を有する半導体チップが異方性導電膜を用いて実装された実装構造であって、

前記半導体チップは、前記底面の一方の長辺に沿って配置され前記配線基板上の電気配線からの入力信号を受け取るための複数の突起電極からなる第 1 の突起電極群と、前記底面の他方の長辺に沿って配置され出力信号を前記配線基板上の電気配線に出力するための複数の突起電極からなる第 2 の突起電極群と、前記第 1 の突起電極群が形成されている領域と前記第 2 の突起電極群が形成されている領域との間の領域に配置され前記底面の長辺に対して垂直方向に延びる辺を長辺とする長方形状の複数の突起電極からなる第 3 の突起電極群とを備え、

前記第 3 の突起電極群に含まれる複数の突起電極は、前記配線基板上の電気配線との電氣的な接続がなされない電極であることを特徴とする。

[0021] 本発明の第 11 の局面は、本発明の第 10 の局面において、

前記第 3 の突起電極群に含まれる複数の突起電極は、前記底面の一方の短辺近傍および他方の短辺近傍に形成された突起電極のみからなることを特徴とする。

[0022] 本発明の第 12 の局面は、本発明の第 10 の局面において、

前記第 3 の突起電極群に含まれる複数の突起電極の長辺は、前記第 1 の突起電極群が形成されている領域と前記第 2 の突起電極群が形成されている領域との間の距離の 2 分の 1 以上の長さであることを特徴とする。

[0023] 本発明の第 13 の局面は、本発明の第 10 の局面において、

前記第 3 の突起電極群は、前記第 1 の突起電極群が形成されている領域に沿って一列に配置された複数の突起電極からなる突起電極列と前記第 2 の突起電極群が形成されている領域に沿って一列に配置された複数の突起電極か

らなる突起電極列とを少なくとも含む複数の突起電極列によって構成されていることを特徴とする。

[0024] 本発明の第 14 の局面は、本発明の第 10 の局面において、

前記第 3 の突起電極群に含まれる複数の突起電極は、相対的に前記底面の一方の長辺側にずれて配置された突起電極と相対的に前記底面の他方の長辺側にずれて配置された突起電極とが交互に配置されるように形成されていることを特徴とする。

[0025] 本発明の第 15 の局面は、本発明の第 10 の局面において、

前記第 3 の突起電極群に含まれる複数の突起電極は、前記底面の中央部から短辺側に近づくに従い長辺が長くなるように形成されていることを特徴とする。

[0026] 本発明の第 16 の局面は、本発明の第 10 の局面において、

前記第 3 の突起電極群は、前記第 1 の突起電極群が形成されている領域に沿って一列に配置された複数の突起電極からなる突起電極列と前記第 2 の突起電極群が形成されている領域に沿って一列に配置された複数の突起電極からなる突起電極列とを含み、

各突起電極列に含まれる複数の突起電極は、前記底面の中央部から短辺側に近づくに従い長辺が長くなるように形成されていることを特徴とする。

[0027] 本発明の第 17 の局面は、本発明の第 10 の局面において、

前記第 2 の突起電極群は、前記底面の一方の長辺に沿って一列に配置された複数の突起電極からなる突起電極列と前記第 3 の突起電極群が形成されている領域に沿って一列に配置された複数の突起電極からなる突起電極列とを少なくとも含む複数の突起電極列によって構成されていることを特徴とする。

[0028] 本発明の第 18 の局面は、本発明の第 10 から第 17 までのいずれかの局面において、

前記配線基板は、液晶モジュールに含まれる液晶パネルを構成する 2 枚の基板のうちの一方の基板であって、

前記半導体チップは、前記液晶パネルを駆動するための駆動回路であることとを特徴とする。

### 発明の効果

- [0029] 本発明の第1の局面によれば、半導体チップの底面において、入力信号を受け取るための第1の突起電極群と出力信号を出力するための第2の突起電極群との間の領域には、当該半導体チップの底面の長辺に対して垂直方向に延びる辺を長辺とする複数の突起電極からなる第3の突起電極群が設けられる。このため、異方性導電膜を用いて半導体チップが配線基板に実装される際に、異方性導電膜を構成する樹脂（導電性樹脂）の流れは第3の突起電極群によって阻害される。これにより、従来の構成と比較して多量の導電性樹脂が半導体チップの中央部から長辺側へと流れる。その結果、半導体チップのコーナー部近傍においても導電性樹脂の十分な流れが確保され、導電性樹脂の流量不足に起因する接続不良の発生が抑制される。
- [0030] また、第3の突起電極群に含まれる複数の突起電極は、電気的接続の機能を有していない。このため、それら第3の突起電極群に含まれる複数の突起電極を介して電気信号のやりとりはなされないので、配線パターン等を考慮することなく、導電性樹脂の流れを阻害するための複数の突起電極を半導体チップの底面に配置させることができる。これにより、チップサイズを大きくすることなく、半導体チップにおける端子間の狭ピッチ化が可能となる。
- [0031] 本発明の第2の局面によれば、半導体チップの底面の両短辺近傍にのみ、導電性樹脂の流れを阻害するための突起電極が設けられる。このため、半導体チップの設計自由度を低下させることなく、従来よりも多くの量の導電性樹脂を半導体チップのコーナー部近傍に流すことができる。これにより、チップサイズの拡大を効果的に抑制しつつ、最も導電性樹脂の流量不足が生じやすいコーナー部近傍における接続不良の発生を抑制することが可能となる。
- [0032] 本発明の第3の局面によれば、半導体チップの底面において、中央部から短辺側への導電性樹脂の流れの大半が第3の突起電極によって阻害される。

このため、より確実に、半導体チップのコーナ一部近傍における導電性樹脂の流量不足に起因する接続不良の発生が抑制される。

[0033] 本発明の第4の局面によれば、突起電極の長さに制限のある半導体チップにおいて、当該半導体チップの底面の中央部から短辺側への導電性樹脂の流れが比較的効果的に阻害される。このため、半導体チップのコーナ一部近傍においても導電性樹脂の十分な流れが確保される。これにより、突起電極の長さに制限のある半導体チップにおいて、導電性樹脂の流量不足に起因する接続不良の発生が抑制される。

[0034] 本発明の第5の局面によれば、本発明の第4の局面と同様、突起電極の長さに制限のある半導体チップにおいて、導電性樹脂の流量不足に起因する接続不良の発生が抑制される。

[0035] 本発明の第6の局面によれば、半導体チップの底面において、中央部から短辺側に近づくに従い導電性樹脂の流れが効果的に阻害される。一方、半導体チップの底面において、短辺側から中央部に近づくに従い第3の突起電極の占有面積が小さくなる。以上より、半導体チップの設計自由度をある程度確保しつつ、導電性樹脂の流量不足に起因する接続不良の発生が抑制される。

[0036] 本発明の第7の局面によれば、本発明の第6の局面と同様、半導体チップの設計自由度をある程度確保しつつ、導電性樹脂の流量不足に起因する接続不良の発生が抑制される。

[0037] 本発明の第8の局面によれば、出力信号を外部に出力するための第2の突起電極群が複数の突起電極列によって構成されている半導体チップにおいて、本発明の第1の局面と同様の効果が得られる。

[0038] 本発明の第9の局面によれば、本発明の第1から第8までのいずれかの局面と同様の効果を奏する半導体チップを液晶パネルの基板に実装した液晶モジュールが実現される。

## 図面の簡単な説明

[0039] [図1]本発明の第1の実施形態におけるLSIチップの底面図である。

[図2] 上記第1の実施形態に係るLSIチップを備えた液晶モジュールの平面図である。

[図3] 図1のA-A線断面図である。

[図4] AおよびBは、上記第1の実施形態において、効果について説明するための図である。

[図5] 上記第1の実施形態において、ACF樹脂の流れについて説明するための図である。

[図6] AおよびBは、上記第1の実施形態において、効果について説明するための図である。

[図7] 本発明の第2の実施形態におけるLSIチップの底面図である。

[図8] 本発明の第3の実施形態におけるLSIチップの底面図である。

[図9] 上記第3の実施形態の変形例におけるLSIチップの底面図である。

[図10] 上記第3の実施形態の変形例におけるLSIチップの底面図である。

[図11] 上記第3の実施形態の変形例におけるLSIチップの底面図である。

[図12] 上記第3の実施形態の変形例におけるLSIチップの底面図である。

[図13] 本発明の第4の実施形態におけるLSIチップの底面図である。

[図14] 上記第4の実施形態の変形例におけるLSIチップの底面図である。

[図15] 液晶表示装置の駆動回路として用いられる従来のLSIチップの底面図である。

[図16] A-Cは、ACFを用いて行われる配線基板へのチップの実装について説明するための図である。

[図17] 従来のICチップの底面図である。

[図18] 従来のICチップの底面図である。

[図19] 従来のチップの底面図である。

[図20] 従来のチップの底面図の部分拡大図である。

[図21] 従来のチップの底面図である。

[図22] 従来例において、ACF樹脂の流れについて説明するための図である。

## 発明を実施するための形態

[0040] 以下、添付図面を参照しつつ、本発明の実施形態について説明する。

[0041] < 1. 第 1 の実施形態 >

< 1. 1 液晶モジュールの構成 >

図 2 は、本発明の第 1 の実施形態に係る L S I チップ（半導体チップ）を備えた液晶モジュールの平面図である。この液晶モジュールは、液晶パネルと L S I チップ 10 と F P C（Flexible Printed Circuit）40 とによって構成されている。液晶パネルは、画素電極（表示電極）を含み T F T アレイが形成された T F T アレイ基板 20 と、カラー表示用のカラーフィルタが形成されるとともに液晶層を介して画素電極との間に電圧を印加するための対向電極が形成されたカラーフィルタ基板 30 とによって構成されている。T F T アレイ基板 20 およびカラーフィルタ基板 30 はともにガラス基板である。また、図 2 に示すように、カラーフィルタ基板 30 よりも T F T アレイ基板 20 の方が平面視で大きくなっている。T F T アレイ基板 20 とカラーフィルタ基板 30 とが平面視で重なる領域に表示部が設けられている。T F T アレイ基板 20 上の領域のうちカラーフィルタ基板 30 とは対向していない領域は一般に「額縁」と呼ばれている。本実施形態においては、額縁となる領域（以下、「額縁エリア」という。）21 には、液晶パネル駆動用の L S I チップ 10 が実装されるとともに、当該 L S I チップ 10 の動作を制御するためのコントローラ等を含む F P C 40 が接続され、これにより、液晶モジュールが実現されている。このように、本実施形態においては、ガラス基板上に L S I チップ 10 が搭載された構成すなわち C O G（Chip On Glass）方式が採用されている。なお、図 2 では、説明の便宜上、カラーフィルタ基板 30 を平面視でやや左上方向にずらして図示している。

[0042] < 1. 2 L S I チップの底面の構成 >

図 1 は、本実施形態における L S I チップ 10 の底面図である。図 1 に示すように、この L S I チップ 10 の底面には、一方の長辺に沿って一列に配

置された複数個の入力バンプ 11 からなる入力バンプ群 110 と、他方の長辺に沿って千鳥状に配置された複数個の出力バンプ 12 からなる出力バンプ群 120 と、入力バンプ群 110 が設けられている領域と出力バンプ群 120 が設けられている領域との間の領域に一系列に配置された複数個のダミーバンプ 13 からなるダミーバンプ群 130 とが設けられている。なお、ダミーバンプ 13 とは、電氣的接続の機能を持たないバンプのことである。入力バンプ群 110 は、この L S I チップ 10 を搭載する T F T アレイ基板 20 上に形成された電極パッドと A C F によって接続される。そして、その入力バンプ群 110 に接続される電極パッドには、この L S I チップ 10 を動作させるための電気信号が与えられる。出力バンプ群 120 も、この L S I チップ 10 を搭載する T F T アレイ基板 20 上に形成された電極パッドと A C F によって接続される。そして、その出力バンプ群 120 に接続される電極パッドには走査信号線や映像信号線が接続され、当該電極パッドを介してこの L S I チップ 10 から走査信号線および映像信号線に駆動用の信号が与えられる。

[0043] なお、本実施形態においては、入力バンプ群 110 によって第 1 の突起電極群が実現され、出力バンプ群 120 によって第 2 の突起電極群が実現され、ダミーバンプ群 130 によって第 3 の突起電極群が実現されている。

[0044] 図 3 は、図 1 の A - A 線断面図（図 2 の B - B 線断面図）である。図 3 に示すように、L S I チップ 10 の底面の一端（F P C 側）近傍に設けられた入力バンプ 11 と L S I チップ 10 の底面の他端（表示部側）近傍に設けられた出力バンプ 12 との間に、ダミーバンプ 13 が設けられている。T F T アレイ基板 20 と L S I チップ 10 とは、A C F 9 によって互いに接着されている。ここで、この L S I チップ 10 の底面の短手方向（符号 19 の矢印で示す方向）についての各バンプの長さに着目すると、典型的には、ダミーバンプ 13 の長さは、入力バンプ 11 の長さや出力バンプ 12 の長さよりも長くなっている。また、後述するように A C F 樹脂の流れが阻害されるよう、ダミーバンプ 13 の長辺の長さ  $L_a$  は、入力バンプ 11 - 出力バンプ 12

間の長さ $L_b$ にできる限り近い長さとされる。例えば、上記 $L_a$ は上記 $L_b$ の2分の1以上とされることが好ましい。また、上記 $L_a$ が上記 $L_b$ の5分の3以上にされると更に好ましい。なお、図3では、TF Tアレイ基板20上の電極パッドを省略している。

[0045] < 1. 3 効果 >

図15に示した従来の構成によると、LSIチップ70の底面の一方の長辺に沿って一列に配置された入力バンプ群710と他方の長辺に沿って千鳥状に配置された出力バンプ群720との間の領域には、ACF樹脂の流れを阻害するようなバンプ等は設けられていなかった。このため、図4(A)に示すように、中央部から短辺側へのACF樹脂の流量と比較すると、中央部から長辺側へのACF樹脂の流量は著しく小さくなっていた。その結果、LSIチップ70のコーナー部近傍において、ACF樹脂の流量不足が顕著となり(図22参照)、反応不足や樹脂不足に起因して信頼性が十分な接続状態が得られず、接続不良が生じていた。これに対して、本実施形態に係る構成によると、入力バンプ群110と出力バンプ群120との間の領域には、図1に示すように、ACF樹脂の大きな流れに対して垂直方向に長辺を有する複数のダミーバンプ13からなるダミーバンプ群130が設けられている。このため、図4(B)に示すように、中央部から短辺側へのACF樹脂の流れがダミーバンプ13によって阻害され、従来の構成と比較して多量のACF樹脂が中央部から長辺側へと流れる。これにより、図5で符号15の矢印で示すように、LSIチップ10のコーナー部近傍においてもACF樹脂の十分な流れが確保され、ACF樹脂の流量不足に起因する接続不良の発生が抑制される。

[0046] また、図17に示した従来の構成においては、符号84で示すバンプが本実施形態におけるダミーバンプ13に相当し得る。図18に示した従来の構成においては、符号89で示すバンプが本実施形態におけるダミーバンプ13に相当し得る。しかしながら、従来の構成におけるダミーバンプ84、89は図6(A)に示すようにACF樹脂の大きな流れと同じ方向に長辺を有

しているのに対し、本実施形態におけるダミーバンプ１３は図６（Ｂ）に示すようにＡＣＦ樹脂の大きな流れに対して垂直方向に長辺を有している。このため、本実施形態においては、ＡＣＦ樹脂の流れ方向を効果的に（ＬＳＩチップ底面の）長辺側へと変えることができ、ＬＳＩチップ１０のコーナー部近傍においても十分な量のＡＣＦ樹脂の流れが確実に確保される。

[0047] 以上より、端子（バンプ）間が狭ピッチ化したＬＳＩチップ１０のＴＦＴアレイ基板２０への実装に関し、ＬＳＩチップ１０のコーナー部近傍において従来生じていたＡＣＦ樹脂の流量不足に起因する接続不良（ＬＳＩチップ１０底面の出力バンプ１２とＴＦＴアレイ基板２０上の電極パッドとの間の電氣的な接続不良）の発生が抑制される。その結果、信頼性の高い液晶モジュールを提供することが可能となる。

[0048] また、本実施形態においては、ＡＣＦ樹脂の流れを阻害するための構成要素として、電氣的接続の機能を持たないダミーバンプ１３が採用されている。ダミーバンプ１３を介して電気信号のやりとりはなされないので、配線パターン等を考慮することなく複数のダミーバンプ１３をＬＳＩチップ１０の底面に配置させることができる。このため、ＬＳＩ設計に際してのレイアウト効率は低下せず、チップサイズを大きくすることなく端子間の狭ピッチ化が可能となる。これにより、端子間が狭ピッチ化されたＬＳＩチップ１０を搭載した液晶モジュールが実現される。

[0049] さらに、本実施形態によれば、接続工程における条件出しの作業や接続工程の管理作業に大きな負担が課せられることなく、液晶モジュールに端子間が狭ピッチ化されたＬＳＩチップ１０を採用することが可能となる。

[0050] < ２．第２の実施形態 >

図７は、本発明の第２の実施形態におけるＬＳＩチップ１０の底面図である。本実施形態においては、図７に示すように、ＬＳＩチップ１０の底面の一方の短辺近傍および他方の短辺近傍にのみダミーバンプ１３が設けられている。すなわち、上記第１の実施形態におけるダミーバンプ群１３０に含まれる複数のダミーバンプ１３（図１参照）のうち最も外側に配置されている

２個のダミーバンプ１３のみがＬＳＩチップ１０の底面に形成されている。それ以外の構成については、上記第１の実施形態と同様であるので、説明を省略する。

[0051] 入力バンプ群１１０と出力バンプ群１２０との間の領域には中央部から短辺側へのＡＣＦ樹脂の流れを抑制するダミーバンプ１３が多く設けられるほどＬＳＩチップ１０とＴＦＴアレイ基板２０との接続に関する信頼性は高まる。しかしながら、ＬＳＩチップ１０の底面に設けられるダミーバンプ１３が多くなるほど、ＬＳＩチップ１０の設計自由度は低下する。そこで、図７に示すようにＬＳＩチップ１０の底面の両短辺近傍にのみダミーバンプ１３を設ける構成にすることにより、ＬＳＩチップ１０の設計自由度を低下させることなく、ＬＳＩチップ１０のコーナー部近傍においても十分な量のＡＣＦ樹脂の流れを確保することができる。これにより、チップサイズの拡大を効果的に抑制しつつ、最もＡＣＦ樹脂の流量不足が生じやすいコーナー部近傍における接続不良の発生を抑制することができる。

[0052] < ３．第３の実施形態 >

図８は、本発明の第３の実施形態におけるＬＳＩチップ１０の底面図である。ＬＳＩチップ１０の底面におけるバンプの形成に関しては様々な制限が課され得る。例えば、バンプの長辺の長さが所定の長さ以下に制限されることもある。このような場合、入力バンプ群１１０とダミーバンプ群１３０との間の距離あるいは出力バンプ群１２０とダミーバンプ群１３０との間の距離が大きくなり、中央部から短辺側へのＡＣＦ樹脂の大きな流れが阻害されないことが考えられる。そこで、本実施形態においては、図８に示すように、ダミーバンプ群１３０は、相対的にＬＳＩチップ１０底面の一方の長辺側にずれて配置されたダミーバンプ１３と相対的にＬＳＩチップ１０底面の他方の長辺側にずれて配置されたダミーバンプ１３とが交互に配置されるように形成されている。それ以外の構成については、上記第１の実施形態と同様であるので、説明を省略する。

[0053] 本実施形態によれば、バンプの長辺の長さが所定の長さ以下に制限される

ＬＳＩチップ１０において、中央部から短辺側へのＡＣＦ樹脂の流れが比較的效果的に阻害される。これにより、ＬＳＩチップ１０のコーナー部近傍においてもＡＣＦ樹脂の十分な流れが確保され、ＡＣＦ樹脂の流量不足に起因する接続不良の発生が抑制される。

[0054] なお、バンプの長辺の長さが所定の長さ以下に制限される場合、例えば図９や図１０に示すように、複数列に配置された複数のダミーバンプ１３によってダミーバンプ群１３０が構成されるようにしても良い。詳しくは、図９に示す構成においては、ダミーバンプ群１３０は、入力バンプ群１１０に沿って一列に配置された複数のダミーバンプ１３からなるダミーバンプ列１３１と、出力バンプ群１２０に沿って一列に配置された複数のダミーバンプ１３からなるダミーバンプ列１３２とによって構成されている。図１０に示す構成においては、ダミーバンプ群１３０は、入力バンプ群１１０に沿って一列に配置された複数のダミーバンプ１３からなるダミーバンプ列１３１と、出力バンプ群１２０に沿って一列に配置された複数のダミーバンプ１３からなるダミーバンプ列１３２と、それら２つのダミーバンプ列１３１、１３２の間に一列に配置された複数のダミーバンプ１３からなるダミーバンプ列１３３とによって構成されている。また、図８に示した構成と図９あるいは図１０に示した構成とを組み合わせた構成すなわち図１１や図１２に示すような構成にしても良い。

[0055] < ４．第４の実施形態 >

図１３は、本発明の第４の実施形態におけるＬＳＩチップ１０の底面図である。図２２に示したように、端子間が狭ピッチ化されたＬＳＩチップ７０においても、底面の長辺の中心付近では接続不良が生じない程度にＡＣＦ樹脂の流量が確保されることが多い（符号７６の矢印参照）。従って、中央部に近いほど、中央部から短辺側へのＡＣＦ樹脂の流れを阻害する必要性が低いことが考えられる。そこで、本実施形態においては、図１３に示すように、ダミーバンプ群１３０に含まれる複数のダミーバンプ１３は、ＬＳＩチップ１０底面の中央部から短辺側に近づくに従い長辺が長くなるように形成さ

れている。それ以外の構成については、上記第 1 の実施形態と同様であるので、説明を省略する。

[0056] 上記第 2 の実施形態においては、最も ACF 樹脂の流量不足が生じやすいコーナ一部近傍における接続不良の発生が抑制されたが、本実施形態においては、LSI チップ 10 の設計自由度をある程度確保しつつ、コーナ一部近傍のみならずコーナ一部近傍以外における接続不良の発生をも抑制することができる。

[0057] なお、同様の観点から、図 14 に示すように、ダミーバンプ群 130 が 2 列のダミーバンプ列からなる構成とし、各ダミーバンプ列に含まれる複数のダミーバンプ 13 について LSI チップ 10 の底面の中央部から短辺側に近づくに従い長辺が長くなるように形成されても良い。

[0058] < 5. その他 >

上記各実施形態においては、LSI チップ 10 が液晶パネルの TFT アレイ基板 20 に実装される例を挙げて説明しているが、本発明はこれに限定されない。ACF を用いて半導体チップが配線基板に実装されるものであれば、ACF 樹脂の流量不足に起因する接続不良の発生を抑制するために本発明を適用することができる。

[0059] また、上記各実施形態においては、入力バンプ群 110 は 1 列のバンプ列（LSI チップ 10 底面の一方の長辺に沿って一列に配置された複数の入力バンプ 12 からなるバンプ列）で構成され、出力バンプ群 120 は 2 列のバンプ列（LSI チップ 10 底面の他方の長辺に沿って一列に配置された複数の出力バンプ 12 からなるバンプ列とダミーバンプ群 130 が形成されている領域に沿って一列に配置された複数の出力バンプ 12 からなるバンプ列）で構成されているが、本発明はこれに限定されない。入力バンプ群 110 および出力バンプ群 120 がそれぞれ LSI チップ 10 の一方の長辺および他方の長辺に沿って配置されていれば、本発明を適用することができる。

## 符号の説明

[0060] 9 … ACF

- 1 0…L S I チップ
- 1 1…入力バンプ
- 1 2…出力バンプ
- 1 3…ダミーバンプ
- 2 0…T F T アレイ基板
- 2 1…額縁エリア
- 3 0…カラーフィルタ基板
- 4 0…F P C
- 1 1 0…入力バンプ群
- 1 2 0…出力バンプ群
- 1 3 0…ダミーバンプ群

## 請求の範囲

[請求項1] 長形状の底面を有し、前記底面の一方の長辺に沿って配置され外部からの入力信号を受け取るための複数の突起電極からなる第1の突起電極群と、前記底面の他方の長辺に沿って配置され出力信号を外部に出力するための複数の突起電極からなる第2の突起電極群とを含む半導体チップであって、

前記底面において、前記第1の突起電極群が形成されている領域と前記第2の突起電極群が形成されている領域との間の領域に、前記底面の長辺に対して垂直方向に延びる辺を長辺とする長形状の複数の突起電極からなる第3の突起電極群を備え、

前記第3の突起電極群に含まれる複数の突起電極は、外部との電気的な接続がなされない電極であることを特徴とする、半導体チップ。

[請求項2] 前記第3の突起電極群に含まれる複数の突起電極は、前記底面の一方の短辺近傍および他方の短辺近傍に形成された突起電極のみからなることを特徴とする、請求項1に記載の半導体チップ。

[請求項3] 前記第3の突起電極群に含まれる複数の突起電極の長辺は、前記第1の突起電極群が形成されている領域と前記第2の突起電極群が形成されている領域との間の距離の2分の1以上の長さであることを特徴とする、請求項1に記載の半導体チップ。

[請求項4] 前記第3の突起電極群は、前記第1の突起電極群が形成されている領域に沿って一列に配置された複数の突起電極からなる突起電極列と前記第2の突起電極群が形成されている領域に沿って一列に配置された複数の突起電極からなる突起電極列とを少なくとも含む複数の突起電極列によって構成されていることを特徴とする、請求項1に記載の半導体チップ。

[請求項5] 前記第3の突起電極群に含まれる複数の突起電極は、相対的に前記底面の一方の長辺側にずれて配置された突起電極と相対的に前記底面の他方の長辺側にずれて配置された突起電極とが交互に配置されるよ

うに形成されていることを特徴とする、請求項 1 に記載の半導体チップ。

[請求項6] 前記第 3 の突起電極群に含まれる複数の突起電極は、前記底面の中央部から短辺側に近づくに従い長辺が長くなるように形成されていることを特徴とする、請求項 1 に記載の半導体チップ。

[請求項7] 前記第 3 の突起電極群は、前記第 1 の突起電極群が形成されている領域に沿って一列に配置された複数の突起電極からなる突起電極列と前記第 2 の突起電極群が形成されている領域に沿って一列に配置された複数の突起電極からなる突起電極列とを含み、

各突起電極列に含まれる複数の突起電極は、前記底面の中央部から短辺側に近づくに従い長辺が長くなるように形成されていることを特徴とする、請求項 1 に記載の半導体チップ。

[請求項8] 前記第 2 の突起電極群は、前記底面の一方の長辺に沿って一列に配置された複数の突起電極からなる突起電極列と前記第 3 の突起電極群が形成されている領域に沿って一列に配置された複数の突起電極からなる突起電極列とを少なくとも含む複数の突起電極列によって構成されていることを特徴とする、請求項 1 に記載の半導体チップ。

[請求項9] 互いに対向する第 1 および第 2 の基板からなる液晶パネルを含み、前記液晶パネルを駆動するための駆動回路が前記第 1 の基板に設けられる液晶モジュールであって、

請求項 1 から 8 までのいずれか 1 項に記載の半導体チップが前記駆動回路として異方性導電膜を用いて前記第 1 の基板に実装されていることを特徴とする、液晶モジュール。

[請求項10] 電気配線が形成された配線基板に長方形状の底面を有する半導体チップが異方性導電膜を用いて実装された実装構造であって、

前記半導体チップは、前記底面の一方の長辺に沿って配置され前記配線基板上の電気配線からの入力信号を受け取るための複数の突起電極からなる第 1 の突起電極群と、前記底面の他方の長辺に沿って配置

され出力信号を前記配線基板上の電気配線に出力するための複数の突起電極からなる第2の突起電極群と、前記第1の突起電極群が形成されている領域と前記第2の突起電極群が形成されている領域との間の領域に配置され前記底面の長辺に対して垂直方向に延びる辺を長辺とする長方形の複数の突起電極からなる第3の突起電極群とを備え、

前記第3の突起電極群に含まれる複数の突起電極は、前記配線基板上の電気配線との電氣的な接続がなされない電極であることを特徴とする、実装構造。

[請求項11] 前記第3の突起電極群に含まれる複数の突起電極は、前記底面の一方の短辺近傍および他方の短辺近傍に形成された突起電極のみからなることを特徴とする、請求項10に記載の実装構造。

[請求項12] 前記第3の突起電極群に含まれる複数の突起電極の長辺は、前記第1の突起電極群が形成されている領域と前記第2の突起電極群が形成されている領域との間の距離の2分の1以上の長さであることを特徴とする、請求項10に記載の実装構造。

[請求項13] 前記第3の突起電極群は、前記第1の突起電極群が形成されている領域に沿って一列に配置された複数の突起電極からなる突起電極列と前記第2の突起電極群が形成されている領域に沿って一列に配置された複数の突起電極からなる突起電極列とを少なくとも含む複数の突起電極列によって構成されていることを特徴とする、請求項10に記載の実装構造。

[請求項14] 前記第3の突起電極群に含まれる複数の突起電極は、相対的に前記底面の一方の長辺側にずれて配置された突起電極と相対的に前記底面の他方の長辺側にずれて配置された突起電極とが交互に配置されるように形成されていることを特徴とする、請求項10に記載の実装構造。

[請求項15] 前記第3の突起電極群に含まれる複数の突起電極は、前記底面の中央部から短辺側に近づくに従い長辺が長くなるように形成されている

ことを特徴とする、請求項 10 に記載の実装構造。

[請求項16]

前記第 3 の突起電極群は、前記第 1 の突起電極群が形成されている領域に沿って一列に配置された複数の突起電極からなる突起電極列と前記第 2 の突起電極群が形成されている領域に沿って一列に配置された複数の突起電極からなる突起電極列とを含み、

各突起電極列に含まれる複数の突起電極は、前記底面の中央部から短辺側に近づくに従い長辺が長くなるように形成されていることを特徴とする、請求項 10 に記載の実装構造。

[請求項17]

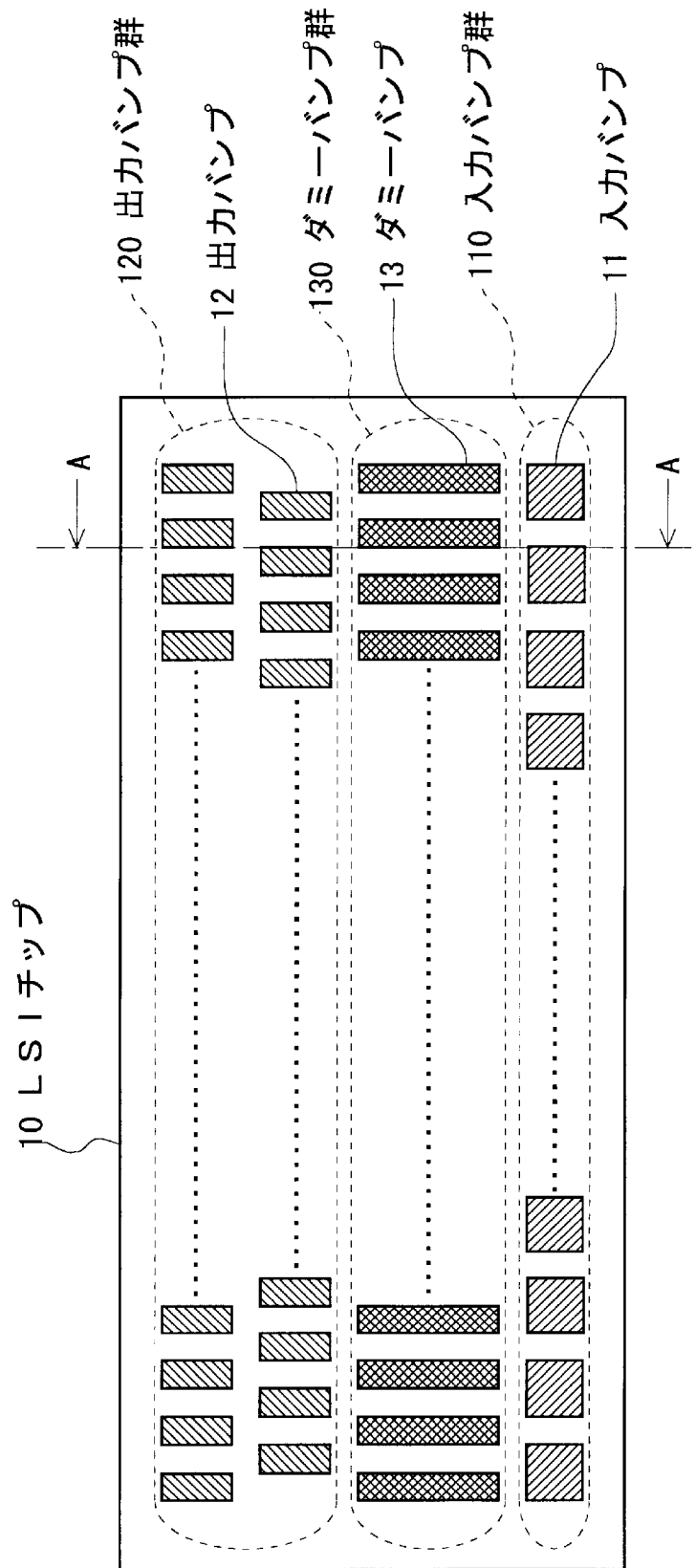
前記第 2 の突起電極群は、前記底面の一方の長辺に沿って一列に配置された複数の突起電極からなる突起電極列と前記第 3 の突起電極群が形成されている領域に沿って一列に配置された複数の突起電極からなる突起電極列とを少なくとも含む複数の突起電極列によって構成されていることを特徴とする、請求項 10 に記載の実装構造。

[請求項18]

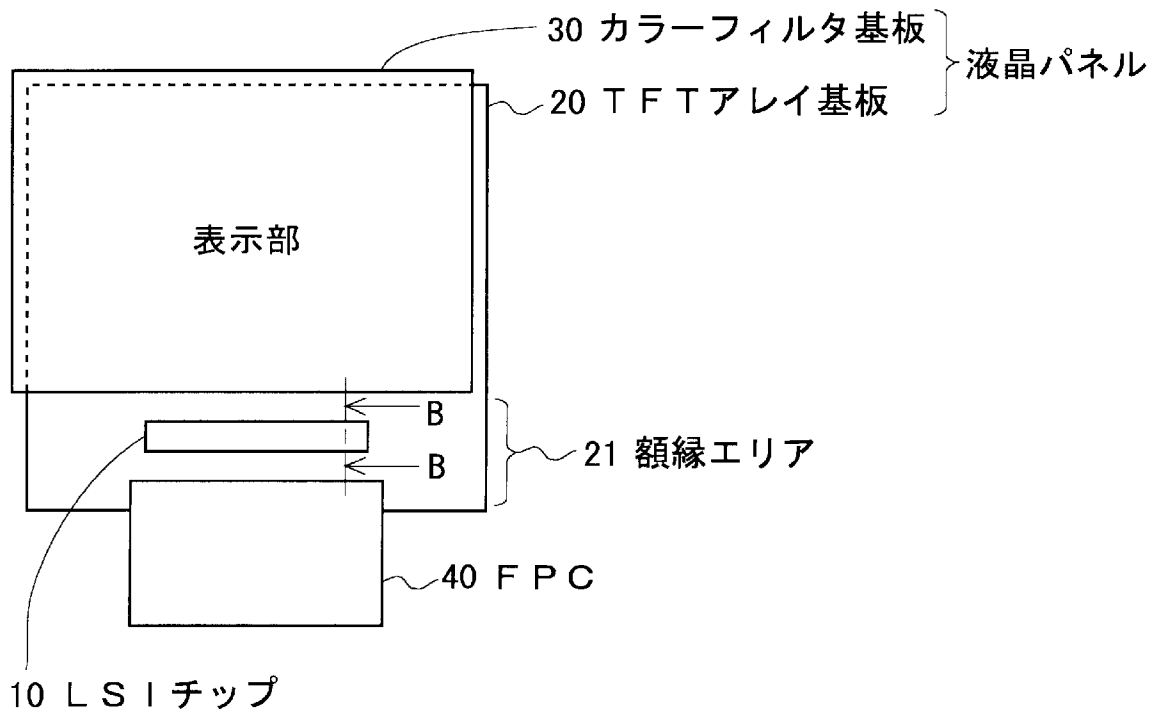
前記配線基板は、液晶モジュールに含まれる液晶パネルを構成する 2 枚の基板のうちの一方の基板であって、

前記半導体チップは、前記液晶パネルを駆動するための駆動回路であることを特徴とする、請求項 10 から 17 までのいずれか 1 項に記載の実装構造。

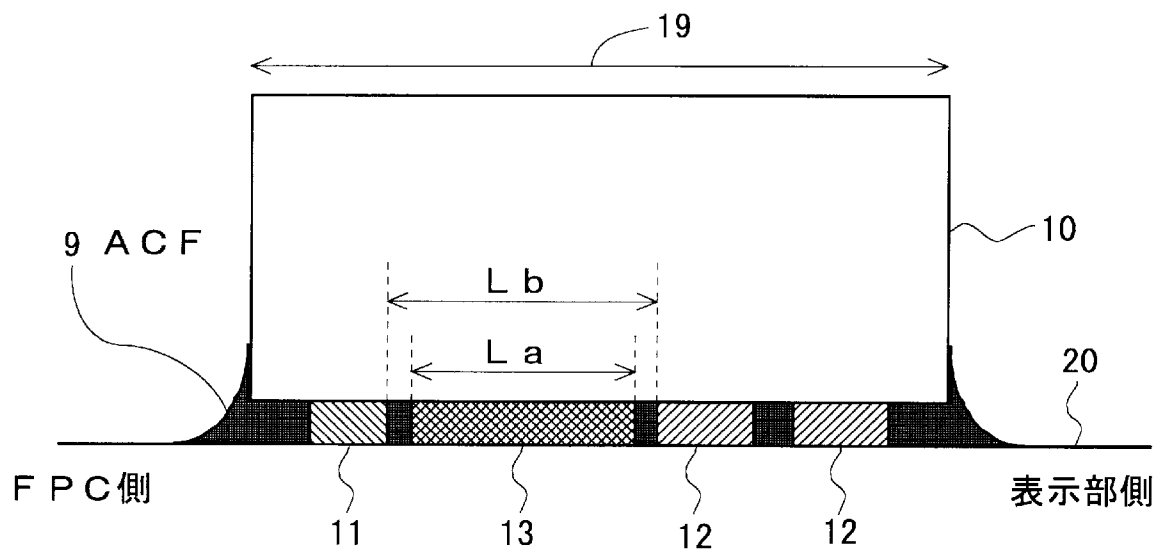
[図1]



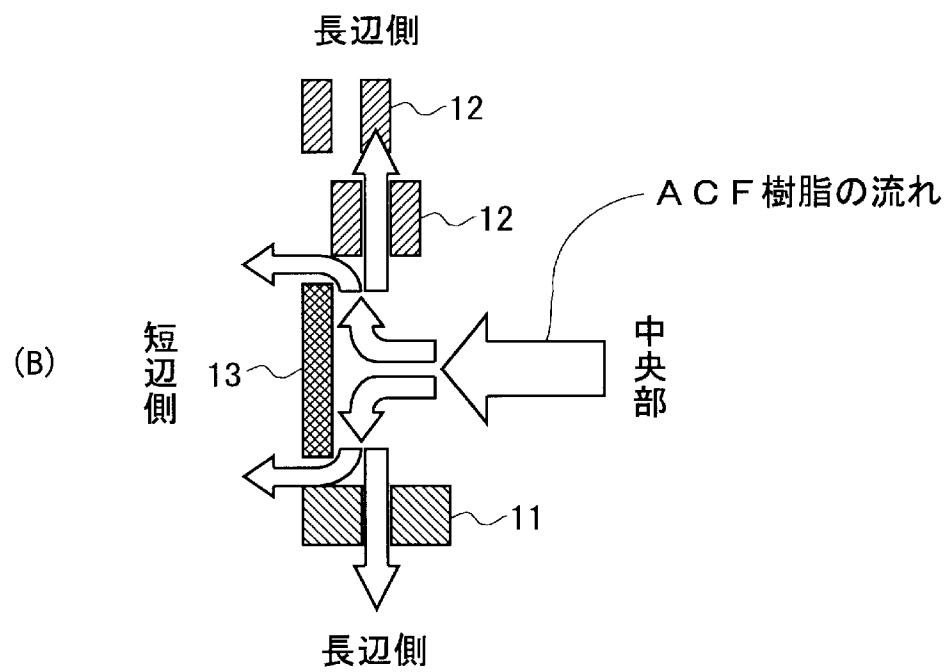
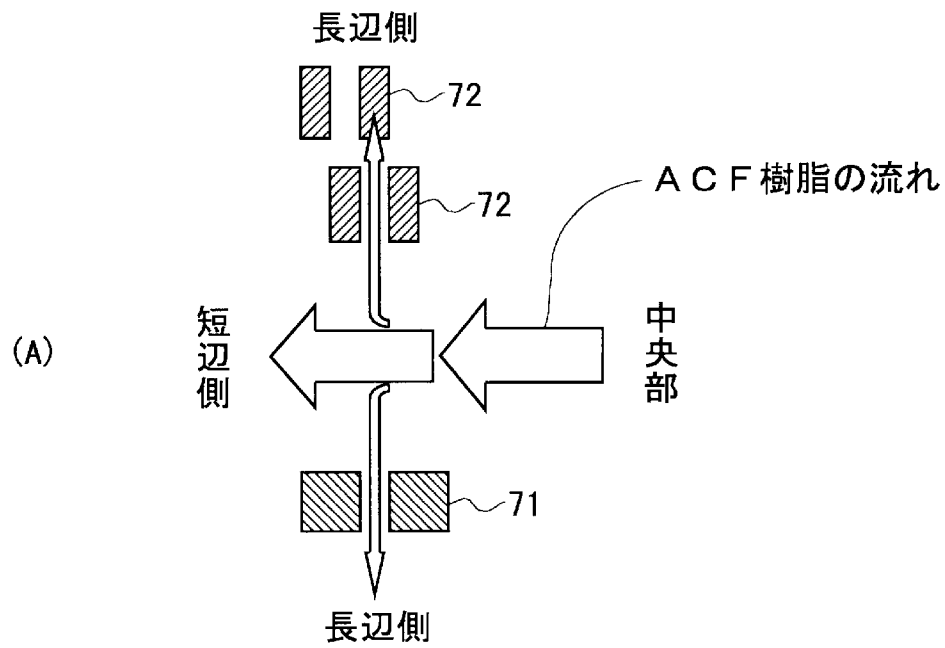
[図2]



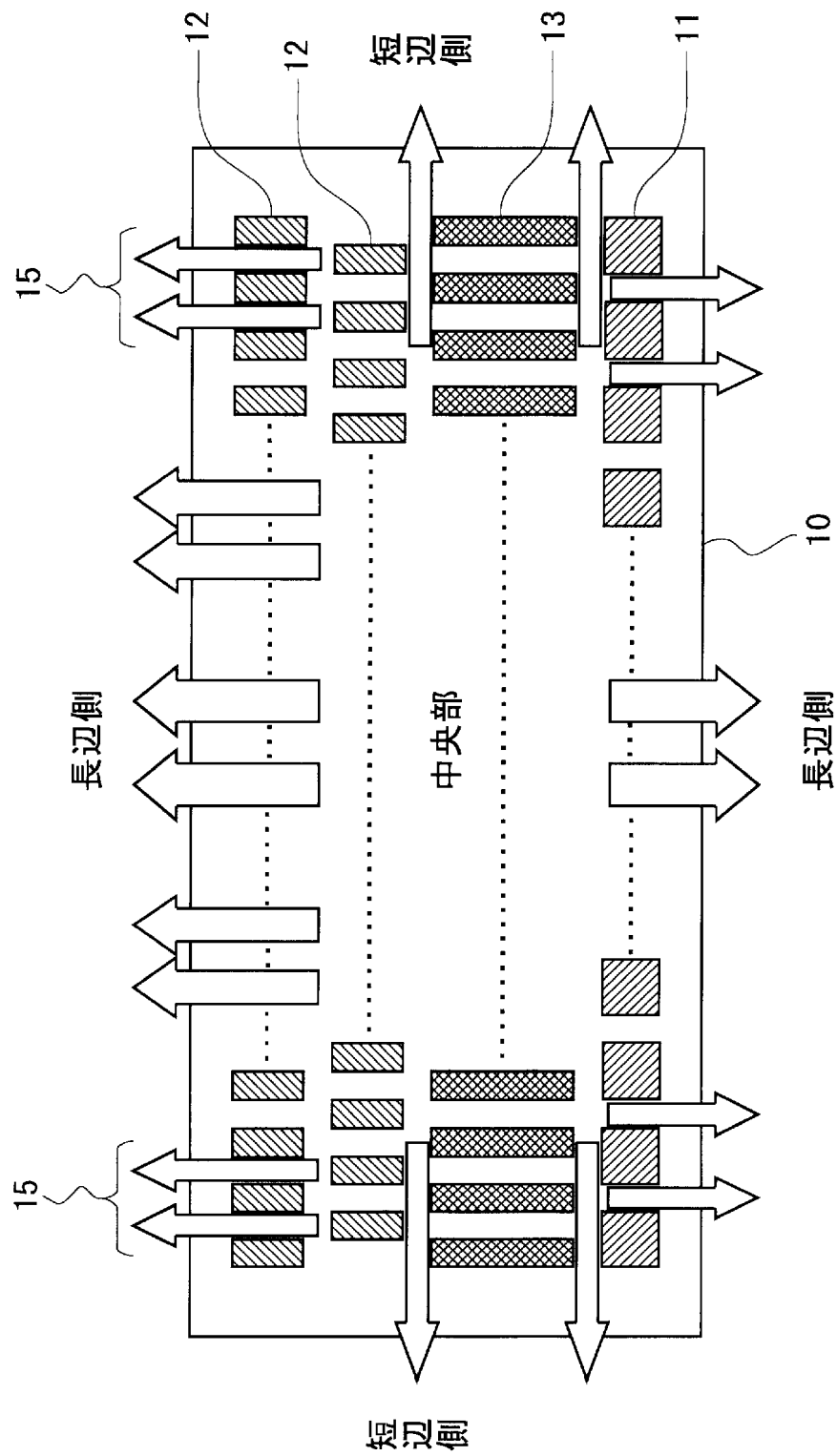
[図3]



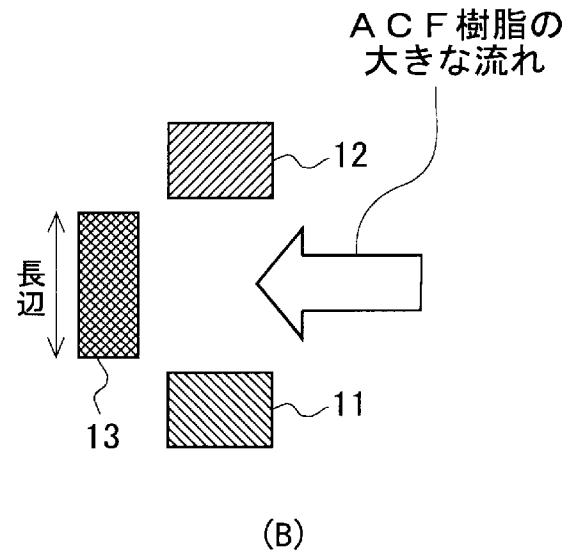
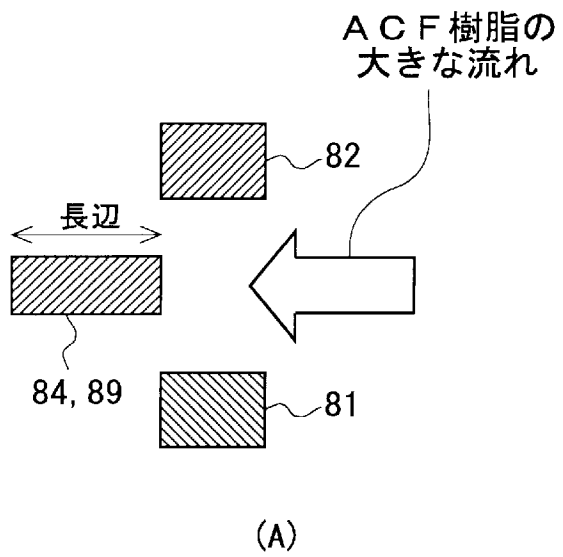
[図4]



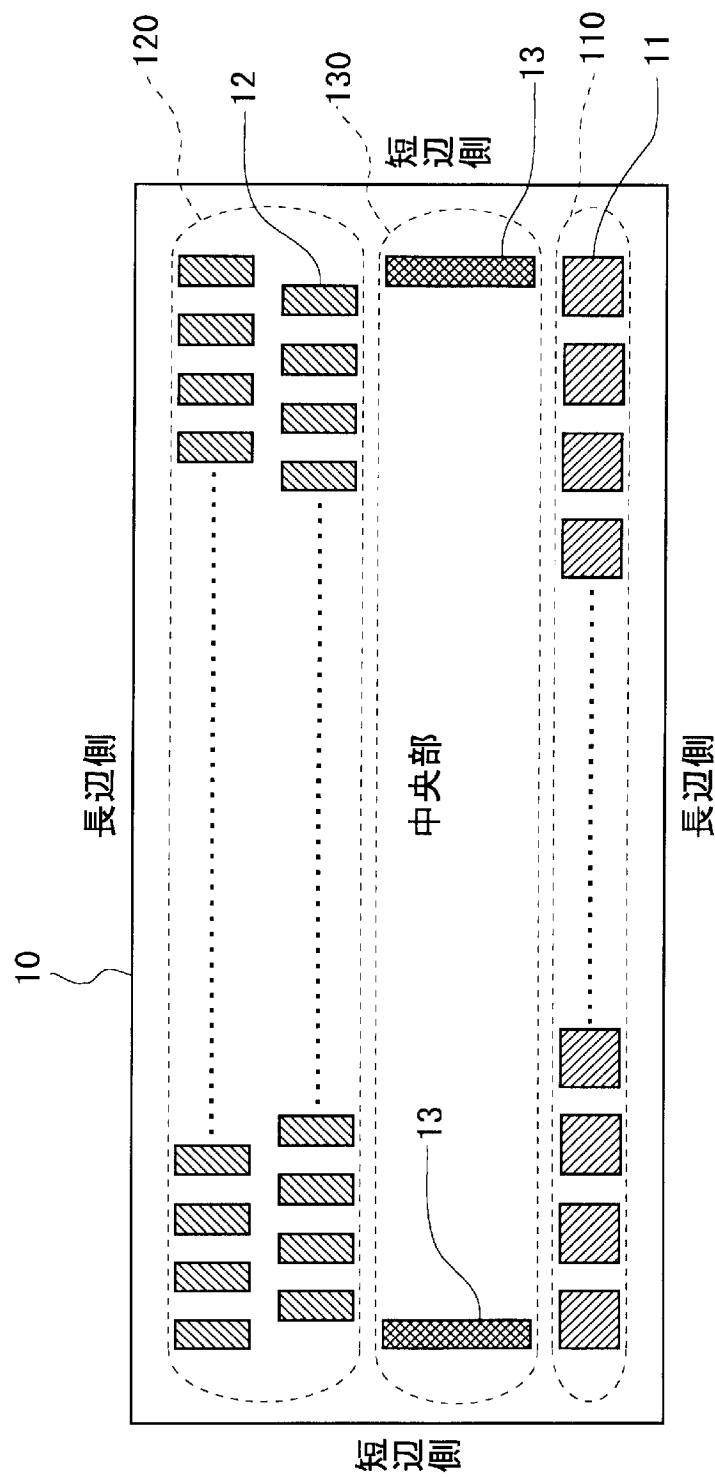
[図5]



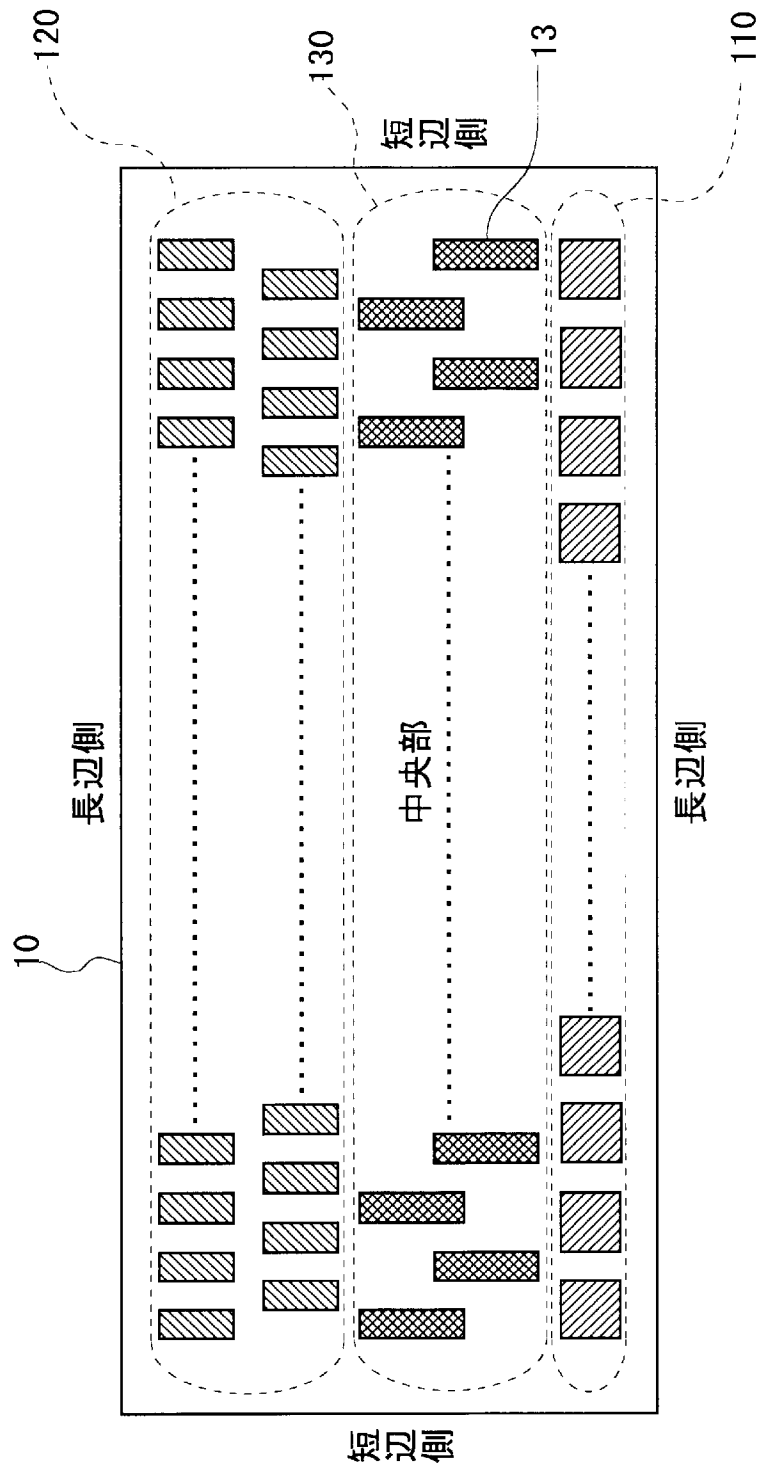
[図6]



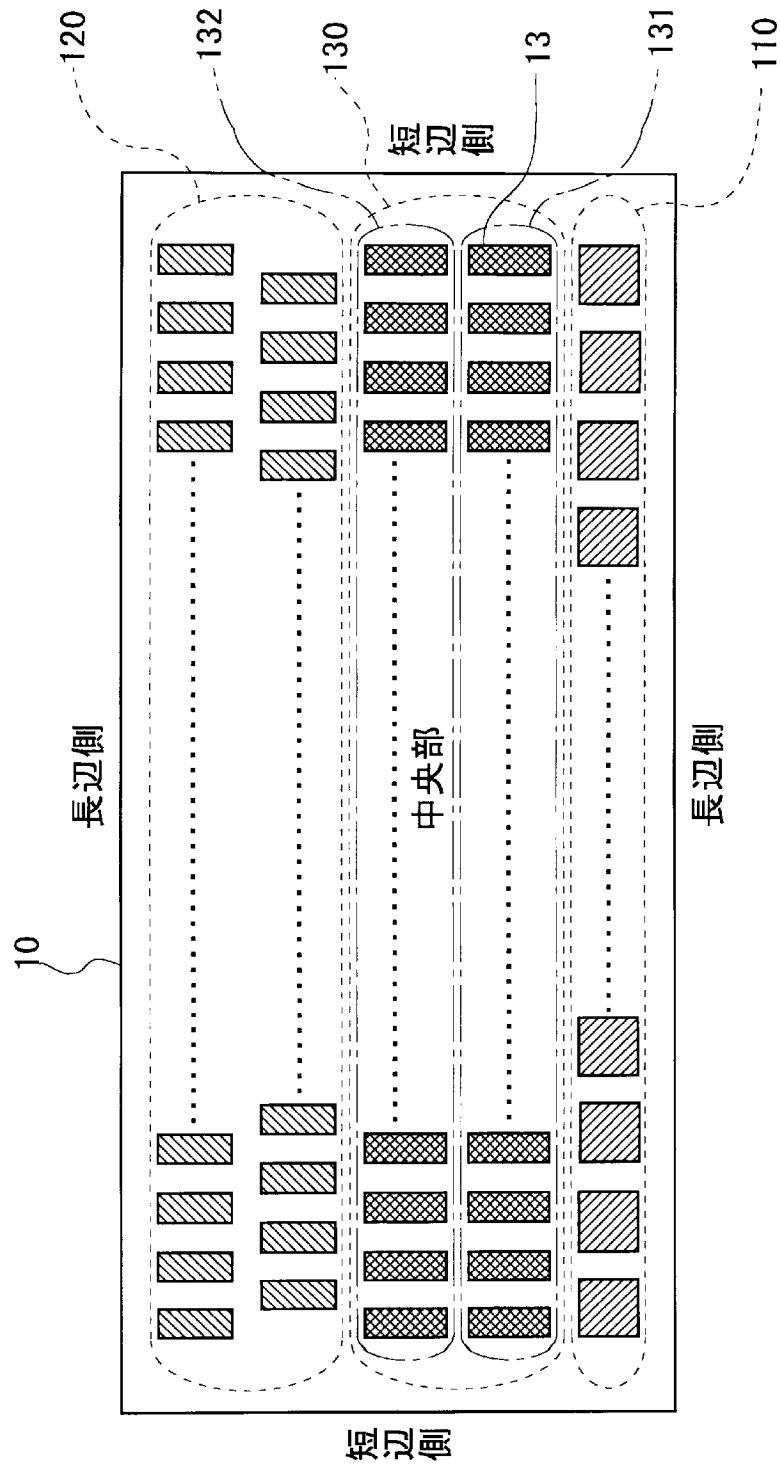
[図7]



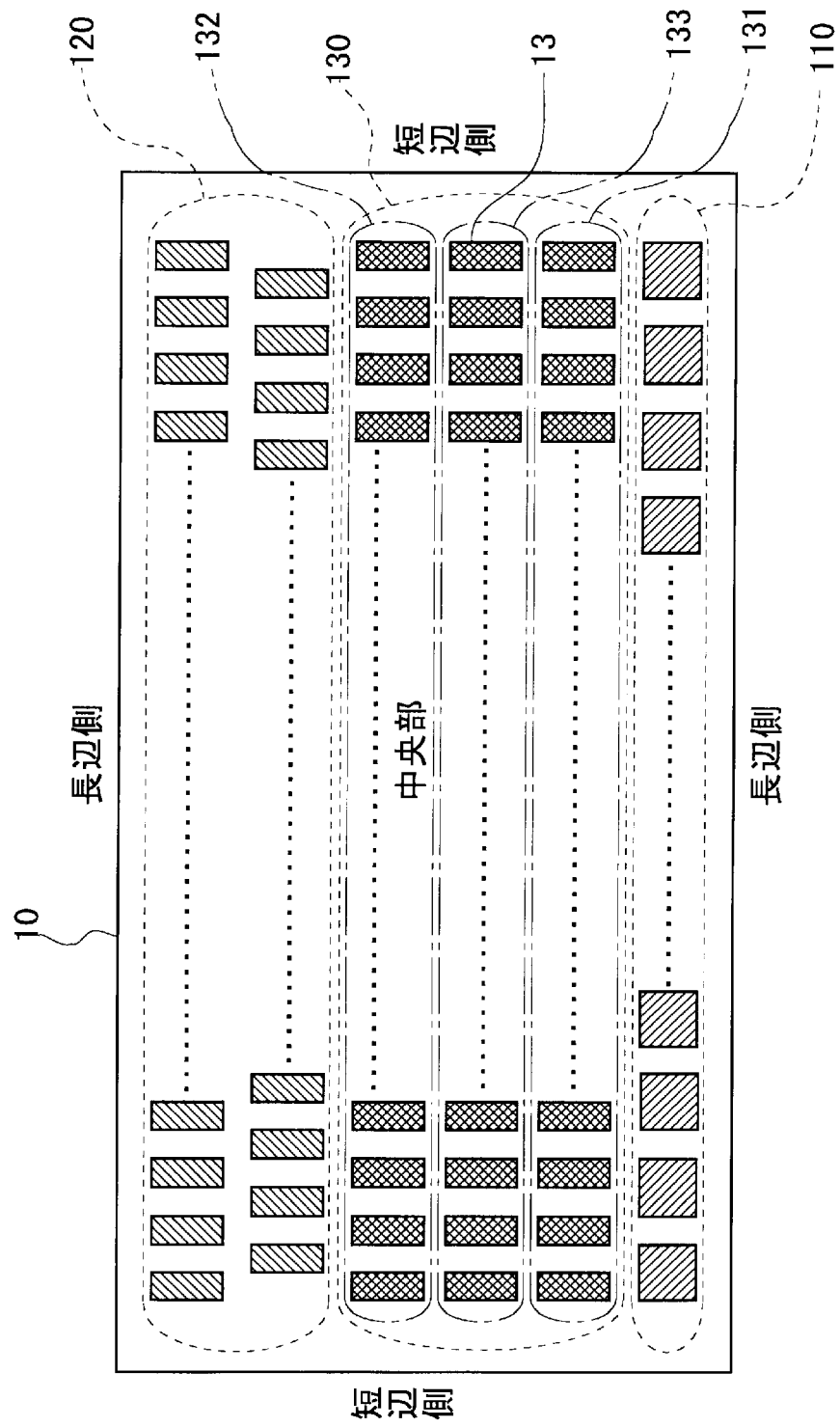
[図8]



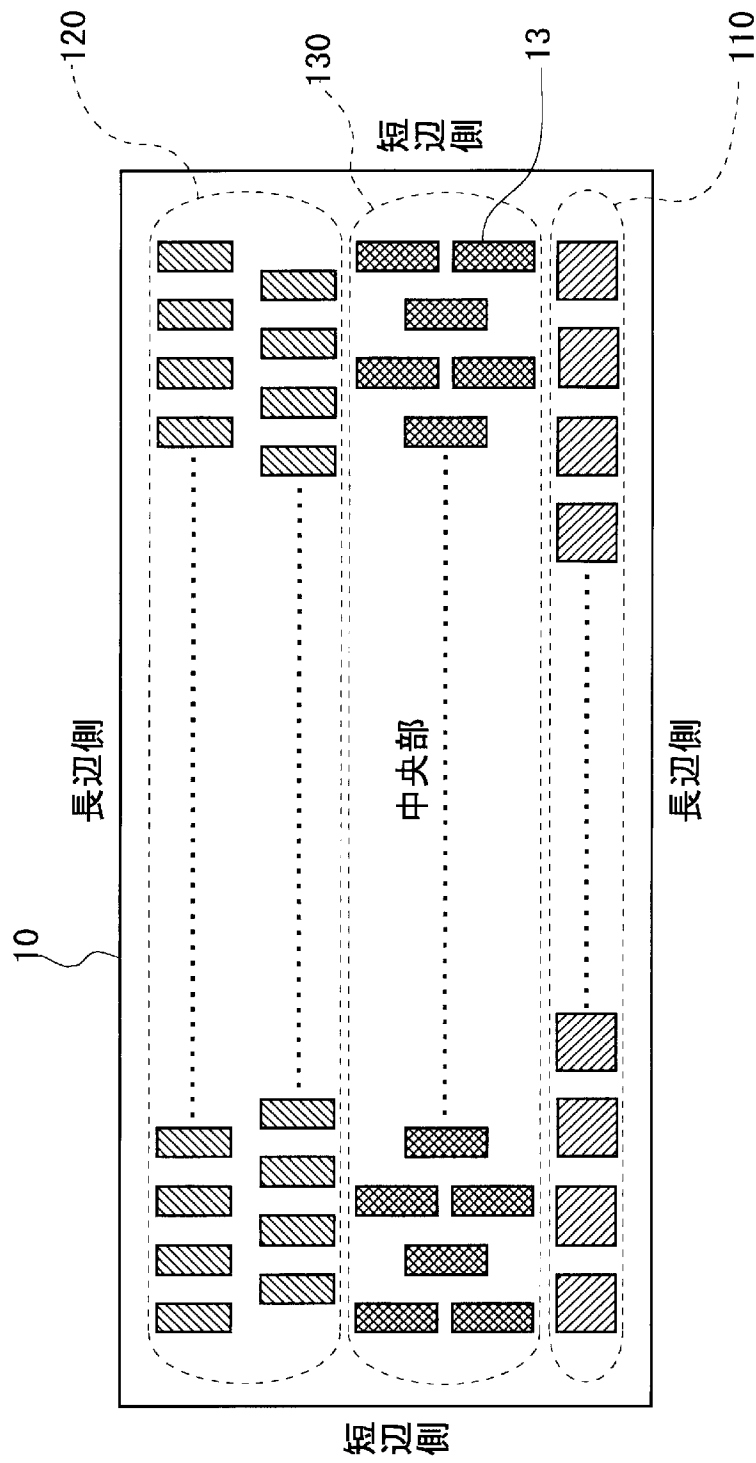
[図9]



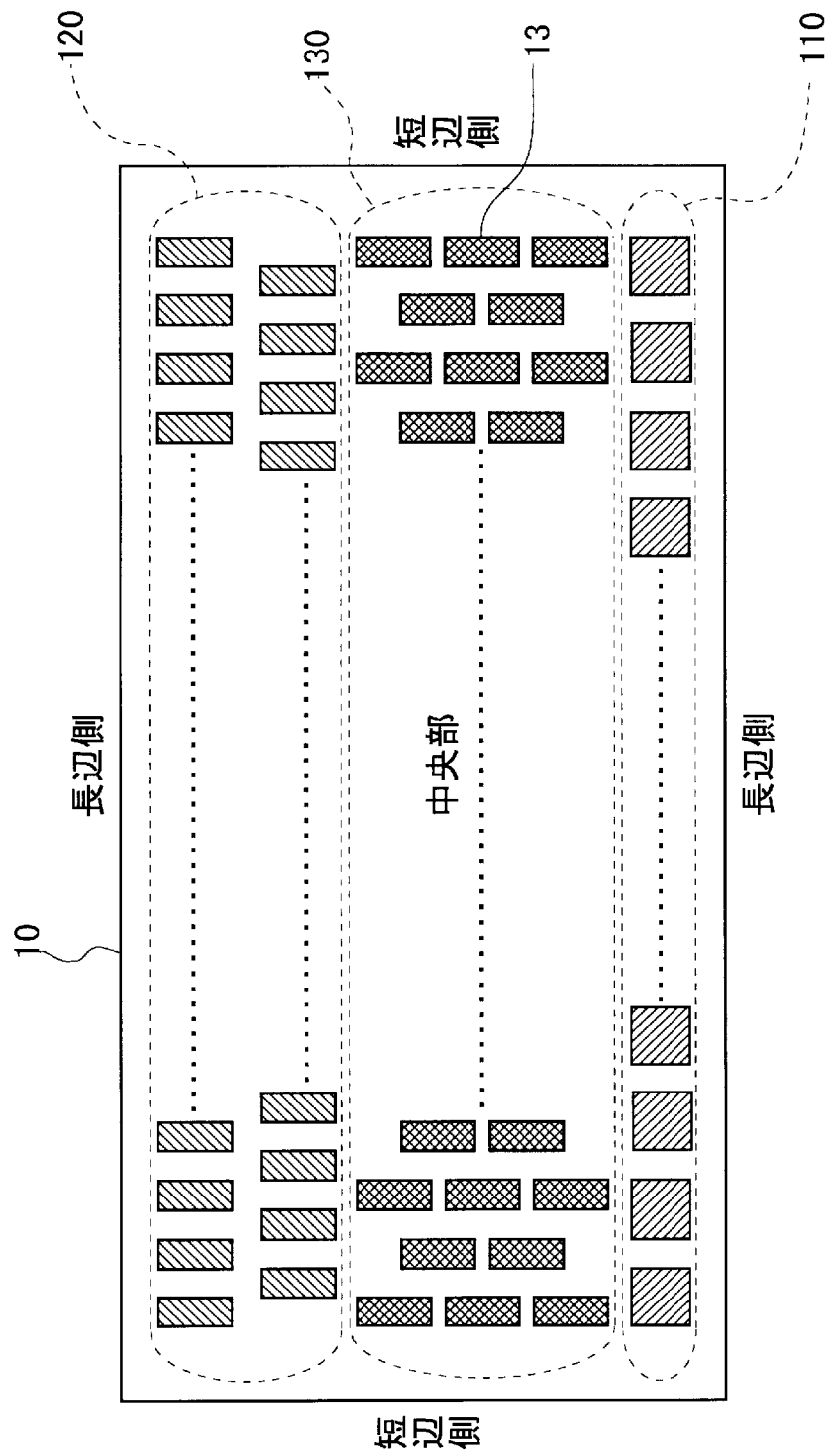
[図10]



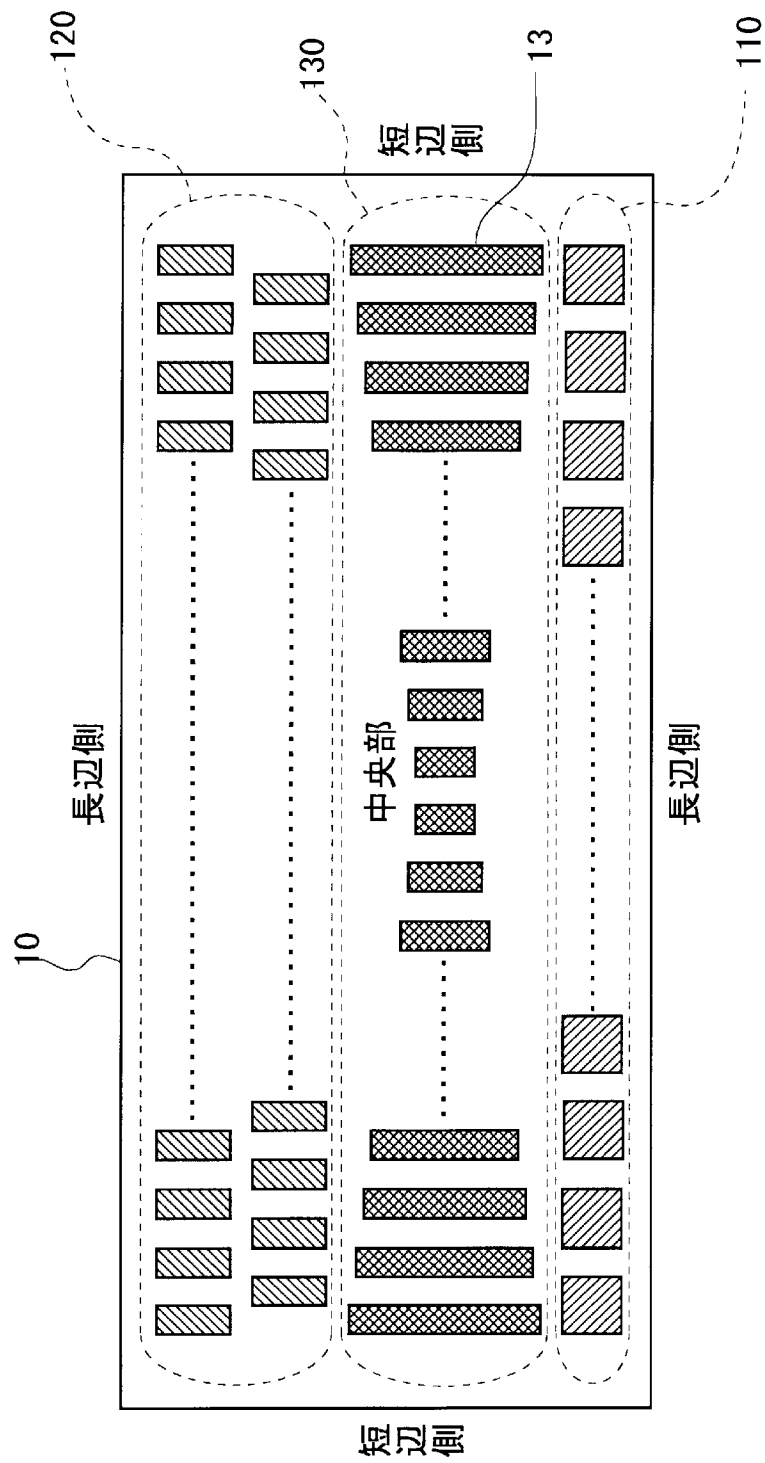
[図11]



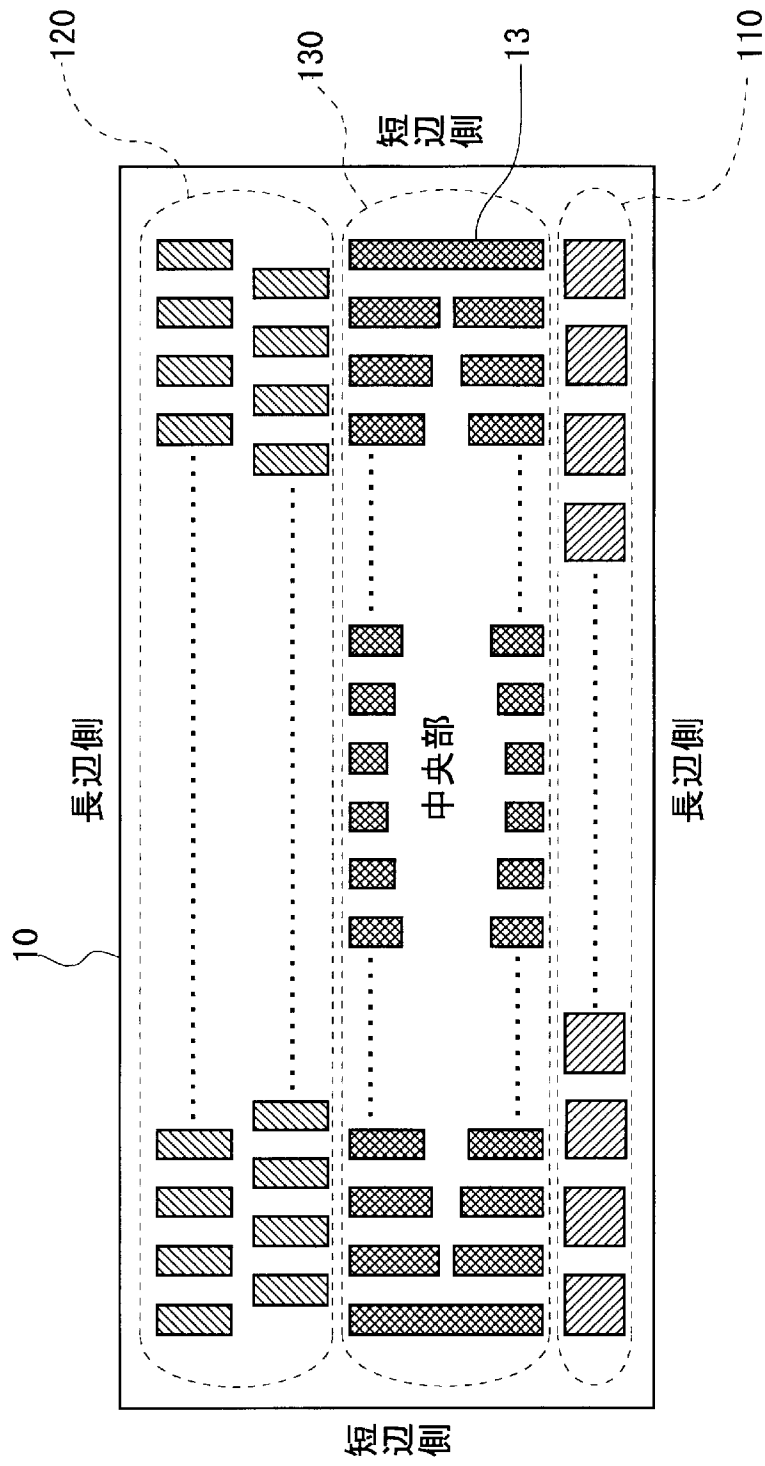
[図12]



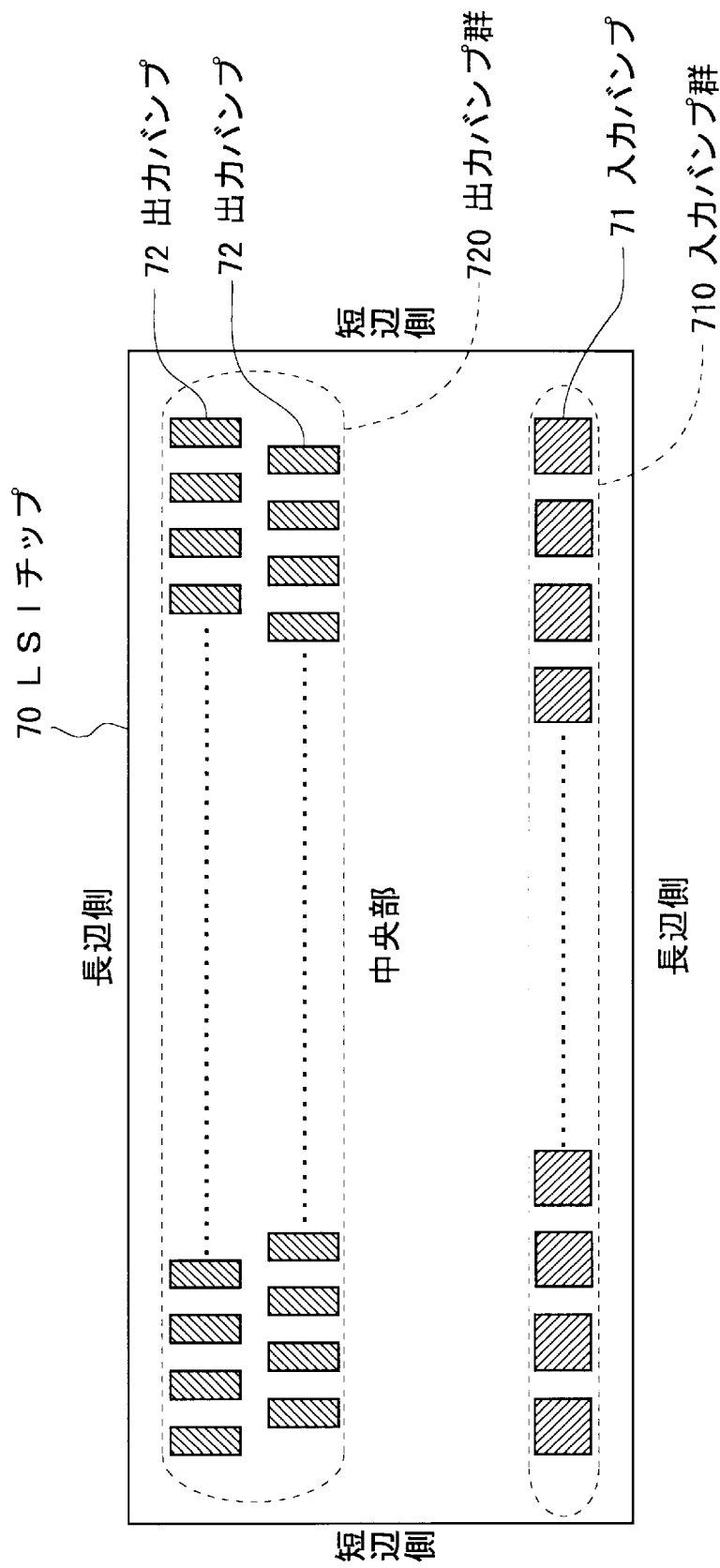
[図13]



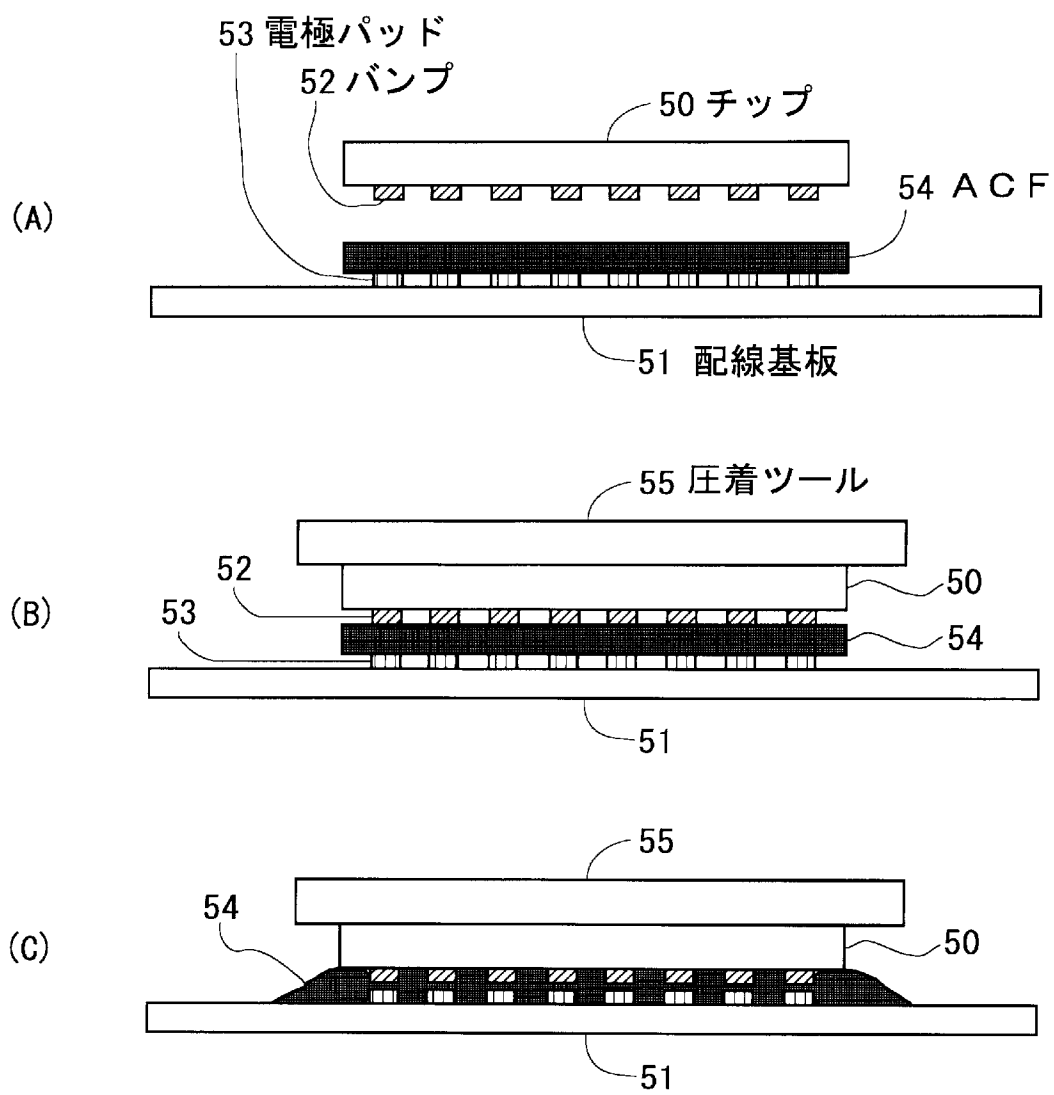
[図14]



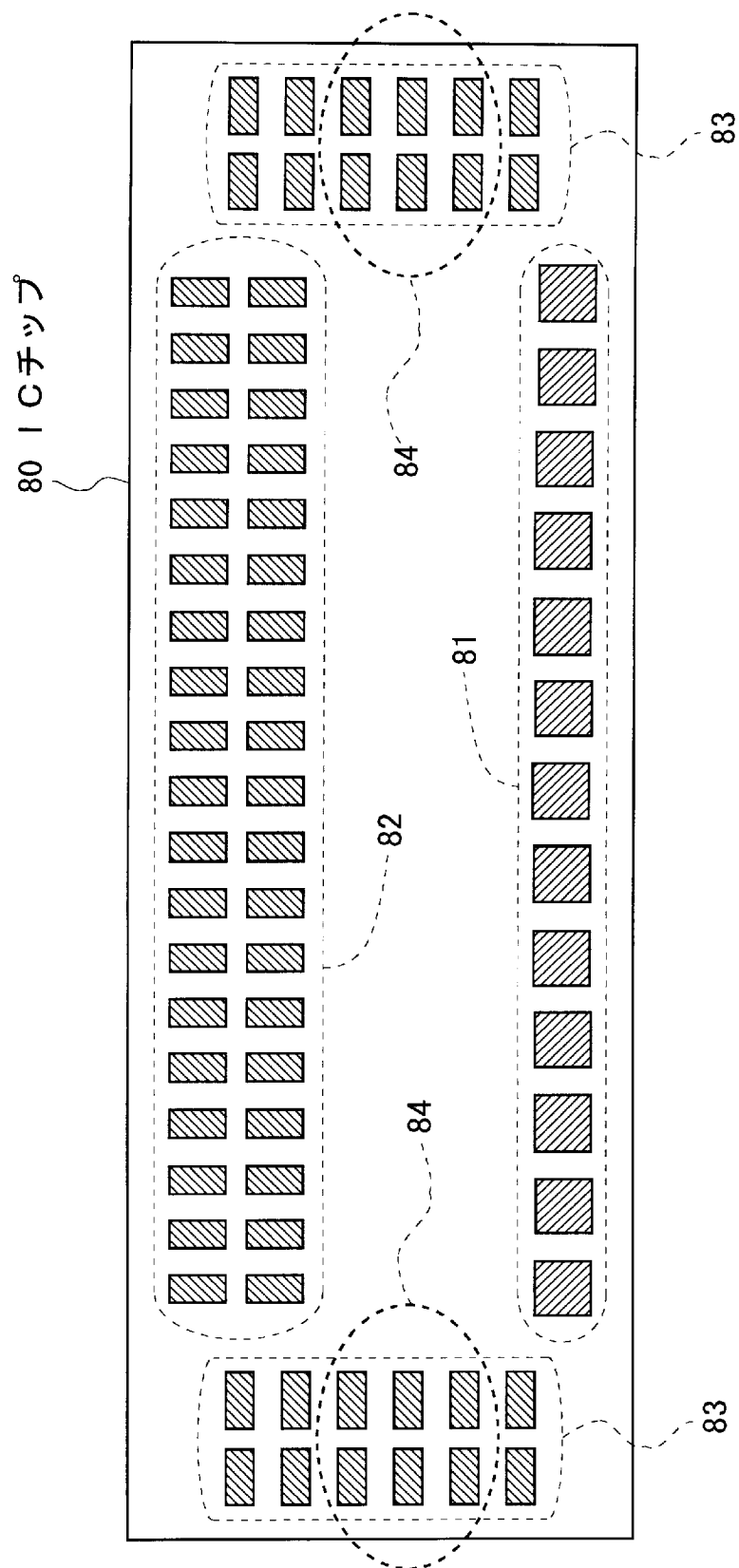
[図15]



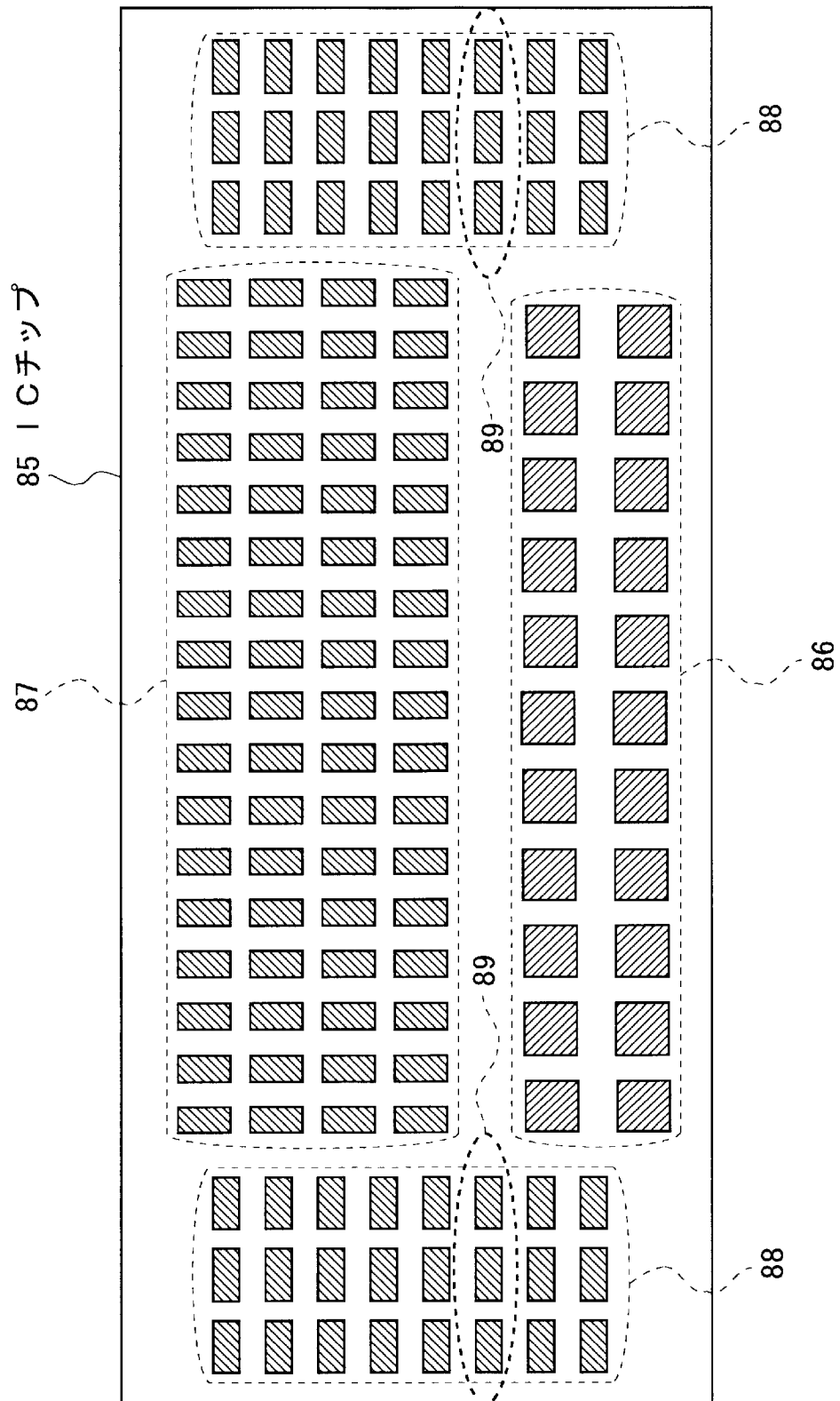
[図16]



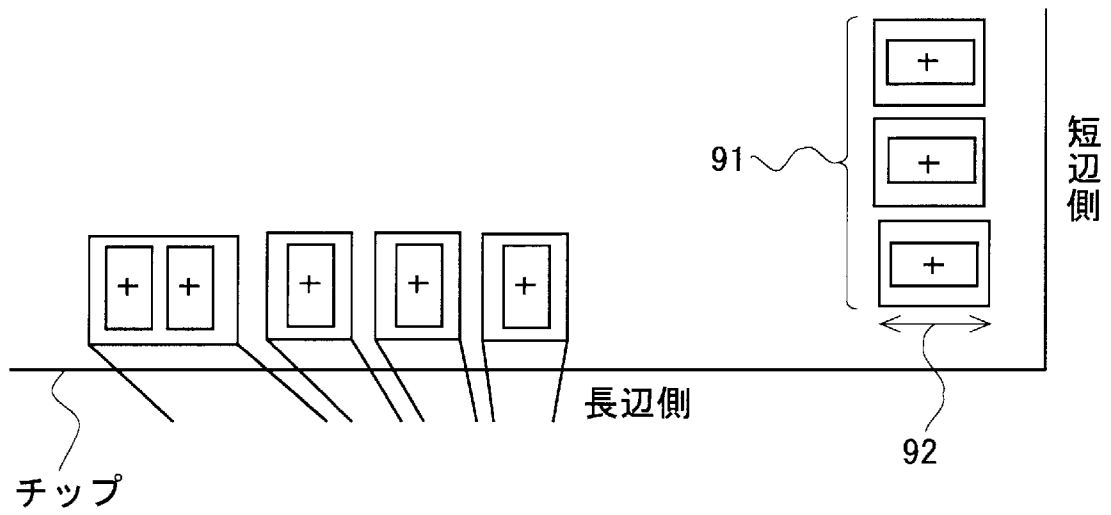
[図17]



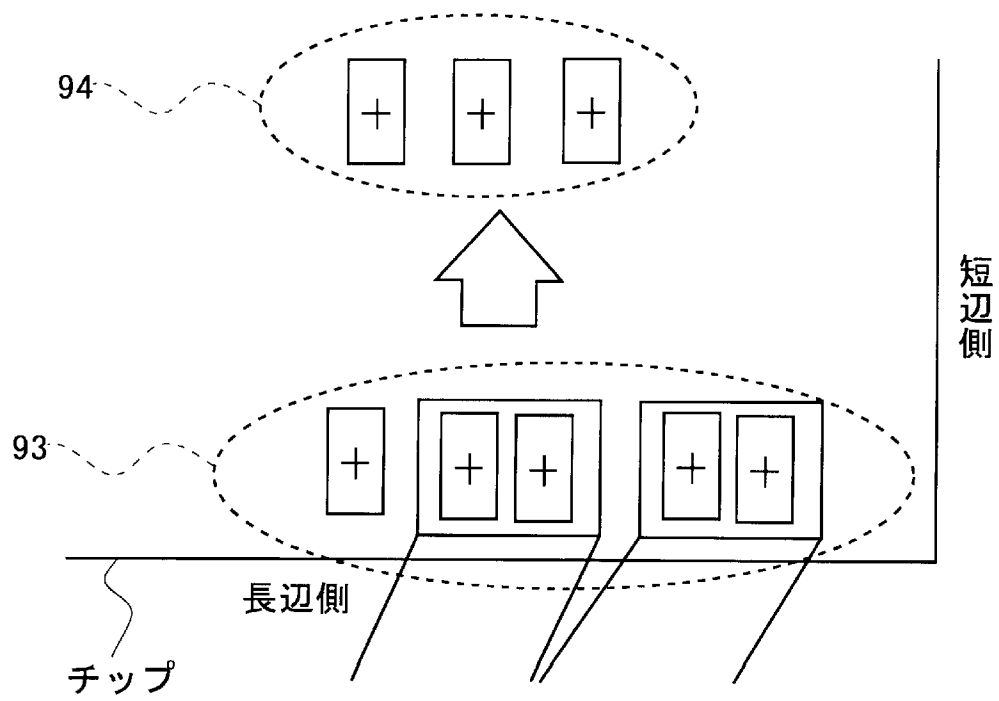
[図18]



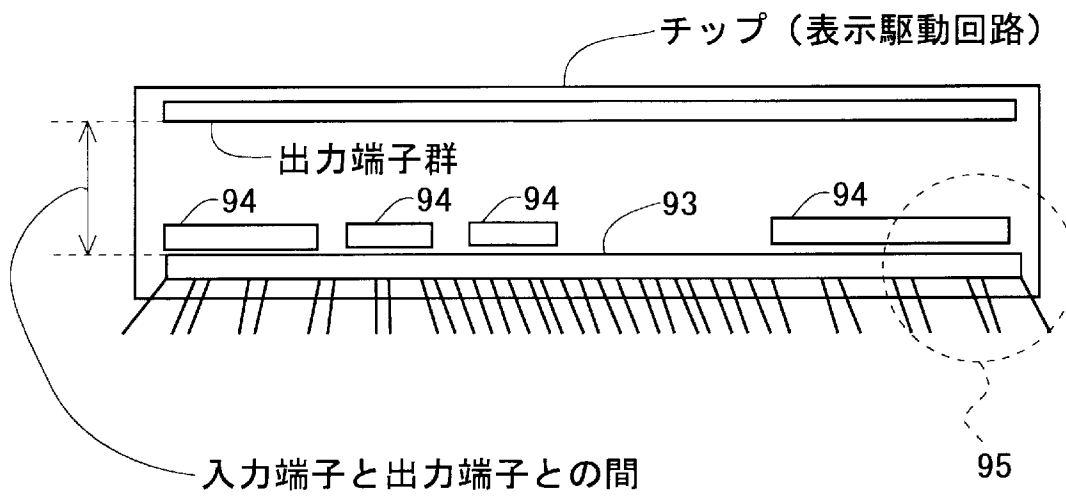
[図19]



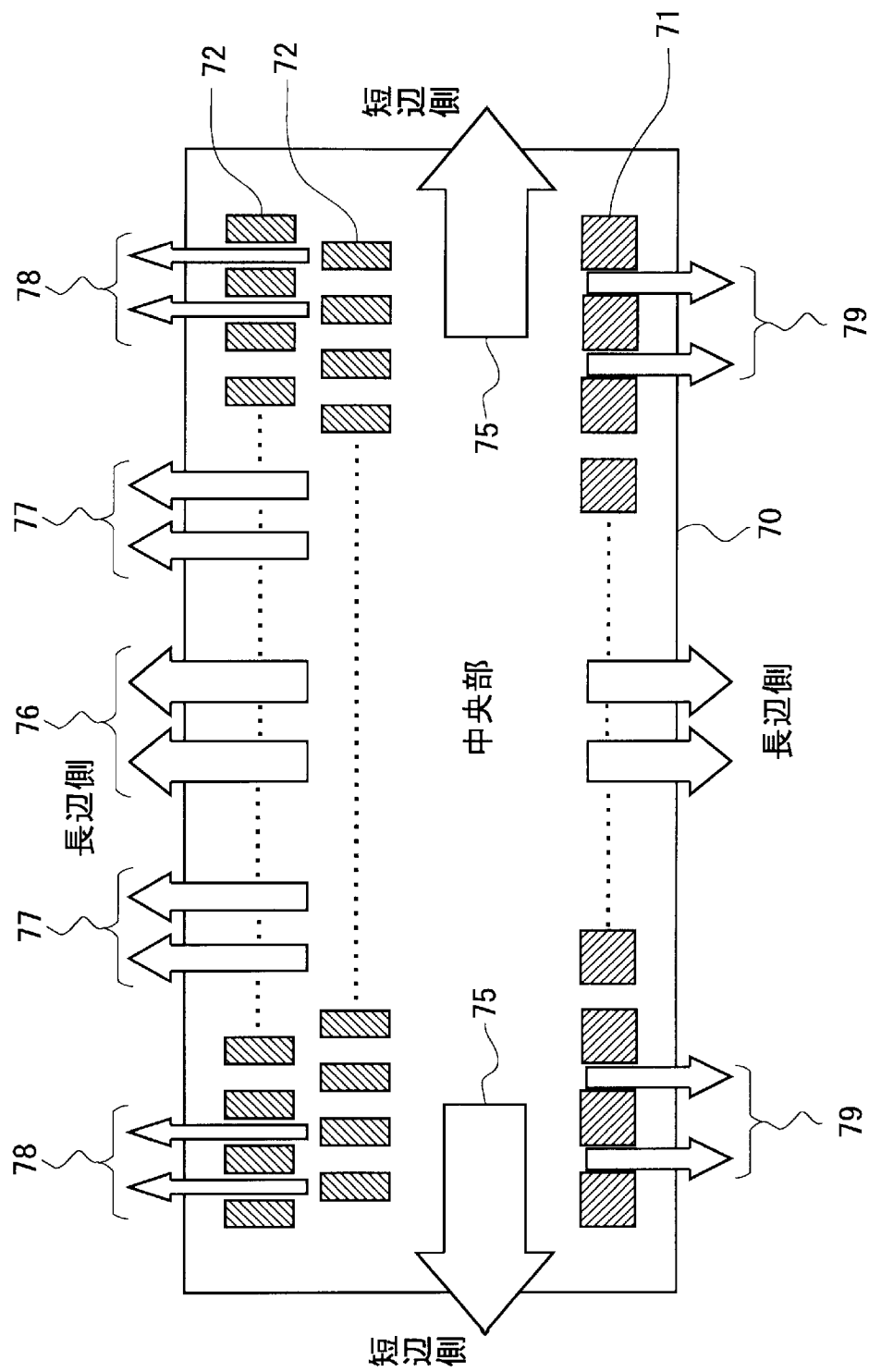
[図20]



[図21]



[図22]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/051415

## A. CLASSIFICATION OF SUBJECT MATTER

H01L21/60 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2010 |
| Kokai Jitsuyo Shinan Koho | 1971-2010 | Toroku Jitsuyo Shinan Koho | 1994-2010 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                   | Relevant to claim No. |
|-----------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2005-203758 A (Samsung Electronics Co., Ltd.),<br>28 July 2005 (28.07.2005),<br>paragraphs [0026] to [0038], [0046] to [0053];<br>fig. 1 to 3, 6<br>& US 2005/0162577 A1 & KR 10-2005-0060349 A<br>& CN 1629926 A | 1-18                  |
| A         | JP 2004-214373 A (Toshiba Matsushita Display Technology Co., Ltd.),<br>29 July 2004 (29.07.2004),<br>entire text; all drawings<br>(Family: none)                                                                     | 1-18                  |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search  
15 March, 2010 (15.03.10)

Date of mailing of the international search report  
23 March, 2010 (23.03.10)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/051415

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                        | Relevant to claim No. |
|-----------|-----------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2005-259924 A (Sharp Corp.),<br>22 September 2005 (22.09.2005),<br>paragraphs [0056] to [0057]; fig. 3(c)<br>(Family: none)                            | 1-18                  |
| A         | JP 2007-19388 A (Seiko Epson Corp.),<br>25 January 2007 (25.01.2007),<br>paragraphs [0024] to [0027], [0033]; fig. 9, 12<br>(Family: none)                | 1-18                  |
| A         | JP 2008-141069 A (Sharp Corp.),<br>19 June 2008 (19.06.2008),<br>entire text; all drawings<br>& US 2009/0302464 A & WO 2008/069044 A1<br>& CN 101584041 A | 1-18                  |
| A         | JP 2002-246404 A (Matsushita Electric<br>Industrial Co., Ltd.),<br>30 August 2002 (30.08.2002),<br>entire text; all drawings<br>(Family: none)            | 1-18                  |
| A         | JP 64-71140 A (Oki Electric Industry Co.,<br>Ltd.),<br>16 March 1989 (16.03.1989),<br>entire text; all drawings<br>(Family: none)                         | 1-18                  |
| A         | JP 2004-127974 A (Oki Electric Industry Co.,<br>Ltd.),<br>22 April 2004 (22.04.2004),<br>entire text; all drawings<br>& US 2004/0070057 A1                | 1-18                  |

## A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/60(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 0 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 0 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 0 年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                                     | 関連する<br>請求項の番号 |
|-----------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------|
| A               | JP 2005-203758 A（サムスン エレクトロニクス カンパニー<br>リミテッド）2005.07.28, 【0026】 - 【0038】, 【0046】 - 【0053】,<br>図 1-3, 6<br>& US 2005/0162577 A1 & KR 10-2005-0060349 A & CN 1629926 A | 1 - 1 8        |
| A               | JP 2004-214373 A（東芝松下ディスプレイテクノロジー株式会社）<br>2004.07.29, 全文, 全図<br>(ファミリーなし)                                                                                             | 1 - 1 8        |

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

1 5 . 0 3 . 2 0 1 0

国際調査報告の発送日

2 3 . 0 3 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）  
郵便番号 1 0 0 - 8 9 1 5  
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

田中 永一

4 R

9 5 3 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 9

| C (続き) . 関連すると認められる文献 |                                                                                                              |                |
|-----------------------|--------------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                            | 関連する<br>請求項の番号 |
| A                     | JP 2005-259924 A (シャープ株式会社) 2005. 09. 22, 【0056】-【0057】,<br>図 3(c) (ファミリーなし)                                 | 1 - 1 8        |
| A                     | JP 2007-19388 A (セイコーエプソン株式会社) 2007. 01. 25,<br>【0024】 - 【0027】, 【0033】, 図 9, 図 12 (ファミリーなし)                 | 1 - 1 8        |
| A                     | JP 2008-141069 A (シャープ株式会社) 2008. 06. 19, 全文, 全図<br>& US 2009/0302464 A & WO 2008/069044 A1 & CN 101584041 A | 1 - 1 8        |
| A                     | JP 2002-246404 A (松下電器産業株式会社) 2002. 08. 30, 全文, 全図<br>(ファミリーなし)                                              | 1 - 1 8        |
| A                     | JP 64-71140 A (沖電気工業株式会社) 1989. 03. 16, 全文, 全図<br>(ファミリーなし)                                                  | 1 - 1 8        |
| A                     | JP 2004-127974 A (沖電気工業株式会社) 2004. 04. 22, 全文, 全図<br>& US 2004/0070057 A1                                    | 1 - 1 8        |