

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年4月28日(28.04.2022)



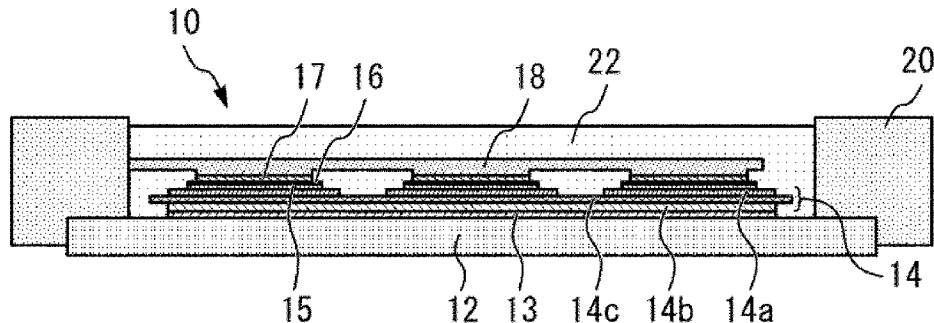
(10) 国際公開番号

WO 2022/085192 A1

- (51) 国際特許分類:
H01L 23/15 (2006.01) *H01L 23/28* (2006.01)
- (21) 国際出願番号: PCT/JP2020/039959
- (22) 国際出願日: 2020年10月23日(23.10.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 倉地 将 貴 (KURACHI, Masaki); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 川瀬 達也 (KAWASE, Tatsuya); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (74) 代理人: 高田 守, 外(TAKADA, Mamoru et al.); 〒1040045 東京都中央区築地1丁目12番2号 コンワビル7階 特許業務法人 高田・高橋国際特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、半導体装置の製造方法



(57) Abstract: The present invention comprises: a base plate; a ceramic substrate; a circuit pattern formed on an upper surface of the ceramic substrate; and a metal layer formed on a lower surface of the ceramic substrate. The metal layer includes: an insulating circuit substrate fixed to an upper surface of the base plate by a first bonding material; a first surface; and a second surface, which is the surface opposite from the first surface. The first surface includes: a semiconductor element fixed to the circuit pattern by a second bonding material; a lead frame fixed to the second surface by a third bonding material; and a case which is fixed to an outer edge portion of the base plate and surrounds the semiconductor element. A restoring force acts on the insulating circuit substrate in a direction protruding upward, and a restoring force acts on the base plate in a direction protruding downward.

(57) 要約: ベース板と、セラミック基板と、該セラミック基板の上面に形成された回路パターンと、該セラミック基板の下面に形成された金属層と、を有し、該金属層は、第1接合材で該ベース板の上面に固定された、絶縁回路基板と、第1面と、該第1面と反対の面である第2面を有し、該第1面は、第2接合材で該回路パターンに固定された、半導体素子と、該第2面に第3接合材で固定されたリードフレームと、該ベース板の外縁部分に固定されて該半導体素子を囲むケースと、を備え、該絶縁回路基板には上に凸に反る方向に復元力が働き、該ベース板には下に凸に反る方向に復元力が働く。

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：半導体装置、半導体装置の製造方法

技術分野

[0001] この開示は、半導体装置とその半導体装置の製造方法に関する。

背景技術

[0002] 従来の半導体装置では、例えば半導体素子の厚さを $100\mu\text{m}$ 以下とし、セラミック基板の表裏面に配線される導体層の厚さの和を 0.7mm 以上 2.0mm 以下に、そしてセラミック基板の厚さを 0.1mm 以上 1.0mm 以下としている。

先行技術文献

特許文献

[0003] 特許文献1：日本特開2010-10505号公報

発明の概要

発明が解決しようとする課題

[0004] 半導体装置の組立時に半導体装置が反ると、半導体装置の組立性が安定しない。特に、半導体素子とはんだ接合されるリードフレームを有する半導体装置の場合、反りによりリードフレームの適切なはんだ接合が難しくなるという問題を有していた。例えば、平坦な反りのない金属のベース板を用いて半導体装置を組み立てようとすると、組み立ての過程でベース板とその上の構造が上凸方向に反り、その組み立てが困難となる問題があった。

[0005] 本開示は上述の問題を解決するためになされたものであり、歩留まりを高めることができる半導体装置と半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0006] 本願の開示にかかる半導体装置は、ベース板と、セラミック基板と、該セラミック基板の上面に形成された回路パターンと、該セラミック基板の下面に形成された金属層と、を有し、該金属層は、第1接合材で該ベース板の上面に固定された、絶縁回路基板と、第1面と、該第1面と反対の面である第

2面を有し、該第1面は、第2接合材で該回路パターンに固定された、半導体素子と、該第2面に第3接合材で固定されたリードフレームと、該ベース板の外縁部分に固定されて該半導体素子を囲むケースと、を備え、該絶縁回路基板には上に凸に反る方向に復元力が働き、該ベース板には下に凸に反る方向に復元力が働くことを特徴とする。

[0007] 本願の開示に係る半導体装置の製造方法は、下凸形状の反りを有するベース板の外縁部分をケースに固定することと、セラミック基板と、該セラミック基板の上面に形成された回路パターンと、該セラミック基板の下面に形成された金属層と、を有する絶縁回路基板を、第1接合材を介して該ベース板の上にのせることと、該回路パターンの上に、第2接合材を介して半導体素子をのせることと、該半導体素子の上に、第3接合材を介してリードフレームをのせることと、該第1接合材と、該第2接合材と、該第3接合材を溶融させることと、該溶融によって生じた該絶縁回路基板を上凸形状に反らせる力が、該ベース板の反りによって緩和されることで該絶縁回路基板の反りが抑制されることと、を備える。

[0008] 本開示のその他の特徴は以下に明らかにする。

発明の効果

[0009] この開示によれば、絶縁回路基板とベース板の復元力を相殺させることで、歩留まりを高めることができる。

図面の簡単な説明

[0010] [図1]実施の形態1に係る半導体装置の断面図である。

[図2]組み立て前の半導体装置の断面図である。

[図3]実施の形態2に係る絶縁回路基板の断面図である。

[図4]比較例に係る絶縁回路基板の断面図である。

[図5]実施の形態3に係る半導体装置の断面図である。

[図6]実施の形態4に係る半導体装置の断面図である。

[図7]実施の形態5に係る半導体装置の断面図である。

発明を実施するための形態

[0011] 実施の形態に係る半導体装置とその製造方法について図面を参照して説明する。同じ又は対応する構成要素には同じ符号を付し、説明の繰り返しを省略する場合がある。

[0012] 実施の形態 1.

図 1 は、実施の形態 1 に係る半導体装置 10 の断面図である。半導体装置 10 は、ベース板 12 を備えている。ベース板 12 は例えば Al 又は Cu などの金属で形成されている。一例によれば、ベース板 12 の厚さは 3 mm 以上である。

[0013] ベース板 12 の表面中央部には、第 1 接合材 13 によって絶縁回路基板 14 が固定されている。一例によれば、第 1 接合材 13 は、ペーストはんだ又は板はんだなどのはんだである。接合材とは、加熱により溶融し部材の接着に用いられるものであり、一例としてはんだがある。

[0014] 絶縁回路基板 14 は、セラミック基板 14c と、セラミック基板 14c の上面に形成された回路パターン 14a と、セラミック基板 14c の下面に形成された金属層 14b と、を有している。セラミック基板 14c の材料は例えば Al_2O_3 、AlN 又は Si_3N_4 である。一例によれば、セラミック基板 14c の厚さは、0.2 mm 以上 0.4 mm 未満である。別の例によれば、セラミック基板 14c の厚さは、0.3 mm 以上 0.35 mm 以下とすることができる。回路パターン 14a と金属層 14b の材料は例えば Al 又は Cu である。一例によれば、回路パターン 14a と金属層 14b の厚さは、0.6 mm 以上 1.0 mm 未満とすることができる。回路パターン 14a と金属層 14b の厚さを一致させてもよいし、異なる厚さとしてもよい。

[0015] 絶縁回路基板 14 の構成要素である金属層 14b は、第 1 接合材 13 でベース板 12 の上面に固定されている。他方、回路パターン 14a には、第 2 接合材 15 で半導体素子 16 が固定されている。半導体素子 16 は、下面である第 1 面と、第 1 面と反対の面である第 2 面を有し、その第 1 面が第 2 接合材 15 で回路パターン 14a に固定されている。半導体素子 16 は例えば Si、SiC 又は GaN で形成されている。

[0016] 半導体素子 16 の第 2 面には、第 3 接合材 17 でリードフレーム 18 が固定されている。リードフレーム 18 の材料は例えば Cu である。図 1 に示されるように、リードフレーム 18 は、複数の半導体素子 16 に接合され得る。図 1 の例では、3 つの半導体素子 16 にリードフレーム 18 を固定するために、リードフレーム 18 は、絶縁回路基板 14 の幅と同等の長さを有している。別の例によれば、1 つのリードフレームを第 3 接合材で複数の半導体素子に固定することができる。

[0017] このリードフレーム 18 は、一部がケース 20 に埋め込まれたり、一部がケース 20 に取り付けられたりすることで、ケース 20 によって担持されている。ケース 20 は、ベース板 12 の外縁部分に固定されて複数の半導体素子 16 を囲んでいる。ケース 20 の材料は例えば PPS である。ケース 20 の内部には封止材 22 が充填されている。封止材 22 は例えばシリコーンゲルである。

[0018] 図 1 の例では、半導体装置 10 全体の反りが抑制されたことが示されている。反りの抑制は、絶縁回路基板 14 における上に凸に反る方向の復元力と、ベース板 12 における下に凸に反る方向の復元力が相殺されることで実現されている。すなわち、絶縁回路基板 14 は他からの力が及ばなければ上凸形状であり、ベース板 12 は他からの力が及ばなければ下凸形状であるが、これらが第 1 接合材 13 で接合されていることで、両者の反りが相殺される。絶縁回路基板 14 が上凸方向の復元力を呈するのは、主として加熱を伴う半導体装置の組み立てに起因する。具体的には、第 1 接合材 13、第 2 接合材 15 及び第 3 接合材 17 を溶融させる加熱などに伴って、絶縁回路基板 14 が上凸方向に反りやすくなる。他方、ベース板 12 が下凸方向の復元力を呈するのは、ベース板 12 に同方向の初期反りを施したことに起因する。

[0019] こうして、組み立て後の半導体装置 10 は、装置全体で見て反りが抑制される。これにより、リードフレーム 18 と半導体素子 16 の接合を安定させることができる。具体的には、リードフレーム 18 と半導体素子 16 の間の第 3 接合材 17 の厚さばらつきが低減し、これにより、パワーサイクル (P/C

) 信頼性を向上させることができる。

[0020] さらに、一例によれば、復元力が相殺されたことで、ベース板 12 と絶縁回路基板 14 を含む構造が概ね平坦になった状態で、半導体素子 16 とリードフレーム 18 の組み立てを進めることで、当該組み立てが容易になる。

[0021] さらに、一例によれば、セラミック基板 14c を 0.2 mm 以上 0.4 mm 未満又は 0.3 mm 以上 0.35 mm 以下と、比較的薄くしつつ、回路パターン 14a と金属層 14b の厚さを 0.6 mm 以上 1.0 mm 未満と、厚くすることで、絶縁回路基板 14 の線膨張係数を回路パターン 14a と金属層 14b の線熱膨張係数に近づけることができる。そうすると、絶縁回路基板 14 の見かけ上の線膨張係数が、ベース板 12 の線膨張係数に近づき、接合層である第 1 接合材 13 に加わる熱応力が緩和される。これにより、温度サイクル試験時に第 1 接合材 13 に発生する亀裂を抑制できる。

[0022] 別の例によれば、セラミック基板 14c の厚さに対して、回路パターン 14a の厚さを 1.5 倍以上とし、金属層 14b の厚さも 1.5 倍以上とすることで、絶縁回路基板 14 のみかけの線膨張係数が回路パターン 14a と金属層 14b の線膨張係数に近づく。

[0023] どちらに例においても、回路パターン 14a と、金属層 14b と、ベース板 12 を同じ材料とすると、絶縁回路基板 14 とベース板 12 の線膨張係数のズレを小さくすることができる。これにより、第 1 接合材 13 に加わる熱応力が緩和され温度サイクル試験時におけるクラックの発生を低減させる、という効果を高めることができる。

[0024] 上述の半導体装置の製造方法について説明する。図 2 は、組立前の半導体装置の一例を示す断面図である。ベース板 12 には初期反りが施されている。半導体装置を組み立てる前のベース板 12 は下凸形状の反りを有する。図 2 には、ベース板 12 が下凸方向に沿ったことで、ベース板 12 の下面に高低差 W1 が生じていることが示されている。一例によれば、下凸形状の反りによって、ベース板 12 の外縁底面は、ベース板 12 の中央底面より、1.0 mm 未満だけ高い。このような状態を反り量が 1.0 mm 未満であるとい

う。別の例によれば、この反り量を0.6mm未満とすることができる。

[0025] まず、図2に示す構成を完成させる。一例によれば、図2の構成を完成させるための工程は以下の工程を含む。

(1) ベース板12の外縁部分をケース20に固定すること。

(2) 絶縁回路基板14を、第1接合材13を介してベース板12の上ののせること。

(3) 回路パターン14aの上に第2接合材15を介して半導体素子16をのせること。

(4) 半導体素子16の上に第3接合材17を介してリードフレーム18をのせること。

[0026] 次に、第1接合材13と第2接合材15と第3接合材17を溶融させて、絶縁回路基板14をベース板12に固定し、半導体素子16を絶縁回路基板14に固定し、リードフレーム18を半導体素子16に固定する。各固定は同時に行うことができる。別の例によれば、絶縁回路基板14をベース板12に固定し、半導体素子16を絶縁回路基板14に固定した後に、リードフレーム18を半導体素子16に固定する。さらに別の例によれば、絶縁回路基板14をベース板12に固定した後に、半導体素子16を絶縁回路基板14に固定し、その後、リードフレーム18を半導体素子16に固定する。

[0027] 接合材の溶融のための加熱によって、絶縁回路基板14を上凸形状に反らせる力が生じる。絶縁回路基板14を上凸形状に反らせる力は、ベース板12の反りによって緩和される。その結果、絶縁回路基板14の反りが抑制され、絶縁回路基板14はフラット又はそれに近い形状となる。さらに、ベース板12の反りも緩和され、ベース板12はフラット又はそれに近い形状となる。こうして図1の半導体装置10が完成する。

[0028] このように、あらかじめベース板12に初期反りを施すことにより、製造過程により発生する装置の反りと、ベース板12の初期反りが相殺され、組立完了時における反りを低減させることができる。絶縁回路基板14とベース板12を含む構成の反りを抑制することで、組立性を向上させたり、第3

接合層 17 の厚みばらつきを低減させて P / C 信頼性を向上させたりすることができる。

[0029] 実施の形態 1 に記載した変形例、修正例又は代案については、以下の実施の形態に係る半導体装置と半導体装置の製造方法に応用し得る。以下の実施の形態に係る半導体装置と半導体装置の製造方法については、主として実施の形態 1 との相違点を説明する。

[0030] 実施の形態 2.

図 3 は、実施の形態 2 に係る絶縁回路基板 14 の断面図である。回路パターン 14 a は金属層 14 c より厚い。図 3 には、回路パターン 14 a の厚さ Z1 が、金属層 14 c の厚さ Z2 より大きいことが示されている。一例によれば、回路パターン 14 a の厚さは 0.6 mm 以上 1.0 mm 未満である。回路パターン 14 a を金属層 14 c より厚くすることで、高温時における絶縁回路基板 14 の反りが抑制される。したがって、第 3 接合層 17 の厚みばらつきをさらに低減させて P / C 信頼性を向上させることができる。

[0031] 実施の形態 2 に係る絶縁回路基板 14 は反りづらいので、ベース板 12 の初期反りを小さくすることができる。また、絶縁回路基板 14 における上凸方向の復元力と、ベース板 12 における下凸方向の復元力を、ともに小さい値とすることができる。

[0032] 図 4 は、比較例に係る絶縁回路基板 14 の断面図である。図 4 では、回路パターン 14 a と金属層 14 c の厚みを一致させた。つまり、厚み Z1 と厚み Z2 が一致している。この場合、絶縁回路基板 14 には比較的大きな反りが生じる。

[0033] 実施の形態 3.

図 5 は、実施の形態 3 に係る半導体装置の断面図である。ケース 20 の内部には樹脂 30 が充填されている。一例によれば、樹脂 30 は、ケース 20 によって囲まれたすべての構成を覆う。樹脂 30 は、ゲルに比べて高弾性かつ高粘着なため、樹脂 30 を採用することで、第 1 接合材 13 に加わる熱応力が緩和される。また、樹脂 30 の拘束により第 3 接合材 17 と第 1 接合材

13の厚みにばらつきが生じても安定した信頼性を得ることができる。さらに、樹脂30の拘束により、実施の形態1よりも第1接合材13の亀裂を抑制する効果を高めることができるので、半導体素子16から回路パターン14a端部までの距離を縮めることが可能になる。当該距離の短縮は、半導体装置の小型化を可能とする。

[0034] 実施の形態4.

図6は、実施の形態4に係る半導体装置の断面図である。この半導体装置は端子40を備えている。端子40は、一部がケース20に固定され、別の部分がケース20の内部にあるものである。端子40は、ケース20に囲まれた領域において、第4接合材42でリードフレーム18に固定されている。図6の例では、端子40の上面と、リードフレーム18の下面が第4接合材42で固定されている。

[0035] リードフレーム18をケース20に固定してしまうと、それによりリードフレーム18の位置が確定し、リードフレームは上下に位置を変えることができない。しかしながら、図6に例示したとおり、リードフレーム18とケース20を一体化せず、リードフレーム18を端子40に固定する場合、リードフレーム18の上下方向の位置を変化させることができる。例えば、第4接合材42の厚みを変更したり、リードフレーム18の形状を変更したりすることで、半導体素子16の直上のリードフレーム18の位置を容易に変更できる。

[0036] このようにリードフレーム18の位置を変更可能とすることで、半導体装置の反りに起因して半導体素子16の位置がばらついた場合において、そのばらつきに追従させた位置にリードフレーム18を設けることができる。したがって、リードフレーム18を半導体素子16に固定する作業を確実かつ容易に行うことができる。

[0037] 実施の形態5.

図7は、実施の形態5に係る半導体装置の断面図である。ベース板12は、その裏面側にピンフィン12aを有している。図7の半導体装置は、サー

マルグリースなどを介在させずに、半導体装置裏面に冷却装置であるピンフィン 12 a を備えたベース板 12 を設けたものである。このような構造は、直接冷却構造と呼ばれる。直接冷却構造では、パワーサイクル試験時において、縦方向構造の温度分布が顕著に現れる。縦方向構造の温度分布が大きいと、第 1 接合材 13 に発生する応力も大きくなる。そこで、第 1 接合材 13 の亀裂を抑制することが極めて重要となる。

[0038] 実施の形態 1 で説明したとおり、復元力の相殺による半導体装置の反りの抑制は、第 1 接合材 13 のクラック抑制に貢献する。そのため、ピンフィン を設けた半導体装置の熱性能が改善され、信頼性向上及び装置の小型化が可能となる。

[0039] なお、上記の各実施の形態に係る半導体装置の特徴を組み合わせることで効果を高めても良い。

符号の説明

[0040] 10 半導体装置、 12 ベース板、 13 第 1 接合材、 14 絶縁回路基板、 14 a 回路パターン、 14 b 金属層、 14 c セラミック基板、 15 第 2 接合材、 16 半導体素子、 17 第 3 接合材、 18 リードフレーム、 20 ケース

請求の範囲

- [請求項1] ベース板と、
セラミック基板と、前記セラミック基板の上面に形成された回路パターンと、前記セラミック基板の下面に形成された金属層と、を有し、前記金属層は、第1接合材で前記ベース板の上面に固定された、絶縁回路基板と、
第1面と、前記第1面と反対の面である第2面を有し、前記第1面は、第2接合材で前記回路パターンに固定された、半導体素子と、
前記第2面に第3接合材で固定されたリードフレームと、
前記ベース板の外縁部分に固定されて前記半導体素子を囲むケースと、を備え、
前記絶縁回路基板には上に凸に反る方向に復元力が働き、前記ベース板には下に凸に反る方向に復元力が働くことを特徴とする半導体装置。
- [請求項2] 前記半導体素子は複数提供され、1つの前記リードフレームが前記第3接合材で複数の前記半導体素子に固定されたことを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記回路パターンは、前記金属層より厚いことを特徴とする請求項1又は2に記載の半導体装置。
- [請求項4] 前記ケースの内部に充填された樹脂を備えたことを特徴とする請求項1から3のいずれか1項に記載の半導体装置。
- [請求項5] 前記ケースに固定され、前記ケースに囲まれた領域において第4接合材で前記リードフレームに固定された端子を備えた請求項1から4のいずれか1項に記載の半導体装置。
- [請求項6] 前記ベース板は、ピンフィンを有することを特徴とする請求項1から5のいずれか1項に記載の半導体装置。
- [請求項7] 前記回路パターンの厚さは、前記セラミック基板の厚さの1.5倍以上であり、

前記金属層の厚さは、前記セラミック基板の厚さの1.5倍以上であることを特徴とする請求項1から6のいずれか1項に記載の半導体装置。

[請求項8] 前記回路パターンと、前記金属層と、前記ベース板は同じ材料であることを特徴とする請求項1から7のいずれか1項に記載の半導体装置。

[請求項9] 下凸形状の反りを有するベース板の外縁部分をケースに固定することと、

セラミック基板と、前記セラミック基板の上面に形成された回路パターンと、前記セラミック基板の下面に形成された金属層と、を有する絶縁回路基板を、第1接合材を介して前記ベース板の上にのせることと、

前記回路パターンの上に、第2接合材を介して半導体素子をのせることと、

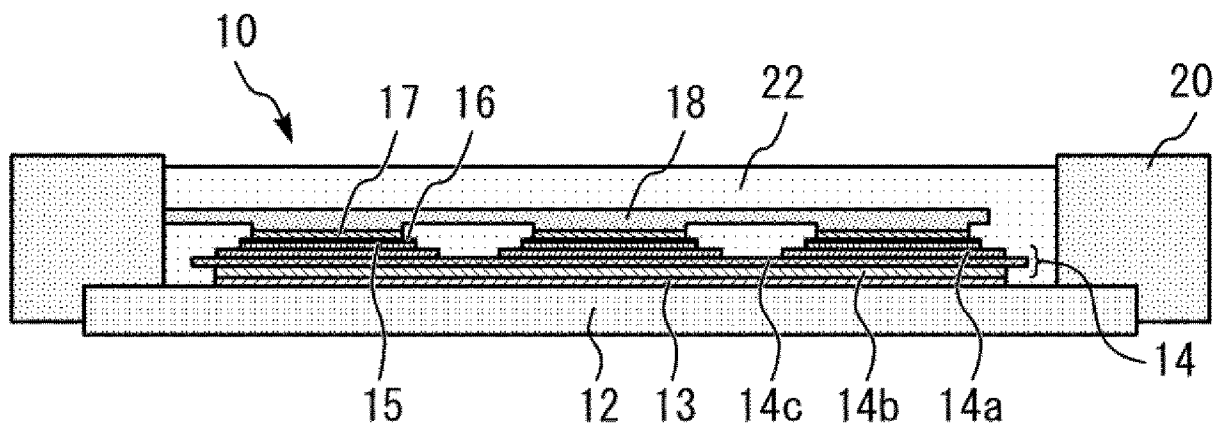
前記半導体素子の上に、第3接合材を介してリードフレームをのせることと、

前記第1接合材と、前記第2接合材と、前記第3接合材を溶融させることと、

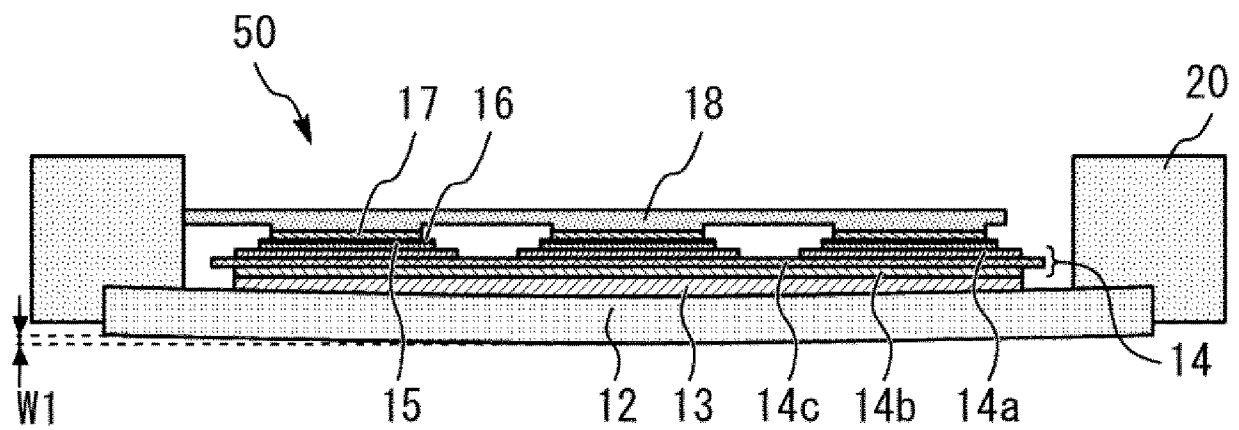
前記溶融によって生じた前記絶縁回路基板を上凸形状に反らせる力が、前記ベース板の反りによって緩和されることで前記絶縁回路基板の反りが抑制されることと、を備えた半導体装置の製造方法。

[請求項10] 前記下凸形状の反りによって、前記ベース板の外縁底面は、前記ベース板の中央底面より、1.0mm未満だけ高いことを特徴とする請求項9に記載の半導体装置の製造方法。

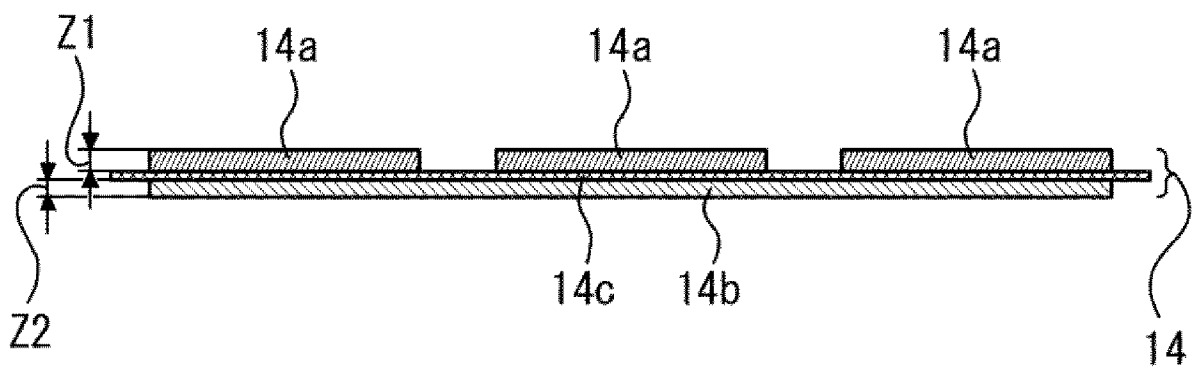
[図1]



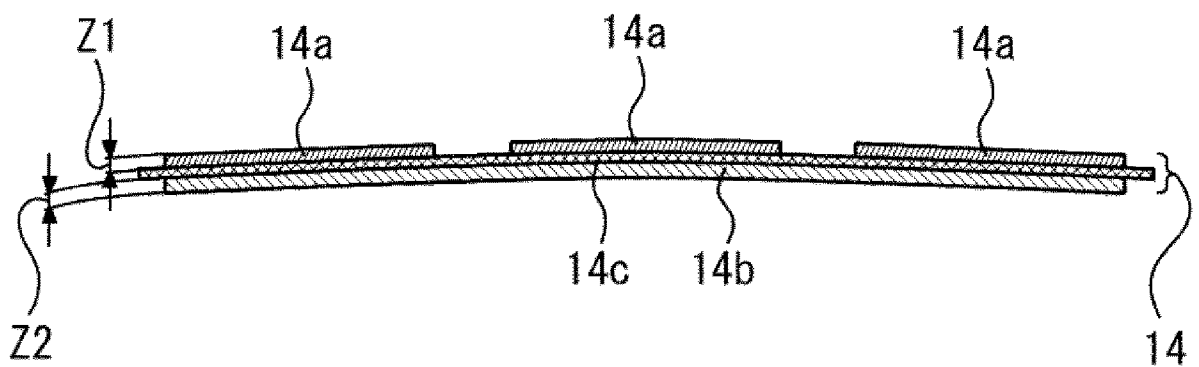
[図2]



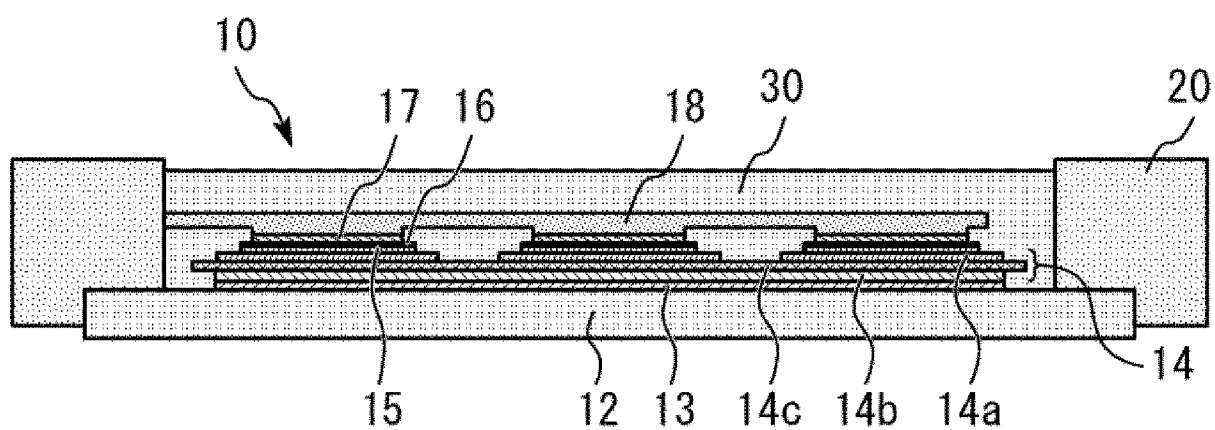
[図3]



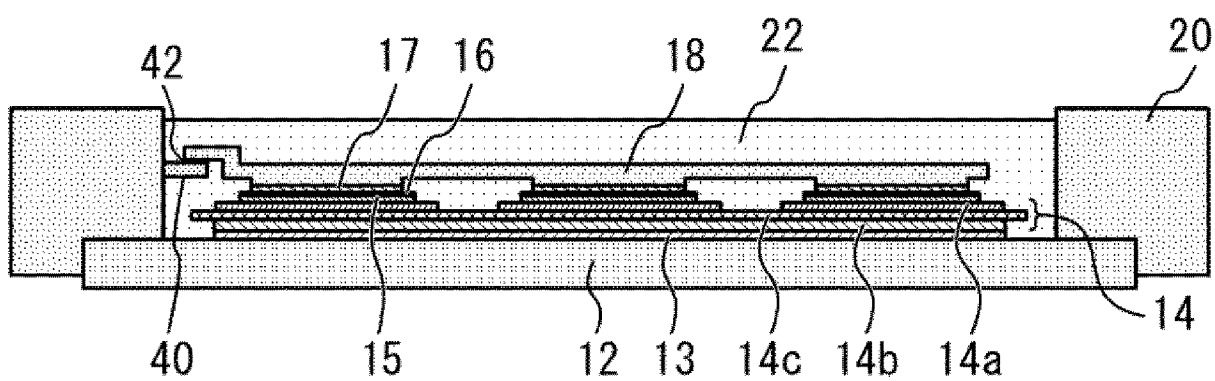
[図4]



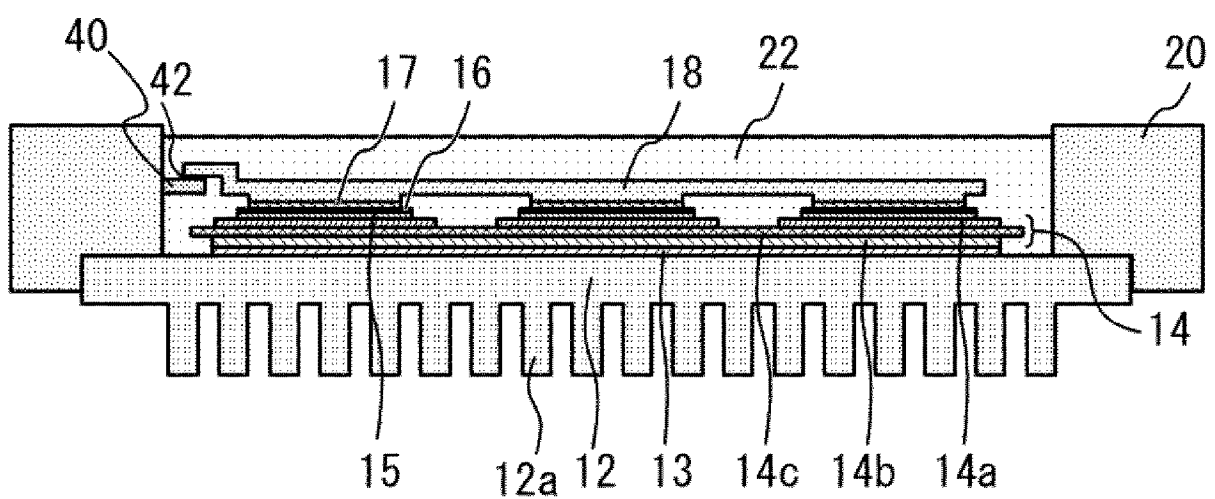
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/039959

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L23/15 (2006.01) i, H01L23/28 (2006.01) i
FI: H01L23/14 C, H01L23/28 K

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L23/15, H01L23/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-91959 A (FUJI ELECTRIC DEVICE TECHNOLOGY CO., LTD.) 17 April 2008 (2008-04-17), entire text, all drawings	1-10
A	JP 9-82844 A (MITSUBISHI ELECTRIC CORP.) 28 March 1997 (1997-03-28), entire text, all drawings	1-10
A	WO 2012/108073 A1 (FUJI ELECTRIC CO., LTD.) 16 August 2012 (2012-08-16), entire text, all drawings	1-10
A	JP 2015-130430 A (MITSUBISHI MATERIALS CORP.) 16 July 2015 (2015-07-16), entire text, all drawings	1-10

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
16.12.2020

Date of mailing of the international search report
28.12.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/039959

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-340975 A (HITACHI, LTD.) 22 December 1998 (1998-12-22), entire text, all drawings	1-10
A	JP 2002-84046 A (TOSHIBA CORP.) 22 March 2002 (2002-03-22), entire text, all drawings	1-10
A	US 2019/0273034 A1 (DELTA ELECTRONICS (SHANGHAI) CO., LTD.) 05 September 2019 (2019-09-05), entire text, all drawings	1-10

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/039959

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2008-91959 A	17.04.2008	(Family: none)	
JP 9-82844 A	28.03.1997	(Family: none)	
WO 2012/108073 A1	16.08.2012	US 2013/0306296 A1 entire text, all drawings EP 2674971 A1 CN 103339723 A	
JP 2015-130430 A	16.07.2015	US 2016/0254209 A1 entire text, all drawings EP 3057125 A1 CN 105580131 A KR 10-2016-0067172 A	
JP 10-340975 A	22.12.1998	(Family: none)	
JP 2002-84046 A	22.03.2002	(Family: none)	
US 2019/0273034 A1	05.09.2019	EP 3537475 A1 entire text, all drawings CN 108417501 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/15(2006.01)i; H01L 23/28(2006.01)i FI: H01L23/14 C; H01L23/28 K		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L23/15; H01L23/28		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-91959 A（富士電機デバイステクノロジー株式会社）17.04.2008（2008 - 04 - 17） 全文，全図	1-10
A	JP 9-82844 A（三菱電機株式会社）28.03.1997（1997 - 03 - 28） 全文，全図	1-10
A	WO 2012/108073 A1（富士電機株式会社）16.08.2012（2012 - 08 - 16） 全文，全図	1-10
A	JP 2015-130430 A（三菱マテリアル株式会社）16.07.2015（2015 - 07 - 16） 全文，全図	1-10
A	JP 10-340975 A（株式会社日立製作所）22.12.1998（1998 - 12 - 22） 全文，全図	1-10
A	JP 2002-84046 A（株式会社東芝）22.03.2002（2002 - 03 - 22） 全文，全図	1-10
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 16.12.2020	国際調査報告の発送日 28.12.2020	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 川原 光司 5F 5382 電話番号 03-3581-1101 内線 3516	

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2019/0273034 A1 (DELTA ELECTRONICS (SHANGHAI) CO., LTD.) 05.09.2019 (2019 - 09 - 05) 全文, 全図	1-10

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/039959

引用文献			公表日	パテントファミリー文献	公表日
JP	2008-91959	A	17.04.2008	(ファミリーなし)	
JP	9-82844	A	28.03.1997	(ファミリーなし)	
WO	2012/108073	A1	16.08.2012	US 2013/0306296	A1
				全文, 全図	
				EP 2674971	A1
				CN 103339723	A
JP	2015-130430	A	16.07.2015	US 2016/0254209	A1
				全文, 全図	
				EP 3057125	A1
				CN 105580131	A
				KR 10-2016-0067172	A
JP	10-340975	A	22.12.1998	(ファミリーなし)	
JP	2002-84046	A	22.03.2002	(ファミリーなし)	
US	2019/0273034	A1	05.09.2019	EP 3537475	A1
				全文, 全図	
				CN 108417501	A