

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6226551号
(P6226551)

(45) 発行日 平成29年11月8日 (2017. 11. 8)

(24) 登録日 平成29年10月20日 (2017. 10. 20)

| | |
|---------------------------------|---------------------|
| (51) Int. Cl. | F I |
| HO 4 N 5/3745 (2011. 01) | HO 4 N 5/3745 5 0 0 |
| HO 4 N 5/357 (2011. 01) | HO 4 N 5/357 |

請求項の数 11 (全 19 頁)

| | | | |
|-----------|-------------------------------|-----------|-------------------|
| (21) 出願番号 | 特願2013-98892 (P2013-98892) | (73) 特許権者 | 000001007 |
| (22) 出願日 | 平成25年5月8日 (2013. 5. 8) | | キヤノン株式会社 |
| (65) 公開番号 | 特開2014-220663 (P2014-220663A) | | 東京都大田区下丸子3丁目30番2号 |
| (43) 公開日 | 平成26年11月20日 (2014. 11. 20) | (74) 代理人 | 100076428 |
| 審査請求日 | 平成28年4月22日 (2016. 4. 22) | | 弁理士 大塚 康德 |
| | | (74) 代理人 | 100112508 |
| | | | 弁理士 高柳 司郎 |
| | | (74) 代理人 | 100115071 |
| | | | 弁理士 大塚 康弘 |
| | | (74) 代理人 | 100116894 |
| | | | 弁理士 木村 秀二 |
| | | (74) 代理人 | 100130409 |
| | | | 弁理士 下山 治 |
| | | (74) 代理人 | 100134175 |
| | | | 弁理士 永川 行光 |

最終頁に続く

(54) 【発明の名称】 撮像装置

(57) 【特許請求の範囲】

【請求項 1】

光を電気信号に変換する画素と、
 前記画素からの画素信号と参照電圧とを比較する比較手段と、
 前記比較手段による比較の結果、
 前記画素信号が前記参照電圧未満である場合に前記画素信号を低輝度変換モードでアナログ-デジタル (A/D) 変換し、前記画素信号が前記参照電圧以上である場合に前記画素信号を高輝度変換モードで A/D 変換する A/D 変換手段と、
 前記 A/D 変換手段の出力データに対して、前記 A/D 変換により生じるオフセットおよびゲインを補正する補正手段と、を備え、
 前記補正手段は、前記 A/D 変換手段が前記画素信号を前記低輝度変換モードで A/D 変換する場合に前記低輝度変換モード用のオフセット補正值およびゲイン補正值を用いて前記 A/D 変換手段の出力データのオフセットおよびゲインを補正し、前記 A/D 変換手段が前記画素信号を前記高輝度変換モードで A/D 変換する場合に前記高輝度変換モード用のオフセット補正值およびゲイン補正值を用いて前記 A/D 変換手段の出力データのオフセットおよびゲインを補正することを特徴とする撮像装置。

【請求項 2】

前記画素が行方向及び列方向に複数配置され、前記 A/D 変換手段が列毎に配置されることを特徴とする請求項 1 に記載の撮像装置。

【請求項 3】

前記オフセット補正值および前記ゲイン補正值は、前記列毎に異なることを特徴とする請求項 2 に記載の撮像装置。

【請求項 4】

前記オフセット補正值および前記ゲイン補正值は、前記画素の複数列で共通であることを特徴とする請求項 2 に記載の撮像装置。

【請求項 5】

前記 A D 変換手段の出力データのビット数を所定数に拡張するビット拡張手段をさらに備え、

前記ビット拡張手段は、前記 A D 変換手段の出力データの上位又は下位にビットを付加して前記 A D 変換手段の出力データのビット数を前記所定数に拡張することを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の撮像装置。

10

【請求項 6】

前記補正手段は、前記 A D 変換手段の出力データと第 1 の基準値との比較結果に応じて前記低輝度用のオフセット補正值およびゲイン補正值と前記高輝度用のオフセット補正值およびゲイン補正值のいずれかを選択することを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の撮像装置。

【請求項 7】

前記画素信号が前記参照電圧未満の場合に前記 A D 変換手段の出力データが前記第 1 の基準値未満となり、且つ前記画素信号が前記参照電圧以上の場合に前記 A D 変換手段の出力データが前記第 1 の基準値を超える値となることを特徴とする請求項 6 に記載の撮像装置。

20

【請求項 8】

前記 A D 変換手段は、変換モードの情報を前記出力データと共に出力することを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の撮像装置。

【請求項 9】

前記 A D 変換手段は、前記出力データが第 2 の基準値未満の第 3 の基準値以上で且つ前記第 2 の基準値を超える第 4 の基準値未満である場合に、前記出力データの最下位 1 ビットを前記変換モードの情報で置き換えて出力することを特徴とする請求項 8 に記載の撮像装置。

【請求項 10】

30

前記補正手段は、前記変換モードの情報に基づいてオフセット補正值およびゲイン補正值の少なくともいずれか一方を変更することを特徴とする請求項 8 又は 9 に記載の撮像装置。

【請求項 11】

前記低輝度変換モード用のオフセット補正值およびゲイン補正值と前記高輝度変換モード用のオフセット補正值およびゲイン補正值は、あらかじめ撮像装置に設定されていることを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載の撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

40

本発明は、撮像装置に関し、特に光電変換によって得られたアナログ信号をデジタル信号に変換する A D 変換器を撮像素子内に有するものに関する。

【背景技術】

【0002】

近年のデジタルカメラやデジタルビデオカメラなどの撮像装置では、画素数の増大や連写速度の向上のため、撮像素子から画像信号を高速に読み出す技術が要求されている。高速に読み出される信号を画素毎にアナログ - デジタル変換 (A D 変換) する場合、画素データあたりの変換時間は非常に短時間となる。そのため、短時間に高精度な変換を行うことが必要となる。

【0003】

50

この課題を解決するため、CMOS集積回路と同様のプロセスで製造できるCMOSイメージセンサにおいて、画素の列毎にAD変換器を配置し、同時に1行分の画素信号のAD変換を行う、カラムAD変換方式の撮像素子の研究開発がなされている。カラムAD変換方式の撮像素子では、AD変換器の変換レートを1画素の読出しレートから1行の読出しレートまで落とすことができるため、撮像素子の1画面の読出しレートを高速化し易いという利点がある。

【0004】

このようなカラムAD変換方式の撮像素子には、特許文献1で示されるようにランプ信号と画素信号を比較器で比較し、比較器の出力が反転するまでの時間を計測するランプ型のAD変換方式を採用したものがあ

10

【0005】

る。これを解決する方法として、特許文献2に開示されるように、信号のレベルに応じて、信号振幅とランプ信号振幅の相対的な関係を変更してAD変換を行う方法が考えられる。

【0006】

特許文献2では、NビットのAD変換において、まずアナログ信号の値と、フルスケール振幅を 2^K （KはNより小さい整数）で除算して得た閾値とを比較する。次に、信号を（N-K）ビットにAD変換する。そして、信号の値が閾値より大きい場合には、このAD変換の結果をNビットのデジタルデータのMSB側の（N-K）ビットとするまた、信号の値が閾値以下である場合には、NビットのデジタルデータのLSB側の（N-K）ビットとする。これにより、AD変換時間の増加を抑えつつ多ビット化を実現する。さらに、特許文献2には、2種類の傾きのランプ信号を生成し、信号の値が閾値より大きい場合には傾きの高いランプ信号を使用し、信号の値が閾値以下の場合には傾きの低いランプ信号を使用して変換を行う構成も開示されている。

20

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開平05-048460号公報

30

【特許文献2】特開2010-45789号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、特許文献2のように、信号の値と閾値の比較結果に基づいて信号とランプ信号の相対的な大きさを変更する場合、アナログ入力信号に対する最終的な出力データの特性（入出力特性）が閾値を境界にずれることがある。図22に、入出力特性の例を模式的に示す。Vmは、信号の値と比較して、AD変換のやり方を切り換えるための閾値である。点線で示すのが理想入出力特性、太い実線で示すのが実際の入出力特性であり、実際の入出力特性が理想入出力特性と一致することが望ましい。特許文献2のような、閾値と信号の値の大小関係に応じてランプ信号を切り替える場合においては、2つのランプ信号の傾きとオフセットの発生により、図22に示すように、入出力特性に閾値Vmを境界としたずれが発生する可能性がある。

40

【0009】

そこで、本発明は、AD変換モードを選択することで、高速且つ多ビットのAD変換を可能にした撮像装置において、AD変換モードの入出力特性のずれを、より理想的な入出力特性に近い特性に補正することにより、良好な画質を得ることを目的とする。

【課題を解決するための手段】

【0010】

本発明の撮像装置は、光を電気信号に変換する画素と、前記画素からの画素信号と参照

50

電圧とを比較する比較手段と、前記比較手段による比較の結果、前記画素信号が前記参照電圧未満である場合に前記画素信号を低輝度変換モードでアナログ-デジタル(A/D)変換し、前記画素信号が前記参照電圧以上である場合に前記画素信号を高輝度変換モードでA/D変換するA/D変換手段と、前記A/D変換手段の出力データに対して、前記A/D変換により生じるオフセットおよびゲインを補正する補正手段と、を備え、前記補正手段は、前記A/D変換手段が前記画素信号を前記低輝度変換モードでA/D変換する場合に前記低輝度変換モード用のオフセット補正值およびゲイン補正值を用いて前記A/D変換手段の出力データのオフセットおよびゲインを補正し、前記A/D変換手段が前記画素信号を前記高輝度変換モードでA/D変換する場合に前記高輝度変換モード用のオフセット補正值およびゲイン補正值を用いて前記A/D変換手段の出力データのオフセットおよびゲインを補正することを特徴とする。

10

【発明の効果】

【0011】

本発明によれば、A/D変換モードを選択することで、高速且つ多ビットのA/D変換を可能にした撮像装置において、A/D変換モードの入出力特性のずれを、より理想的な入出力特性に近い特性に補正することにより、良好な画質を得ることができる。

【図面の簡単な説明】

【0012】

【図1】本発明の実施形態に係る撮像装置の全体構成

【図2】本発明の実施形態に係る撮像素子の全体構成

20

【図3】本発明の実施形態に係るサンプルホールド回路及びA/D変換回路の構成

【図4】本発明の実施形態に係る信号振幅制御部の構成例

【図5】本発明の実施形態に係る読出し動作のタイミング

【図6】本発明の実施形態1に係るA/D変換の入出力特性

【図7】本発明の実施形態1に係るD F Eの構成

【図8】本発明の実施形態に係るA/D変換の入出力特性と、オフセット補正值・ゲイン補正值の取得例

【図9】本発明の実施形態2に係るA/D変換の入出力特性

【図10】本発明の実施形態3に係るサンプルホールド回路及びA/D変換回路の構成

【図11】本発明の実施形態3に係る撮像素子出力の1画素分のデータ

30

【図12】本発明の実施形態3に係るD F Eの構成

【図13】本発明の実施形態4に係るサンプルホールド回路及びA/D変換回路の構成

【図14】本発明の実施形態4に係るA/D変換の入出力特性

【図15】本発明の実施形態4に係る撮像素子出力の1画素分のデータ

【図16】本発明の実施形態4に係るD F Eの構成

【図17】本発明の実施形態5に係るサンプルホールド回路及びA/D変換回路の構成

【図18】本発明の実施形態5に係る撮像素子出力の1画素分のデータ

【図19】本発明の実施形態5に係るD F Eの構成

【図20】本発明の実施形態に係るA/D変換の入出力特性と、オフセット補正值・ゲイン補正值の取得例

40

【図21】本発明の実施形態に係るA/D変換の入出力特性と、オフセット補正值・ゲイン補正值の取得例

【図22】A/D変換の入出力特性の従来例

【発明を実施するための形態】

【0013】

以下に、本発明の好ましい実施の形態を、添付の図面に基づいて詳細に説明する。

【0014】

[実施形態1]

本実施形態に係る撮像装置100の全体構成について図1により説明する。撮像レンズ101は、被写体からの光を撮像素子102に結像させる。撮像素子102は、結像され

50

た被写体像の光信号を電気信号に変換するためのものであり、CMOSイメージセンサなどが使用される。撮像素子102には、アナログ信号（電気信号）をデジタル信号に変換するAD変換部も配されている。

【0015】

D F E (D i g i t a l F r o n t E n d) 1 0 9 は、撮像素子102から出力されるデジタル画像信号に対して、補正処理を行う。D S P (D i g i t a l S i g n a l P r o c e s s e r) 1 0 3 は、D F E 1 0 9 から出力されるデジタル画像信号に対して各種画像処理や圧縮・伸張処理などを行う。尚、D F E 1 0 9 で行う補正処理は、D S P 1 0 3 或いは撮像素子102内で行うことも可能であるが、ここでは説明の便宜上、D F E 1 0 9 が行う構成とする。D S P 1 0 3 により処理された画像データは記録媒体104に記録される。表示部105は、撮影した画像や各種メニュー画面などを表示するためのものであり、液晶ディスプレイ(L C D) などが使用される。タイミングジェネレータ(T G) 1 0 6 は、撮像素子102などに駆動信号を供給する。C P U 1 0 7 は、D S P 1 0 3 , T G 1 0 6 の制御を行う。R A M 1 0 8 は、画像データなどを一時記憶するメモリであり、D S P 1 0 3 と接続されている。

10

【0016】

図2は、撮像素子102の全体構成を示す図である。画素領域PAには、 $i \times j$ 個の画素201が、行方向及び列方向に複数配置されている。入射した被写体の光信号は、画素201で光電変換される。各画素で光電変換された信号は、垂直走査回路202から駆動線V1 ~ Vjによって供給される駆動信号によって、垂直出力線H1 ~ Hiへ1行毎に転送される。

20

【0017】

列毎に設けられたC D S アンプ203は、光電変換された信号に対してC D S (相関二重サンプリング) 処理をした後に信号を増幅する。画素201から垂直出力線に読み出された画素信号は、各列のC D S アンプ203に輸入され、画素ノイズが除去されると共に所定のゲインが掛けられる。C D S アンプ203の出力は、サンプルホールド回路204によって列毎にサンプルホールドされる。サンプルホールド回路204でサンプルホールドされた各画素信号は、その後、列毎に設けられたA D 変換器(A D C) 2 0 5 に転送され、A D C 2 0 5 によりデジタル値の画素データに変換される。各列のA D C 2 0 5 には、画素信号との比較参照に用いるランプ信号がランプ信号発生回路206から共通に供給される。また、カウンタ207の出力も各列のA D C 2 0 5 に共通に接続される。各A D C 2 0 5 の変換結果は、データメモリ208へ格納され、その後、水平走査回路209によって1列ずつ選択/転送され、撮像素子102から出力される。

30

【0018】

次に、図3を用いて、各列のサンプルホールド回路204およびNビットのA D C 2 0 5 の構成の一例について説明する。この例では、画素信号のレベルが閾値(参照電圧) V_m 未満の低輝度の場合と閾値(参照電圧) V_m 以上の高輝度の場合とで分けてA D 変換を行うことにより、A D 変換に要する時間が長くなることを防いでいる。

【0019】

サンプルホールド回路204は、第1の信号転送スイッチ301と第1の記憶容量302とから構成される。サンプルホールド回路204に輸入された画素信号は、第1の信号転送スイッチ301を介して第1の記憶容量302にホールドされる。第1の記憶容量302は、バッファ303を経由して振幅制御部304に接続されると共に、第1の比較器305にも接続されている。第1の比較器305では、第1の記憶容量302の信号が参照電圧 V_m と比較され、その比較結果はフリップフロップ(F F) 3 0 6 を経由して信号振幅制御部304に伝達される。F F 3 0 6 は、データ入力端子に第1の比較器305の出力が接続され、信号c k 1 の立ち上がりでデータを取り込み保持し、信号r e s _ 1 によってリセットされる。参照電圧 V_m は、ここではA D 変換のフルスケール振幅の1 / 4 に相当する電圧とする。

40

【0020】

50

信号振幅制御部 304 は、FF306 から入力される比較結果に基づいて、画素信号の振幅を制御する。具体的には、画素信号が参照電圧 V_m 未満である場合は振幅をそのまま (1 倍) 出力し、画素信号が参照電圧 V_m 以上である場合は振幅を $1/4$ 倍して出力する。信号振幅制御部 304 の出力は、第 2 の比較器 307 の入力端子に接続される。

【0021】

ここで、信号振幅制御部 304 について図 4 の例により説明する。まず、バッファ 303 から信号振幅制御部 304 に入力される画素信号は、第 2 の信号転送スイッチ 401 を介して、第 2 の記憶容量 402 及び第 3 の記憶容量 403 に記憶される。第 2 の記憶容量 402 と第 3 の記憶容量 403 は直列に接続されている。第 2 の記憶容量 402 と第 3 の記憶容量 403 には、それぞれの容量の両端を短絡する第 1 の短絡スイッチ 404 及び第 2 の短絡スイッチ 405 がそれぞれ接続されている。

10

【0022】

画素信号が参照電圧 V_m 以上である場合には、第 1 の比較器 305 の出力が High レベルになり、信号 $ck1$ のタイミングで FF306 の出力も High レベルとなるため、OR ゲート 406 を介して第 2 の短絡スイッチ 405 が短絡される。この短絡動作によって記憶容量が変化するので、画素信号の振幅が変わる。この例では、第 2 の記憶容量 402 の容量値を第 3 の記憶容量 403 の 3 倍にしているため、第 2 の短絡スイッチ 405 をショートした場合の A 点の電位は、元の画素信号の電位の $1/4$ 倍になる。

【0023】

図 3 に戻り、第 2 の比較器 307 では、振幅制御後の画素信号とランプ信号のレベルが比較される。第 2 の比較器 307 の出力は、ラッチ回路 308 へ入力されている。ラッチ回路 308 には、カウンタ 207 のカウントデータも入力されている。ランプ信号が画素信号のレベルを超え、第 2 の比較器 307 の出力が反転すると、そのときのカウンタ値がラッチ回路 308 に保持される。ADC205 が N ビットを出力する場合、この例では、カウンタは最大 ($N - 2$) ビット分のカウントを行えばよい。ラッチ回路 308 に保持されたカウントデータは、ビット拡張部 309 及び 310 において上位或いは下位に所定のビットが付加される。 N ビットの出力に対して ($N - 2$) ビットまでカウントする場合は、2 ビットの '0' が上位又は下位に付加されて N ビットのデータとして出力される。続いて、出力データ選択部 311 において、FF306 の出力に応じて、一方のデータが選択されてデータメモリ 208 へ出力される。

20

30

【0024】

以下、説明の便宜上、画素信号が参照電圧 V_m 未満である場合の AD 変換を低輝度変換モード、参照 V_m 以上である場合の AD 変換を高輝度変換モードと称することとする。この例では、画素信号を低輝度と高輝度に分けて、高輝度の電圧を $1/4$ にして ($N - 2$) ビットまでのカウントを行なって、 N ビットに変換して出力するので、AD 変換にかかる時間が延びることを防げる。

【0025】

次に、撮像素子 102 の動作タイミングについて、図 5 の撮像素子 102 の動作を示すタイミングチャートを用いて説明する。 k 行目の画素の読出し動作期間において、信号 $ts1$ が High レベルとなり、第 1 の記憶容量 302 に k 行目の各画素の画素信号が記憶される。信号 $ts1$ を Low レベルとした後、信号 $ts2$ を High レベルにすることにより第 2 の信号転送スイッチ 401 を ON にして、第 1 の記憶容量 302 の信号をバッファ 303 を介して第 2 の記憶容量 402 及び第 3 の記憶容量 403 へ転送する。

40

【0026】

信号 $ts2$ を Low レベルにして第 2 の信号転送スイッチ 401 を OFF にした後、信号 $ck1$ にパルスを入力し、画素信号と参照電圧 V_m との比較結果である第 1 の比較器 305 の出力値を FF306 に取り込み保持する。FF306 の出力は OR ゲート 406 に入力され、これによって信号振幅制御部 304 で信号振幅が変更される。その後、ランプ信号発生回路 206 によってランプ信号を発生し、 k 行目の画素信号の AD 変換動作が行われる。また、 k 行目の画素信号の AD 変換動作を行うタイミングで $k + 1$ 行目の読出し

50

動作が並行して行われて、 $k + 1$ 行目の画素信号が第 1 の記憶容量 3 0 2 へ転送される。

【 0 0 2 7 】

k 行目の画素信号の A D 変換動作が終了すると、A D 変換後のデジタルデータがデータメモリ 2 0 8 へ転送され、その後に水平走査回路 2 0 9 により撮像素子 1 0 2 から k 行目のデータが順次出力される。データメモリへのデータ転送後、信号 $r e s_l$ 及び $r e s_c$ が H i g h レベルにされることにより、F F 3 0 6 と第 2 の記憶容量 4 0 2 及び第 3 の記憶容量 4 0 3 はリセットされて次の行の変換に備える。

【 0 0 2 8 】

図 6 は、アナログ入力信号である画素信号とデータメモリ 2 0 8 へ出力される時点での N ビットのデジタルデータである A D 変換出力との関係、つまり A D C 2 0 5 の入出力特性を模式的に示す図である。参照電圧 V_m は、理想的には A D 変換されて出力コードが 4 0 9 6 L S B になるものとする。理想的な入出力特性が得られる場合、点線で示すように入力信号が参照電圧 V_m と一致する場合には出力コードは 4 0 9 6 L S B となり、入力信号が参照電圧 V_m 以上の入出力特性と V_m 未満の入出力特性は直線状に繋がる。しかし、実際には信号振幅制御部 3 0 4 の記憶容量のばらつきや短絡スイッチの特性などによって、低輝度の場合と高輝度の場合でランプ信号振幅と画素信号振幅の相対関係が想定とずれることがある。この場合には、実線で示すように理想的な入出力特性とずれてしまい、参照電圧 V_m を境界に入出力特性に段差や傾きの違いが生じることになる。

【 0 0 2 9 】

この入出力特性のずれを補正する D F E 1 0 9 のリニアリティ補正部 5 0 0 について、図 7 を用いて説明する。比較部 5 0 1 は、入力された画像信号の画素データを画素毎に第 1 の基準値 (T H) と比較する。ここでは、第 1 の基準値 T H の値は、理想入出力特性において参照電圧 V_m のデジタル変換値に相当する 4 0 9 6 L S B とする。オフセット補正值選択部 5 0 2 は、比較部 5 0 1 の出力に基づいて、高輝度変換モードのオフセット補正值と低輝度変換モードのオフセット補正值のいずれか一方を選択する。オフセット補正值は、低輝度の場合及び高輝度の場合の各 A D 変換の入出力特性において、信号振幅制御部 3 0 4 の記憶容量のばらつき等による参照電圧 V_m を境界とする入出力特性の段差による理想的な入出力特性からのずれを補正する。補正值の求め方は後述する。

【 0 0 3 0 】

比較部 5 0 1 の出力が ' 1 ' の場合、即ち画像信号が第 1 の基準値 T H 以上である場合、高輝度変換モードのオフセット補正值が選択される。逆に比較部 5 0 1 の出力が ' 0 ' の場合、即ち画像信号が第 1 の基準値 T H 未満である場合、低輝度変換モードのオフセット補正值が選択される。それぞれのオフセット補正值は、撮像素子 1 0 2 の列毎 (列毎に配された A D C 2 0 5 毎) に個別の値を設定することができる。つまり、低輝度変換モードのオフセット補正值と高輝度変換モードのオフセット補正值は、それぞれ撮像素子 1 0 2 の列数分のデータとなる。加算部 5 0 3 には、画像信号とオフセット補正值選択部 5 0 2 で選択された補正值が入力され、画像信号に対するオフセット補正が行われる。

【 0 0 3 1 】

また、比較部 5 0 1 の出力はゲイン補正值選択部 5 0 4 にも伝達される。ゲイン補正值は、信号振幅制御部 3 0 4 の記憶容量のばらつき等による入出力特性の傾きを補正するための値である。ゲイン補正值選択部 5 0 4 は、比較部 5 0 1 の出力に基づいて、高輝度変換モードのゲイン補正值と低輝度変換モードのゲイン補正值のいずれか一方を選択する。

【 0 0 3 2 】

比較部 5 0 1 の出力が ' 1 ' の場合、即ち画像信号が第 1 の基準値 T H 以上である場合、高輝度変換モードのゲイン補正值が選択される。逆に比較部 5 0 1 の出力が ' 0 ' の場合、即ち画像信号が第 1 の基準値 T H 未満である場合、低輝度変換モードのゲイン補正值が選択される。それぞれのゲイン補正值は、撮像素子 1 0 2 の列毎 (列毎に配された A D C 2 0 5 毎) に個別の値を設定することができる。つまり、低輝度変換モードのゲイン補正值と高輝度変換モードのゲイン補正值は、それぞれ撮像素子 1 0 2 の列数分のデータとなる。乗算部 5 0 5 には、加算部 5 0 3 でオフセット補正が行われた結果の画像信号と、

10

20

30

40

50

ゲイン補正值選択部 504 で選択されたゲイン補正值が入力され、画像信号に対するゲイン補正が行われる。乗算部 505 でゲイン補正された結果は、後段 (DSP103) へ出力される。なお、ここでは、オフセット補正值及びゲイン補正值を列毎に個別の値とする構成で説明しているが、列毎の A/D 変換特性が一致していればこれらの補正值を複数列で共通のものとしてもよい。

【0033】

また、オフセット補正值及びゲイン補正值は、予め設定しておくことが可能である。この値は、工場での生産工程において取得することも可能である。例えば、図 8 に示すように、参照電圧 V_m より画素信号の信号レベルが低い少なくとも 2 つの既知の露光条件で基準画像を撮像して、2 点から ADC205 の入出力特性を求めて、低輝度変換モードのオフセット補正值及びゲイン補正值を算出する。同様に、参照電圧 V_m より画素信号の信号レベルが高い少なくとも 2 つの露光条件で撮像した基準画像から高輝度変換モードのオフセット補正值及びゲイン補正值を算出する。なお、図 8 では、各々 2 点から補正值を算出するものとして記載しているが、これに限られるものでない。3 点以上の条件で画像を取得して、最小二乗法などの手法によってそれぞれの補正值を算出するようにしても構わない。また、補正精度は低下するが、低輝度変換モード・高輝度変換モードで各々 1 点のみの条件で取得した画像から補正值を算出するようにしても構わない。

【0034】

以上の構成により、ADC205 の入出力特性は理想的な入出力特性に近い形に補正され、補正後の画像としては良好な画質を得ることが可能となる。

【0035】

[実施形態 2]

実施形態 1 においては第 1 の基準値 TH を、参照電圧 V_m のデジタル変換値に相当する $TH = 4096 LSB$ であるものとして説明した。しかし、図 6 に示すような A/D 変換の入出力特性を持つ場合、4096 LSB 以上の値であるにもかかわらず低輝度変換モードで変換されたデータや、4096 LSB 未満の値を持つにもかかわらず高輝度変換モードで変換されたデータが出力される可能性がある。このため、実施形態 1 のように $TH = 4096 LSB$ を閾値にして補正する場合、実際には低輝度変換モードで変換された画素データにも関わらず 4096 LSB を超えているので、高輝度変換モード用の補正值で補正される可能性がある。また、高輝度変換モードで変換された画素データにも関わらず低輝度変換モード用の補正值で補正される可能性がある。このように誤った補正值で補正された場合には、補正分がノイズとなるため第 1 の基準値 TH (4096) 付近のレベルで画質が劣化することがある。高画質を求める上ではこうした画質劣化はないのが望ましい。以下、本実施形態を説明するが、実施形態 1 と重複する部分についての説明は省略する。

【0036】

本実施形態では、図 6 のように低輝度変換モードと高輝度変換モードの結果に重複部分が発生して同じデジタル値を出力するようなことを避けることにより、全ての画素信号に対して正しい補正が実行されるよう構成する。

【0037】

図 9 に本実施形態における ADC205 の入出力特性を示す。低輝度変換モードで V_m 近傍のレベルを変換した際には、ADC205 の出力値は第 1 の基準値 (TH) より低い第 2 の基準値 (THA) 以下となるように A/D 変換する。また、高輝度変換モードで参照電圧 V_m 近傍のレベルを変換した際には、ADC205 の出力値が第 1 の基準値 TH より高い第 3 の基準値 (THB) 以上となるように A/D 変換を行う。つまり、A/D 変換モードが違ったときに、ADC205 の入出力特性の第 1 の基準値 TH 付近において出力値のクロス状態が発生しない部分 (以下、ミスコード帯) を設けるようにする。これによって、製造時のばらつきでゲインやオフセットが多少ずれても低輝度変換モードでの変換結果が第 1 の基準値 TH を超えないように、また高輝度変換モードでの変換結果が第 1 の基準値 TH を下回らないようにすることができる。

【0038】

このようなミスコード帯が存在するような入出力特性は、例えばCDSアンプ203のゲインを下げ、信号振幅制御部304における振幅変更量を小さくする(例えば1/3、8倍など)ことで高輝度モードでの画素信号を大きくして実現できる。信号振幅制御部304の振幅変更量は、第2の記憶容量402の容量値を第3の記憶容量の容量比を変えることによって変更することができる。

【0039】

特許文献2のように複数のランプ信号を持つ構成の場合は、それぞれのランプ信号の傾きとオフセット(スタート点)を調整することによって、同様に第1の基準値TH付近にミスコード帯を持つ入出力特性を実現することができる。

【0040】

以上のように、第1の基準値THを境界に、使用する補正値を切り換えても低輝度と高輝度との間にミスコード帯を設けることにより、変換後の値がクロスしないので、誤った補正を防ぐことができ、良好な画質が実現できる。

【0041】

[実施形態3]

実施形態2において、誤った補正の発生を防ぐ構成について説明した。しかしながら、実施形態2の方法は、入出力特性に図9に示すようなミスコード帯を設けるため、その分のビットが使えないために、信号のダイナミックレンジが僅かながら損なわれる。本実施形態では、オフセット及びゲインの補正を行うDFE109へAD変換モードの情報を伝達することによって、ダイナミックレンジを犠牲にしない方法について説明する。

【0042】

本実施形態におけるADC205の動作について図10により説明する。ADC205は、データメモリ208へNビットの画素データを出力すると共に、FF306の出力を1ビットの情報として、データメモリ208へ出力する。この1ビットの情報は、当該画素が低輝度変換モードと高輝度変換モードのいずれのモードで変換されたかを示すモード情報となる。

【0043】

本実施形態において撮像素子102から出力される1画素分のデータについて、図11を用いて説明する。撮像素子102からは、画素毎にNビットの画素データと1ビットのモード情報が出力される。DFE109においては、このモード情報に基づいて、各画素のデータに対して補正処理を行う。

【0044】

本実施形態におけるリニアリティ補正を行うDFE109の構成例を図12に示す。DFE109に画素データと共に入力されたモード情報は、オフセット補正値選択部502及びゲイン補正値選択部504の選択信号となる。これによって、各画素のデータは、それぞれの変換モードに応じて誤補正されことなく正しく補正される。ミスコード帯を作る必要がないからダイナミックレンジを有効に使用することが可能となる。

【0045】

[実施形態4]

実施形態3の構成では、撮像素子102からDFE109へ出力するデータが、(N+1)ビット(すなわち画素データNビット+モード情報1ビット)になるため、データ伝送レートは1ビット分だけ高速化する。そこで、本実施形態では、撮像素子102から出力するデータ量を極力小さくし、データ伝送レートを低減する構成について説明する。

【0046】

本実施形態における撮像素子102の各列のサンプルホールド回路204、ADC205の構成例を図13を用いて説明する。下位ビット置換部312では、ビット拡張部309から出力される画素データの下位1ビットを0に置換する。また、下位ビット置換部313では、ビット拡張部310から出力される画素データの下位1ビットを1に置換する。また、ビット拡張部309、310の出力は、それぞれ比較器316、317にも接続される。比較器316では、画素データと第2の基準値THAを比較し、画素データが第

10

20

30

40

50

2の基準値THA以上であれば‘1’を、逆に第2の基準値THA未満であれば‘0’を低輝度側データ選択部314に出力する。比較器317では、画素データと第3の基準値THBを比較し、画素データが第3の基準値THB以上であれば‘1’を、逆に第3の基準値THB未満であれば‘0’を高輝度側データ選択部315に出力する。

【0047】

第2の基準値THAは、図14に示すように第1の基準値TH(4096)よりも低いレベル($THA < TH$)に設定する。また、第3の基準値THBは、第1の基準値THよりも高いレベル($THB > TH$)に設定する。この時、第2の基準値THA未満であれば必ず低輝度変換モードで変換された信号であり、第3の基準値THB以上であれば必ず高輝度変換モードで変換された信号であるように、第2の基準値THAと第3の基準値THBのレベルを設定する。また、第2の基準値THA以上であり第3の基準値THB未満である領域は、ビット拡張部309、310の出力の時点では同じ出力値でも低輝度変換モードで変換されたものと高輝度変換されたものが混在する可能性がある。この領域を以下の説明において便宜上「混在領域」と称することにする。混在領域は図14に示すように入出力特性のクロス状態を含むようにされている。

【0048】

図13に戻り、低輝度側データ選択部314では、比較器316の出力に応じて、ビット拡張部309の出力と下位ビット置換部312の出力のいずれか一方を選択して出力する。同様に、高輝度側データ選択部315では、比較器317の出力に応じて、ビット拡張部310の出力と下位ビット置換部312の出力のいずれか一方を選択して出力する。続く出力データ選択部311では、FF306からの出力に応じて、低輝度側データ選択部314の出力と高輝度側データ選択部315の出力のいずれか一方を選択してデータメモリ208へ出力する。

【0049】

本実施形態において撮像素子102から出力される1画素分のデータについて、図15を用いて説明する。(1)、(2)は低輝度変換モードで変換された画素のデータ、(3)、(4)は高輝度変換モードで変換された画素のデータである。また、(2)、(3)は混在領域の画素データである。いずれの場合においても、撮像素子102からはNビットのデータが画素毎に出力されるが、混在領域では、最下位の1ビットがモード情報で置き換えられる。DFE109は、このモード情報に基づいて、各画素のデータに対して補正処理を行う。

【0050】

本実施形態におけるリニアリティ補正を行うDFE109について、図16を用いて説明する。比較部511は、画像信号を第3の基準値THBと比較し、画像信号が第3の基準値THB以上であれば‘1’を、第3の基準値THB未満であれば‘0’を出力する。比較部512は、画像信号を第2の基準値THAと比較し、画像信号が第2の基準値THA以上であれば‘1’を、第2の基準値THA未満であれば‘0’を出力する。ANDゲート513の入力には比較部512の出力と画像信号の最下位1ビットとが接続され、その出力はORゲート514の一方の入力に接続されている。ORゲート514の他方の入力には、比較部511の出力が接続されている。これにより、ORゲート514の出力は、画像信号が第3の基準値THB以上である場合か、または画像信号が第2の基準値THA以上、第3の基準値THB未満で画像信号の最下位1ビットが‘1’である場合に‘1’となる。つまり高輝度モードで変換が行われている場合はORゲート514の出力は‘1’になる。低輝度モードで変換が行われると比較部511とANDゲート513の出力は共に‘0’になるので、ORゲート514からは‘0’が出力される。

【0051】

オフセット補正值選択部502及びゲイン補正值選択部504ではORゲート514の出力に応じて、それぞれの補正值を選択する。この例では混在領域においても低輝度変換モードのときは低輝度モードの補正值が選択でき、高輝度変換モードのときは高輝度モードの補正值が選択できる。

【 0 0 5 2 】

以上の構成により、撮像素子 1 0 2 の出力データを増やさずに、ダイナミックレンジも犠牲にしないでかつデータ伝送レートを上げずに各画素のデータを変換モードに応じて正しく補正することができる。なお、本実施形態の構成では画素データの最下位 1 ビットをモード情報で置き換えるため、混在領域では信号の分解能が 1 ビット減り、量子化ノイズが増える可能性がある。しかし、混在領域は低輝度変換モードと高輝度変換モードの境界付近であって、比較的光信号成分が多い領域であるため、光ショットノイズが支配的なので、量子化ノイズの画質への影響は少ない。

【 0 0 5 3 】

[実施形態 5]

実施形態 3 の構成では、撮像素子 1 0 2 から D F E 1 0 9 へ出力するデータが、(N + 1) ビット (画素データ N ビット + モード情報 1 ビット) となるため、データ伝送レートは高速化する傾向となる。そこで、本実施形態でも、撮像素子 1 0 2 から出力するデータ量を小さくし、データ伝送レートを低減する構成について図 1 7 により説明する。A D C 2 0 5 からは、F F 3 0 6 からの 1 ビットのモード情報と共に、ラッチ回路 3 0 8 に保持された (N - 2) ビットのカウンタ結果がデータメモリ 2 0 8 へそのまま出力される。この結果、撮像素子 1 0 2 からは、図 1 8 に示すように (N - 2) ビットの画素データ (カウンタ結果) と、1 ビットのモード情報の計 (N - 1) ビットのデータが画素毎に出力される。D E F 1 0 9 は撮像素子からの (N - 1) ビットのデータから (N - 2) ビットの画素データと 1 ビットのモード情報を分離する。 (N - 2) ビットの画素データには D F E 1 0 9 において所定数のビットが付加され N ビットのデータに拡張される。本実施形態における D F E 1 0 9 の主要な構成を図 1 9 に示す。拡張部 5 2 1 及び 5 2 2 は、図 3 のビット拡張部 3 0 9 及び 3 1 0 と同様のビット拡張部であり、それぞれ画像信号入力の上位或いは下位に 2 ビットの ' 0 ' を付加する。出力データ選択部 5 2 3 は、図 3 の出力データ選択部 3 1 1 と同様に、モード情報に応じてビット拡張部 5 0 6 , 5 0 7 の出力の一方を選択して加算部 5 0 3 へ画素データを出力する。この時点で、 (N - 2) ビットの画素データは D F E 1 0 9 において、N ビットに拡張されて出力される。それ以降の処理については、他の実施形態で説明したものと同一であるので、説明を省略する。

【 0 0 5 4 】

以上の構成によれば、撮像素子 1 0 2 から出力するデータ量を画像データ (N - 2) ビット + モード情報 1 ビットの計 (N - 1) ビットに抑えることができ、データ伝送レートを低減することができる。また、撮像素子 1 0 2 のデータメモリ 2 0 8 から D F E 1 0 9 までの間の回路規模も抑制することができる。

【 0 0 5 5 】

更に、本実施形態に、実施形態 4 に記載したような混在領域の画素データの最下位 1 ビットをモード情報に置き換える方法を組み合わせて、撮像素子 1 0 2 から出力される 1 画素あたりのデータを (N - 2) ビットに抑制することも可能である。

【 0 0 5 6 】

以上、本発明の実施形態について説明したが、本発明はこれらの実施形態に限定されず、種々の変形及び変更が可能である。

【 0 0 5 7 】

図 8 に示すオフセット補正值とゲイン補正值の取得方法では、低輝度変換モードは参照電圧 V m 未満の複数点から、高輝度変換モードは参照電圧 V m 以上の複数点からそれぞれの補正值を判定して求めるようにしている。しかし、補正值の取得方法はこれに限られるものでなく、例えば図 2 0 に示すように各々の変換モードの測定点がそれぞれ参照電圧 V m 未満の点と参照電圧 V m 以上の点を含むようにしてもよい。その場合にはより幅広い信号範囲から補正值を判定することができるため各測定点の測定誤差の影響を受けにくく、補正值算出精度の向上が期待できる。場合によっては、高輝度変換モード / 低輝度変換モードのいずれか一方のみが、測定点に参照電圧 V m 未満のレベルと参照電圧 V m 以上のレベルを含むようにしても構わない。

【 0 0 5 8 】

また、モード毎の測定誤差軽減のため、図 2 1 に示すように各々のモードの測定に同じアナログ入力電圧を使うようにしてもよい。この場合、モード毎に測定に使う電圧が異なることによって発生する誤差を抑制することが可能である。

【 0 0 5 9 】

また、オフセット補正值やゲイン補正值の取得は、撮像装置の電源起動時や実際の撮像時の撮像操作に応じて行うようにすることも可能である。その場合には、補正值取得のために撮像素子 1 0 2 の画素 2 0 1 以降の何処かに画素信号の代わりに測定用の擬似信号レベルを入力して A D 変換の入出力特性を測定して行う。

【 0 0 6 0 】

10

上述の実施形態では、画素信号の振幅を変更することにより低輝度変換モードと高輝度変換モードを切り換える場合の A D 変換時の入出力特性の補正について説明した。しかし、特許文献 2 のようにランプ信号の傾きを変更することにより変換モードの切替えを行う構成に対しても、補正值を測定して求めることにより本実施形態に例示するように A D 変換の入出力特性の補正を行うことが可能である。

【 0 0 6 1 】

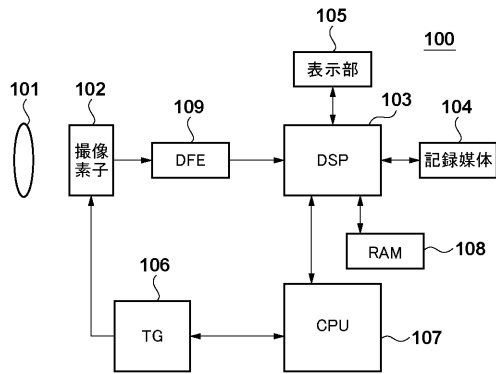
また、上述の実施形態では最終的なデジタルデータの出力値を $N = 14$ ビットとして説明しているが、これに限られるものではなく、システムに応じて好適なビット数で構成して構わない。カウンタのビット幅や参照電圧についても A D 変換速度や量子化誤差を考慮した好適なビット数や電圧により構成して構わない。

20

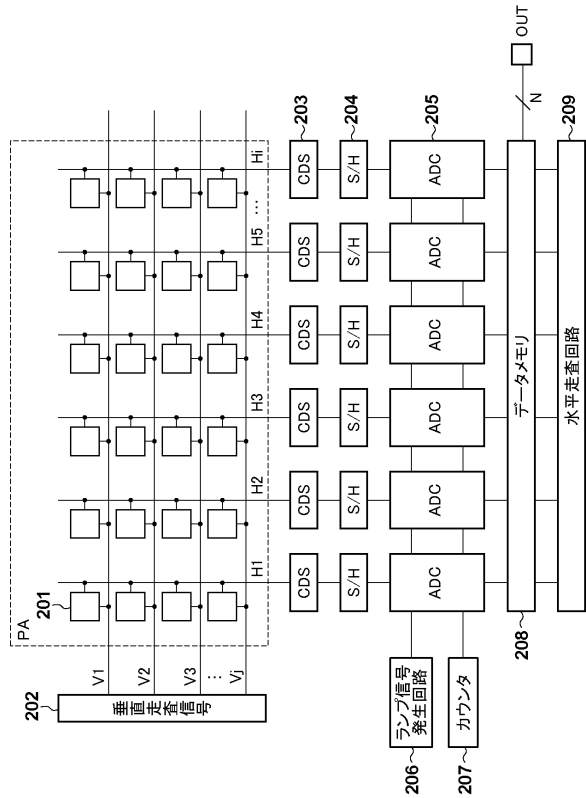
【 0 0 6 2 】

上述の実施形態では、ビット拡張部において上位或いは下位に ' 0 ' を付加してビット拡張を行う構成としたが、ビットの拡張方法はこれに限られるものではない。下位に付加するビットについては ' 0 ' だけでなく ' 1 ' が含まれていても構わない。また、ランダムなデータを発生する回路をビット拡張部に配し、下位にはこのランダムデータを付加するようにしても構わない。また、ビット拡張部の構成を上位或いは下位にビットを付加する構成としているが、乗算器で構成しても構わない。例えば、閾値 V_m をフルスケール振幅の $1/3$ とした場合、画素信号が閾値 V_m 以上である場合には振幅制御部で振幅を $1/3$ にし、ビット拡張部に乗算器を設けて 3 倍を掛けるようにすることもできる。

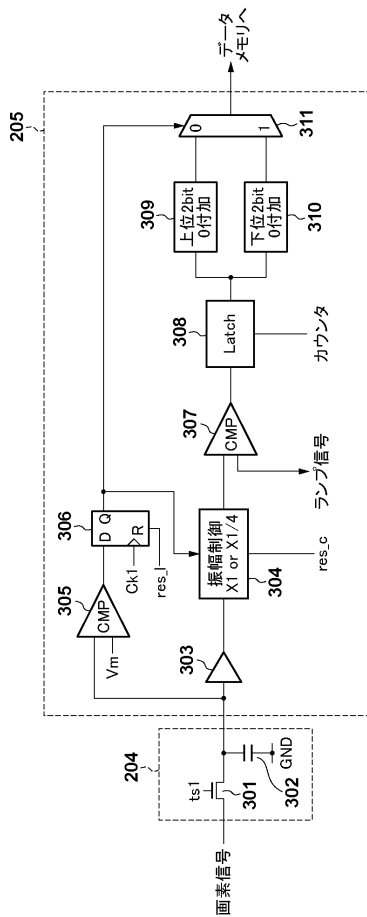
【 図 1 】



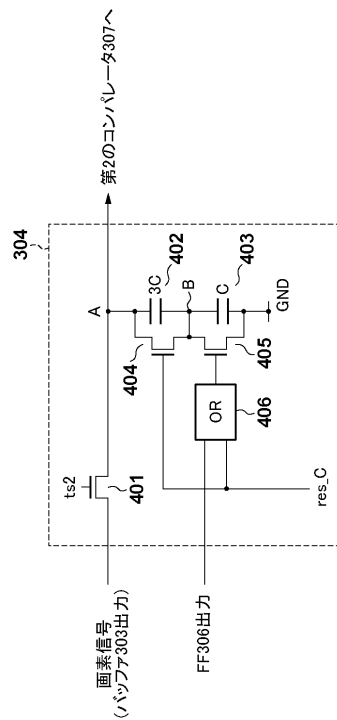
【 図 2 】



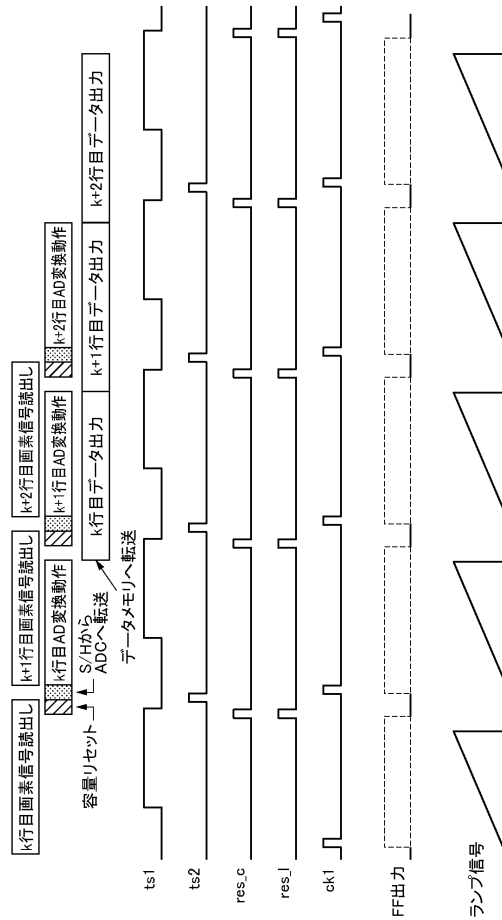
【 図 3 】



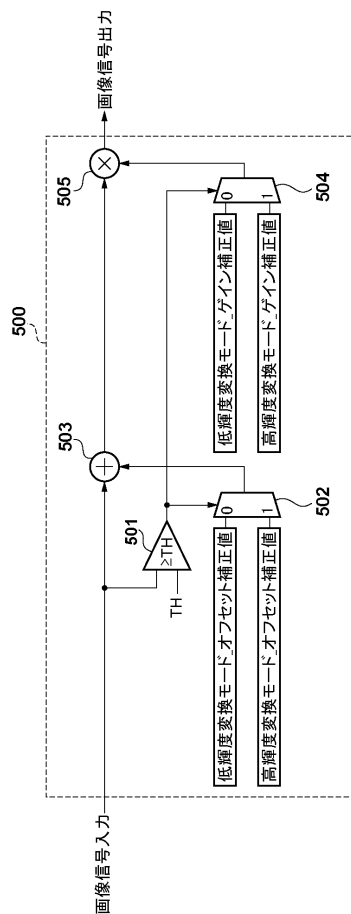
【圖 4】



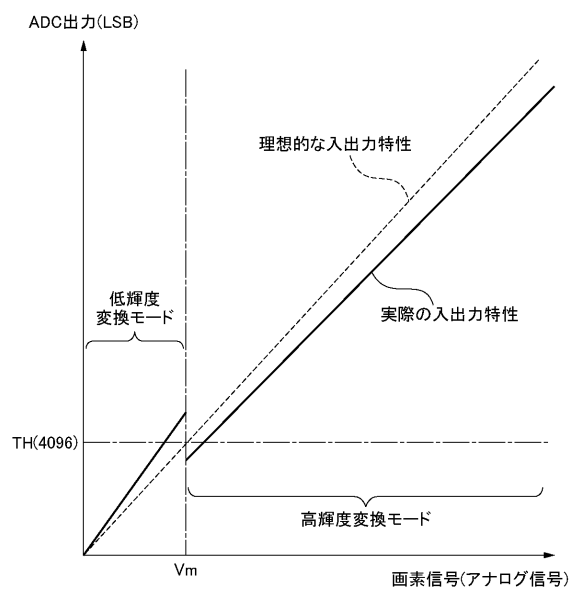
【図 5】



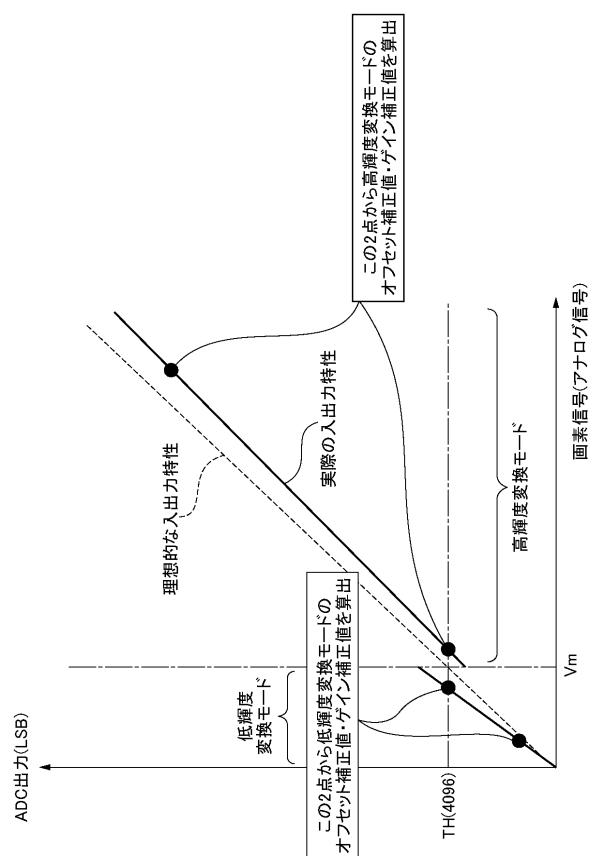
【図 7】



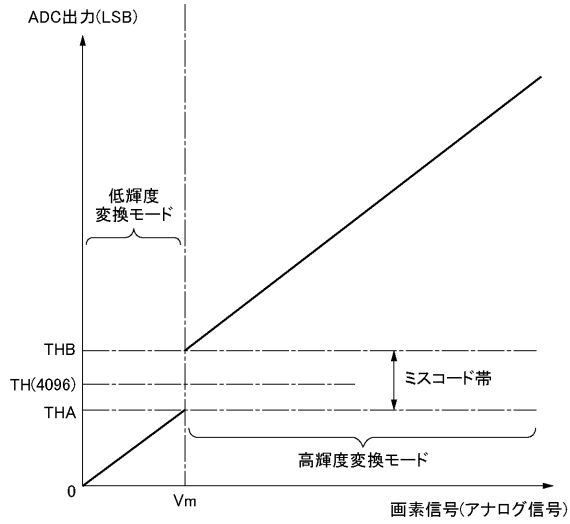
【図 6】



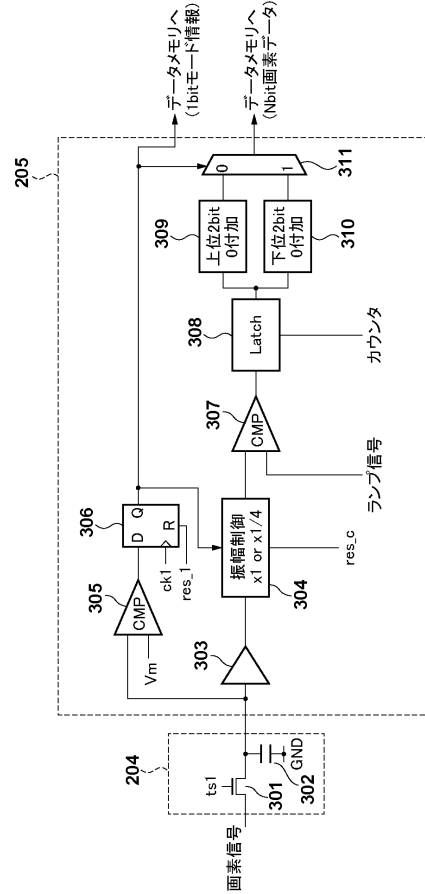
【図 8】



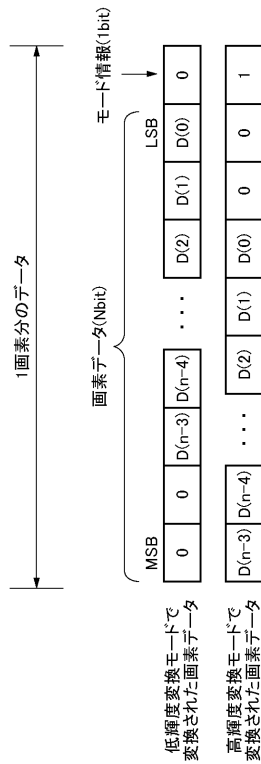
【図 9】



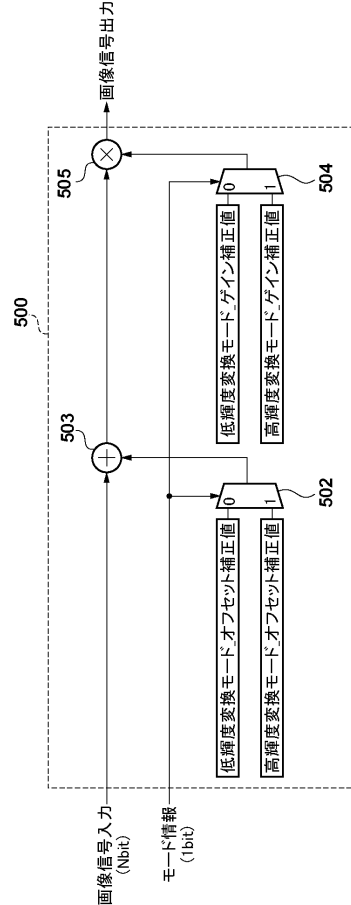
【図 10】



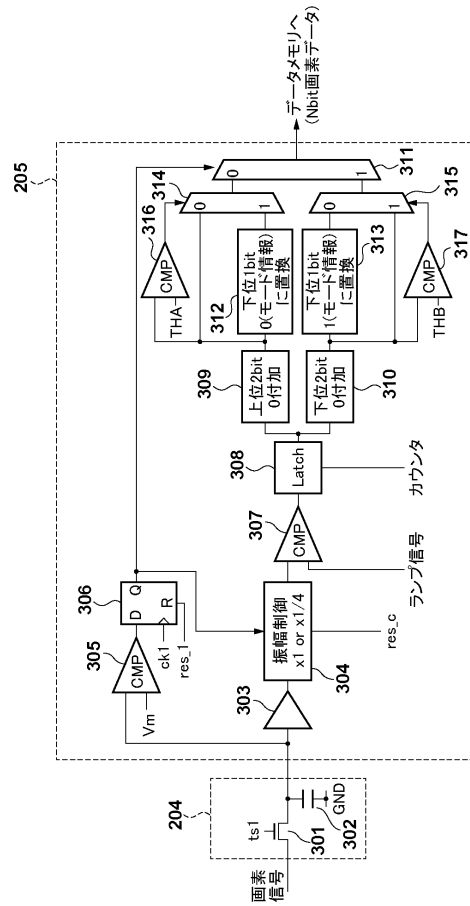
【図 11】



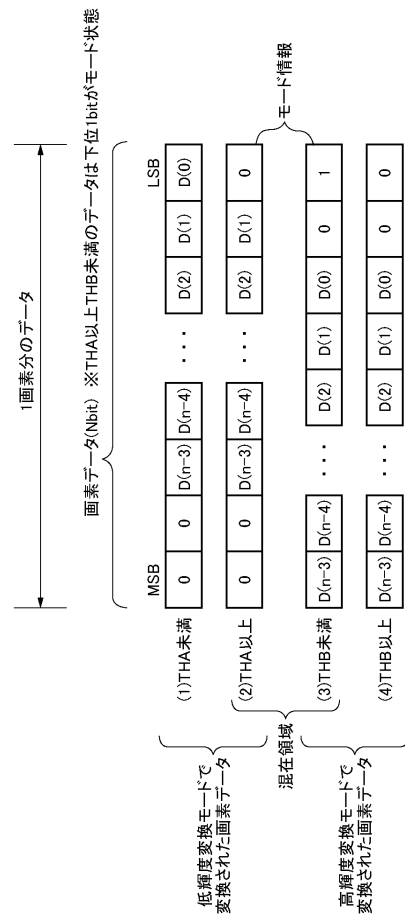
【図 12】



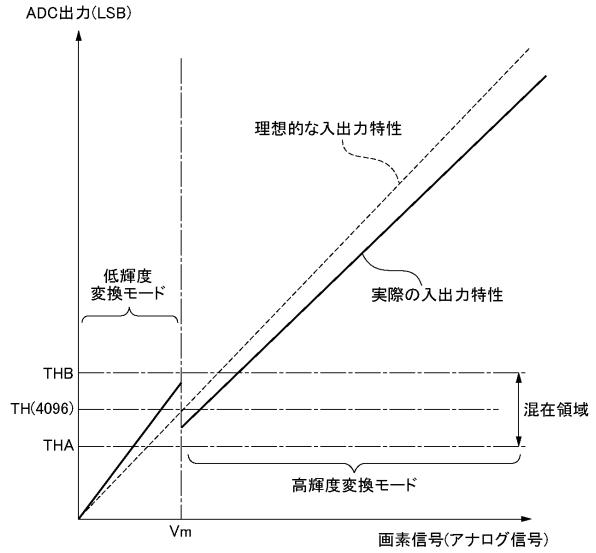
【 図 1 3 】



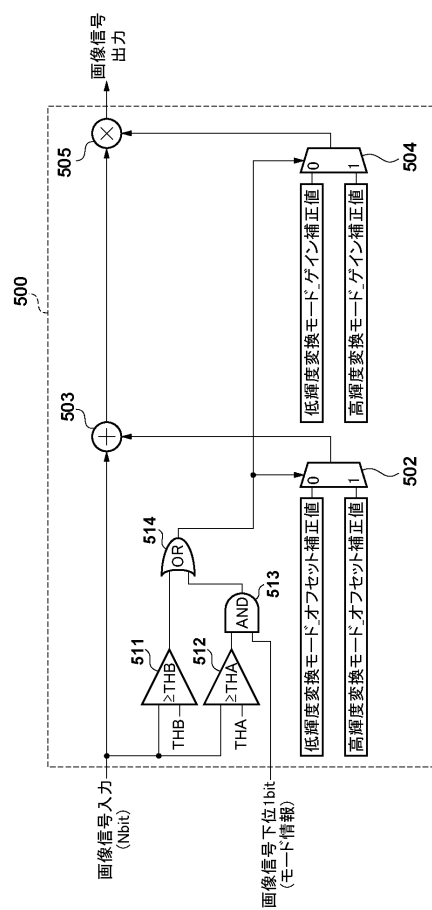
【 ㄨ 1 5 】



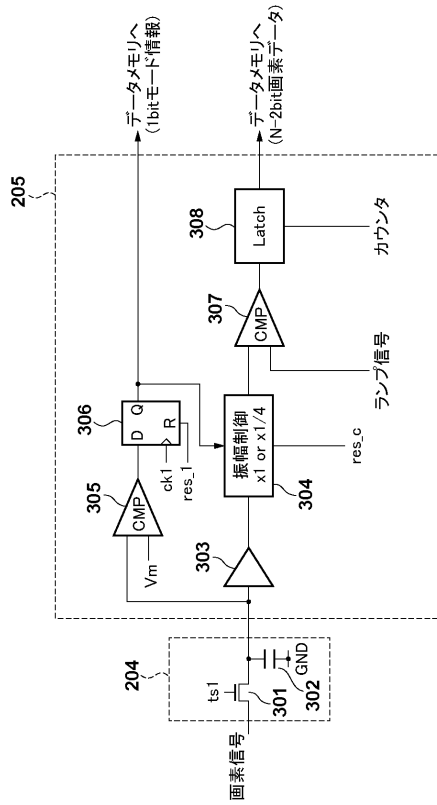
【 図 1 4 】



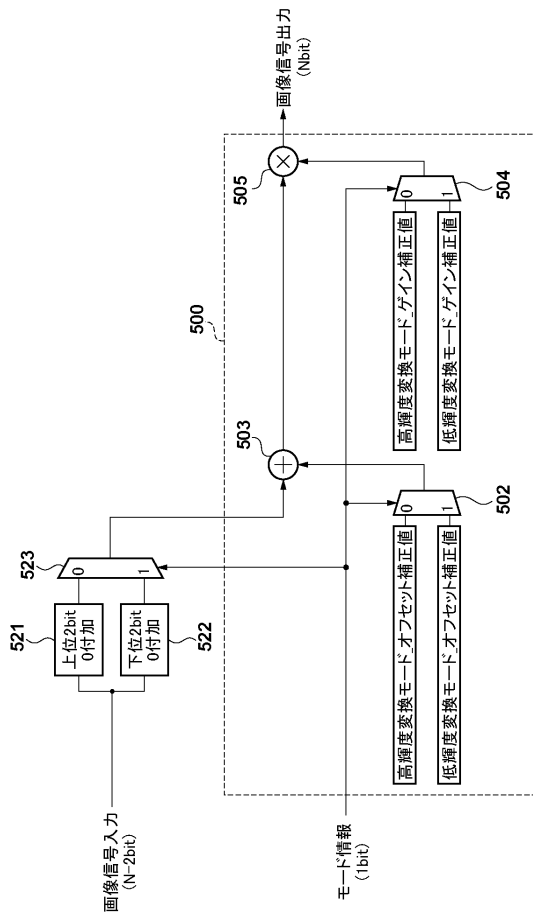
【 図 1 6 】



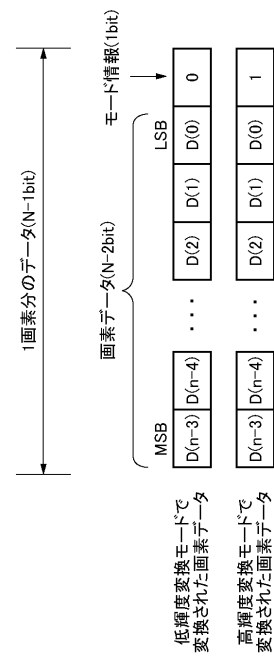
【図 17】



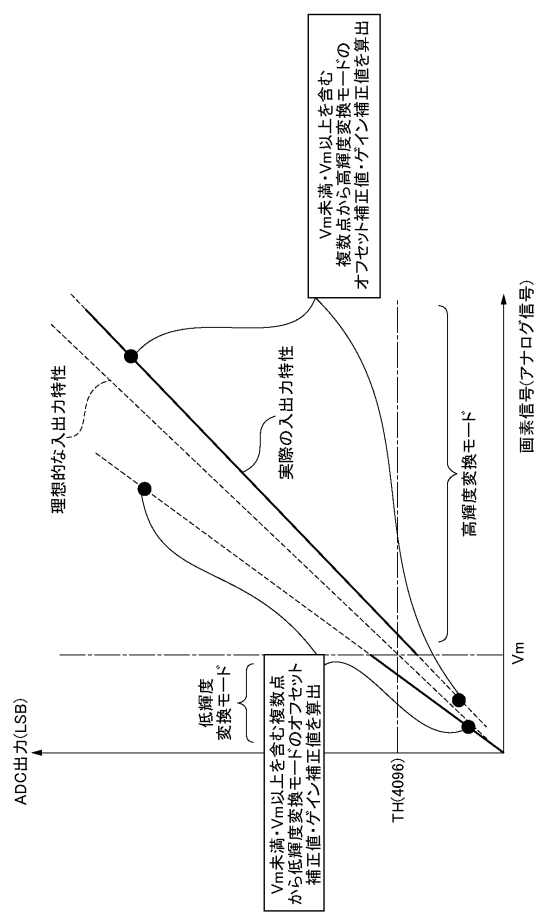
【図 19】



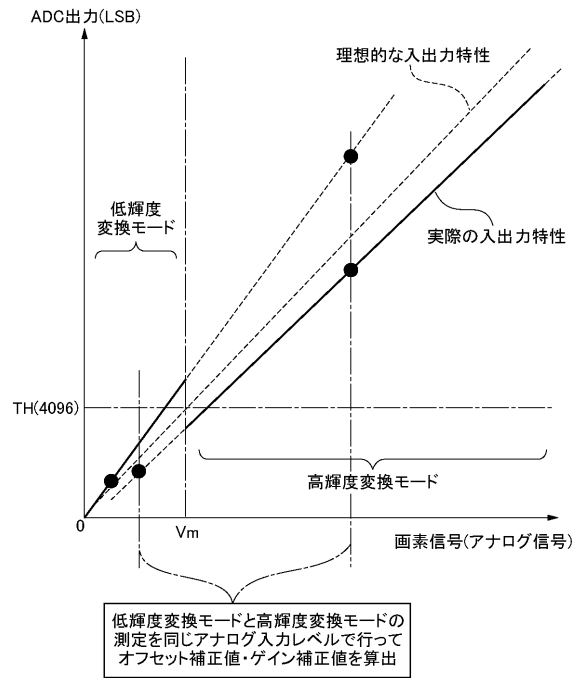
【図 18】



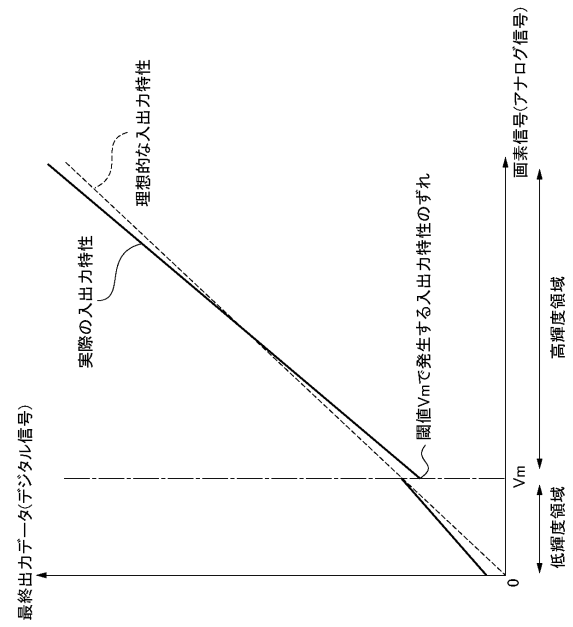
【図 20】



【図 2 1】



【図 2 2】



フロントページの続き

(72)発明者 内田 峰雄
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 鈴木 明

(56)参考文献 特開2011-250039(JP,A)
特開2012-015599(JP,A)
特開2013-058930(JP,A)
特開2012-080195(JP,A)

(58)調査した分野(Int.Cl., DB名)
H04N 5/30 - 5/378