(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年6月23日(23.06.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/130451 A1

(51) 国際特許分類:
H01L 27/092 (2006.01) *H01L 21/8238* (2006.01)
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)

(21) 国際出願番号： PCT/JP2020/046526

(22) 国際出願日： 2020年12月14日(14.12.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人(*US* を除く全ての指定国について):ユニサンティス エレクトロニクス シンガポール プライベート リミテッド(**UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.**) [SG/SG]; 179098 ノースブリッジロード １１１、ペニンシュラ プラザ ＃２３－０５ Plaza (SG).

(72) 発明者；および

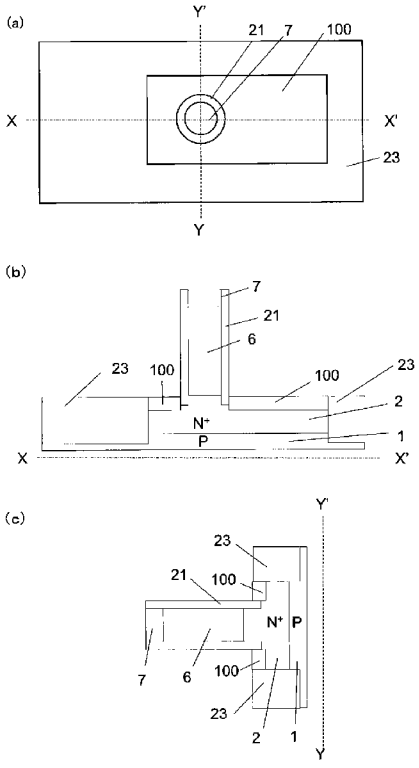
(71) 出願人 (*US* についてのみ): 金 澤 賢 一 (**KANAZAWA Kenichi**) [JP/JP]; 〒1020083 東京都千代田区麹町１丁目３番７号 日月館麹町ビル５階 Ｓｅｍｉｃｏｎ Ｃｏｎｓｕｌｔｉｎｇ株式会社内 Tokyo (JP).

(74) 代理人: 田中 伸一郎, 外 (**TANAKA Shinichiro et al.**); 〒1008355 東京都千代田区丸の内３丁目３番１号 新東京ビル 中村合同特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) **Title:** COLUMNAR SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 発明の名称： 柱状半導体装置とその製造方法



(57) **Abstract:** In this method for forming a gate conductor layer that surrounds a semiconductor column, second and first masking material layers that are oxidation-resistant are respectively formed on a semiconductor column top section and a semiconductor column side wall, the entirety of the result is subjected to thermal or chemical oxidation, a first insulating layer is formed on an exposed first impurity region surface, and then the first masking material layer is removed and the gate conductor layer is formed on an upper section of the first insulating layer.

(57) 要約：半導体柱を囲むゲート導体層の形成方法において、耐酸化性をもつ第２及び第１のマスク材料層を各々半導体柱頂部と半導体柱側壁に形成し、全体に、熱的又は化学的に酸化を施し、露出した第１の不純物領域表面に第１の絶縁層を形成し、次に前記第１のマスク材料層を除去し、前記第１の絶縁層上部にゲート導体層を形成する。

WO 2022/130451 A1

［続葉有］

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

明　細　書

発明の名称 ： 柱状半導体装置とその製造方法

技術分野

[0001] 本発明は、柱状半導体装置とその製造方法に関する。

背景技術

[0002] 近年、ＬＳＩ（Large Scale Integration)に３次元構造トランジスタが使われている。その中で、柱状半導体装置であるＳＧＴ（Surrounding Gate Transistor）は、高集積な半導体装置を提供する半導体素子として注目されている。また、ＳＧＴを有する半導体装置の更なる高集積化、高性能化が求められている。

[0003] 通常のプレナー型ＭＯＳトランジスタでは、チャネルが半導体基板の上表面に沿う水平方向に延在する。これに対して、ＳＧＴのチャネルは、半導体基板の上表面に対して垂直方向に延在する（例えば、特許文献１、非特許文献１を参照）。このため、ＳＧＴはプレナー型ＭＯＳトランジスタと比べ、半導体装置の高密度化が可能である。

[0004] 図１３に、ＮチャネルＳＧＴの模式構造図を示す。Ｐ型又はｉ型（真性型）の導電型を有するＳｉ柱２２０（以下、シリコン半導体柱を「Ｓｉ柱」と称する。）内の上下の位置に、一方がソースとなる場合に、他方がドレインとなるN^+層２２１ａ、２２１ｂ（以下、ドナー不純物を高濃度で含む半導体領域を「N^+層」と称する。）が形成されている。このソース、ドレインとなるN^+層２２１ａ、２２１ｂ間のＳｉ柱２２０の部分がチャネル領域２２２となる。このチャネル領域２２２を囲むようにゲート絶縁層２２３が形成されている。このゲート絶縁層２２３を囲むようにゲート導体層２２４が形成されている。ＳＧＴでは、ソース、ドレインとなるN^+層２２１ａ、２２１ｂ、チャネル領域２２２、ゲート絶縁層２２３、ゲート導体層２２４が、全体として柱状に形成される。このため、平面視において、ＳＧＴの占有面積は、プレナー型ＭＯＳトランジスタの単一のソース又はドレインN^+層の占有面積

に相当する。そのため、ＳＧＴを有する回路チップは、プレナー型ＭＯＳトランジスタを有する回路チップと比較して、更なるチップサイズの縮小化が実現できる。加えて、ＳＧＴの駆動能力を向上することが出来れば１チップに使用するＳＧＴ数を減らすことが出来、同じくチップサイズの縮小化に寄与する。

[0005] 但し、前述したように高集積化に有利な縦型構造のＳＧＴであるが故の課題も存在する。従来のプレナー型構造のトランジスタにおいては、そのゲート長及び実効チャネル長は、主にフォトリソグラフィーの精度により定められているが、ＳＧＴにおいては、主に成膜ばらつき、エッチングやＣＭＰの加工精度により定められる。

フォトリソグラフィーの精度は、近年の露光装置やレジスト剤の進歩によりナノオーダーレベルの精度が得られるようになってきているが、一方、成膜、エッチングやＣＭＰについて、特に厚膜の材料層を成膜し加工する場合、成膜の膜厚、エッチング量やＣＭＰ研磨量をナノオーダーレベルで加工する精度までには至っていない。このため、ＳＧＴにおいては、ゲート長及び実効チャネル長のバラツキを如何に低減するかが大きな課題となっている。

[0006] 図１４に、ＳＲＡＭセル（Static Random Access Memory）回路図を示す。本ＳＲＡＭセル回路は２個のインバータ回路を含んでいる。１つのインバータ回路は負荷トランジスタとしてのＰチャネルＳＧＴ_Ｐｃ１と、駆動トランジスタとしてのＮチャネルＳＧＴ_Ｎｃ１と、から構成されている。もう１つのインバータ回路は負荷トランジスタとしてのＰチャネルＳＧＴ_Ｐｃ２と、駆動トランジスタとしてのＮチャネルＳＧＴ_Ｎｃ２と、から構成されている。ＰチャネルＳＧＴ_Ｐｃ１のゲートとＮチャネルＳＧＴ_Ｎｃ１のゲートが接続されている。ＰチャネルＳＧＴ_Ｐｃ２のドレインとＮチャネルＳＧＴ_Ｎｃ２のドレインが接続されている。ＰチャネルＳＧＴ_Ｐｃ２のゲートとＮチャネルＳＧＴ_Ｎｃ２のゲートが接続されている。ＰチャネルＳＧＴ_Ｐｃ１のドレインとＮチャネルＳＧＴ_Ｎｃ１のドレインが接続されている。

[0007] 図１４に示すように、ＰチャネルＳＧＴ_Ｐｃ１、Ｐｃ２のソースは電源端

子Ｖｄｄに接続されている。そして、ＮチャネルＳＧＴ_Ｎｃ１、Ｎｃ２のソースはグランド端子Ｖｓｓに接続されている。選択ＮチャネルＳＧＴ_ＳＮ１、ＳＮ２が２つのインバータ回路の両側に配置されている。選択ＮチャネルＳＧＴ_ＳＮ１、ＳＮ２のゲートはワード線端子ＷＬｔに接続されている。選択ＮチャネルＳＧＴ_ＳＮ１のソース、ドレインはＮチャネルＳＧＴ_Ｎｃ１、ＰチャネルＳＧＴ_Ｐｃ１のドレインとビット線端子ＢＬｔに接続されている。選択ＮチャネルＳＧＴ_ＳＮ２のソース、ドレインはＮチャネルＳＧＴ_Ｎｃ２、ＰチャネルＳＧＴ_Ｐｃ２のドレインと反転ビット線端子ＢＬＲｔに接続されている。このようにＳＲＡＭセルを有する回路は、２個のＰチャネルＳＧＴ_Ｐｃ１、Ｐｃ２と、４個のＮチャネルＳＧＴ_Ｎｃ１、Ｎｃ２、ＳＮ１、ＳＮ２とからなる合計６個のＳＧＴから構成されている（例えば、特許文献２を参照）。また、駆動用トランジスタを複数個、並列接続させて、ＳＲＡＭ回路の高速化を図れる。通常、ＳＲＡＭのメモリセルを構成するＳＧＴは、それぞれ、異なる半導体柱に形成されている。ＳＲＡＭセル回路の安定動作や高品質化に必要な重要な要素は、個々のＳＧＴの動作バラツキや動作不良を抑制することである。これは、ＳＧＴを用いた他の回路形成においても同様である。

先行技術文献

特許文献

[0008] 特許文献1：特開平２－１８８９６６号公報

特許文献2：米国特許出願公開第２０１０／０２１９４８３号明細書

特許文献3：米国登録ＵＳ８５３０９６０Ｂ２号明細書

非特許文献

[0009] 非特許文献1：Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol.38, No.3, pp.573-578 (1991)

非特許文献2：C.Y.Ting, V.J.Vivalda, and H.G.Schaefer: “Study of planarized sputter-deposited SiO2 “, J.Vac.Sci. Technol. 15(3), p.p.1105-1

112, May/June (1978)

非特許文献3：A.Raley, S.Thibaut, N. Mohanty, K. Subhadeep, S. Nakamura, etal. : “ Self-aligned quadruple patterning integration using spacer on spacer pitch splitting at the resist level for sub-32nm pitch applications” Proc. Of SPIE Vol.9782, 2016

発明の概要

発明が解決しようとする課題

[0010] ＳＧＴを用いた回路において、ゲート長及び実効チャネル長がばらつくことにより、特性バラツキや動作不良が発生する。

課題を解決するための手段

[0011] 本発明の観点に係る柱状半導体装置の製造方法は、

基板上部に、半導体柱と、前記半導体柱を囲むゲート絶縁層と、前記ゲート絶縁層を囲むゲート導体層と、前記半導体柱の下部に接続する第１の不純物領域と、前記半導体柱の頂部に接続する第２の不純物領域とを有し、前記第１の不純物領域と前記第２の不純物領域との間の前記半導体柱をチャネルにしたＳＧＴ、

を有した柱状半導体装置の製造において、

前記基板の表面上に、ドナーまたはアクセプタ不純物を含んだ前記第１の不純物領域を形成する工程と、

前記第１の不純物領域上に前記半導体柱を形成する工程と、

全面を覆って、第１のマスク材料層を被覆する工程と、

前記第１のマスク材料層を異方性エッチングにより、前記半導体柱の側壁に前記第１のマスク材料層を残存させると共に、前記第１の不純物領域表面を露出する工程と、

全体に、熱的又は化学的に酸化を施し、露出した前記第１の不純物領域の表面に第１の絶縁層を形成する工程と、

前記半導体柱の側壁に残存している前記第１のマスク材料層を等方性エッチングにより除去する工程と、

前記半導体柱を取り囲む前記ゲート絶縁層とさらにその前記ゲート絶縁層を取り囲む前記ゲート導体層を形成する工程と、

前記半導体柱の頂部に、前記第２の不純物領域を形成する工程と、

を有する、

ことを特徴とする。

[0012] 前記製造方法において、

前記第１の絶縁層の膜厚が、前記ゲート絶縁層の膜厚より厚く、且つ、前記ゲート導体層の下端の位置が、前記半導体柱内の前記第１の不純物領域の上端位置と同じ位置か、若しくは低く位置するように、前記第１の絶縁層の膜厚が設定されていることが望ましい。

[0013] 前記製造方法において、

前記第１のマスク材料層の膜厚が、前記ゲート絶縁層の膜厚の２倍の膜厚より小さいことが望ましい。

[0014] 前記製造方法において、

前記第１のマスク材料層を異方性エッチング後に、全体に、酸素イオン、及び、前記第１の不純物領域と同じ導電型である不純物の少なくとも一方を、イオン注入法にて、露出した前記第１の不純物領域表面に注入する工程を更に含むことが望ましい。

[0015] 前記製造方法において、

前記第１の絶縁層を形成後、全体に、第１の不純物領域と同じ導電型である不純物を、イオン注入法にて、前記第１の絶縁層下の領域に十分に注入可能なエネルギーで注入することが望ましい。

[0016] 前記製造方法において、

前記第１のマスク材料層を異方性エッチング後、露出した前記基板表面に選択的にエピタキシャル成長にて、半導体層を形成する工程を更に含み、

前記第１の絶縁層を形成する工程は、全体に、熱的又は化学的に前記半導体層を酸化することにより、露出した前記基板表面に前記第１の絶縁層を形成することが望ましい。

[0017] 前記製造方法において、

前記半導体層の熱的又は化学的な酸化の酸化膜成長速度が、前記第１の不純物領域の熱的又は化学的な酸化の酸化膜成長速度より大きいことが望ましい。

[0018] 前記製造方法において、

前記半導体層は、エピタキシャル成長時に、前記第１の不純物領域と同じ導電型の不純物がドーピングされていることが望ましい。

[0019] 前記製造方法において、

前記半導体層を形成後、全体に、酸素イオン、及び、前記第１の不純物領域と同じ導電型である不純物の少なくとも一方を、イオン注入法にて、前記半導体層に注入することが望ましい。

[0020] 前記製造方法において、

前記半導体層を形成後、該半導体層の全てを酸化膜に変えるような、熱的又は化学的に酸化を施すことで、所望の膜厚の前記第１の絶縁膜を形成することが出来るよう、前記半導体層の膜厚が設定されていることが望ましい。

[0021] 本発明の別の観点に係る柱状半導体装置の製造方法は、

基板上部に、半導体柱と、前記半導体柱を囲むゲート絶縁層と、前記ゲート絶縁層を囲むゲート導体層と、前記半導体柱の下部に接続する第１の不純物領域と、前記半導体柱の頂部に接続する第２の不純物領域とを有し、前記第１の不純物領域と前記第２の不純物領域との間の前記半導体柱をチャネルにしたＳＧＴ、

を有した柱状半導体装置の製造において、

前記第１の不純物領域の上に前記半導体柱とその頂部に第２のマスク材料層を形成する工程と、

前記半導体柱を取り囲む前記ゲート絶縁層を形成する工程と、

前記ゲート絶縁層を取り囲む前記ゲート導体層を形成する工程と、

全面を覆って、前記第２のマスク材料層の表面の高さより大きい膜厚で第２の絶縁層を被覆する工程と、

前記第２のマスク材料層の表面が露出するように前記第２の絶縁層を研磨し平坦化する工程と、

露出された前記第２のマスク材料層を除去し、前記半導体柱の頂部を露出させる工程と、

露出した前記半導体柱の頂部に、前記第２の不純物領域を形成する工程と、

を有する、

ことを特徴とする。

[0022] 前記製造方法において、

前記ゲート導体層の上端の位置が、前記第２のマスク材料層の下端位置と同じ位置か、若しくは高く位置するように、前記第２のマスク材料層の膜厚が設定されていることが望ましい。

[0023] 前記製造方法において、

前記半導体柱の頂部に第３のマスク材料層と、その上部に前記第２のマスク材料層を形成することが望ましい。

[0024] 前記製造方法において、

前記第３のマスク材料層の下端が、前記ゲート導体層の上端位置と同じ位置か、若しくは低く位置するように、前記第１及び第３のマスク材料層の膜厚が設定されていることが望ましい。

[0025] 本発明の更なる別の観点に係る柱状半導体装置の製造方法は、

基板上部に、半導体柱と、前記半導体柱を囲むゲート絶縁層と、前記ゲート絶縁層を囲むゲート導体層と、前記半導体柱の下部に接続する第１の不純物領域と、前記半導体柱の頂部に接続する第２の不純物領域とを有し、前記第１の不純物領域と前記第２の不純物領域との間の前記半導体柱をチャネルにしたＳＧＴ、

を有した柱状半導体装置の製造において、

前記基板の表面上に、ドナーまたはアクセプタ不純物を含んだ前記第１の不純物領域を形成する工程と、

前記第１の不純物領域上に前記半導体柱とその頂部に第２のマスク材料層を形成する工程と、

全面を覆って、第１のマスク材料層を被覆する工程と、

前記第１のマスク材料層を異方性エッチングにより、前記半導体柱の側壁に前記第１のマスク材料層を残存させ、且つ、平面視において、前記半導体柱の頂部に前記第２のマスク材料層を残存させるとともに、前記半導体柱以外の領域に前記第１の不純物領域表面を露出する工程と、

全体に、熱的又は化学的に酸化を施し、露出した前記第１の不純物領域表面に第１の絶縁層を形成する工程と、

前記半導体柱の側壁に残存している前記第１のマスク材料層を等方性エッチングにより除去する工程と、

前記半導体柱を取り囲む前記ゲート絶縁層とさらにその前記ゲート絶縁層を取り囲む前記ゲート導体層を形成する工程と、

全面を覆って、前記半導体柱の高さより大きい膜厚で第２の絶縁膜を被覆する工程と、

前記半導体柱頂部の前記第２のマスク材料層が露出するように前記第２の絶縁膜を研磨し平坦化する工程と、

露出された前記第２のマスク材料層を除去し、前記半導体柱の頂部を露出させる工程と、

露出した前記半導体柱の頂部に、前記第２の不純物領域を形成する工程と、

を有する、

ことを特徴とする。

図面の簡単な説明

[0026] [図1A]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1B]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1C]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1D]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1E]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1F]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1G]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1H]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1I]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1J]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1K]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1L]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1M]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2]本発明の第２実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための断面構造図と主要部拡大図である。

[図3]本発明の第３実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための断面構造図と主要部拡大図である。

[図4]本発明の第４実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための断面構造図である。

[図5]本発明の第５実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図6A]本発明の第６、第７及び第８実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図6B]本発明の第６、第７及び第８実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図7]本発明の第９実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図8]本発明の第１０実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図9A]本発明の第１１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図9B]本発明の第１１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図9C]本発明の第１１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図10]本発明の第１２実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための断面構造図と主要部拡大図である。

[図11A]本発明の第１３実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図11B]本発明の第１３実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図12]本発明の第１４実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための断面構造図と主要部拡大図である。

[図13]従来例のＳＧＴを示す模式構造図である。

[図14]従来例のＳＧＴを用いたＳＲＡＭセル回路図である。

発明を実施するための形態

[0027] 以下、本発明の実施形態に係る、柱状半導体装置の製造方法について、図

面を参照しながら説明する。

[0028] （第１実施形態）

以下、図１Ａ～図１Ｍを参照しながら、本発明の第１実施形態に係る、ＳＧＴの製造方法、例としてＮ型トランジスタについて説明する。（ａ）は平面図、（ｂ）は（ａ）のＸ－Ｘ’線に沿う断面構造図、（ｃ）は（ａ）のＹ－Ｙ’線に沿う断面構造図を示す。

[0029] Ｐ層１（特許請求範囲の「基板」の一例である）上にN^+層２（特許請求範囲の「第１の不純物領域」の一例である）とｉ層６（特許請求範囲の「半導体柱」一例である）とをエピタキシャル結晶成長法により形成し、そして、図１Ａに示すように、例えば、ＳｉＮのマスク材料層７（特許請求範囲の「第２のマスク材料層」の一例である）、シリコンゲルマニウム（ＳｉＧｅ）のマスク半導体層８、SiO_2のマスク半導体層９を順次堆積する。なお、ｉ層６はドナーまたはアクセプタ不純物原子を少量に含むＮ型、またはＰ型のＳｉで形成されてもよい。

[0030] 次に、リソグラフィ法により形成した平面視において円状若しくは長方形状のレジスト層（図示せず）をマスクにして、マスク半導体層９をエッチングする。そして、円状若しくは長方形状のSiO_2マスク半導体層９をエッチングマスクにして、例えばＲＩＥ（Reactive Ion Etching）によりエッチングして、円状若しくは長方形状のマスク半導体層９を形成する。次に、円状若しくは長方形状のマスク半導体層９をマスクにして、ＳｉＧｅのマスク半導体層８を、例えばＲＩＥ法によりエッチングすることにより、図１Ｂに示すように、円状若しくは長方形状のＳｉＧｅマスク半導体層８を形成する。前述の円状若しくは長方形状のSiO_2マスク半導体層９は、ＳｉＧｅマスク半導体層８のエッチングの前に除去してもよく、または残存させていてもよい。

[0031] 次に、前述のSiO_2マスク半導体層９とＳｉＧｅマスク半導体層８をエッチングマスクにして、例えばＲＩＥにより、順次エッチングして、図１Ｃに示すように、円状若しくは長方形状のマスク材料層７及びｉ層６を形成し、

マスク材料層７上に残存するマスク半導体層９とＳｉＧｅ層８を除去する。この際、このSiO_2マスク半導体層９とＳｉＧｅマスク半導体層８は、除去せずにそのまま残存させておいてもよい。

[0032] 次に、図１Ｄに示すように、全体を覆って、耐酸化性をもつマスク材料層２１（特許請求範囲の「第１のマスク材料層」の一例である）、例えばＳｉＮ層をＡＬＤ法にて形成する。

[0033] 次に、リソグラフィ法により形成したレジスト層（図示せず）をマスクにして、トランジスタの動作領域と絶縁領域をパターニングし、レジスト開口部となっている絶縁領域に存在するマスク材料層２１と基板をＲＩＥ法にてエッチングする。次に、フォトレジストを除去した後に、全体を覆って、ＦＣＶＤ法により少なくとも前記エッチング深さより厚いSiO_2層２３を形成する。次に、ＣＭＰ法により全体を、SiO_2層２３の上面位置が、半導体柱上に存在するマスク材料層７の上面位置になるように研磨し、次に、図１Ｅに示すように、SiO_2層２３の上面位置が、マスク材料層２１の上面位置になるようにエッチバックし、素子間絶縁領域を形成する。

[0034] 次に、図１Ｆに示すように、マスク材料層２１をＲＩＥ法にてエッチングし、半導体柱の側壁にマスク材料層２１を残存させるとともに、平面視において、半導体柱頂部のマスク材料層７と基板表面を露出する。

[0035] 次に、図１Ｇに示すように、基板表面に熱的若しくは化学的に酸化膜１００（特許請求範囲の「第１の絶縁層」の一例である）を形成する。

[0036] 次に、図１Ｈに示すように、マスク材料層２１を等方性エッチングし、半導体柱の側壁に残存するマスク材料層２１を除去する。

[0037] 次に、全体を覆って、ＨｆＯ２層２４（特許請求範囲の「ゲート絶縁層」の一例である）、ＴｉＮ層２６（特許請求範囲の「ゲート導体層」の一例である）、W層２５（特許請求範囲の「ゲート導体層」の一例である）を被覆し、ＣＭＰ法により全体を、そのW層２５の上面位置が、半導体柱上に存在するマスク材料層７の上面位置になるように研磨する。そして、図１Ｉに示すように、ＲＩＥ法により平坦化したW層２５を半導体柱６の頂上から離間す

るようにエッチバックし、その際露出したＨｆO_2層２４、ＴｉＮ層２６を等方性エッチングにて除去する。

[0038] 次に、リソグラフィ法により形成したレジスト層（図示せず）をマスクにして、ＲＩＥ法により、W層２５とＴｉＮ層２６をエッチングすることで、ゲート導体層をパターニングし、次に、全体を覆って、層間絶縁膜２７（特許請求範囲の「第２の絶縁層」の一例である）を被覆し、図１Ｊに示すように、ＣＭＰ法により全体を、その上面位置が、半導体柱の上面位置になるように研磨する。

[0039] 次に、平面視において、表面に露出している半導体柱６の頂部をリセスエッチングにより、その頂部表面が層間絶縁層２７表面に対し窪むようエッチングし、図１Ｋに示すように、選択エピタキシャル結晶成長法により、露出している半導体柱６頂部に、ドナー不純物を含んだN^+層２９（特許請求範囲の「第２の不純物領域」の一例である）を形成する。

[0040] 次に、全体を覆って、層間絶縁膜層３０を被覆し、ＣＭＰ法により研磨平坦化する。次に、リソグラフィ法により形成したレジスト層（図示せず）をマスクにして、ＲＩＥ法により、N^+層２９上部の層間絶縁膜層３０をエッチングし、除去する。次に、全体を覆うように、ＴｉＮ層（図示せず）、W層３３、を被覆し、図１Ｌに示すように、ＣＭＰ法により全体を、層間絶縁膜３０上部が露出するように研磨する。

尚、本工程は、SiO_2層３０より先にＴｉＮ層（図示せず）、W層３３、を被覆し、リソグラフィ法と、ＲＩＥ（Reactive Ion Etching）により、N^+層２９の少なくとも一部にコンタクトするように、ＴｉＮ層、W層を残存させた後に、ＣＶＤ法により全体に、SiO_2層３０を被覆し、ＣＭＰ法により全体を、W層表面が露出するまで研磨する方法でもよい。

[0041] 次に、全体を覆って、上表面が平坦なSiO_2層３５を形成する。そして、N^+層２上に形成したコンタクトホールＣ１を介して、ソース若しくはドレイン配線金属層Ｘ１を形成する。次に、全体を覆って、上表面が平坦なSiO_2層３７を形成する。そして、W層２５上に形成したコンタクトホールＣ２を

介して、ワード配線金属層Ｘ２を形成する。次に、全体を覆って、上表面が平坦なＳｉO_2層３９を形成する。そして、図１Ｍに示すように、Ｗ層３３上に形成したコンタクトホールＣ３を介して、ソース若しくはドレイン配線金属層Ｘ３を形成する。

以上により、ＳＧＴのＮ型トランジスタの作成が完了する。

[0042] なお、図１Ｅで示したN^+層２、図１Ｋで示したN^+層２９は、形成後の熱工程により、ドナー不純物が拡散し、半導体柱６の内部にもドナー不純物領域が形成される。これは、各々、P^+層として形成した場合も同様に、アクセプタ不純物が拡散し、半導体柱６の内部にもアクセプタ不純物領域が形成される。

[0043] ＳＧＴを使用する回路で高速化や低消費電力化を図る際、トランジスタのチャネル長の縮小やゲートと基板間の容量といった寄生容量の低減化が実施される。これらを両立しようとすると、以下の課題が発生する。

課題１．

トランジスタのチャネル長を縮小すると、ショートチャネル効果が顕著になり、チャネル長ばらつきによるトランジスタ特性のばらつきやトランジスタ耐圧低下を引き起こす。

課題２．

ＳＧＴ構造において、ゲートと基板間の寄生容量を低減する場合、ゲート電極直下の基板との間にある絶縁膜を厚く形成すればよいが、その形成方法によってゲート長ばらつきが発生し、動作不良を引き起こす。

[0044] 第１実施形態の製造方法によれば、上記問題に対し以下のような特徴をもつ。

１．ゲート絶縁層やゲート電極形成前の半導体柱６の頂部及び側壁に、それぞれに耐酸化性を持つマスク材料層７と２１を残存し、平面視において、それ以外のN^+層２表面が露出している領域に、熱的若しくは化学的な酸化方法により、選択的に且つ制御性良く絶縁膜１００を成膜することが出来、その上部に形成するゲート電極の下端が所望の位置にばらつくことなく形成でき

る。

２．本実施形態では、本発明をＮ型トランジスタに適用した例について説明したが、図１Ａで示したN+層２、図１Ｋ以降で示したN+層２９をP+層で形成することにより、Ｐ型トランジスタを形成することができる。

３．また、本発明を用いてＮ型トランジスタとＰ型トランジスタ両方を容易に作成することが可能であるため、Ｌｏｇｉｃはもとより、ＳＲＡＭやＦｌａｓｈといったメモリにも使用することが可能である。更に、本実施形態では、平面視において、円形状の半導体柱６を形成した。本半導体柱の一部または全ての平面視における形状は、円形、楕円、一方方向に長く伸びた形状などの形状が容易に形成できる。そして、ＳＲＡＭ領域から離れて形成されるロジック回路領域においても、ロジック回路設計に応じて、ロジック回路領域に、平面視形状の異なる半導体柱が混在して形成することができる。これにより、高性能、低消費電力のマイクロプロセッサ回路が実現できる。

[0045] （第２実施形態）

以下、図２を参照しながら、本発明の第２実施形態に係る、ＳＧＴの製造方法、例としてＮ型トランジスタについて説明する。（ａ）は第１実施形態における図１ＧのＸ－Ｘ’線に沿う断面構造図、（ｃ）は（ａ）の本実施形態に関わる主要部の拡大図、（ｂ）は第１実施形態における図１ＭのＸ－Ｘ’線に沿う断面構造図、（ｄ）は（ｂ）の本実施形態に関わる主要部の拡大図を示す。

[0046] 図２（ｄ）が示すように、N+層２の上端位置ｇ、HfO_2層２４の上端すなわちゲート電極２５の下端位置ｈであり、ｇの位置がｈより低くならないように、図２（ａ）の絶縁膜層１００を形成する際、（ｃ）が示すように、絶縁膜層１００の膜厚ｆを設定する。

[0047] 本実施形態は以下のような特徴をもつ。

１．図２に示すように、絶縁層膜１００の膜厚を適切に設定することにより、ゲート電極W層２５とＴｉＮ層２６とN+層２が垂直方向に十分に重なり、特性不良やバラツキを抑制することが出来る。

２．加えて、ゲート絶縁層ＨｆＯ２層２４の膜厚より十分厚く絶縁層膜１００を形成できるため、基板とゲート電極間の寄生容量が低減され、本構造を使用した製品の高速化、低消費電力化に寄与することが出来る。

[0048] （第３実施形態）

以下、図３を参照しながら、本発明の第３実施形態に係る、ＳＧＴの製造方法、例としてＮ型トランジスタについて説明する。（ａ）は第１実施形態における図１ＧのＸ－Ｘ’線に沿う断面構造図、（ｃ）は（ａ）の本実施形態に関わる主要部の拡大図、（ｂ）は第１実施形態における図１Ｈを経て、ゲート絶縁体HfO_2層２４を形成した状態のＸ－Ｘ’線に沿う断面構造図、（ｄ）は（ｂ）の本実施形態に関わる主要部の拡大図を示す。

[0049] 図３（ａ）の半導体柱６の側壁に異方性エッチングにてマスク材料層２１を残存させ、次に絶縁層１００を形成する工程において、（ｃ）に示すように、半導体柱６の下部の側壁に残存するマスク材料層２１の膜厚ｐは、第１実施形態の図１Ｄのマスク材料層２１形成直後の膜厚とほぼ等しい。次に、残存するマスク材料層２１を等方性エッチングにより除去するが、その際、半導体柱６の下部と絶縁層１００との間に窪みが発生し、その窪みの幅は、前記ｐと等しい。次に、図３（ｂ）に示すように、ゲート絶縁層HfO_2層２４を形成するが、図３（ｄ）に示すように、ゲート絶縁層HfO_2層２４の膜厚ｑで、この窪みを埋めるために、マスク材料層２１の膜厚ｐをゲート酸化膜HfO_2層２４の膜厚ｑの２倍の膜厚より薄く設定することが望ましい。

[0050] 本実施形態は以下のような特徴をもつ。

半導体柱６の下部と絶縁膜層１００間に局所的に存在する窪みを、ゲート酸化膜HfO_2層２４で埋めることにより、ゲート電極W層２５とＴｉＮ層２６が、その窪みに入りこみ、局所的にゲート電極と半導体柱間の寄生容量が増えることを抑制することが出来、本構造を使用した製品の高速化、低消費電力化に寄与することが出来る。

[0051] （第４実施形態）

以下、図４を参照しながら、本発明の第４実施形態に係る、ＳＧＴの製造

方法、例としてＮ型トランジスタについて説明する。図４は、第１実施形態における図１Ｆの工程を完了後、第５実施形態を実施した状態を示しており、（ａ）はその平面図、（ｂ）は（ａ）のＸ－Ｘ’線に沿う断面構造図、（ｃ）は（ａ）のＹ－Ｙ’線に沿う断面構造図を示す。

[0052] 図４が示すように、マスク材料層２１をＲＩＥ法にてエッチングし、半導体柱の側壁にマスク材料層２１を残存させるとともに、平面視において、半導体柱頂部のマスク材料層７と基板表面を露出させ、全体に、酸素イオン、若しくは、N^+層２の不純物領域と同じ導電型である不純物を、またはその両方を、イオン注入法にて、露出した前記基板表層に注入し、不純物領域層３を形成する。

[0053] 以降の工程は、第１実施例の図１Ｇ以降と同じである。

[0054] 本実施形態は以下のような特徴をもつ。

熱的若しくは化学的に酸化膜１００を形成する前に、形成する基板表面に、酸素や同じ導電型である不純物を注入することで、酸化膜成長速度が著しく大きくなり、低温で且つ短時間で酸化膜を成膜することが出来る。更に、オゾン熱酸化方法で酸化すれば尚一層の効果が得られる。これによって、熱による不純物拡散が抑制され、特性ばらつきや耐圧不良等を抑制することが出来る。

[0055] （第５実施形態）

以下、図５を参照しながら、本発明の第５実施形態に係る、ＳＧＴの製造方法、例としてＮ型トランジスタについて説明する。図５は、第１実施形態における図１Ｇが示す工程を完了後、第５実施形態を実施した状態を示しており、（ａ）はその平面図、（ｂ）は（ａ）のＸ－Ｘ’線に沿う断面構造図、（ｃ）は（ａ）のＹ－Ｙ’線に沿う断面構造図を示す。

[0056] 図５が示すように、基板表面に熱的若しくは化学的に酸化膜１００を形成後、N^+層２の不純物領域と同じ導電型である不純物を、全体に、イオン注入法にて、前記第１の絶縁層下の領域に十分に注入可能なエネルギーで注入し、不純物領域２００を形成する。

[0057] 以降の工程は、第１実施例の図１Ｈ以降と同じである。

[0058] 本実施形態は以下のような特徴をもつ。

基板表面に熱的若しくは化学的に酸化膜１００を形成する際、その酸化膜１００直下のN+層２の不純物濃度が低くなり、電気抵抗が高くなってしまう。これを防ぐために、絶縁層１００を形成後、N+不純物領域２と同じ導電型である不純物を注入することで、不純物濃度の低下を補い、電気抵抗の増加を抑制する。この際、半導体柱６の頂部にも、マスク材料層７をスルーして、該不純物が注入される可能性があるが、半導体柱６の頂部に、ドナー不純物を含んだN+層２９を形成する際、半導体柱６の頂部はリセスエッチングにより除去されるため影響はない。

[0059] （第６、第７及び第８実施形態）

以下、図６Ａ、図６Ｂを参照しながら、本発明の第６。第７及び第８実施形態に係る、ＳＧＴの製造方法、例としてＮ型トランジスタについて説明する。図６Ａ、図６Ｂの（ａ）は、平面図、（ｂ）は（ａ）のＸ－Ｘ’線に沿う断面構造図、（ｃ）は（ａ）のＹ－Ｙ’線に沿う断面構造図を示す。

[0060] 図６Ａが示すように、第１実施形態における図１Ｆの工程後、露出した基板表面に選択的にエピタキシャル成長にて、半導体層４００（特許請求範囲の「半導体層」の一例である）を形成する。

[0061] 次に、図６Ｂが示すように、全体に、熱的及び化学的に、半導体層４００を酸化し、絶縁層１００を形成する。その際、半導体層４００に、酸化膜成長速度がN+不純物領域２よりも大きい材料を使用することで、低温で且つ短時間で酸化膜を成膜することが出来る。

[0062] 更に、前記半導体層４００が、N+不純物領域２と同じ導電型の不純物がドーピングされた半導体層であれば、より一層、酸化膜成長速度が大きくなり、低温で且つ短時間で酸化膜を成膜することが出来る。

[0063] 以降の工程は、第１実施例の図１Ｉ以降と同じである。

[0064] 本実施形態は以下のような特徴をもつ。

１．図６Ｂに示すように、選択的にエピタキシャル成長した半導体層を酸化

するため、ゲート電極の下端位置となる絶縁膜１００の上端は、N^+不純物領域２の上端より、十分高い位置に設定出来、トランジスタの特性を著しく低下させる原因の一つであるオフセット構造になる危険性が非常に小さくなる。

２．絶縁膜１００を形成する際、半導体層４００の酸化レートを大きくすることで、N^+不純物領域２は殆ど酸化されないようにできるため、N^+不純物領域２の不純物濃度は影響を受けず、トランジスタ特性のばらつきや駆動能力低下を引き起こすことはなく、本構造を使用した製品の高速化、低消費電力化に寄与することが出来る。

[0065] （第９実施形態）

以下、図７を参照しながら、本発明の第９実施形態に係る、ＳＧＴの製造方法、例としてＮ型トランジスタについて説明する。図８の（ａ）は、平面図、（ｂ）は（ａ）のＸ－Ｘ’線に沿う断面構造図、（ｃ）は（ａ）のＹ－Ｙ’線に沿う断面構造図を示す。

[0066] 第７実施形態の図６Ａの工程において、選択的に半導体層４００をエピタキシャル成長した後、図７に示すように、全体に、酸素イオン、若しくは、N^+層２の不純物領域と同じ導電型である不純物を、またはその両方を、イオン注入法にて、イオン注入法にて、半導体層４００膜中にとどまるようなエネルギーで注入する。

[0067] 以降の工程は、図６Ｂを経て、第１実施例の図１Ｈ以降と同じである。

[0068] 本実施形態は以下のような特徴をもつ。

１．半導体層４００に、酸素イオン、及び、N^+層２の不純物領域と同じ導電型である不純物の少なくとも一方を、イオン注入することによって、低温で且つ短時間で、半導体層４００を酸化することが出来る。更に、オゾン熱酸化方法で酸化すれば尚一層の効果が得られる。これによって、熱による不純物拡散が抑制され、特性ばらつきや耐圧不良等を抑制することが出来る。

２．半導体層４００に、酸素イオン、及び、N^+層２の不純物領域と同じ導電型である不純物の少なくとも一方を、イオン注入することによって、半導体

層４００の酸化膜成長速度を、N^+不純物領域２より、さらに大きくすることが出来、N^+不純物領域２の酸化を抑制できるため、N^+不純物領域２の不純物濃度は影響を受けず、トランジスタ特性のばらつきや駆動能力低下を引き起こすことはなく、本構造を使用した製品の高速化、低消費電力化に寄与することが出来る。

[0069] （第１０実施形態）

以下、図８を参照しながら、本発明の第１０実施形態に係る、ＳＧＴの製造方法、例としてＮ型トランジスタについて説明する。図８（ａ）は、平面図、（ｂ）は（ａ）のＸ－Ｘ’線に沿う断面構造図、（ｃ）は（ａ）のＹ－Ｙ’線に沿う断面構造図を示す。

[0070] 第７実施形態の図６Ｂの工程において、選択的にエピタキシャル成長した半導体層４００を熱的に酸化する際、図８に示すように、半導体層４００全てを絶縁膜１００に変えるような条件で酸化し、結果、その絶縁膜１００の膜厚が所望の膜厚になるように、半導体層４００の膜厚を設定する。

[0071] 以降の工程は、第１実施例の図１Ｈ以降と同じである。

[0072] 本実施形態は以下のような特徴をもつ。

半導体層４００とN^+不純物領域２の酸化膜成長速度が異なることを利用することで、半導体層４００のみを酸化し絶縁膜１００を形成出来、結果、絶縁膜１００の膜厚を制御性良く形成することが出来る。これによって、一層、トランジスタ特性のばらつきを抑制することが出来る。

[0073] （第１１実施形態）

以下、図９Ａ、図９Ｂ、図９Ｃ、を参照しながら、本発明の第１２実施形態に係る、ＳＧＴの製造方法の例としてＮ型トランジスタについて説明する。図９Ａ、図９Ｂ、図９Ｃの（ａ）は、平面図、（ｂ）は（ａ）のＸ－Ｘ’線に沿う断面構造図、（ｃ）は（ａ）のＹ－Ｙ’線に沿う断面構造図を示す。

[0074] 図９Ａは、第１実施形態における図１Ｊに相当し、ゲート導体層をパターニング後、全体を覆って、層間絶縁膜２７を被覆し、ＣＭＰ法により全体を

、その上面位置が、ＳｉＮマスク材料層７の上面位置になるように研磨する。本工程において、該ＳｉＮマスク材料層７を、ＣＭＰ法による研磨のストッパーとして使用するため、図１Ａにて、該ＳｉＮマスク材料層７を成膜する膜厚を設定する。

次に、図９Ｂに示すように、残存したＳｉＮマスク材料層７を等方性エッチングにより除去する。次に、図９Ｃに示すように、選択エピタキシャル結晶成長法により、露出している半導体柱６頂部に、ドナー不純物を含んだN^+層２９を形成する。

このように、該ＳｉＮマスク材料層７は、半導体柱６形成用のマスク材料層としてだけではなく、半導体柱６頂部の不純物N^+層２９の形成位置を決める膜としても用いる。このため、図１Ａにて、該ＳｉＮマスク材料層７を成膜する際、図９ＡでのＣＭＰ法による研磨のストッパーとして機能するのに十分な厚さとして、その膜厚を設定する。

[0075] 以降の工程は、第１実施例の図１Ｌ以降と同じである。

[0076] 本実施形態は以下のような特徴をもつ。

ＳｉＮマスク材料層７を、半導体柱６形成用としてのマスク材料層だけではなく、層間絶縁膜２７をＣＭＰ法により研磨する際のストッパーとしても使用することにより、半導体柱６頂部の不純物N^+層２９の形成位置のばらつきが抑制され、結果、ＳＧＴのチャネル長に相当する半導体柱６の長さのばらつきが抑制される。これによって、トランジスタ特性のばらつきを抑制することが出来る。

[0077] 第１実施形態における図１Ｉから図１Ｋの工程を実施する代わりに、上述の通り、第１１実施形態を実施することにより、ＳＧＴのゲート長及びチャネル長の両者についてばらつきを抑制することが可能となる。すなわち、第１実施形態では、上述の通り、ゲート電極の下端の位置のばらつきを抑制することにより、ゲート長のばらつきを抑制することができ、第１１実施形態では、チャネル長に相当する半導体柱６の頂部の位置のばらつきを抑制することにより、チャネル長のばらつきを抑制することができる。

[0078] （第１２実施形態）

以下、図１０を参照しながら、本発明の第１２実施形態に係る、ＳＧＴの製造方法、例としてＮ型トランジスタについて説明する。（ａ）は第１２実施形態における図９ＡのＸ－Ｘ’線に沿う断面構造図、（ｃ）は（ａ）の本実施形態に関わる主要部の拡大図、（ｂ）は第１実施形態における図１ＭのＸ－Ｘ’線に沿う断面構造図、（ｄ）は（ｂ）の本実施形態に関わる主要部の拡大図を示す。

[0079] 図１０（ｄ）が示すように、不純物領域２９の下端位置ｍ、絶縁膜層２７の下端すなわちゲート電極２５の上端位置ｎであり、ｎの位置がｍより低くならないように、図１０（ａ）のゲート電極２５をＲＩＥ法にてエッチバックする工程にて、（ｃ）が示すように、半導体柱６上に存在するマスク材料層７の膜厚ｊが、ゲート電極W層２５とＴｉＮ層２６をエッチングする膜厚ｋより大きくなるよう設定する。

[0080] 本実施形態は以下のような特徴をもつ。

１．図１０に示すように、マスク材料層７の膜厚を適切に設定することにより、ゲート電極W層２５とＴｉＮ層（図示せず）と不純物N^+層２９が垂直方向に十分に重なり、且つ、ゲート電極と不純物N^+層２９との電気的ショートを抑制することが出来、特性不良やバラツキを抑制することが出来る。

２．加えて、マスク材料層７の膜厚ｊとゲート電極をエッチングする膜厚ｋとで決定されるゲート電極上の層間絶縁膜２７の膜厚を、絶縁層ＨｆＯ２層２４の膜厚より十分厚く形成できるため、不純物領域N^+層２９とゲート電極２５間の寄生容量が低減され、本構造を使用した製品の高速化、低消費電力化に寄与することが出来る。

[0081] （第１３実施形態）

以下、図１１Ａ、図１１Ｂを参照しながら、本発明の第１３実施形態に係る、ＳＧＴの製造方法、例としてＮ型トランジスタについて説明する。図１０Ａ、図１０Ｂの（ａ）は、平面図、（ｂ）は（ａ）のＸ－Ｘ’線に沿う断面構造図、（ｃ）は（ａ）のＹ－Ｙ’線に沿う断面構造図を示す。

[0082] 図１１Ａは、第１実施形態における図１Ａに相当し、基板上にｉ層６を形成し、例えば、ＳｉO$_2$のマスク材料層３００（特許請求範囲の「第３のマスク材料層」の一例である）、ＳｉＮのマスク材料層７、シリコンゲルマニウム（ＳｉＧｅ）のマスク半導体層８、ＳｉO$_2$のマスク半導体層９を順次堆積する。

[0083] 次に、第１実施形態における図１Ｃに相当する図１１Ｂが示すように、シリコンゲルマニウム（ＳｉＧｅ）層８、ＳｉO$_2$層９のマスク半導体層をマスクにして、ＳｉＮ層７、ＳｉＯ２層３００のマスク材料層、ｉ層６をＲＩＥにより形成し、ＳｉＮ層７上に残存するＳｉＧｅ層８とＳｉO$_2$層９を除去する。

[0084] 以降の工程は、第１実施例の図１Ｄ以降と同じである。

[0085] 本実施形態は以下のような特徴をもつ。

第３実施形態の特徴に加え、半導体柱６とマスク材料層７（例えばＳｉＮ層）の間に、マスク材料層３００（例えばＳｉ０$_2$層）を形成することにより、半導体柱６頂部へのプロセスダメージを軽減することが出来、その後、半導体柱６頂部に、エピタキシャル結晶成長法により、ドナー不純物を含んだＮ$^+$層２９を形成する際、半導体柱６頂部のダメージにより、結晶成長が阻害されることを抑制することが出来る。

[0086] （第１４実施形態）

以下、図１２を参照しながら、本発明の第１４実施形態に係る、ＳＧＴの製造方法、例としてＮ型トランジスタについて説明する。図１２（ａ）は第１４実施形態を適用した際の第１実施形態における図１Ｉに相当し、そのＸ－Ｘ’線に沿う断面構造図、（ｃ）は（ａ）の本実施形態に関わる主要部の拡大図、（ｂ）は第１実施形態における図１Ｍに相当し、そのＸ－Ｘ’線に沿う断面構造図、（ｄ）は（ｂ）の本実施形態に関わる主要部の拡大図を示す。

[0087] 図１２（ｂ）のプロセス完了後の断面構造図において、（ｄ）が示すように、不純物領域２９の下端位置ｔ、絶縁膜層２７の下端すなわちゲート電極

２５の上端位置ｕであり、ｕの位置がｔより低くならないように、図１２（ａ）のゲート電極２５をＲＩＥ法にてエッチバックする工程にて、（ｃ）が示すように、半導体柱６上に存在するマスク材料層３００とマスク材料層７のトータルの膜厚ｒが、ゲート電極W層２５とＴｉＮ層（図示せず）をエッチングする膜厚ｓより大きくなるよう設定する。

[0088] 本実施形態は以下のような特徴をもつ。

第１３実施形態の特徴に加え、図１２に示すように、マスク材料層３００と７の膜厚を適切に設定することにより、ゲート電極W層２５とＴｉＮ層（図示せず）と不純物N^+層２９が垂直方向に十分に重なり、且つ、ゲート電極と不純物N^+層２９との電気的ショートを抑制することが出来、特性不良やバラツキを抑制することが出来る。

[0089] なお、本発明に係る実施形態では、１つの半導体柱に１個のＳＧＴを形成したが、２個以上を形成する回路形成においても、本発明を適用できる。２個以上を形成する回路形成においては、本発明が述べているＳＧＴは、半導体柱の最下部にあるＳＧＴである。

[0090] また、第１実施形態では、半導体柱をＳｉで形成したが、ほかの半導体材料よりなる半導体柱であってもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0091] また、第１実施形態における、半導体柱下部のN^+層２と半導体柱頂部のN^+層２９は、アクセプタ不純物を含んだP^+層Ｓｉ、または他の半導体材料層より形成されてもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0092] また、第１実施形態では、N^+層２９は、選択エピタキシャル結晶成長法を用いて形成したが、ＣＤＥ（Chemical Dry Etching）と通常のエピタキシャル結晶成長とで、半導体柱６の頂部上にN^+層２９を形成する方法を含め、他の方法によりN^+層２を形成してもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0093] また、第１実施形態における、半導体柱６の頂部のマスク材料層７及び外

周部のマスク材料層２１は、本発明の目的に合う材料であれば、単層または複数層よりなる有機材料または無機材料を含む他の材料層を用いてもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0094] また、第１実施形態において、マスク材料層及びマスク半導体層として、ＳｉＮ層７、シリコンゲルマニウム（ＳｉＧｅ）層８、SiO_2層９を使用していたが、本発明の目的に合う材料であれば、単層または複数層よりなる有機材料または無機材料を含む他の材料層を用いてもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0095] また、第１実施形態における、各種配線金属層Ｘ１、Ｘ２、Ｘ３の材料は、金属だけでなく、合金、アクセプタ、またはドナー不純物を多く含んだ半導体層などの導電材料層であってもよく、そして、それらを単層、または複数層組み合わせて構成させてもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0096] また、第１実施形態では、図１１に示したように、ゲート金属層として、ＴｉＮ層２６を用いた。このＴｉＮ層２６は、本発明の目的に合う材料であれば、単層または複数層よりなる材料層を用いることができる。ＴｉＮ層２６は、少なくとも所望の仕事関数を持つ、単層または複数層の金属層などの導体層より形成できる。本実施形態では、この外側にW層を使用し、金属配線層の役割を担っているが、W層以外の単層、または複数層の金属層を用いても良い。また、ゲート絶縁層として、ＨｆＯ２層２４を用いたが、それぞれを単層または複数層よりなる他の材料層を用いてもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0097] 第１実施形態において、半導体柱６の平面視における形状は、円形状であった。そして、半導体柱６の一部または全ての平面視における形状は、円形、楕円、一方方向に長く伸びた形状などの形状が容易に形成できる。これらのこのことは、本発明に係るその他の実施形態においても同様である。

[0098] また、第１実施形態において、半導体柱６の底部に接続してN^+層２を形成した。N^+層２上面に金属、シリサイドなどの合金層を形成してもよい。この

ことは、N^+層の代わりに、P^+層を形成した場合も同様である。

[0099] また、第１実施形態では、Ｐ層基板１上にＳＧＴを形成したが、Ｐ層基板１の代わりにＳＯＩ（Silicon On Insulator）基板を用いても良い。または、基板としての役割を行うものであれば他の材料基板を用いてもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0100] また、第１実施形態では、半導体柱６の上下に、同じ極性の導電性を有するN^+層２とN^+層２９を用いて、ソース、ドレインを構成するＳＧＴについて説明したが、極性が異なるソース、ドレインを有するトンネル型ＳＧＴに対しても、本発明が適用できる。このことは、本発明に係るその他の実施形態においても同様である。

[0101] また、第１実施形態では、ゲートＨｆＯ２層２４、ゲートＴｉＮ層２６を形成した後に、N^+層２９を形成した。これに対し、N^+層２９を形成した後に、ゲートＨｆＯ２層２４、ゲートＴｉＮ層２６を形成してもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0102] また、縦型ＮＡＮＤ型フラッシュメモリ回路では、半導体柱をチャネルにして、この半導体柱を囲んだトンネル酸化層、電荷蓄積層、層間絶縁層、制御導体層から構成されるメモリセルが複数段、垂直方向に形成される。これらメモリセルの両端の半導体柱には、ソースに対応するソース線不純物層と、ドレインに対応するビット線不純物層がある。また、１つのメモリセルに対して、その両側のメモリセルの一方がソースならば、他方がドレインの役割を行う。このように、縦型ＮＡＮＤ型フラッシュメモリ回路はＳＧＴ回路の１つである。従って、本発明はＮＡＮＤ型フラッシュメモリ回路との混在回路に対しても適用することができる。

[0103] 同様に、磁気メモリ回路や強誘電体メモリ回路においても、メモリセル領域内外で使用されるインバータやロジック回路に対しても適用することができる。

[0104] 本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明

の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて上記実施形態の構成要件の一部を除いても本発明の技術思想の範囲内となる。

産業上の利用可能性

[0105] 本発明に係る、柱状半導体装置の製造方法によれば、特性バラツキや動作不良が抑制され、ＳＧＴを使用した回路及び製品の品質向上に寄与する。

符号の説明

[0106] １：Ｐ層基板

２：N^+層基板及び半導体柱６下部のN^+層

６：ｉ層

７、２１：ＳｉＮマスク材料層

２３、２７、３０、３５．３７．３９、１００：SiO_2層

２４：HfO_2層

２５、３３：W層

２６：ＴｉＮ層

２９：半導体柱６上部のN^+層

２００：N^{++}層

３００：SiO_2マスク材料層

４００：エピタキシャル半導体層

Ｃ１、Ｃ２、Ｃ３：コンタクトホール

Ｘ１、Ｘ２、Ｘ３：接続配線金属層

ｆ：SiO_2層１００の膜厚

ｇ：半導体柱６下部のN^+層２の上端位置（高さ）

ｈ：HfO_2層２４の上端またはゲート電極２５の下端位置（高さ）

ｊ：ＳｉＮマスク材料層７の膜厚

ｋ、ｓ：ゲート電極W層２５及びＴｉＮ層２６のエッチング膜厚

ｍ、ｔ：半導体柱６上部のN^+層２９の下端位置（高さ）

ｎ、ｕ：SiO_2層２７の下端またはゲート電極２５及びＴｉＮ層２６の上端位置（高さ）

ｐ：ＳｉＮマスク材料層２１の膜厚

ｑ：HfO_2層２４の膜厚

ｒ：ＳｉＮマスク材料層７とSiO_2マスク材料層３００の合計膜厚

請求の範囲

[請求項1] 基板上部に、半導体柱と、前記半導体柱を囲むゲート絶縁層と、前記ゲート絶縁層を囲むゲート導体層と、前記半導体柱の下部に接続する第１の不純物領域と、前記半導体柱の頂部に接続する第２の不純物領域とを有し、前記第１の不純物領域と前記第２の不純物領域との間の前記半導体柱をチャネルにしたＳＧＴ、
を有した柱状半導体装置の製造において、
前記基板の表面上に、ドナーまたはアクセプタ不純物を含んだ前記第１の不純物領域を形成する工程と、
前記第１の不純物領域上に前記半導体柱を形成する工程と、
全面を覆って、第１のマスク材料層を被覆する工程と、
前記第１のマスク材料層を異方性エッチングにより、前記半導体柱の側壁に前記第１のマスク材料層を残存させると共に、前記第１の不純物領域表面を露出する工程と、
全体に、熱的又は化学的に酸化を施し、露出した前記第１の不純物領域の表面に第１の絶縁層を形成する工程と、
前記半導体柱の側壁に残存している前記第１のマスク材料層を等方性エッチングにより除去する工程と、
前記半導体柱を取り囲む前記ゲート絶縁層とさらにその前記ゲート絶縁層を取り囲む前記ゲート導体層を形成する工程と、
前記半導体柱の頂部に、前記第２の不純物領域を形成する工程と、
を有する、
ことを特徴とする柱状半導体装置の製造方法。

[請求項2] 前記第１の絶縁層の膜厚が、前記ゲート絶縁層の膜厚より厚く、且つ、前記ゲート導体層の下端の位置が、前記半導体柱内の前記第１の不純物領域の上端位置と同じ位置か、若しくは低く位置するように、前記第１の絶縁層の膜厚が設定されている、
ことを特徴とする請求項１に記載の柱状半導体装置の製造方法。

[請求項3] 前記第１のマスク材料層の膜厚が、前記ゲート絶縁層の膜厚の２倍の膜厚より小さい、

ことを特徴とする請求項１に記載の柱状半導体装置の製造方法。

[請求項4] 前記第１のマスク材料層を異方性エッチング後に、全体に、酸素イオン、及び、前記第１の不純物領域と同じ導電型である不純物の少なくとも一方を、イオン注入法にて、露出した前記第１の不純物領域表面に注入する工程を更に含む、

ことを特徴とする請求項１に記載の柱状半導体装置の製造方法。

[請求項5] 前記第１の絶縁層を形成後、全体に、第１の不純物領域と同じ導電型である不純物を、イオン注入法にて、前記第１の絶縁層下の領域に十分に注入可能なエネルギーで注入する、

ことを特徴とする請求項１に記載の柱状半導体装置の製造方法。

[請求項6] 前記第１のマスク材料層を異方性エッチング後、露出した前記基板表面に選択的にエピタキシャル成長にて、半導体層を形成する工程を更に含み、

前記第１の絶縁層を形成する工程は、全体に、熱的又は化学的に前記半導体層を酸化することにより、露出した前記基板表面に前記第１の絶縁層を形成する、

ことを特徴とする請求項１に記載の柱状半導体装置の製造方法。

[請求項7] 前記半導体層の熱的又は化学的な酸化の酸化膜成長速度が、前記第１の不純物領域の熱的又は化学的な酸化の酸化膜成長速度より大きい、

ことを特徴とする請求項６に記載の柱状半導体装置の製造方法。

[請求項8] 前記半導体層は、エピタキシャル成長時に、前記第１の不純物領域と同じ導電型の不純物がドーピングされている、

ことを特徴とする請求項６に記載の柱状半導体装置の製造方法。

[請求項9] 前記半導体層を形成後、全体に、酸素イオン、及び、前記第１の不純物領域と同じ導電型である不純物の少なくとも一方を、イオン注入

法にて、前記半導体層に注入する、

ことを特徴とする請求項６に記載の柱状半導体装置の製造方法。

[請求項10] 前記半導体層を形成後、該半導体層の全てを酸化膜に変えるような、熱的又は化学的に酸化を施すことで、所望の膜厚の前記第１の絶縁層を形成することが出来るよう、前記半導体層の膜厚が設定されている、

ことを特徴とする請求項６に記載の柱状半導体装置の製造方法。

[請求項11] 基板上部に、半導体柱と、前記半導体柱を囲むゲート絶縁層と、前記ゲート絶縁層を囲むゲート導体層と、前記半導体柱の下部に接続する第１の不純物領域と、前記半導体柱の頂部に接続する第２の不純物領域とを有し、前記第１の不純物領域と前記第２の不純物領域との間の前記半導体柱をチャネルにしたＳＧＴ、

を有した柱状半導体装置の製造において、

前記第１の不純物領域の上に前記半導体柱とその頂部に第２のマスク材料層を形成する工程と、

前記半導体柱を取り囲む前記ゲート絶縁層を形成する工程と、

前記ゲート絶縁層を取り囲む前記ゲート導体層を形成する工程と、

全面を覆って、前記第２のマスク材料層の表面の高さより大きい膜厚で第２の絶縁層を被覆する工程と、

前記第２のマスク材料層の表面が露出するように前記第２の絶縁層を研磨し平坦化する工程と、

露出された前記第２のマスク材料層を除去し、前記半導体柱の頂部を露出させる工程と、

露出した前記半導体柱の頂部に、前記第２の不純物領域を形成する工程と、

を有する、

ことを特徴とする柱状半導体装置の製造方法。

[請求項12] 前記ゲート導体層の上端の位置が、前記第２のマスク材料層の下端

位置と同じ位置か、若しくは高く位置するように、前記第２のマスク材料層の膜厚が設定されている、

ことを特徴とする請求項１１に記載の柱状半導体装置の製造方法。

[請求項13] 前記半導体柱の頂部に第３のマスク材料層と、その上部に前記第２のマスク材料層を形成する、

ことを特徴とする請求項１１に記載の柱状半導体装置の製造方法。

[請求項14] 前記第３のマスク材料層の下端が、前記ゲート導体層の上端位置と同じ位置か、若しくは低く位置するように、前記第１及び第３のマスク材料層の膜厚が設定されている、

ことを特徴とする請求項１３に記載の柱状半導体装置の製造方法。

[請求項15] 基板上部に、半導体柱と、前記半導体柱を囲むゲート絶縁層と、前記ゲート絶縁層を囲むゲート導体層と、前記半導体柱の下部に接続する第１の不純物領域と、前記半導体柱の頂部に接続する第２の不純物領域とを有し、前記第１の不純物領域と前記第２の不純物領域との間の前記半導体柱をチャネルにしたＳＧＴ、

を有した柱状半導体装置の製造において、

前記基板の表面上に、ドナーまたはアクセプタ不純物を含んだ前記第１の不純物領域を形成する工程と、

前記第１の不純物領域上に前記半導体柱とその頂部に第２のマスク材料層を形成する工程と、

全面を覆って、第１のマスク材料層を被覆する工程と、

前記第１のマスク材料層を異方性エッチングにより、前記半導体柱の側壁に前記第１のマスク材料層を残存させ、且つ、平面視において、前記半導体柱の頂部に前記第２のマスク材料層を残存させるとともに、前記半導体柱以外の領域に前記第１の不純物領域表面を露出する工程と、

全体に、熱的又は化学的に酸化を施し、露出した前記第１の不純物領域表面に第１の絶縁層を形成する工程と、

前記半導体柱の側壁に残存している前記第１のマスク材料層を等方性エッチングにより除去する工程と、

前記半導体柱を取り囲む前記ゲート絶縁層とさらにその前記ゲート絶縁層を取り囲む前記ゲート導体層を形成する工程と、

全面を覆って、前記半導体柱の高さより大きい膜厚で第２の絶縁膜を被覆する工程と、

前記半導体柱頂部の前記第２のマスク材料層が露出するように前記第２の絶縁膜を研磨し平坦化する工程と、

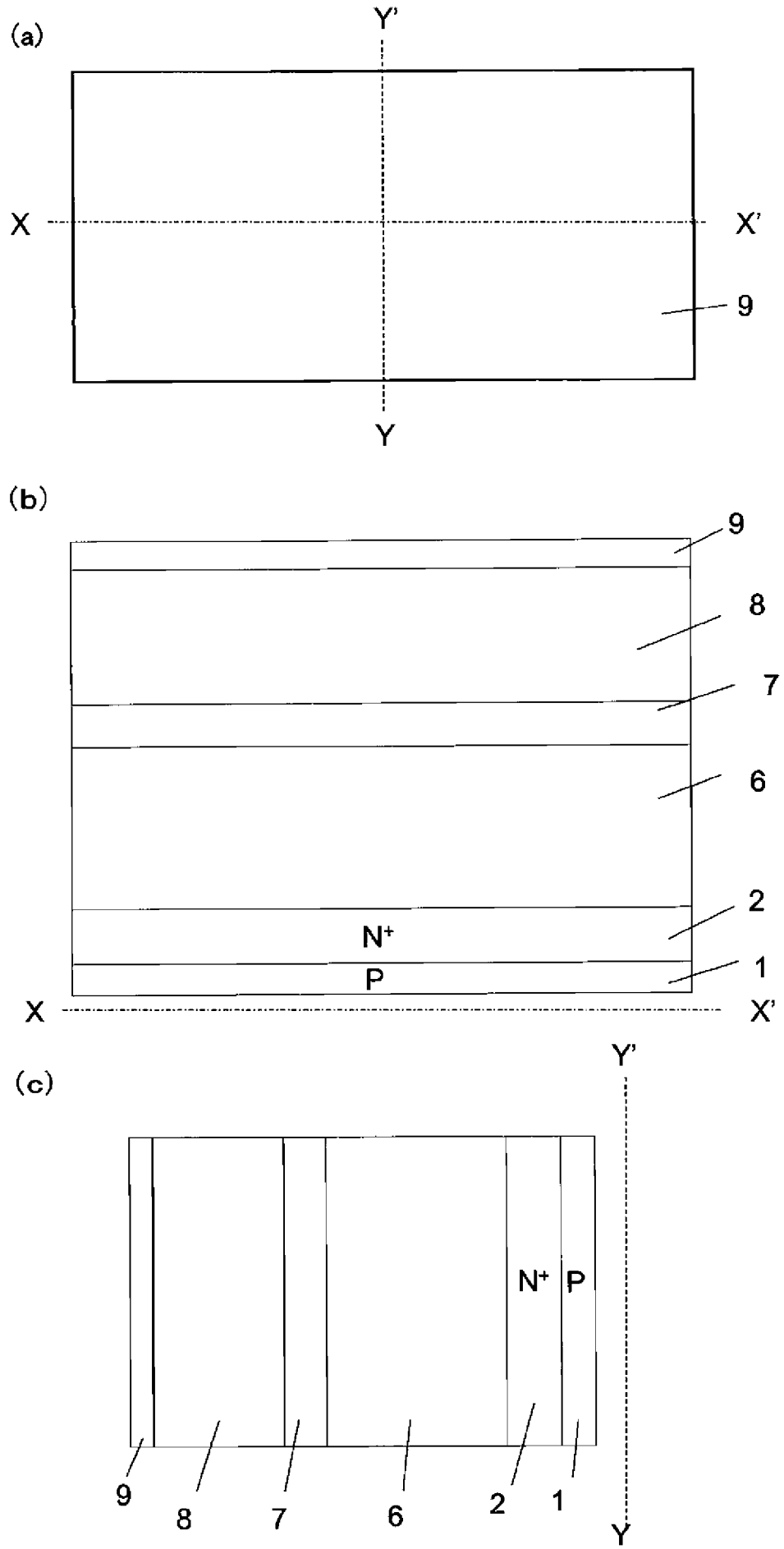
露出された前記第２のマスク材料層を除去し、前記半導体柱の頂部を露出させる工程と、

露出した前記半導体柱の頂部に、前記第２の不純物領域を形成する工程と、

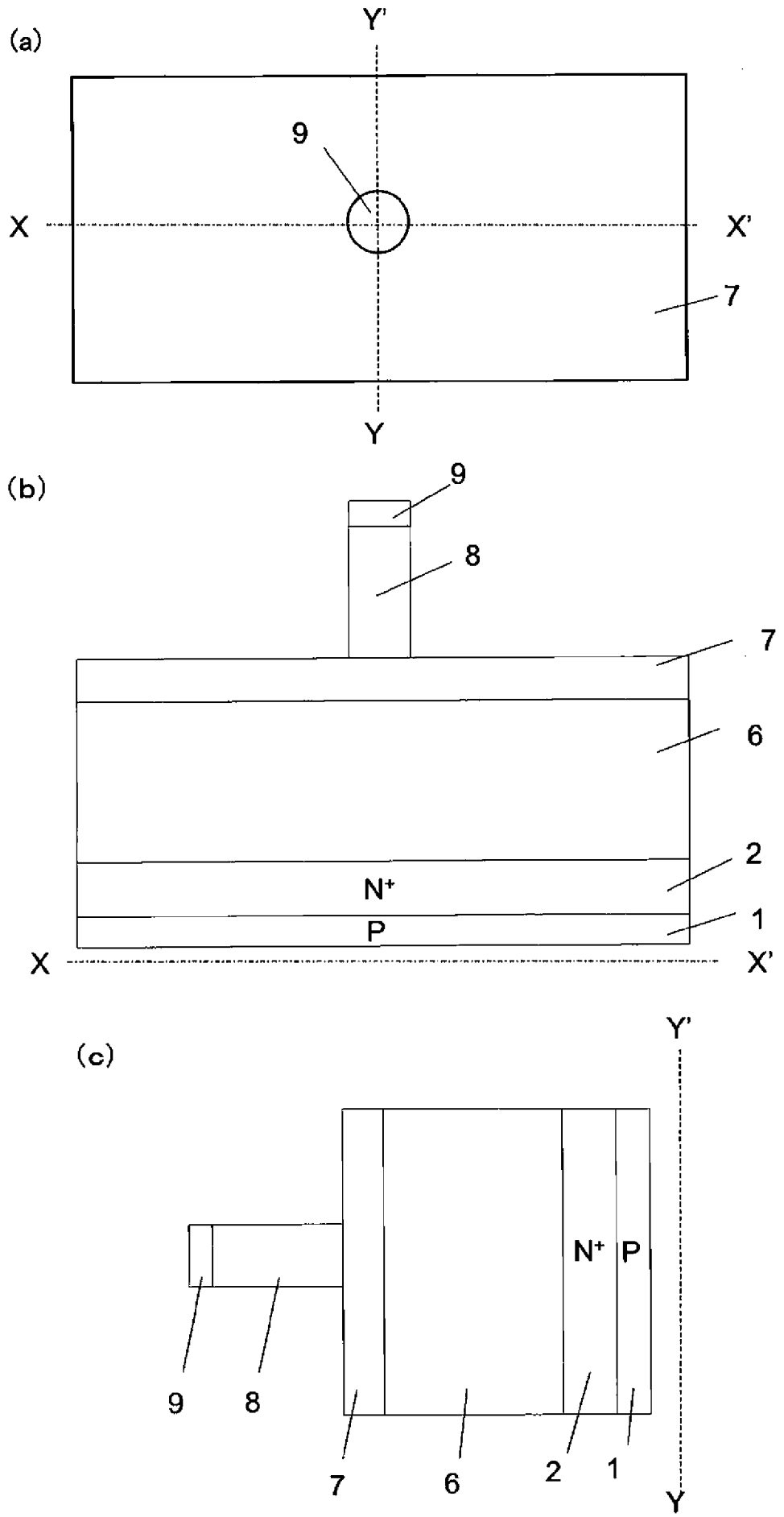
を有する、

ことを特徴とする柱状半導体装置の製造方法。

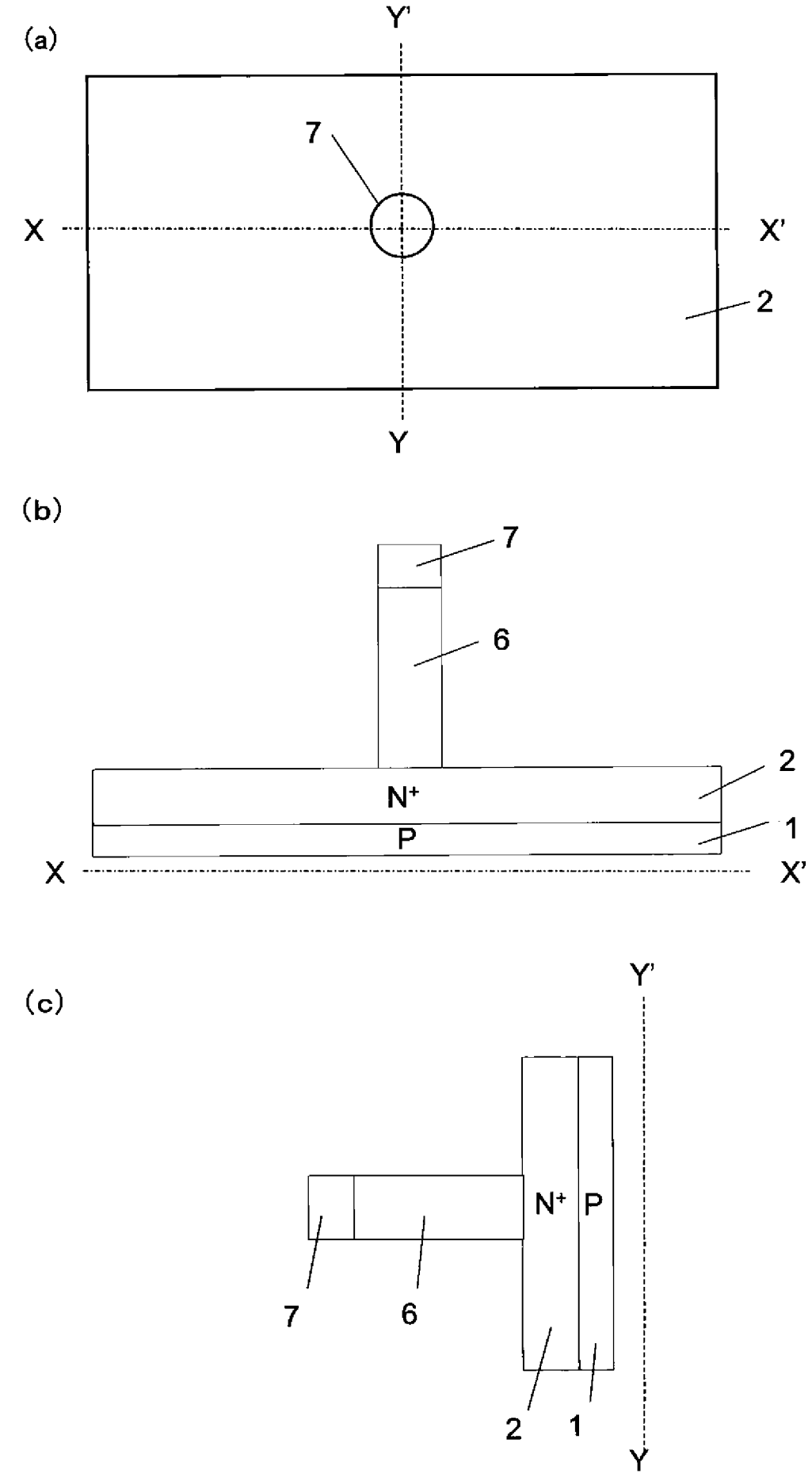
[図1A]



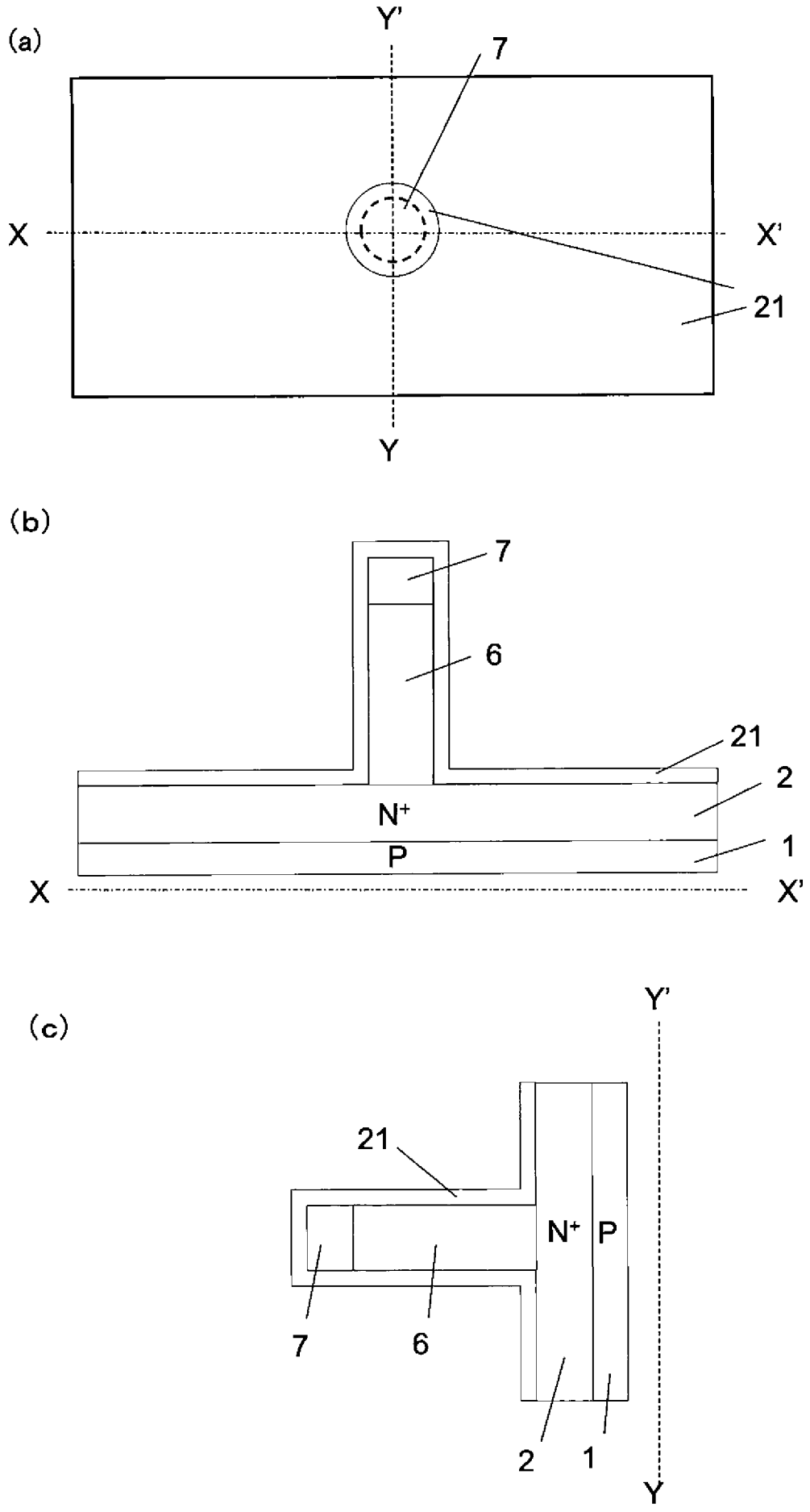
[図1B]



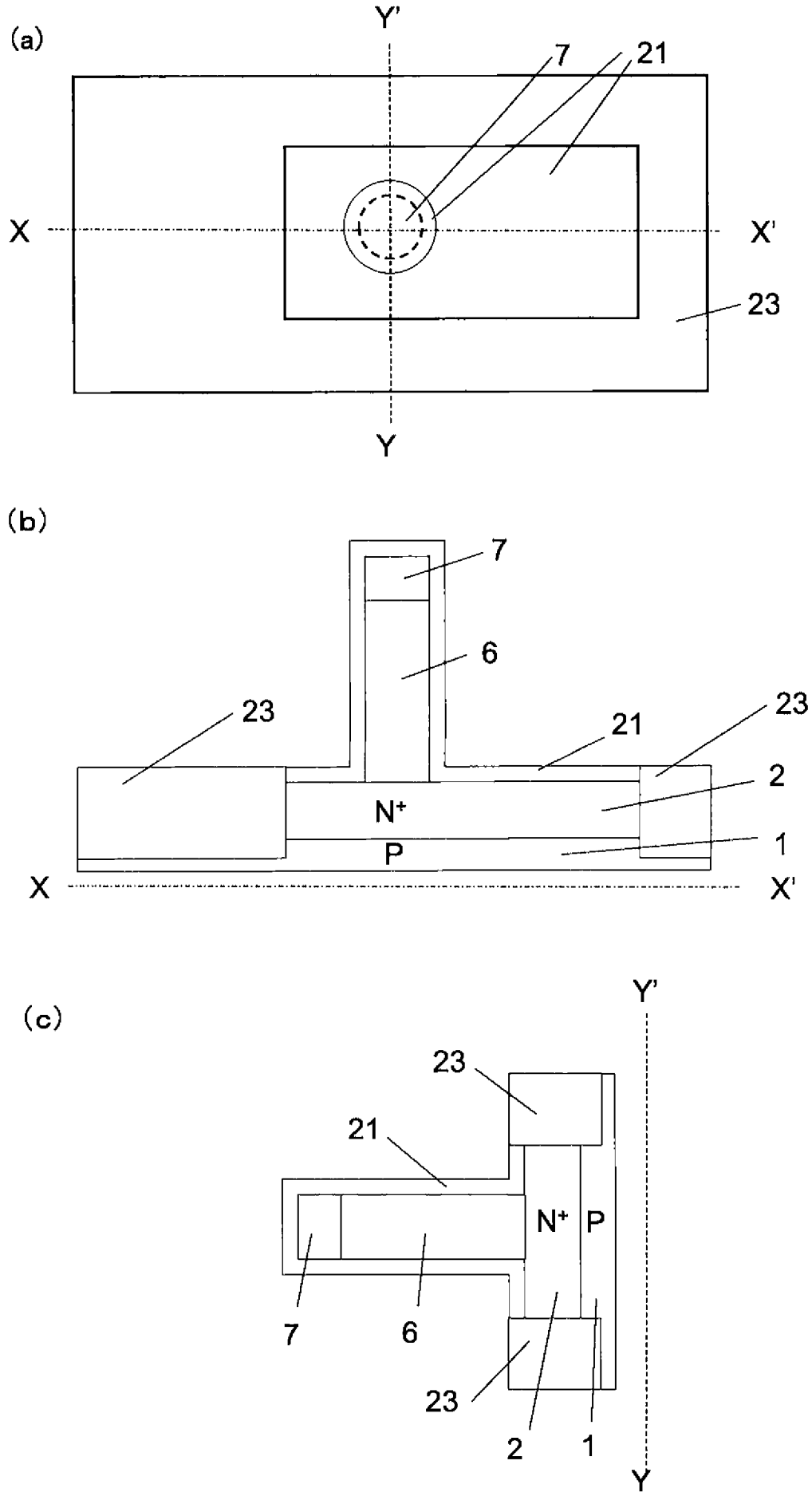
[図1C]



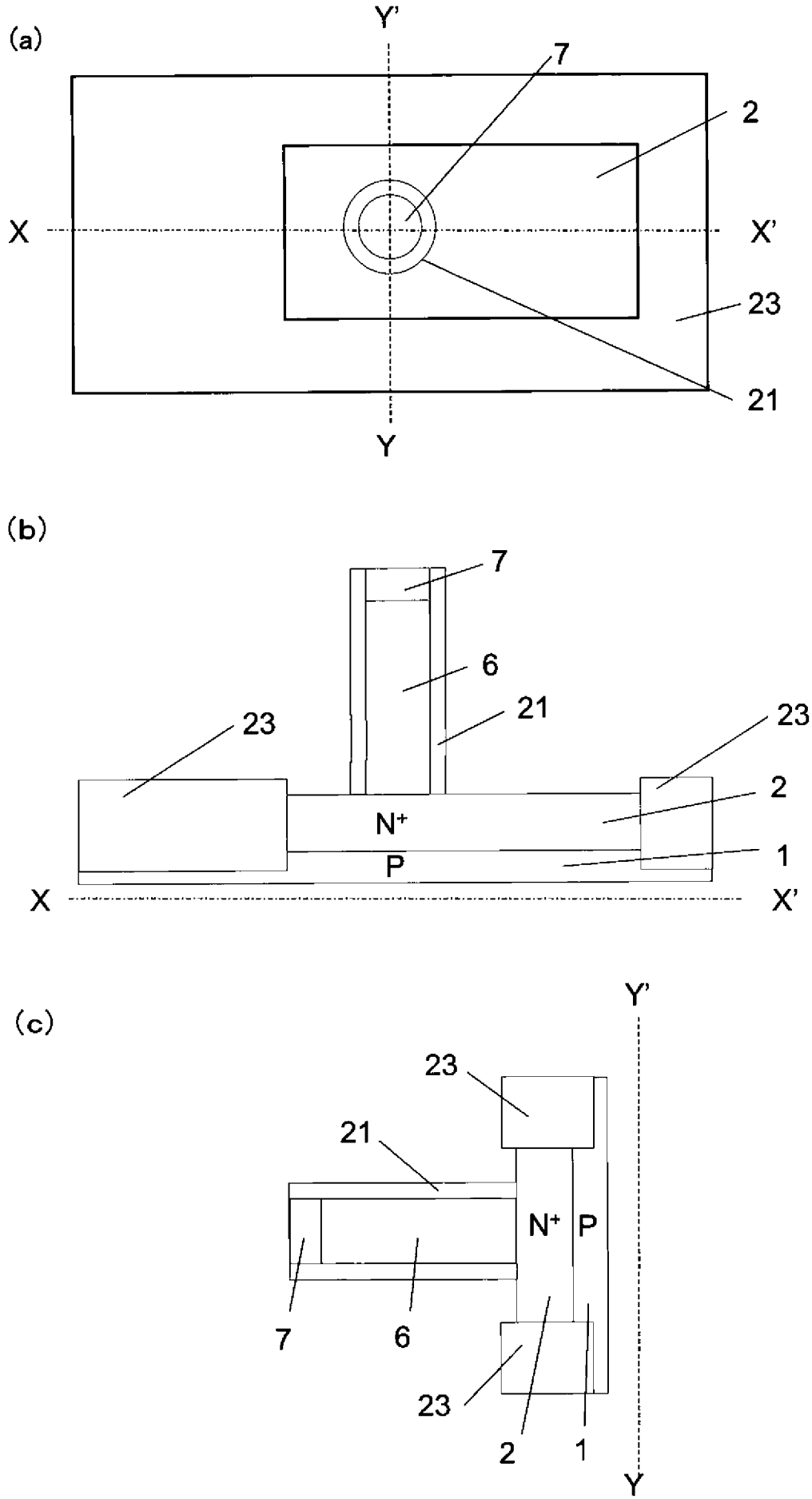
[図1D]



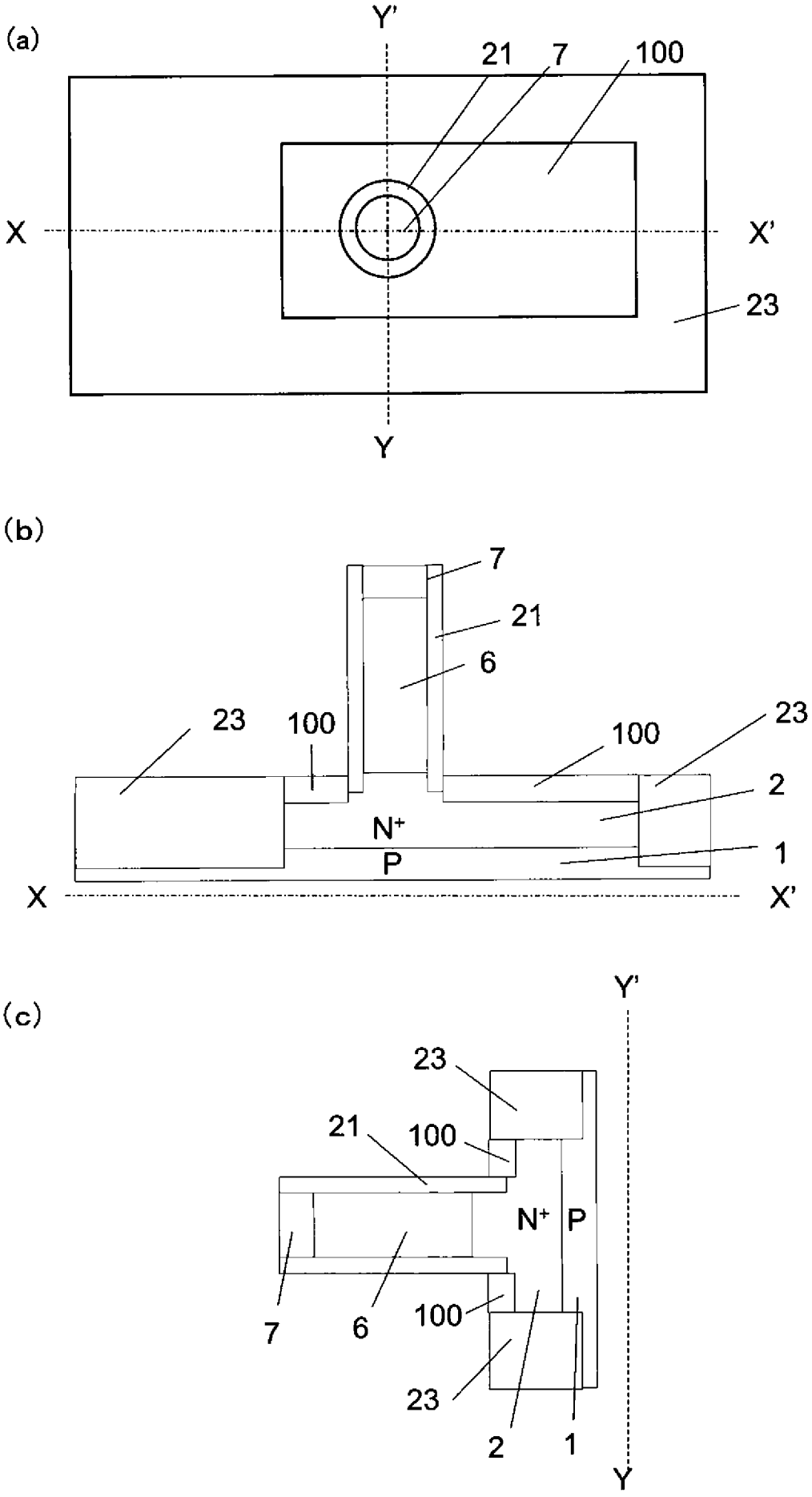
[図1E]



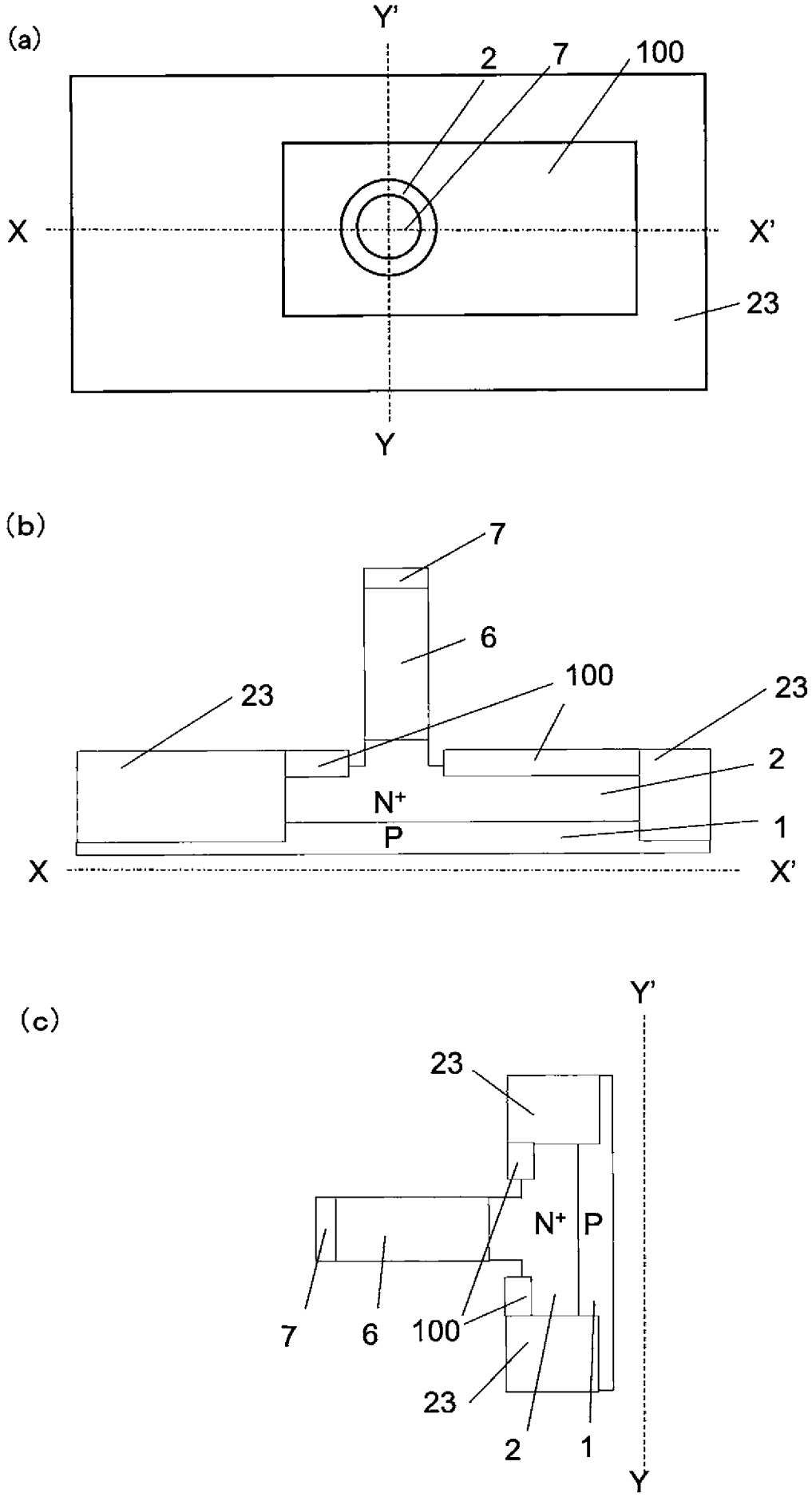
[図1F]



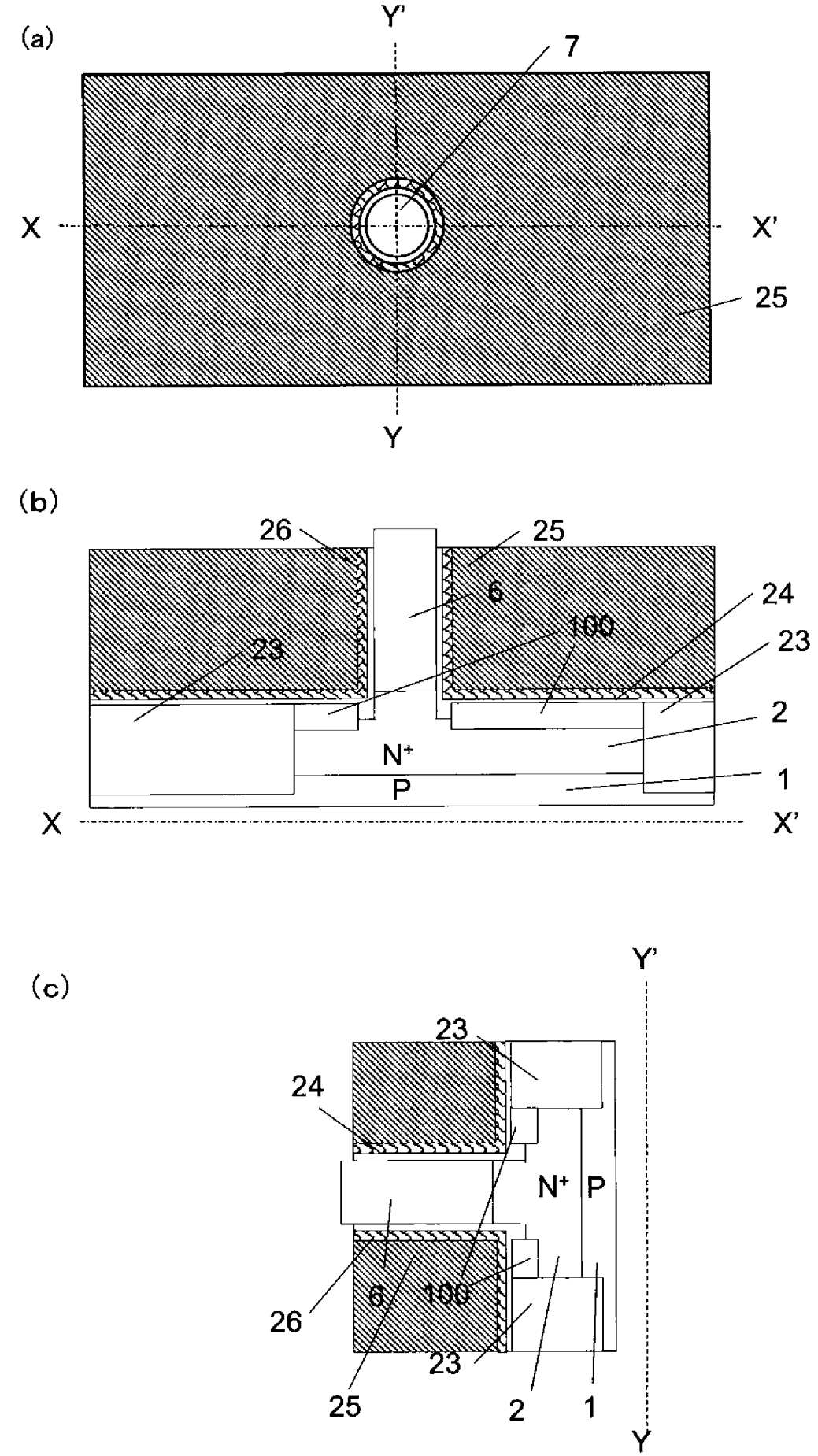
[図1G]


(a)
Y'
21
7
100
X
X'
23
Y
(b)
7
21
6
23
100
100
23
2
N+
P
1
X
X'
(c)
Y'
23
21
100
N+
P
7
6
100
23
2
1
Y

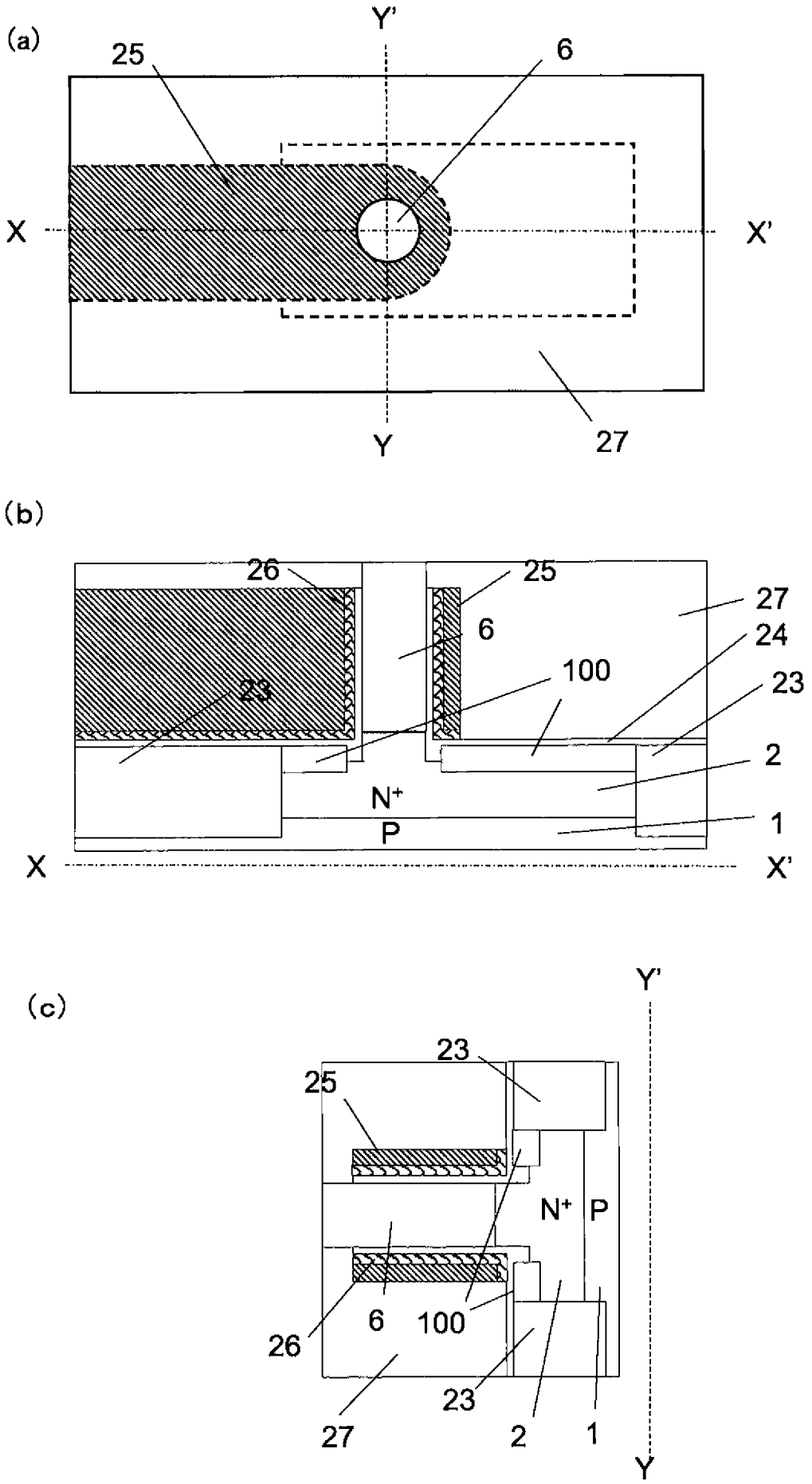
[図1H]



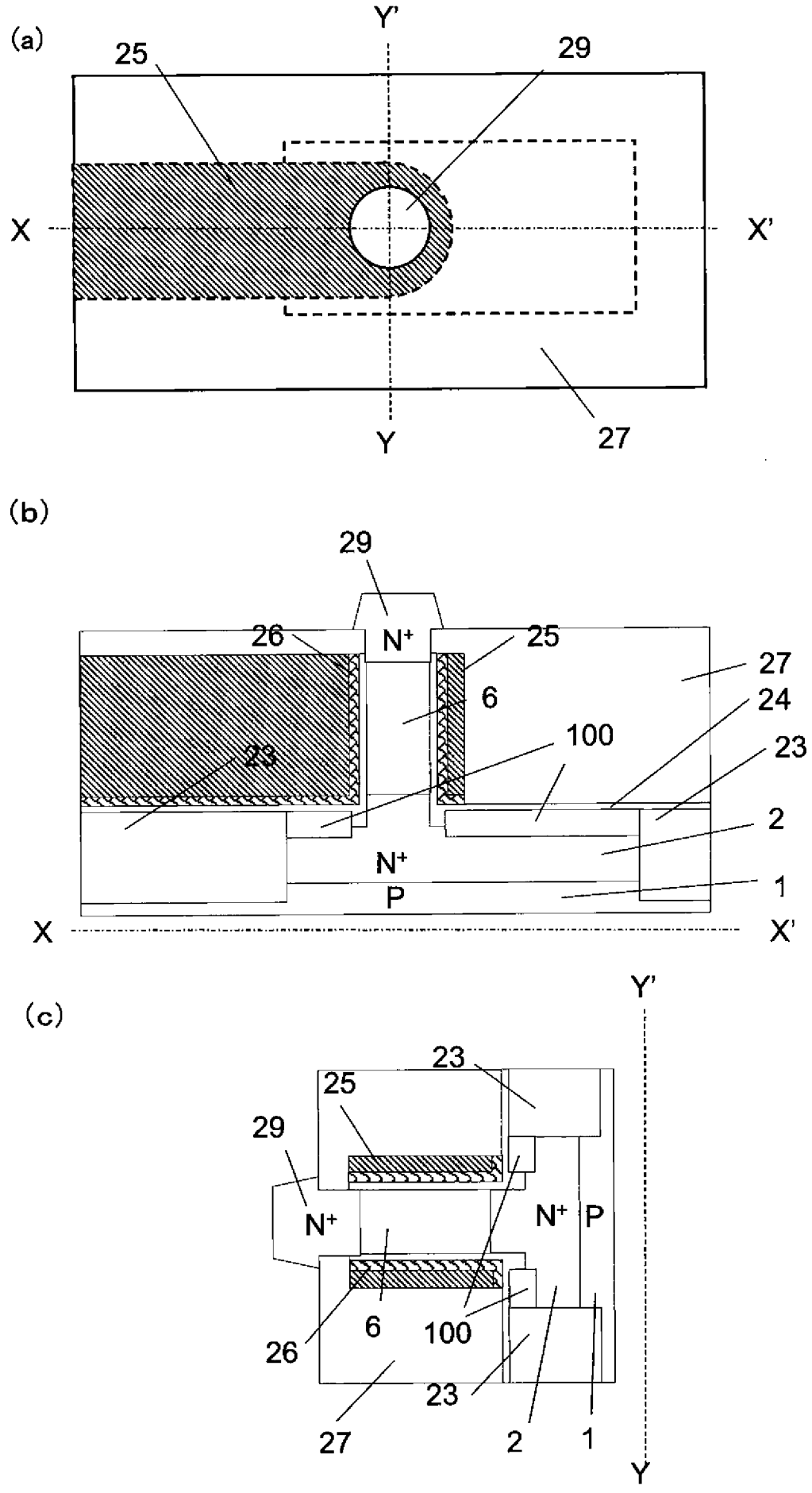
[図1I]


(a)
Y'
7
X
X'
25
Y
(b)
26
25
6
24
100
23
23
2
N+
P
1
X
X'
(c)
Y'
23
24
N+
P
26
6
100
23
25
2
1
Y

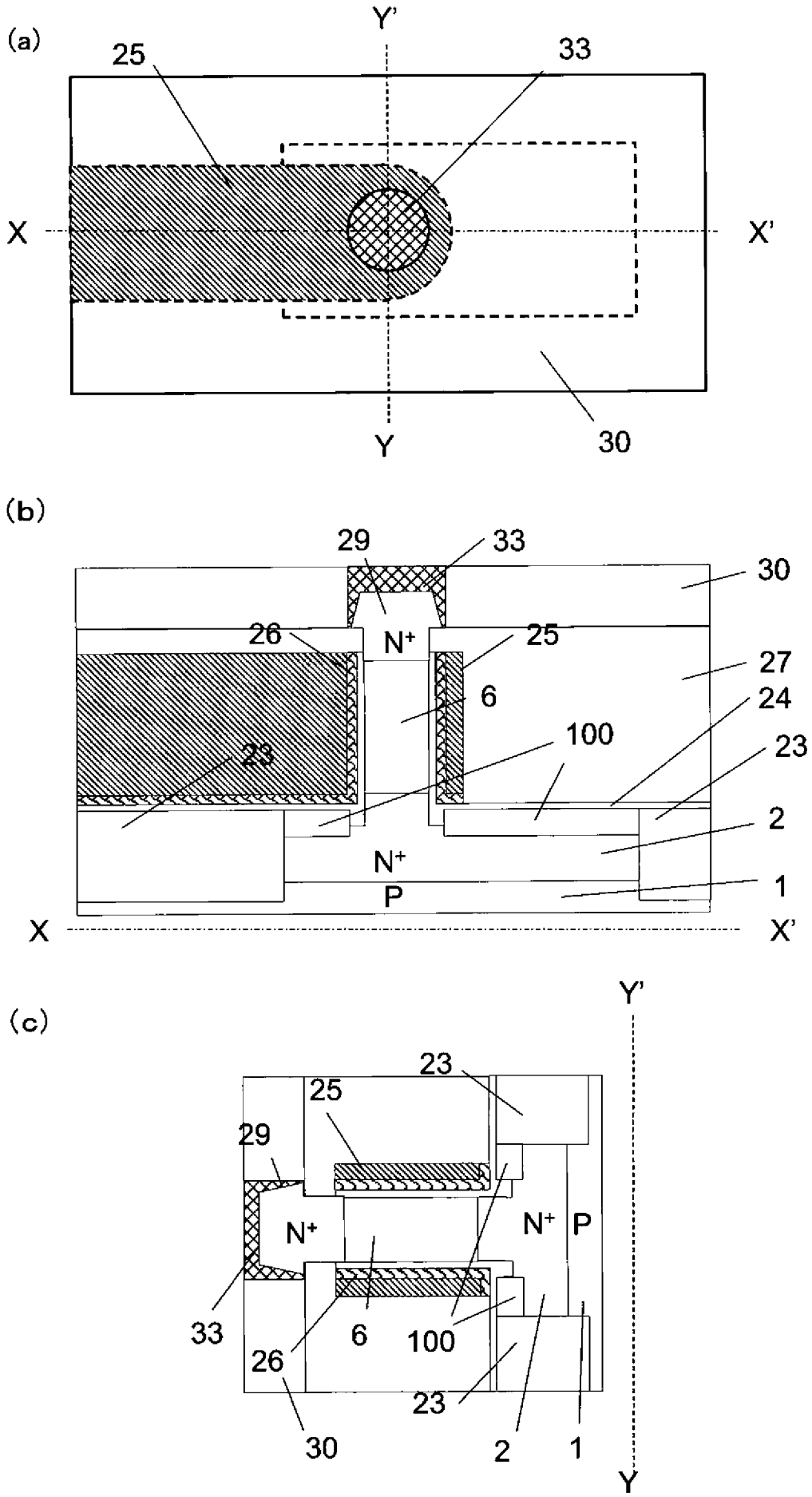
[図1J]


(a)
Y'
25
6
X
X'
Y
27
(b)
26
25
27
6
24
100
23
23
2
N+
P
1
X
X'
(c)
Y'
23
25
N+
P
6
100
26
23
27
2
1
Y

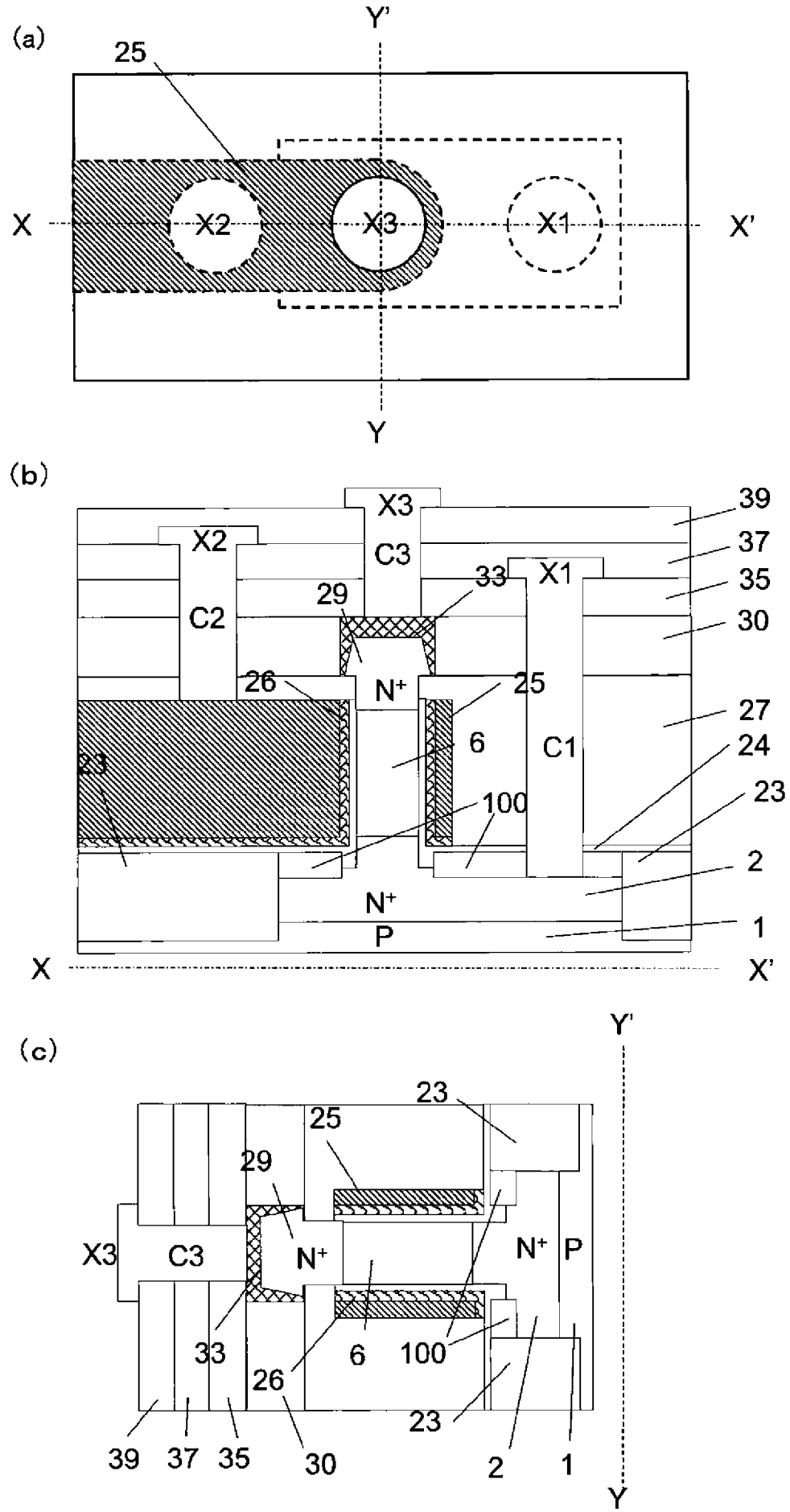
[図1K]


(a)
Y'
25
29
X
X'
Y
27
(b)
29
26
N+
25
27
6
24
100
23
23
2
N+
1
P
X
X'
(c)
Y'
23
25
29
N+
N+
P
6
100
26
23
27
2
1
Y

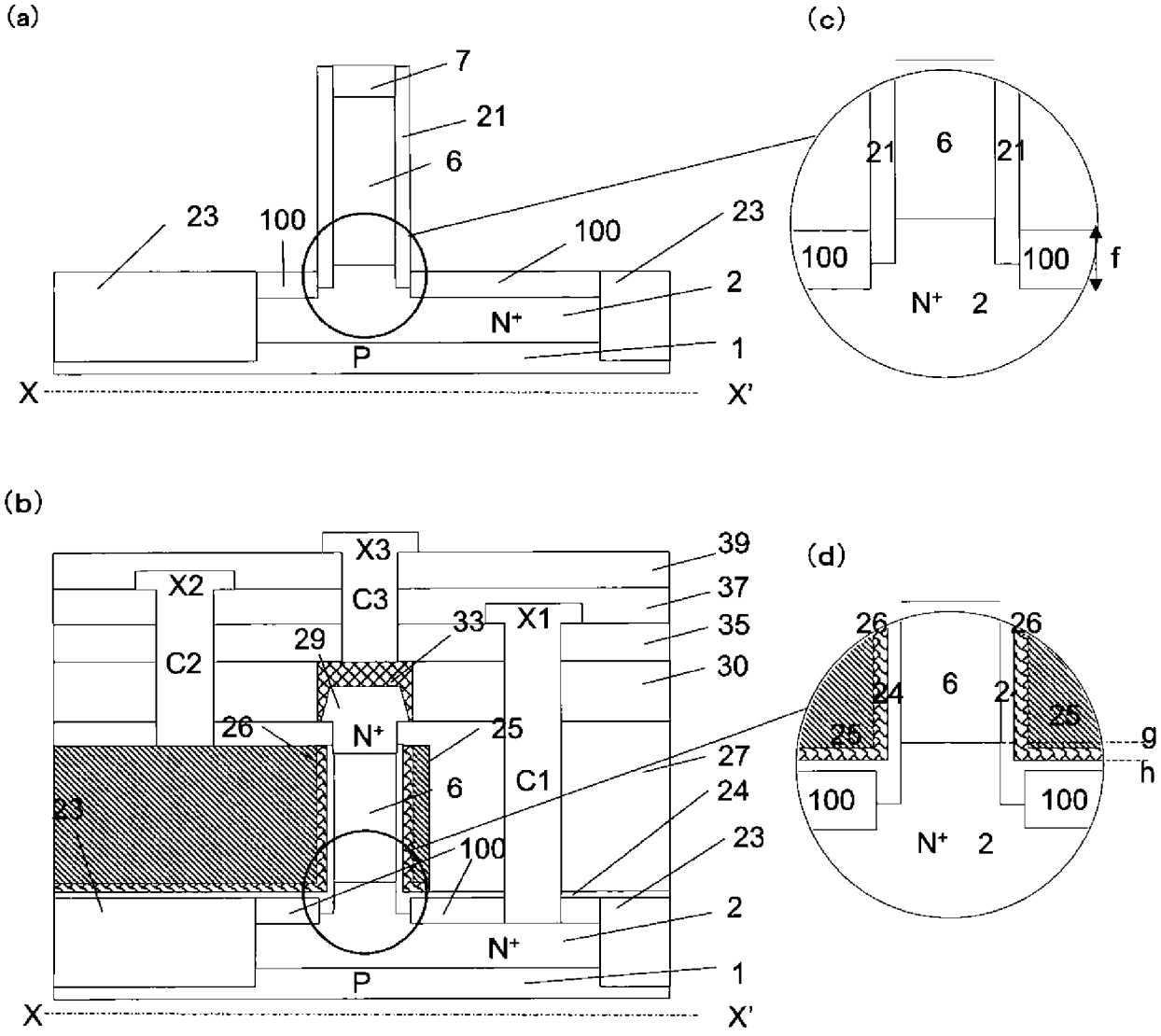
[図1L]


(a)
Y'
25
33
X
X'
Y
30
(b)
29
33
30
26
N+
25
27
6
24
100
23
23
2
N+
P
1
X
X'
(c)
Y'
23
25
29
N+
N+
P
33
6
100
26
23
30
2
1
Y

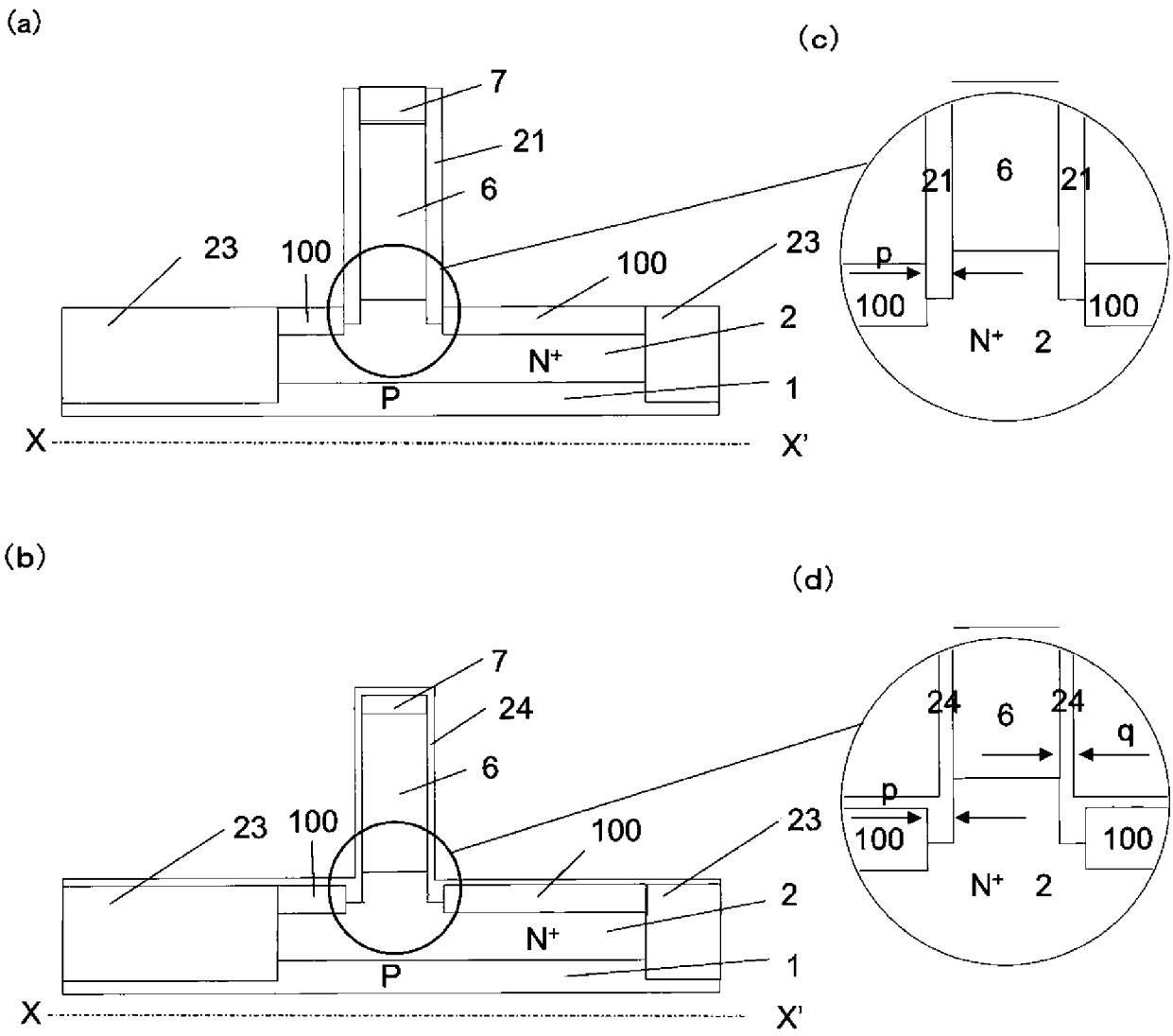
[図1M]


(a)
Y'
25
X
X2
X3
X1
X'
Y
(b)
X3
39
X2
C3
37
33
X1
35
29
C2
30
26
N+
25
27
6
C1
24
23
100
23
2
N+
P
1
X
X'
(c)
Y'
23
25
29
X3
C3
N+
N+
P
33
6
100
26
23
39
37
35
30
2
1
Y

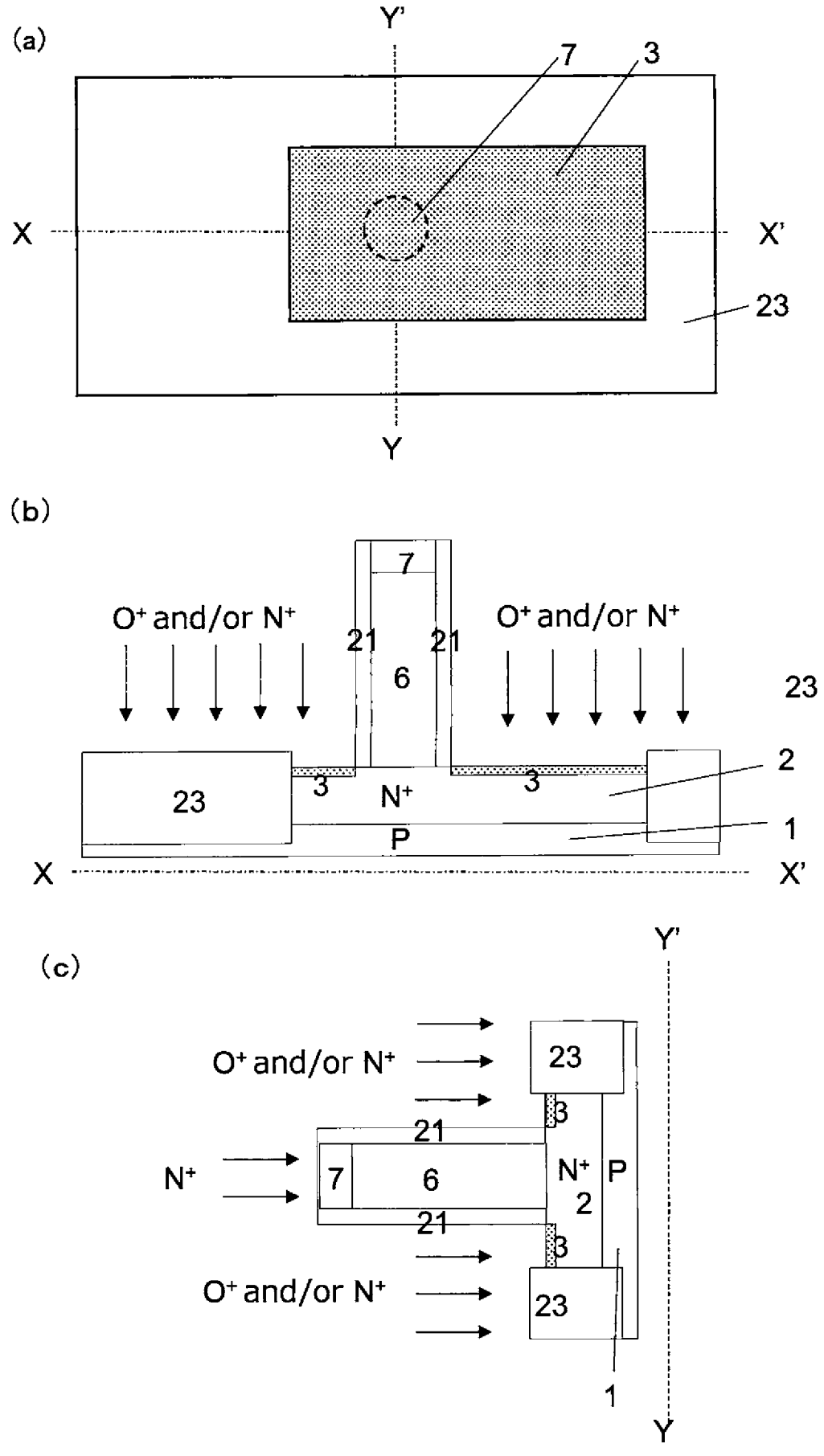
[図2]


(a)
7
21
6
23
100
100
23
2
N+
P
1
X
X'
(c)
21
6
21
100
100
f
N+ 2
(b)
X3
X2
C3
C2
29
33
X1
39
37
35
30
26
N+
25
6
C1
27
24
23
100
23
2
N+
P
1
X
X'
(d)
26
26
24
6
2
25
25
g
h
100
100
N+ 2

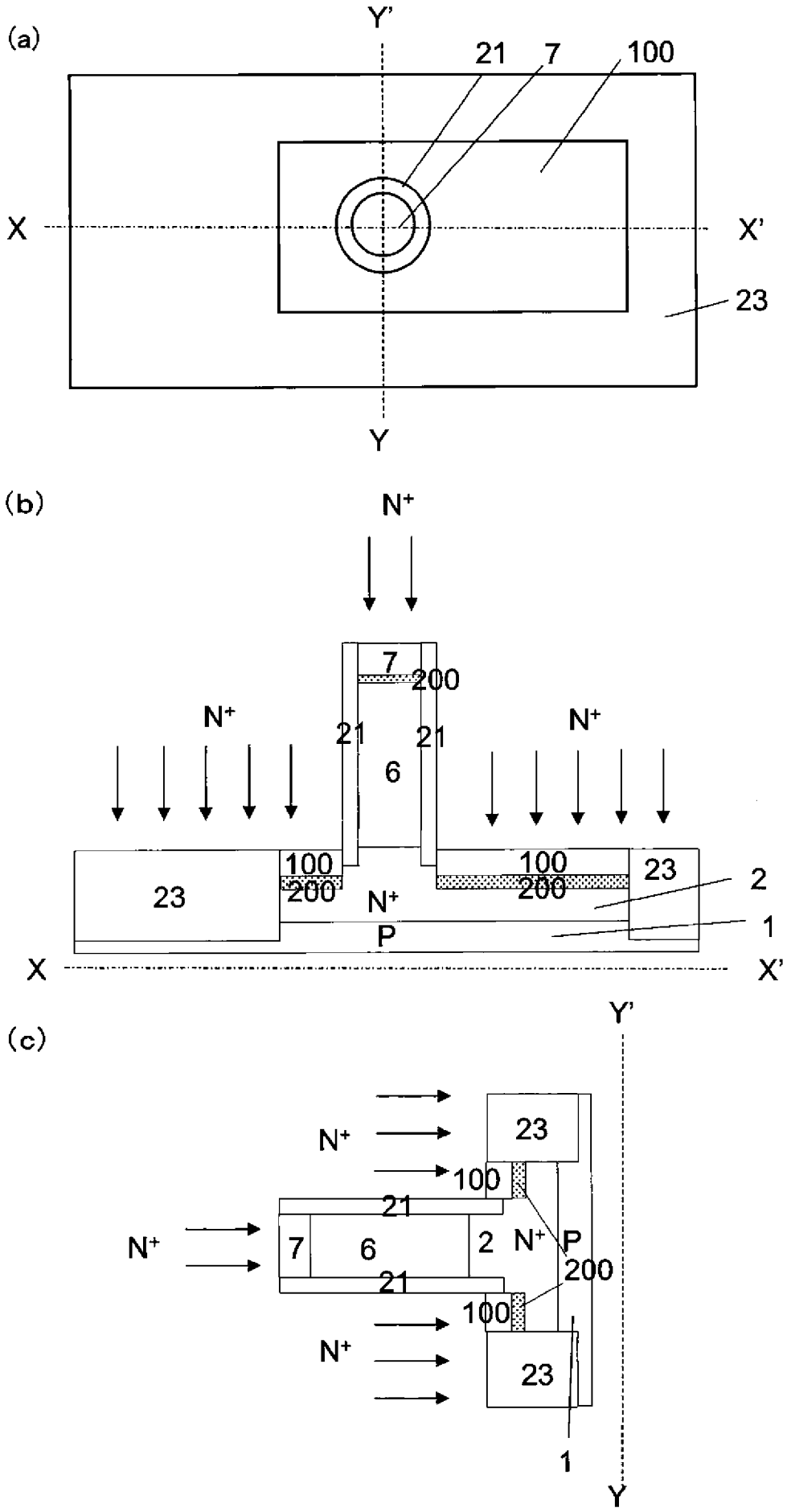
[図3]


(a)
(c)
7
21
6
23
100
100
23
2
N+
P
1
X
X'
21
6
21
p
100
100
N+ 2
(b)
(d)
7
24
6
23
100
100
23
2
N+
P
1
X
X'
24
6
24
q
p
100
100
N+ 2

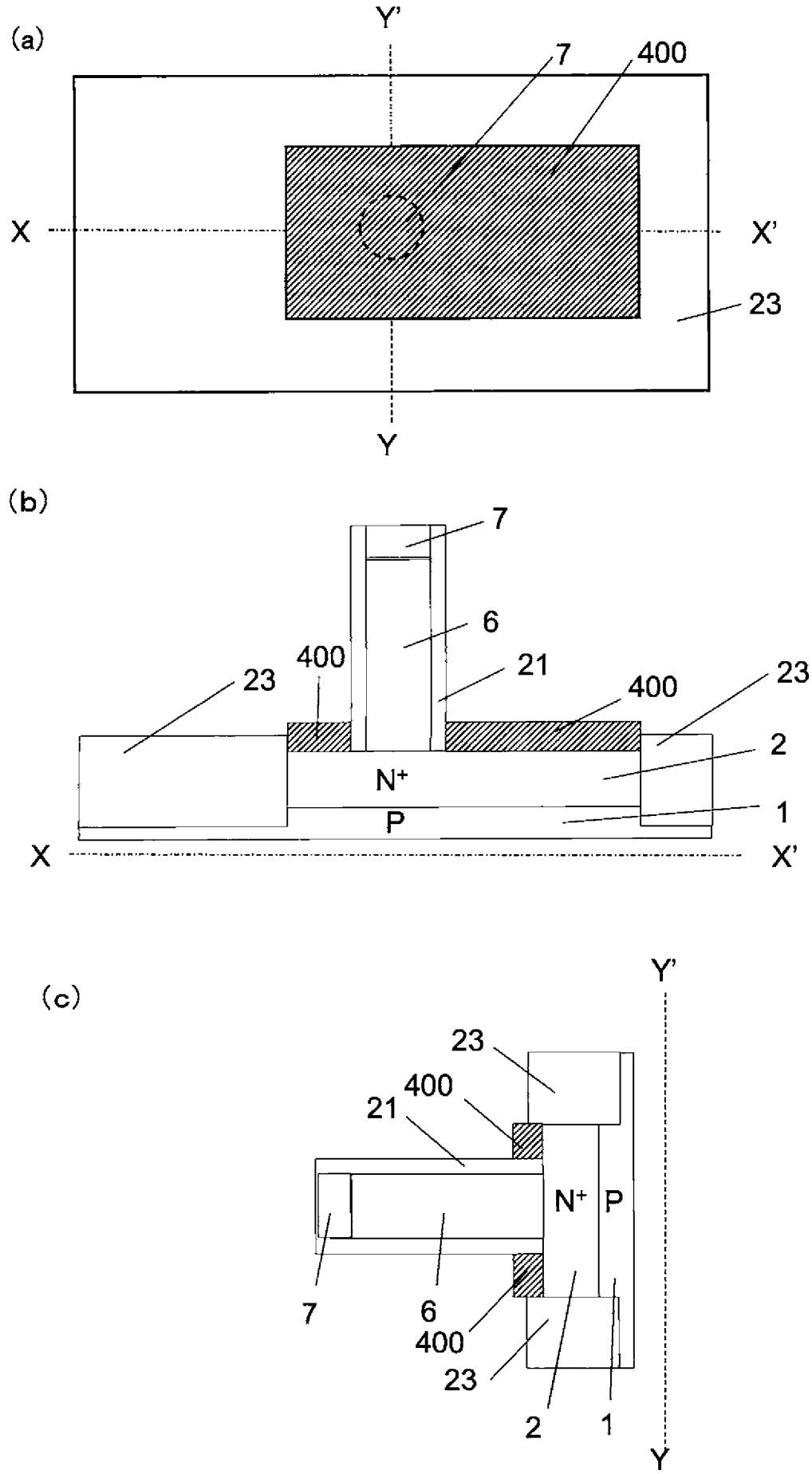
[図4]


(a)
Y'
7
3
X
X'
23
Y
(b)
7
O+ and/or N+
21
21
6
O+ and/or N+
23
2
23
3
N+
3
1
P
X
X'
(c)
Y'
O+ and/or N+
23
3
21
N+
7
6
N+
P
2
21
3
O+ and/or N+
23
1
Y

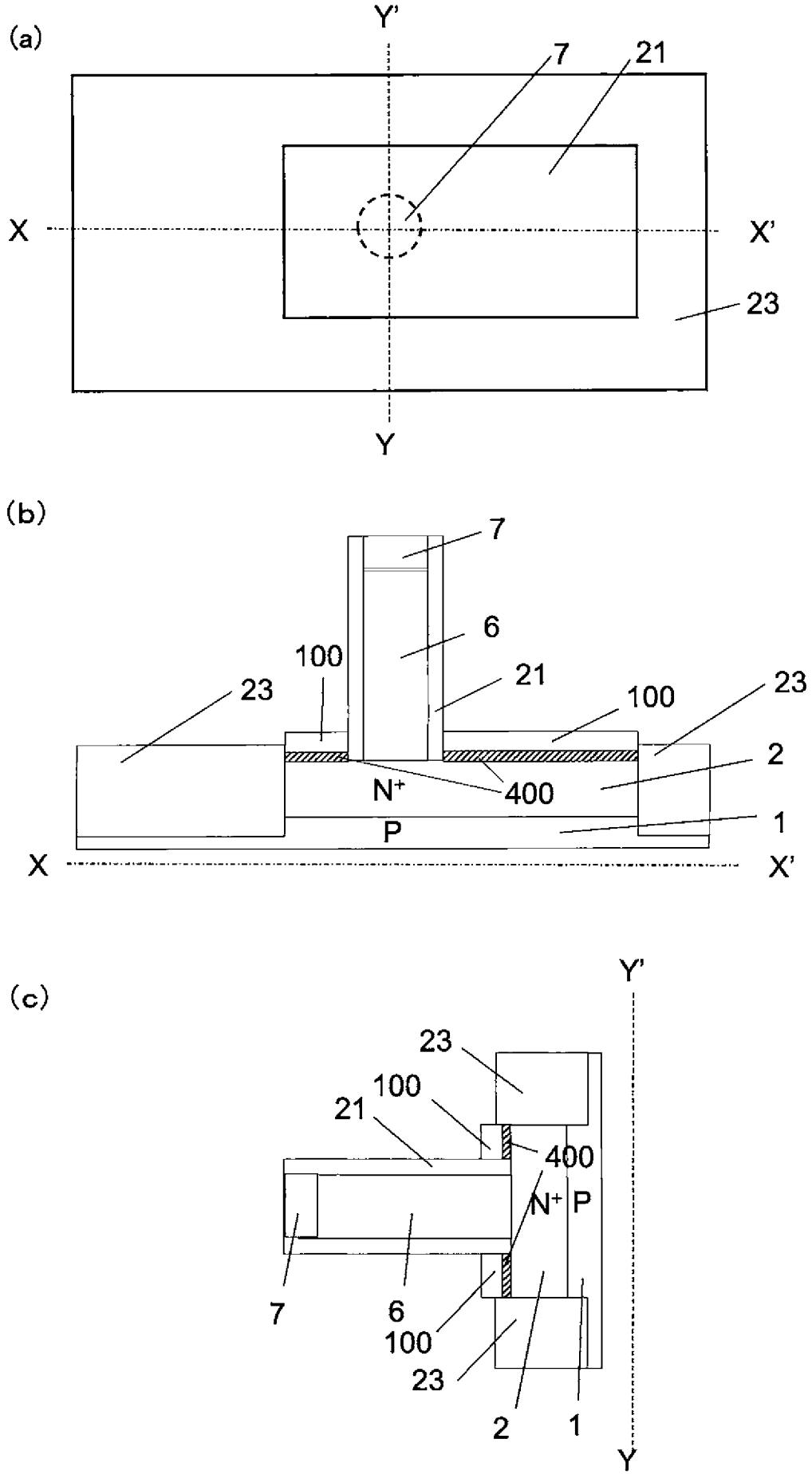
[図5]


(a)
Y'
21
7
100
X
X'
23
Y
(b)
N+
7
200
N+
21
21
N+
6
100
100
23
23
200
200
2
N+
1
P
X
X'
(c)
Y'
N+
23
100
21
N+
7
6
2
N+
P
200
21
100
N+
23
1
Y

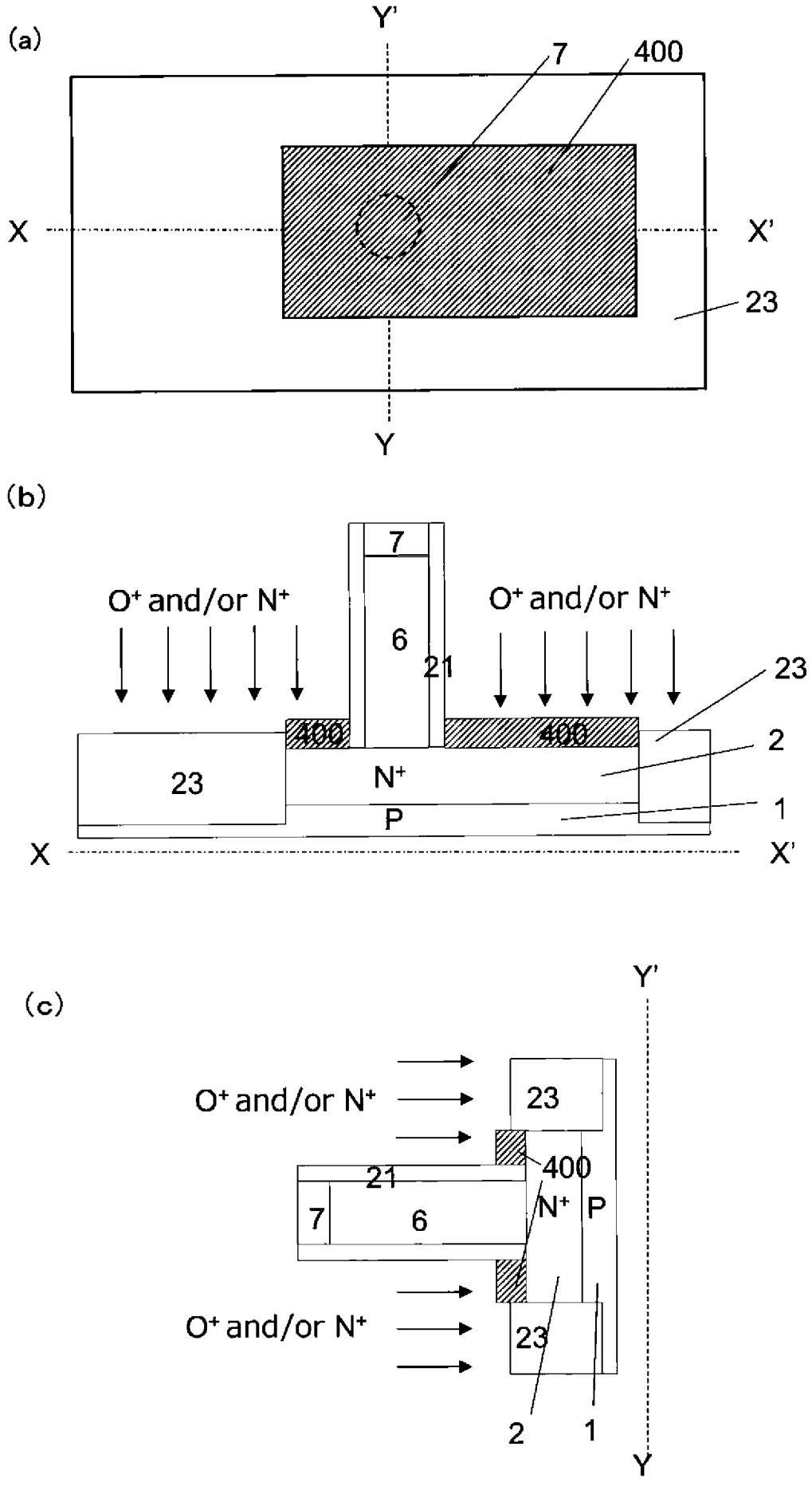
[図6A]


(a)
Y'
7
400
X
X'
23
Y
(b)
7
6
400
21
23
400
23
2
N+
1
P
X
X'
(c)
Y'
23
400
21
N+
P
7
6
400
23
2
1
Y

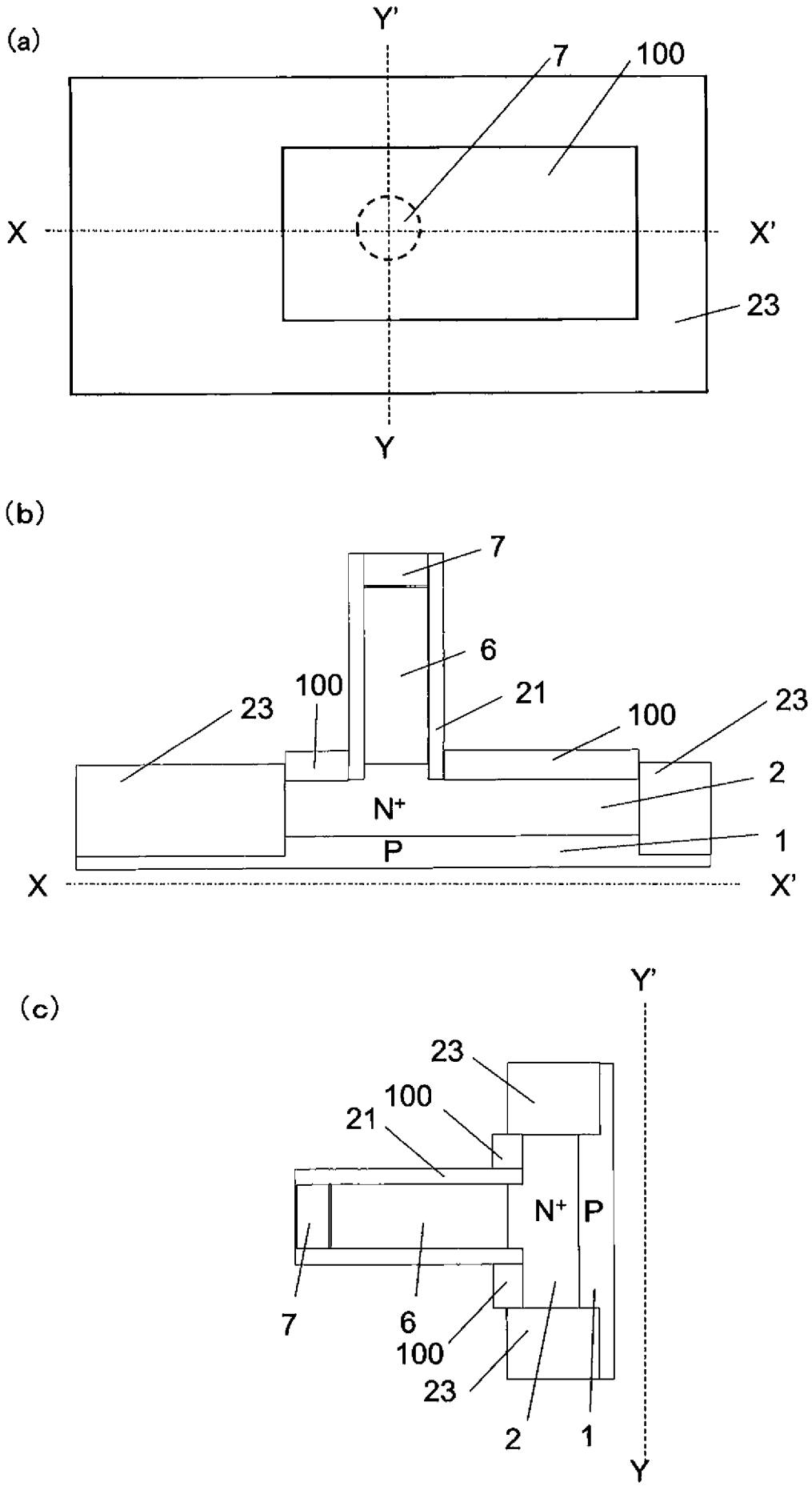
[図6B]


(a)
Y'
7
21
X
X'
23
Y
(b)
7
6
100
21
23
100
23
2
N+
400
P
1
X
X'
(c)
Y'
23
100
21
400
N+
P
7
6
100
23
2
1
Y

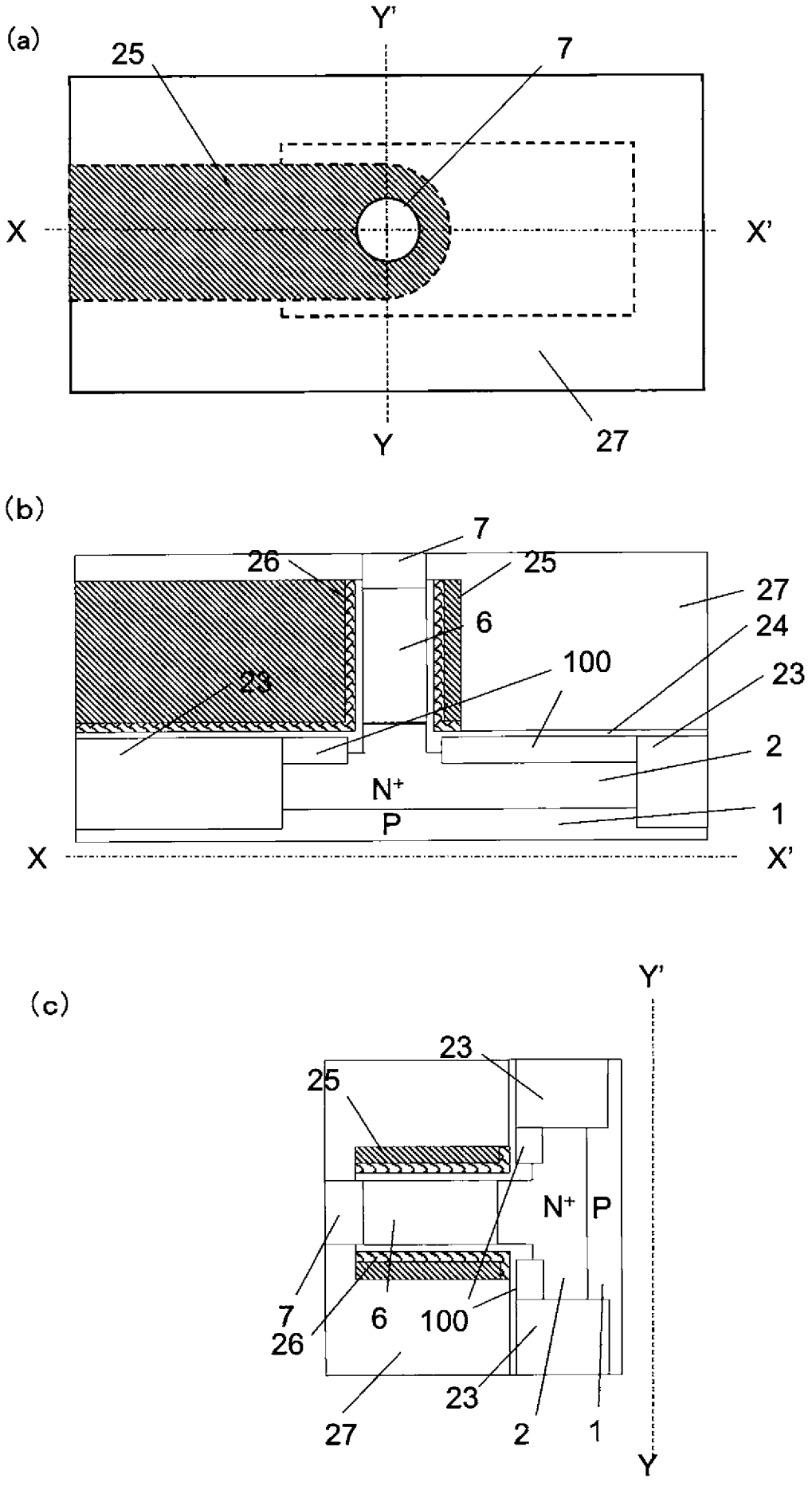
[図7]


(a)
Y'
7
400
X
X'
23
Y
(b)
7
O+ and/or N+
O+ and/or N+
6
21
23
400
400
2
23
N+
1
P
X
X'
(c)
Y'
O+ and/or N+
23
21
400
7
6
N+
P
O+ and/or N+
23
2
1
Y

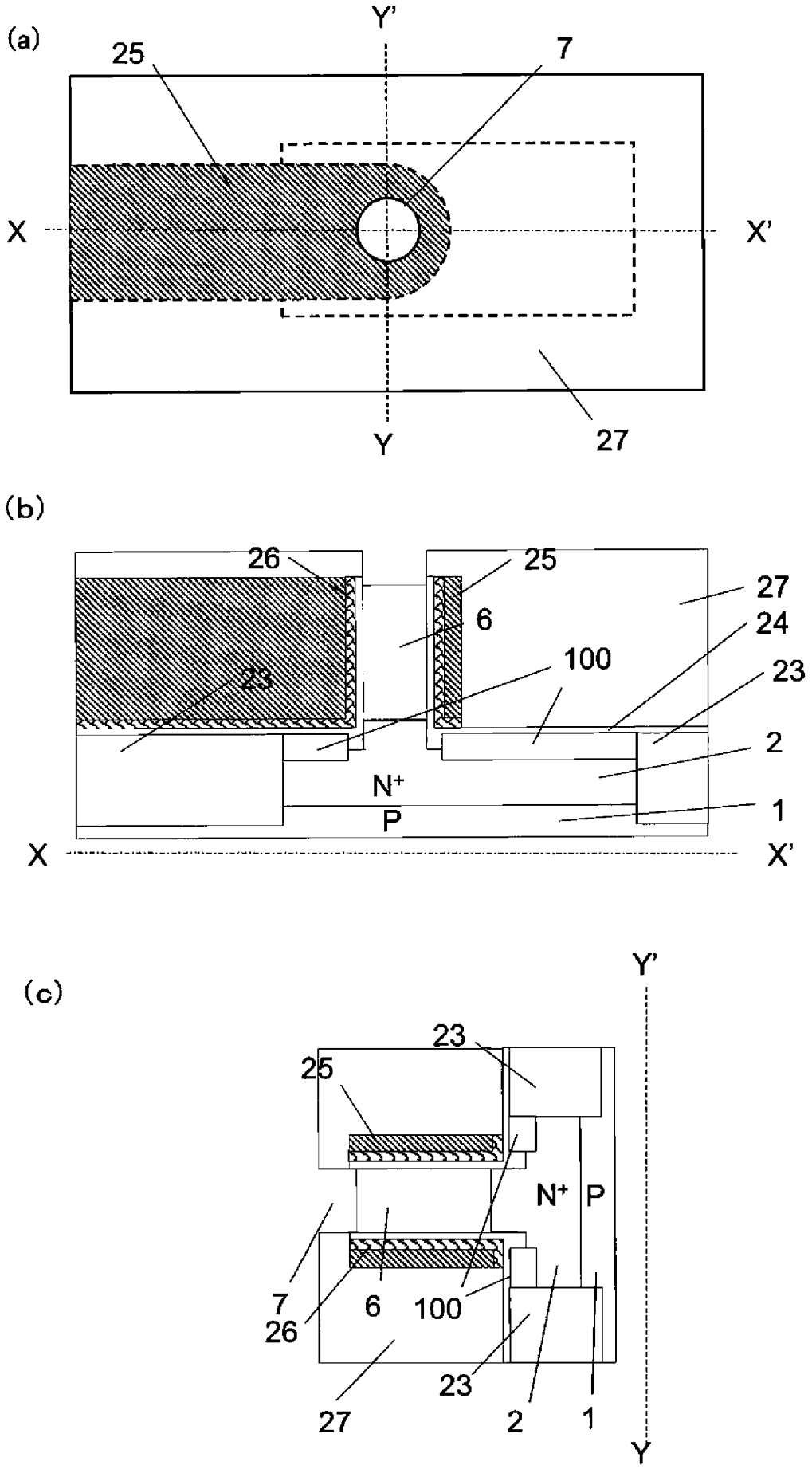
[図8]


(a)
Y'
7
100
X
X'
23
Y
(b)
7
6
100
21
23
100
23
2
N+
P
1
X
X'
(c)
Y'
23
100
21
N+
P
7
6
100
23
2
1
Y

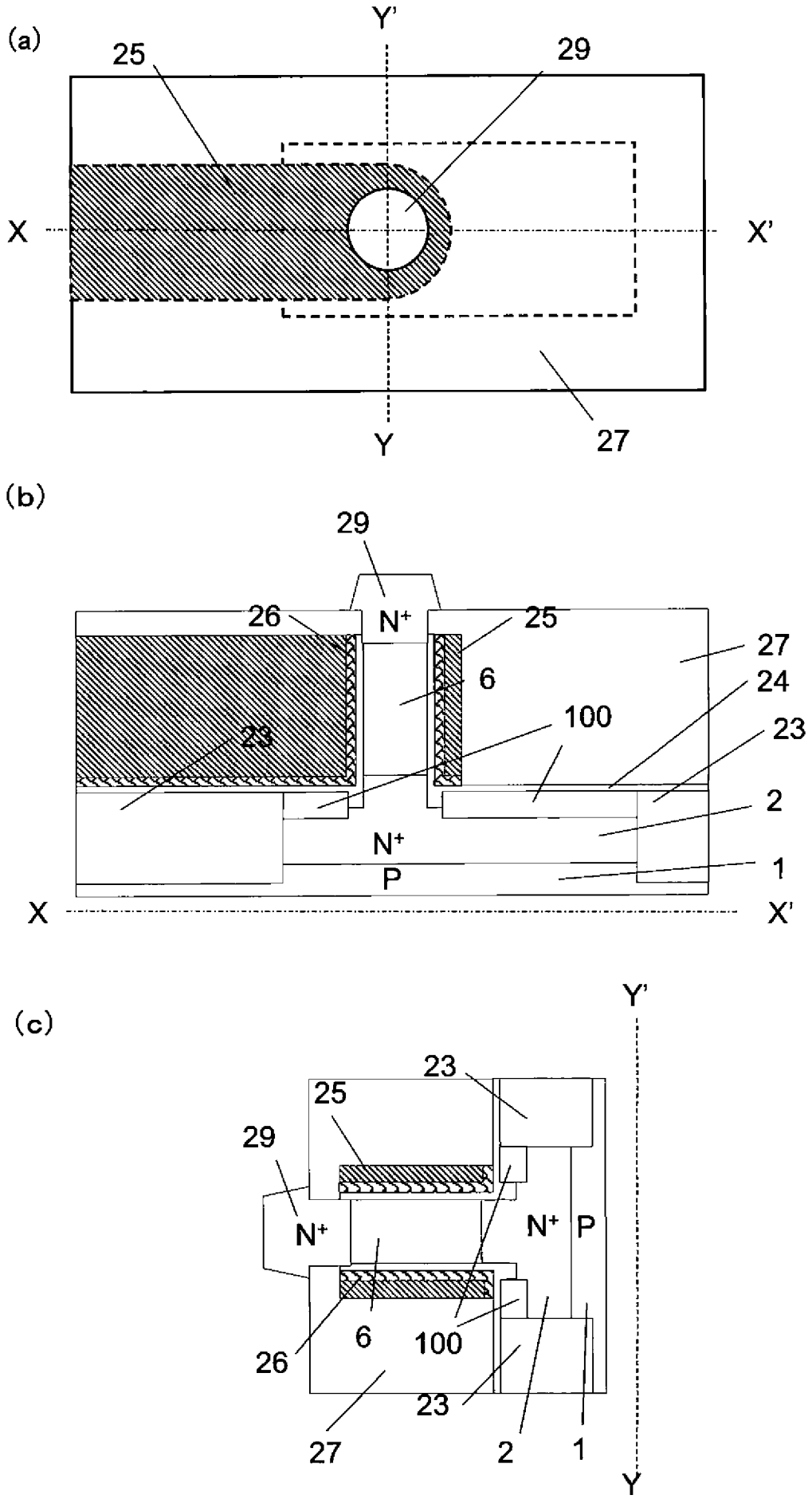
[図9A]


(a)
Y'
25
7
X
X'
Y
27
(b)
7
26
25
27
6
24
100
23
23
2
N+
P
1
X
X'
(c)
Y'
23
25
N+
P
7
26
6
100
23
27
2
1
Y

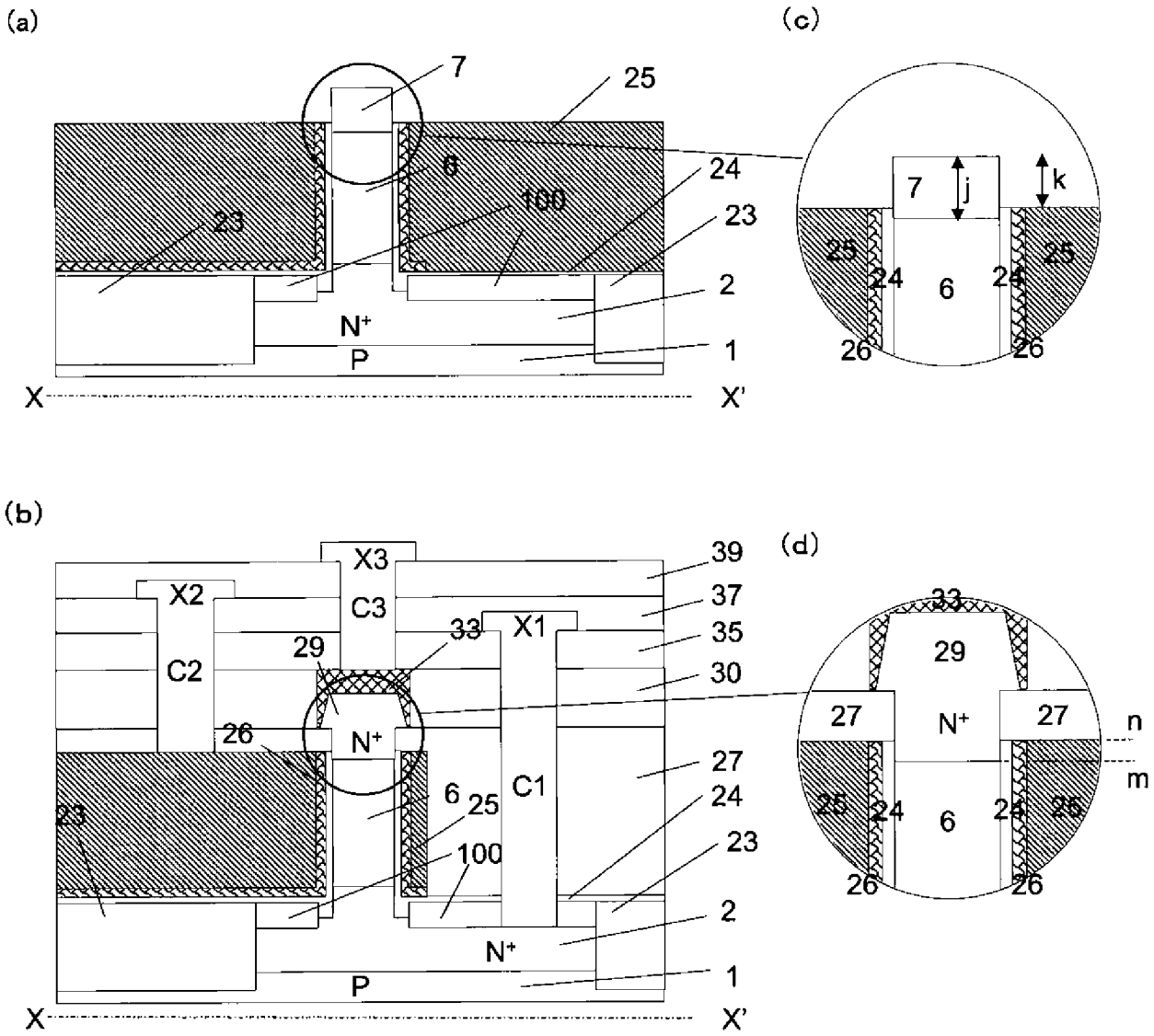
[図9B]


(a)
Y'
25
7
X
X'
Y
27
(b)
26
25
27
6
24
100
23
23
2
N+
P
1
X
X'
(c)
Y'
23
25
N+
P
7
26
6
100
23
27
2
1
Y

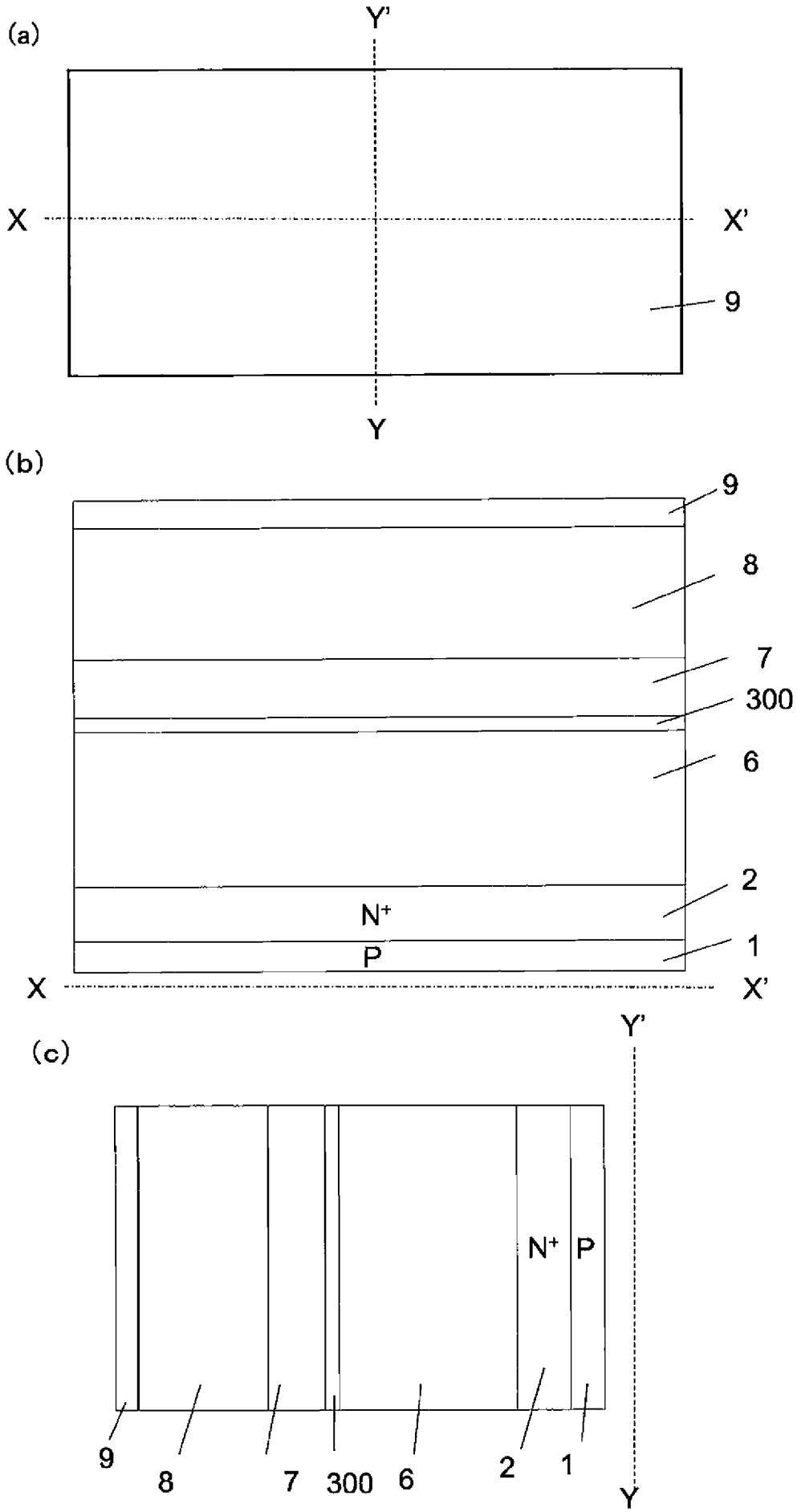
[図9C]


(a)
Y'
25
29
X
X'
Y
27
(b)
29
N+
26
25
27
6
24
100
23
23
2
N+
P
1
X
X'
(c)
Y'
23
25
29
N+
N+
P
6
100
26
23
27
2
1
Y

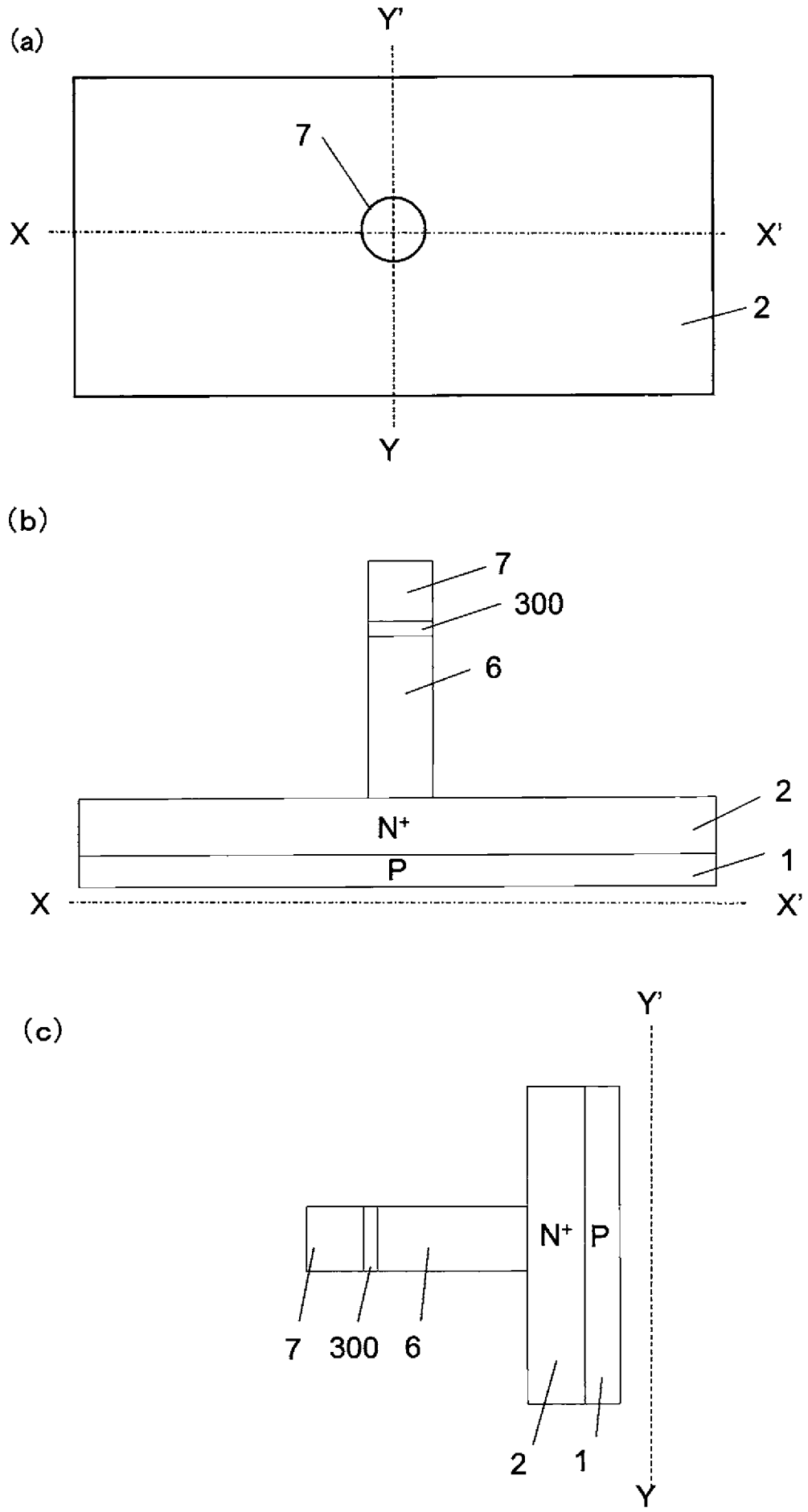
[図10]


(a)
7
25
6
24
100
23
23
2
N+
P
1
X
X'
(c)
7
j
k
25
24
6
24
25
26
26
(b)
X3
X2
C3
C2
33
X1
29
39
37
35
30
26
N+
27
6
25
C1
24
23
100
23
2
N+
P
1
X
X'
(d)
33
29
27
N+
27
n
m
25
24
6
24
25
26
26

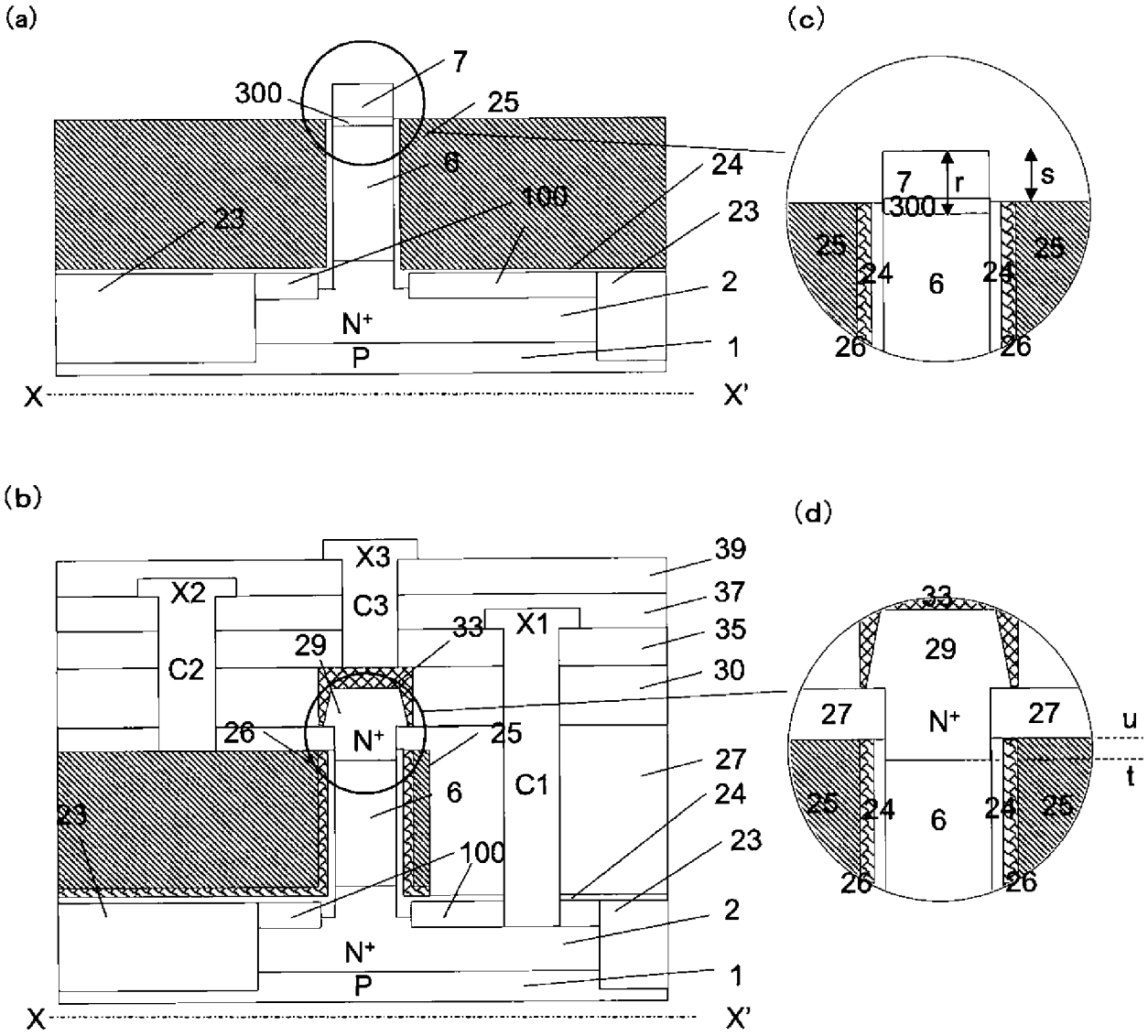
[図11A]



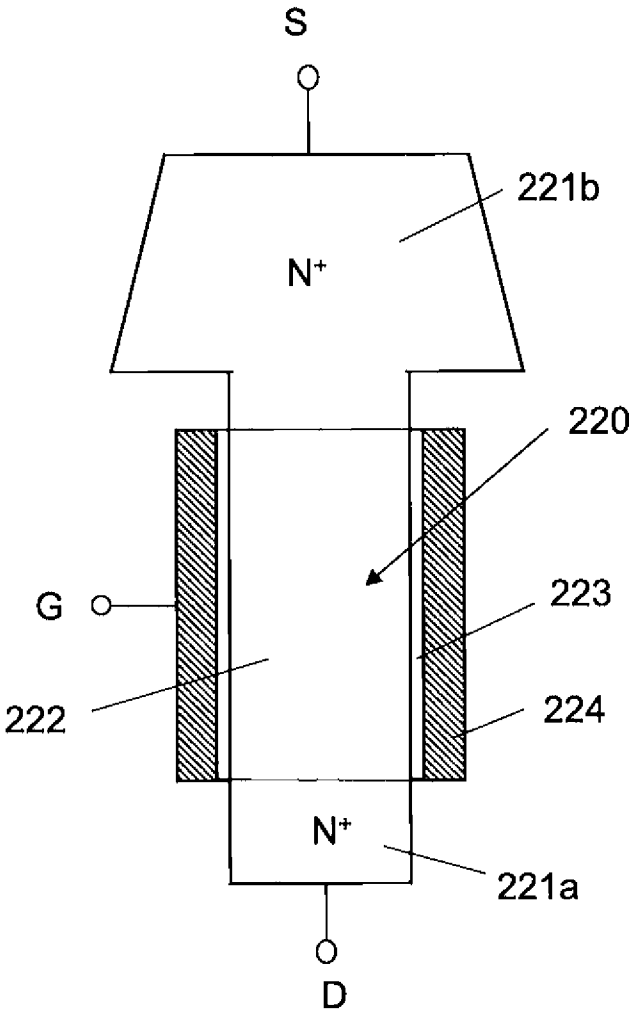
[図11B]



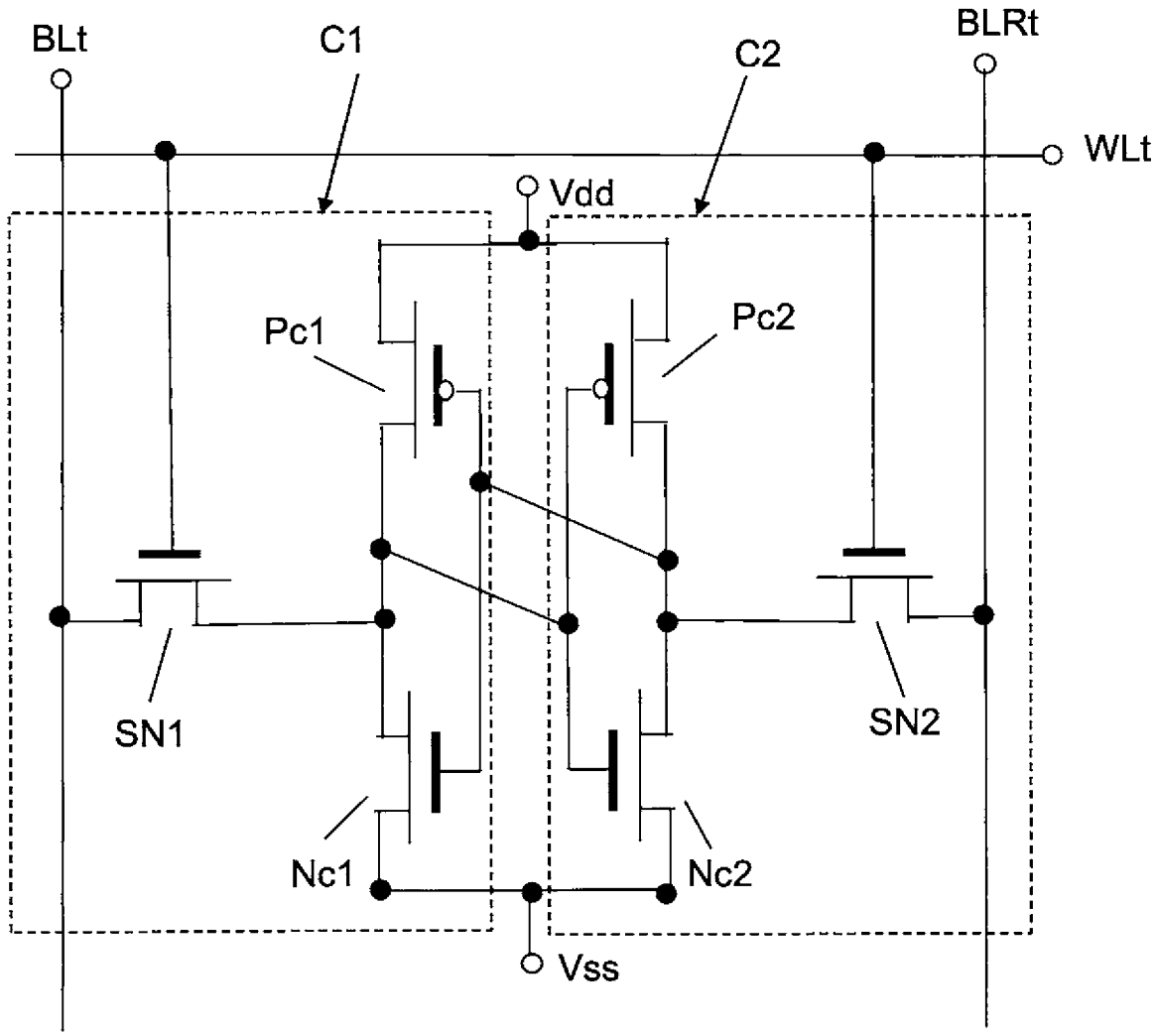
[図12]


(a)
300
7
25
6
24
100
23
23
2
N+
P
1
X
X'
(c)
7
r
s
300
25
24
6
24
25
26
26
(b)
X3
X2
C3
X1
C2
29
33
26
N+
25
6
C1
23
100
39
37
35
30
27
24
23
2
N+
P
1
X
X'
(d)
33
29
27
N+
27
u
t
25
24
6
24
25
26
26

[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/046526

A. CLASSIFICATION OF SUBJECT MATTER
H01L 27/092(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8238(2006.01)i; H01L 29/78(2006.01)i
FI: H01L27/092 G; H01L29/78 301Y
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/092; H01L21/336; H01L21/8238; H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2013-026382 A (ELPIDA MEMORY, INC.) 04 February 2013 (2013-02-04) paragraphs [0015]-[0028], fig. 2-14	1-5, 11-15 6-10
Y	WO 2019/087328 A1 (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) 09 May 2019 (2019-05-09) paragraphs [0032]-[0042], fig. 2A-2K	1-5, 11-15
Y	JP 02-148852 A (HITACHI, LTD.) 07 June 1990 (1990-06-07) page 7, lower right column, lines 3-8	4
Y	JP 07-045715 A (SONY CORP.) 14 February 1995 (1995-02-14) paragraphs [0021]-[0025]	5
A	JP 2020-520110 A (INTERNATIONAL BUSINESS MACHINES CORP.) 02 July 2020 (2020-07-02) entire text, all drawings	1-15

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
19 February 2021 (19.02.2021)	02 March 2021 (02.03.2021)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/046526

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2013-026382 A	04 Feb. 2013	US 2013/0023095 A1 paragraphs [0053]-[0066], fig. 2-14	
WO 2019/087328 A1	09 May 2019	US 2019/0148387 A1 paragraphs [0066]-[0077], fig. 2AA-2KD KR 10-2020-0044114 A	
JP 02-148852 A	07 Jun. 1990	(Family: none)	
JP 07-045715 A	14 Feb. 1995	(Family: none)	
JP 2020-520110 A	02 Jul. 2020	US 2018/0337277 A1 entire text, all drawings WO 2018/211341 A1 CN 110637375 A	

国際調査報告

国際出願番号
PCT/JP2020/046526

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 27/092(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8238(2006.01)i; H01L 29/78(2006.01)i
FI: H01L27/092 G; H01L29/78 301Y

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L27/092; H01L21/336; H01L21/8238; H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2013-026382 A (エルピーダメモリ株式会社) 04.02.2013 (2013-02-04) 段落［００１５］－［００２８］，図２－１４	1-5, 11-15
A		6-10
Y	WO 2019/087328 A1 (ユニサンティス　エレクトロニクス　シンガポール　プライベート　リミテッド) 09.05.2019 (2019-05-09) 段落［００３２］－［００４２］，図２Ａ－２Ｋ	1-5, 11-15
Y	JP 02-148852 A (株式会社日立製作所) 07.06.1990 (1990-06-07) 第７頁右下欄第３－８行	4
Y	JP 07-045715 A (ソニー株式会社) 14.02.1995 (1995-02-14) 段落［００２１］－［００２５］	5
A	JP 2020-520110 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 02.07.2020 (2020-07-02) 全文，全図	1-15

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
19.02.2021	02.03.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
高橋　優斗 5F 5585
電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/046526

引用文献	公表日	パテントファミリー文献	公表日
JP 2013-026382 A	04.02.2013	US 2013/0023095 A1 段落［００５３］－［００６６］，図２－１４	
WO 2019/087328 A1	09.05.2019	US 2019/0148387 A1 段落［００６６］－［００７７］，図２ＡＡ－２ＫＤ KR 10-2020-0044114 A	
JP 02-148852 A	07.06.1990	（ファミリーなし）	
JP 07-045715 A	14.02.1995	（ファミリーなし）	
JP 2020-520110 A	02.07.2020	US 2018/0337277 A1 全文，全図 WO 2018/211341 A1 CN 110637375 A	