I699745

(19)中華民國智慧財產局

(12)發明說明書公告本　**(11)證書號數：TW I699745 B**

(45)公告日： 中華民國 109 (2020) 年 07 月 21 日

(21)申請案號：108108212　(22)申請日： 中華民國 101 (2012) 年 10 月 11 日

(51)Int. Cl.：　*G09G3/32　(2016.01)*

(30)優先權：2011/10/18　日本　2011-228418

2011/11/30　日本　2011-261317

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.　(JP)

日本

(72)發明人：木村肇 KIMURA, HAJIME (JP)

(74)代理人：林志剛

(56)參考文獻：

TW	I284868	TW	200418074A
TW	200512698A	CN	1534578A
CN	1677470A	CN	1835058A
JP	2009-134110A	US	2007/0120785A1

審查人員：林君濤

申請專利範圍項數：8 項　圖式數：91　共 261 頁

(54)名稱

半導體裝置

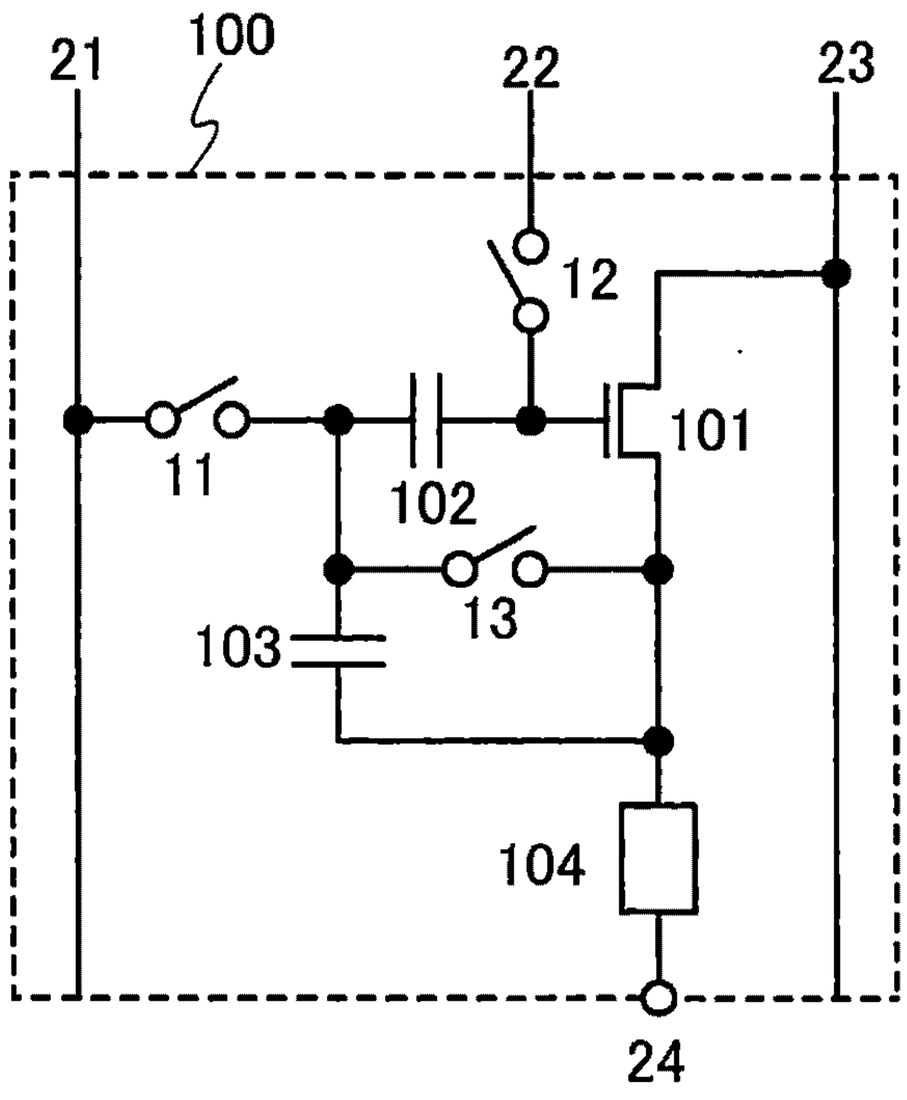
(57)摘要

本發明提供一種半導體裝置，該半導體裝置能夠抑制電晶體的特性不均勻或負載的不均勻，並對常開啟電晶體也有效。半導體裝置至少包括電晶體、兩個佈線、三個開關以及兩個電容元件。第一開關控制第一佈線與第一電容元件的第一電極及第二電容元件的第一電極之間的導通。第一電容元件的第二電極與電晶體的閘極連接。第二開關控制該閘極與第二佈線之間的導通。第二電容元件的第二電極與電晶體的源極和汲極中的一方連接。第三開關控制該源極和汲極中的一方與第一電容元件的第一電極及第二電容元件的第一電極之間的導通。

A semiconductor device that is less influenced by variations in characteristics between transistors or variations in a load, and is efficient even for normally-on transistors is provided. The semiconductor device includes at least a transistor, two wirings, three switches, and two capacitors. A first switch controls conduction between a first wiring and each of a first electrode of a first capacitor and a first electrode of a second capacitor. A second electrode of the first capacitor is connected to a gate of the transistor. A second switch controls conduction between the gate and a second wiring. A second electrode of the second capacitor is connected to one of a source and a drain of the transistor. A third switch controls conduction between the one of the source and the drain and each of the first electrode of the first capacitor and the first electrode of the second capacitor.

指定代表圖：

圖1B



符號簡單說明：

11・・・開關

12・・・開關

13・・・開關

21・・・佈線

22・・・佈線

23・・・佈線

24・・・佈線

100・・・電路

101・・・電晶體

102・・・電容元件

103・・・電容元件

104・・・負載

I699745

公告本

發明摘要

【發明名稱】(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

【中文】

本發明提供一種半導體裝置，該半導體裝置能夠抑制電晶體的特性不均勻或負載的不均勻，並對常開啓電晶體也有效。半導體裝置至少包括電晶體、兩個佈線、三個開關以及兩個電容元件。第一開關控制第一佈線與第一電容元件的第一電極及第二電容元件的第一電極之間的導通。第一電容元件的第二電極與電晶體的閘極連接。第二開關控制該閘極與第二佈線之間的導通。第二電容元件的第二電極與電晶體的源極和汲極中的一方連接。第三開關控制該源極和汲極中的一方與第一電容元件的第一電極及第二電容元件的第一電極之間的導通。

【英文】

A semiconductor device that is less influenced by variations in characteristics between transistors or variations in a load, and is efficient even for normally-on transistors is provided. The semiconductor device includes at least a transistor, two wirings, three switches, and two capacitors. A first switch controls conduction between a first wiring and each of a first electrode of a first capacitor and a first electrode of a second capacitor. A second electrode of the first capacitor is connected to a gate of the transistor. A second switch controls conduction between the gate and a second wiring. A second electrode of the second capacitor is connected to one of a source and a drain of the transistor. A third switch controls conduction between the one of the source and the drain and each of the first electrode of the first capacitor and the first electrode of the second capacitor.

【代表圖】

【本案指定代表圖】：第(1B)圖。

【本代表圖之符號簡單說明】：

11：開關

12：開關

13：開關

21：佈線

22：佈線

23：佈線

24：佈線

100：電路

101：電晶體

102：電容元件

103：電容元件

104：負載

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

【技術領域】

本發明係關於一種半導體裝置、發光裝置或顯示裝置。或者，本發明係關於一種該半導體裝置、該發光裝置或該顯示裝置的驅動方法或製造方法。作爲半導體裝置，例如，可以舉出具有主動元件如電晶體等的半導體裝置。作爲發光裝置，例如，可以舉出具有發光元件如電致發光元件(以下稱爲 EL 元件)等的發光裝置。作爲顯示裝置，例如，可以舉出具有發光元件如 EL 元件等或顯示元件的顯示裝置。尤其是，本發明係關於一種減小電晶體的特性不均勻性的影響的半導體裝置、發光裝置或顯示裝置，或者，本發明係關於一種該半導體裝置、該發光裝置或該顯示裝置的驅動方法。

【先前技術】

因爲使用發光元件的顯示裝置的可見度高而最合適於薄型化，且對視角也沒有限制，所以作爲 CRT(陰極射線管)或液晶顯示裝置的替代物，該使用發光元件的顯示裝置引人注目。關於使用發光元件的主動矩陣型顯示裝置，

各製造商已分別研發了互不相同的結構，但是，作爲一般的結構，在各像素中至少設置有發光元件、控制對像素的視頻信號的輸入的電晶體(開關用電晶體)以及控制供應到該發光元件的電流值的電晶體(驅動用電晶體)。

例如，藉由將設置在像素中的上述所有電晶體的導電型設定爲同一導電型，可以在電晶體的製程中省略對半導體膜添加賦予一導電性的雜質元素等的一部分的製程。在下述專利文獻 1 中，有像素只由 n 通道型電晶體構成的顯示裝置的記載。

[專利文獻 1] 日本專利申請公開第 2003-195810 號公報

在發光裝置或顯示裝置等半導體裝置中，因爲將電晶體的汲極電流供應到發光元件，所以若在像素之間發生電晶體的特性等的不均勻，則該不均勻也會影響到發光元件等顯示元件的亮度。因此，例如，預計到臨界電壓的不均勻性的負面影響，提供能夠補正電晶體的汲極電流的電流值的像素結構是在提高半導體裝置的品質的方面上很重要的課題。

【發明內容】

鑒於上述問題，本發明的一個方式的目的之一是：提供一種能夠抑制電晶體的特性不均勻的影響的半導體裝置、發光裝置或顯示裝置；提供一種能夠抑制電晶體的特性退化的影響的半導體裝置、發光裝置或顯示裝置；提供

一種能夠抑制由電晶體的臨界電壓的不均勻導致的亮度的不均勻的半導體裝置、發光裝置或顯示裝置；提供一種能夠抑制由電晶體的遷移率的不均勻導致的亮度的不均勻的半導體裝置、發光裝置或顯示裝置；提供一種即使電晶體爲常關閉型電晶體也能夠正常地工作的半導體裝置、發光裝置或顯示裝置；提供一種即使電晶體爲常關閉型電晶體也能夠得到電晶體的臨界電壓的半導體裝置、發光裝置或顯示裝置；提供一種進行高品質顯示的半導體裝置、發光裝置或顯示裝置；提供一種進行低不均勻性顯示的半導體裝置、發光裝置或顯示裝置；提供一種能夠使用數量少的電晶體實現所希望的電路的半導體裝置、發光裝置或顯示裝置；提供一種能夠使用數量少的佈線實現所希望的電路的半導體裝置、發光裝置或顯示裝置；提供一種能夠抑制發光元件退化的影響的半導體裝置、發光裝置或顯示裝置；或者，提供一種以數量少的製程製造的半導體裝置、發光裝置或顯示裝置。

注意，這些目的並不妨礙其他目的的存在。另外，本發明的一個方式不必須要達到上述所有目的。另外，上述以外的目的自然從說明書、圖式、申請專利範圍等的記載得知，而可以從說明書、圖式、申請專利範圍等的記載抽出上述以外的目的。

本發明的一個方式是一種半導體裝置，至少包括：電晶體；第一佈線；第二佈線；第一開關；第二開關；第三開關；第一電容元件；以及第二電容元件，其中，第一開

關具有選擇第一佈線與第一電容元件的一對電極中的一方之間的導通或非導通的功能，第一電容元件的一對電極中的一方與第二電容元件的一對電極中的一方電連接，第一電容元件的一對電極中的另一方與電晶體的閘極電連接，第二電容元件的一對電極中的另一方與電晶體的源極和汲極中的一方電連接，第二開關具有選擇第二佈線與電晶體的閘極之間的導通或非導通的功能，並且，第三開關具有選擇第一電容元件的一對電極中的一方與電晶體的源極和汲極中的一方之間的導通或非導通的功能。

在上述結構的半導體裝置中，預計到臨界電壓的不均勻性的負面影響而可以補正施加到電晶體(以下有時稱爲驅動用電晶體)的源極與閘極之間的電壓。由此，可以補正電晶體的汲極電流。

本發明的一個方式是一種半導體裝置，至少包括：電晶體；負載；第一佈線；第二佈線；第一開關；第二開關；第三開關；第一電容元件；以及第二電容元件，其中，第一開關具有選擇第一佈線與第一電容元件的一對電極中的一方之間的導通或非導通的功能，第一電容元件的一對電極中的一方與第二電容元件的一對電極中的一方電連接，第一電容元件的一對電極中的另一方與電晶體的閘極電連接，第二電容元件的一對電極中的另一方與負載及電晶體的源極和汲極中的一方電連接，第二開關具有選擇第二佈線與電晶體的閘極之間的導通或非導通的功能，並且，第三開關具有選擇第一電容元件的一對電極中的一方

與電晶體的源極和汲極中的一方之間的導通或非導通的功能。

在上述結構的半導體裝置中，預計到臨界電壓的不均勻性的負面影響而可以補正施加到電晶體(以下有時稱爲驅動用電晶體)的源極與閘極之間的電壓。由此，可以補正電晶體的汲極電流。並且，可以將該汲極電流供應到負載。

作爲負載，可以使用任意的元件或電路。例如，作爲負載，可以使用 EL 元件等發光元件。EL 元件等發光元件以與流過發光元件的陽極與陰極之間的電流的電流值成比例的亮度發光。

在使用發光元件作爲負載時，作爲一個例子，可以採用以下(類型 A)或(類型 B)的結構。

(類型 A)

在上述本發明的一個方式的半導體裝置中，電晶體(驅動用電晶體)的源極和汲極中的一方可以與發光元件的陽極電連接。在此情況下，該電晶體爲 n 通道型電晶體。另外，本發明的一個方式的半導體裝置包括具有控制第一佈線的電位的功能的單元(例如，驅動電路)，該單元(例如，驅動電路)以設有第一佈線的電位下降到發光元件的陰極的電位以下的期間的方式控制第一佈線的電位。

(類型 B)

在上述本發明的一個方式的半導體裝置中，電晶體(驅動用電晶體)的源極和汲極中的一方可以與發光元件的陰極電連接。在此情況下，該電晶體爲 p 通道型電晶體。另外，本發明的一個方式的半導體裝置包括具有控制第一佈線的電位的功能的單元(例如，驅動電路)，該單元(例如，驅動電路)以設有第一佈線的電位上升到發光元件的陽極的電位以上的期間的方式控制第一佈線的電位。

第一開關至第三開關都可以爲電晶體。該電晶體的導電型可以與驅動用電晶體的導電型相同。

上述本發明的一個方式的半導體裝置可以由在通道形成區中含有氧化物半導體的電晶體構成。或者，上述本發明的一個方式的半導體裝置可以由在通道形成區中含有單晶矽(例如，單晶矽層或單晶矽基板)的電晶體構成。或者，上述本發明的一個方式的半導體裝置可以由在通道形成區中含有多晶矽的電晶體構成。或者，上述本發明的一個方式的半導體裝置可以由在通道形成區中含有非晶矽的電晶體構成。

就是說，作爲電晶體，可以使用各種結構的電晶體。因此，對所使用的電晶體的種類沒有限制。例如，作爲電晶體的一個例子，可以使用具有單晶矽的電晶體或者具有以非晶矽、多晶矽或微晶(也稱爲微型晶、奈米晶、半非晶(semi-amorphous))矽等爲代表的非單晶半導體膜的薄膜電晶體(TFT)等。

另外，作爲電晶體的一個例子，可以使用具有化合物

半導體(如 SiGe、GaAs 等)或氧化物半導體(如 ZnO、InGaZnO、銦鋅氧化物、ITO(銦錫氧化物)、SnO、TiO、AlZnSnO(AZTO)、InSnZnO 等)等的電晶體或者具有對這些化合物半導體或氧化物半導體進行了薄膜化的薄膜電晶體等。藉由使用這些材料，可以降低製造溫度，所以例如可以在室溫下製造電晶體。其結果是，可以在低耐熱性的基板如塑膠基板或薄膜基板等上直接形成電晶體。此外，不僅將這些化合物半導體或氧化物半導體用於電晶體的通道部，而且還可以用作其他用途。例如，可以將這些化合物半導體或氧化物半導體用作佈線、電阻元件、像素電極或具有透光性的電極等。由於它們可以與電晶體同時進行成膜或形成，所以可以降低成本。

另外，作爲電晶體的一個例子，可以使用具有有機半導體或碳奈米管的電晶體等。

此外，作爲電晶體的一例，可以採用具有兩個以上的閘極電極的多閘極結構的電晶體。當採用多閘極結構時，由於將通道形成區串聯連接，所以成爲多個電晶體串聯連接的結構。因此，藉由採用多閘極結構，可以降低截止電流，提高電晶體的耐壓性(提高可靠性)。或者，藉由利用多閘極結構，當在飽和區工作時，即使汲極-源極間的電壓變化，汲極-源極間電流的變化也不太大，從而可以得到斜率平坦的電壓-電流特性。當利用斜率平坦的電壓-電流特性時，可以實現理想的電流源電路或電阻值非常高的主動負載。其結果是，可以實現特性良好的差動電路或電

流反射鏡電路等。

另外，作爲電晶體的一例，可以採用在通道上下配置有閘極電極的結構的電晶體。藉由採用在通道上下配置有閘極電極的結構，成爲多個電晶體並聯連接的結構。因此，通道區增加，所以可以增大電流值。或者，藉由採用在通道上下配置有閘極電極的結構，容易產生耗盡層，因此可以改善 S 值。

另外，作爲電晶體的一例，也可以採用將閘極電極配置在通道形成區上的結構、將閘極電極配置在通道形成區下的結構、交錯結構、反交錯結構、將通道形成區分割成多個區的結構、並聯連接通道形成區的結構或者串聯連接通道形成區的結構。

另外，作爲電晶體的一例，可以應用設置有 LDD 區的結構的電晶體。藉由設置 LDD 區，可以降低截止電流或者提高電晶體的耐壓性(提高可靠性)。或者，藉由設置 LDD 區，當在飽和區工作時，即使汲極-源極間的電壓變化，汲極電流的變化也不太大，從而可以得到斜率平坦的電壓-電流特性。

另外，關於在說明書中的圖式或文章中未規定的內容，可以構成規定爲不包括該內容的發明。或者，在作爲某一值記載以上限值和下限值等表示的數值範圍時，藉由任意縮小該範圍或者去除該範圍中的一點，可以以去除該範圍的一部的方式規定發明。由此，例如，可以規定爲本發明的技術範圍內不包括現有技術。

作爲具體例子，假設記載有在某個電路中使用第一至第五電晶體的電路圖的情況。在此情況下，作爲發明，可以規定爲“該電路沒有第六電晶體”。或者，作爲發明，可以規定爲“該電路沒有電容元件”。再者，作爲發明，可以規定爲“該電路沒有具有某個特定的連接結構的第六電晶體”。或者，作爲發明，可以規定爲“該電路沒有具有某個特定的連接結構的電容元件”。例如，作爲發明，可以規定爲“沒有其閘極與第三電晶體的閘極連接的第六電晶體”。或者，例如，作爲發明，可以規定爲“沒有其第一電極與第三電晶體的閘極連接的電容元件”。

作爲其他具體例子，假設作爲某一值記載有“較佳的是，某一電壓爲 3V 以上 10V 以下”的情況。在此情況下，例如，作爲發明，可以規定爲“不包括某一電壓爲-2V 以上 1V 以下的情況”。或者，例如，作爲發明，可以規定爲“不包括某一電壓爲 13V 以上的情況”。另外，例如，作爲發明，可以規定爲“該電壓爲 5V 以上 8V 以下”。另外，例如，作爲發明，可以規定爲“該電壓大約爲 9V”。另外，例如，作爲發明，可以規定爲“該電壓爲 3V 以上 10V 以下，但是不包括該電壓爲 9V 的情況”。

作爲其他具體例子，假設作爲某一值記載有“較佳的是，某一電壓爲 10V”的情況。在此情況下，例如，作爲發明，可以規定爲“不包括某一電壓爲-2V 以上 1V 以下的情況”。或者，例如，作爲發明，可以規定爲“不包括某一電壓爲 13V 以上的情況”。

作為其他具體例子，假設作為某一物質的性質記載有“某一膜為絕緣膜”的情況。在此情況下，例如，作為發明，可以規定為“不包括該絕緣膜為有機絕緣膜的情況”。或者，例如，作為發明，可以規定為“不包括該絕緣膜為無機絕緣膜的情況”。

作為其他具體例子，假設作為某一層疊結構記載有“在 A 與 B 之間設置有某一膜”的情況。在此情況下，例如，作為發明，可以規定為“不包括該膜為四層以上的疊層膜的情況”。或者，例如，作為發明，可以規定為“不包括在 A 與該膜之間設置有導電膜的情況”。

在本發明的一個方式中，可以根據驅動用電晶體的臨界電壓而設定施加到該驅動用電晶體的源極與閘極之間的電壓。由此，可以提供一種能夠抑制電晶體的特性不均勻的影響的半導體裝置、發光裝置或顯示裝置。或者，可以提供一種能夠抑制電晶體的特性退化的影響的半導體裝置、發光裝置或顯示裝置。或者，可以提供一種能夠抑制由電晶體的臨界電壓的不均勻導致的亮度的不均勻的半導體裝置、發光裝置或顯示裝置。或者，可以提供一種能夠抑制由電晶體的遷移率的不均勻導致的亮度的不均勻的半導體裝置、發光裝置或顯示裝置。或者，本發明的一個方式可以提供一種即使電晶體為常關閉型電晶體也能夠正常地工作的半導體裝置、發光裝置或顯示裝置。或者，本發明的一個方式可以提供一種即使電晶體為常關閉型電晶體也能夠得到電晶體的臨界電壓的半導體裝置、發光裝置或

顯示裝置。或者，可以提供一種進行高品質顯示的半導體裝置、發光裝置或顯示裝置。或者，可以提供一種進行低不均勻性顯示的半導體裝置、發光裝置或顯示裝置。或者，可以提供一種能夠使用數量少的電晶體實現所希望的電路的半導體裝置、發光裝置或顯示裝置。或者，可以提供一種能夠使用數量少的佈線實現所希望的電路的半導體裝置、發光裝置或顯示裝置。或者，可以提供一種能夠抑制發光元件退化的影響的半導體裝置、發光裝置或顯示裝置。或者，可以提供一種以數量少的製程製造的半導體裝置、發光裝置或顯示裝置。

【圖式簡單說明】

圖 1A 至 1D 是示出半導體裝置的結構的圖；

圖 2A 至 2D 是示出半導體裝置的結構的圖；

圖 3A 至 3D 是示出半導體裝置的結構的圖；

圖 4A 至 4D 是示出半導體裝置的結構的圖；

圖 5A 是時序圖，而圖 5B 和 5C 是示出半導體裝置的工作的圖；

圖 6A 至 6C 是示出半導體裝置的工作的圖；

圖 7A 至 7E 是示出半導體裝置的工作的圖；

圖 8A 至 8D 是示出半導體裝置的結構的圖；

圖 9A 至 9D 是示出半導體裝置的結構的圖；

圖 10A 和 10B 是示出半導體裝置的結構的圖；

圖 11A 至 11D 是示出半導體裝置的結構的圖；

圖 12A 至 12D 是示出半導體裝置的結構的圖；

圖 13A 至 13D 是示出半導體裝置的結構的圖；

圖 14A 至 14D 是示出半導體裝置的結構的圖；

圖 15A 至 15D 是示出半導體裝置的結構的圖；

圖 16A 至 16D 是示出半導體裝置的結構的圖；

圖 17A 是時序圖，而圖 17B 和 17C 是示出半導體裝置的工作的圖；

圖 18A 和 18B 是示出半導體裝置的工作的圖；

圖 19A 至 19D 是示出半導體裝置的工作的圖；

圖 20A 是時序圖，而圖 20B 是示出半導體裝置的工作的圖；

圖 21A 至 21E 是示出半導體裝置的結構的圖；

圖 22A 至 22E 是示出半導體裝置的結構的圖；

圖 23A 和 23B 是示出半導體裝置的結構的圖；

圖 24A 至 24D 是示出半導體裝置的結構的圖；

圖 25A 至 25D 是示出半導體裝置的結構的圖；

圖 26A 至 26D 是示出半導體裝置的結構的圖；

圖 27A 至 27D 是示出半導體裝置的結構的圖；

圖 28A 至 28D 是示出半導體裝置的結構的圖；

圖 29A 至 29D 是示出半導體裝置的結構的圖；

圖 30A 至 30D 是示出半導體裝置的結構的圖；

圖 31A 至 31D 是示出半導體裝置的結構的圖；

圖 32A 至 32D 是示出半導體裝置的結構的圖；

圖 33A 至 33D 是示出半導體裝置的結構的圖；

圖 34A 至 34D 是示出半導體裝置的結構的圖；

圖 35A 至 35D 是示出半導體裝置的工作的圖；

圖 36 是示出半導體裝置的工作的圖；

圖 37A 至 37D 是示出半導體裝置的結構的圖；

圖 38A 至 38D 是示出半導體裝置的結構的圖；

圖 39 是示出半導體裝置的結構的圖；

圖 40 是示出半導體裝置的結構的圖；

圖 41 是示出半導體裝置的結構的圖；

圖 42A 至 42D 是示出半導體裝置的結構的圖；

圖 43A 至 43F 是示出半導體裝置的結構的圖；

圖 44A 至 44F 是示出半導體裝置的結構的圖；

圖 45A 至 45D 是示出半導體裝置的結構的圖；

圖 46A 至 46D 是示出半導體裝置的結構的圖；

圖 47A 至 47D 是示出半導體裝置的結構的圖；

圖 48A 至 48D 是示出半導體裝置的結構的圖；

圖 49A 至 49D 是示出半導體裝置的結構的圖；

圖 50A 至 50D 是示出半導體裝置的結構的圖；

圖 51A 至 51D 是示出半導體裝置的結構的圖；

圖 52A 至 52D 是示出半導體裝置的結構的圖；

圖 53A 至 53D 是示出半導體裝置的結構的圖；

圖 54A 至 54D 是示出半導體裝置的結構的圖；

圖 55A 至 55C 是示出半導體裝置的結構的圖；

圖 56A 至 56C 是示出半導體裝置的結構的圖；

圖 57A 至 57D 是示出半導體裝置的結構的圖；

圖 58A 至 58D 是示出半導體裝置的結構的圖；

圖 59A 至 59C 是示出半導體裝置的結構的圖；

圖 60A 至 60C 是示出半導體裝置的結構的圖；

圖 61A 至 61D 是示出半導體裝置的結構的圖；

圖 62A 至 62D 是示出半導體裝置的結構的圖；

圖 63A 至 63D 是示出半導體裝置的結構的圖；

圖 64A 至 64D 是示出半導體裝置的結構的圖；

圖 65A 至 65D 是示出半導體裝置的結構的圖；

圖 66A 至 66D 是示出半導體裝置的結構的圖；

圖 67A 至 67C 是示出半導體裝置的結構的圖；

圖 68A 至 68C 是示出半導體裝置的結構的圖；

圖 69A 至 69D 是示出半導體裝置的結構的圖；

圖 70A 至 70D 是示出半導體裝置的結構的圖；

圖 71A 至 71D 是示出半導體裝置的結構的圖；

圖 72A 至 72D 是示出半導體裝置的工作的圖；

圖 73A 至 73D 是示出半導體裝置的結構的圖；

圖 74A 至 74F 是示出半導體裝置的結構的圖；

圖 75A 至 75E 是示出半導體裝置的結構的圖；

圖 76A 至 76G 是示出半導體裝置的結構的圖；

圖 77 是示出半導體裝置的結構的圖；

圖 78 是示出半導體裝置的結構的圖；

圖 79 是示出半導體裝置的結構的圖；

圖 80A 和 80B 是示出半導體裝置的結構的圖；

圖 81A 至 81C 是示出半導體裝置的結構的圖；

圖 82A 至 82D 是示出半導體裝置的結構的圖；

圖 83A 和 83B 是示出半導體裝置的結構的圖；

圖 84A 和 84B 是示出半導體裝置的結構的圖；

圖 85A 至 85F 是示出電子裝置的圖；

圖 86 是示出半導體裝置的結構的圖；

圖 87A 至 87D 是示出半導體裝置的結構的圖；

圖 88A 是示出半導體裝置的結構的圖，而圖 88B 是時序圖；

圖 89 是示出計算結果的圖；

圖 90 是示出計算結果的圖；

圖 91 是示出電子裝置的圖。

【實施方式】

以下，參照圖式詳細地說明本發明的實施方式。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是本發明在不脫離本發明的宗旨及其範圍的條件下，其方式及詳細內容可以被變換爲各種各樣的形式。因此，本發明不應該被解釋爲僅限定於以下所示的實施方式的記載內容中。另外，在以下說明的結構中，在不同的圖式之間共同使用同一符號表示同一部分或具有類似功能的部分，而省略其重複說明。

另外，可以以在一個實施方式中描述的內容(也可以是其一部分的內容)對在該實施方式中描述的其他內容(也可以是其一部分的內容)和/或在一個或多個其他實施方式

中描述的內容(也可以是其一部分的內容)進行應用、組合或置換等。

另外，可以以在一個實施方式中描述的圖式(也可以是其一部分)的結構對該圖式的其他部分的結構、在該實施方式中描述的其他圖式(也可以其一部分)的結構和/或在一個或多個其他實施方式中描述的圖式(也可以是其一部分)的結構進行組合。

另外，在圖式中，有時爲了清楚瞭解而誇大尺寸、厚度或區域。因此，本發明的實施方式之一並不一定侷限於該尺度(scale)。或者，圖式是以示意的方式示出了理想的例子，因此本發明的實施方式之一並不侷限於圖式所示的形狀等。例如，容許由製造技術導致的形狀不均勻或由誤差導致的形狀不均勻等。

另外，當明確地記載“X 與 Y 連接”時，包括如下情況：X 與 Y 電連接；X 與 Y 在功能上連接；以及 X 與 Y 直接連接。這裏，X 和 Y 爲目標物(例如，裝置、元件、電路、佈線、電極、端子、導電膜、層、顯示元件、發光元件以及負載等)。因此，還包括圖式或文章所示的連接關係以外的連接關係，而不侷限於預定的連接關係例如圖式或文章所示的連接關係。

作爲 X 與 Y 電連接的情況的一個例子，可以在 X 與 Y 之間連接一個以上的能夠電連接 X 與 Y 的元件(例如開關、電晶體、電容元件、電感器、電阻元件、二極體、顯示元件、發光元件、負載等)。另外，開關具有控制導通

和截止的功能。就是說，開關具有成爲導通狀態(開啓狀態)或非導通狀態(截止狀態)而控制是否使電流流過該開關的功能。或者，開關具有選擇形成電流的路徑而切換的功能。

當 X 與 Y 在功能上連接時，例如，可以在 X 與 Y 之間連接有一個以上的能夠在功能上連接 X 與 Y 的電路(例如，邏輯電路(反相器、NAND 電路、NOR 電路等)、信號轉換電路(DA 轉換電路、AD 轉換電路、伽馬校正電路等)、電位電平轉換電路(電源電路(升壓電路、降壓電路等)、改變信號的電位電平的電平轉移電路等)、電壓源、電流源、切換電路、放大電路(能夠增大信號振幅或電流量等的電路、運算放大器、差動放大電路、源極跟隨電路、緩衝電路等)、信號產生電路、儲存電路、控制電路等)。另外，作爲一個例子，即使在 X 與 Y 之間夾有其他電路，當從 X 輸出的信號傳送到 Y 時，X 與 Y 也可以說是在功能上連接。

此外，當明確地記載“X 與 Y 連接”時，包括如下情況：X 與 Y 電連接；X 與 Y 在功能上連接；以及 X 與 Y 直接連接。就是說，當明確地描述“電連接”時，與僅僅簡單地明確描述“連接”的情況相同。

另外，即使在電路圖上圖示爲獨立的結構要素彼此電連接的情況下，也有時一個結構要素兼有多個結構要素的功能。例如，在將佈線的一部分還用作電極時，一個導電膜兼有佈線的功能和電極的功能的兩者。因此，本說明書

中的“電連接”的範疇內還包括這種一個導電膜兼有多個結構要素的功能的情況。

另外，即使未特定主動元件(電晶體、二極體等)、被動元件(電容元件、電阻元件等)等所具有的所有端子的連接目標，所屬[發明所屬之技術領域]的普通技術人員有時也能夠構成發明的一個方式。就是說，即使未特定連接位置，也有時可以明確發明的一個方式而被判斷爲在本說明書等中記載有該發明的一個方式。尤其是在有多個端子的連接目標的情況下，該端子的連接目標不必限定在特定的部分。因此，有時藉由僅特定主動元件(電晶體、二極體等)、被動元件(電容元件、電阻元件等)等所具有的一部分的端子的連接目標，能夠構成發明的一個方式。

另外，只要至少特定某一個電路的連接目標，所屬技術領域的普通技術人員就有時可以特定發明。或者，只要至少特定某一個電路的功能，所屬技術領域的普通技術人員就有時可以特定發明。就是說，只要特定功能，有時就可以明確發明的一個方式而被判斷爲在本說明書等中記載有該發明的一個方式。因此，即使未特定某一個電路的功能，也只要特定其連接目標就可公開發明的一個方式，而可以構成發明的一個方式。或者，即使未特定某一個電路的連接目標，也只要特定其功能就可公開發明的一個方式，而可以構成發明的一個方式。

此外，各種各樣的人可以實施本發明的實施方式之一。但是，有時不同的人實施該發明。例如，關於收發系

統，A 公司製造銷售發送器，而 B 公司製造銷售接收器。作爲另一個例子，關於具有 TFT 及發光元件的發光裝置，A 公司製造銷售形成有 TFT 的半導體裝置。而且，B 公司購買該半導體裝置，在該半導體裝置中形成發光元件，而完成發光裝置。

在此情況下，可以構成可對 A 公司和 B 公司中的任一公司主張侵犯專利的發明的一個方式。因此，可對 A 公司或 B 公司主張侵犯專利的發明的一個方式明確，從而可以判斷在本說明書等中記載有該發明的一個方式。例如，關於收發系統，只有發送器可以構成發明的一個方式，只有接收器可以構成發明的一個方式，這些發明的一個方式明確，從而可以判斷在本說明書等中記載有這些發明的一個方式。作爲另一個例子，關於具有 TFT 及發光元件的發光裝置，只有形成有 TFT 的半導體裝置可以構成發明的一個方式，只有具有 TFT 及發光元件的發光裝置可以構成發明的一個方式，這些發明的一個方式明確，從而可以判斷在本說明書等中記載有這些發明的一個方式。

實施方式 1

本發明的一個方式不僅可以用作具有發光元件的像素，而且還可以用作各種電路。例如，既可用作類比電路，又可用作具有電流源的功能的電路。首先，在本實施方式中，描述本發明所公開的電路的基本原理的一個例子。

例如，本發明的一個方式的半導體裝置至少包括：電晶體；以及具有在固定該電晶體的閘極電位的狀態下釋放儲存在閘極-源極間的電荷的功能的結構。根據上述結構，本發明的一個方式的半導體裝置能夠補正起因於電晶體的臨界電壓或遷移率等的汲極電流的不均勻。

圖 1A 所示的電路 100 是本發明的一個方式的半導體裝置。電路 100 具有開關 11、開關 12、開關 13、電晶體 101、電容元件 102 以及電容元件 103。另外，作爲一個例子，圖 1A 示出電晶體 101 爲 n 通道型電晶體的情況。

明確地說，在圖 1A 中，開關 11 具有控制佈線 21 與電容元件 102 中的一方電極(端子)或電容元件 103 中的一方電極(端子)之間的導通狀態的功能。開關 12 具有控制佈線 22 與電容元件 102 中的另一方電極(端子)及電晶體 101 的閘極之間的導通狀態的功能。開關 13 具有控制電晶體 101 的源極和汲極中的一方或電容元件 103 中的另一方電極(端子)與電容元件 102 中的一方電極或電容元件 103 中的一方電極(端子)之間的導通狀態的功能。電晶體 101 的源極和汲極中的另一方與佈線 23 連接。電晶體 101 的源極和汲極中的一方或電容元件 103 中的另一方電極(端子)與佈線 24 連接。

另外，電晶體所具有的源極(源極端子、源極區或源極電極)和汲極(汲極端子、汲極區或汲極電極)的名稱根據電晶體的極性及施加到源極和汲極的電位的高低而可以互換使用。通常，對於 n 通道型電晶體的源極和汲極來說，

將被施加低電位的一個稱爲源極，並將被施加高電位的一個稱爲汲極。通常，對於 p 通道型電晶體的源極和汲極來說，將被施加低電位的一個稱爲汲極，並將被施加高電位的一個稱爲源極。在本說明書中，儘管爲方便起見在一些情況下假定源極和汲極是固定的來描述電晶體的連接關係，但是實際上，源極和汲極的名稱根據上述電位的關係而可以互換使用。因此，有時不將用作源極的部分及用作汲極的部分稱爲源極或汲極。在此情況下，作爲一個例子，有時將源極和汲極中的一方稱爲第一端子、第一電極或第一區域，並且將源極和汲極的另一方稱爲第二端子、第二電極或第二區域。

開關具有轉換端子之間的導通狀態和非導通狀態而工作的功能，而是具有控制是否使電流流過該端子之間的功能的元件。或者，開關具有選擇形成電流的路徑而轉換的功能，例如，具有選擇使電流流過路徑 1 還是使電流流過路徑 2 而切換的功能。例如，可以使用電開關或機械開關等。明確地說，開關可以由電晶體、二極體或像數位微鏡裝置(DMD)那樣的利用 MEMS(微電子機械系統)技術的開關等構成。另外，開關也可以是組合電晶體的邏輯電路。

在將電晶體用作開關的情況下，對該電晶體的極性沒有特別的限制。但是，較佳的是，使用截止電流小的電晶體，而根據輸入電位而分別選用電晶體的極性較佳。

作爲截止電流小的電晶體，有具有 LDD 區的電晶體或具有多閘極結構的電晶體或在通道形成區中含有氧化物

半導體的電晶體等。另外，在組合電晶體而形成開關時，也可以形成使用 n 通道型電晶體和 p 通道型電晶體的兩者的互補型開關。藉由使用互補型開關，即使與輸出電位相比輸入到開關的電位相對地變化，也可以進行準確的工作。

另外，在將電晶體用作開關的情況下，開關有時具有輸入端子(源極和汲極中的一方)、輸出端子(源極和汲極中的另一方)以及控制導通的端子(閘極)。另一方面，在將二極體用作開關的情況下，開關有時不具有控制導通的端子。因此，與將電晶體用作開關的情況相比，在將二極體用作開關的情況下可以減少用來控制端子的佈線。

作爲電晶體的一個例子，可以應用在通道形成區的上下配置有閘極的電晶體。藉由在半導體膜的上方和下方設置閘極，得到多個電晶體並聯連接的電路結構。因此，通道形成區增加，所以可以增大電流值。或者，藉由採用在通道形成區上下配置有閘極的結構，容易得到耗盡層而可以降低 S 值。

另外，作爲電晶體的一個例子，可以使用源極電極、汲極電極重疊於通道形成區(或其一部分)的電晶體。藉由採用源極電極、汲極電極重疊於通道形成區(或其一部分)的結構，可以防止由於電荷聚集在通道形成區的一部分中而導致的工作不穩定。

另外，作爲電容元件 102 或電容元件 103，例如，可以採用由佈線、半導體膜或電極等夾有絕緣膜或有機膜的

結構。

另外，圖 1A 所示的電路 100 也可以如圖 1B 所示那樣具有負載 104。在圖 1B 所示的電路 100 中，負載 104 連接於電晶體 101 的源極和汲極中的一方或電容元件 103 中的另一方電極與佈線 24 之間。

另外，在本說明書中，作爲負載，例如，有具有整流性的、具有電容性的、具有電阻性的、具有開關的電路、像素電路或電流源電路等。例如，“具有整流性的”是指具有根據所施加的偏壓方向而具有不同的電阻值的電流電壓特性，並具有幾乎只在一個方向上供應電流的電特性的。明確地說，作爲負載 104，可以舉出：顯示元件(液晶元件、EL 元件等)；發光元件(EL(電致發光)元件，即包含有機物及無機物的 EL 元件、有機 EL 元件、無機 EL 元件)；LED(白色 LED、紅色 LED、綠色 LED、藍色 LED 等)；電晶體(根據電流發光的電晶體)；電子發射元件；顯示元件或發光元件的一部分(如像素電極、陽極、陰極)等。

圖 1C 示出使用發光元件 104a 作爲負載 104 時的電路 100 的結構。作爲一個例子，圖 1C 示出如下情況：發光元件 104a 的陽極與電晶體 101 的源極和汲極中的一方(或源極)或電容元件 103 中的另一方電極連接，而發光元件 104a 的陰極與佈線 24 連接。

另外，圖 1D 示出使用發光元件 104b 作爲負載 104 時的電路 100 的結構。作爲一個例子，圖 1D 示出如下情

況：發光元件 104b 的陰極與電晶體 101 的源極和汲極中的一方或電容元件 103 中的另一方電極連接，而發光元件 104b 的陽極與佈線 24 連接。另外，作爲一個例子，圖 1D 示出電晶體 101 爲 p 通道型電晶體的情況。

另外，例如，除了圖 1A 至 1D 所示的電路 100 以外，本發明的一個方式的半導體裝置還可以包括具有將各種固定電壓或信號供應到電路 100 的功能的電路。

除了圖 1A 至 1D 所示的電路 100 以外，圖 2A 至 2D 所示的半導體裝置還分別包括：具有將固定電壓或信號供應到佈線 21 的功能的電路 201；具有將固定電壓或信號供應到佈線 22 的功能的電路 202；具有將固定電壓或信號供應到佈線 23 的功能的電路 203；以及具有將固定電壓或信號供應到佈線 24 的功能的電路 204。

明確地說，電路 201 具有將電位 Vi1 或電位 Vsig 供應到佈線 21 的功能。作爲電路 201 的例子，有源極驅動器(信號線驅動電路)等。因此，佈線 21 具有能夠傳送或供應電位 Vi1 及/或電位 Vsig 的功能。或者，佈線 21 具有視頻信號線的功能。或者，佈線 21 具有初始化用佈線的功能。

電位 Vi1 是用來使電路 100 內的各節點的電位初始化的電位。或者，作爲一個例子，電位 Vi1 是用來將電荷供應到電容元件 102 的電位。或者，作爲一個例子，電位 Vi1 是用來使電晶體 101 成爲導通狀態的電位。另外，電位 Vi1 爲固定的電位較佳，但是本發明的實施方式之一不

侷限於此，電位 Vi1 也可以像脈衝信號那樣變動。

另外，作爲一個例子，在將電位 Vsig 供應到電路 100 之前，將電位 Vi1 供應到電路 100。

電位 Vsig 是用來控制電晶體 101 的汲極電流的大小的電位。在圖 2B 所示的半導體裝置中，將上述汲極電流供應到負載 104。在圖 2C 所示的半導體裝置中，將上述汲極電流供應到發光元件 104a。在圖 2D 所示的半導體裝置中，將上述汲極電流供應到發光元件 104b。例如，在將電晶體 101 的汲極電流保持爲固定值時，固定電位 Vsig。另外，例如，在不將電晶體 101 的汲極電流保持爲固定值時，使電位 Vsig 隨時變化。作爲一個例子，電位 Vsig 爲視頻信號及/或類比信號。但是，本發明的實施方式之一不侷限於此，電位 Vsig 也可以爲固定的電位。

另外，電路 202 具有將電位 Vi2 供應到佈線 22 的功能。作爲電路 202 的例子，有電源電路等。因此，佈線 22 具有能夠傳送或供應電位 Vi2 的功能。或者，佈線 22 具有初始化用佈線的功能。另外，佈線 22 的電位爲固定的電位較佳，但是本發明的實施方式之一不侷限於此，佈線 22 的電位也可以像脈衝信號那樣變動。

電位 Vi2 是用來使電路 100 內的各節點(尤其是，電晶體 101 的閘極)的電位初始化的電位。另外，在圖 2C 中，電位 Vi2 等於或低於佈線 24 的電位較佳。由此，可以降低流過發光元件 104a 的電流。在圖 2D 中，電位 Vi2 等於或高於佈線 24 的電位較佳。由此，可以降低流過發

光元件 104b 的電流。另外，電位 Vi2 不侷限於上述電位。另外，電位 Vi2 爲固定的電位較佳，但是本發明的實施方式之一不侷限於此，電位 Vi2 也可以像脈衝信號那樣變動。

另外，佈線 22 可以與其他佈線或其他電路 100 所具有的佈線連接。由此，可以減少佈線數量。

另外，電路 203 具有將電源電位(高電源電位或低電源電位)如電位 VDD 或電位 VSS 供應到佈線 23 的功能。或者，電路 203 具有將信號供應到佈線 23 的功能。作爲電路 203 的例子，有電源電路、脈衝輸出電路以及閘極驅動器電路等。因此，佈線 23 具有能夠傳送或供應電源電位或信號的功能。或者，佈線 23 具有能夠將電流供應到電晶體 101 的功能。或者，佈線 23 具有能夠將電流供應到負載 104 的功能。或者，佈線 23 具有電源線的功能。或者，佈線 23 具有電流供應線的功能。另外，佈線 23 的電位爲固定的電位較佳，但是本發明的實施方式之一不侷限於此，佈線 23 的電位也可以像脈衝信號那樣變動。例如，佈線 23 的電位也可以是不僅將正偏壓施加到負載 104 而且還將反偏壓施加到負載 104 的電位。

另外，電路 204 具有將電源電位(低電源電位或高電源電位)如電位 Vcat 供應到佈線 24 的功能。作爲電路 204 的例子，有電源電路等。因此，佈線 24 具有能夠傳送或供應電源電位的功能。或者，佈線 24 具有能夠將電流供應到負載 104 的功能。或者，佈線 24 具有能夠將電流供

應到電晶體 101 的功能。或者，佈線 24 具有共用線的功能。或者，佈線 24 具有陰極佈線的功能。或者，佈線 24 具有陽極佈線的功能。另外，佈線 24 的電位爲固定的電位較佳，但是本發明的實施方式之一不侷限於此，佈線 24 的電位也可以像脈衝信號那樣變動。例如，佈線 24 的電位也可以是不僅將正偏壓施加到負載 104 而且還將反偏壓施加到負載 104 的電位。

電晶體 101 中的汲極電流的方向取決於電位 VDD 與電位 Vcat 之間的電位差。例如，在電位 VDD 高於電位 Vcat 時，電流從佈線 23 流到佈線 24。在佈線 23 的電位爲電位 VSS 且該電位 VSS 低於電位 Vcat 時，電流從佈線 24 流到佈線 23。

另外，作爲一個例子，在圖 2A 至 2D 中示出半導體裝置除了電路 100 以外還具有電路 201、電路 202、電路 203 以及電路 204 的情況，但是本發明的一個方式的半導體裝置不必須要具有電路 201、電路 202、電路 203 以及電路 204 的所有電路，也可以只具有它們中的任何一個或多個。

另外，作爲電晶體 101，作爲一個例子，至少具有電流源的功能。因此，例如，電晶體 101 具有即使施加到電晶體 101 的兩端(源極與汲極之間)的電壓的大小變化也供應大致固定的電流的功能。或者，例如，電晶體 101 具有即使負載 104 的電位變化也將大致固定的電流供應到負載 104 的功能。或者，例如，電晶體 101 具有即使佈線 23

的電位變化也供應大致固定的電流的功能。

但是，本發明的實施方式之一不侷限於此，電晶體 101 也可以不具有電流源的功能。例如，電晶體 101 可以具有開關的功能。

另外，作爲與電流源不同的電源，有電壓源。電壓源具有即使流過與該電壓源連接的電路的電流變化也供應固定的電壓的功能。因此，電壓源和電流源都具有供應電壓和電流的功能，它們的功能的差異在於：在某一因素變化時，供應固定的什麼因素。電流源具有即使兩端的電壓變化也供應固定的電流的功能。電壓源具有即使電流變化也供應固定的電壓的功能。

另外，因爲圖 1A 至 1D 等示出電路結構的一個例子，所以可以追加電晶體。與此相反，在圖 1A 至 1D 等的各節點中，也可以不追加電晶體、開關、被動元件等。例如，在各開關的端子連接的節點、電晶體的各端子連接的節點及/或負載的各端子連接的節點中，也可以不增加更多的直接連接的電晶體。因此，例如，可以採用如下結構：在負載 104、電晶體 101、電容元件 103 以及開關 13 連接的節點中，直接連接的電晶體只是電晶體 101，並且其他電晶體不與該節點直接連接。

因此，在不追加電晶體時，可以使用數量少的電晶體構成電路。

另外，圖 1A 至 2D 所示的電路 100 可以使用電晶體作爲開關 11、開關 12 以及開關 13。

圖 3A 至 3D 示出如下結構：在圖 1A 至 1D 所示的電路 100 中，開關 11、開關 12 以及開關 13 分別使用電晶體 11t、電晶體 12t 以及電晶體 13t。其中，圖 3A 至 3C 示出如下結構：電晶體 11t、電晶體 12t 以及電晶體 13t 都是 n 通道型電晶體。另外，作爲一個例子，圖 3D 示出如下結構：電晶體 11t、電晶體 12t 以及電晶體 13t 都是 p 通道型電晶體。藉由使電晶體 11t、電晶體 12t 以及電晶體 13t 都由同一極性的電晶體構成，可以以數量少的製程製造這些電晶體。但是，本發明的實施方式之一不侷限於此，也可以使用不同極性的電晶體。

另外，在圖 3A 至 3D 中，電晶體 11t 的閘極與佈線 31 連接。電晶體 11t 根據供應到佈線 31 的電位而成爲導通狀態或非導通狀態。電晶體 12t 的閘極與佈線 32 連接。電晶體 12t 根據供應到佈線 32 的電位而成爲導通狀態或非導通狀態。電晶體 13t 的閘極與佈線 33 連接。電晶體 13t 根據供應到佈線 33 的電位而成爲導通狀態或非導通狀態。因此，較佳的是，佈線 31 至佈線 33 的電位爲脈衝狀而不是固定的，但是本發明的實施方式之一不侷限於此。或者，佈線 31 至佈線 33 具有閘極信號線(閘極線)、選擇信號線或掃描線的功能。

另外，佈線 31 至佈線 33 中的至少兩個佈線可以彼此連接。或者，佈線 31 至佈線 33 中的至少一個佈線可以與其他電路 100 的佈線 31 至佈線 33 中的至少一個連接。

除了圖 3A 至 3D 所示的電路 100 以外，本發明的一

個方式的半導體裝置還可以包括具有將各種固定電壓或信號供應到電路 100 的功能的電路。

除了圖 3A 至 3D 所示的電路 100 以外，圖 4A 至 4D 所示的半導體裝置還分別包括：具有將固定電壓或信號供應到佈線 31 的功能的電路 205；具有將固定電壓或信號供應到佈線 32 的功能的電路 206；以及具有將固定電壓或信號供應到佈線 33 的功能的電路 207。作爲電路 205、電路 206 以及電路 207 的例子，有閘極驅動器(掃描線驅動電路)等。

另外，電路 201、電路 202、電路 203、電路 204、電路 205、電路 206 以及電路 207 既可爲同一電路，又可爲不同的電路。

另外，作爲一個例子，在圖 4A 至 4D 中示出半導體裝置除了電路 100 以外還具有電路 205、電路 206 以及電路 207 的情況，但是本發明的一個方式的半導體裝置不必須要具有電路 205、電路 206 以及電路 207 的所有電路，也可以只具有它們中的任何一個或多個。

另外，圖 37A 示出如下情況下的電路 100 的結構：在圖 3C 所示的電路 100 中，電晶體 101、電晶體 11t 以及電晶體 13t 爲 n 通道型電晶體，並且電晶體 12t 爲 p 通道型電晶體。另外，圖 37B 示出如下情況下的電路 100 的結構：在圖 3D 所示的電路 100 中，電晶體 101、電晶體 11t 以及電晶體 13t 爲 p 通道型電晶體，並且電晶體 12t 爲 n 通道型電晶體。像這樣，可以使用各種極性的電晶體。

另外，除了圖 37A 及 37B 所示的電路 100 以外，本發明的一個方式的半導體裝置還可以包括具有將各種固定電壓或信號供應到電路 100 的功能的電路。

除了圖 37A 及 37B 所示的電路 100 以外，圖 37C 及 37D 所示的半導體裝置還分別包括：具有將固定電壓或信號供應到佈線 31 的功能的電路 205；具有將固定電壓或信號供應到佈線 32 的功能的電路 206；以及具有將固定電壓或信號供應到佈線 33 的功能的電路 207。

另外，作爲一個例子，在圖 37C 及 37D 中示出半導體裝置除了電路 100 以外還具有電路 205、電路 206 以及電路 207 的情況，但是本發明的一個方式的半導體裝置不必須要具有電路 205、電路 206 以及電路 207 的所有電路，也可以只具有它們中的任何一個或多個。

另外，在形成電流時，電晶體 101 在很多情況下工作在飽和區中。因此，在圖 3A 至 4D 以及圖 37A 至 37D 中，較佳的是，電晶體 101 的通道長度或閘極長度比電晶體 11t、電晶體 12t 及/或電晶體 13t 長。藉由增加通道長度或閘極長度，可以使飽和區中的特性平坦而減少翹曲效應(Kink effect)。較佳的是，電晶體 101 的通道長度或閘極長度爲電晶體 11t、電晶體 12t 及/或電晶體 13t 的 5 倍以上，更佳地爲 10 倍以上。作爲一個例子，較佳的是，電晶體 101 的通道長度或閘極長度爲 10μm 以上，更佳地爲 20μm 以上。或者，藉由使電晶體 101 的通道寬度或閘極寬度比電晶體 11t、電晶體 12t 及/或電晶體 13t 長，可

以使電晶體 101 在飽和區中也形成很多電流。較佳的是，電晶體 101 的通道寬度或閘極寬度爲電晶體 11t、電晶體 12t 及/或電晶體 13t 的 5 倍以上，更佳地爲 10 倍以上。較佳的是，電晶體 101 的通道寬度或閘極寬度爲 20μm 以上，更佳地爲 30μm 以上。但是，本發明的實施方式之一不侷限於此。

接著，以圖 1C 所示的電路 100 爲例來說明本發明的一個方式的半導體裝置的工作。

圖 1C 所示的電路 100 的工作主要可以分爲第一工作、第二工作、第三工作、第四工作以及第五工作。但是，本發明不侷限於此，也可以重新追加工作或者去除工作的一部分。

圖 5A 示出時序圖的一個例子，該時序圖示出圖 1C 所示的電路 100 中的開關 11、開關 12 以及開關 13 的工作、佈線 21 的電位以及電晶體 101 的閘極-源極間電壓(Vgs101)。

首先，說明在期間 T11 中進行的第一工作。在期間 T11 中，如圖 5A 所示，開關 11、開關 12 以及開關 13 處於導通狀態。另外，將電位 Vi1 供應到佈線 21。由此，在期間 T11 中，如圖 5B 所示，電容元件 102 被供應電壓 Vi2-Vi1，發光元件 104a 的陽極的電位成爲電位 Vi1，並且電晶體 101 的閘極-源極間電壓(Vgs101)成爲電壓 Vi2-Vi1。就是說，使電晶體 101 及電容元件 102 初始化。

另外，在圖 1C 所示的電路 100 中，較佳的是，電位

Vi2 高於對電位 Vi1 加上電晶體 101 的臨界電壓 Vth 的電位。就是說，較佳的是，電位 Vi2 和電位 Vi1 爲使電晶體 101 成爲導通狀態的電位。另外，較佳的是，對電位 Vi1 加上發光元件 104a 的臨界電壓 Vthe(發光元件 104a 開始發光的電壓)的電位低於電位 Vcat。例如，較佳的是，電位 Vi1 等於或低於電位 Vcat。因爲在電位 Vi1 低於電位 Vcat 時，發光元件 104a 成爲反偏壓狀態，所以可以減少發光元件 104a 的退化或者修復短路部。另外，較佳的是，從電位 Vi2 減去發光元件 104a 的臨界電壓 Vthe 的電位低於電位 Vcat。以下，作爲一個例子，將臨界電壓 Vthe 假設爲 0。

接著，說明在期間 T12 中進行的第二工作。在期間 T12 中，如圖 5A 所示，開關 11 處於非導通狀態，並且開關 12 及開關 13 處於導通狀態。藉由使開關 11 成爲非導通狀態，藉由電晶體 101 釋放儲存在電容元件 102 中的電荷，由此電晶體 101 的源極電位上升。然後，在電晶體 101 成爲截止狀態時，來自電容元件 102 的電荷的釋放停止。最終，電容元件 102 儲存電晶體 101 的臨界電壓 Vth。由此，在期間 T12 中，如圖 5C 所示，電容元件 102 儲存臨界電壓 Vth，發光元件 104a 的陽極的電位成爲電位 Vi2-Vth，並且電晶體 101 的閘極-源極間電壓(Vgs101)成爲臨界電壓 Vth。就是說，可以得到電晶體 101 的臨界電壓 Vth。

有時，Vgs101 下降到電晶體 101 的臨界電壓 Vth 所

需要的時間非常長。因此，在很多情況下，在 Vgs101 完全下降到臨界電壓 Vth 之前開始進行下一工作。就是說，在很多情況下，在 Vgs101 下降到稍微高於臨界電壓 Vth 的值的狀態下，期間 T12 結束。就是說，在期間 T12 結束時，Vgs101 下降到其大小對應於臨界電壓的電壓。

另外，在第二工作中，不管電晶體 101 的臨界電壓 Vth 是正值還是負值，都能夠進行工作。這是因爲直到電晶體 101 成爲截止狀態爲止電晶體 101 的源極電位能夠上升的緣故。就是說，這是因爲如下緣故：只有在電晶體 101 的源極電位高於電晶體 101 的閘極電位的狀態下，電晶體 101 才截止，並且 Vgs101 成爲 Vth。因此，不管電晶體 101 是增強型(也稱爲常關閉型)還是耗盡型(也稱爲常開啓型)，都能夠正常地進行工作。

另外，較佳的是，在發光元件 104a 的陽極的電位變高時，電流不流過發光元件 104a。爲此，較佳的是，將電位 Vi2 設定爲低電位，以不使電流流過發光元件 104a。但是，本發明的實施方式之一不侷限於此。另外，若能夠串聯連接於發光元件 104a 設置開關並使該開關成爲截止狀態，以不使電流流過發光元件 104a，則也可以將電位 Vi2 設定爲高電位。

接著，說明在期間 T13 中進行的第三工作。在期間 T13 中，如圖 5A 所示，開關 11 及開關 13 處於導通狀態，並且開關 12 處於非導通狀態。另外，作爲一個例子，將電位 Vi1 供應到佈線 21。由此，在期間 T13 中，

如圖 6A 所示，電容元件 102 儲存臨界電壓 Vth(或其大小對應於 Vth 的電壓)，發光元件 104a 的陽極的電位成爲電位 Vi1，電晶體 101 的閘極電位成爲電位 Vi1+Vth(或其大小對應於 Vth 的電壓)，並且電晶體 101 的閘極-源極間電壓(Vgs101)成爲臨界電壓 Vth(或其大小對應於 Vth 的電壓)。由此，可以使發光元件 104a 的陽極的電位或電晶體 101 的源極電位初始化。

另外，不必須要進行上述第三工作，也可以在第二工作之後進行如下所述的第四工作。

另外，期間 T13 中的佈線 21 的電位不侷限於電位 Vi1，也可以爲其大小與電位 Vi1 不同的電位(如電位 Vi3)。但是，藉由將期間 T13 中的佈線 21 的電位設定爲電位 Vi1，可以簡化電路 201 的結構。或者，在佈線 21 與多個電路 100 連接時，藉由將佈線 21 的電位設定爲電位 Vi1，可以使某一電路 100 進行期間 T11 中的工作並使另一電路 100 進行期間 T13 中的工作，由此可以有效地利用工作期間。

接著，說明在期間 T14 中進行的第四工作。在期間 T14 中，如圖 5A 所示，開關 11 處於導通狀態，而開關 12 及開關 13 處於非導通狀態。另外，將電位 Vsig 供應到佈線 21。因此，在期間 T14 中，如圖 6B 所示，電容元件 102 儲存臨界電壓 Vth(或其大小對應於 Vth 的電壓)，電容元件 103 儲存電壓 Vsig−Vi1−Vα，發光元件 104a 的陽極的電位成爲電位 Vi1+Vα，電晶體 101 的閘極電位成爲

電位 Vsig+Vth，並且電晶體 101 的閘極-源極間電壓(Vgs101)成爲電壓 Vsig+Vth-Vi1-Vα。因此，可以將電位 Vsig 輸入到電容元件 103。或者，可以使電容元件 102 的電壓和電容元件 103 的電壓的總和等於電晶體 101 的閘極-源極間電壓。

另外，在第四工作中，電位 Vα是隨發光元件 104a 的陽極成爲電浮動狀態(floating state)而變動的電位。在電晶體 101 截止時，電位 Vα的值由發光元件 104a 的靜電容量與電容元件 102 及電容元件 103 的靜電容量的比而決定。但是，在電位 Vsig 高到一定程度時，電晶體 101 導通，由此電荷藉由電晶體 101 流到發光元件 104a 的陽極。因此，電位 Vα不是只由上述靜電容量的比而決定，而是由於流到發光元件 104a 的陽極的電荷而變化。

這裏，爲了使閘極-源極間電壓 Vgs 接近理想的值，即接近電壓 Vsig+Vth-Vi1，將電位 Vα設定得相當小較佳。明確地說，只要發光元件 104a 的靜電容量充分大於電容元件 102 及電容元件 103 的靜電容量，就可以使閘極-源極間電壓 Vgs 接近理想的值。

因此，較佳的是，電容元件 103 的電容值小於負載 104(發光元件 104a)的寄生電容的電容值，較佳地爲該電容值的 1/2 倍以下，更較地爲該電容值的 1/5 倍以下。或者，較佳的是，電容元件 103 的電極的面積小於負載 104(發光元件 104a)的電極的面積，較佳地爲該面積的 1/2 倍以下，更佳地爲該面積的 1/5 倍以下。但是，本發明的

實施方式之一不侷限於此。

另外，爲了使閘極-源極間電壓(Vgs101)接近理想的值，較佳的是，將流入發光元件 104a 的陽極的電荷量 Q 設定得相當小。因此，爲了將上述電荷量 Q 設定得相當小，較佳的是，使期間 T14 儘量短。另外，如上所述，藉由在期間 T13 中預先將電位 Vsig 供應到佈線 21，當在期間 T14 中使開關 11 成爲導通狀態時，可以使電晶體 101 的閘極電位迅速接近電位 Vsig+Vth。由此，可以減短期間 T14，從而這種方法在減小電荷量 Q 時很有效。

因此，較佳的是，期間 T14 的長短短於期間 T11、期間 T12 及/或期間 T13 的長短，較佳地爲該長短的 2/3 倍以下，更佳地爲該長短的 1/2 倍以下。但是，本發明的實施方式之一不侷限於此。

如上所述，電荷量 Q 爲小較佳，但是在電晶體 101 的遷移率的不均勻性高時可以期待遷移率的不均勻性被電荷量 Q 抑制的效果。以下，說明這個理由。

電荷量 Q 相當於在期間 T14 中從電晶體 101 的汲極流到源極的電荷量。因此，電晶體 101 的遷移率越大，電荷量 Q 越多。在電荷量 Q 變多時，發光元件 104a 發光時的電晶體 101 的閘極-源極間電壓(Vgs101)變小。就是說，可以根據電荷量 Q 進行如下補正工作：電晶體 101 的遷移率越大，供應到發光元件 104a 的電流值越小；電晶體 101 的遷移率越小，供應到發光元件 104a 的電流值越變得不太小。因此，可以根據電荷量 Q 抑制遷移率的不均

勻。

另外，較佳的是，電容元件 102 的電容值大於電晶體 101 的閘極的寄生電容的電容值，較佳地爲該電容值的 2 倍以上，更佳地爲該電容值的 5 倍以上。或者，較佳的是，電容元件 102 的電極的面積大於電晶體 101 的通道的面積，較佳地爲該面積的 2 倍以上，更佳地爲該面積的 5 倍以上。或者，較佳的是，電容元件 102 的電極的面積大於電晶體 101 的閘極電極的面積，較佳地爲該面積的 2 倍以上，更佳地爲該面積的 5 倍以上。由此，在被輸入電位 Vsig 並由電容元件 102 和電晶體的閘極電容分割電壓時，可以減少電容元件 102 的電壓的降低。但是，本發明的實施方式之一不侷限於此。

另外，較佳的是，電容元件 102 的電容值大致等於或大於電容元件 103 的電容值。較佳的是，電容元件 102 的電容值與電容元件 103 的電容值的差異爲±20%以下，更佳地爲±10%以下。或者，較佳的是，電容元件 102 的電極的面積大致等於或大於電容元件 103 的電極的面積。由此，半導體裝置能夠進行最佳的工作,而不改變佈局面積。但是，本發明的實施方式之一不侷限於此。

接著，說明在期間 T15 中進行的第五工作。在期間 T15 中，如圖 5A 所示，開關 11、開關 12 以及開關 13 處於非導通狀態。因此，在期間 T15 中，如圖 6C 所示，電容元件 102 儲存臨界電壓 Vth，電容元件 103 儲存電壓 Vsig-Vil-Vα，發光元件 104a 的陽極的電位成爲電位

Vel，電晶體 101 的閘極電位成爲電位 Vsig+Vth-Vi1-Vα+Vel，並且電晶體 101 的閘極-源極間電壓(Vgs101)成爲電壓 Vsig+Vth-Vi1-Vα。因此，可以使其大小對應於電位 Vsig 的電流流過發光元件 104a，而可以使發光元件 104a 以對應於電位 Vsig 的亮度發光。

電位 Vel 是在使電流藉由電晶體 101 流過發光元件 104a 時發生的電位。明確地說，電位 Vel 是電位 VDD 與電位 Vcat 之間的電位。

在上述第五工作中，可以將電晶體 101 的閘極-源極間電壓(Vgs101)設定爲電壓 Vsig+Vth-Vi1-Vα，即加上電晶體 101 的臨界電壓 Vth 的值。因此，藉由採用上述結構，可以防止電晶體 101 的臨界電壓 Vth 的不均勻影響到供應到發光元件 104a 的電流值。或者，即使電晶體 101 退化而使臨界電壓 Vth 發生變化，也可以防止上述變化影響到供應到發光元件 104a 的電流值。因此，可以減少顯示不均勻，而進行高品質顯示。

與此同樣，可以將電晶體 101 的閘極-源極間電壓(Vgs101)設定爲電壓 Vsig+Vth-Vi1-Vα，即與 Vel 無關的值。藉由採用上述結構，可以防止發光元件 104a 的電壓電流特性的不均勻影響到供應到發光元件 104a 的電流值。或者，即使發光元件 104a 退化且發光元件 104a 的電壓電流特性變化而使 Vel 發生變化，也可以防止上述變化影響到供應到發光元件 104a 的電流值。因此，可以減少顯示不均勻，而進行高品質顯示。

另外，在第五工作的一部分的期間中，也可以強制性地使電晶體 101 成爲截止狀態，以不使發光元件 104a 發光。就是說，也可以設有非發光期間。例如，藉由使開關 12 導通，可以使電晶體 101 成爲截止狀態。

在本發明的一個方式的半導體裝置中，在第二工作中，將電晶體 101 的閘極電位保持爲電位 Vi2。藉由進行上述工作，即使電晶體 101 爲常開啓型電晶體，即臨界電壓 Vth 具有負值，也可以直到電晶體 101 的源極電位超過閘極電位 Vi2 爲止釋放儲存在電容元件 102 中的電荷。因此，在本發明的一個方式的半導體裝置中，即使電晶體 101 爲常開啓型電晶體，也可以在上述第五工作中將電晶體 101 的閘極-源極間電壓(Vgs101)設定爲加上電晶體 101 的臨界電壓 Vth 的值。

另外，圖 7A 至 7E 分別示出期間 T11 至期間 T15 中的電路 100 的示意圖。本發明的一個方式的半導體裝置只要在上述各期間中使電路 100 採用圖 7A 至 7E 所示的結構，即可。因此，本發明的一個方式的半導體裝置不侷限於具有圖 1A 至圖 4D 所示的結構的電路 100。本發明的一個方式的半導體裝置可以在電路 100 採用圖 7A 至 7E 所示的結構的條件下適當地改變開關的配置或數量、供應各種電位的佈線的數量等。

另外，本發明的一個方式的半導體裝置還可以包括電容元件 105，該電容元件 105 與圖 1B 所示的電路 100 中的負載 104 連接。與此同樣，本發明的一個方式的半導體

裝置還可以包括與圖 1C 所示的電路 100 中的發光元件 104a 連接的電容元件 105。與此同樣，本發明的一個方式的半導體裝置還可以包括與圖 1D 所示的電路 100 中的發光元件 104b 連接的電容元件 105。

圖 8A 所示的半導體裝置還包括電容元件 105，該電容元件 105 與圖 1B 所示的電路 100 中的負載 104 連接。明確地說，電容元件 105 中的一方電極與電容元件 103 中的另一方電極及電晶體 101 的源極和汲極中的一方連接。電容元件 105 中的另一方電極與佈線 26 連接。作爲一個例子，圖 8A 示出電路 100 具有負載 104 的情況，但是在圖 8A 中，也可以使用發光元件 104a 或發光元件 104b 代替負載 104。

另外，佈線 26 可以與各種佈線連接。例如，佈線 26 可以與佈線 22、佈線 23、佈線 24 或其他電路 100 的佈線、掃描線、閘極線、連接於電晶體的閘極的佈線等連接。由此，可以減少佈線數量。

作爲一個例子，圖 8B 示出將圖 8A 所示的電路 100 中的佈線 26 連接於佈線 24 的半導體裝置。另外，雖然在圖 8B 中示出電路 100 具有負載 104 的情況，但是在圖 8B 中也可以使用發光元件 104a 或發光元件 104b 代替負載 104。藉由採用上述連接結構，可以減少佈線 26。

作爲一個例子，圖 8C 示出將圖 8A 所示的電路 100 中的佈線 26 連接於佈線 23 的半導體裝置。另外，雖然在圖 8C 中示出電路 100 具有負載 104 的情況，但是在圖 8C

中也可以使用發光元件 104a 或發光元件 104b 代替負載 104。藉由採用上述連接結構，可以減少佈線 26。

作爲一個例子，圖 8D 示出將圖 8A 所示的電路 100 中的佈線 26 連接於佈線 22 的半導體裝置。另外，雖然在圖 8D 中示出電路 100 具有負載 104 的情況，但是在圖 8D 中也可以使用發光元件 104a 或發光元件 104b 代替負載 104。藉由採用上述連接結構，可以減少佈線 26。

藉由在電路 100 中追加與負載 104、發光元件 104a 或發光元件 104b 連接的電容元件 105，可以在本實施方式所示的第三工作及第四工作中抑制電晶體 101 的源極和汲極中的一方的電荷的變動，而可以減小電壓 Vα。因此，可以使閘極-源極間電壓 Vgs 接近理想的值，即接近電壓 Vsig+Vth-Vil，而可以進一步使供應到負載 104、發光元件 104a 或發光元件 104b 的電流接近準確反映了電壓 Vsig 的值。

或者，藉由適當地調整電容元件 105 的電容值，可以調整在期間 T14 中由電荷量 Q 引起的電位的變化量。由此，可以更準確地減少遷移率的不均勻。

另外，較佳的是，電容元件 105 的電極的面積小於負載 104(發光元件 104a)的電極的面積，較佳地爲該面積的 1/2 倍以下，更佳地爲該面積的 1/3 倍以下。或者，較佳的是，電容元件 105 的電容值小於負載 104(發光元件 104a)的電容值，較佳地爲該電容值的 1/2 倍以下，更佳地爲該電容值的 1/3 倍以下。由此，半導體裝置能夠進行最

佳的工作,而不改變佈局面積。但是，本發明的實施方式之一不侷限於此。

另外，較佳的是，電容元件 105 的電極的面積與負載 104(發光元件 104a)的電極的面積的總和大於電容元件 103 的電極的面積，較佳地爲該面積的 2 倍以上，更佳地爲該面積的 5 倍以上。或者，較佳的是，電容元件 105 的電容值與負載 104(發光元件 104a)的電容值的總和大於電容元件 103 的電容值，較佳地爲該電容值的 2 倍以上，更佳地爲該電容值的 5 倍以上。由此，在由電容元件 103 與電容元件 105 及負載 104(發光元件 104a)分割電壓時，可以將更高的電壓施加到電容元件 103。但是，本發明的實施方式之一不侷限於此。

另外，較佳的是，電容元件 105 的電極的面積小於電容元件 102 或電容元件 103 的電極的面積，較佳地爲該面積的 1/2 倍以下，更佳地爲該面積的 1/3 倍以下。或者，較佳的是，電容元件 105 的電容值小於電容元件 102 或電容元件 103 的電容值，較佳地爲該電容值的 1/2 倍以下，更佳地爲該電容值的 1/3 倍以下。由此，半導體裝置能夠進行最佳的工作,而不改變佈局面積。但是，本發明的實施方式之一不侷限於此。

另外，除了圖 8A 至 8D 所示的電路 100 以外，本發明的一個方式的半導體裝置還可以包括具有將各種固定電壓或信號供應到電路 100 的功能的電路。

除了圖 8A 至 8D 所示的電路 100 以外，圖 9A 至 9D

所示的半導體裝置還分別包括：具有將固定電壓或信號供應到佈線 21 的功能的電路 201；具有將固定電壓或信號供應到佈線 22 的功能的電路 202；具有將固定電壓或信號供應到佈線 23 的功能的電路 203；以及具有將固定電壓或信號供應到佈線 24 的功能的電路 204。再者，圖 9A 所示的電路 100 包括具有將固定電壓或信號供應到佈線 26 的功能的電路 208。作爲電路 208 的例子，有電源電路等。因此，佈線 26 具有能夠傳送或供應預定的電位的功能。或者，佈線 26 具有電容用佈線的功能。另外，佈線 26 的電位爲固定的電位較佳，但是本發明的實施方式之一不侷限於此，佈線 26 的電位也可以像脈衝信號那樣變動。

另外，也可以將圖 1B 至 1D 及圖 8B 至 8D 中的任一電路 100 用作顯示裝置的像素。在將分別對應於多個顏色的像素設置在顯示裝置中時，每個像素所具有的電晶體 101 的通道寬度與通道長度的比也可以根據所對應的顏色而互不相同。與此同樣，每個像素所具有的電容元件 105 的電容值也可以根據所對應的顏色而互不相同。

作爲一個例子，圖 10A 示出將圖 1B 所示的電路 100 用作顯示裝置的像素的情況。在圖 10A 中，電路 100(R)相當於對應於紅色(R)的像素，電路 100(G)相當於對應於綠色(G)的像素，並且電路 100(B)相當於對應於藍色(B)的像素。在本發明的一個方式中，電路 100(R)所具有的電晶體 101(R)、電路 100(G)所具有的電晶體 101(G)以及電路

100(B)所具有的電晶體 101(B)中的至少一個也可以具有與其他兩個不同的通道寬度與通道長度的比。根據上述結構，可以將分別供應到電路 100(R)所具有的負載 104(R)、電路 100(G)所具有的負載 104(G)以及電路 100(B)所具有的負載 104(B)的電流值設定爲互不相同。作爲一個例子，較佳的是，對應於第二顏色的電晶體 101 的通道寬度與通道長度的比爲對應於第一顏色的電晶體 101 的 1.2 倍以上，更佳地爲 1.5 倍以上。較佳的是，對應於第三顏色的電晶體 101 的通道寬度與通道長度的比爲對應於第一顏色的電晶體 101 的 1.5 倍以上，更佳地爲 2 倍以上。但是，本發明的實施方式之一不侷限於此。

作爲一個例子，圖 10B 示出將圖 8A 所示的電路 100 用作顯示裝置的像素的情況。與圖 10A 同樣，在圖 10B 中電路 100(R)所具有的電晶體 101(R)、電路 100(G)所具有的電晶體 101(G)以及電路 100(B)所具有的電晶體 101(B)中的至少一個也可以具有與其他兩個不同的通道寬度與通道長度的比。根據上述結構，可以將分別供應到電路 100(R)所具有的負載 104(R)、電路 100(G)所具有的負載 104(G)以及電路 100(B)所具有的負載 104(B)的電流值設定爲互不相同。

另外，在圖 10B 中，電路 100(R)所具有的電容元件 105(R)、電路 100(G)所具有的電容元件 105(G)以及電路 100(B)所具有的電容元件 105(B)中的至少一個也可以具有與其他兩個不同的電容值。作爲一個例子，較佳的是，對

應於第二顏色的電容元件 105 的電容值爲對應於第一顏色的電容元件 105 的 1.2 倍以上，更佳地爲 1.5 倍以上。較佳的是，對應於第三顏色的電容元件 105 的電容值爲對應於第一顏色的電容元件 105 的 1.5 倍以上，更佳地爲 2 倍以上。但是，本發明的實施方式之一不侷限於此。

另外，雖然在圖 10A 和 10B 中示出電路 100(R)具有負載 104(R)，電路 100(G)具有負載 104(G)，並且電路 100(B)具有負載 104(B)的情況的例子，但是在圖 10A 和 10B 中也可以使用對應於各種顏色的發光元件 104a 或發光元件 104b 代替負載 104(R)、負載 104(G)以及負載 104(B)。

另外，雖然在圖 10B 中示出將圖 8A 所示的電路 100 用作顯示裝置的像素的情況的例子，但是也可以將圖 8B 至 8D 所示的電路 100 用作顯示裝置的像素。

接著，圖 11A 所示的電路 100 是本發明的一個方式的半導體裝置。電路 100 具有開關 11、開關 12、開關 13、開關 14、電晶體 101、電容元件 102 以及電容元件 103。另外，作爲一個例子，圖 11A 示出電晶體 101 爲 n 通道型電晶體的情況。圖 11A 相當於對圖 1A 追加開關 14 的結構。因此，參照圖 1A 等描述的內容也可以應用於圖 11A 等。

明確地說，在圖 11A 中，開關 11 具有控制佈線 21 與電容元件 102 中的一方電極或電容元件 103 中的一方電極之間的導通狀態的功能。開關 12 具有控制佈線 22 與電容

元件 102 中的另一方電極或電晶體 101 的閘極之間的導通狀態的功能。開關 13 具有控制電晶體 101 的源極和汲極中的一方或電容元件 103 中的另一方電極與電容元件 102 中的一方電極或電容元件 103 中的一方電極之間的導通狀態的功能。開關 14 具有控制電晶體 101 的源極和汲極中的一方或電容元件 103 中的另一方電極與佈線 25 之間的導通狀態的功能。電晶體 101 的源極和汲極中的另一方與佈線 23 連接。電晶體 101 的源極和汲極中的一方及電容元件 103 中的另一方電極與佈線 24 連接。

另外，圖 11A 所示的電路 100 也可以如圖 11B 所示那樣具有負載 104。在圖 11B 所示的電路 100 中，負載 104 連接於電晶體 101 的源極和汲極中的一方或者電容元件 103 中的另一方電極與佈線 24 之間。

圖 11C 示出使用發光元件 104a 作爲負載 104 時的電路 100 的結構。作爲一個例子，圖 11C 示出如下情況：發光元件 104a 的陽極與電晶體 101 的源極和汲極中的一方及電容元件 103 中的另一方電極連接，而發光元件 104a 的陰極與佈線 24 連接。

另外，圖 11D 示出使用發光元件 104b 作爲負載 104 時的電路 100 的結構。作爲一個例子，圖 11D 示出如下情況：發光元件 104b 的陰極與電晶體 101 的源極和汲極中的一方或電容元件 103 中的另一方電極連接，而發光元件 104b 的陽極與佈線 24 連接。另外，作爲一個例子，圖 11D 示出電晶體 101 爲 p 通道型電晶體的情況。

另外，除了圖 11A 至 11D 所示的電路 100 以外，本發明的一個方式的半導體裝置還可以包括具有將各種固定電壓或信號供應到電路 100 的功能的電路。

除了圖 11A 至 11D 所示的電路 100 以外，圖 12A 至 12D 所示的半導體裝置還分別包括：具有將固定電壓或信號供應到佈線 21 的功能的電路 220；具有將固定電壓或信號供應到佈線 22 的功能的電路 221；具有將固定電壓或信號供應到佈線 23 的功能的電路 222；具有將固定電壓或信號供應到佈線 24 的功能的電路 223；以及具有將固定電壓或信號供應到佈線 25 的功能的電路 224。

明確地說，電路 220 具有將電位 Vsig 供應到佈線 21 的功能。作爲電路 220 的例子，有源極驅動器(信號線驅動電路)等。因此，佈線 21 具有能夠傳送或供應電位 Vsig 的功能。或者，佈線 21 具有視頻信號線的功能。

另外，電路 221 具有將電位 Vi2 供應到佈線 22 的功能。作爲電路 221 的例子，有電源電路等。因此，佈線 22 具有能夠傳送或供應電位 Vi2 的功能。或者，佈線 22 具有初始化用佈線的功能。另外，佈線 22 的電位爲固定的電位較佳，但是本發明的實施方式之一不侷限於此，佈線 22 的電位也可以像脈衝信號那樣變動。

另外，電路 222 具有將電源電位(高電源電位或低電源電位)如電位 VDD 或電位 VSS 供應到佈線 23 的功能。作爲電路 222 的例子，有電源電路等。因此，佈線 23 具有能夠傳送或供應電源電位的功能。或者，佈線 23 具有

能夠將電流供應到電晶體 101 的功能。或者，佈線 23 具有能夠將電流供應到負載 104 的功能。或者，佈線 23 具有電源線的功能。或者，佈線 23 具有電流供應線的功能。另外，佈線 23 的電位爲固定的電位較佳，但是本發明的實施方式之一不侷限於此，佈線 23 的電位也可以像脈衝信號那樣變動。例如，佈線 23 的電位也可以是不僅將正偏壓施加到負載 104 而且還將反偏壓施加到負載 104 的電位。

另外，電路 223 具有將電源電位(低電源電位或高電源電位)如電位 Vcat 供應到佈線 24 的功能。作爲電路 223 的例子，有電源電路等。因此，佈線 24 具有能夠傳送或供應電源電位的功能。或者，佈線 24 具有能夠將電流供應到負載 104 的功能。或者，佈線 24 具有能夠將電流供應到電晶體 101 的功能。或者，佈線 24 具有共用線的功能。或者，佈線 24 具有陰極佈線的功能。或者，佈線 24 具有陽極佈線的功能。另外，佈線 24 的電位爲固定的電位較佳，但是本發明的實施方式之一不侷限於此，佈線 24 的電位也可以像脈衝信號那樣變動。例如，佈線 24 的電位也可以是不僅將正偏壓施加到負載 104 而且還將反偏壓施加到負載 104 的電位。

另外，電路 224 具有將電位 Vi1 供應到佈線 25 的功能。作爲電路 224 的例子，有電源電路等。因此，佈線 25 具有能夠傳送或供應電位 Vi1 的功能。或者，佈線 25 具有初始化用佈線的功能。另外，佈線 25 的電位爲固定

的電位較佳，但是本發明的實施方式之一不侷限於此，佈線 25 的電位也可以像脈衝信號那樣變動。

另外，作爲一個例子，在圖 12A 至 12D 中示出半導體裝置除了電路 100 以外還具有電路 220、電路 221、電路 222、電路 223 以及電路 224 的情況，但是本發明的一個方式的半導體裝置不必須要具有電路 220、電路 221、電路 222、電路 223 以及電路 224 的所有電路，也可以只具有它們中的任何一個或多個。

作爲一個例子，圖 11A 至 12D 所示的電路 100 可以使用電晶體作爲開關 11、開關 12、開關 13 以及開關 14。

圖 13A 至 13D 示出如下結構：在圖 11A 至 11D 所示的電路 100 中，開關 11、開關 12、開關 13 以及開關 14 分別使用電晶體 11t、電晶體 12t、電晶體 13t 以及電晶體 14t。其中，圖 13A 至 13D 示出如下結構：電晶體 11t、電晶體 12t、電晶體 13t 以及電晶體 14t 都是 n 通道型電晶體。藉由使電晶體 11t、電晶體 12t、電晶體 13t 以及電晶體 14t 都由同一極性的電晶體構成，可以以數量少的製程製造這些電晶體。但是，本發明的實施方式之一不侷限於此，也可以使用不同極性的電晶體。

另外，在圖 13A 至 13D 中，電晶體 11t 的閘極與佈線 31 連接。電晶體 11t 根據供應到佈線 31 的電位而成爲導通狀態或非導通狀態。電晶體 12t 的閘極與佈線 32 連接。電晶體 12t 根據供應到佈線 32 的電位而成爲導通狀

態或非導通狀態。電晶體 13t 的閘極與佈線 33 連接。電晶體 13t 根據供應到佈線 33 的電位而成爲導通狀態或非導通狀態。電晶體 14t 的閘極與佈線 34 連接。電晶體 14t 根據供應到佈線 34 的電位而成爲導通狀態或非導通狀態。因此，較佳的是，佈線 31 至佈線 34 的電位爲脈衝狀而不是固定的，但是本發明的實施方式之一不侷限於此。或者，佈線 31 至佈線 34 具有閘極信號線、選擇信號線或掃描線的功能。

另外，佈線 31 至佈線 34 中的至少兩個佈線可以彼此連接。或者，佈線 31 至佈線 34 中的至少一個佈線可以與其他電路 100 的佈線 31 至佈線 34 中的至少一個連接。

除了圖 13A 至 13D 所示的電路 100 以外，本發明的一個方式的半導體裝置還可以包括具有將各種固定電壓或信號供應到電路 100 的功能的電路。

除了圖 13A 至 13D 所示的電路 100 以外，圖 14A 至 14D 所示的半導體裝置還分別包括：具有將固定電壓或信號供應到佈線 31 的功能的電路 230；具有將固定電壓或信號供應到佈線 32 的功能的電路 231；具有將固定電壓或信號供應到佈線 33 的功能的電路 232；以及具有將固定電壓或信號供應到佈線 34 的功能的電路 233。作爲電路 230、電路 231、電路 232 以及電路 233 的例子，有閘極驅動器(掃描線驅動電路)等。

另外，作爲一個例子，在圖 14A 至 14D 中示出半導體裝置除了電路 100 以外還具有電路 230、電路 231、電

路 232 以及電路 233 的情況，但是本發明的一個方式的半導體裝置不必須要具有電路 230、電路 231、電路 232 以及電路 233 的所有電路，也可以只具有它們中的任何一個或多個。

另外，電路 220、電路 221、電路 222、電路 223、電路 224、電路 230、電路 231、電路 232 以及電路 233 既可爲同一電路，又可爲不同的電路。

另外，圖 38A 示出如下情況下的電路 100 的結構：在圖 13C 所示的電路 100 中，電晶體 101 及電晶體 14t 爲 n 通道型電晶體，並且電晶體 11t、電晶體 12t 以及電晶體 13t 爲 p 通道型電晶體。另外，圖 38B 示出如下情況下的電路 100 的結構：在圖 13D 所示的電路 100 中，電晶體 101 及電晶體 14t 爲 p 通道型電晶體，並且電晶體 11t、電晶體 12t 以及電晶體 13t 爲 n 通道型電晶體。

另外，除了圖 38A 及 38B 所示的電路 100 以外，本發明的一個方式的半導體裝置還可以包括具有將各種固定電壓或信號供應到電路 100 的功能的電路。

除了圖 38A 及 38B 所示的電路 100 以外，圖 38C 及 38D 所示的半導體裝置還分別包括：具有將固定電壓或信號供應到佈線 31 的功能的電路 230；具有將固定電壓或信號供應到佈線 32 的功能的電路 231；具有將固定電壓或信號供應到佈線 33 的功能的電路 232；以及具有將固定電壓或信號供應到佈線 34 的功能的電路 233。

另外，作爲一個例子，在圖 38C 及 38D 中示出半導

體裝置除了電路 100 以外還具有電路 230、電路 231、電路 232 以及電路 233 的情況，但是本發明的一個方式的半導體裝置不必須要具有電路 230、電路 231、電路 232 以及電路 233 的所有電路，也可以只具有它們中的任何一個或多個。

另外，在形成電流時，電晶體 101 在很多情況下工作在飽和區中。因此，在圖 13A 至 14D 以及圖 38A 至 38D 中，較佳的是，電晶體 101 的通道長度或閘極長度比電晶體 11t、電晶體 12t、電晶體 13t 及/或電晶體 14t 長。較佳的是，電晶體 101 的通道長度或閘極長度爲電晶體 11t、電晶體 12t、電晶體 13t 及/或電晶體 14t 的 5 倍以上，更佳地爲 10 倍以上。作爲一個例子，較佳的是，電晶體 101 的通道長度或閘極長度爲 10μm 以上，更佳地爲 20μm 以上。藉由增加通道長度或閘極長度，可以使飽和區中的特性平坦而減少翹曲效應(Kink effect)。或者，藉由使電晶體 101 的通道寬度或閘極寬度比電晶體 11t、電晶體 12t、電晶體 13t 及/或電晶體 14t 長，可以使電晶體 101 在飽和區中也形成很多電流。較佳的是，電晶體 101 的通道寬度或閘極寬度爲電晶體 11t、電晶體 12t、電晶體 13t 及/或電晶體 14t 的 5 倍以上，更佳地爲 10 倍以上。較佳的是，電晶體 101 的通道寬度或閘極寬度爲 20μm 以上，更佳地爲 30μm 以上。但是，本發明的實施方式之一不侷限於此。

另外，在圖 13A 至 13D、圖 38A 及 38B 所示的半導

體裝置中，電晶體 12t 及電晶體 13t 的兩者的閘極都可以與同一佈線連接。作爲一個例子，圖 15A 至 15D 示出如下情況：在圖 13A 至 13D 所示的半導體裝置中，電晶體 12t 及電晶體 13t 的閘極與佈線 32 連接。電晶體 12t 及電晶體 13t 根據供應到佈線 32 的電位而成爲導通狀態或非導通狀態。

另外，除了圖 15A 至 15D 所示的電路 100 以外，本發明的一個方式的半導體裝置還可以包括具有將各種固定電壓或信號供應到電路 100 的功能的電路。

除了圖 15A 至 15D 所示的電路 100 以外，圖 16A 至 16D 所示的半導體裝置還分別包括：具有將固定電壓或信號供應到佈線 31 的功能的電路 230；具有將固定電壓或信號供應到佈線 32 的功能的電路 231；以及具有將固定電壓或信號供應到佈線 34 的功能的電路 233。

另外，作爲一個例子，在圖 16A 至 16D 中示出半導體裝置除了電路 100 以外還具有電路 230、電路 231 以及電路 233 的情況，但是本發明的一個方式的半導體裝置不必須要具有電路 230、電路 231 以及電路 233 的所有電路，也可以只具有它們中的任何一個或多個。

另外，圖 42A 示出如下情況下的電路 100 的結構：在圖 16C 所示的電路 100 中，電晶體 101、電晶體 11t 以及電晶體 14t 爲 n 通道型電晶體，並且電晶體 12t 及電晶體 13t 爲 p 通道型電晶體。另外，圖 42B 示出如下情況下的電路 100 的結構：在圖 16D 所示的電路 100 中，電晶體

101、電晶體 11t 以及電晶體 14t 爲 p 通道型電晶體，並且電晶體 12t 及電晶體 13t 爲 n 通道型電晶體。

另外，除了圖 42A 及 42B 所示的電路 100 以外，本發明的一個方式的半導體裝置還可以包括具有將各種固定電壓或信號供應到電路 100 的功能的電路。

除了圖 42A 及 42B 所示的電路 100 以外，圖 42C 及 42D 所示的半導體裝置還分別包括：具有將固定電壓或信號供應到佈線 31 的功能的電路 230；具有將固定電壓或信號供應到佈線 32 的功能的電路 231；以及具有將固定電壓或信號供應到佈線 34 的功能的電路 233。作爲電路 230、電路 231 以及電路 233 的例子，有閘極驅動器(掃描線驅動電路)等。

另外，作爲一個例子，在圖 42C 及 42D 中示出半導體裝置除了電路 100 以外還具有電路 230、電路 231 以及電路 233 的情況，但是本發明的一個方式的半導體裝置不必須要具有電路 230、電路 231 以及電路 233 的所有電路，也可以只具有它們中的任何一個或多個。

另外，在圖 13A 至 13D 所示的半導體裝置中，也可以在相鄰的電路 100 之間連接一個電晶體的閘極與另一電晶體的閘極。例如，也可以連接電晶體 11t 的閘極與電晶體 14t 的閘極。作爲一個例子，圖 39 示出第 i 列第 j 行的電路 100(i、j)所具有的電晶體 11t 的閘極及第 i 列第 j+1 行的電路 100(i、j+1)所具有的電晶體 14t 的閘極與第 j 行的佈線 31(j)連接的情況。

另外，在圖 15A 至 15D 所示的半導體裝置中，也可以在相鄰的電路 100 之間連接一個電晶體的閘極與另一電晶體的閘極。例如，也可以連接電晶體 11t 的閘極與電晶體 14t 的閘極。作爲一個例子，圖 40 示出第 i 列第 j 行的電路 100(i、j)所具有的電晶體 11t 的閘極及第 i 列第 j+1 行的電路 100(i、j+1)所具有的電晶體 14t 的閘極與第 j 行的佈線 31(j)連接的情況。

在圖 39 及圖 40 中，作爲一個例子，示出第 j 行的電路 100 所具有的電晶體 11t 的閘極及第 j+1 行的電路 100 所具有的電晶體 14t 的閘極與第 j 行的佈線 31(j)連接的情況。但是，本發明的一個方式不侷限於上述結構，例如，在圖 14A 至 14D、圖 38C 及 38D 所示的半導體裝置中，也可以採用如下結構：電路 230 將電位供應到第 j 行的佈線 31(j)及第 j+1 行的佈線 34(j+1)。

圖 41 示出將電位從電路 230 供應到佈線 31 及佈線 34 的情況。明確地說，在圖 41 中，將從電路 230 所具有的第 j 輸出端子 out(j)輸出的電位供應到第 j 行的佈線 31(j)和第 j+1 行的佈線 34(j+1)。就是說，例如，這相當於在掃描線驅動電路與像素區域之間連接不同的行的佈線。

接著，以圖 11C 所示的電路 100 爲例來說明本發明的一個方式的半導體裝置的工作。

圖 11C 所示的電路 100 的工作主要可以分爲第一工作、第二工作、第三工作以及第四工作。但是，本發明的

實施方式之一不侷限於此，也可以重新追加工作或者去除工作的一部分。

另外，因爲在圖 11C 中對圖 1C 的電路追加了開關 14，所以可以省略圖 6A 所示的第三工作(期間 T13)。

圖 17A 示出時序圖的一個例子，該時序圖示出圖 11C 所示的電路 100 中的開關 11、開關 12、開關 13 以及開關 14 的工作、佈線 21 的電位以及電晶體 101 的閘極-源極間電壓(Vgs101)。

首先，說明在期間 T11 中進行的第一工作。在期間 T11 中，如圖 17A 所示，開關 11 處於非導通狀態，並且開關 12、開關 13 以及開關 14 處於導通狀態。由此，在期間 T11 中，如圖 17B 所示，電容元件 102 被供應電壓 Vi2-Vi1，發光元件 104a 的陽極的電位成爲電位 Vi1，並且電晶體 101 的閘極-源極間電壓(Vgs101)成爲電壓 Vi2-Vi1。就是說，使電晶體 101 及電容元件 102 初始化。

另外，在佈線 21 的電位不影響到電路時，開關 11 也可以處於導通狀態。在此情況下，開關 14 也可以處於非導通狀態。

另外，開關 13 也可以處於非導通狀態。

接著，說明在期間 T12 中進行的第二工作。在期間 T12 中，如圖 17A 所示，開關 11 及開關 14 處於非導通狀態，並且開關 12 及開關 13 處於導通狀態。藉由使開關 11 及開關 14 成爲非導通狀態，藉由電晶體 101 釋放儲存在電容元件 102 中的電荷，由此電晶體 101 的源極電位上

升。然後，在電晶體 101 成爲截止狀態時，來自電容元件 102 的電荷的釋放停止。最終，電容元件 102 儲存電晶體 101 的臨界電壓 Vth。由此，在期間 T12 中，如圖 17C 所示，電容元件 102 儲存臨界電壓 Vth，發光元件 104a 的陽極的電位成爲電位 Vi2-Vth，並且電晶體 101 的閘極-源極間電壓(Vgs101)成爲臨界電壓 Vth。就是說，可以得到電晶體 101 的臨界電壓 Vth。

有時，Vgs101 下降到電晶體 101 的臨界電壓 Vth 所需要的時間非常長。因此，在很多情況下，在 Vgs101 完全下降到臨界電壓 Vth 之前開始進行下一工作。就是說，在很多情況下，在 Vgs101 下降到稍微高於臨界電壓 Vth 的值的狀態下，期間 T12 結束。就是說，在期間 T12 結束時，Vgs101 下降到其大小對應於臨界電壓的電壓。

另外，在第二工作中，不管電晶體 101 的臨界電壓 Vth 是正值還是負值，都能夠進行工作。這是因爲直到電晶體 101 成爲截止狀態爲止電晶體 101 的源極電位能夠上升的緣故。就是說，這是因爲如下緣故：只有在電晶體 101 的源極電位高於電晶體 101 的閘極電位的狀態下，電晶體 101 才截止，並且 Vgs101 成爲 Vth。因此，不管電晶體 101 是增強型(也稱爲常關閉型)還是耗盡型(也稱爲常開啓型)，都能夠正常地進行工作。

另外，較佳的是，在發光元件 104a 的陽極的電位變高時，電流不流過發光元件 104a。爲此，較佳的是，將電位 Vi2 設定爲低電位，以不使電流流過發光元件

104a。但是，本發明的實施方式之一不侷限於此。另外，若能夠串聯連接於發光元件 104a 設置開關並使該開關成爲截止狀態，以不使電流流過發光元件 104a，則也可以將電位 Vi2 設定爲高電位。

接著，說明在期間 T13 中進行的第三工作。在期間 T13 中，如圖 17A 所示，開關 11 及開關 14 處於導通狀態，而開關 12 及開關 13 處於非導通狀態。另外，將電位 Vsig 供應到佈線 21。因此，在期間 T13 中，如圖 18A 所示，電容元件 102 儲存臨界電壓 Vth(或其大小對應於 Vth 的電壓)，電容元件 103 儲存電壓 Vsig-Vi1，發光元件 104a 的陽極的電位成爲電位 Vi1，電晶體 101 的閘極電位成爲電位 Vsig+Vth，並且電晶體 101 的閘極-源極間電壓(Vgs101)成爲電壓 Vsig+Vth-Vi1。因此，可以將電位 Vsig 輸入到電容元件 103。或者，可以使電容元件 102 的電壓和電容元件 103 的電壓的總和等於電晶體 101 的閘極-源極間電壓。

此時，開關 14 也可以處於非導通狀態。

接著，說明在期間 T14 中進行的第四工作。在期間 T14 中，如圖 17A 所示，開關 11、開關 12、開關 13 以及開關 14 處於非導通狀態。因此，在期間 T14 中，如圖 18B 所示，電容元件 102 儲存臨界電壓 Vth，電容元件 103 儲存電壓 Vsig-Vi1，發光元件 104a 的陽極的電位成爲電位 Vel，電晶體 101 的閘極電位成爲電位 Vsig+Vth+Vel，並且電晶體 101 的閘極-源極間電壓

(Vgs101)成爲電壓 Vsig+Vth-Vi1。因此，可以使其大小對應於電位 Vsig 的電流流過發光元件 104a，而可以使發光元件 104a 以對應於電位 Vsig 的亮度發光。

在上述第四工作中，可以將電晶體 101 的閘極-源極間電壓(Vgs101)設定爲 Vsig+Vth-Vi1，即加上電晶體 101 的臨界電壓 Vth 的值。因此，藉由採用上述結構，可以防止電晶體 101 的臨界電壓 Vth 的不均勻影響到供應到發光元件 104a 的電流值。或者，即使電晶體 101 退化而使臨界電壓 Vth 發生變化，也可以防止上述變化影響到供應到發光元件 104a 的電流值。因此，可以減少顯示不均勻，而進行高品質顯示。

與此同樣，可以將電晶體 101 的閘極-源極間電壓(Vgs101)設定爲電壓 Vsig+Vth-Vi1，即與 Vel 無關的值。藉由採用上述結構，可以防止發光元件 104a 的電壓電流特性的不均勻影響到供應到發光元件 104a 的電流值。或者，即使發光元件 104a 退化且發光元件 104a 的電壓電流特性變化而使 Vel 發生變化，也可以防止上述變化影響到供應到發光元件 104a 的電流值。因此，可以減少顯示不均勻，而進行高品質顯示。

另外，在第四工作的一部分的期間中，也可以強制性地使電晶體 101 成爲截止狀態或者不使電流流過發光元件 104a，以不使發光元件 104a 發光。就是說，也可以設有非發光期間。例如，藉由使開關 12 導通，可以使電晶體 101 成爲截止狀態。或者，藉由使開關 14 導通，可以不

使電流流過發光元件 104a。

在本發明的一個方式的半導體裝置中，在第二工作中，將電晶體 101 的閘極電位保持爲電位 Vi2。藉由進行上述工作，即使電晶體 101 爲常開啓型電晶體，即臨界電壓 Vth 具有負值，也可以直到電晶體 101 的源極電位超過閘極電位 Vi2 爲止釋放儲存在電容元件 102 中的電荷。因此，在本發明的一個方式的半導體裝置中，即使電晶體 101 爲常開啓型電晶體，也可以在上述第四工作中將電晶體 101 的閘極-源極間電壓(Vgs101)設定爲加上電晶體 101 的臨界電壓 Vth 的值。

另外，較佳的是，電容元件 103 的電容值小於負載 104(發光元件 104a)的寄生電容的電容值，較佳地爲該電容值的 1/2 倍以下，更佳地爲該電容值的 1/5 倍以下。或者，較佳的是，電容元件 103 的電極的面積小於負載 104(發光元件 104a)的電極的面積，較佳地爲該面積的 1/2 倍以下，更佳地爲該面積的 1/5 倍以下。但是，本發明的實施方式之一不侷限於此。

另外，較佳的是，電容元件 102 的電容值大於電晶體 101 的閘極的寄生電容的電容值，較佳地爲該電容值的 2 倍以上，更佳地爲該電容值的 5 倍以上。或者，較佳的是，電容元件 102 的電極的面積大於電晶體 101 的通道的面積，較佳地爲該面積的 2 倍以上，更佳地爲該面積的 5 倍以上。或者，較佳的是，電容元件 102 的電極的面積大於電晶體 101 的閘極電極的面積，較佳地爲該面積的 2 倍

以上，更佳地爲該面積的 5 倍以上。由此，在被輸入電位 Vsig 並由電容元件 102 和電晶體的閘極電容分割電壓時，可以減少電容元件 102 的電壓的降低。但是，本發明的實施方式之一不侷限於此。

另外，較佳的是，電容元件 102 的電容值大致等於或大於電容元件 103 的電容值。較佳的是，電容元件 102 的電容值與電容元件 103 的電容值的差異爲±20%以下，更佳地爲±10%以下。或者，較佳的是，電容元件 102 的電極的面積大致等於或大於電容元件 103 的電極的面積。由此，半導體裝置能夠進行最佳的工作,而不改變佈局面積。但是，本發明的實施方式之一不侷限於此。

另外，圖 19A 至 19D 分別示出期間 T11 至期間 T14 中的電路 100 的示意圖。本發明的一個方式的半導體裝置只要在上述各期間中使電路 100 採用圖 19A 至 19D 所示的結構，即可。因此，本發明的一個方式的半導體裝置不侷限於具有圖 11A 至圖 16D 所示的結構的電路 100。本發明的一個方式的半導體裝置可以在電路 100 採用圖 19A 至 19D 所示的結構的條件下適當地改變開關的配置或數量、供應各種電位的佈線的數量等。

另外，也可以在進行上述第三工作的期間 T13 之後且在進行上述第四工作的期間 T14 之前設有進行第六工作的期間 T16。

圖 20A 示出設有期間 T16 的時序圖的一個例子，該時序圖示出圖 11C 所示的電路 100 中的開關 11、開關

12、開關 13 以及開關 14 的工作、佈線 21 的電位以及電晶體 101 的閘極-源極間電壓(Vgs101)。

圖 20A 所示的時序圖與圖 17A 所示的時序圖的不同點在於：在期間 T13 與期間 T14 之間設有期間 T16。

以下，說明在期間 T16 中進行的第六工作。在期間 T16 中，如圖 20A 所示，開關 12 處於導通狀態，而開關 11、開關 13 以及開關 14 處於非導通狀態。因此，在期間 T16 中，如圖 20B 所示，電晶體 101 的閘極-源極間電壓(Vgs101)成爲電壓 Vsig+Vth-Vi1-Vα。

另外，在第六工作中，電位 Vα是隨發光元件 104a 的陽極成爲電浮動狀態(floating state)而變動的電位。在電晶體 101 截止時，電位 Vα的值由發光元件 104a 的電容值與電容元件 102 及電容元件 103 的電容值的比而決定。但是，在電位 Vsig 高到一定程度時，電晶體 101 導通，由此電荷藉由電晶體 101 流到發光元件 104a 的陽極。因此，電位 Vα不是只由上述靜電容量的比而決定，而是由於流到發光元件 104a 的陽極的電荷而變化。

可以期待遷移率的不均勻性被上述電荷量 Q 抑制的效果。以下，說明這個理由。

電荷量 Q 相當於在期間 T16 中從電晶體 101 的汲極流到源極的電荷量。因此，電晶體 101 的遷移率越大，電荷量 Q 越多。在電荷量 Q 變多時，發光元件 104a 發光時的電晶體 101 的閘極-源極間電壓(Vgs101)變小。就是說，可以根據電荷量 Q 進行如下補正工作：電晶體 101 的遷移

率越大，供應到發光元件 104a 的電流值越小；電晶體 101 的遷移率越小，供應到發光元件 104a 的電流值越變得不太小。因此，可以根據電荷量 Q 抑制遷移率的不均勻。

在期間 T16 後，在期間 T14 中，可以將電晶體 101 的閘極-源極間電壓(Vgs101)設定爲 Vsig+Vth-Vil-Vα。因此，可以將閘極-源極間電壓設定爲加上電晶體 101 的臨界電壓 Vth 和遷移率的值。

與圖 8A 至 8D 同樣，本發明的一個方式的半導體裝置還可以包括電容元件 105，該電容元件 105 與圖 11B 所示的電路 100 中的負載 104 連接。與此同樣，本發明的一個方式的半導體裝置還可以包括與圖 11C 所示的電路 100 中的發光元件 104a 連接的電容元件 105。與此同樣，本發明的一個方式的半導體裝置還可以包括與圖 11D 所示的電路 100 中的發光元件 104b 連接的電容元件 105。

圖 21A 所示的半導體裝置包括電容元件 105，該電容元件 105 與圖 11B 所示的電路 100 中的負載 104 連接。明確地說，電容元件 105 中的一方電極與電容元件 103 中的另一方電極及電晶體 101 的源極和汲極中的一方連接。電容元件 105 中的另一方電極與佈線 26 連接。作爲一個例子，圖 21A 示出電路 100 具有負載 104 的情況，但是在圖 21A 中，也可以使用發光元件 104a 或發光元件 104b 代替負載 104。

另外，佈線 26 可以與各種佈線連接。例如，佈線 26

可以與佈線 22、佈線 23、佈線 24、佈線 25 或其他電路 100 的佈線、掃描線、閘極線、連接於電晶體的閘極的佈線等連接。由此，可以減少佈線數量。

作爲一個例子，圖 21B 示出將圖 21A 所示的電路 100 中的佈線 26 連接於佈線 24 的半導體裝置。另外，雖然在圖 21B 中示出電路 100 具有負載 104 的情況，但是在圖 21B 中也可以使用發光元件 104a 或發光元件 104b 代替負載 104。藉由採用上述連接結構，可以省略佈線 26。

作爲一個例子，圖 21C 示出將圖 21A 所示的電路 100 中的佈線 26 連接於佈線 23 的半導體裝置。另外，雖然在圖 21C 中示出電路 100 具有負載 104 的情況，但是在圖 21C 中也可以使用發光元件 104a 或發光元件 104b 代替負載 104。藉由採用上述連接結構，可以省略佈線 26。

作爲一個例子，圖 21D 示出將圖 21A 所示的電路 100 中的佈線 26 連接於佈線 22 的半導體裝置。另外，雖然在圖 21D 中示出電路 100 具有負載 104 的情況，但是在圖 21D 中也可以使用發光元件 104a 或發光元件 104b 代替負載 104。藉由採用上述連接結構，可以省略佈線 26。

作爲一個例子，圖 21E 示出將圖 21A 所示的電路 100 中的佈線 26 連接於佈線 25 的半導體裝置。另外，雖然在圖 21E 中示出電路 100 具有負載 104 的情況，但是在圖 21E 中也可以使用發光元件 104a 或發光元件 104b 代替負載 104。藉由採用上述連接結構，可以省略佈線 26。

藉由在電路 100 中追加與負載 104、發光元件 104a

或發光元件 104b 並聯連接的電容元件 105，可以在本實施方式所示的第六工作及第四工作中抑制電晶體 101 的源極和汲極中的一方的電荷的變動，而可以減小電壓 Vα。因此，可以使閘極-源極間電壓 Vgs 接近理想的值，即接近電壓 Vsig+Vth-Vil，而可以進一步使供應到負載 104、發光元件 104a 或發光元件 104b 的電流接近準確反映了電壓 Vsig 的值。

或者，藉由適當地調整電容元件 105 的電容值，可以調整在期間 T16 中由電荷量 Q 引起的電位的變化量。由此，可以更準確地減少遷移率的不均勻。

另外，較佳的是，電容元件 105 的電極的面積小於負載 104(發光元件 104a)的電極的面積，較佳地爲該面積的 1/2 倍以下，更佳地爲該面積的 1/3 倍以下。或者，較佳的是，電容元件 105 的電容值小於負載 104(發光元件 104a)的電容值，較佳地爲該電容值的 1/2 倍以下，更佳地爲該電容值的 1/3 倍以下。由此，半導體裝置能夠進行最佳的工作,而不改變佈局面積。但是，本發明的實施方式之一不侷限於此。

另外，較佳的是，電容元件 105 的電極的面積與負載 104(發光元件 104a)的電極的面積的總和大於電容元件 103 的電極的面積，較佳地爲該面積的 2 倍以上，更佳地爲該面積的 5 倍以上。或者，較佳的是，電容元件 105 的電容值與負載 104(發光元件 104a)的電容值的總和大於電容元件 103 的電容值，較佳地爲該電容值的 2 倍以上，更佳地

爲該電容值的 5 倍以上。由此，在由電容元件 103 與電容元件 105 及負載 104(發光元件 104a)分割電壓時，可以將更高的電壓施加到電容元件 103。但是，本發明的實施方式之一不侷限於此。

另外，較佳的是，電容元件 105 的電極的面積小於電容元件 102 或電容元件 103 的電極的面積，較佳地爲該面積的 1/2 倍以下，更佳地爲該面積的 1/3 倍以下。或者，較佳的是，電容元件 105 的電容值小於電容元件 102 或電容元件 103 的電容值，較佳地爲該電容值的 1/2 倍以下，更佳地爲該電容值的 1/3 倍以下。由此，半導體裝置能夠進行最佳的工作,而不改變佈局面積。但是，本發明的實施方式之一不侷限於此。

另外，佈線 25 可以與各種佈線連接。例如，佈線 25 可以與佈線 22、佈線 24、佈線 26 或其他電路 100 的佈線、掃描線、閘極線、連接於電晶體的閘極的佈線等連接。由此，可以減少佈線數量。

另外，除了圖 21A 至 21D 所示的電路 100 以外，本發明的一個方式的半導體裝置還可以包括具有將各種固定電壓或信號供應到電路 100 的功能的電路。

除了圖 21A 至 21D 所示的電路 100 以外，圖 22A 至 22D 所示的半導體裝置還分別包括：具有將固定電壓或信號供應到佈線 21 的功能的電路 220；具有將固定電壓或信號供應到佈線 22 的功能的電路 221；具有將固定電壓或信號供應到佈線 23 的功能的電路 222；具有將固定電

壓或信號供應到佈線 24 的功能的電路 223；以及具有將固定電壓或信號供應到佈線 25 的功能的電路 224。再者，圖 22A 所示的電路 100 包括具有將固定電壓或信號供應到佈線 26 的功能的電路 225。

另外，也可以將圖 11B 至 11D 及圖 21B 至 21D 中的任一電路 100 用作顯示裝置的像素。在將分別對應於多個顏色的像素設置在顯示裝置中時，每個像素所具有的電晶體 101 的通道寬度與通道長度的比也可以根據所對應的顏色而互不相同。與此同樣，每個像素所具有的電容元件 105 的電容值也可以根據所對應的顏色而互不相同。

作爲一個例子，圖 23A 示出將圖 11B 所示的電路 100 用作顯示裝置的像素的情況。在圖 23A 中，電路 100(R)相當於對應於紅色(R)的像素，電路 100(G)相當於對應於綠色(G)的像素，並且電路 100(B)相當於對應於藍色(B)的像素。在本發明的一個方式中，電路 100(R)所具有的電晶體 101(R)、電路 100(G)所具有的電晶體 101(G)以及電路 100(B)所具有的電晶體 101(B)中的至少一個也可以具有與其他兩個不同的通道寬度與通道長度的比。根據上述結構，可以將分別供應到電路 100(R)所具有的負載 104(R)、電路 100(G)所具有的負載 104(G)以及電路 100(B)所具有的負載 104(B)的電流值設定爲互不相同。

作爲一個例子，圖 23B 示出將圖 21A 所示的電路 100 用作顯示裝置的像素的情況。與圖 23A 同樣，在圖 23B 中電路 100(R)所具有的電晶體 101(R)、電路 100(G)所具

有的電晶體 101(G)以及電路 100(B)所具有的電晶體 101(B)中的至少一個也可以具有與其他兩個不同的通道寬度與通道長度的比。根據上述結構，可以將分別供應到電路 100(R)所具有的負載 104(R)、電路 100(G)所具有的負載 104(G)以及電路 100(B)所具有的負載 104(B)的電流值設定爲互不相同。

另外，在圖 23B 中，電路 100(R)所具有的電容元件 105(R)、電路 100(G)所具有的電容元件 105(G)以及電路 100(B)所具有的電容元件 105(B)中的至少一個也可以具有與其他兩個不同的電容值。

另外，雖然在圖 23A 和 23B 中示出電路 100(R)具有負載 104(R)，電路 100(G)具有負載 104(G)，並且電路 100(B)具有負載 104(B)的情況的例子，但是在圖 23A 和 23B 中也可以使用對應於各種顏色的發光元件 104a 或發光元件 104b 代替負載 104(R)、負載 104(G)或負載 104(B)。

另外，雖然在圖 23B 中示出將圖 21A 所示的電路 100 用作顯示裝置的像素的情況的例子，但是也可以將圖 21B 至 21E 所示的電路 100 用作顯示裝置的像素。

另外，在本實施方式中，進行補正電晶體 101 的臨界電壓等的不均勻的工作，但是本發明的實施方式之一不侷限於此。例如，也可以以未進行臨界電壓的不均勻的工作的方式將電流供應到負載 104。

在本實施方式中，描述了基本原理的一個例子。因

此，可以以本實施方式的一部或全部對其他實施方式的一部或全部自由地進行組合、應用以及置換。

實施方式 2

在本實施方式中，說明本發明的一個方式的半導體裝置的電路 100 的結構例。在本實施方式中，說明對實施方式 1 所示的電路追加開關的結構或改變驅動方法的一部的情況等。因此，在實施方式 1 中說明的內容可以應用於本實施方式。

圖 24A 至 24D 分別示出電路 100 的結構例。圖 24A 至 24D 所示的電路 100 分別相當於對圖 1A 至 1D 所示的電路 100 追加開關 914 的結構。開關 914 具有控制電晶體 101 的源極和汲極中的另一方與佈線 23 之間的導通狀態的功能。或者，開關 914 具有控制佈線 23 與佈線 24 之間的導通狀態的功能。或者，開關 914 具有防止電流流過電容元件 103 的功能。或者，開關 914 具有防止電流流過電容元件 102 的功能。或者，開關 914 具有防止電流流過負載 104 的功能。

另外，除了圖 24A 至 24D 所示的電路 100 以外，本發明的一個方式的半導體裝置還可以包括具有將各種固定電壓或信號供應到電路 100 的功能的電路。

除了圖 24A 至 24D 所示的電路 100 以外，圖 25A 至 25D 所示的半導體裝置還分別包括：具有將固定電壓或信號供應到佈線 21 的功能的電路 201；具有將固定電壓或

信號供應到佈線 22 的功能的電路 202；具有將固定電壓或信號供應到佈線 23 的功能的電路 203；以及具有將固定電壓或信號供應到佈線 24 的功能的電路 204。

另外，圖 24A 至 25D 所示的電路 100 可以使用電晶體作爲開關 11、開關 12、開關 13 以及開關 914。

作爲一個例子，如圖 86 所示，在開關 914 爲電晶體 914t 時，該電晶體 914t 的閘極可以與佈線 932 連接，該佈線 932 與具有供應固定電壓或信號的功能的電路 9206 連接。作爲電路 9206 的例子，有閘極驅動器(掃描線驅動電路)等。

另外，佈線 31 至佈線 33 及佈線 932 中的至少兩個佈線可以彼此連接。或者，佈線 31 至佈線 33 及佈線 932 中的至少一個佈線可以與其他電路 100 的佈線 31 至佈線 33 及佈線 932 中的至少一個連接。

圖 24A 至圖 25D 所示的電路 100 可以進行與圖 1A 至圖 2D 所示的電路 100 同樣的工作。作爲一個例子，在圖 24A 至圖 25D 所示的電路 100 中，較佳的是，在圖 5A 至圖 6C 所示的期間 T11 至期間 T13 及期間 T15 中，開關 914 處於導通狀態，並且在期間 T14 中，開關 914 處於非導通狀態。由此，可以防止在期間 T14 中電荷藉由電晶體 101 洩漏到發光元件 104a 等。但是，本發明的實施方式之一不侷限於此。

或者，在期間 T13 中，也可以使開關 914 處於非導通狀態。由此，因爲電流不流過電晶體 101，所以容易控制

電晶體 101 的閘極或源極等的電路 100 內的各節點的電位。

或者，在期間 T11 中，也可以使開關 914 處於非導通狀態。由此，因爲電流不流過電晶體 101，所以容易控制電晶體 101 的閘極或源極等的電路 100 內的各節點的電位。

或者，在期間 T15 的一部分中，使開關 914 處於非導通狀態。由此，可以不使電流流過發光元件 104a 等，以設有非發光期間。

另外，與圖 8A 至 9D 及圖 10B 同樣，圖 24B 及圖 25B 所示的電路 100 還可以具有與負載 104 連接的電容元件 105。與此同樣，圖 24C 及圖 25C 所示的電路 100 還可以具有與發光元件 104a 連接的電容元件 105。與此同樣，圖 24D 及圖 25D 所示的電路 100 還可以具有與發光元件 104b 連接的電容元件 105。明確地說，電容元件 105 中的一方電極與電容元件 103 中的另一方電極及電晶體 101 的源極和汲極中的一方連接。電容元件 105 中的另一方電極與另外設置的佈線 26、佈線 24、佈線 23 或佈線 22 連接。

另外，也可以將對圖 24B 至 24D 所示的電路 100 及圖 25B 至 25D 所示的電路 100 追加上述電容元件 105 的電路中的任何一個用作顯示裝置的像素。在將分別對應於多個顏色的像素設置在顯示裝置中時，每個像素所具有的電晶體 101 的通道寬度與通道長度的比也可以根據所對應

的顏色而互不相同。

另外，也可以將開關 914 設置在與圖 24A 至 25D 不同的位置。明確地說，作爲一個例子，可以將開關 914 設置在能夠控制佈線 23 與佈線 24 之間的導通狀態的位置。

例如，圖 26A 至 26D 分別示出電路 100 的結構例。圖 26A 至 26D 所示的電路 100 分別相當於對圖 1A 至 1D 所示的電路 100 追加開關 914 的結構。開關 914 具有控制電晶體 101 的源極和汲極中的一方與電容元件 103 中的另一方電極之間的導通狀態的功能。再者，在開關 13 處於導通狀態時，開關 914 具有控制電晶體 101 的源極和汲極中的一方與電容元件 102 中的一方電極及電容元件 103 中的一方電極之間的導通狀態的功能。

另外，除了圖 26A 至 26D 所示的電路 100 以外，本發明的一個方式的半導體裝置還可以包括具有將各種固定電壓或信號供應到電路 100 的功能的電路。

除了圖 26A 至 26D 所示的電路 100 以外，圖 27A 至 27D 所示的半導體裝置還分別包括：具有將固定電壓或信號供應到佈線 21 的功能的電路 201；具有將固定電壓或信號供應到佈線 22 的功能的電路 202；具有將固定電壓或信號供應到佈線 23 的功能的電路 203；以及具有將固定電壓或信號供應到佈線 24 的功能的電路 204。

另外，圖 26A 至 27D 所示的電路 100 可以使用電晶體作爲開關 11、開關 12、開關 13 以及開關 914。

圖 26A 至圖 27D 所示的電路 100 可以進行與圖 1A 至

圖 2D、圖 24A 至圖 25D 所示的電路 100 同樣的工作。

另外，與圖 8A 至 9D 及圖 10B 同樣，圖 26B 及圖 27B 所示的電路 100 還可以具有與負載 104 連接的電容元件 105。與此同樣，圖 26C 及圖 27C 所示的電路 100 還可以具有與發光元件 104a 連接的電容元件 105。與此同樣，圖 26D 及圖 27D 所示的電路 100 還可以具有與發光元件 104b 連接的電容元件 105。明確地說，電容元件 105 中的一方電極與電容元件 103 中的另一方電極連接。並且，開關 914 控制電容元件 105 中的一方電極與電晶體 101 的源極和汲極中的一方之間的導通狀態。電容元件 105 中的另一方電極與另外設置的佈線 26、佈線 24、佈線 23 或佈線 22 連接。

另外，也可以將對圖 26B 至 26D 所示的電路 100 及圖 27B 至 27D 所示的電路 100 追加上述電容元件 105 的電路中的任何一個用作顯示裝置的像素。在將分別對應於多個顏色的像素設置在顯示裝置中時，每個像素所具有的電晶體 101 的通道寬度與通道長度的比也可以根據所對應的顏色而互不相同。

另外，也可以將開關 914 設置在與圖 24A 至 27D 不同的位置。例如，圖 28A 至 28D 分別示出電路 100 的結構例。圖 28A 至 28D 所示的電路 100 分別相當於對圖 1A 至 1D 所示的電路 100 追加開關 914 的結構。該開關 914 具有控制電晶體 101 的源極和汲極中的一方與電容元件 103 中的另一方電極之間的導通狀態的功能。再者，在開

關 13 處於導通狀態時，開關 914 具有控制電容元件 102 中的一方電極及電容元件 103 中的一方電極與電容元件 103 中的另一方電極之間的導通狀態的功能。

另外，除了圖 28A 至 28D 所示的電路 100 以外，本發明的一個方式的半導體裝置還可以包括具有將各種固定電壓或信號供應到電路 100 的功能的電路。

除了圖 28A 至 28D 所示的電路 100 以外，圖 29A 至 29D 所示的半導體裝置還分別包括：具有將固定電壓或信號供應到佈線 21 的功能的電路 201；具有將固定電壓或信號供應到佈線 22 的功能的電路 202；具有將固定電壓或信號供應到佈線 23 的功能的電路 203；以及具有將固定電壓或信號供應到佈線 24 的功能的電路 204。

另外，圖 28A 至 29D 所示的電路 100 可以使用電晶體作爲開關 11、開關 12、開關 13 以及開關 914。

圖 28A 至圖 29D 所示的電路 100 可以進行與圖 1A 至圖 2D、圖 24A 至圖 27D 所示的電路 100 同樣的工作。作爲一個例子，在圖 28A 至圖 29D 所示的電路 100 中，較佳的是，在圖 5A 至圖 6C 所示的期間 T11 至期間 T13 及期間 T15 中，開關 914 處於導通狀態，並且在期間 T14 中，開關 914 處於非導通狀態。由此，可以防止在期間 T14 中電荷藉由電晶體 101 洩漏到發光元件 104a 等。但是，本發明的實施方式之一不侷限於此。

或者，在期間 T11 中，也可以使開關 914 處於非導通狀態。由此，因爲電流不流過電晶體 101，所以容易控制

電位。

或者，在期間 T15 的一部分中，使開關 914 處於非導通狀態。由此，可以不使電流流過發光元件 104a 等，以設有非發光期間。

另外，在期間 T12 中，也可以使開關 914 處於非導通狀態。藉由在期間 T12 中使開關 914 處於非導通狀態，可以在期間 T12 中將發光元件 104a 的陽極的電位保持爲電位 Vi1。因此，在期間 T12 中的第二工作結束之後，可以進行期間 T14 中的第四工作，而不設有期間 T13，即不進行第三工作。

另外，與圖 8A 至 9D 及圖 10B 等同樣，圖 28B 及圖 29B 所示的電路 100 還可以具有與負載 104 連接的電容元件 105。與此同樣，圖 28C 及圖 29C 所示的電路 100 還可以具有與發光元件 104a 連接的電容元件 105。與此同樣，圖 28D 及圖 29D 所示的電路 100 還可以具有與發光元件 104b 連接的電容元件 105。明確地說，電容元件 105 中的一方電極與電容元件 103 中的另一方電極連接。並且，開關 914 控制電容元件 105 中的一方電極與電晶體 101 的源極和汲極中的一方之間的導通狀態。電容元件 105 中的另一方電極與另外設置的佈線 26、佈線 24、佈線 23 或佈線 22 連接。

另外，也可以將對圖 28B 至 28D 所示的電路 100 及圖 29B 至 29D 所示的電路 100 追加上述電容元件 105 的電路中的任何一個用作顯示裝置的像素。在將分別對應於

多個顏色的像素設置在顯示裝置中時，每個像素所具有的電晶體 101 的通道寬度與通道長度的比也可以根據所對應的顏色而互不相同。

另外，也可以將開關 914 設置在與圖 24A 至 29D 不同的位置。例如，圖 30A 至 30D 分別示出電路 100 的結構例。圖 30A 至 30D 所示的電路 100 分別相當於對圖 1A 至 1D 所示的電路 100 追加開關 914 的結構。在圖 30A 中，開關 914 具有控制電晶體 101 的源極和汲極中的一方及電容元件 103 中的另一方電極與佈線 24 之間的導通狀態的功能。在圖 30B 中，開關 914 具有控制電晶體 101 的源極和汲極中的一方及電容元件 103 中的另一方電極與負載 104 之間的導通狀態的功能。在圖 30C 中，開關 914 具有控制電晶體 101 的源極和汲極中的一方及電容元件 103 中的另一方電極與發光元件 104a 的陽極之間的導通狀態的功能。在圖 30D 中，開關 914 具有控制電晶體 101 的源極和汲極中的一方及電容元件 103 中的另一方電極與發光元件 104b 的陰極之間的導通狀態的功能。

另外，除了圖 30A 至 30D 所示的電路 100 以外，本發明的一個方式的半導體裝置還可以包括具有將各種固定電壓或信號供應到電路 100 的功能的電路。

除了圖 30A 至 30D 所示的電路 100 以外，圖 31A 至 31D 所示的半導體裝置還分別包括：具有將固定電壓或信號供應到佈線 21 的功能的電路 201；具有將固定電壓或信號供應到佈線 22 的功能的電路 202；具有將固定電壓

或信號供應到佈線 23 的功能的電路 203；以及具有將固定電壓或信號供應到佈線 24 的功能的電路 204。

另外，圖 30A 至 31D 所示的電路 100 可以使用電晶體作爲開關 11、開關 12、開關 13 以及開關 914。

圖 30A 至圖 31D 所示的電路 100 可以進行與圖 1A 至圖 2D、圖 24A 至圖 29D 所示的電路 100 同樣的工作。作爲一個例子，在圖 30A 至圖 31D 所示的電路 100 中，較佳的是，在圖 5A 至圖 6C 所示的期間 T11 及期間 T13 至期間 T15 中，開關 914 處於導通狀態，並且在期間 T12 中，開關 914 處於非導通狀態。但是，本發明的實施方式之一不侷限於此。由此，藉由在期間 T12 中使開關 914 處於非導通狀態，可以在期間 T12 中將發光元件 104a 的陽極的電位保持爲電位 Vi1。因此，在期間 T12 中的第二工作結束之後，可以進行期間 T14 中的第四工作，而不設有期間 T13，即不進行第三工作。但是，本發明的實施方式之一不侷限於此。

或者，在期間 T11 中，也可以使開關 914 處於非導通狀態。由此，因爲電流不流過發光元件 104a 等，所以佈線 22 的電位 Vi2 也可以爲高電位。

或者，在期間 T12 中，也可以使開關 914 處於非導通狀態。由此，因爲電流不流過發光元件 104a 等，所以佈線 22 的電位 Vi2 也可以爲高電位。

或者，在期間 T15 的一部分中，使開關 914 處於非導通狀態。由此，可以不使電流流過發光元件 104a 等，以

設有非發光期間。

另外，與圖 8A 至 9D、圖 10B、圖 21A 至 22E 等同樣，圖 30B 及圖 31B 所示的電路 100 還可以具有與負載 104 連接的電容元件 105。與此同樣，圖 30C 及圖 31C 所示的電路 100 還可以具有與發光元件 104a 連接的電容元件 105。與此同樣，圖 30D 及圖 31D 所示的電路 100 還可以具有與發光元件 104b 連接的電容元件 105。明確地說，電容元件 105 中的一方電極與電容元件 103 中的另一方電極及電晶體 101 的源極和汲極中的一方連接。電容元件 105 中的另一方電極與另外設置的佈線 26、佈線 24、佈線 23 或佈線 22 連接。

另外，也可以將對圖 30B 至 30D 所示的電路 100 及圖 31B 至 31D 所示的電路 100 追加上述電容元件 105 的電路中的任何一個用作顯示裝置的像素。在將分別對應於多個顏色的像素設置在顯示裝置中時，每個像素所具有的電晶體 101 的通道寬度與通道長度的比也可以根據所對應的顏色而互不相同。

另外，雖然參照圖 24A 至 31D 說明了對圖 1A 至 1D 等所示的電路追加開關 914 的結構，但是被追加開關 914 的電路不侷限於圖 1A 至 1D 等。與圖 24A 至 31D 同樣，也可以採用對圖 1A 至 1D 以外的其他圖式所示的電路追加開關 914 的結構。例如，與圖 24A 至 31D 同樣，也可以採用對如圖 11A 至 11D 所示的電路那樣的追加開關 14 的結構進一步追加開關 914 的結構。圖 87A 至 87D 示出

上述情況的一個例子。

接著，示出在圖 1A 至 1D 及圖 11A 至 11D 等的電路中使用與圖 5A 至 5C 及圖 17A 至 17C 等所示的驅動方法不同的驅動方法時的一個例子。另外，較佳的是，因爲在使用該驅動方法時與在列方向上的像素之間連接佈線 23 的情況相比在行方向上的像素之間連接佈線 23，所以圖 34A 至 34D 分別示出圖 1A 至 1D 所示的電路 100 的配置例。作爲一個例子，圖 34A 至 34D 示出如下情況：連接於互不相同的佈線 21 的多個電路 100 與同一佈線 23 連接。就是說，佈線 23 設置爲與佈線 21 交叉。

以下，以圖 34C 所示的電路 100 爲例來說明本發明的一個方式的半導體裝置的工作。在該工作中，在圖 5B 或圖 17B 所示的第一工作中，在電壓 Vi2-Vi1 供應到電容元件 102，並且電晶體 101 的閘極-源極間電壓(Vgs101)成爲電壓 Vi2-Vi1 時，不是藉由佈線 21 或開關 14 供應電位 Vi1，而是藉由佈線 23 供應電位 Vi1。因此，可以將圖 5A 至 5C 或圖 17A 至 17C 等所示的內容應用於本發明的一個方式的半導體裝置。

圖 34C 所示的電路 100 的工作主要可以分爲第一工作、第二工作、第三工作、第四工作以及第五工作。但是，本發明不侷限於此，也可以重新追加工作或者去除工作的一部分。

首先，說明在期間 T11 中進行的第一工作。在期間 T11 中，如圖 35A 所示，開關 11 處於非導通狀態，並且

開關 12 及開關 13 處於導通狀態。另外，將電位 Vi1 供應到佈線 23。由此，在期間 T11 中，發光元件 104a 的陽極的電位成爲電位 Vi1，並且電晶體 101 的閘極-源極間電壓(Vgs101)成爲電壓 Vi2-Vi1。就是說，使電晶體 101 及電容元件 102 初始化。

接著，說明在期間 T12 中進行的第二工作。在期間 T12 中，如圖 35B 所示，開關 11 處於非導通狀態，並且開關 12 及開關 13 處於導通狀態。另外，將電位 VDD 供應到佈線 23。藉由將電位 VDD 供應到佈線 23，藉由電晶體 101 釋放儲存在電容元件 102 中的電荷，由此電晶體 101 的源極電位上升。然後，在電晶體 101 成爲截止狀態時，來自電容元件 102 的電荷的釋放停止。最終，電容元件 102 儲存電晶體 101 的臨界電壓 Vth。由此，在期間 T12 中，電容元件 102 儲存臨界電壓 Vth，發光元件 104a 的陽極的電位成爲電位 Vi2-Vth，並且電晶體 101 的閘極-源極間電壓(Vgs101)成爲臨界電壓 Vth。就是說，可以得到電晶體 101 的臨界電壓 Vth。

像這樣，因爲可以進行第一工作及第二工作而不使用佈線 21，所以可以充分確保第一及第二工作的期間。因此，可以更準確地得到電晶體 101 的臨界電壓，而可以進行顯示不均勻少的高品質顯示。

接著，說明在期間 T13 中進行的第三工作。在期間 T13 中，如圖 35C 所示，開關 11 及開關 13 處於導通狀態，並且開關 12 處於非導通狀態。只要將任意的電位供

應到佈線 23，即可，例如，將電位 VDD 或電位 Vi1 供應到佈線 23。另外，將電位 Vi3 供應到佈線 21。電位 Vi3 可以與電位 Vcat 相等，可以與電位 Vi2 相等，或者，可以與電位 Vi1 相等。由此，在期間 T13 中，電容元件 102 儲存臨界電壓 Vth，發光元件 104a 的陽極的電位成爲電位 Vi3，電晶體 101 的閘極電位成爲電位 Vi3+Vth，並且電晶體 101 的閘極-源極間電壓(Vgs101)成爲臨界電壓 Vth。

接著，說明在期間 T14 中進行的第四工作。在期間 T14 中，如圖 35D 所示，開關 11 處於導通狀態，而開關 12 及開關 13 處於非導通狀態。另外，將電位 Vsig 供應到佈線 21。因此，在期間 T14 中，電容元件 102 儲存臨界電壓 Vth，電容元件 103 儲存電壓 Vsig-Vi3-Vα，發光元件 104a 的陽極的電位成爲電位 Vi3+Vα，電晶體 101 的閘極電位成爲電位 Vsig+Vth，並且電晶體 101 的閘極-源極間電壓(Vgs101)成爲電壓 Vsig+Vth-Vi3-Vα。

接著，說明在期間 T15 中進行的第五工作。在期間 T15 中，如圖 36 所示，開關 11、開關 12 以及開關 13 處於非導通狀態。因此，在期間 T15 中，電容元件 102 儲存臨界電壓 Vth，電容元件 103 儲存電壓 Vsig-Vi3-Vα，發光元件 104a 的陽極的電位成爲電位 Vel，電晶體 101 的閘極電位成爲電位 Vsig+Vth-Vi3-Vα+Vel，並且電晶體 101 的閘極-源極間電壓(Vgs101)成爲電壓 Vsig+Vth-Vi3-Vα。因此，可以使其大小對應於電位 Vsig 的電流流過發光元

件 104a，而可以使發光元件 104a 以對應於電位 Vsig 的亮度發光。

電位 Vel 是在使電流藉由電晶體 101 流過發光元件 104a 時發生的電位。明確地說，電位 Vel 是電位 VDD 與電位 Vcat 之間的電位。

在上述第五工作中，可以將電晶體 101 的閘極-源極間電壓(Vgs101)設定爲電壓 Vsig+Vth-Vi3-Vα，即加上電晶體 101 的臨界電壓 Vth 的值。因此，藉由採用上述結構，可以防止電晶體 101 的臨界電壓 Vth 的不均勻影響到供應到發光元件 104a 的電流值。或者，即使電晶體 101 退化而使臨界電壓 Vth 發生變化，也可以防止上述變化影響到供應到發光元件 104a 的電流值。因此，可以減少顯示不均勻，而進行高品質顯示。

另外，在期間 T15 的一部分中，也可以控制佈線 23 的電位來使電流不流過發光元件 104a 等，以設有非發光期間。例如，在佈線 23 的電位與佈線 24 的電位相等時，可以不形成電流。

另外，雖然在圖 34A 至 35D 中不設置有開關 14，但是本發明不侷限於此，也可以與圖 11A 至 16D、圖 17B 至 18B 以及圖 20B 至 23B 同樣設置開關 14。

另外，雖然在圖 34A 至 35D 中不設置有開關 914，但是本發明不侷限於此，也可以與圖 24A 至 31D、圖 46A 至 52D、圖 57A 至 57D、圖 63B 至 63D、圖 64B 至 65A、圖 66A、圖 67A、圖 68A、圖 68C、圖 73A 至 73D 以及圖

87A 至 87D 同樣設置開關 914。

另外，雖然在圖 34A 至 35D 中改變佈線 23 的電位來進行工作，但是也可以利用多個佈線控制電位。以下，說明這種情況的一個例子。因此，可以將參照圖 34A 至 35D、圖 5A 至 5C、圖 17A 至 17C 等說明的內容應用於本發明的一個方式的半導體裝置。圖 32A 至 32D 分別示出電路 100 的結構例。圖 32A 至 32D 所示的電路 100 分別相當於如下結構：對圖 1A 至 1D 或圖 34A 至圖 36 所示的電路 100 追加開關 814 及開關 15，並且使用佈線 23a 及佈線 23b 代替佈線 23。在圖 32A 至 32D 中，開關 814 具有控制電晶體 101 的源極和汲極中的另一方與佈線 23a 之間的導通狀態的功能。另外，開關 15 具有控制電晶體 101 的源極和汲極中的另一方與佈線 23b 之間的導通狀態的功能。

另外，佈線 23a 及/或佈線 23b 可以設置爲與佈線 21 交叉，但是也可以設置爲與佈線 21 平行而不與佈線 21 交叉。

另外，除了圖 32A 至 32D 所示的電路 100 以外，本發明的一個方式的半導體裝置還可以包括具有將各種固定電壓或信號供應到電路 100 的功能的電路。

除了圖 32A 至 32D 所示的電路 100 以外，圖 33A 至 33D 所示的半導體裝置還分別包括：具有將固定電壓或信號供應到佈線 21 的功能的電路 201；具有將固定電壓或信號供應到佈線 22 的功能的電路 202；具有將固定電壓

或信號供應到佈線 23a 的功能的電路 203a；具有將固定電壓或信號供應到佈線 23b 的功能的電路 203b；以及具有將固定電壓或信號供應到佈線 24 的功能的電路 204。明確地說，電路 203a 具有將電位 Vi1 供應到佈線 23a 的功能。另外，電路 203b 具有將電源電位(高電源電位或低電源電位)如電位 VDD 或電位 VSS 供應到佈線 23b 的功能。作爲電路 203a 及電路 203b 的例子，有電源電路等。

因此，佈線 23a 具有能夠傳送或供應電位 Vi1 的功能。或者，佈線 23a 具有初始化用佈線的功能。另外，佈線 23a 的電位爲固定的電位較佳，但是本發明的實施方式之一不侷限於此，佈線 23a 的電位也可以像脈衝信號那樣變動。

因此，佈線 23b 具有能夠傳送或供應電源電位的功能。或者，佈線 23b 具有能夠將電流供應到電晶體 101 的功能。或者，佈線 23b 具有能夠將電流供應到負載 104 的功能。或者，佈線 23b 具有電源線的功能。或者，佈線 23b 具有電流供應線的功能。另外，佈線 23b 的電位爲固定的電位較佳，但是本發明的實施方式之一不侷限於此，佈線 23b 的電位也可以像脈衝信號那樣變動。例如，佈線 23b 的電位也可以是不僅將正偏壓施加到負載 104 而且還將反偏壓施加到負載 104 的電位。

另外，作爲一個例子，在圖 33A 至 33D 中示出半導體裝置除了電路 100 以外還具有電路 201、電路 202、電路 203a、電路 203b 以及電路 204 的情況，但是本發明的

一個方式的半導體裝置不必須要具有電路 201、電路 202、電路 203a、電路 203b 以及電路 204 的所有電路，也可以只具有它們中的任何一個或多個。

另外，圖 32A 至 33D 所示的電路 100 可以使用電晶體作爲開關 11、開關 12、開關 13、開關 814 以及開關 15。

圖 32A 至圖 33D 所示的電路 100 可以進行與圖 34A 至圖 36 所示的電路 100 同樣的工作。作爲一個例子，在圖 32A 至圖 33D 所示的電路 100 中，在期間 T11 中，開關 814 處於導通狀態，並且開關 15 處於非導通狀態。另外，在期間 T12 至期間 T15 中，開關 814 處於非導通狀態，並且開關 15 處於導通狀態。

另外，與圖 8A 至 9D、21A 至 22E 等同樣，圖 32B 及圖 33B 所示的電路 100 還可以具有與負載 104 連接的電容元件 105。與此同樣，圖 32C 及圖 33C 所示的電路 100 還可以具有與發光元件 104a 連接的電容元件 105。與此同樣，圖 32D 及圖 33D 所示的電路 100 還可以具有與發光元件 104b 連接的電容元件 105。明確地說，電容元件 105 中的一方電極與電容元件 103 中的另一方電極及電晶體 101 的源極和汲極中的一方連接。電容元件 105 中的另一方電極與另外設置的佈線 26、佈線 24、佈線 23 或佈線 22 連接。

另外，也可以將對圖 32B 至 32D 所示的電路 100 及圖 33B 至 33D 所示的電路 100 追加上述電容元件 105 的

電路中的任何一個用作顯示裝置的像素。在將分別對應於多個顏色的像素設置在顯示裝置中時，每個像素所具有的電晶體 101 的通道寬度與通道長度的比也可以根據所對應的顏色而互不相同。

另外，雖然在圖 32A 至 33D 中不設置有開關 14，但是本發明不侷限於此，也可以與圖 11A 至 16D、圖 17B 至 18B 以及圖 20B 至 23B 同樣設置開關 14。

另外，雖然在圖 32A 至 33D 中不設置有開關 914，但是本發明不侷限於此，也可以與圖 24A 至 31D、圖 46A 至 52D、圖 57A 至 57D、圖 63B 至 63D、圖 64B 至 65A、圖 66A、圖 67A、圖 67C、圖 68A、圖 68C、圖 73A 至 73D 以及圖 87A 至 87D 同樣設置開關 914。

本實施方式相當於對其他實施方式的一部或全部進行了改變、追加、修正、去除、應用、屬概念化或種概念化的方式。因此，可以以本實施方式的一部或全部對其他實施方式的一部或全部自由地進行組合、應用以及置換。

實施方式 3

在本實施方式中，說明本發明的一個方式的半導體裝置的電路 100 的結構例。在本實施方式中，說明對實施方式 1 及 2 所示的電路追加開關或佈線等、改變連接的一部分、採用將某個佈線連接到其他佈線來使它們合爲一體的結構等或改變驅動方法的一部的情況等。因此，在實施方式 1 及 2 中說明的內容可以應用於本實施方式。

圖 43A 所示的電路 100 相當於開關 14 的位置與圖 11C 所示的電路 100 不同的結構或對圖 1C 所示的電路 100 追加開關 14 的結構。在圖 43A 所示的電路 100 中，開關 14 具有控制電容元件 102 中的一方電極或電容元件 103 中的一方電極與佈線 25 之間的導通狀態的功能。

另外，其工作與圖 17A 至 20B 相同。但是，雖然在圖 18A 中在第四工作中開關 14 處於導通狀態，但是，較佳的是，在圖 43A 中在第四工作中開關 14 處於非導通狀態。但是，本發明的實施方式的一個方式不侷限於此。

另外，在圖 43A 中，也可以如圖 24A 至 31D 等的那樣設置開關 914。另外，在圖 43A 中，也可以如圖 32A 至 33D 等的那樣設置開關 814、開關 15。另外，在圖 43A 中，也可以如圖 34A 至 34D 等的那樣控制佈線 23 的電位。作爲一個例子，圖 43F 示出在圖 43A 中如圖 30A 至 30D 的那樣設置開關 914 的情況。

另外，與圖 8A 至 9D、圖 21A 至 22E 等同樣地，可以對圖 43A 所示的電路 100 追加電容元件 105。作爲一個例子，圖 43B 所示的電路 100 相當於對圖 43A 所示的電路 100 追加電容元件 105 的結構。上述電容元件 105 中的一方電極與電容元件 103 中的另一方電極連接，並且上述電容元件 105 中的另一方電極與佈線 26 連接。

另外，與圖 8A 至 8D、圖 21A 至 21E 同樣地，佈線 26 可以與各種佈線連接。作爲一個例子，圖 43C 所示的電路 100 示出在圖 43B 所示的電路 100 中佈線 26 與佈線

25 連接的情況。佈線 26 除了與佈線 25 連接以外還可以與佈線 24、佈線 22、佈線 23、閘極信號線、其他電路 100 的佈線等各種佈線連接。

另外，佈線 25 可以與各種佈線連接。例如，圖 43D 所示的電路 100 示出在圖 43A 所示的電路 100 中佈線 25 與佈線 24 連接的情況。

另外，圖 43E 所示的電路 100 相當於對圖 43D 所示的電路 100 追加電容元件 105 的結構。上述電容元件 105 中的一方電極與電容元件 103 中的另一方電極連接，並且上述電容元件 105 中的另一方電極與佈線 26 連接。

另外，除了圖 43A 至 43F 所示的電路 100 以外，圖 44A 至 44F 所示的半導體裝置還分別包括如下電路中的多個電路：具有將固定電壓或信號供應到佈線 21 的功能的電路 220；具有將固定電壓或信號供應到佈線 22 的功能的電路 221；具有將固定電壓或信號供應到佈線 23 的功能的電路 222；具有將固定電壓或信號供應到佈線 24 的功能的電路 223；具有將固定電壓或信號供應到佈線 25 的功能的電路 224；以及具有將固定電壓或信號供應到佈線 26 的功能的電路 225。

另外，雖然在圖 43A 至 44F 中示出使用發光元件 104a 時的電路 100 的結構，但是本發明的一個方式的半導體裝置也可以具有如下結構，即在圖 43A 至 44F 所示的電路 100 中沒有發光元件 104a 的結構或者具有負載 104 或發光元件 104b 代替發光元件 104a 的結構。

另外，與圖 43D 同樣地，在圖 11A 至 11D 等中，佈線 25 也可以與各種佈線連接。例如，圖 45A 所示的電路 100 具有在圖 11C 所示的電路 100 中佈線 25 與佈線 24 連接的結構。

另外，與圖 8A 至 9D、圖 21A 至 22E 等同樣地，也可以對圖 45A 所示的電路 100 追加電容元件 105 或連接佈線。例如，圖 45B 所示的電路 100 相當於對圖 45A 所示的電路 100 追加電容元件 105 的結構。上述電容元件 105 中的一方電極與電容元件 103 中的另一方電極連接，並且上述電容元件 105 中的另一方電極與佈線 26 連接。另外，佈線 25 也可以與佈線 26 連接，而不與佈線 24 連接。另外，佈線 26 和佈線 25 都可以與佈線 24 連接。

另外，除了圖 45A 和 45B 所示的電路 100 以外，圖 45C 和 45D 所示的半導體裝置還分別包括如下電路中的多個電路：具有將固定電壓或信號供應到佈線 21 的功能的電路 220；具有將固定電壓或信號供應到佈線 22 的功能的電路 221；具有將固定電壓或信號供應到佈線 23 的功能的電路 222；具有將固定電壓或信號供應到佈線 24 的功能的電路 223；以及具有將固定電壓或信號供應到佈線 26 的功能的電路 225。

另外，雖然在圖 45A 至 45D 中示出使用發光元件 104a 時的電路 100 的結構，但是本發明的一個方式的半導體裝置也可以具有如下結構，即在圖 45A 至 45D 所示的電路 100 中沒有發光元件 104a 的結構或者具有負載

104 或發光元件 104b 代替發光元件 104a 的結構。

另外，在圖 1A 至 1D 等所示的電路中，可以追加開關 14 和開關 914 中的一者或兩者，以設置它們兩者的開關。換言之，可以對圖 11A 至 11D、圖 32A 至 32D、圖 34A 至 34D、圖 43A 至 43F、圖 45A 至 45D 等追加開關 914 或者對圖 24A 至 24D、圖 26A 至 26D、圖 28A 至 28D、圖 30A 至 30D、圖 32A 至 32D、圖 34A 至 34D 等追加開關 14。例如，圖 46A 所示的電路 100 相當於對圖 11C 所示的電路 100 追加開關 914 的結構或對圖 28C 所示的電路 100 追加開關 14 的結構。在圖 46A 所示的電路 100 中，開關 914 具有控制電晶體 101 的源極和汲極中的一方與電容元件 103 中的另一方電極或發光元件 104a 的陽極之間的導通狀態的功能。

另外，與圖 44D、圖 45A 至 45D 同樣地，在圖 46A 中，也可以將佈線 25 連接到其他佈線。例如，圖 46B 示出在圖 46A 所示的電路 100 中將佈線 25 連接到佈線 24 時的例子。

另外，設置開關 14 的位置不侷限於圖 46A 的位置，而與圖 43A 至 43F 同樣地可以將開關 14 設置在其他位置。圖 46C 所示的電路 100 是在圖 46A 中與圖 43A 同樣地設置開關 14 時的例子，並且開關 14 具有控制電容元件 102 中的一方電極及電容元件 103 中的一方電極與佈線 25 之間的導通狀態的功能。

另外，可以設置一個或多個相當於開關 14 的開關。

例如，圖 46D 所示的電路 100 包括開關 14a 和開關 14b 代替開關 14，該開關 14a 具有控制電容元件 103 中的另一方電極及發光元件 104a 的陽極與佈線 24 之間的導通狀態的功能，而該開關 14b 具有控制電容元件 102 中的一方電極及電容元件 103 中的一方電極與佈線 25 之間的導通狀態的功能，這是與圖 46A 所示的電路 100 不同之處。也就是說，圖 46D 是在兩個位置追加有開關 14 的例子。

另外，除了圖 46A 至 46D 所示的電路 100 以外，圖 47A 至 47D 所示的半導體裝置還分別包括如下電路中的多個電路：具有將固定電壓或信號供應到佈線 21 的功能的電路 220；具有將固定電壓或信號供應到佈線 22 的功能的電路 221；具有將固定電壓或信號供應到佈線 23 的功能的電路 222；具有將固定電壓或信號供應到佈線 24 的功能的電路 223；以及具有將固定電壓或信號供應到佈線 25 的功能的電路 224。

另外，雖然在圖 46A 至 47D 中示出使用發光元件 104a 時的電路 100 的結構，但是本發明的一個方式的半導體裝置也可以具有如下結構，即在圖 46A 至 47D 所示的電路 100 中沒有發光元件 104a 的結構或者具有負載 104 或發光元件 104b 代替發光元件 104a 的結構。

另外，設置有開關 14 及開關 914 的結構除了圖 46A 至 46D、圖 87A 至 87D 以外還可以採用各種結構。此時的驅動方法可以與圖 5A 至 6C、圖 17A 至 18B、圖 20A 及 20B、圖 35A 至 36 相同。圖 48A 所示的電路 100 與圖

46A 所示的電路 100 的不同之處在於開關 14 的位置。在圖 48A 所示的電路 100 中，開關 14 具有控制電晶體 101 中的源極和汲極中的一方與佈線 25 之間的導通狀態的功能。

另外，在圖 48A 中，與圖 44D 或圖 45A 至 45D 同樣地，可以將佈線 25 連接到其他佈線。例如，圖 48B 所示的電路 100 示出在圖 46A 所示的電路 100 中將佈線 25 連接到佈線 24 時的例子。

另外，除了圖 48A 及 48B 所示的電路 100 以外，圖 48C 及 48D 所示的半導體裝置還分別包括如下電路中的多個電路：具有將固定電壓或信號供應到佈線 21 的功能的電路 220；具有將固定電壓或信號供應到佈線 22 的功能的電路 221；具有將固定電壓或信號供應到佈線 23 的功能的電路 222；具有將固定電壓或信號供應到佈線 24 的功能的電路 223；以及具有將固定電壓或信號供應到佈線 25 的功能的電路 224。

另外，雖然在圖 48A 至 48D 中示出使用發光元件 104a 時的電路 100 的結構，但是本發明的一個方式的半導體裝置也可以具有如下結構，即在圖 48A 至 48D 所示的電路 100 中沒有發光元件 104a 的結構或者具有負載 104 或發光元件 104b 代替發光元件 104a 的結構。

圖 49A 所示的電路 100 是設置開關 14 及開關 914 時的另一個例子，並相當於對圖 11C 所示的電路 100 追加開關 914 的結構或對圖 30C 所示的電路 100 追加開關 14 的

結構。在圖 49A 所示的電路 100 中，開關 914 具有控制電晶體 101 的源極和汲極中的一方及電容元件 103 中的另一方電極與發光元件 104a 的陽極之間的導通狀態的功能。

此時的驅動方法可以與圖 5A 至 6C、圖 17A 至 18B、圖 20A 及 20B、圖 35A 至 36 相同。以下示出驅動方法的一個例子。

首先，說明在期間 T11 中進行的第一工作。在期間 T11 中，開關 11 及開關 914 處於非導通狀態，並且開關 12、開關 13 及開關 14 處於導通狀態。由此，在期間 T11 中，將電壓 Vi2-Vi1 供應到電容元件 102，發光元件 104a 的陽極的電位成爲電位 Vi1，並且電晶體 101 的閘極-源極間電壓(Vgs101)成爲電壓 Vi2-Vi1。就是說，使電晶體 101 及電容元件 102 初始化。

另外，在佈線 21 的電位不影響到對電晶體 101 及電容元件 102 的初始化時，開關 11 也可以處於導通狀態。在此情況下，開關 14 也可以處於非導通狀態。

另外，開關 13 也可以處於非導通狀態。

另外，開關 914 也可以處於導通狀態。

接著，說明在期間 T12 中進行的第二工作。在期間 T12 中，開關 11、開關 14 以及開關 914 處於非導通狀態，並且開關 12 及開關 13 處於導通狀態。當開關 11、開關 14、開關 914 處於非導通狀態時，藉由電晶體 101 釋放儲存在電容元件 102 中的電荷，由此電晶體 101 的源極電位上升。然後，在電晶體 101 成爲截止狀態時，來自

電容元件 102 的電荷的釋放停止。最終，電容元件 102 儲存電晶體 101 的臨界電壓 Vth。由此，在期間 T12 中，電容元件 102 儲存臨界電壓 Vth，發光元件 104a 的陽極的電位成爲電位 Vi2-Vth，並且電晶體 101 的閘極-源極間電壓(Vgs101)成爲臨界電壓 Vth(或其大小對應於 Vth 的電壓)。就是說，可以得到電晶體 101 的臨界電壓 Vth(或其大小對應於 Vth 的電壓)。

另外，在第二工作中，不管電晶體 101 的臨界電壓 Vth 是正值還是負值，都能夠進行工作。這是因爲直到電晶體 101 成爲截止狀態爲止電晶體 101 的源極電位能夠上升的緣故。就是說，這是因爲如下緣故：只有在電晶體 101 的源極電位高於電晶體 101 的閘極電位的狀態下，電晶體 101 才成爲截止，並且 Vgs101 成爲 Vth。因此，不管電晶體 101 是增強型(也稱爲常關閉型)還是耗盡型(也稱爲常開啓型)，都能夠正常地進行工作。

另外，較佳的是，在發光元件 104a 的陽極的電位變高時，電流不流過發光元件 104a。較佳的是，將電位 Vi2 設定爲低電位，以不使電流流過發光元件 104a。但是，由於藉由使開關 914 處於非導通狀態能夠使電流不流過發光元件 104a，所以電位 Vi2 也可以爲高電位。

另外，開關 914 也可以處於導通狀態。

接著，說明在期間 T13 中進行的第三工作。在期間 T13 中，開關 11 及開關 14 處於導通狀態，而開關 12、開關 13 及開關 914 處於非導通狀態。另外，將電位 Vsig 供

應到佈線 21。因此，在期間 T13 中，電容元件 102 儲存臨界電壓 Vth(或對應於 Vth 的程度的電壓)，電容元件 103 儲存電壓 Vsig-Vi1，發光元件 104a 的陽極的電位成爲電位 Vi1，電晶體 101 的閘極電位成爲電位 Vsig+Vth，並且電晶體 101 的閘極-源極間電壓(Vgs101)成爲電壓 Vsig+Vth-Vi1。因此，可以將電位 Vsig 輸入到電容元件 103。或者，可以使電容元件 102 的電壓與電容元件 103 的電壓的總和等於電晶體 101 的閘極-源極間電壓。

另外，此時也可以使開關 14 處於非導通狀態。

另外，開關 914 也可以處於導通狀態。

接著，說明在期間 T14 中進行的第四工作。在期間 T14 中，開關 11、開關 12、開關 13 以及開關 14 處於非導通狀態，而開關 914 處於導通狀態。因此，在期間 T14 中，電容元件 102 儲存臨界電壓 Vth，電容元件 103 儲存電壓 Vsig-Vi1，發光元件 104a 的陽極的電位成爲電位 Vel，電晶體 101 的閘極電位成爲電位 Vsig+Vth+Vel，並且電晶體 101 的閘極-源極間電壓(Vgs101)成爲電壓 Vsig+Vth-Vi1。因此，可以使其大小對應於電位 Vsig 的電流流過發光元件 104a，而可以使發光元件 104a 以對應於電位 Vsig 的亮度發光。

另外，在第四工作的一部分的期間中，也可以強制性地使電晶體 101 成爲截止狀態或者不使電流流過發光元件 104a，以不使發光元件 104a 發光。就是說，也可以設有非發光期間。例如，藉由使開關 12 導通，可以使電晶體

101 成爲截止狀態。或者，藉由使開關 14 導通，可以不使電流流過發光元件 104a。或者，藉由使開關 914 截止，可以不使電流流過發光元件 104a。

另外，也可以在進行上述第三工作的期間 T13 之後且在進行上述第四工作的期間 T14 之前設有進行第六工作的期間 T16。

說明在期間 T16 中進行的第六工作。在期間 T16 中，開關 12 處於導通狀態，而開關 11、開關 13、開關 914 以及開關 14 處於非導通狀態。因此，在期間 T16 中，電晶體 101 的閘極-源極間電壓(Vgs101)成爲電壓 Vsig+Vth-Vi1-Vα。

另外，在第六工作中，電位 Vα是隨發光元件 104a 的陽極成爲電浮動狀態(floating state)而變動的電位。在電晶體 101 截止時，電位 Vα的值由發光元件 104a 的電容值與電容元件 102 及電容元件 103 的電容值的比而決定。但是，在電位 Vsig 高到一定程度時，電晶體 101 導通，由此電荷藉由電晶體 101 流到發光元件 104a 的陽極。因此，電位 Vα不是只由上述靜電容量的比而決定，而是由於流到發光元件 104a 的陽極的電荷而變化。

另外，可以以同一時序控制開關 12 和開關 13 的導通和截止。因此，當用相同極性的電晶體構成開關 12 及開關 13 時，與圖 15A 至 15D 同樣，可以使電晶體的閘極彼此連接。

另外，佈線 22 或佈線 25 可以與其他各種佈線連接。

例如，圖 49B 所示的電路 100 示出在圖 49A 所示的電路 100 中佈線 25 與佈線 24 連接的情況。

另外，與圖 8A 至 9D、圖 21A 至 22E 等同樣地，也可以追加設置電容元件 105，例如，圖 49C 所示的電路 100 相當於對圖 49A 所示的電路 100 追加電容元件 105 的結構。上述電容元件 105 中的一方電極與電容元件 103 中的另一方電極連接，並且上述電容元件 105 中的另一方電極與佈線 26 連接。

另外，作爲以與圖 49C 不同的佈局設置電容元件 105 時的例子，圖 49D 所示的電路 100 相當於對圖 49A 所示的電路 100 追加電容元件 105 的結構。上述電容元件 105 中的一方電極與發光元件 104a 的陽極連接，並且上述電容元件 105 中的另一方電極與佈線 26 連接。

另外，除了圖 49A 至 49D 所示的電路 100 以外，圖 50A 至 50D 所示的半導體裝置還分別包括如下電路中的多個電路：具有將固定電壓或信號供應到佈線 21 的功能的電路 220；具有將固定電壓或信號供應到佈線 22 的功能的電路 221；具有將固定電壓或信號供應到佈線 23 的功能的電路 222；具有將固定電壓或信號供應到佈線 24 的功能的電路 223；具有將固定電壓或信號供應到佈線 25 的功能的電路 224；以及具有將固定電壓或信號供應到佈線 26 的功能的電路 225。

另外，雖然在圖 49A 至 50D 中示出使用發光元件 104a 時的電路 100 的結構，但是本發明的一個方式的半

導體裝置也可以具有如下結構，即在圖 49A 至 50D 所示的電路 100 中沒有發光元件 104a 的結構或者具有負載 104 或發光元件 104b 代替發光元件 104a 的結構。

另外，與圖 8A 至 8D、圖 21A 至 21E、圖 43A 至 43F、圖 45A 至 45D、圖 46A 至 46D 等同樣地，在圖 49A 至 49D 中也可以使佈線 22、佈線 23、佈線 24、佈線 25、佈線 26 等彼此連接。

另外，雖然在圖 49C 及 49D 中示出追加一個電容元件 105 的情況，但是本發明的實施方式的一個方式不侷限於此。在追加有電容元件 105 的電路 100 中，還可以追加更多電容元件。例如，圖 51A 所示的電路 100 相當於對圖 49A 所示的電路 100 追加電容元件 105a 及電容元件 105b 的結構。上述電容元件 105a 中的一方電極與電容元件 103 中的另一方電極連接，並且上述電容元件 105a 中的另一方電極與佈線 26 連接。上述電容元件 105b 中的一方電極與發光元件 104a 的陽極連接，並且上述電容元件 105b 中的另一方電極與佈線 27 連接。

另外，可以將佈線 25 連接到其他佈線，例如，圖 51B 所示的電路 100 相當於在圖 50C 所示的電路 100 中將佈線 25 連接到佈線 24 的結構。

另外，圖 51C 所示的電路 100 相當於在圖 50D 所示的電路 100 中使佈線 25 與佈線 24 連接的結構。

另外，圖 51D 所示的電路 100 相當於在圖 51A 所示的電路 100 中使佈線 25 與佈線 24 連接的結構。

另外，除了圖 51A 至 51D 所示的電路 100 以外，圖 52A 至 52D 所示的半導體裝置還分別包括如下電路中的多個電路：具有將固定電壓或信號供應到佈線 21 的功能的電路 220；具有將固定電壓或信號供應到佈線 22 的功能的電路 221；具有將固定電壓或信號供應到佈線 23 的功能的電路 222；具有將固定電壓或信號供應到佈線 24 的功能的電路 223；具有將固定電壓或信號供應到佈線 25 的功能的電路 224；具有將固定電壓或信號供應到佈線 26 的功能的電路 225；以及具有將固定電壓或信號供應到佈線 27 的功能的電路 226。

作爲電路 226 的例子，可以舉出電源電路等。因此，佈線 27 具有能夠傳送或供應預定的電位的功能。或者，佈線 27 具有電容用佈線的功能。另外，佈線 27 的電位爲固定的電位較佳，但是本發明的實施方式之一不侷限於此，佈線 27 的電位也可以像脈衝信號那樣變動。另外，佈線 27 可以與其他佈線連接。例如，可以使佈線 27 與佈線 25、佈線 24、佈線 22、佈線 26、佈線 23、閘極信號線、其他電路 100 的佈線等各種佈線連接。

另外，雖然在圖 51A 至 52D 中示出使用發光元件 104a 時的電路 100 的結構，但是本發明的一個方式的半導體裝置也可以具有如下結構，即在圖 51A 至 52D 所示的電路 100 中沒有發光元件 104a 的結構或者具有負載 104 或發光元件 104b 代替發光元件 104a 的結構。

另外，在上述各種電路中，可以使佈線 22 與其他佈

線連接。其結果是，可以減少佈線數。例如，可以將佈線 22 連接到佈線 21、佈線 23、佈線 23a、佈線 23b、佈線 24、佈線 25、佈線 26、佈線 27 等。或者，可以將佈線 22 連接到掃描線、閘極線、與電晶體的閘極連接的佈線等。作爲一個例子，圖 53A 所示的電路 100 示出在圖 11C 所示的電路 100 中使佈線 22 與佈線 21 連接的結構。

同樣地，圖 53B 所示的電路 100 示出在圖 1C 所示的電路 100 中使佈線 22 與佈線 21 連接的結構。

另外，與圖 8A 至 9D、圖 21A 至 22E 等同樣地，也可以追加電容元件 105。例如，圖 53C 所示的電路 100 相當於對圖 53A 所示的電路 100 追加電容元件 105 的結構或在圖 21A 所示的電路 100 中使佈線 22 與佈線 21 連接的結構。

另外，同樣地，在圖 43A 至 43F 等中也可以使佈線 22 與佈線 21 連接。例如，圖 53D 所示的電路 100 相當於在圖 43B 所示的電路 100 中使佈線 22 與佈線 21 連接的結構。

另外，除了圖 53A 至 53D 所示的電路 100 以外，圖 54A 至 54D 所示的半導體裝置還分別包括如下電路中的多個電路：具有將固定電壓或信號供應到佈線 21 的功能的電路 220；具有將固定電壓或信號供應到佈線 23 的功能的電路 222；具有將固定電壓或信號供應到佈線 24 的功能的電路 223；具有將固定電壓或信號供應到佈線 25 的功能的電路 224；以及具有將固定電壓或信號供應到佈線

26 的功能的電路 225。

另外，雖然在圖 53A 至 54D 中示出使用發光元件 104a 時的電路 100 的結構，但是根據本發明的一個方式的半導體裝置也可以具有如下結構，即在圖 53A 至 54D 所示的電路 100 中沒有發光元件 104a 的結構或者具有負載 104 或發光元件 104b 代替發光元件 104a 的結構。

另外，當某個佈線與第一佈線連接時，第二佈線也可以與第一佈線、第三佈線連接。例如，當佈線 22 與某一個佈線連接時，佈線 25 也可以與另一個佈線連接。例如，圖 55A 所示的電路 100 示出：在圖 11C 所示的電路 100 中使佈線 22 與佈線 21 連接並使佈線 25 與佈線 24 連接的結構；在圖 54A 所示的電路 100 中使佈線 25 與佈線 24 連接的結構；或在圖 45A 所示的電路 100 中使佈線 22 與佈線 21 連接的結構。

另外，與圖 8A 至 9D、圖 21A 至 22E 等同樣地，也可以追加電容元件 105。例如，圖 55B 所示的電路 100 相當於對圖 55A 所示的電路 100 追加電容元件 105 的結構或在圖 45B 所示的電路 100 中使佈線 22 與佈線 21 連接的結構。

另外，也可以改變開關 14 的位置。圖 55C 所示的電路 100 示出在圖 43E 所示的電路 100 中使佈線 22 與佈線 21 連接的結構。

另外，除了圖 55A 至 55C 所示的電路 100 以外，圖 56A 至 56C 所示的半導體裝置還分別包括如下電路中的多

個電路：具有將固定電壓或信號供應到佈線 21 的功能的電路 220；具有將固定電壓或信號供應到佈線 23 的功能的電路 222；具有將固定電壓或信號供應到佈線 24 的功能的電路 223；以及具有將固定電壓或信號供應到佈線 26 的功能的電路 225。

另外，雖然在圖 55A 至 56C 中示出使用發光元件 104a 時的電路 100 的結構，但是本發明的一個方式的半導體裝置也可以具有如下結構，即在圖 55A 至 56C 所示的電路 100 中沒有發光元件 104a 的結構或者具有負載 104 或發光元件 104b 代替發光元件 104a 的結構。

另外，圖 57A 所示的電路 100 相當於在圖 46A 所示的電路 100 中使佈線 22 與佈線 21 連接的結構。

另外，圖 57B 所示的電路 100 相當於在圖 28C 所示的電路 100 中使佈線 22 與佈線 21 連接的結構。

另外，與圖 8A 至 9D、圖 21A 至 22E 等同樣地，也可以追加開關 914。例如，圖 57C 所示的電路 100 相當於對圖 53C 所示的電路 100 追加開關 914 的結構。

另外，圖 57D 所示的電路 100 相當於對圖 53D 所示的電路 100 追加開關 914 的結構或在圖 57C 中改變開關 14 的配置的結構。

另外，除了圖 57A 至 57D 所示的電路 100 以外，圖 58A 至 58D 所示的半導體裝置還分別包括如下電路中的多個電路：具有將固定電壓或信號供應到佈線 21 的功能的電路 220；具有將固定電壓或信號供應到佈線 23 的功能

的電路 222；具有將固定電壓或信號供應到佈線 24 的功能的電路 223；具有將固定電壓或信號供應到佈線 25 的功能的電路 224；以及具有將固定電壓或信號供應到佈線 26 的功能的電路 225。

另外，雖然在圖 57A 至 58D 中示出使用發光元件 104a 時的電路 100 的結構，但是本發明的一個方式的半導體裝置也可以具有如下結構，即在圖 57A 至 58D 所示的電路 100 中沒有發光元件 104a 的結構或者具有負載 104 或發光元件 104b 代替發光元件 104a 的結構。

另外，圖 59A 所示的電路 100 相當於在圖 57A 所示的電路 100 中使佈線 25 與佈線 24 連接的結構。

另外，圖 59B 所示的電路 100 相當於在圖 57C 所示的電路 100 中使佈線 25 與佈線 24 連接的結構。

另外，圖 59C 所示的電路 100 相當於在圖 57D 所示的電路 100 中使佈線 25 與佈線 24 連接的結構。

另外，除了圖 59A 至 59C 所示的電路 100 以外，圖 60A 至 60C 所示的半導體裝置還分別包括如下電路中的多個電路：具有將固定電壓或信號供應到佈線 21 的功能的電路 220；具有將固定電壓或信號供應到佈線 23 的功能的電路 222；具有將固定電壓或信號供應到佈線 24 的功能的電路 223；以及具有將固定電壓或信號供應到佈線 26 的功能的電路 225。

另外，雖然在圖 59A 至 60C 中示出使用發光元件 104a 時的電路 100 的結構，但是本發明的一個方式的半

導體裝置也可以具有如下結構，即在圖 59A 至 60C 所示的電路 100 中沒有發光元件 104a 的結構或者具有負載 104 或發光元件 104b 代替發光元件 104a 的結構。

另外，佈線 22 也可以與佈線 21 以外的佈線連接。例如，佈線 22 也可以與佈線 24 連接。例如，圖 61A 所示的電路 100 相當於在圖 11C 所示的電路 100 中使佈線 22 與佈線 24 連接的結構。

另外，圖 61B 所示的電路 100 相當於在圖 1C 所示的電路 100 中使佈線 22 與佈線 24 連接的結構。

另外，圖 61C 所示的電路 100 相當於在圖 21A 所示的電路 100 中使佈線 22 與佈線 24 連接的結構。

另外，圖 61D 所示的電路 100 相當於在圖 43A 所示的電路 100 中使佈線 22 與佈線 24 連接的結構。

另外，除了圖 61A 至 61D 所示的電路 100 以外，圖 62A 至 62D 所示的半導體裝置還分別包括如下電路中的多個電路：具有將固定電壓或信號供應到佈線 21 的功能的電路 220；具有將固定電壓或信號供應到佈線 23 的功能的電路 222；具有將固定電壓或信號供應到佈線 24 的功能的電路 223；具有將固定電壓或信號供應到佈線 25 的功能的電路 224；以及具有將固定電壓或信號供應到佈線 26 的功能的電路 225。

另外，雖然在圖 61A 至 62D 中示出使用發光元件 104a 時的電路 100 的結構，但是本發明的一個方式的半導體裝置也可以具有如下結構，即在圖 61A 至 62D 所示

的電路 100 中沒有發光元件 104a 的結構或者具有負載 104 或發光元件 104b 代替發光元件 104a 的結構。

另外，與圖 8A 至 9D、圖 21A 至 22E 等同樣地，也可以追加電容元件 105。例如，圖 63A 所示的電路 100 相當於對圖 61B 所示的電路 100 追加電容元件 105 的結構或在圖 8A 所示的電路 100 中使佈線 22 與佈線 24 連接的結構。

另外，圖 63B 所示的電路 100 相當於在圖 46A 所示的電路 100 中使佈線 22 與佈線 24 連接的結構。

另外，圖 63C 所示的電路 100 相當於在圖 28C 所示的電路 100 中使佈線 22 與佈線 24 連接的結構。

另外，圖 63D 所示的電路 100 相當於在圖 63C 所示的電路 100 中與圖 8A 至 9D、圖 21A 至 22E 等同樣地追加電容元件 105 的結構。

另外，除了圖 63A 至 63D 所示的電路 100 以外，圖 64A 至 64D 所示的半導體裝置還分別包括如下電路中的多個電路：具有將固定電壓或信號供應到佈線 21 的功能的電路 220；具有將固定電壓或信號供應到佈線 23 的功能的電路 222；具有將固定電壓或信號供應到佈線 24 的功能的電路 223；具有將固定電壓或信號供應到佈線 25 的功能的電路 224；以及具有將固定電壓或信號供應到佈線 26 的功能的電路 225。

另外，雖然在圖 63A 至 64D 中示出使用發光元件 104a 時的電路 100 的結構，但是本發明的一個方式的半

導體裝置也可以具有如下結構，即在圖 63A 至 64D 所示的電路 100 中沒有發光元件 104a 的結構或者具有負載 104 或發光元件 104b 代替發光元件 104a 的結構。

另外，圖 65A 所示的電路 100 相當於對圖 61D 所示的電路 100 追加開關 914 的結構。在圖 65A 所示的電路 100 中，開關 914 具有控制電晶體 101 的源極和汲極中的一方與電容元件 103 中的另一方電極或發光元件 104a 的陽極之間的導通狀態的功能。

另外，圖 65B 所示的電路 100 相當於在圖 61A 所示的電路 100 中使佈線 25 與佈線 24 連接的結構。

另外，圖 65C 所示的電路 100 相當於在圖 61C 所示的電路 100 中使佈線 25 與佈線 24 連接的結構。

另外，圖 65D 所示的電路 100 相當於在圖 61D 所示的電路 100 中使佈線 25 與佈線 24 連接的結構。

另外，除了圖 65A 至 65D 所示的電路 100 以外，圖 66A 至 66D 所示的半導體裝置還分別包括如下電路中的多個電路：具有將固定電壓或信號供應到佈線 21 的功能的電路 220；具有將固定電壓或信號供應到佈線 23 的功能的電路 222；具有將固定電壓或信號供應到佈線 24 的功能的電路 223；具有將固定電壓或信號供應到佈線 25 的功能的電路 224；以及具有將固定電壓或信號供應到佈線 26 的功能的電路 225。

另外，雖然在圖 65A 至 66D 中示出使用發光元件 104a 時的電路 100 的結構，但是本發明的一個方式的半

導體裝置也可以具有如下結構，即在圖 65A 至 66D 所示的電路 100 中沒有發光元件 104a 的結構或者具有負載 104 或發光元件 104b 代替發光元件 104a 的結構。

另外，圖 67A 所示的電路 100 相當於在圖 65A 所示的電路 100 中與圖 8A 至 9D、圖 21A 至 22E 等同樣地追加電容元件 105 的結構。

另外，圖 67B 所示的電路 100 相當於在圖 65D 所示的電路 100 中與圖 8A 至 9D、圖 21A 至 22E 等同樣地追加電容元件 105 的結構。

另外，圖 67C 所示的電路 100 相當於在圖 63C 所示的電路 100 中與圖 8A 至 9D、圖 21A 至 22E 等同樣地追加電容元件 105 的結構。

另外，除了圖 67A 至 67C 所示的電路 100 以外，圖 68A 至 68C 所示的半導體裝置還分別包括如下電路中的多個電路：具有將固定電壓或信號供應到佈線 21 的功能的電路 220；具有將固定電壓或信號供應到佈線 23 的功能的電路 222；具有將固定電壓或信號供應到佈線 24 的功能的電路 223；具有將固定電壓或信號供應到佈線 25 的功能的電路 224；以及具有將固定電壓或信號供應到佈線 26 的功能的電路 225。

另外，雖然在圖 67A 至 68C 中示出使用發光元件 104a 時的電路 100 的結構，但是本發明的一個方式的半導體裝置也可以具有如下結構，即在圖 67A 至 68C 所示的電路 100 中沒有發光元件 104a 的結構或者具有負載

104 或發光元件 104b 代替發光元件 104a 的結構。

另外，在圖 32A 至 32D 所示的電路 100 中，也可以與上述圖式同樣地追加開關 14、開關 914、電容元件 105 等。或者，在圖 32A 至 32D 所示的電路 100 中，也可以使各種佈線與其他各種佈線連接來減少佈線數。例如，圖 69A 至 69D 所示的電路 100 分別相當於對圖 32A 至 32D 所示的電路 100 與圖 11A 至圖 11D 同樣地追加開關 14 的結構。

另外，除了圖 69A 至 69D 所示的電路 100 以外，本發明的一個方式的半導體裝置還可以包括具有將各種固定電壓或信號供應到電路 100 的功能的電路。

另外，除了圖 69A 至 69D 所示的電路 100 以外，圖 70A 至 70D 所示的半導體裝置還分別包括如下電路中的任一個或多個：具有將固定電壓或信號供應到佈線 21 的功能的電路 220；具有將固定電壓或信號供應到佈線 22 的功能的電路 221；具有將固定電壓或信號供應到佈線 23a 的功能的電路 222a；具有將固定電壓或信號供應到佈線 23b 的功能的電路 222b；具有將固定電壓或信號供應到佈線 24 的功能的電路 223；以及具有將固定電壓或信號供應到佈線 25 的功能的電路 224。

另外，作爲一個例子，在圖 70A 至 70D 中示出半導體裝置除了電路 100 以外還具有電路 220、電路 221、電路 222a、電路 222b、電路 223 及電路 224 的情況，但是本發明的一個方式的半導體裝置除了電路 100 以外不必須

要具有電路 220、電路 221、電路 222a、電路 222b、電路 223 及電路 224 的所有電路，也可以只具有它們中的任何一個或多個。

另外，圖 73A 所示的電路 100 相當於對圖 32C 所示的電路 100 追加開關 914 的結構。開關 914 具有控制電晶體 101 的源極和汲極中的一方與電容元件 103 中的另一方電極或發光元件 104a 的陽極之間的導通狀態的功能。

另外，圖 73B 所示的電路 100 相當於對圖 69C 所示的電路 100 追加開關 914 的結構。開關 914 具有控制電晶體 101 的源極和汲極中的一方與電容元件 103 中的另一方電極或發光元件 104a 的陽極之間的導通狀態的功能。

另外，除了圖 73A 及 73B 所示的電路 100 以外，本發明的一個方式的半導體裝置還可以包括具有將各種固定電壓或信號供應到電路 100 的功能的電路。

除了圖 73A 及 73B 所示的電路 100 以外，圖 73C 及 73D 所示的半導體裝置還分別包括如下電路中的任一個或多個：具有將固定電壓或信號供應到佈線 21 的功能的電路 220；具有將固定電壓或信號供應到佈線 22 的功能的電路 221；具有將固定電壓或信號供應到佈線 23a 的功能的電路 222a；具有將固定電壓或信號供應到佈線 23b 的功能的電路 222b；具有將固定電壓或信號供應到佈線 24 的功能的電路 223；以及具有將固定電壓或信號供應到佈線 25 的功能的電路 224。

另外，作爲一個例子，在圖 73C 及 73D 中示出半導

體裝置除了電路 100 以外還具有電路 220、電路 221、電路 222a、電路 222b、電路 223 及電路 224 的情況，但是本發明的一個方式的半導體裝置除了電路 100 以外不必須要具有電路 220、電路 221、電路 222a、電路 222b、電路 223 及電路 224 的所有電路，也可以只具有它們中的任何一個或多個。

另外，在圖 34A 至 34D 所示的電路 100 中，也可以與上述圖式同樣地追加開關 14、開關 914、電容元件 105 等。或者，在圖 34A 至 34D 所示的電路 100 中，也可以使各種佈線與其他各種佈線連接來減少佈線數。例如，圖 71A 至 71D 分別示出圖 34A 至 34D 所示的電路 100 的配置例子。

以圖 71C 所示的電路 100 爲例來說明本發明的一個方式的半導體裝置的工作的一個例子。

圖 71C 所示的電路 100 的工作主要可以分爲第一工作、第二工作、第三工作以及第四工作。但是，本發明不侷限於此，也可以重新追加工作或者去除工作的一部分。

首先，說明在期間 T11 中進行的第一工作。在期間 T11 中，如圖 72A 所示，開關 11、開關 13 及開關 14 處於非導通狀態，並且開關 12 處於導通狀態。另外，將電位 Vi1 供應到佈線 23。由此，在期間 T11 中，發光元件 104a 的陽極的電位成爲電位 Vi1，並且電晶體 101 的閘極-源極間電壓(Vgs101)成爲電壓 Vi2-Vi1。

注意，雖然圖 72A 作爲一個例子示出開關 11 處於非

導通狀態的情況，但是開關 11 也可以處於導通狀態。另外，雖然圖 72A 作爲一個例子示出開關 14 處於非導通狀態的情況，但是開關 14 也可以處於導通狀態。此時，將電位 Vi3 供應到佈線 25。發光元件 104a 的陽極的電位成爲電位 Vi3，並且電晶體 101 的閘極-源極間電壓(Vgs101)成爲電壓 Vi2-Vi3。另外，開關 13 也可以處於導通狀態。

接著，說明在期間 T12 中進行的第二工作。在期間 T12 中，如圖 72B 所示，開關 11 及開關 14 處於非導通狀態，並且開關 12 及開關 13 處於導通狀態。另外，將電位 VDD 或高於電位 Vi1 的電位供應到佈線 23。藉由將電位 VDD 供應到佈線 23，釋放儲存在電容元件 102 中的電荷，最終，在電容元件 102 中儲存電晶體 101 的臨界電壓 Vth。由此，在期間 T12 中，電容元件 102 儲存臨界電壓 Vth，發光元件 104a 的陽極的電位成爲電位 Vi2-Vth，並且電晶體 101 的閘極-源極間電壓(Vgs101)成爲臨界電壓 Vth。

接著，說明在期間 T13 中進行的第三工作。在期間 T13 中，如圖 72C 所示，開關 11 及開關 14 處於導通狀態，並且開關 12 及開關 13 處於非導通狀態。另外，將電位 Vsig 供應到佈線 21，將電位 VDD 供應到佈線 23，並且將電位 Vi3 供應到佈線 25。由此，在期間 T13 中，電容元件 102 儲存臨界電壓 Vth，電容元件 103 儲存電壓 Vsig-Vi3，發光元件 104a 的陽極的電位成爲電位 Vi3，電晶體 101 的閘極電位成爲電位 Vsig+Vth，並且電晶體 101

的閘極-源極間電壓(Vgs101)成爲電壓 Vsig+Vth-Vi3。另外，開關 14 也可以處於非導通狀態。

接著，說明在期間 T14 中進行的第四工作。在期間 T14 中，如圖 72D 所示，開關 11、開關 12、開關 13 及開關 14 處於非導通狀態。另外，將電位 VDD 供應到佈線 23。因此，在期間 T14 中，電容元件 102 儲存臨界電壓 Vth，電容元件 103 儲存電壓 Vsig-Vi3，發光元件 104a 的陽極的電位成爲電位 Vel，電晶體 101 的閘極電位成爲電位 Vsig+Vth-Vi3+Vel，並且電晶體 101 的閘極-源極間電壓(Vgs101)成爲電壓 Vsig+Vth-Vi3。

電位 Vel 是在使電流藉由電晶體 101 流過發光元件 104a 時設定的電位。明確地說，將電位 Vel 設定爲電位 VDD 與電位 Vcat 之間的電位。

在上述第四工作中，可以將電晶體 101 的閘極-源極間電壓(Vgs101)設定爲電壓 Vsig+Vth-Vi3，即加上電晶體 101 的臨界電壓 Vth 的值。因此，藉由採用上述結構，可以防止電晶體 101 的臨界電壓 Vth 的不均勻影響到供應到發光元件 104a 的電流值。或者，即使電晶體 101 退化而使臨界電壓 Vth 發生變化，也可以防止上述變化影響到供應到發光元件 104a 的電流值。因此，可以減少顯示不均勻，而進行高品質顯示。

另外，在本發明的一個方式的半導體裝置中，在第二工作中，將電晶體 101 的閘極電位保持爲電位 Vi2。藉由進行上述工作，即使電晶體 101 爲常開啓型電晶體，即臨

界電壓 Vth 具有負值，也可以直到電晶體 101 的源極電位超過閘極電位 Vi2 爲止釋放儲存在電容元件 102 中的電荷。因此，在本發明的一個方式的半導體裝置中，即使電晶體 101 爲常開啓型電晶體，也可以在上述第四工作中將電晶體 101 的閘極-源極間電壓(Vgs101)設定爲加上電晶體 101 的臨界電壓 Vth 的值。

在本實施方式中示出如下情況：使某個佈線連接到其他各種佈線，例如佈線 21、佈線 22、佈線 23、佈線 24、佈線 25、佈線 26、佈線 27 或其他電路 100 的佈線、掃描線、閘極線、與電晶體的閘極連接的佈線等。由此，可以減少佈線數。或者，在本實施方式中，示出如下情況：對某個電路 100 追加其他開關或其他元件，例如開關 914、開關 814、開關 14、電容元件 105 等。換言之，本實施方式相當於對其他實施方式的一部或全部進行了改變、追加、修正、去除、應用、屬概念化或種概念化的方式。因此，可以以本實施方式的一部或全部對其他實施方式的一部或全部自由地進行組合、應用以及置換。

實施方式 4

圖 74A 至 76G 示出本發明的一個方式的半導體裝置中的各種佈線的配置例子。

在圖 74A 中，第 i 列第 j 行的電路 100(i，j)和第 i 列第 j+1 行的電路 100(i,j+1)共同具有一個佈線 21 及一個佈線 23。另外，第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1

列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 21 及一個佈線 23。

在圖 74B 中，第 i 列第 j 行的電路 100(i，j)和第 i 列第 j+1 行的電路 100(i,j+1)共同具有一個佈線 21。另外，第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 21。另外，第 i 列第 j 行的電路 100(i，j)和第 i+1 列第 j 行的電路 100(i+1,j)共同具有一個佈線 23。另外，第 i 列第 j +1 行的電路 100(i,j+1)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 23。

在圖 74C 中，第 i 列第 j 行的電路 100(i，j)和第 i 列第 j+1 行的電路 100(i,j+1)共同具有一個佈線 21。另外，第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 21。另外，第 i 列第 j 行的電路 100(i，j)和第 i+1 列第 j 行的電路 100(i+1,j)共同具有一個佈線 23。另外，第 i 列第 j +1 行的電路 100(i,j+1)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 23。另外，第 i 列第 j 行的電路 100(i,j)和第 i 列第 j+1 行的電路 100(i,j+1)共同具有一個佈線 23。另外，第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 23。這些佈線 23 彼此連接。

在圖 74D 中，第 i 列第 j 行的電路 100(i,j)和第 i 列第 j+1 行的電路 100(i,j+1)共同具有一個佈線 21。另外，

第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 21。另外，第 i 列第 j 行的電路 100(i,j)、第 i 列第 j+1 行的電路 100(i,j+1)、第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 23。佈線 23 與佈線 21 並列地配置。

在圖 74E 中，第 i 列第 j 行的電路 100(i,j)和第 i 列第 j+1 行的電路 100(i,j+1)共同具有一個佈線 21。另外，第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 21。另外，第 i 列第 j 行的電路 100(i,j)、第 i 列第 j+1 行的電路 100(i,j+1)、第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 23。佈線 23 與佈線 21 交叉地配置。

在圖 74F 中，第 i 列第 j 行的電路 100(i,j)和第 i 列第 j+1 行的電路 100(i,j+1)共同具有一個佈線 21。另外，第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 21。另外，第 i 列第 j 行的電路 100(i,j)、第 i 列第 j+1 行的電路 100(i,j+1)、第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有兩個佈線 23。上述兩個佈線 23 彼此交叉地配置並彼此連接。

在圖 75A 中，第 i 列第 j 行的電路 100(i，j)和第 i 列第 j+1 行的電路 100(i,j+1)共同具有一個佈線 21、一個佈

線 22 及一個佈線 23。另外，第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 21、一個佈線 22 及一個佈線 23。

在圖 75B 中，第 i 列第 j 行的電路 100(i，j)和第 i 列第 j+1 行的電路 100(i,j+1)共同具有一個佈線 21 及一個佈線 22。另外，第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 21 及一個佈線 22。另外，第 i 列第 j 行的電路 100(i，j)和第 i+1 列第 j 行的電路 100(i+1,j)共同具有一個佈線 23。另外，第 i 列第 j +1 行的電路 100(i,j+1)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 23。

在圖 75C 中，第 i 列第 j 行的電路 100(i，j)和第 i 列第 j+1 行的電路 100(i,j+1)共同具有一個佈線 21 及一個佈線 23。另外，第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 21 及一個佈線 23。另外，第 i 列第 j 行的電路 100(i，j)和第 i+1 列第 j 行的電路 100(i+1,j)共同具有一個佈線 22。另外，第 i 列第 j +1 行的電路 100(i,j+1)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 22。

在圖 75D 中，第 i 列第 j 行的電路 100(i，j)和第 i 列第 j+1 行的電路 100(i,j+1)共同具有一個佈線 21。另外，第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 21。另外，第 i 列第 j 行的電路 100(i，j)和第 i+1 列第 j 行的電路 100(i+1,j)共

同具有一個佈線 22 及一個佈線 23。另外，第 i 列第 j +1 行的電路 100(i,j+1)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 22 及一個佈線 23。

在圖 75E 中，第 i 列第 j 行的電路 100(i，j)和第 i 列第 j+1 行的電路 100(i,j+1)共同具有一個佈線 21 及一個佈線 23。另外，第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 21 及一個佈線 23。另外，第 i 列第 j 行的電路 100(i，j)和第 i+1 列第 j 行的電路 100(i+1,j)共同具有一個佈線 22 及一個佈線 23。另外，第 i 列第 j+1 行的電路 100(i,j+1)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 22 及一個佈線 23。這些佈線 23 彼此連接。

在圖 76A 中，第 i 列第 j 行的電路 100(i,j)和第 i 列第 j+1 行的電路 100(i,j+1)共同具有一個佈線 21 及一個佈線 22。另外，第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 21 及一個佈線 22。另外，第 i 列第 j 行的電路 100(i,j)、第 i 列第 j+1 行的電路 100(i,j+1)、第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 23。佈線 23 與佈線 21 及佈線 22 並列地配置。

在圖 76B 中，第 i 列第 j 行的電路 100(i,j)和第 i 列第 j+1 行的電路 100(i,j+1)共同具有一個佈線 21 及一個佈線 23。另外，第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1

列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 21 及一個佈線 23。另外，第 i 列第 j 行的電路 100(i,j)、第 i 列第 j+1 行的電路 100(i,j+1)、第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 22。佈線 22 與佈線 21 及佈線 23 並列地配置。

在圖 76C 中，第 i 列第 j 行的電路 100(i,j)和第 i 列第 j+1 行的電路 100(i,j+1)共同具有一個佈線 21。另外，第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 21。另外，第 i 列第 j 行的電路 100(i,j)、第 i 列第 j+1 行的電路 100(i,j+1)、第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 22 及一個佈線 23。佈線 22 及佈線 23 與佈線 21 並列地配置。

在圖 76D 中，第 i 列第 j 行的電路 100(i,j)和第 i 列第 j+1 行的電路 100(i,j+1)共同具有一個佈線 21。另外，第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 21。另外，第 i 列第 j 行的電路 100(i,j)、第 i 列第 j+1 行的電路 100(i,j+1)、第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 22 及一個佈線 23。佈線 22 及佈線 23 與佈線 21 交叉地配置。

在圖 76E 中，第 i 列第 j 行的電路 100(i,j)和第 i 列第 j+1 行的電路 100(i,j+1)共同具有一個佈線 21。另外，第

i+1 列第 j 行的電路 100(i+1,j)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 21。另外，第 i 列第 j 行的電路 100(i,j)、第 i 列第 j+1 行的電路 100(i,j+1)、第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 22 及一個佈線 23。佈線 22 與佈線 21 交叉地配置。佈線 23 與佈線 21 並列地配置。

在圖 76F 中，第 i 列第 j 行的電路 100(i,j)和第 i 列第 j+1 行的電路 100(i,j+1)共同具有一個佈線 21。另外，第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 21。另外，第 i 列第 j 行的電路 100(i,j)、第 i 列第 j+1 行的電路 100(i,j+1)、第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 22 及一個佈線 23。佈線 23 與佈線 21 交叉地配置。佈線 22 與佈線 21 並列地配置。

在圖 76G 中，第 i 列第 j 行的電路 100(i,j)和第 i 列第 j+1 行的電路 100(i,j+1)共同具有一個佈線 21 及一個佈線 22。另外，第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有一個佈線 21 及一個佈線 22。另外，第 i 列第 j 行的電路 100(i,j)、第 i 列第 j+1 行的電路 100(i,j+1)、第 i+1 列第 j 行的電路 100(i+1,j)和第 i+1 列第 j+1 行的電路 100(i+1,j+1)共同具有兩個佈線 23。上述兩個佈線 23 彼此交叉地配置並彼此

連接。

本實施方式相當於對其他實施方式的一部或全部進行了改變、追加、修正、去除、應用、屬概念化或種概念化的方式。因此，可以以本實施方式的一部或全部對其他實施方式的一部或全部自由地進行組合、應用以及置換。

實施方式 5

作爲一個例子，圖 77 示出圖 13A 所示的電路 100 的俯視圖。

在圖 77 中，半導體膜 300 用作電晶體 11t 的活性層、電容元件 102 中的一方電極、電容元件 103 中的一方電極、電晶體 13t 的活性層、電晶體 14t 的活性層、電晶體 101 的活性層。半導體膜 301 用作電晶體 12t 的活性層。導電膜 302 用作電容元件 102 中的另一方電極。導電膜 303 用作電容元件 103 中的另一方電極。導電膜 304 用作電晶體 13t 的閘極。

導電膜 305 連接到佈線 22 及電晶體 12t 的源極和汲極中的一方。導電膜 306 連接到電晶體 12t 的源極和汲極中的另一方及導電膜 302。導電膜 307 連接到導電膜 304 及佈線 33。導電膜 308 連接到導電膜 303、電晶體 101 的源極和汲極中的一方、電晶體 13t 的源極和汲極中的一方及電晶體 14t 的源極和汲極中的一方。導電膜 309 連接到電晶體 14t 的源極和汲極中的另一方及佈線 25。

另外，在圖 13B 的情況下，以連接到導電膜 308 的方

式設置負載 104 即可。另外，在圖 13C 的情況下，以連接到導電膜 308 的方式設置發光元件 104a 的陽極即可。另外，在圖 13D 的情況下，以連接到導電膜 308 的方式設置發光元件 104b 的陰極即可。

接著，作爲一個例子，圖 78 示出圖 13A 所示的電路 100 的俯視圖。

在圖 78 中，半導體膜 320 用作電晶體 11t 的活性層。半導體膜 321 用作電晶體 12t 的活性層。半導體膜 322 用作電晶體 13t 的活性層。半導體膜 323 用作電晶體 14t 的活性層。半導體膜 333 用作電晶體 101 的活性層。

導電膜 324 用作電容元件 102 中的另一方電極及電晶體 101 的閘極。導電膜 325 用作電容元件 103 中的另一方電極。導電膜 326 用作電晶體 13t 的閘極。

導電膜 327 用作電容元件 102 中的一方電極及電容元件 103 中的一方電極並連接到電晶體 11t 的源極和汲極中的一方。導電膜 328 連接到佈線 22 及電晶體 12t 的源極和汲極中的一方。導電膜 329 連接到電晶體 12t 的源極和汲極中的另一方及導電膜 324。導電膜 330 連接到導電膜 326 及佈線 33。導電膜 331 連接到導電膜 325 及電晶體 101 的源極和汲極中的一方、電晶體 13t 的源極和汲極中的一方及電晶體 14t 的源極和汲極中的一方。導電膜 332 連接到電晶體 14t 的源極和汲極中的另一方及佈線 25。

另外，在圖 13B 的情況下，以連接到導電膜 331 的方式設置負載 104 即可。另外，在圖 13C 的情況下，以連接

到導電膜 331 的方式設置發光元件 104a 的陽極即可。另外，在圖 13D 的情況下，以連接到導電膜 331 的方式設置發光元件 104b 的陰極即可。

另外，圖 80A 示出沿圖 78 的虛線 A1-A2 的剖面圖的一個例子。圖 80B 示出沿圖 78 的虛線 B1-B2 的剖面圖的一個例子。在圖 80A 和 80B 中，在基板 800 上形成有絕緣膜 801，並且在絕緣膜 801 上形成有佈線 31、導電膜 324 及導電膜 325。另外，在佈線 31、導電膜 324 及導電膜 325 上形成有絕緣膜 802。

在絕緣膜 802 上的與導電膜 325 重疊的位置形成有導電膜 327。導電膜 325、絕緣膜 802 及導電膜 327 彼此重疊的部分用作電容元件 103。在絕緣膜 802 上的與導電膜 324 重疊的位置形成有導電膜 327。導電膜 324、絕緣膜 802 及導電膜 327 彼此重疊的部分用作電容元件 102。在絕緣膜 802 上的與導電膜 324 重疊的位置形成有半導體膜 333。在半導體膜 333 上形成有佈線 23 及導電膜 331。

並且，以覆蓋絕緣膜 802、位於其上的導電膜 327、半導體膜 333、佈線 23 及導電膜 331 的方式形成有絕緣膜 803。

接著，作爲一個例子，圖 79 示出圖 13A 所示的電路 100 的俯視圖。圖 79 與圖 78 所示的俯視圖的不同之處在於：佈線 23 的與半導體膜 333 重疊的部分的形狀；以及導電膜 331 的與半導體膜 333 重疊的部分的形狀。明確而言，在圖 78 中，佈線 23 的與半導體膜 333 重疊的部分具

有 U 字形狀。並且，導電膜 331 的與半導體膜 333 重疊的部分以其一部分被佈線 23 圍繞的方式位於佈線 23 的 U 字形狀的曲部內測。在圖 79 中，導電膜 331 的與半導體膜 333 重疊的部分具有 U 字形狀。並且，佈線 23 的與半導體膜 333 重疊的部分以其一部分被導電膜 331 圍繞的方式位於導電膜 331 的 U 字形狀的曲部內測。

當與電晶體 101 的源極或汲極接觸的導電膜或佈線具有 U 字形狀時，即使半導體膜 333 的面積小也可以確保大通道寬度。因此，可以在將半導體膜 333 的面積抑制爲小的同時提高導通電流。

另外，可以使用各種基板形成電晶體。對基板的種類沒有特別的限制。作爲該基板的一例，可以舉出半導體基板(例如，單晶基板或矽基板)、SOI 基板、玻璃基板、石英基板、塑膠基板、金屬基板、不鏽鋼基板、具有不鏽鋼箔的基板、鎢基板、具有鎢箔的基板、撓性基板、貼合薄膜、包含纖維狀材料的紙或者基材薄膜等。作爲玻璃基板的一例，可以舉出鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鈉鈣玻璃等。作爲撓性基板的一例，可以舉出以聚對苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)、聚醚碸(PES)爲代表的塑膠或丙烯酸樹脂等的具有撓性的合成樹脂等。作爲貼合薄膜的一例，可以舉出聚丙烯、聚酯、乙烯、聚氟化乙烯、氯乙烯等。作爲基材薄膜的一例，有聚酯、聚醯胺、聚醯亞胺、無機蒸鍍薄膜、紙類等。尤其是，藉由使用半導體基板、單晶基板或 SOI 基板等製造電

晶體，可以製造特性、尺寸或形狀等的偏差小、電流能力高且尺寸小的電晶體。當利用上述電晶體構成電路時，可以實現電路的低功耗化或電路的高集體化。

另外，也可以使用某個基板形成電晶體，然後將該電晶體轉置到其他基板上而在其他基板上配置電晶體。作爲轉置電晶體的基板，不僅可以使用上述可以形成電晶體的基板，還可以使用紙基板、玻璃紙基板、石材基板、木材基板、布基板(包括天然纖維(絲、棉、麻)、合成纖維(尼龍、聚氨酯、聚酯)或再生纖維(醋酯纖維、銅氨纖維、人造纖維、再生聚酯)等)、皮革基板、橡皮基板等。藉由使用上述基板，可以形成特性良好的電晶體，形成功耗低的電晶體，製造不容易出毛病的裝置，賦予耐熱性，或者實現輕量化或薄型化。

本實施方式相當於對其他實施方式的一部分或整體進行改變、追加、修正、去除、應用、屬概念化或種概念化的方式。因此，可以將本實施方式的一部分或全部自由地組合到、應用到或替換爲其他實施方式的一部分或整體。

實施方式 6

在本實施方式中，對在本發明的一個方式的半導體裝置中使用的電晶體的具體結構的一個例子進行說明。

圖 81A 所示的電晶體具有：半導體膜 501；半導體膜 501 上的絕緣膜 502；隔著絕緣膜 502 設置在與半導體膜 501 重疊的位置並用作閘極的電極 503；以及與半導體膜

501 接觸的導電膜 504 及導電膜 505。半導體膜 501 具有用作通道形成區的第一區域 506 以及用作源極或汲極的第二區域 507 及第二區域 508。第一區域 506 夾在第二區域 507 和第二區域 508 之間。圖 81A 示出如下情況的例子，即半導體膜 501 在第一區域 506 與第二區域 507 及第二區域 508 之間具有用作 LDD 區域的第三區域 509 及第三區域 510。

另外，雖然在圖 81A 中作爲一個例子示出具有薄膜的半導體膜 501 的電晶體，但是在本發明的一個方式中也可以使用在塊體(bulk)的半導體基板中形成通道形成區的電晶體。作爲薄膜的半導體膜，例如可以使用非晶半導體、多晶半導體、單晶半導體等。另外，半導體膜 501 可以使用矽、鍺、矽鍺、氧化物半導體等各種半導體。

圖 81B 所示的電晶體設置在具有第一氧化絕緣膜 520a、第二氧化絕緣膜 520b 及第三氧化絕緣膜 520c 的絕緣膜 520 上。

第一氧化絕緣膜 520a 及第三氧化絕緣膜 520c 使用藉由加熱使一部分氧脫離的氧化絕緣膜形成。較佳的是，作爲藉由加熱使一部分氧脫離的氧化絕緣膜，使用含有比滿足化學計量組成的氧多的氧的絕緣膜。作爲第一氧化絕緣膜 520a 及第三氧化絕緣膜 520c，可以使用氧化矽、氧氮化矽、氮氧化矽、氧化鎵、氧化鉿、氧化釔等。

利用防止氧擴散的氧化絕緣膜形成第二氧化絕緣膜 520b。作爲第二氧化絕緣膜 520b 的一個例子，可以舉出

氧化鋁、氧氮化鋁等。對於氧化鋁來說，較佳的是，使用含有滿足化學計量組成的氧的氧化鋁或含有比滿足化學計量組成的氧多的氧的氧化鋁(AlO_x，x 是 3/2 以上)。此外，在氧氮化鋁中，用氮取代含有滿足化學計量組成的氧的氧化鋁的一部分氧。

電晶體具有：半導體膜 521；半導體膜 521 上的絕緣膜 522；隔著絕緣膜 522 設置在與半導體膜 521 重疊的位置並用作閘極的電極 523；以及與半導體膜 521 接觸的導電膜 524 及導電膜 525。半導體膜 521 具有：與電極 523 重疊且至少一部分用作通道形成區的的第一區域 526；以及用作源極或汲極並夾持第一區域 526 的第二區域 550 及第二區域 551。

作爲半導體膜 521，例如可以使用非晶半導體、多晶半導體、單晶半導體等。另外，半導體膜 521 可以使用矽、鍺、矽鍺、氧化物半導體等各種半導體。

在電晶體中，具有絕緣膜的側壁 527 設置在電極 523 的側部，並且絕緣膜 528 設置在電極 523 的上部。此外，導電膜 524 的一部分及導電膜 525 的一部分與側壁 527 接觸。導電膜 524 及導電膜 525 不需要必須與側壁 527 接觸。然而，藉由以與側壁 527 接觸的方式形成導電膜 524 及導電膜 525，即使在導電膜 524 及導電膜 525 偏離準確位置地形成的情況下，也能防止導電膜 524 及導電膜 525 與半導體膜 521 接觸的面積發生變化。因此，可以防止由於導電膜 524 及導電膜 525 的位置偏離而引起的電晶體的

導通電流的變動。

另外，不需要必須設置位於電極 523 的上部的絕緣膜 528，然而，藉由設置絕緣膜 528，即使在導電膜 524 及導電膜 525 因偏離準確位置地形成而延伸到電極 523 上部的情況下，也可以防止導電膜 524 及導電膜 525 與電極 523 之間導電。

在絕緣膜 520 中，在位於下層的第三氧化絕緣膜 520c 上依次層疊有第一氧化絕緣膜 520a 和第二氧化物絕緣膜 520b。在第一氧化絕緣膜 520a 及第二氧化絕緣膜 520b 中設置有開口部 529，並且在上述開口部 529 中設置有電晶體所具有的半導體膜 521。以與半導體膜 521 的端部接觸的方式在半導體膜 521 的周圍設置有第一氧化絕緣膜 520a。另外，第二氧化絕緣膜 520b 設置在半導體膜 521 的周圍，它們之間夾有第一氧化絕緣膜 520a。第三氧化絕緣膜 520c 設置在半導體膜 521 的下部。

另外，在半導體膜 521 是氧化物半導體的情況下，藉由使用上述結構的絕緣膜 520，可以抑制因加熱而從第一氧化絕緣膜 520a 中釋放的氧穿過第二氧化絕緣膜 520b，從而，上述氧被高效地供應到第一區域 526 中的半導體膜 521 的端部。另外，從第三氧化絕緣膜 520c 釋放的氧被供應到半導體膜 521 的下部。在作爲通道形成區具有氧化物半導體的電晶體中，由於用於將半導體膜 521 蝕刻成所希望的形狀的蝕刻處理、使半導體膜 521 的端部暴露到減壓氛圍等，在半導體膜 521 的端部容易形成由於氧脫離而

產生的氧缺陷。由於氧缺陷成爲載流子的移動路徑，所以當在半導體膜 521 的端部形成氧缺陷時形成寄生通道，由此電晶體的截止電流增加。然而，藉由採用上述結構，可以防止在第一區域 526 中的半導體膜 521 的端部形成氧缺陷，從而可以降低截止電流。

注意，“藉由加熱使一部分氧脫離”意味著：在 TDS(Thermal Desorption Spectrometry：熱脫附譜法)分析中，換算爲氧原子的氧釋放量爲 1.0×10^{18}atoms/cm^3 以上，較佳地爲 3.0×10^{20}atoms/cm^3 以上。

以下說明利用 TDS 分析測量換算爲氧原子時的氧的脫離量的方法。

進行 TDS 分析時的氣體的脫離量與質譜的積分值成比例。因此，根據絕緣膜的質譜的積分值及相對於標準樣本的基準值的比例可以計算出氣體的釋放量。“標準樣本的基準值”是指包含預定的原子的樣本的相對於質譜的積分值的原子密度的比例。

例如，根據對標準樣本的包含所定的密度的氫的矽晶片進行 TDS 分析的結果及對絕緣膜進行 TDS 分析的結果，可以用下述算式 1 算出絕緣膜的氧分子的脫離量(N_{O2})。作爲質量數爲 32 的物質可以舉出 CH_3OH，但是 CH_3OH 在絕緣膜中存在的可能性低。因此假設藉由 TDS 分析得到的質量數爲 32 的質譜都是來自氧分子的。另外，因爲包含氧原子同位素的質量數爲 17 的氧原子及質量數爲 18 的氧原子的氧分子在自然界中的存在的比例也

極微量，所以假設它們不存在。

$$N_{O2}=N_{H2}/S_{H2}\times S_{O2}\times\alpha \qquad (算式1)$$

N_{H2} 是以密度換算從標準樣本脫離的氫分子的值。S_{H2} 是對標準樣本進行 TDS 分析時的質譜的積分值。將標準樣本的基準值設定爲 N_{H2}/S_{H2}。S_{O2} 是對絕緣膜進行 TDS 分析時的質譜的積分值。α是影響到 TDS 分析中的質譜強度的係數。關於算式 1 的詳細描述，參照日本專利申請公開平 6-275697 號公報。另外，使用電子科學株式會社製造的熱脫附裝置 EMD-WA1000S/W 並作爲標準樣本使用包含 1×10^{16} atoms/cm^3 的氫原子的矽晶片測量上述絕緣膜的氧脫離量。

此外，在 TDS 分析中，一部分氧作爲氧原子被檢測出。氧分子和氧原子的比率可以從氧分子的離子化比率算出。另外，因爲上述α包括氧分子的離子化比率，所以藉由評估氧分子的釋放量，可以估算出氧原子的脫離量。

注意，N_{O2} 是氧分子的脫離量。在絕緣膜中，換算爲氧原子時的氧釋放量爲氧分子的脫離量的 2 倍。

在上述結構中，藉由加熱使氧釋放的絕緣膜也可以是氧過剩的氧化矽($SiO_x(X>2)$)。氧過剩的氧化矽($SiO_x(X>2)$)是指單位體積中的氧原子含量多於矽原子數的兩倍的氧化矽。單位體積中的矽原子數及氧原子數爲藉由盧瑟福背散射法測定的值。

圖 81C 所示的電晶體設置在具有第一氧化絕緣膜 530a 及第二氧化絕緣膜 530b 的絕緣膜 530 上。

第一氧化絕緣膜 530a 使用藉由加熱使一部分氧脫離的氧化絕緣膜形成。較佳的是，作爲藉由加熱使一部分氧脫離的氧化絕緣膜，使用含有比滿足化學計量組成的氧多的氧的絕緣膜。作爲第一氧化絕緣膜 530a，可以使用氧化矽、氧氮化矽、氮氧化矽、氧化鎵、氧化鉿、氧化釔等。

第二氧化絕緣膜 530b 使用防止氧擴散的氧化絕緣膜形成。作爲第二氧化絕緣膜 530b 的一個例子，可以舉出氧化鋁、氧氮化鋁等。另外，較佳的是，作爲氧化鋁，使用包含滿足化學計量組成的氧的氧化鋁或其含氧量多於滿足化學計量組成的氧量的氧化鋁(AlO_x，x 爲 3/2 以上)。此外，在氧氮化鋁中，用氮置換包含滿足化學計量組成的氧的氧化鋁的一部分氧。

電晶體具有：位於絕緣膜 530 上的半導體膜 531；半導體膜 531 上的絕緣膜 532；隔著絕緣膜 532 設置在與半導體膜 531 重疊的位置並用作閘極的電極 533；以及與半導體膜 531 連接的導電膜 534 及導電膜 535。半導體膜 531 具有：與電極 533 重疊並至少部分地用作通道形成區的第一區域 536；以及用作源極或汲極並夾持第一區域 536 的第二區域 537 及第二區域 538。

作爲半導體膜 531，例如可以使用非晶半導體、多晶半導體、單晶半導體等。另外，半導體膜 531 可以使用

矽、鍺、矽鍺、氧化物半導體等各種半導體。

在電晶體中，具有絕緣膜的側壁 539 設置在電極 533 的側部，並且絕緣膜 540 設置在電極 533 的上部。此外，導電膜 534 的一部分及導電膜 535 的一部分與側壁 539 接觸。導電膜 534 及導電膜 535 不需要必須與側壁 539 接觸。然而，藉由以與側壁 539 接觸的方式形成導電膜 534 及導電膜 535，即使在導電膜 534 及導電膜 535 偏離準確位置地形成的情況下，也能防止導電膜 534 及導電膜 535 與半導體膜 531 接觸的面積發生變化。因此，可以防止由於導電膜 534 及導電膜 535 的位置偏離而引起的電晶體的導通電流的變動。

另外，不需要必須設置位於電極 533 的上部的絕緣膜 540，然而，藉由設置絕緣膜 540，即使在導電膜 534 及導電膜 535 偏離準確位置地形成而形成在電極 533 的上部的情況下，也可以防止導電膜 534 及導電膜 535 與電極 533 之間導電。

在絕緣膜 530 中，第二氧化絕緣膜 530b 設置在第一氧化絕緣膜 530a 的周圍。並且，半導體膜 531 在第一區域 536 中接觸於上述第一氧化絕緣膜 530a，並在第二區域 537 及第二區域 538 中接觸於第一氧化絕緣膜 530a 及第二氧化絕緣膜 530b。

另外，在半導體膜 531 是氧化物半導體的情況下，藉由使用上述結構，可以抑制因加熱而從第一氧化絕緣膜 530a 中釋放的氧穿過第二氧化絕緣膜 530b，從而，上述

氧被高效地供應到第一區域 536 中的半導體膜 531 的端部。在作爲通道形成區具有氧化物半導體的電晶體中，由於用於將半導體膜 531 蝕刻成所希望形狀的蝕刻處理、使半導體膜 531 的端部暴露到減壓氛圍等，在半導體膜 531 的端部容易形成由於氧脫離而產生的氧缺陷。由於氧缺陷成爲載流子的移動路徑，所以當在半導體膜 531 的端部形成氧缺陷時形成寄生通道，由此電晶體的截止電流增加。然而，在本發明的一個方式中，藉由採用上述結構，可以防止在第一區域 536 中的半導體膜 531 的端部形成氧缺陷，從而可以降低截止電流。

另外，藉由減少成爲電子給體(施體)的水分或氫等雜質且減少氧缺陷來實現高度純化的氧化物半導體(purified Oxide Semiconductor)是 i 型(本質半導體)或無限趨近於 i 型。因此，使用上述氧化物半導體的電晶體具有截止電流顯著低的特性。另外，氧化物半導體的能隙是 2eV 以上，較佳的是 2.5eV 以上，更佳的是 3eV 以上。藉由使用充分減少水分或氫等的雜質濃度且減少氧缺陷而實現高度純化的氧化物半導體膜，可以降低電晶體的截止電流。

明確而言，根據各種實驗可以證明將被高度純化了的氧化物半導體膜用於通道形成區的電晶體的截止電流低。例如，通道寬度爲 $1\times10^{6}\mu m$，且通道長度爲 10μm 的元件也可以在源極電極和汲極電極之間的電壓(汲極電壓)爲 1V 至 10V 的範圍內獲得截止電流爲半導體參數分析儀的測量極限以下，即 $1\times10^{-13}A$ 以下的特性。在此情況下，可

知：以電晶體的通道寬度規格化了的截止電流爲100zA/μm 以下。此外，藉由使用如下電路來測量截止電流，在該電路中連接電容元件與電晶體且由該電晶體控制流入到電容元件或從電容元件流出的電荷。在該測量時，將被高度純化了的氧化物半導體膜用於上述電晶體的通道形成區，且根據電容元件的每單位時間的電荷量推移測量該電晶體的截止電流。其結果是，可知：當電晶體的源極電極和汲極電極之間的電壓爲 3V 時，可以獲得更低的截止電流，即幾十 yA/μm。由此，將被高度純化了的氧化物半導體膜用於通道形成區的電晶體的截止電流比使用具有結晶性的矽的電晶體的截止電流低得多。

另外，較佳的是，作爲氧化物半導體，使用含有 In 或 Zn 的氧化物，更佳地使用含有 In 及 Ga 的氧化物或含有 In 及 Zn 的氧化物。爲了得到 i 型(本質)氧化物半導體膜，在後面進行說明的脫水化或脫氫化是有效的。另外，較佳的是，除了上述元素以外，還含有鎵(Ga)作爲穩定劑(stabilizer)，該穩定劑用來減小使用氧化物半導體的電晶體的電特性偏差。另外，較佳的是，作爲穩定劑含有錫(Sn)。另外，較佳的是，作爲穩定劑含有鉿(Hf)。另外，較佳的是，作爲穩定劑含有鋁(Al)。另外，較佳的是，作爲穩定劑含有鋯(Zr)。

另外，作爲其他穩定劑，也可以包含鑭系元素的鑭(La)、鈰(Ce)、鐠(Pr)、釹(Nd)、釤(Sm)、銪(Eu)、釓(Gd)、鋱(Tb)、鏑(Dy)、鈥(Ho)、鉺(Er)、銩(Tm)、鐿

(Yb)、鐿(Lu)中的一種或多種。

例如，作爲氧化物半導體可以使用氧化銦；氧化錫；氧化鋅；二元金屬氧化物如 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；三元金屬氧化物如 In-Ga-Zn 類氧化物(也稱爲 IGZO)、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；以及四元金屬氧化物如 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。另外，上述氧化物半導體也可以包含矽。

在此，例如，In-Ga-Zn 類氧化物是指包含 In、Ga 及 Zn 的氧化物，而對 In、Ga 及 Zn 的比率沒有限制。此外，也可以包含 In、Ga 及 Zn 以外的金屬元素。In-Ga-Zn 類氧化物在無電場時的電阻充分高而 In-Ga-Zn 類氧化物可以充分減少截止電流，並且其遷移率也高。

氧化物半導體膜處於單晶、多晶(polycrystal)或非晶等狀態。較佳的是，氧化物半導體膜爲 CAAC-OS(C Axis

Aligned Crystalline Oxide Semiconductor：C 軸配向結晶氧化物半導體)膜。

CAAC-OS 膜不是完全的單晶，也不是完全的非晶。CAAC-OS 膜是在非晶相中具有幾 nm 至幾十 nm 的結晶部的結晶-非晶混合相結構的氧化物半導體膜。另外，在使用透射電子顯微鏡(TEM：Transmission Electron Microscope)觀察時的影像中，包括在 CAAC-OS 膜中的非晶部與結晶部的邊界不明確。另外，在 CAAC-OS 膜中觀察不到晶界(grain boundary)。由於 CAAC-OS 膜不具有晶界，所以不容易發生起因於晶界的電子遷移率的降低。

包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，在從垂直於 ab 面的方向看時具有三角形或六角形的原子排列，且在從垂直於 c 軸的方向看時，金屬原子排列爲層狀或者金屬原子和氧原子排列爲層狀。另外，不同結晶部的 a 軸及 b 軸的方向也可以彼此不同。在本說明書中，當只記載“垂直”時，還包括 85°以上且 95°以下的範圍。另外，當只記載“平行”時，還包括-5°以上且 5°以下的範圍。

另外，在 CAAC-OS 膜中，非晶部所占的比率與結晶部所占的比率也可以不均勻。例如，在從 CAAC-OS 膜的表面一側進行結晶生長時，在 CAAC-OS 膜的表面近旁結晶部所占的比例高，而在被形成面近旁非晶部所占的比率高。另外，藉由對 CAAC-OS 膜添加雜質，有時在該雜質

添加區中結晶部產生非晶化。

因爲包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，所以根據 CAAC-OS 膜的形狀(被形成面的剖面形狀或表面的剖面形狀)，不同結晶部的 c 軸方向有時彼此不同。另外，結晶部的 c 軸方向是與形成 CAAC-OS 膜時的被形成面的法線向量或表面的法線向量平行的方向。結晶部藉由進行成膜或者在進行成膜後進行加熱處理等晶化處理來形成。

藉由使用 CAAC-OS 膜，可以減少可見光或紫外光的照射所導致的電特性變動，因此可以得到可靠性高的電晶體。

CAAC-OS 膜例如使用作爲多晶的氧化物半導體濺射用靶材，且利用濺射法形成。當離子碰撞到該濺射用靶材時，有時包括在濺射用靶材中的結晶區域從 a-b 面劈開，而在具有平行於 a-b 面的面的平板狀或顆粒狀的濺射粒子的狀態下分離。此時，藉由使該平板狀的濺射粒子保持結晶狀態到達基板，可以形成 CAAC-OS 膜。

另外，爲了形成 CAAC-OS 膜，應用如下條件較佳。

藉由降低成膜時的雜質混入，可以抑制雜質所導致的結晶狀態的破壞。例如，降低存在於處理室內的雜質(氫、水、二氧化碳及氮等)的濃度即可。另外，降低成膜氣體中的雜質濃度即可。明確而言，使用露點爲-80℃以下，較佳地爲-100℃以下的成膜氣體。

另外，藉由提高成膜時的基板加熱溫度，在濺射粒子到達基板之後發生濺射粒子的遷移。明確而言，在將基板加熱溫度設定爲 100℃以上且 740℃以下，較佳地設定爲 200℃以上且 500℃以下的狀態下進行成膜。藉由提高成膜時的基板加熱溫度，當平板狀的濺射粒子到達基板時，在基板上發生遷移，濺射粒子的平坦的面附著到基板。

另外，較佳的是，藉由提高成膜氣體中的氧比例並對功率進行最優化，減輕成膜時的電漿損傷。將成膜氣體中的氧比例設定爲 30vol.%以上，較佳地設定爲 100vol.%。

以下，作爲濺射用靶材的一個例子示出 In-Ga-Zn-O 化合物靶材。

將 InO_X 粉末、GaO_Y 粉末及 ZnO_Z 粉末以所定的莫耳數比混合，進行加壓處理，然後在 1000℃以上且 1500℃以下的溫度下進行加熱處理，由此得到作爲多晶的 In-Ga-Zn-O 化合物靶材。另外，X、Y 及 Z 爲任意正數。在此，InO_X 粉末、GaO_Y 粉末及 ZnO_Z 粉末的所定的莫耳數比例如爲 2：2：1、8：4：3、3：1：1、1：1：1、4：2：3 或 3：1：2。另外，可以根據所製造的濺射用靶材適當地改變粉末的種類及其混合的莫耳數比。

此外，例如，氧化物半導體膜可以藉由使用包含 In(銦)、Ga(鎵)和 Zn(鋅)的靶材的濺射法形成。在藉由濺射法形成 In-Ga-Zn 類氧化物半導體膜的情況下，較佳的是，使用原子數比爲 In：Ga：Zn=1：1：1、4：2：3、3：1：2、1：1：2、2：1：3 或 3：1：4 的 In-Ga-Zn 類氧

化物的靶材。藉由使用具有上述原子數比的 In-Ga-Zn 類氧化物的靶材形成氧化物半導體膜，容易形成多晶或 CAAC-OS。另外，包含 In、Ga 及 Zn 的靶材的相對密度爲 90%以上且 100%以下，較佳地爲 95%以上且低於 100%。藉由採用相對密度高的靶材，可以形成緻密的氧化物半導體膜。

另外，當作爲氧化物半導體使用 In-Zn 類氧化物材料時，將所使用的靶材中的金屬元素的原子數比設定爲 In：Zn=50：1 至 1：2(換算爲莫耳數比則爲 In_2O_3：ZnO=25：1 至 1：4)，較佳地設定爲 In：Zn=20：1 至 1：1(換算爲莫耳數比則爲 In_2O_3：ZnO=10：1 至 1：2)，更佳地設定爲 In：Zn=15：1 至 1.5：1(換算爲莫耳數比則爲 In_2O_3：ZnO=15：2 至 3：4)。例如，作爲用來形成 In-Zn 類氧化物的氧化物半導體膜的靶材，當原子數比爲 In：Zn：O=X：Y：Z 時，滿足 Z>1.5X+Y。藉由將 Zn 的比率設定爲上述範圍內的值，可以實現遷移率的提高。

明確地說，將基板放置在保持爲減壓狀態的處理室內，去除處理室內的殘留水分並導入被去除了氫及水分的濺射氣體，並且使用上述靶材,以形成氧化物半導體膜即可。在進行成膜時，也可以將基板溫度設定爲 100℃以上且 600℃以下，較佳地設定爲 200℃以上且 400℃以下。藉由邊加熱基板邊進行成膜，可以降低包含在所形成的氧化物半導體膜中的雜質的濃度。另外，可以減輕由於濺射帶來的損傷。爲了去除殘留在處理室中的水分，使用吸附

型真空泵較佳。例如，較佳的是，使用低溫泵、離子泵、鈦昇華泵。另外，作爲排氣單元，也可以使用配備有冷阱的渦輪泵。在使用低溫泵對處理室進行排氣時，例如排出氫原子、水(H_2O)等的包含氫原子的化合物(更佳的是，還排出包含碳原子的化合物)等，由此可以降低在該處理室中形成的氧化物半導體膜所包含的雜質的濃度。

另外，有時在藉由濺射等形成的氧化物半導體膜中包含多量的作爲雜質的水分或氫(包括羥基)。由於水分或氫容易形成施體能階，因此對於氧化物半導體來說水分或氫是雜質。於是，在本發明的一個方式中，爲了減少氧化物半導體膜中的水分或氫等雜質(脫水化或脫氫化)，較佳的是，在減壓氛圍、氮或稀有氣體等惰性氣體氛圍、氧氣氛圍或超乾燥空氣(使用 CRDS(cavity ring-down laser spectroscopy：光腔衰蕩光譜法)方式的露點計進行測定時的水分量是 20ppm(露點換算，-55℃)以下，較佳的是 1ppm 以下，更佳的是 10ppb 以下的空氣)氛圍下對氧化物半導體膜進行加熱處理。

藉由對氧化物半導體膜進行加熱處理，可以使氧化物半導體膜中的水分或氫脫離。明確而言，可以在 250℃以上且 750℃以下，較佳地在 400℃以上且低於基板的應變點的溫度下進行加熱處理。例如，以 500℃進行 3 分鐘以上且 6 分鐘以下左右的加熱處理即可。藉由使用 RTA 法作爲加熱處理，可以在短時間內進行脫水化或脫氫化，由此也可以以超過玻璃基板的應變點的溫度進行處理。

此外，有時由於上述加熱處理，氧從氧化物半導體膜脫離而在氧化物半導體膜內形成氧缺陷。由此，在本發明一個方式中，作爲接觸於氧化物半導體膜的閘極絕緣膜等絕緣膜，使用包含氧的絕緣膜。並且，藉由在形成包含氧的絕緣膜之後進行加熱處理，將氧從上述絕緣膜供應到氧化物半導體膜。藉由採用上述結構，可以降低成爲施體的氧缺陷，而滿足包括在氧化物半導體膜中的氧化物半導體的化學計量組成。較佳的是，在半導體膜中含有超過化學計量組成的氧。其結果是，可以使氧化物半導體膜趨近於 i 型，減輕因氧缺陷而導致的電晶體的電特性偏差，從而實現電特性的提高。

較佳的是，在氮、超乾燥空氣或稀有氣體(氬、氦等)的氛圍下以 200℃以上且 400℃以下，例如以 250℃C 以上且 350℃以下進行用來將氧供應到氧化物半導體膜的加熱處理。上述氣體的含水量爲 20ppm 以下，較佳地爲 1ppm 以下，更佳地爲 10ppb 以下。

圖 82A 所示的電晶體是通道蝕刻結構的底閘極型電晶體。

圖 82A 所示的電晶體具有：形成在絕緣表面上的閘極電極 602；閘極電極 602 上的閘極絕緣膜 603；在閘極絕緣膜 603 上與閘極電極 602 重疊的半導體膜 604；以及形成在半導體膜 604 上的導電膜 605 及導電膜 606。再者，電晶體還可以在其構成要素內包括形成在半導體膜 604、導電膜 605 及導電膜 606 上的絕緣膜 607。

另外，圖 82A 所示的電晶體還可以具有在與半導體膜 604 重疊的位置形成在絕緣膜 607 上的背閘極電極。

圖 82B 所示的電晶體是通道保護結構的底閘極型電晶體。

圖 82B 所示的電晶體具有：形成在絕緣表面上的閘極電極 612；閘極電極 612 上的閘極絕緣膜 613；在閘極絕緣膜 613 上與閘極電極 612 重疊的半導體膜 614；形成在半導體膜 614 上的通道保護膜 618；以及形成在半導體膜 614 上的導電膜 615 及導電膜 616。再者，電晶體還可以在其構成要素內包括形成在通道保護膜 618、導電膜 615 及導電膜 616 上的絕緣膜 617。

另外，圖 82B 所示的電晶體還可以具有在與半導體膜 614 重疊的位置形成在絕緣膜 617 上的背閘極電極。

藉由設置通道保護膜 618，可以防止在後面的製程中對半導體膜 614 中的成爲通道形成區的部分造成的損傷，諸如蝕刻時的電漿或蝕刻劑所導致的膜減少等。因此，可以提高電晶體的可靠性。

圖 82C 所示的電晶體是底接觸結構的底閘極型電晶體。

圖 82C 所示的電晶體具有：形成在絕緣表面上的閘極電極 622；閘極電極 622 上的閘極絕緣膜 623；閘極絕緣膜 623 上的導電膜 625、導電膜 626；以及在閘極絕緣膜 623 上與閘極電極 622 重疊且形成在導電膜 625、導電膜 626 上的半導體膜 624。再者，電晶體還可以在其構成要

素內包括形成在導電膜 625、導電膜 626 及半導體膜 624 上的絕緣膜 627。

另外，圖 82C 所示的電晶體還可以具有在與半導體膜 624 重疊的位置形成在絕緣膜 627 上的背閘極電極。

圖 82D 所示的電晶體是底接觸結構的頂閘極型電晶體。

圖 82D 所示的電晶體具有：形成在絕緣表面上的導電膜 645、導電膜 646；形成在導電膜 645、導電膜 646 上的半導體膜 644；形成在半導體膜 644、導電膜 645 及導電膜 646 上的閘極絕緣膜 643；以及在閘極絕緣膜 643 上與半導體膜 644 重疊的閘極電極 642。再者，電晶體還可以在其構成要素內包括形成在閘極電極 642 上的絕緣膜 647。

本實施方式相當於對其他實施方式的一部分或整體進行改變、追加、修正、去除、應用、屬概念化或種概念化的方式。因此，可以將本實施方式的一部分或全部自由地組合到、應用到或替換爲其他實施方式的一部分或全部。

實施方式 7

在本實施方式中，作爲例子舉出本發明的一個方式的半導體裝置的發光裝置，參照圖 83A 和圖 83B 說明其外觀。圖 83A 是使用密封材料將形成在第一基板上的電晶體及發光元件密封在第一基板和第二基板之間的面板的俯視圖。圖 83B 相當於圖 83A 的沿 A-A'的剖面圖。

以圍繞設置在第一基板 4001 上的像素部 4002、電路 4003、電路 4004 的方式設置有密封材料 4020。此外，在像素部 4002、電路 4003 及電路 4004 上設置有第二基板 4006。因此，在第一基板 4001 和第二基板 4006 之間，使用密封材料 4020 與填充材料 4007 一起密封像素部 4002、電路 4003 及電路 4004。

此外，設置在第一基板 4001 上的像素部 4002、將信號供應到像素部 4002 的電路 4003 及電路 4004 分別具有多個電晶體。在圖 83B 中，例示包括在電路 4003 中的電晶體 4008 和包括在像素部 4002 中的電晶體 4009 及電晶體 4010。

另外，發光元件 4011 將連接到電晶體 4009 的源極或汲極的佈線 4017 的一部分用作其像素電極。此外，發光元件 4011 除了像素電極之外還包括相對電極 4012 和發光層 4013。此外，發光元件 4011 的結構不侷限於本實施方式所示的結構。根據從發光元件 4011 取出的光的方向及電晶體 4009 的極性等可以適當地改變發光元件 4011 的結構。

此外，雖然在圖 83B 所示的剖面圖中不圖示供應到電路 4003、電路 4004 或像素部 4002 的各種信號及電壓，但是藉由引出佈線 4014 及 4015 從連接端子 4016 供應該各種信號及電壓。

在本實施方式中，連接端子 4016 由與發光元件 4011 所具有的相對電極 4012 相同的導電膜形成。此外，引出

佈線 4014 由與佈線 4017 相同的導電膜形成。另外，引出佈線 4015 由與電晶體 4009、電晶體 4010、電晶體 4008 分別具有的閘極電極相同的導電膜形成。

連接端子 4016 藉由各向異性導電膜 4019 電連接到 FPC4018 所具有的端子。

此外，作爲第一基板 4001、第二基板 4006，可以使用玻璃、金屬(典型是不鏽鋼)、陶瓷、塑膠。但是，位於從發光元件 4011 取出光的方向的第二基板 4006 需要具有透光性。因此，較佳的是，作爲第二基板 4006，使用如玻璃板、塑膠板、聚酯膜、或丙烯膜的具有透光性的材料。

此外，除了氮、氬等惰性氣體之外，還可以使用紫外線固化樹脂或熱固性樹脂作爲填充材料 4007。在本實施方式中，示出使用氮作爲填充材料 4007 的例子。

本實施方式相當於對其他實施方式的一部分或整體進行改變、追加、修正、去除、應用、屬概念化或種概念化的方式。因此，可以將本實施方式的一部分或全部自由地組合到、應用到或替換爲其他實施方式的一部分或全部。

實施方式 8

可以將本發明的一個方式的電路 100 用於顯示裝置的像素部。或者，可以將本發明的一個方式的電路 100 用於顯示裝置的驅動電路。

圖 84A 是相當於本發明的一個方式的半導體裝置之一

的顯示裝置的方塊圖。圖 84A 所示的顯示裝置具有像素部 700、驅動電路 701 及驅動電路 702。像素部 700 設置有用作像素的多個電路 100。驅動電路 701 及驅動電路 702 具有將各種恆定電壓或信號供應到各電路 100 的功能。

圖 84B 是相當於本發明的一個方式的半導體裝置之一的顯示裝置的方塊圖。圖 84B 所示的顯示裝置具有像素部 711 及驅動電路 710。驅動電路 710 設置有用作電流源的多個電路 100。從電路 100 輸出的電流被供應到像素部 711 所具有的像素(pixel)。

本實施方式相當於對其他實施方式的一部分或整體進行改變、追加、修正、去除、應用、屬概念化或種概念化的方式。因此，可以將本實施方式的一部分或全部自由地組合到、應用到或替換爲其他實施方式的一部分或全部。

實施方式 9

可以將本發明的一個方式的半導體裝置用於顯示設備、個人電腦、具備儲存介質的影像再現裝置(典型的是，能夠再現儲存介質如數位通用磁片(典型爲 DVD: Digital Versatile Disc)等並具有能夠顯示其影像的顯示器的裝置)。除此之外，作爲能夠使用本發明的一個方式的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式遊戲機的遊戲機、可攜式資訊終端、電子書閱讀器、影像拍攝裝置如攝像機或數位相機、護目鏡型顯示器(頭戴式顯示器)、導航系統、音頻再現裝置(車載音響、數位音頻

播放器等)、影印機、傳真機、印表機、複合式印表機、自動存取款機(ATM)、自動售貨機等。圖 85A 至 85F 及圖 91 示出這些電子裝置的具體例子。

圖 85A 是可攜式遊戲機，其包括外殼 5001、外殼 5002、顯示部 5003、顯示部 5004、麥克風 5005、揚聲器 5006、操作鍵 5007、觸控筆 5008 等。可以將本發明的一個方式的半導體裝置用於用來控制可攜式遊戲機的驅動的積體電路或顯示部 5003、顯示部 5004。另外，圖 85A 所示的可攜式遊戲機具有顯示部 5003 及顯示部 5004 這兩個顯示部，但是可攜式遊戲機所具有的顯示部的數目不侷限於此。

圖 85B 是顯示設備，其包括外殼 5201、顯示部 5202、支撐台 5203 等。可以將本發明的一個方式的半導體裝置用於用來控制顯示設備的驅動的積體電路或顯示部 5202。另外，顯示設備包括用於個人電腦、TV 播放接收、廣告顯示等的所有資訊顯示用顯示設備。

圖 85C 是筆記本式個人電腦，其包括外殼 5401、顯示部 5402、鍵盤 5403 及指向裝置 5404 等。可以將本發明的一個方式的半導體裝置用於用來控制筆記本式個人電腦的驅動的積體電路或顯示部 5402。

圖 85D 是可攜式資訊終端，其包括外殼 5601、顯示部 5602、操作鍵 5603 等。在圖 85D 所示的可攜式資訊終端中，也可以將數據機安裝在外殼 5601 的內部。可以將本發明的一個方式的半導體裝置用於用來控制可攜式資訊

終端的驅動的積體電路或顯示部 5602。

圖 85E 是行動電話，其包括外殼 5801、顯示部 5802、聲音輸入部 5803、聲音輸出部 5804、操作鍵 5805、光接收部 5806 等。藉由將由光接收部 5806 接收的光轉換爲電信號，可以提取外部的影像。藉由將本發明的一個方式的半導體裝置用於用來控制行動電話的驅動的積體電路或顯示部 5802。

圖 85F 是可攜式資訊終端，其包括第一外殼 5901、第二外殼 5902、第一顯示部 5903、第二顯示部 5904、連接部 5905、操作鍵 5906 等。第一顯示部 5903 設置在第一外殼 5901 中，而第二顯示部 5904 設置在第二外殼 5902 中。第一外殼 5901 與第二外殼 5902 由連接部 5905 連接，並且可以利用連接部 5905 改變第一外殼 5901 與第二外殼 5902 所成的角度。也可以採用如下結構：根據連接部 5905 的第一外殼 5901 與第二外殼 5902 所成的角度切換第一顯示部 5903 中的影像。可以將本發明的一個方式的半導體裝置用於用來控制可攜式資訊終端的驅動的積體電路或第一顯示部 5903、第二顯示部 5904。另外，也可以將附加有位置輸入裝置的功能的顯示裝置用於第一顯示部 5903 和第二顯示部 5904 中的至少一方。另外，可以藉由在顯示裝置設置觸摸屏來附加位置輸入裝置的功能。或者，也可以藉由在顯示裝置的像素部設置也稱爲光電感測器的光電轉換元件來附加位置輸入裝置的功能。

接下來，參照圖 91 說明本發明的行動電話的結構例

子。

顯示面板 900501 自由裝卸地裝入到外殼 900530 中。可以根據顯示面板 900501 的尺寸適當地改變外殼 900530 的形狀或尺寸。固定有顯示面板 900501 的外殼 900530 嵌入到印刷基板 900531 並被組裝爲模組。

另外，也可以對顯示面板 900501 設置觸摸屏、FPC、印刷電路板、邊框、散熱片、光學薄膜、偏光板、相位差板、稜鏡片、漫射片、背光、導光板、LED、CFL、前燈、控制器、驅動電路、信號處理電路等構成顯示模組。另外，也可以使顯示面板 900501 的對置基板(密封基板)具有觸摸屏功能。

顯示面板 900501 藉由 FPC900513 連接於印刷基板 900531。在印刷基板 900531 上形成有揚聲器 900532、麥克風 900533、發送/接收電路 900534、包括 CPU 及控制器等的信號處理電路 900535。將這種模組與輸入單元 900536、電池 900537 組合而收納到外殼 900539。以從形成在外殼 900539 中的開口窗可以視覺確認的形式配置顯示面板 900501 的像素部。

顯示面板 900501 可以採用如下結構：在基板上使用 TFT 一起形成像素部和一部分週邊驅動電路(多個驅動電路中的工作頻率低的驅動電路)，並將一部分週邊驅動電路(多個驅動電路中的工作頻率高的驅動電路)形成在 IC 晶片上，並將該 IC 晶片藉由 COG(玻璃上晶片)安裝到顯示面板 900501。或者，也可以藉由 TAB(Tape Automated

Bonding，即卷帶式自動結合)或印刷基板連接該 IC 晶片和玻璃基板。藉由採用這種結構，可以實現顯示裝置的低耗電量化，並可以使藉由一次充電得到的行動電話的使用時間變長。而且，可以實現行動電話的低成本化。

本實施方式相當於對其他實施方式的一部分或整體進行改變、追加、修正、去除、應用、屬概念化或種概念化的方式。因此，可以將本實施方式的一部分或全部自由地組合到、應用到或替換爲其他實施方式的一部分或全部。

注意，可以在某一個實施方式中所描述的圖式或者文章中取出其一部分而構成發明的一個方式。從而，在記載有說明某一部分的圖式或者文章的情況下，取出其一部分的圖式或者文章的內容也是作爲發明的一個方式而公開的，所以能夠構成發明的一個方式。因此，例如，可以在記載有主動元件(電晶體、二極體等)、佈線、被動元件(電容元件、電阻元件等)、導電層、絕緣層、半導體層、有機材料、無機材料、零部件、裝置、工作方法、製造方法等中的一個或多個的圖式或者文章中，可以取出其一部分而構成發明的一個方式。例如，可以從由 N 個(N 是整數)電路元件(電晶體、電容元件等)構成的電路圖中取出 M 個(M 是整數，M<N)電路元件(電晶體、電容元件等)來構成發明的一個方式。作爲其他例子，可以從由 N 個(N 是整數)層構成的剖面圖中取出 M 個(M 是整數，M<N)層來構成發明的一個方式。再者，作爲其他例子，可以從由 N 個(N 是整數)要素構成的流程圖中取出 M 個(M 是整數，

M<N)要素來構成發明的一個方式。

此外，在某一個實施方式所述的圖式或文章中記載至少一個具體例子的情況下，所屬技術領域的普通技術人員可以很容易地理解一個事實就是由上述具體例子導出該具體例子的屬概念。從而，在某一個實施方式中所述的圖式或文章中記載至少一個具體例子的情況下，該具體例子的屬概念也作爲發明的一個方式被公開，並可以構成發明的一個方式。

另外，至少在圖式中記載的內容(也可以是圖式中的一部分)作爲發明的一個方式被公開，而可以構成發明的一個方式。因此，只要在圖式中記載某一個內容，即使不使用文章描述，就該內容作爲發明的一個方式被公開，而可以構成發明的一個方式。同樣地，取出圖式中的一部分的圖式也作爲發明的一個方式被公開，而可以構成發明的一個方式。

實施方式 10

圖 88A 示出如下情況下的電路 100 的結構：在圖 49A 中，作爲一個例子，將電晶體用於開關 11、開關 12、開關 13、開關 14、開關 914。

在圖 88A 所示的電路 100 中，作爲開關 11 使用電晶體 11t，作爲開關 12 使用電晶體 12t，作爲開關 13 使用電晶體 13t，作爲開關 14 使用電晶體 14t，並且作爲開關 914 使用電晶體 914t。

另外，在圖 88A 中，作爲一個例子示出：電晶體 11t、電晶體 12t、電晶體 13t、電晶體 14t 及電晶體 914t 都是 n 通道型的情況。藉由使電晶體 11t、電晶體 12t、電晶體 13t、電晶體 14t 及電晶體 914t 的極性相同，可以以少製程數製造上述電晶體。但是，本發明的實施方式的一個方式不侷限於此，也可以使用極性不同的電晶體。

另外，在圖 88A 中，電晶體 11t 的閘極與佈線 31 連接。電晶體 11t 根據供應到佈線 31 的電位成爲導通狀態或非導通狀態。電晶體 12t 的閘極與佈線 32 連接。電晶體 12t 根據供應到佈線 32 的電位成爲導通狀態或非導通狀態。電晶體 13t 的閘極與佈線 32 連接。電晶體 13t 根據供應到佈線 32 的電位成爲導通狀態或非導通狀態。電晶體 14t 的閘極與佈線 34 連接。電晶體 14t 根據供應到佈線 34 的電位成爲導通狀態或非導通狀態。因此，較佳的是，佈線 31、佈線 32 及佈線 34 的電位爲脈衝狀，而不是固定的，但是本發明的實施方式之一不侷限於此。或者，佈線 31、佈線 32 及佈線 34 具有閘極信號線、選擇信號線或掃描線的功能。

另外，圖 88A 例示電晶體 12t 的閘極及電晶體 13t 的閘極都連接到佈線 32 的情況。在本發明的一個方式中，也可以採用如下結構：電晶體 12t 的閘極與佈線 32 連接，而電晶體 13t 的閘極與佈線 33 連接。

另外，佈線 31、佈線 32 和佈線 34 中的至少兩個佈線可以彼此連接。或者，佈線 31、佈線 32 和佈線 34 中

的至少一個佈線可以與其他電路 100 的佈線 31、佈線 32 和佈線 34 中的至少一個連接。

另外，本發明的一個方式的半導體裝置除了圖 88A 所示的電路 100 以外還可以包括具有對電路 100 供應各種恆定電壓或信號的功能的電路。

接著，藉由計算求出以對應於電位 Vsig 的亮度使發光元件 104a 發射光的期間 T14 中的電晶體 101 的閘極-源極間電壓(Vgs101)的值。在計算中，使用圖 88A 所示的電路 100。

圖 88B 是計算中的圖 88A 所示的電路 100 所具有的各佈線的電位的時序圖。明確而言，圖 88B 示出佈線 21 的電位、佈線 34 的電位、佈線 32 的電位、佈線 31 的電位、佈線 932 的電位的隨時間的變化。另外，在圖 88B 中，對佈線 34、佈線 32、佈線 31、佈線 932 施加高位準的電位 GVDD 或低位準的電位 GVSS。

使用條件 A 或條件 B 進行計算,該條件 A 或條件 B 的佈線 22 中的電位 Vi2 的值彼此不同。以下表 1 具體地示出在條件 A 和條件 B 中的各佈線的電位的值。另外，在表 1 中，以佈線 24 的電位 Vcat 爲 0V，而以與電位 Vcat 的差異示出電位 Vsig、Vi1、電位 VDD、電位 Vi2、電位 GVDD、電位 GVSS 的值。

[表 1]

	條件 A	條件 B
Vth	-3V 至 3V	-3V 至 3V
Vsig	4V 至 9V	4V 至 9V
Vi1	4V	4V
VDD	14V	14V
Vi2	8V	14V
Vcat	0V	0V
GVDD/GVSS	17V/-5V	20V/-5V

另外，在計算時，在電晶體 101 中將通道長度 L 與通道寬度 W 的比例設定爲 L/W=10μm/10μm，在電晶體 12t 及電晶體 13t 中將其設定爲 L/W=6μm/5μm，並且在電晶體 11t、電晶體 14t 及電晶體 914t 中將其設定爲 L/W=6μm/9μm。在圖 88A 示出的電路 100 所具有的所有電晶體中，當將半導體膜與源極電極或汲極電極接觸的區域設定爲區域 A 時，將區域 A 與閘極電極重疊的區域中的通道長度方向上的長度(Lov)設定爲 2.0μm。

在圖 88B 所示的期間 T14 中，電晶體 101 的閘極-源極間電壓(Vgs101)成爲電壓 Vsig+Vth-Vi1。因此，在 88A 所示的電路 100 中，因爲 Vgs101-Vth=Vsig-Vi1，所以在理想上無論臨界電壓 Vth 的值如何 Vgs101-Vth 都具有固定的值。

圖 89 示出採用條件 A 時的藉由計算獲得的 Vgs101-

Vth 的值。在圖 89 中，橫軸示出臨界電壓 Vth(V)，縱軸示出 Vgs101-Vth(V)的值。在圖 89 中，可知：即使使臨界電壓 Vth 的值產生變化，Vgs101-Vth 的值也幾乎均等，並且該偏差被抑制爲 10%至 15%左右。

圖 90 示出採用條件 B 時的藉由計算獲得的 Vgs101-Vth 的值。在圖 90 中，橫軸示出臨界電壓 Vth(V)，縱軸示出 Vgs101-Vth(V)的值。在圖 90 中，當臨界電壓 Vth 爲正值時，Vgs101-Vth 的值大致均等。但是，當臨界電壓 Vth 爲負值時，臨界電壓 Vth 向負方向越增大，Vgs101-Vth 的值越大，而可知 Vgs101-Vth 的值依賴於臨界電壓 Vth 的值。

由上述計算結果，證明了：在本發明的一個方式的半導體裝置中，即使電晶體 101 處於常開啓狀態，即臨界電壓 Vth 的值爲負值，也可以將電晶體 101 的閘極-源極間電壓(Vgs101)設定爲加上電晶體 101 的臨界電壓 Vth 的值。

本實施方式相當於對其他實施方式的一部分或整體進行改變、追加、修正、去除、應用、屬概念化或種概念化的方式。因此，可以將本實施方式的一部分或全部自由地組合到、應用到或替換爲其他實施方式的一部分或全部。

【符號說明】

11：開關

11t：電晶體

12：開關

12t：電晶體

13：開關

13t：電晶體

14：開關

14a：開關

14b：開關

14t：電晶體

15：開關

21：佈線

22：佈線

23：佈線

23a：佈線

23b：佈線

24：佈線

25：佈線

26：佈線

27：佈線

31：佈線

32：佈線

33：佈線

34：佈線

100：電路

101：電晶體

102：電容元件

103：電容元件

104：負載

104a：發光元件

104b：發光元件

105：電容元件

105a：電容元件

105b：電容元件

201：電路

202：電路

203：電路

203a：電路

203b：電路

204：電路

205：電路

206：電路

207：電路

208：電路

220：電路

221：電路

222：電路

222a：電路

222b：電路

223：電路

224：電路

225：電路

226：電路

230：電路

231：電路

232：電路

233：電路

300：半導體膜

301：半導體膜

302：導電膜

303：導電膜

304：導電膜

305：導電膜

306：導電膜

307：導電膜

308：導電膜

309：導電膜

320：半導體膜

321：半導體膜

322：半導體膜

323：半導體膜

324：導電膜

325：導電膜

326：導電膜

327：導電膜

328：導電膜

329：導電膜

330：導電膜

331：導電膜

332：導電膜

333：半導體膜

501：半導體膜

502：絕緣膜

503：電極

504：導電膜

505：導電膜

506：第一區域

507：第二區域

508：第二區域

509：第三區域

510：第三區域

520：絕緣膜

520a：第一氧化絕緣膜

520b：第二氧化絕緣膜

520c：第三氧化絕緣膜

521：半導體膜

522：絕緣膜

523：電極

524：導電膜

525：導電膜

526：第一區域

527：側壁

528：絕緣膜

529：開口部

530：絕緣膜

530a：第一氧化絕緣膜

530b：第二氧化絕緣膜

531：半導體膜

532：絕緣膜

533：電極

534：導電膜

535：導電膜

536：第一區域

537：第二區域

538：第二區域

539：側壁

540：絕緣膜

550：第二區域

551：第二區域

602：閘極電極

603：閘極絕緣膜

604：半導體膜

605：導電膜

606：導電膜

607：絕緣膜

612：閘極電極

613：閘極絕緣膜

614：半導體膜

615：導電膜

616：導電膜

617：絕緣膜

618：通道保護膜

622：閘極電極

623：閘極絕緣膜

624：半導體膜

625：導電膜

626：導電膜

627：絕緣膜

642：閘極電極

643：閘極絕緣膜

644：半導體膜

645：導電膜

646：導電膜

647：絕緣膜

700：像素部

701：驅動電路

702：驅動電路

710：驅動電路

711：像素部

800：基板

801：絕緣膜

802：絕緣膜

803：絕緣膜

814：開關

914：開關

914t：電晶體

932：佈線

4001：基板

4002：像素部

4003：電路

4004：電路

4006：基板

4007：填充材料

4008：電晶體

4009：電晶體

4010：電晶體

4011：發光元件

4012：反電極

4013：發光層

4014：佈線

4015：佈線

4016：連接端子

4017：佈線

4018：FPC

4019：各向異性導電膜

4020：密封材料

5001：外殼

5002：外殼

5003：顯示部

5004：顯示部

5005：麥克風

5006：揚聲器

5007：操作鍵

5008：觸控筆

5201：外殼

5202：顯示部

5203：支撐台

5401：外殼

5402：顯示部

5403：鍵盤

5404：指向裝置

5601：外殼

5602：顯示部

5603：操作鍵

5801：外殼

5802：顯示部

5803：聲音輸入部

5804：聲音輸出部

5805：操作鍵

5806：受光部

5901：外殼

5902：外殼

5903：顯示部

5904：顯示部

5905：連接部

5906：操作鍵

9206：電路

900501：顯示面板

900513：FPC

900530：外殼

900531：印刷基板

900532：揚聲器

900533：麥克風

900534：收發電路

900535：信號處理電路

900536：輸入單元

900537：電池

900539：外殼

第 108108212 號　　民國 109 年 2 月 4 日修正

申請專利範圍

1.一種半導體裝置，包括：

第一電晶體、第二電晶體、第三電晶體和第四電晶體；以及

第一電容元件和第二電容元件，

其中，該第一電晶體的閘極與該第三電晶體的源極和汲極中之一者以及該第一電容元件的第一端子電連接，

其中，該第一電晶體的源極和汲極中之一者與該第四電晶體的源極和汲極中之一者以及該第二電容元件的第一端子電連接，

其中，該第四電晶體的該源極和該汲極中之另一者與該第二電晶體的源極和汲極中之一者、該第一電容元件的第二端子以及該第二電容元件的第二端子電連接，

其中，該第一電晶體、該第二電晶體和該第四電晶體中之至少一者包括半導體膜，以及

其中，該半導體膜用作該第一電容元件的電極。

2.一種半導體裝置，包括：

第一電晶體、第二電晶體、第三電晶體和第四電晶體；以及

第一電容元件和第二電容元件，

其中，該第一電晶體的閘極與該第三電晶體的源極和汲極中之一者以及該第一電容元件的第一端子電

連接，

其中，該第一電晶體的源極和汲極中之一者與該第四電晶體的源極和汲極中之一者以及該第二電容元件的第一端子電連接，

其中，該第四電晶體的該源極和該汲極中之另一者與該第二電晶體的源極和汲極中之一者、該第一電容元件的第二端子以及該第二電容元件的第二端子電連接，

其中，該第一電晶體、該第二電晶體和該第四電晶體中之至少一者包括半導體膜，以及

其中，該半導體膜用作該第二電容元件的電極。

3.根據申請專利範圍第 1 或 2 項的半導體裝置，還包括：

與該第一電晶體的該源極和該汲極中之該者電連接的發光元件。

4.根據申請專利範圍第 1 或 2 項的半導體裝置，還包括：

與該第一電晶體的該源極和該汲極中之該者電連接的第五電晶體。

5.根據申請專利範圍第 1 或 2 項的半導體裝置，還包括：

與該第一電晶體的該源極和該汲極中之另一者電連接的第五電晶體。

6.根據申請專利範圍第 1 或 2 項的半導體裝置，

其中，該第一電晶體、該第二電晶體、該第三電晶體和該第四電晶體爲 n 通道型電晶體。

7.根據申請專利範圍第 1 或 2 項的半導體裝置，其中，該半導體膜包括氧化物半導體。

8.一種半導體裝置，包括：

第一電晶體、第二電晶體、第三電晶體和第四電晶體；以及

第一電容元件和第二電容元件，

其中，該第一電晶體的閘極與該第三電晶體的源極和汲極之一者以及該第一電容元件的第一端子電連接，

其中，該第一電晶體的源極和汲極中之一者與該第四電晶體的源極和汲極中之一者以及該第二電容元件的第一端子電連接，

其中，該第四電晶體的該源極和該汲極中之另一者與該第二電晶體的源極和汲極中之一者電連接，以及

其中，一個半導體膜用作該第二電晶體的活性層和該第四電晶體的活性層。

圖式

圖1A

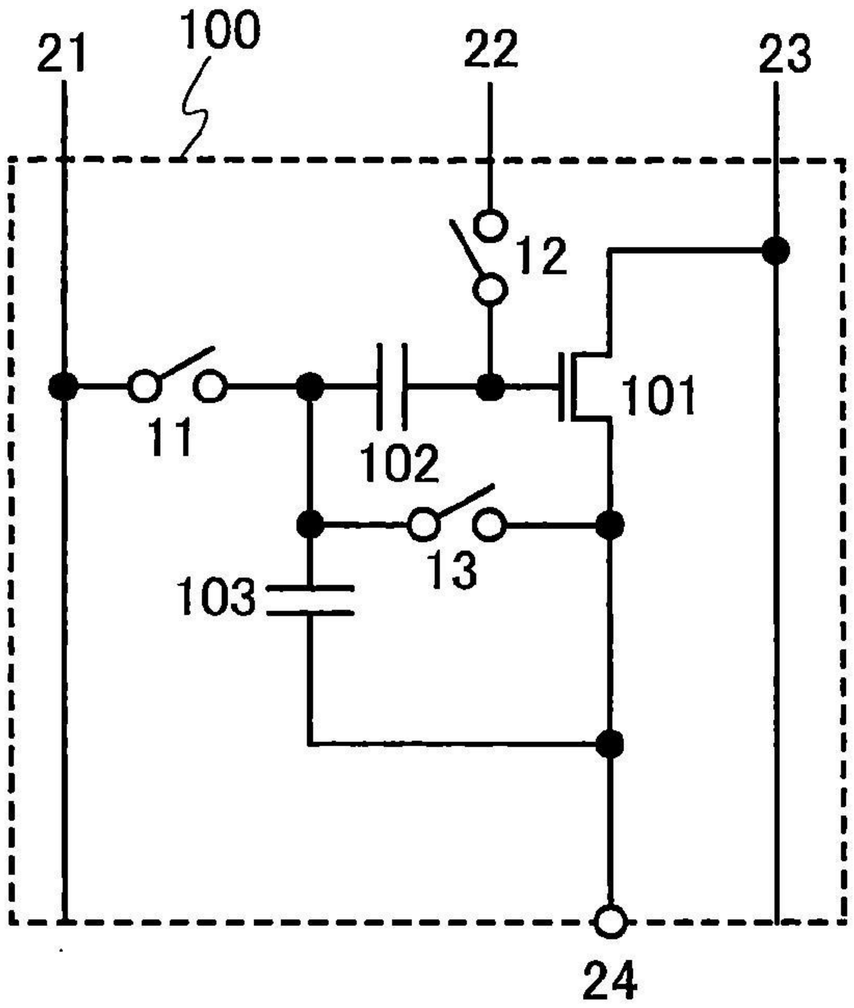


圖1B

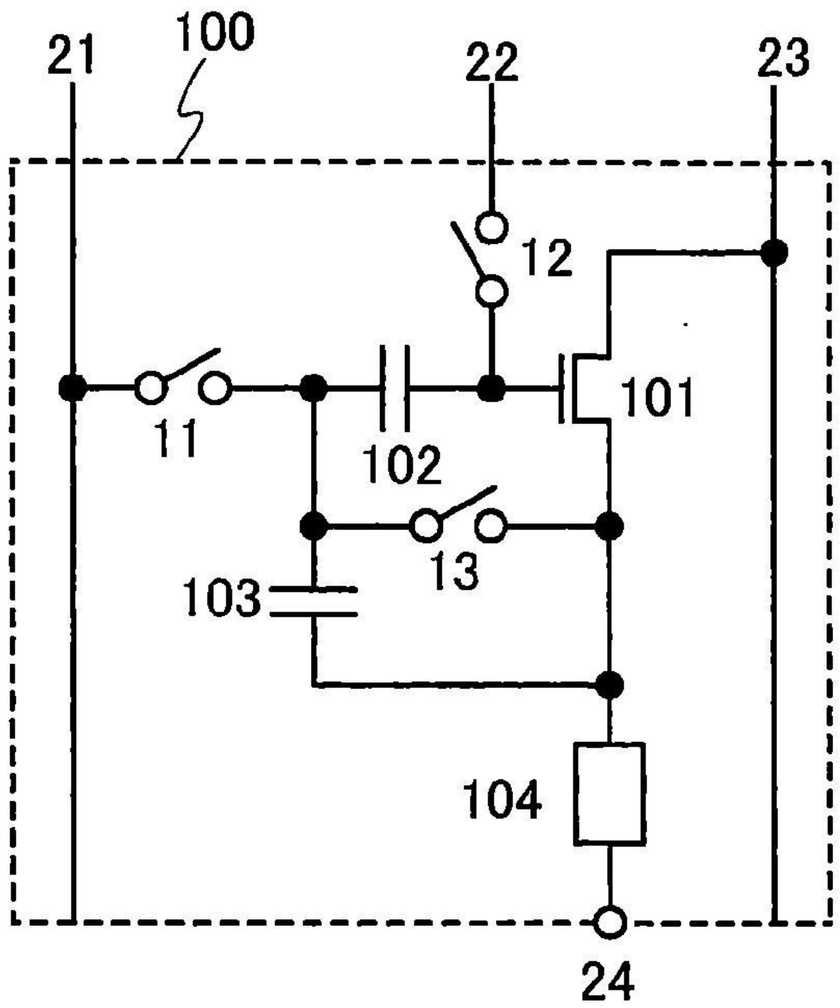


圖1C

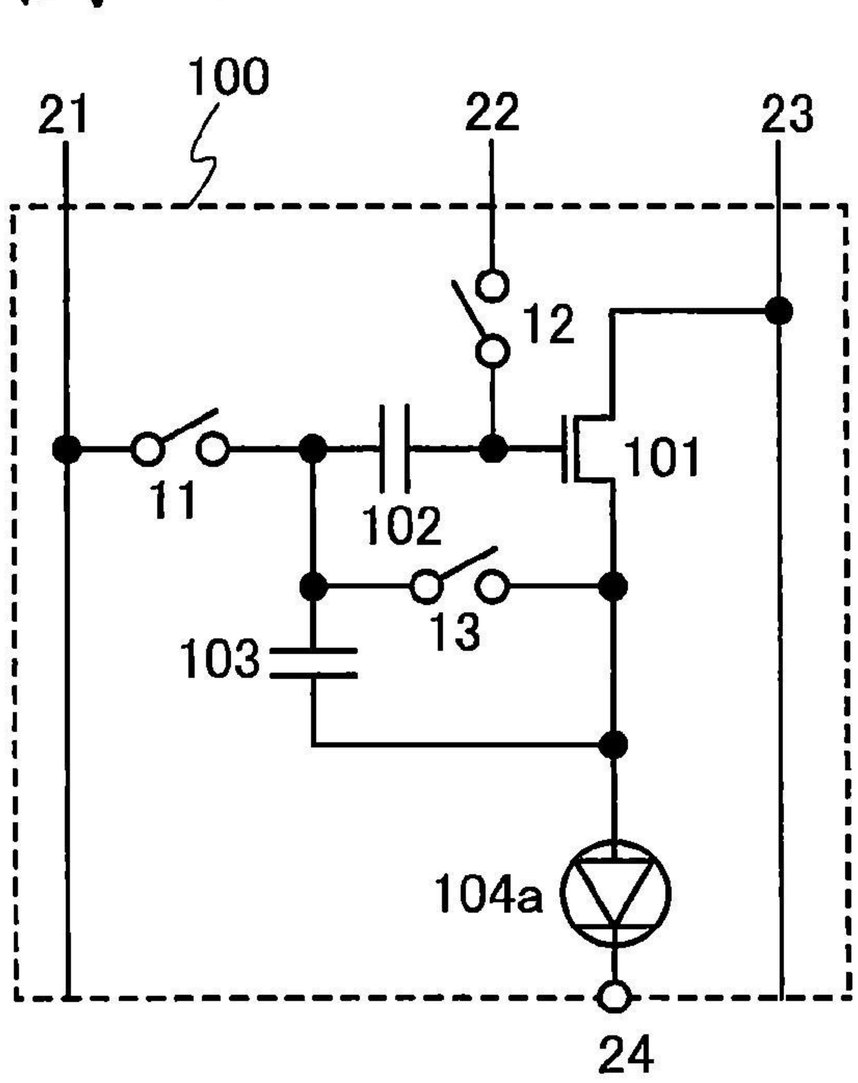


圖1D

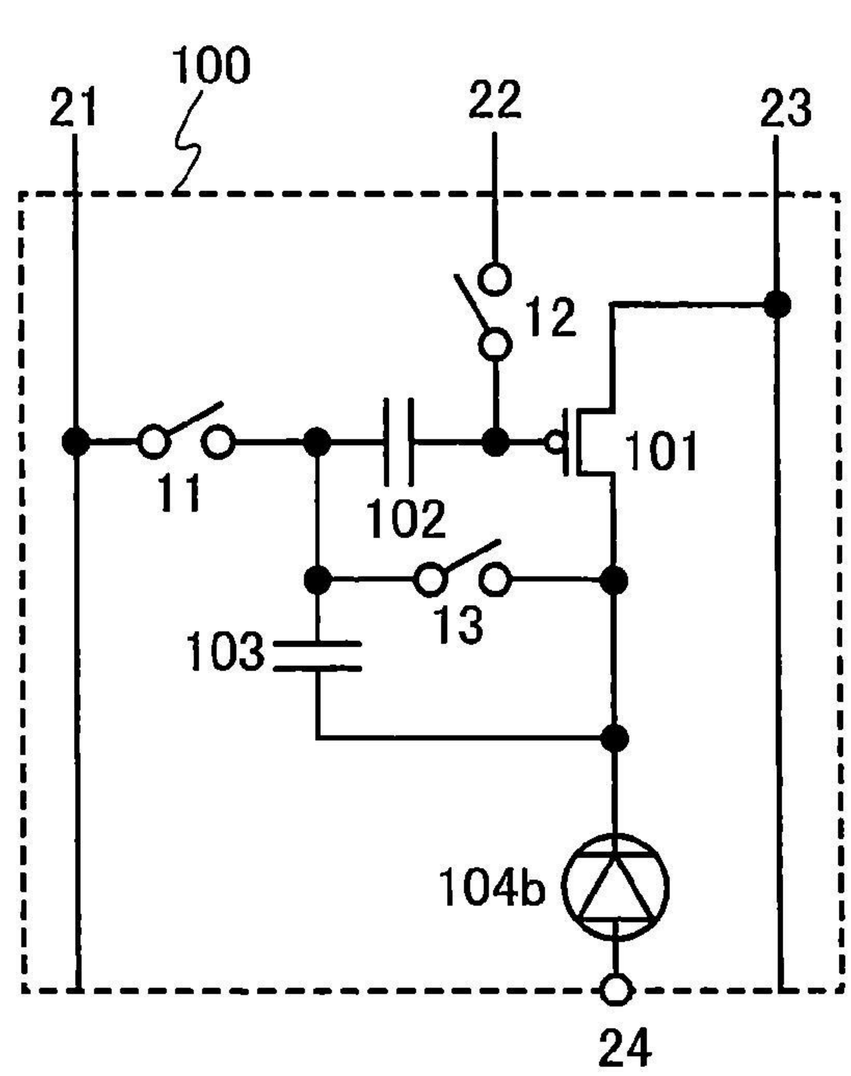


圖2A

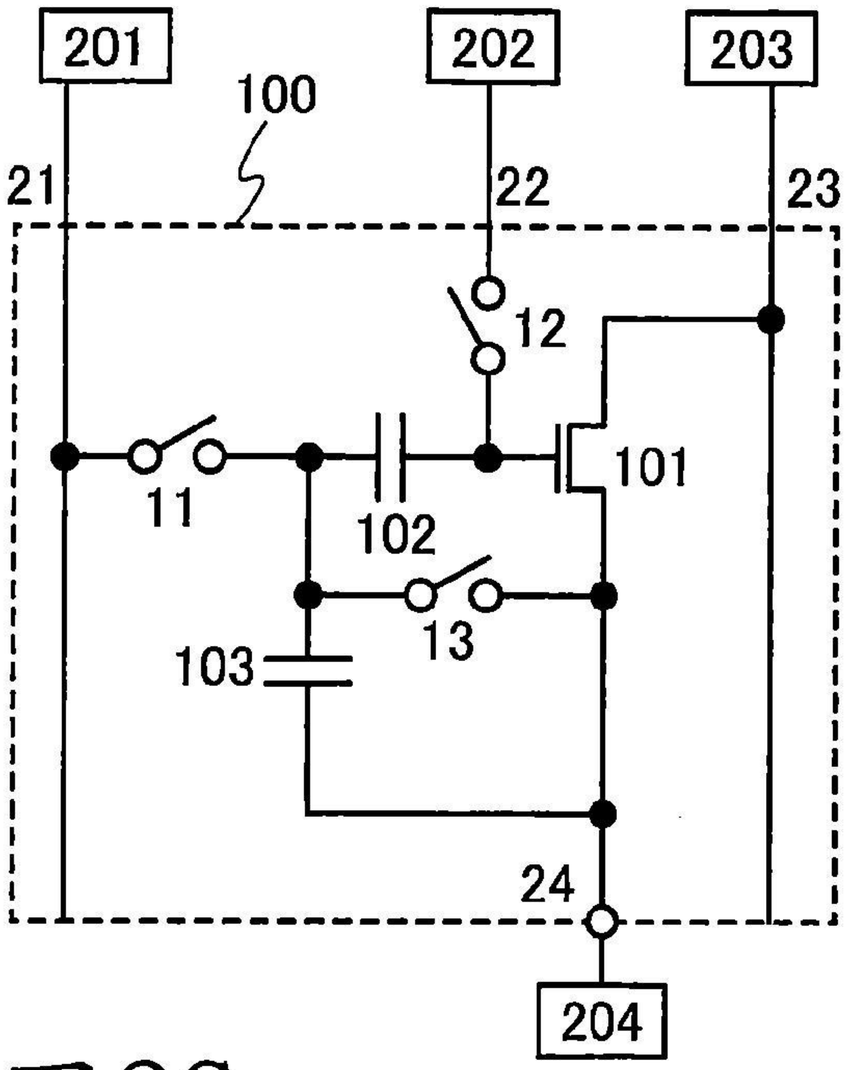


圖2B

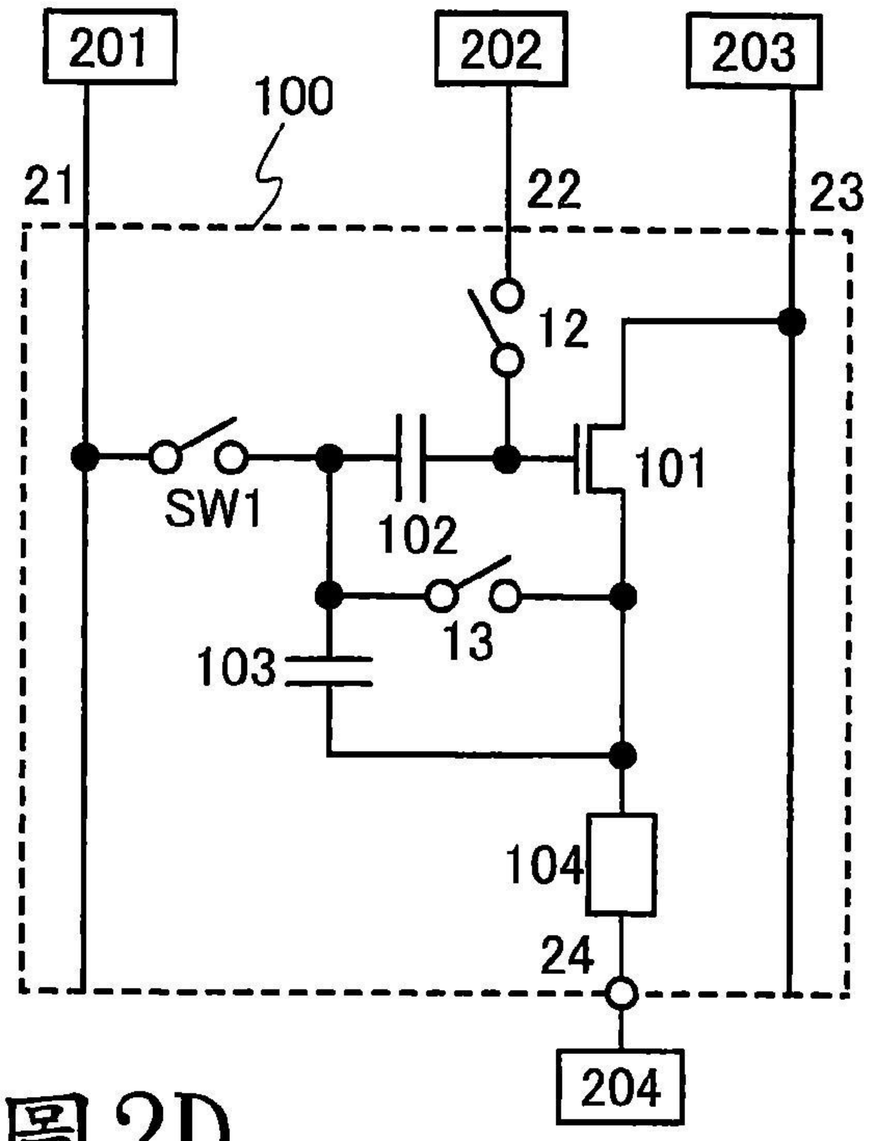


圖2C

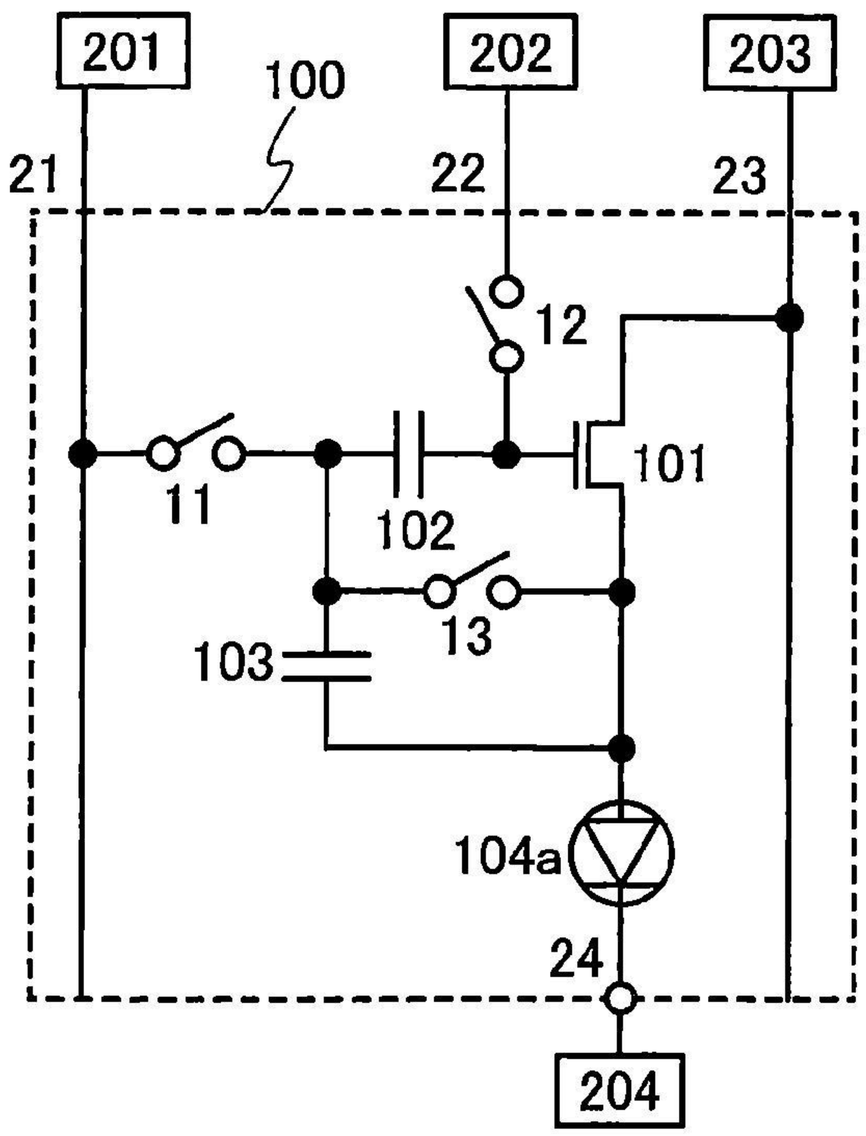


圖2D

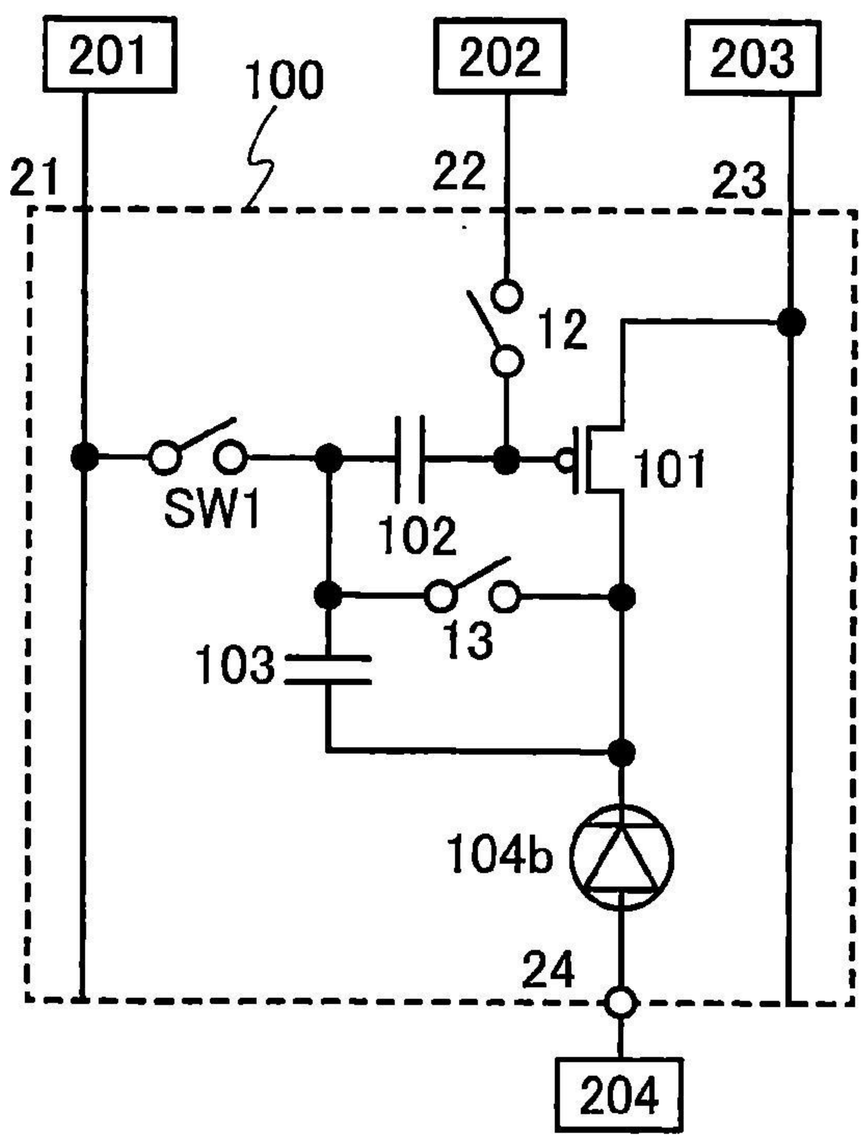


圖3A

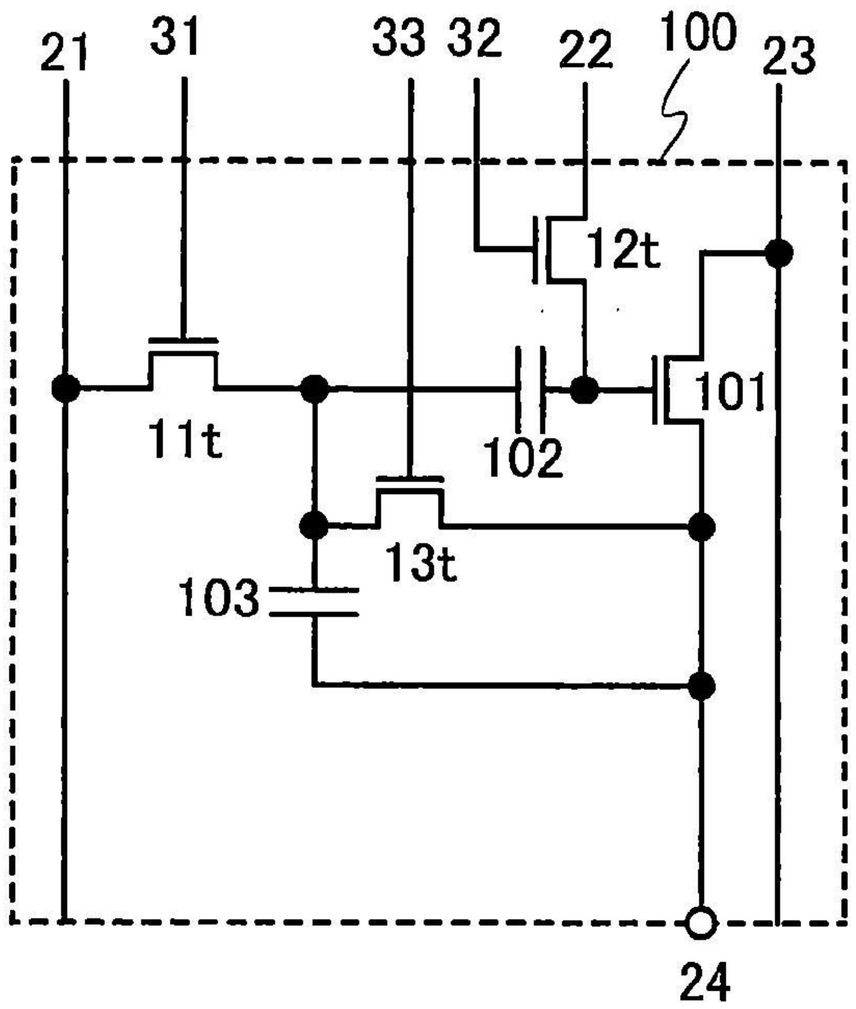


圖3B

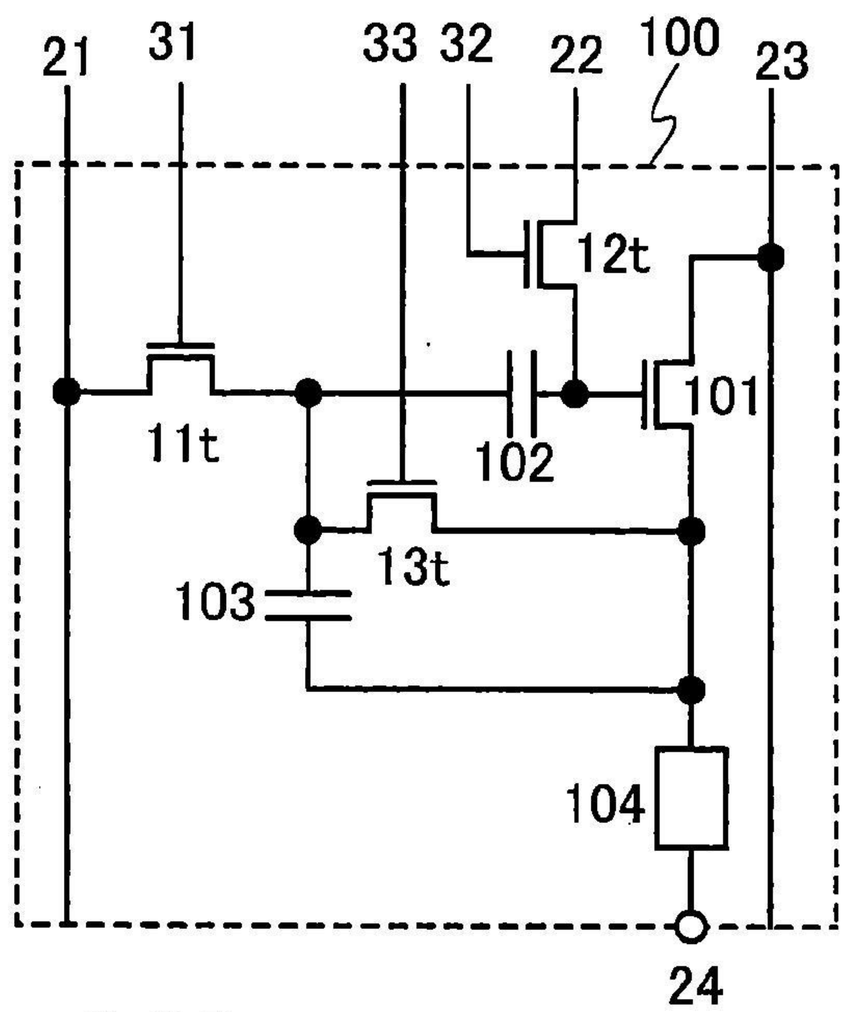


圖3C

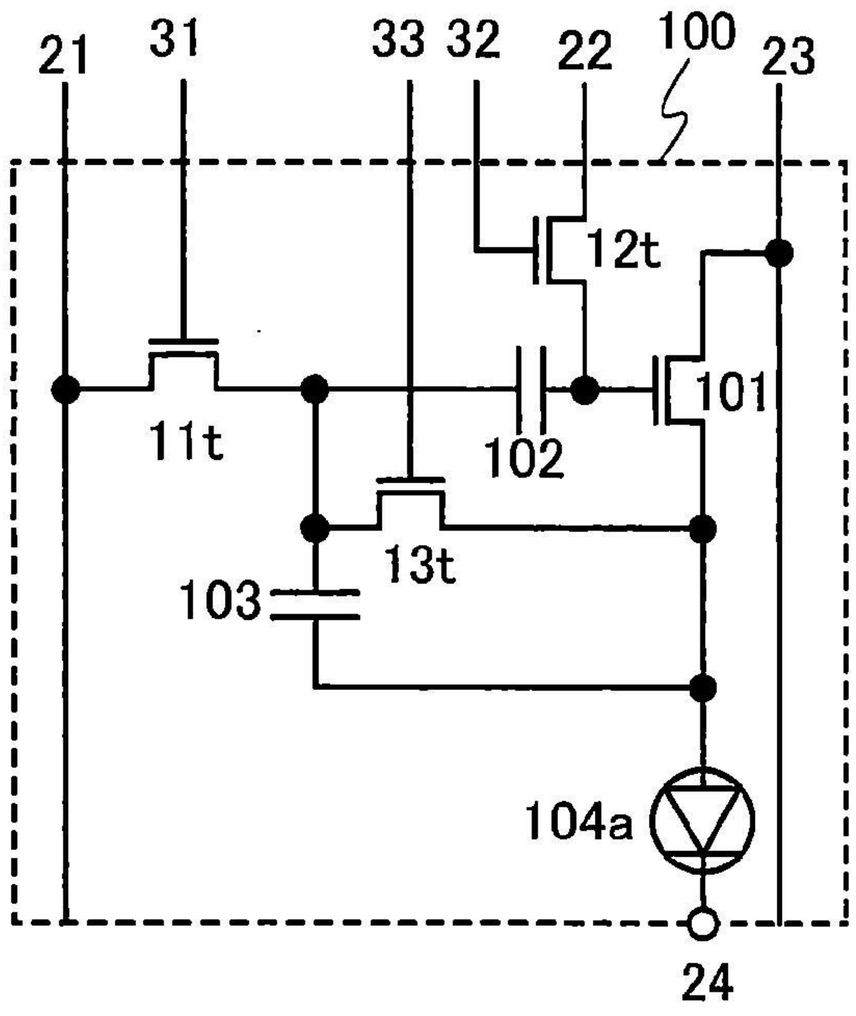


圖3D

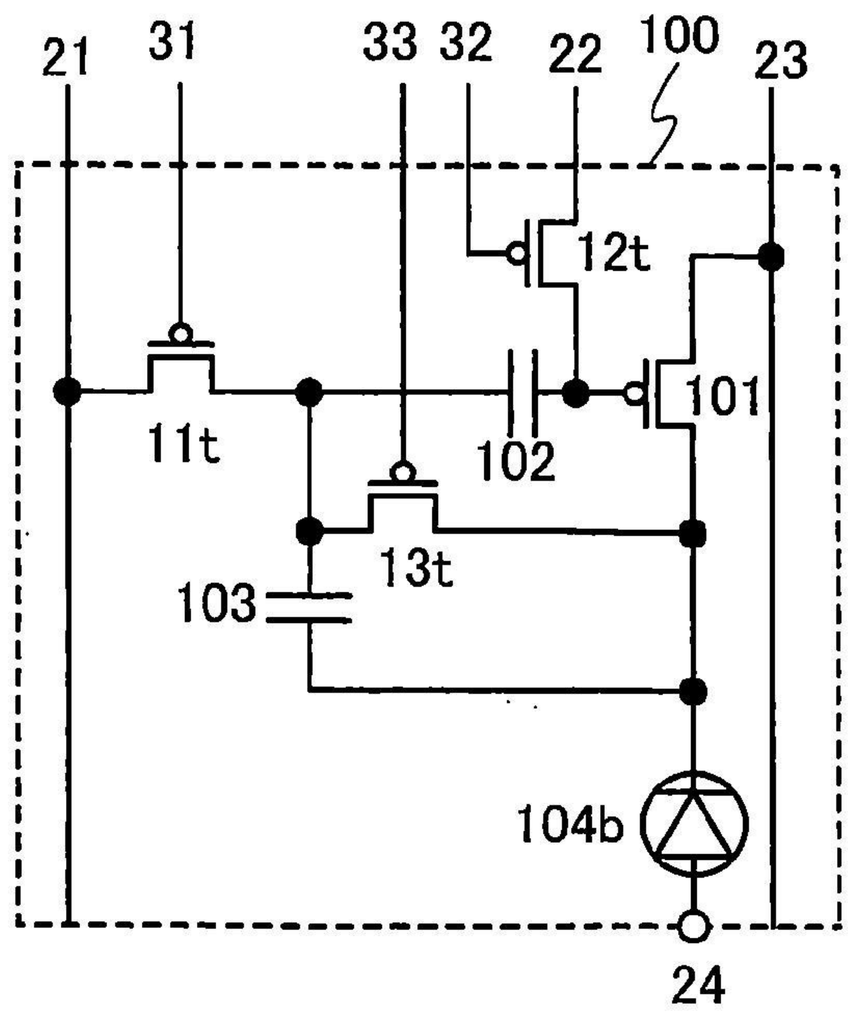


圖4A

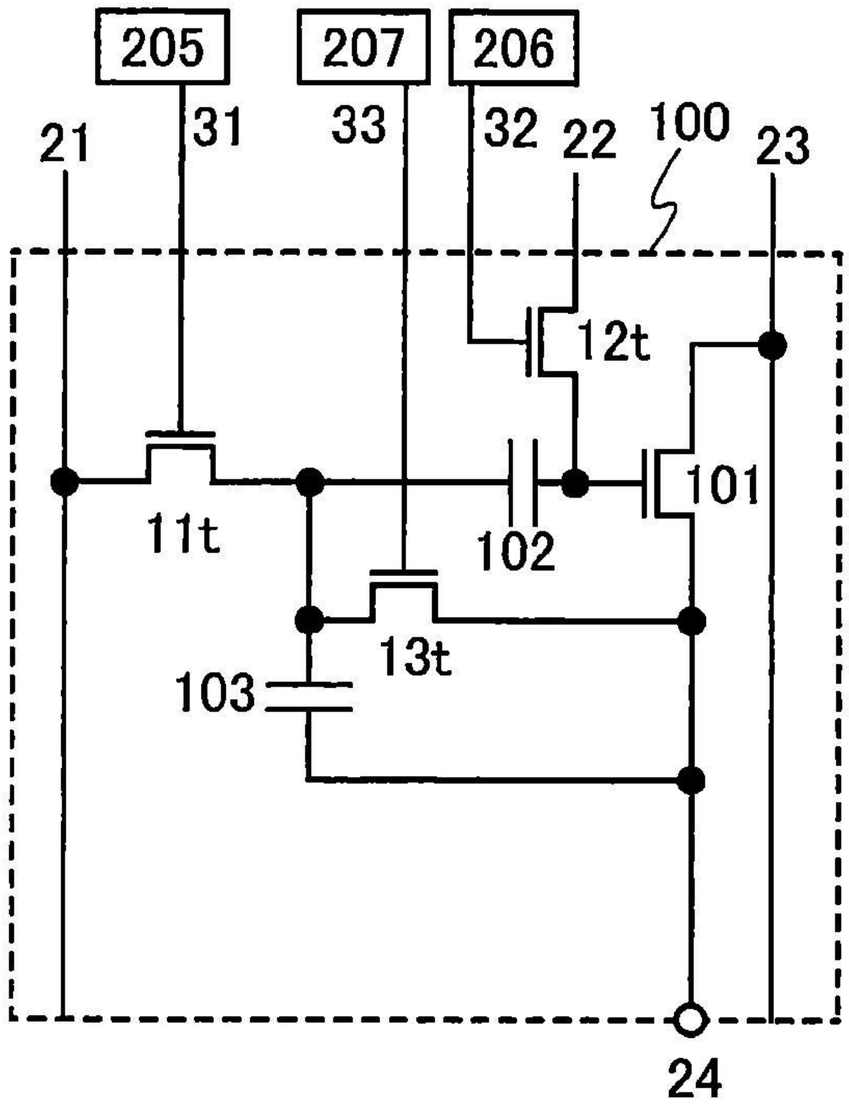


圖4B

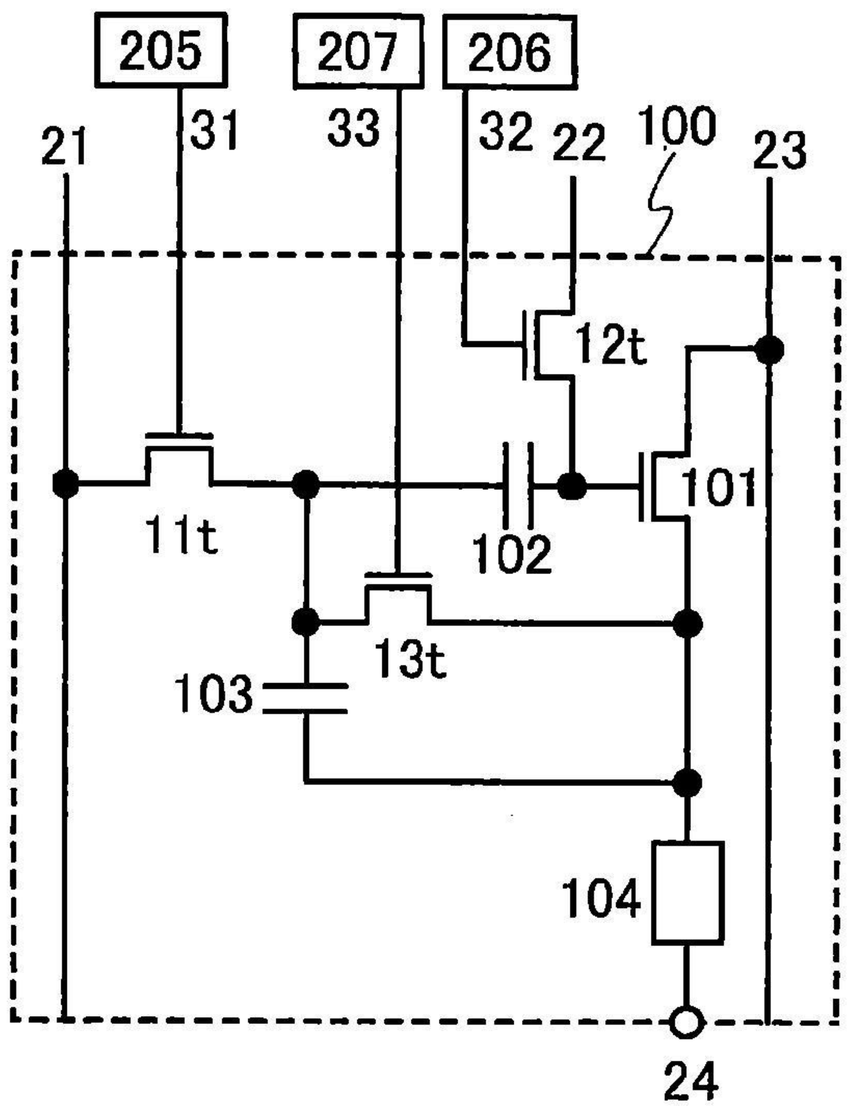


圖4C

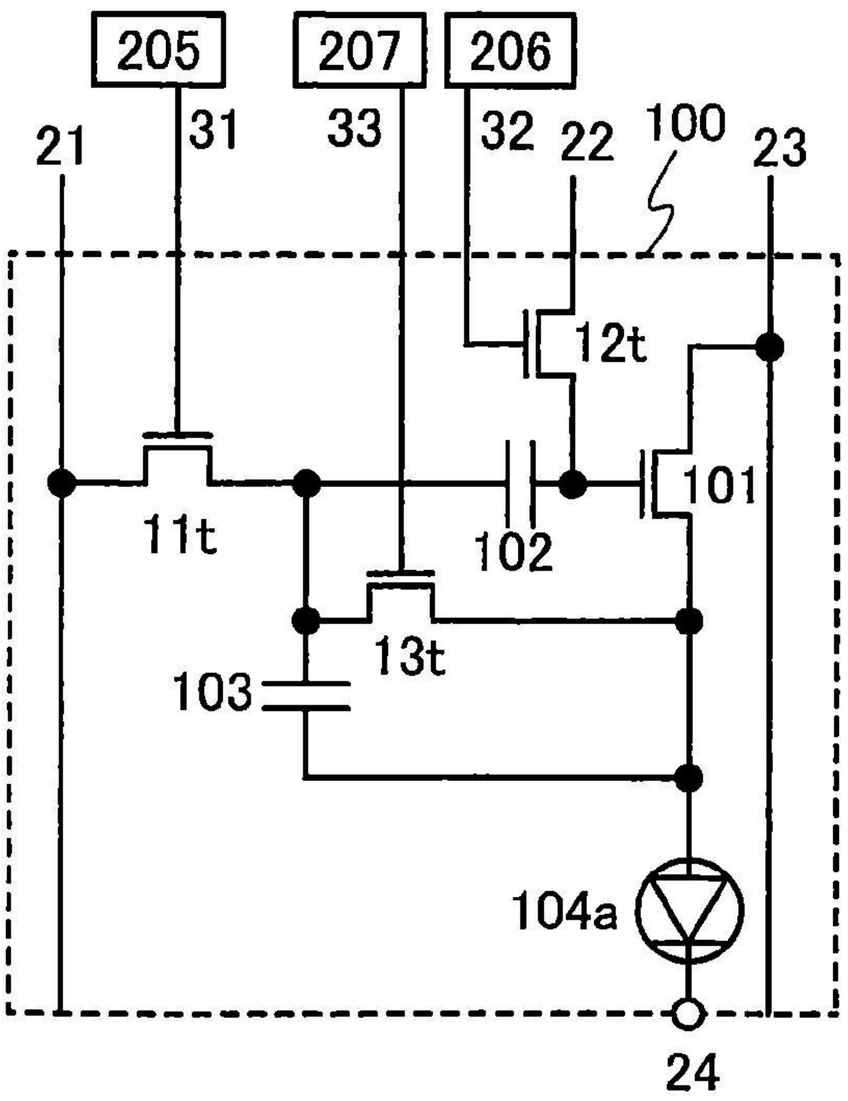


圖4D

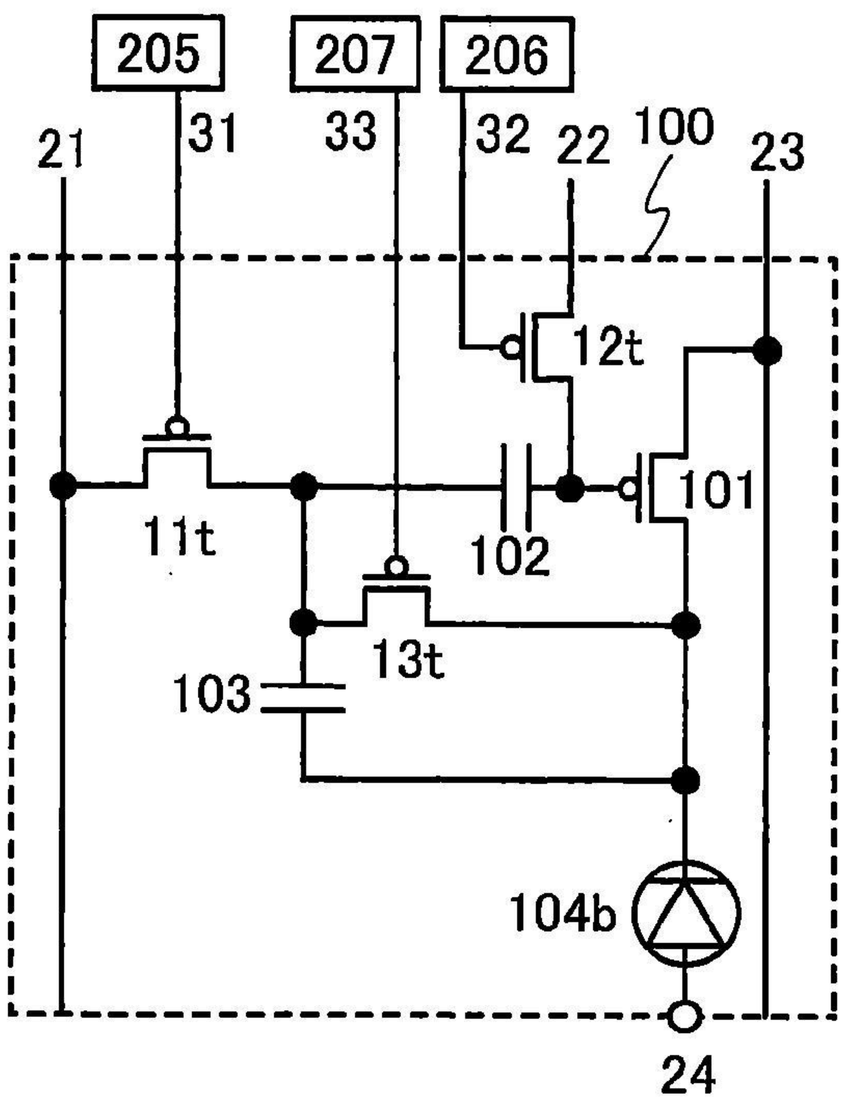


圖5A

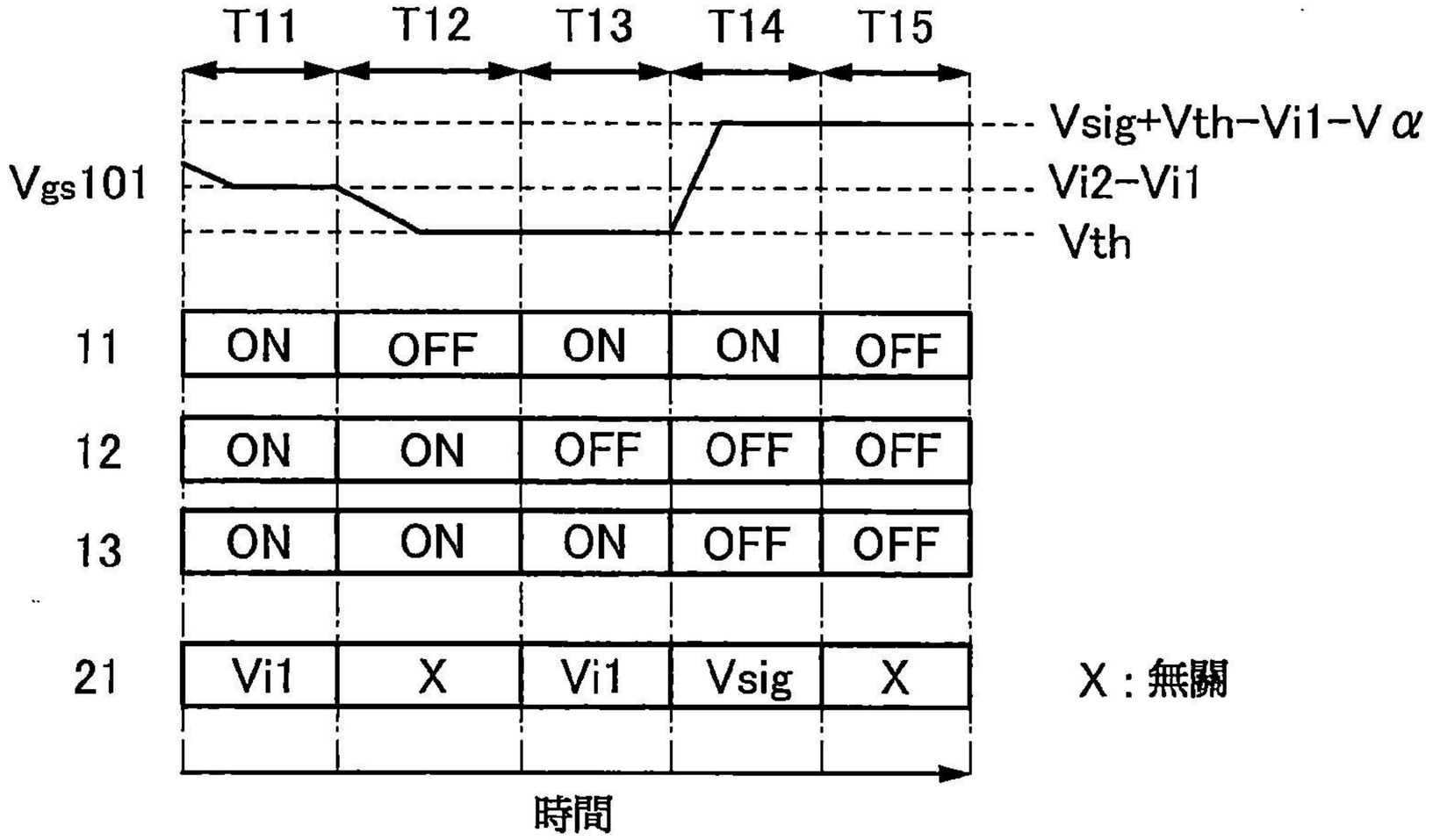

T11
T12
T13
T14
T15
Vgs101
Vsig+Vth-Vi1-Vα
Vi2-Vi1
Vth
11
ON
OFF
ON
ON
OFF
12
ON
ON
OFF
OFF
OFF
13
ON
ON
ON
OFF
OFF
21
Vi1
X
Vi1
Vsig
X
X：無關
時間

圖5B

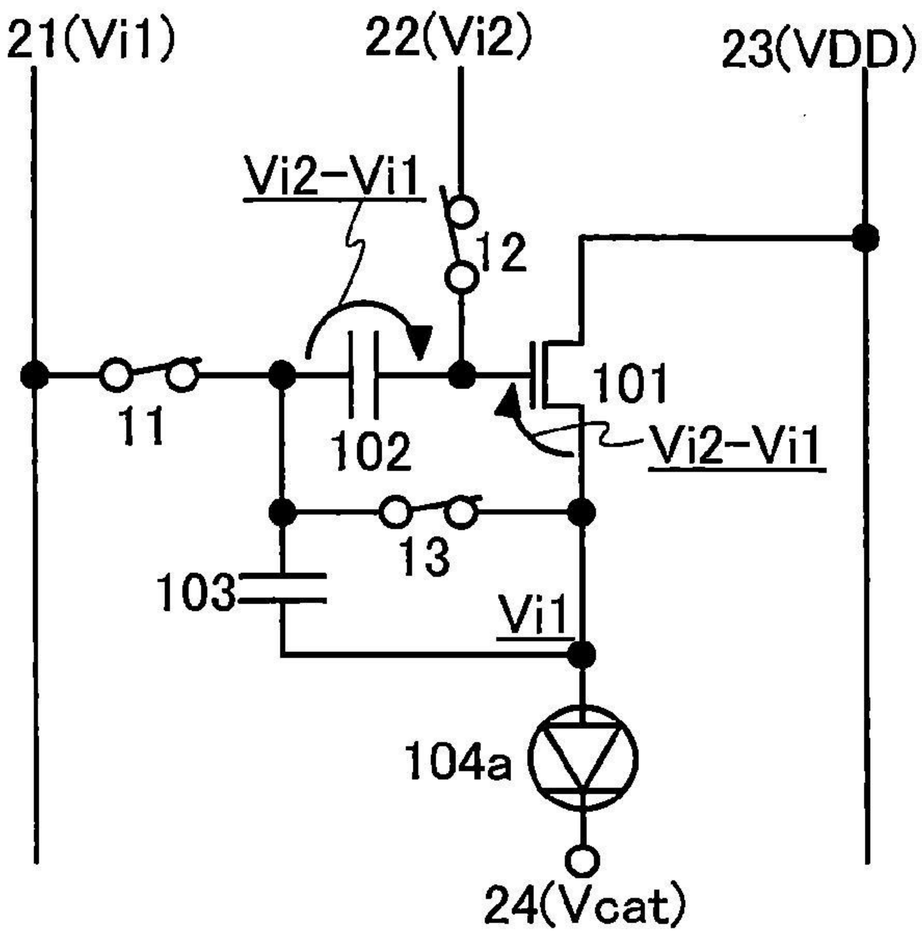

21(Vi1)
22(Vi2)
23(VDD)
Vi2-Vi1
12
11
102
101
Vi2-Vi1
13
103
Vi1
104a
24(Vcat)

圖5C

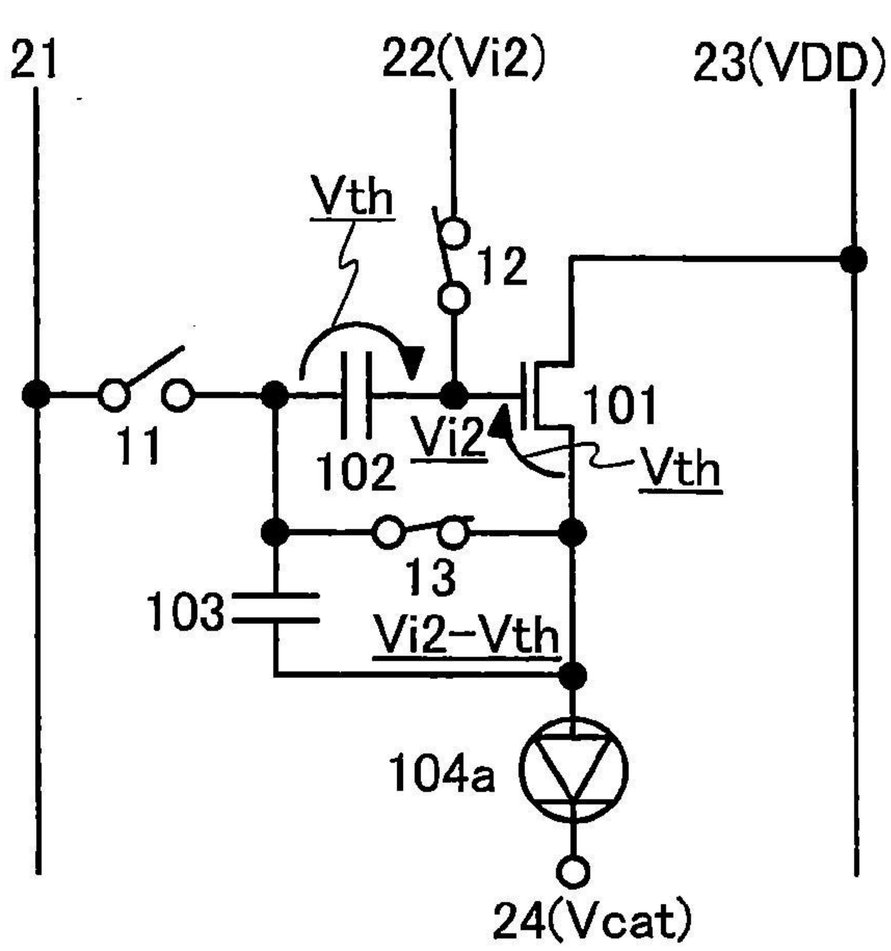

21
22(Vi2)
23(VDD)
Vth
12
11
102
Vi2
101
Vth
13
103
Vi2-Vth
104a
24(Vcat)

圖6A

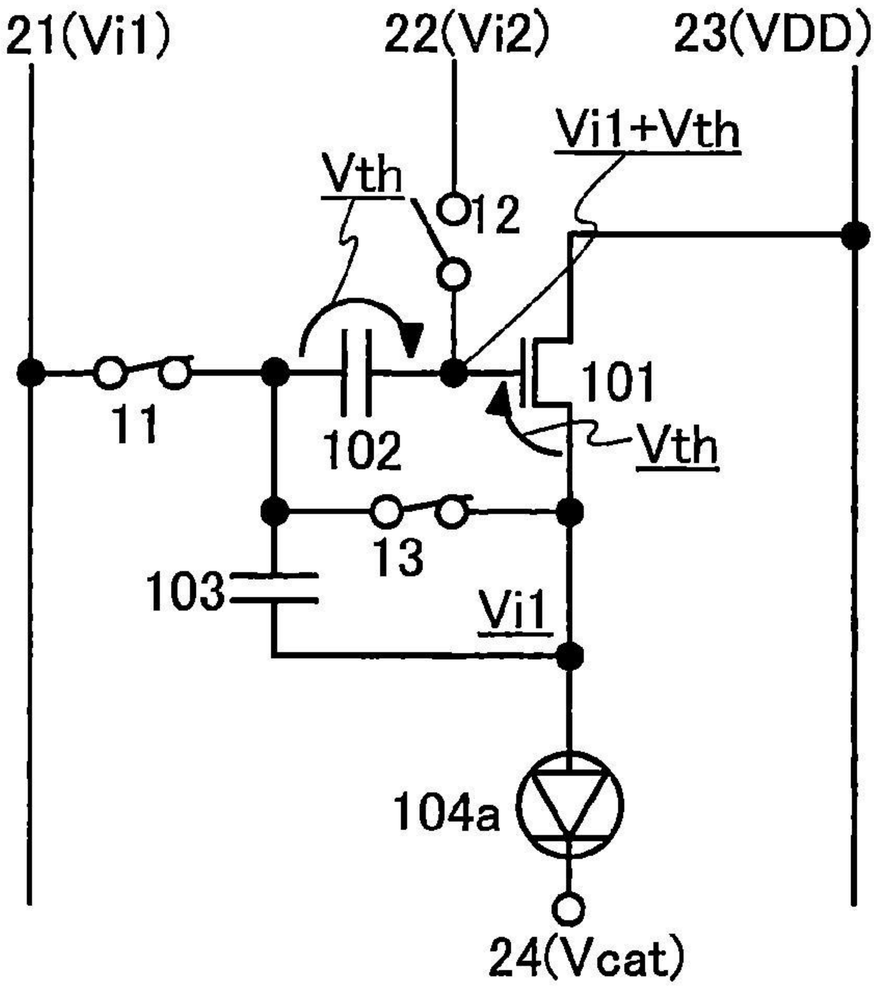

21(Vi1)
22(Vi2)
23(VDD)
Vth
12
Vi1+Vth
11
102
101
Vth
13
103
Vi1
104a
24(Vcat)

圖6B

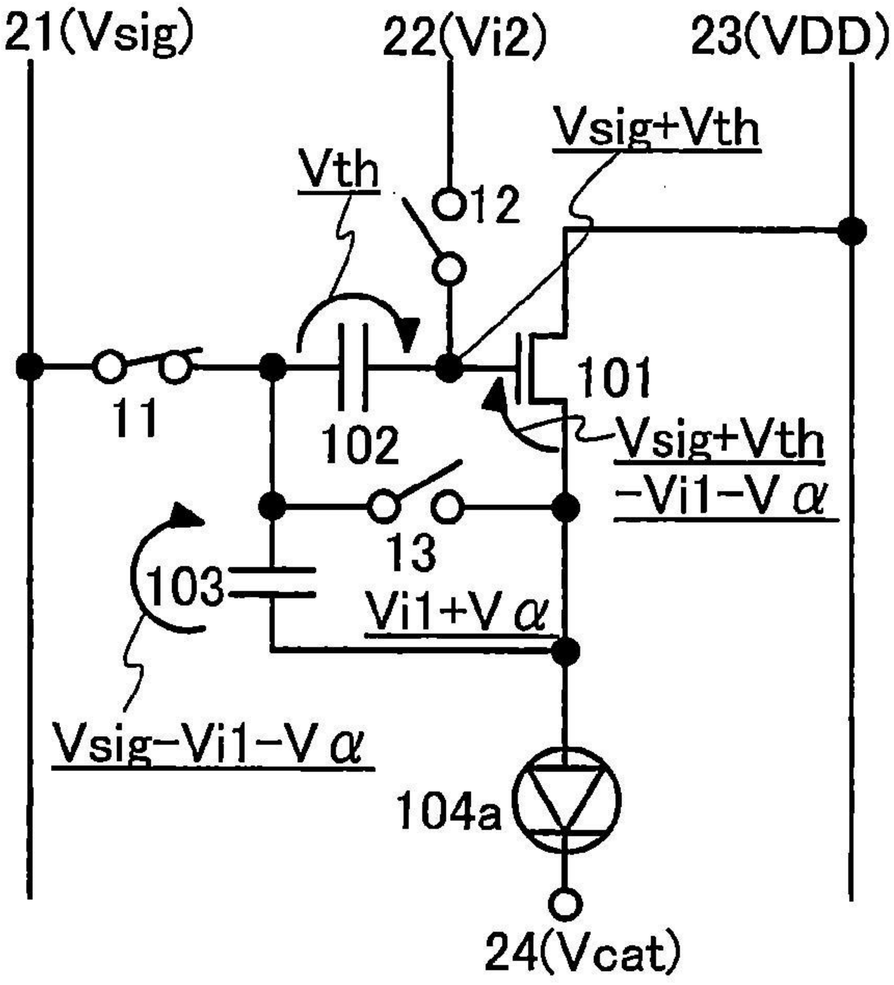

21(Vsig)
22(Vi2)
23(VDD)
Vth
12
Vsig+Vth
11
102
101
Vsig+Vth
-Vi1-Vα
13
103
Vi1+Vα
Vsig-Vi1-Vα
104a
24(Vcat)

圖6C

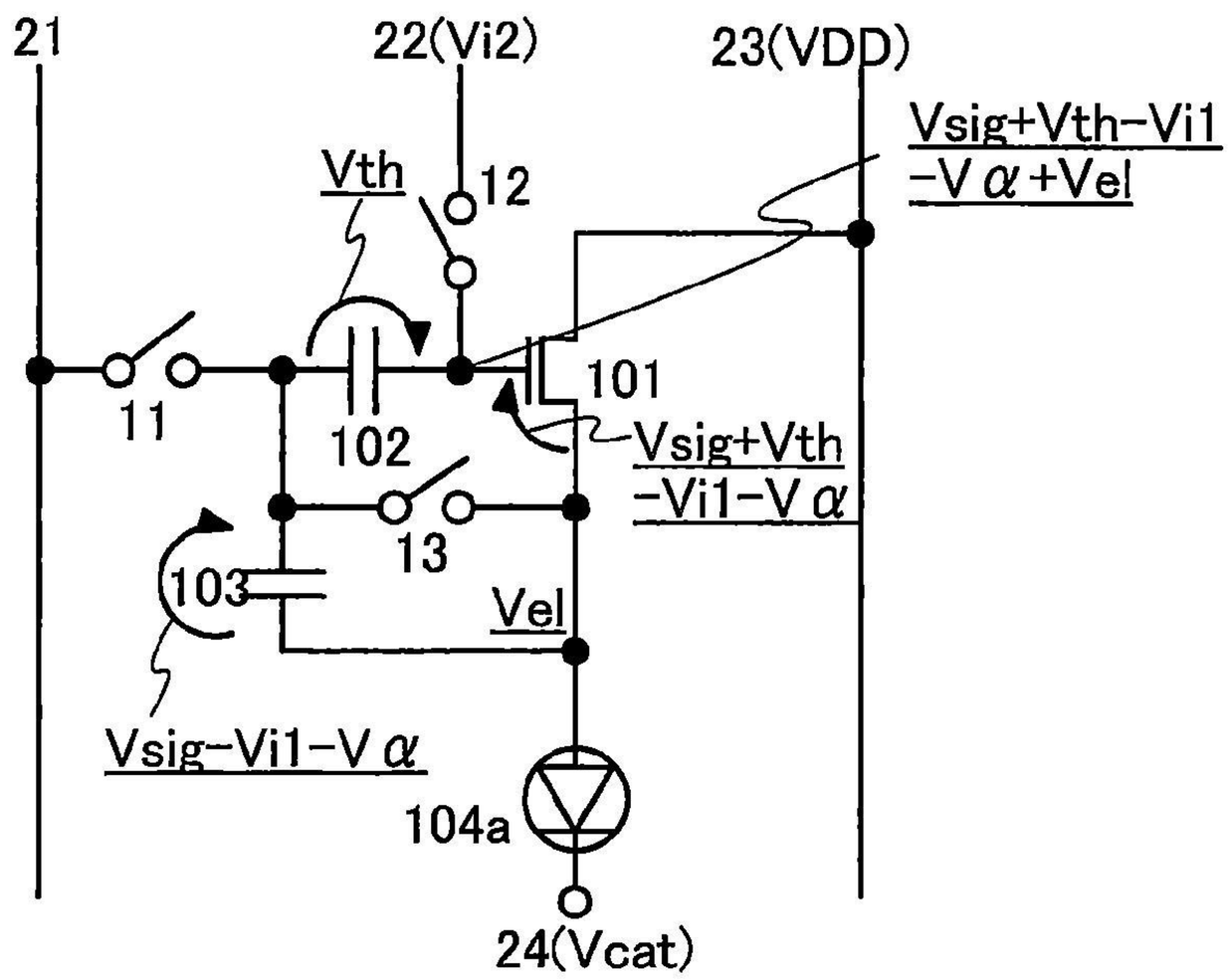

21
22(Vi2)
23(VDD)
Vsig+Vth-Vi1
-Vα+Vel
Vth
12
11
102
101
Vsig+Vth
-Vi1-Vα
13
103
Vel
Vsig-Vi1-Vα
104a
24(Vcat)

圖7A

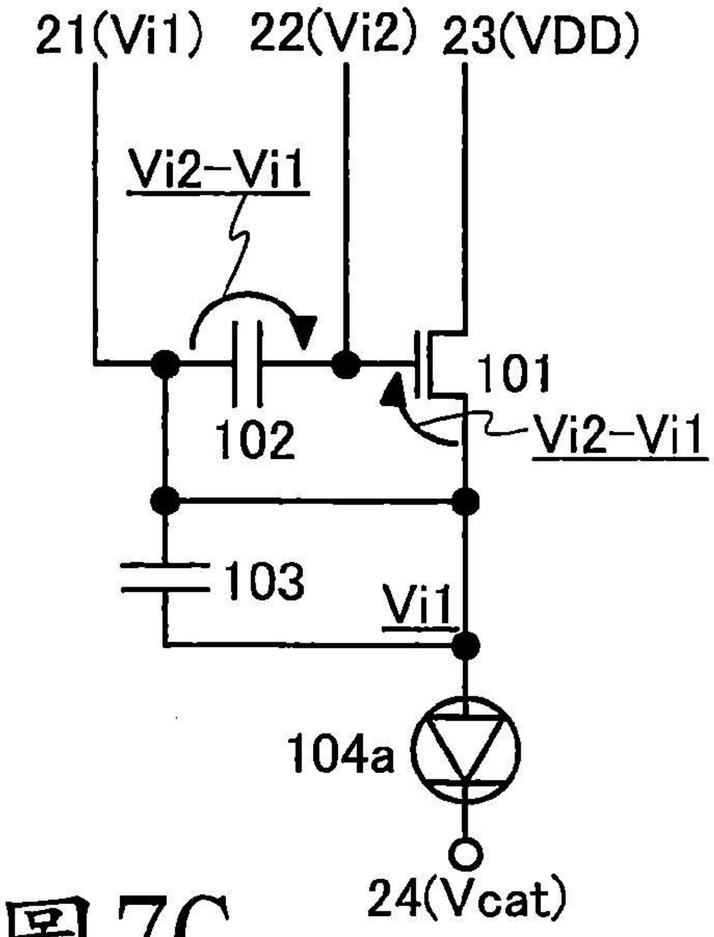


圖7B

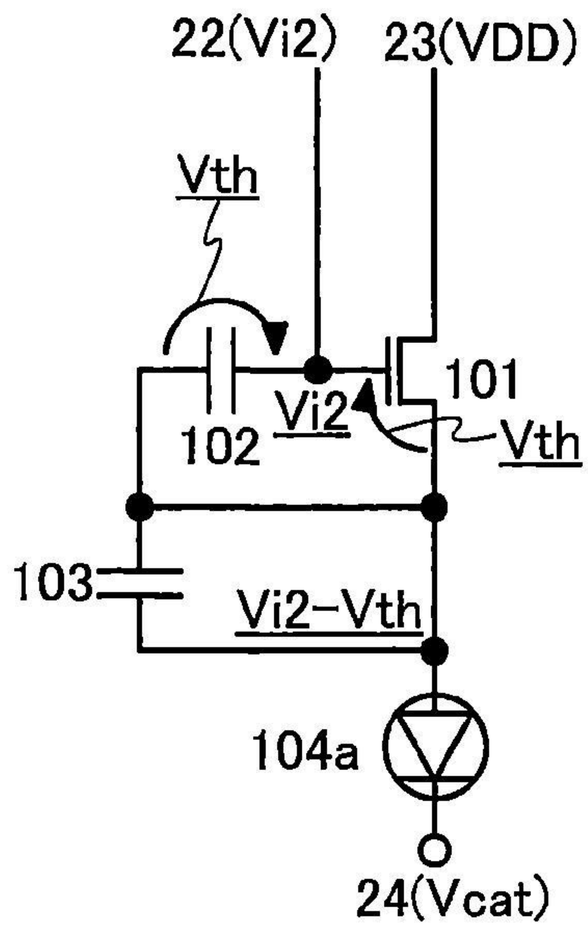


圖7C

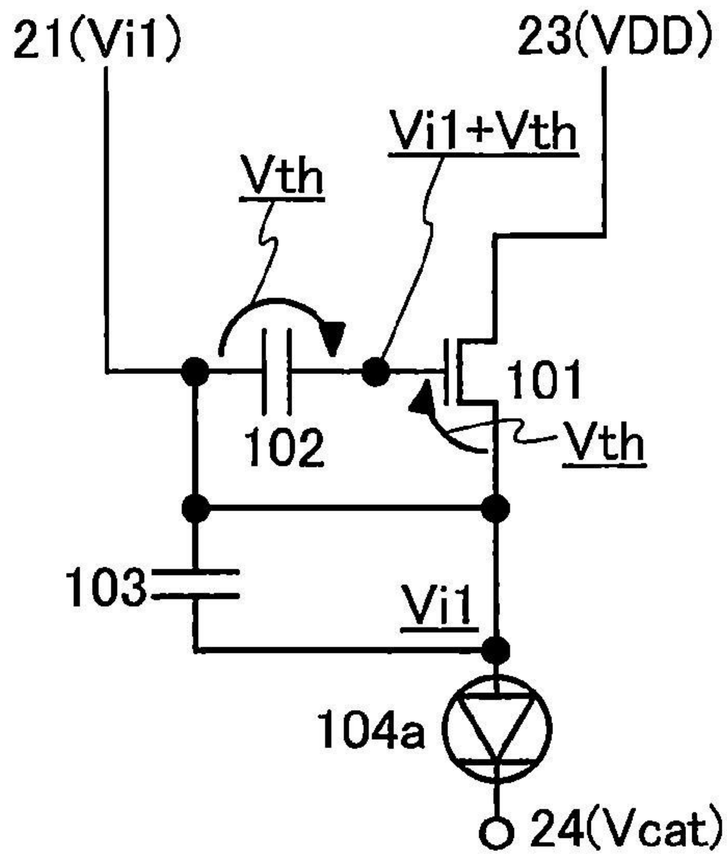


圖7D

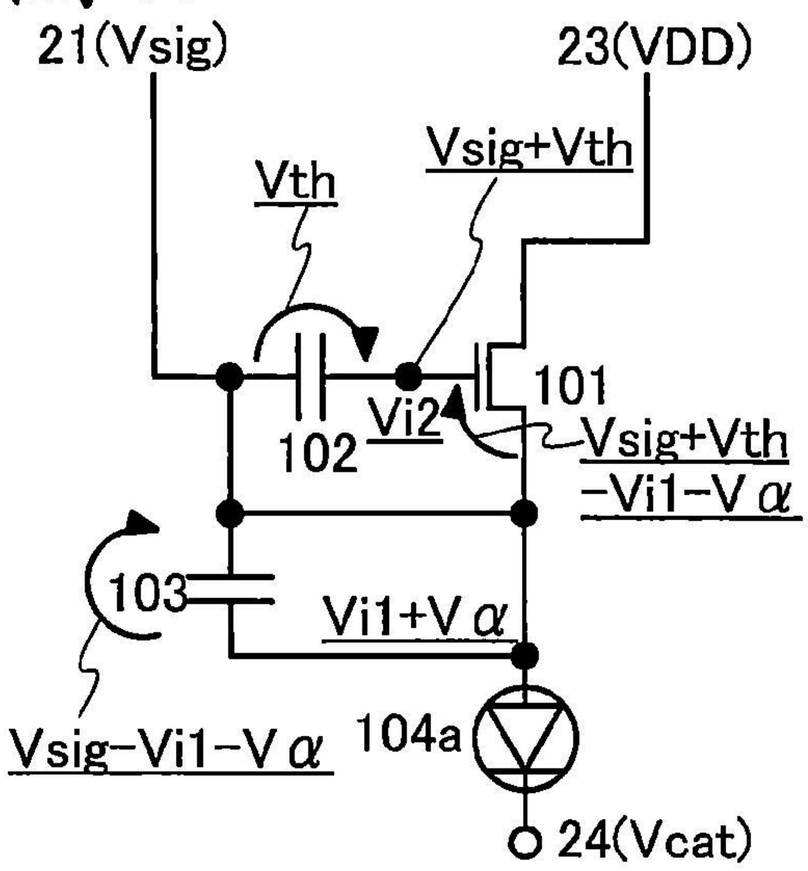


圖7E

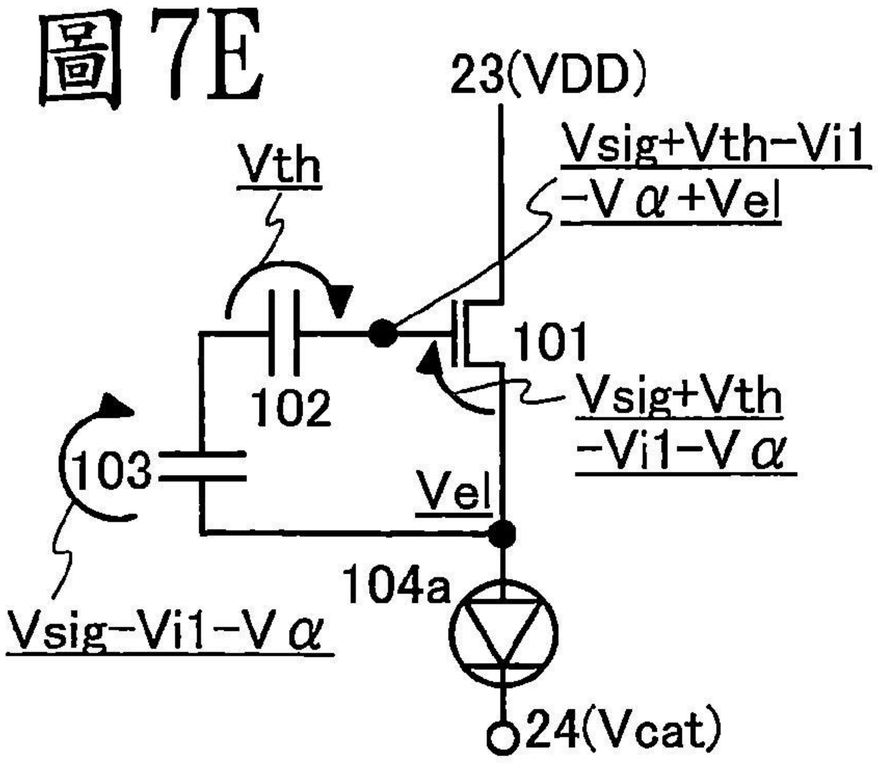


圖8A

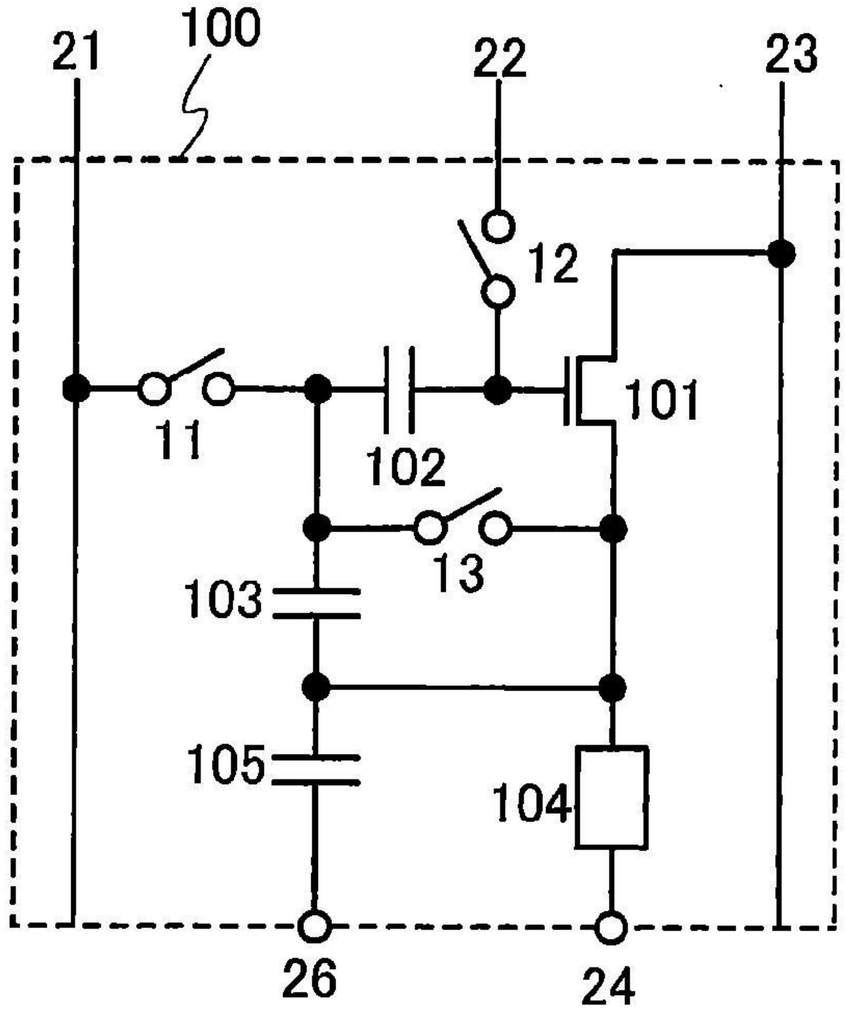


圖8B

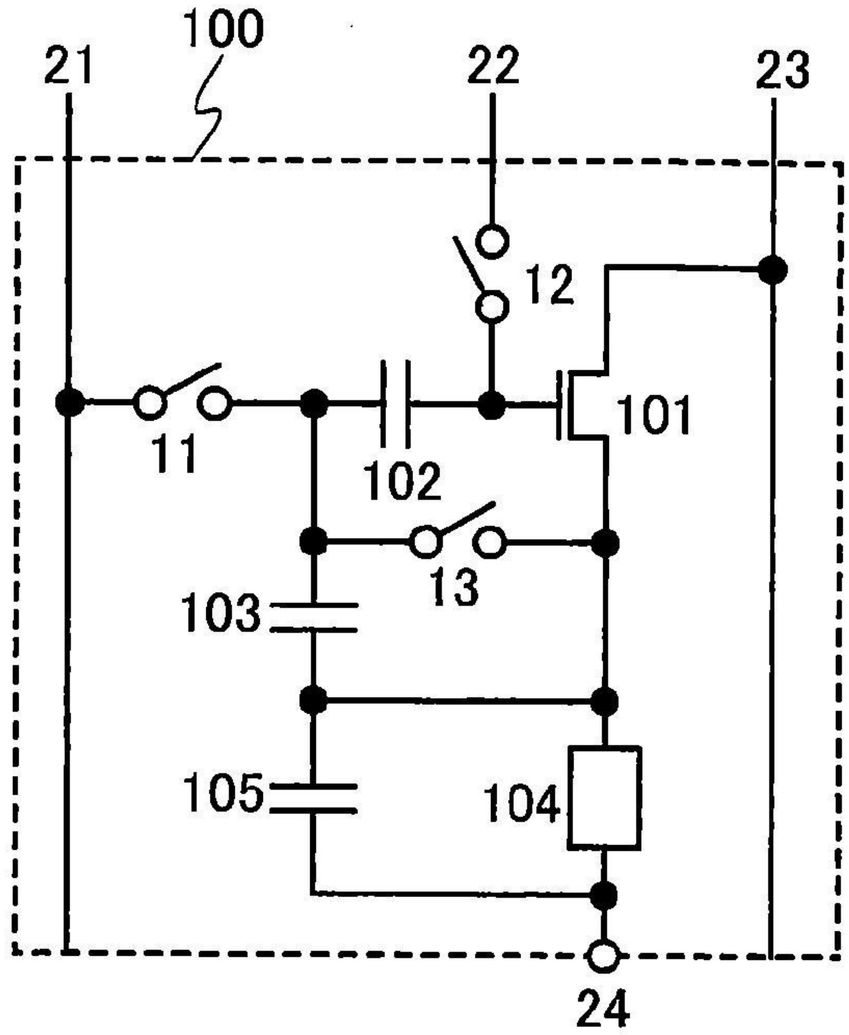


圖8C

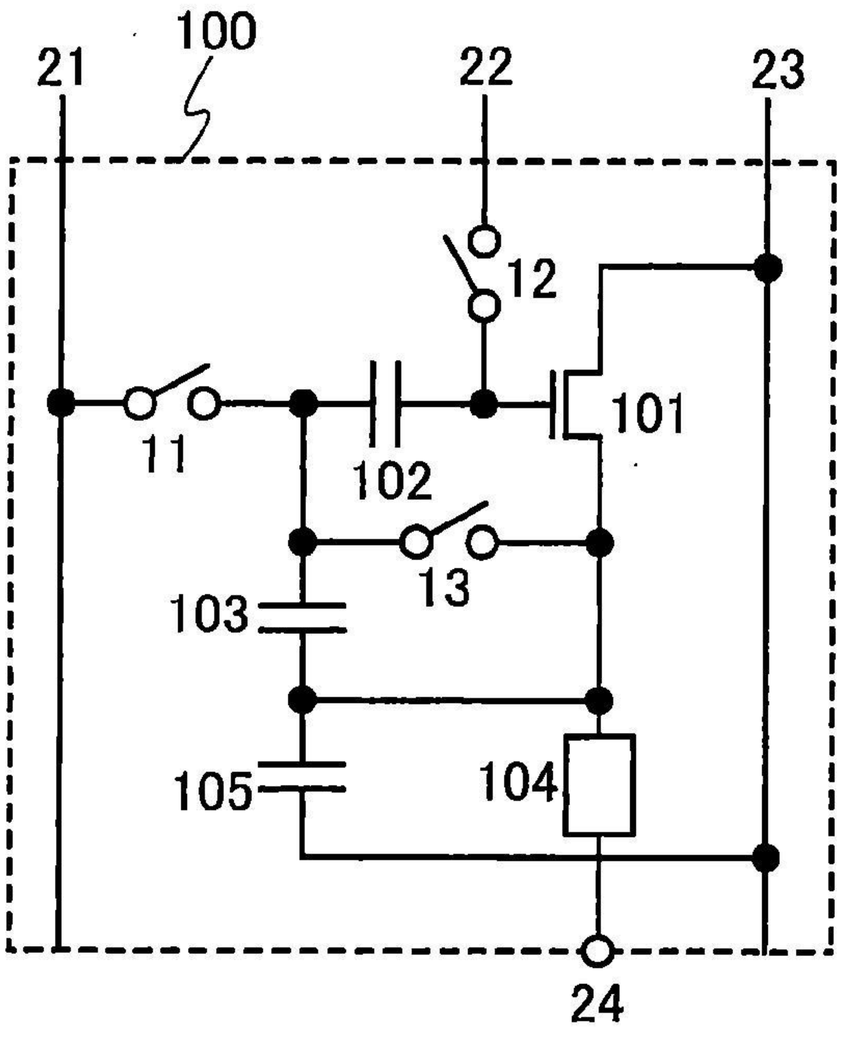


圖8D

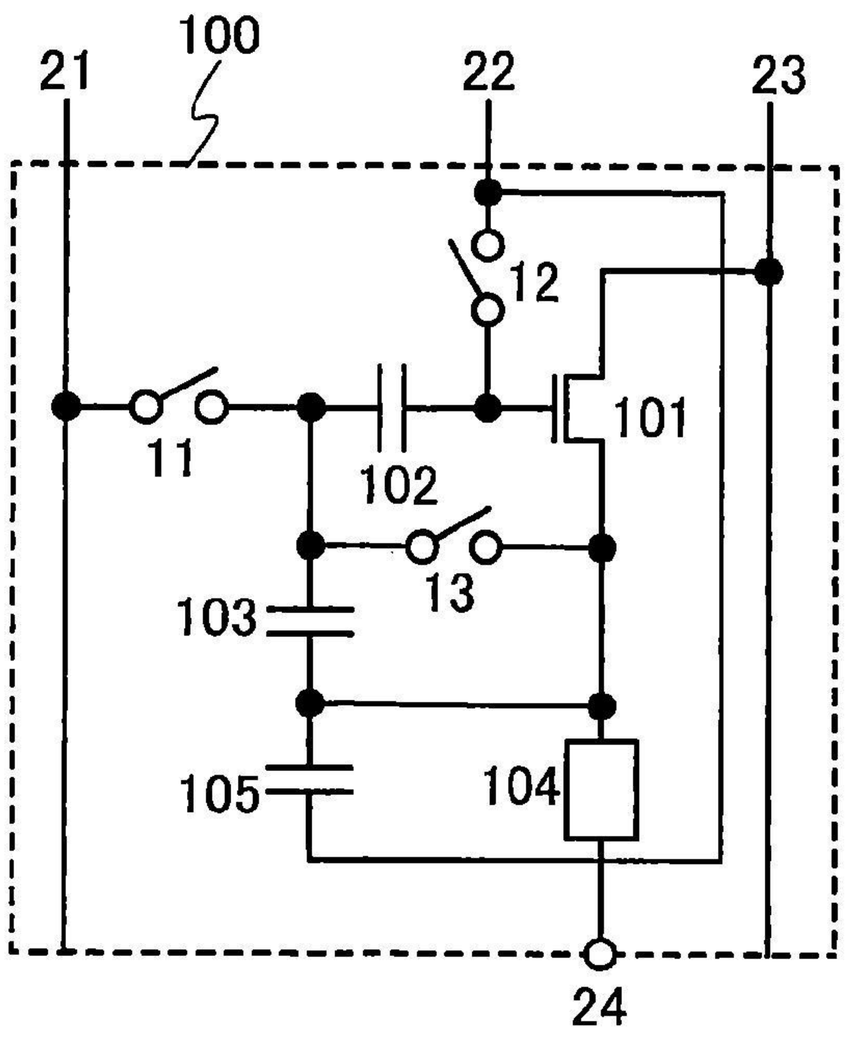


圖9A

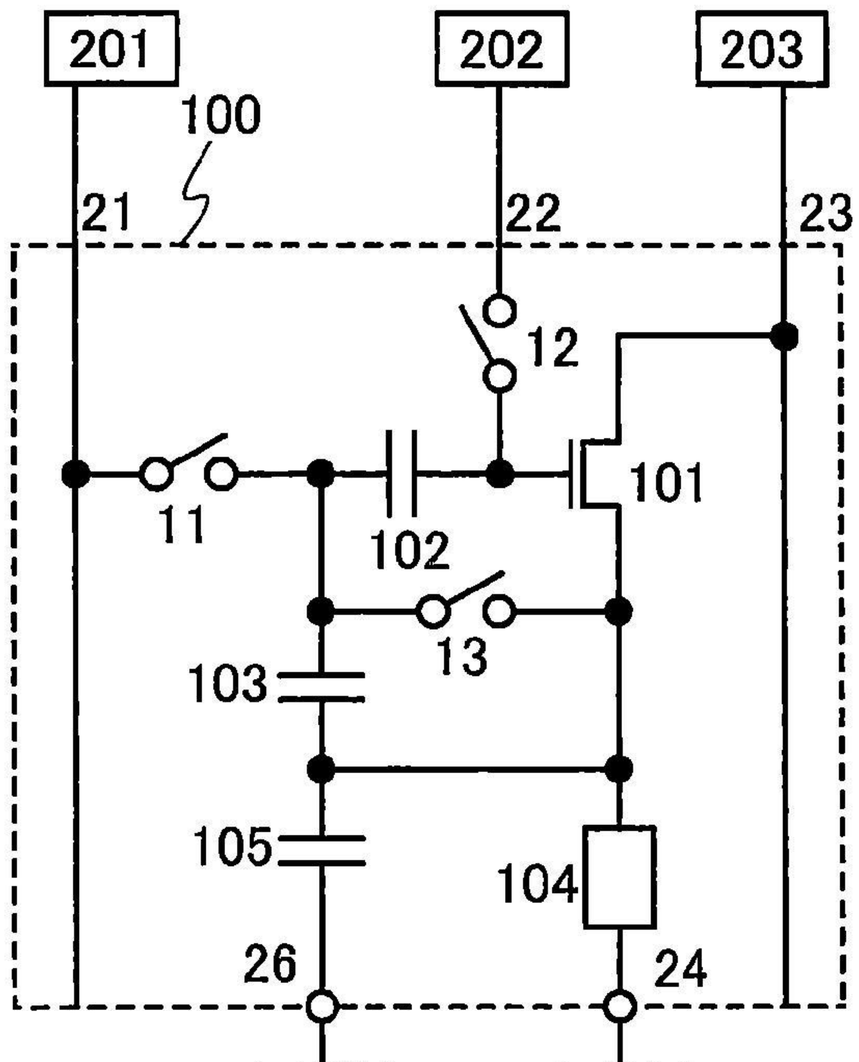


圖9B

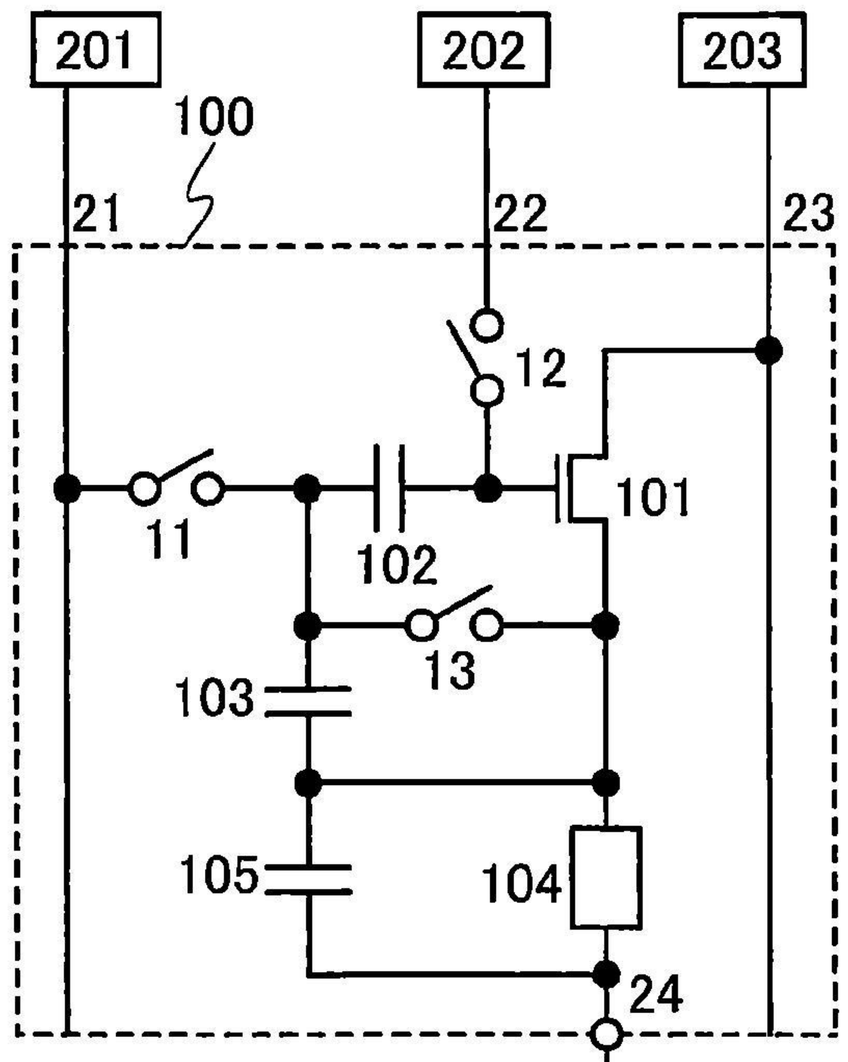


圖9C

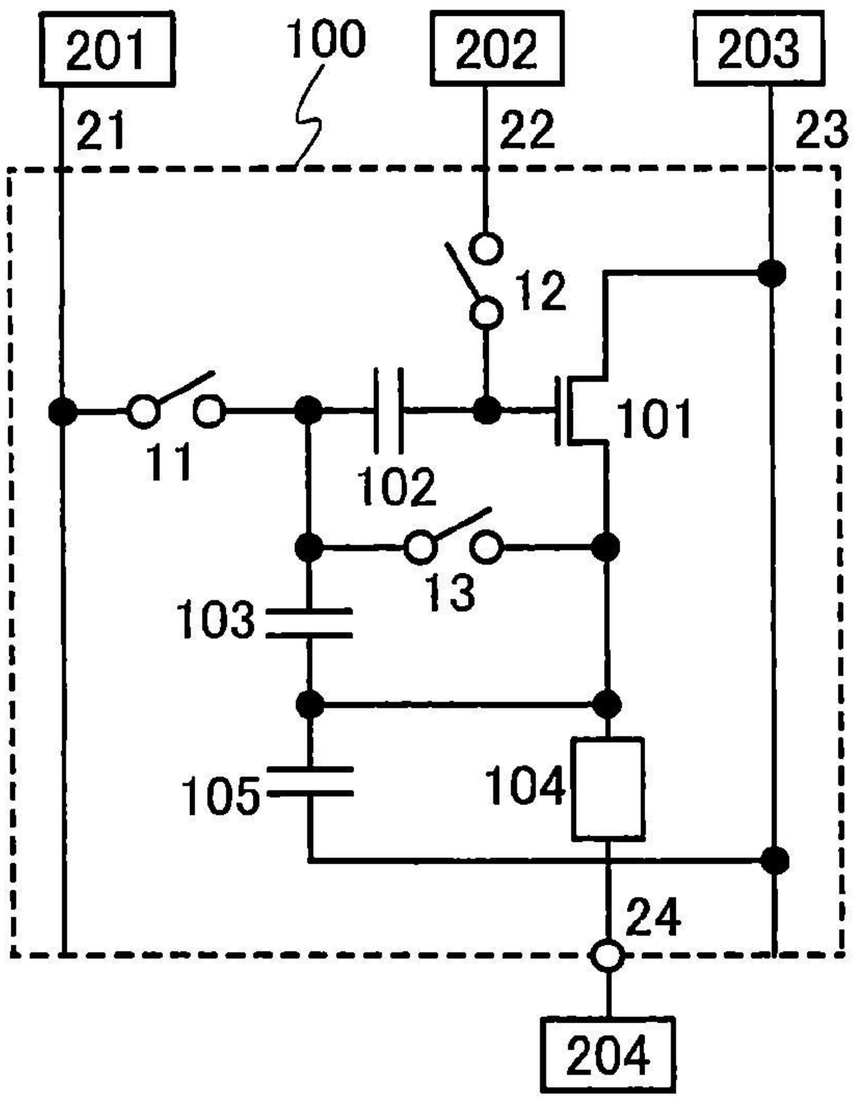


圖9D

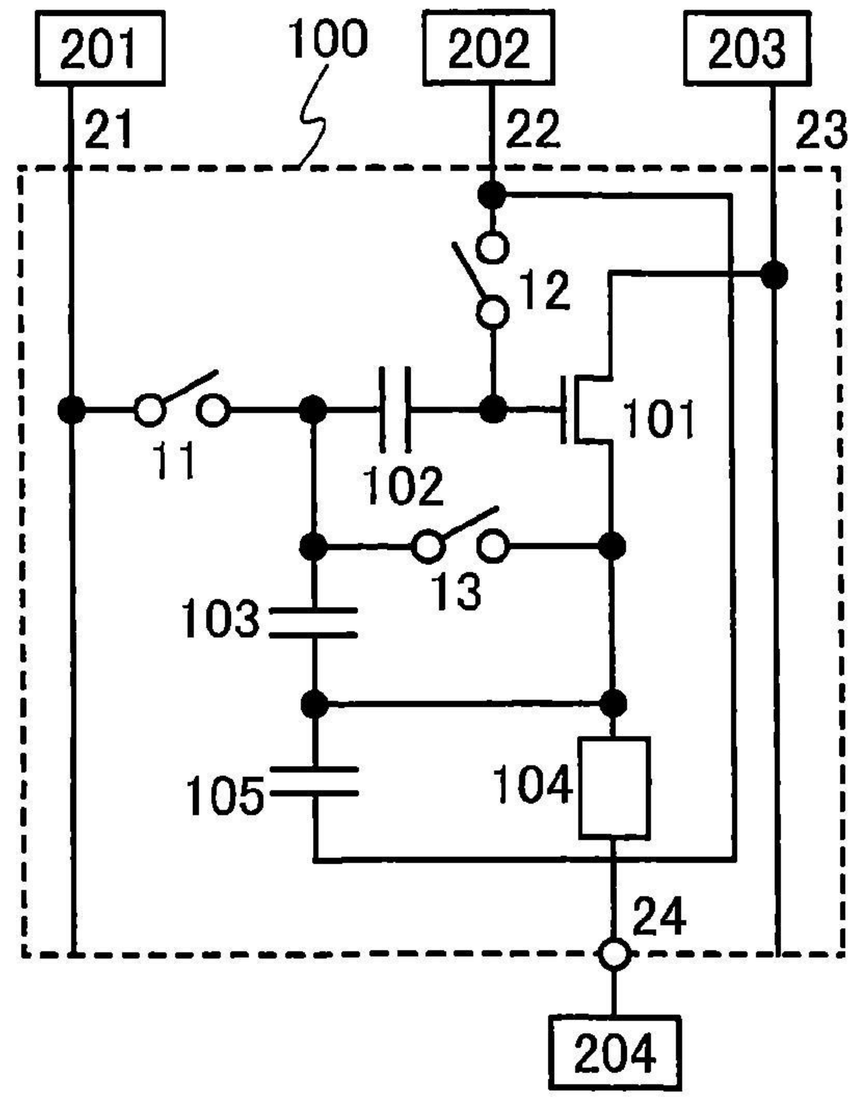


圖10A

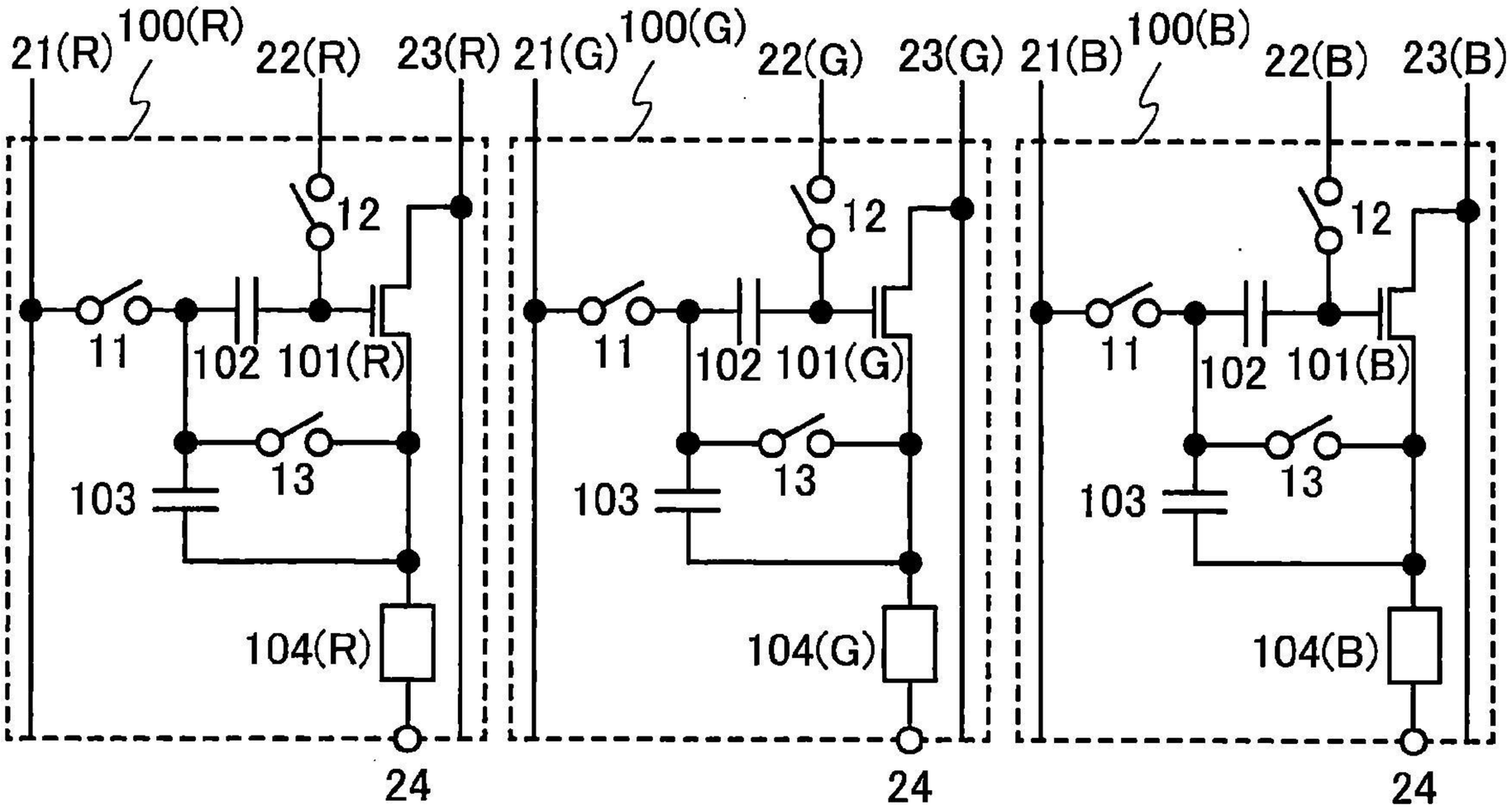

21(R)
100(R)
22(R)
23(R)
21(G)
100(G)
22(G)
23(G)
21(B)
100(B)
22(B)
23(B)
12
11
102
101(R)
101(G)
101(B)
13
103
104(R)
104(G)
104(B)
24

圖10B

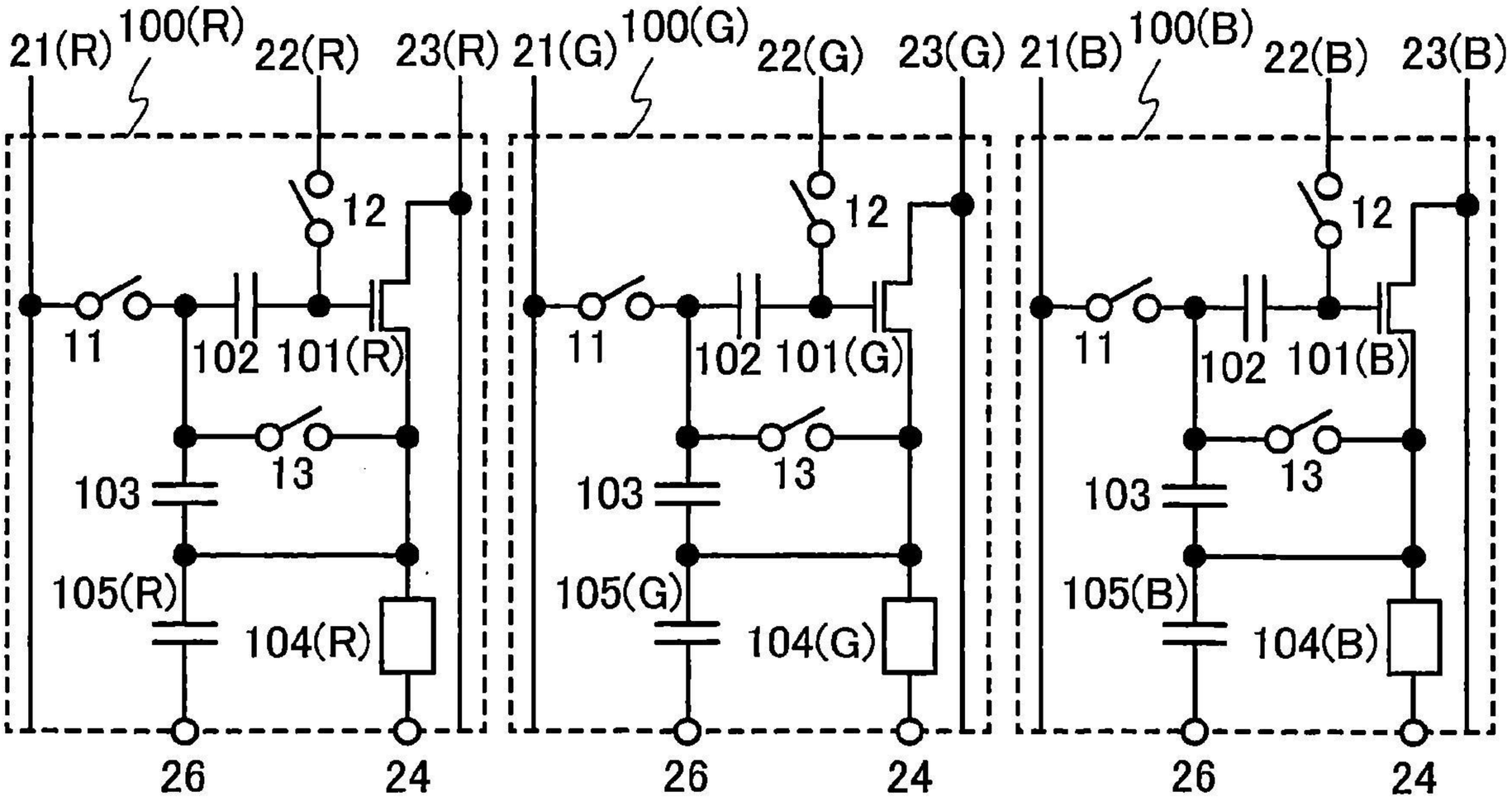

21(R)
100(R)
22(R)
23(R)
21(G)
100(G)
22(G)
23(G)
21(B)
100(B)
22(B)
23(B)
12
11
102
101(R)
101(G)
101(B)
13
103
105(R)
104(R)
105(G)
104(G)
105(B)
104(B)
26
24

圖11A

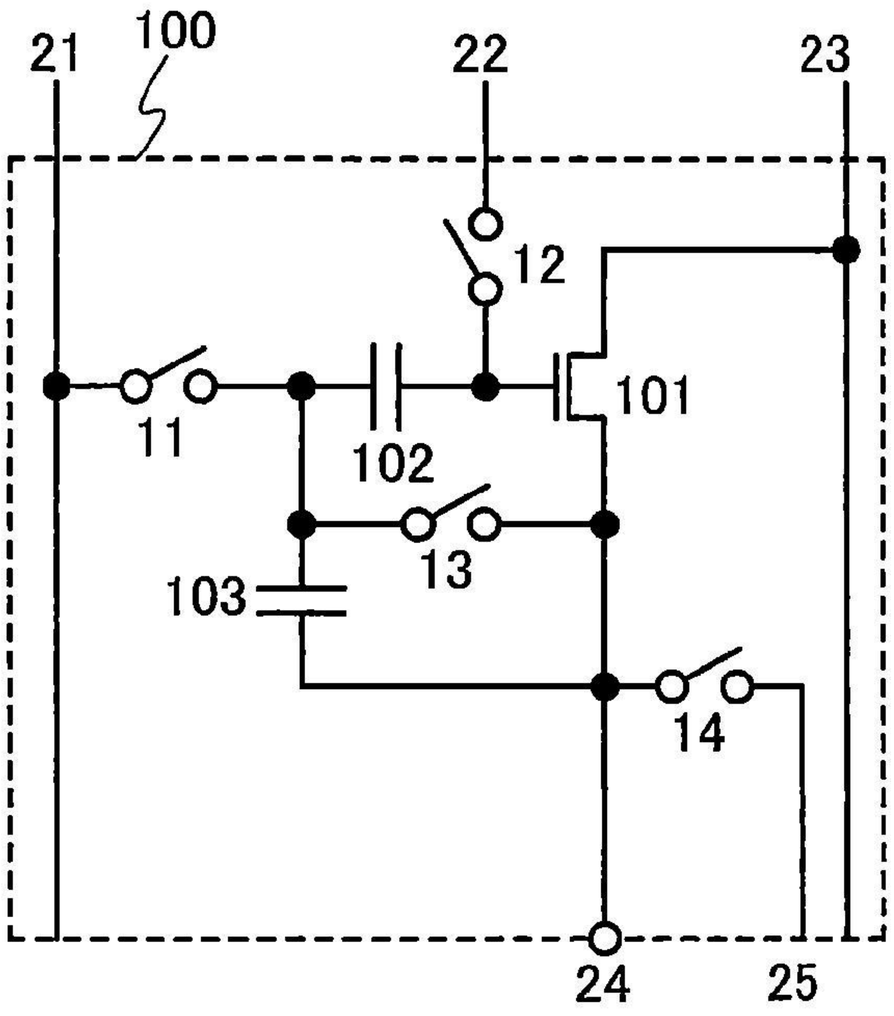


圖11B

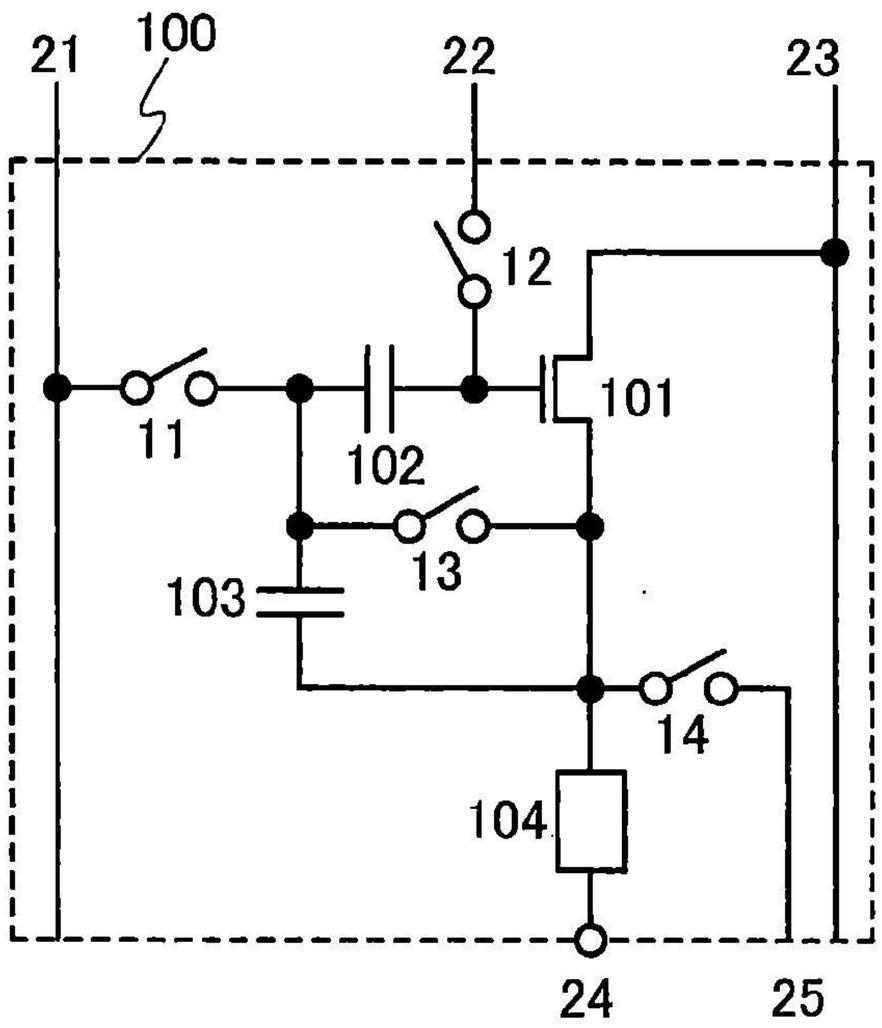


圖11C

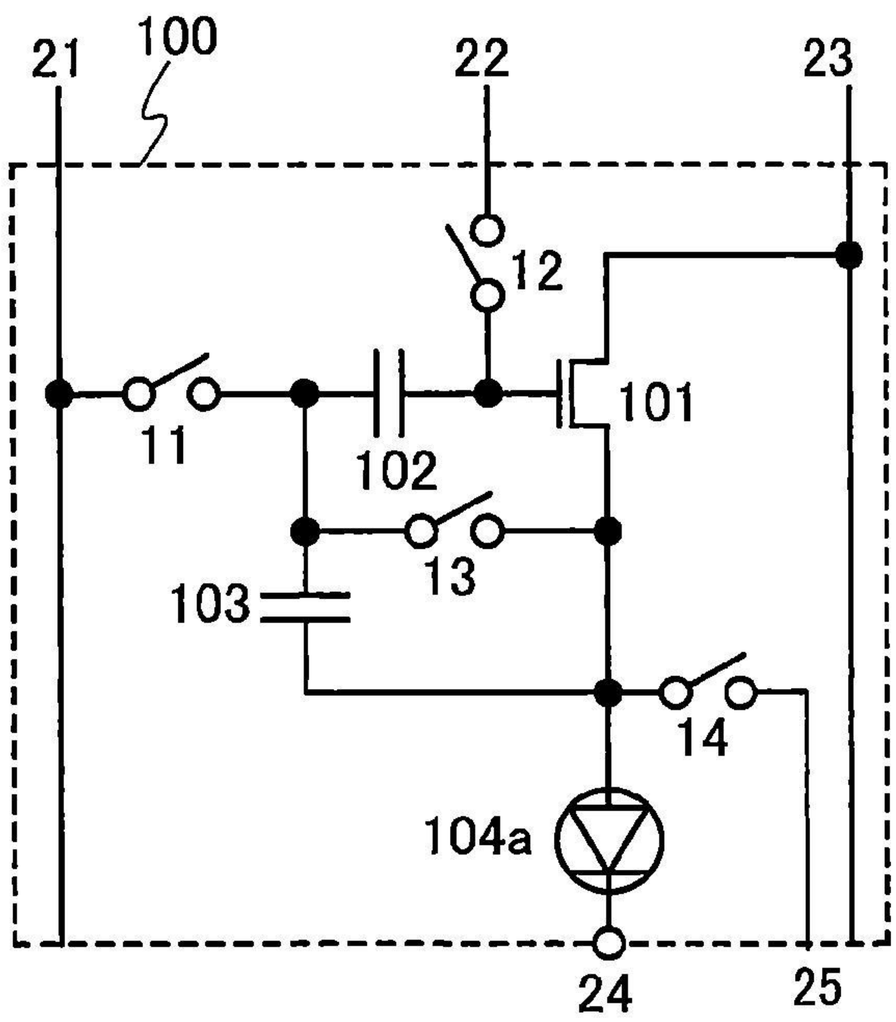


圖11D

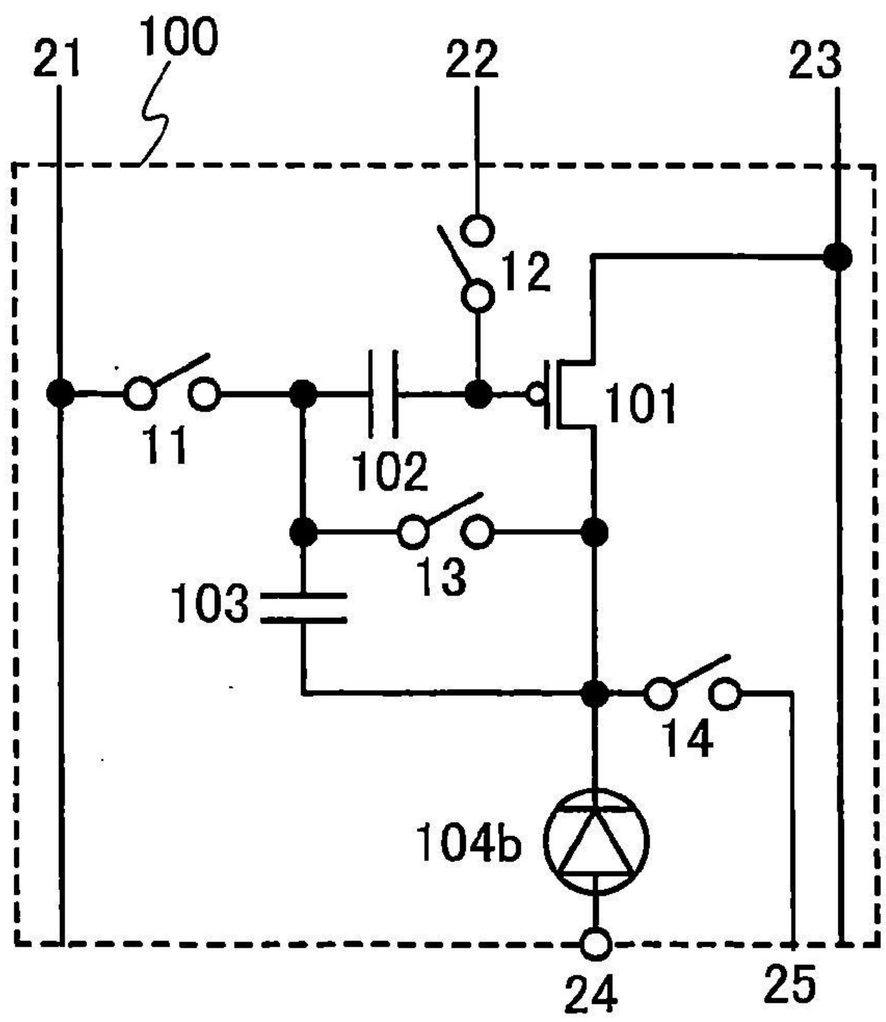


圖12A

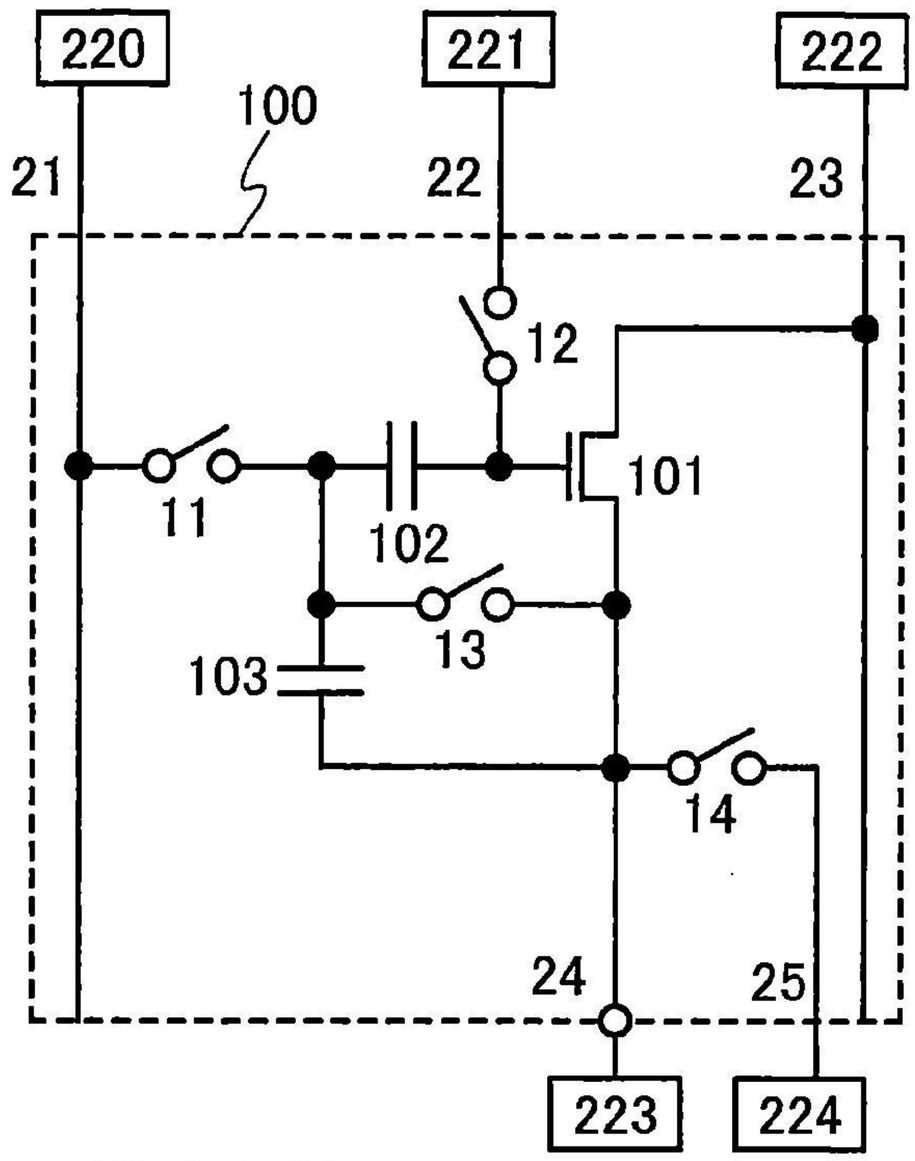


圖12B

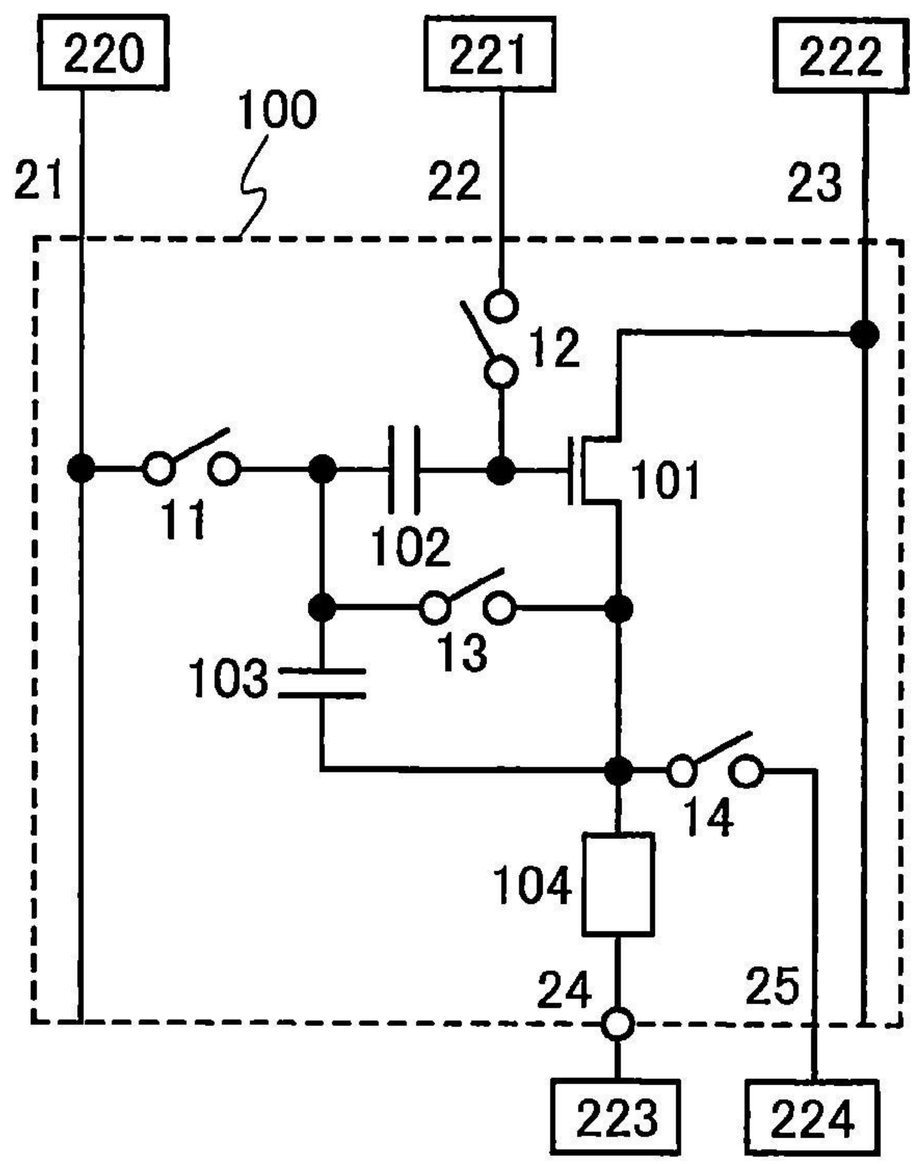


圖12C

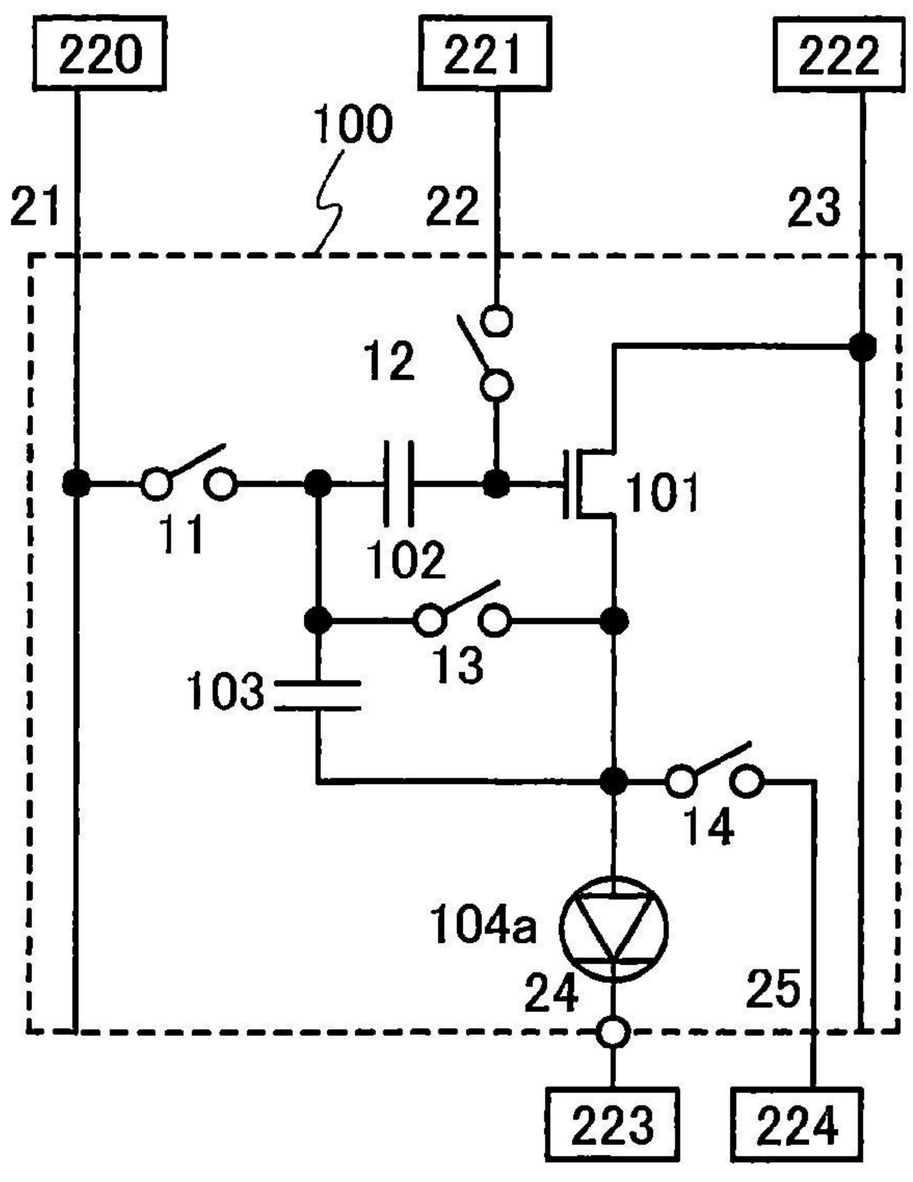


圖12D

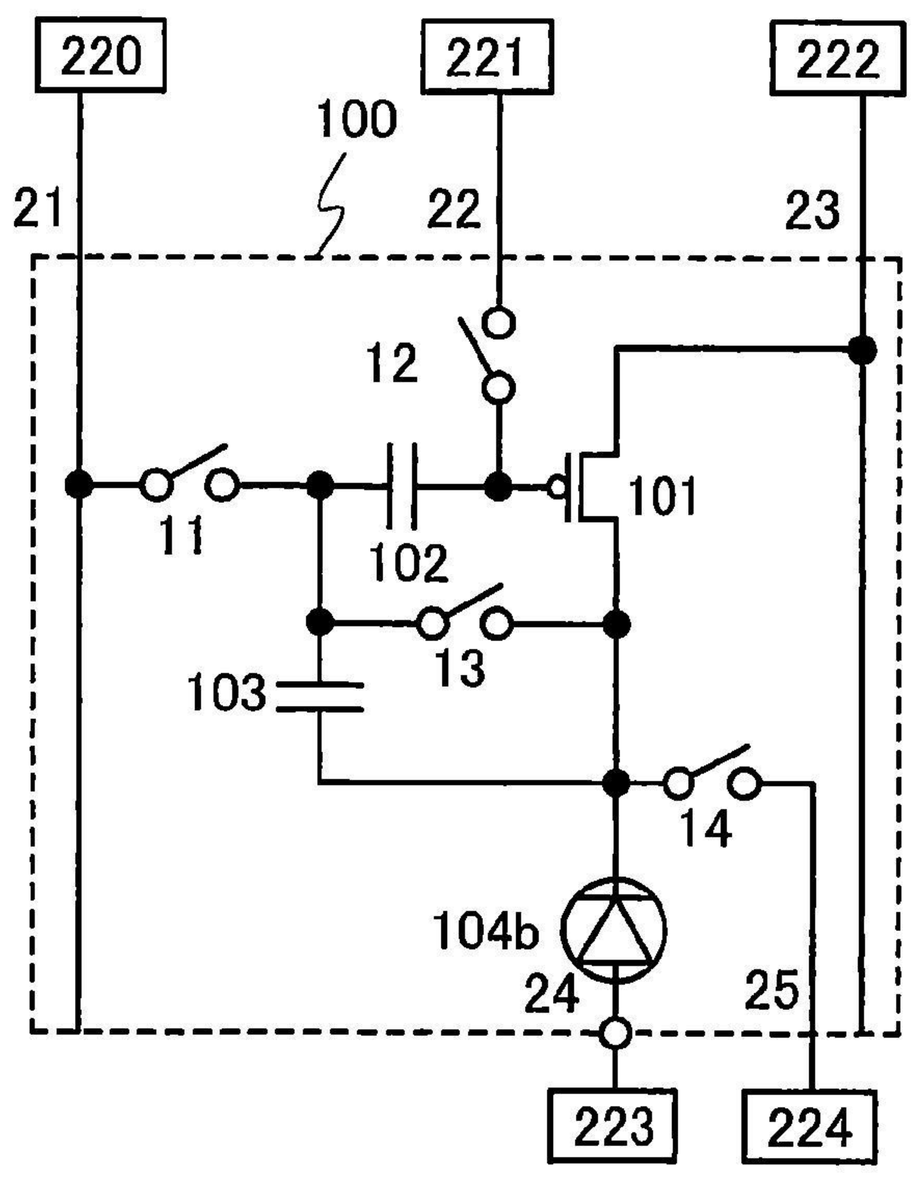


圖13A

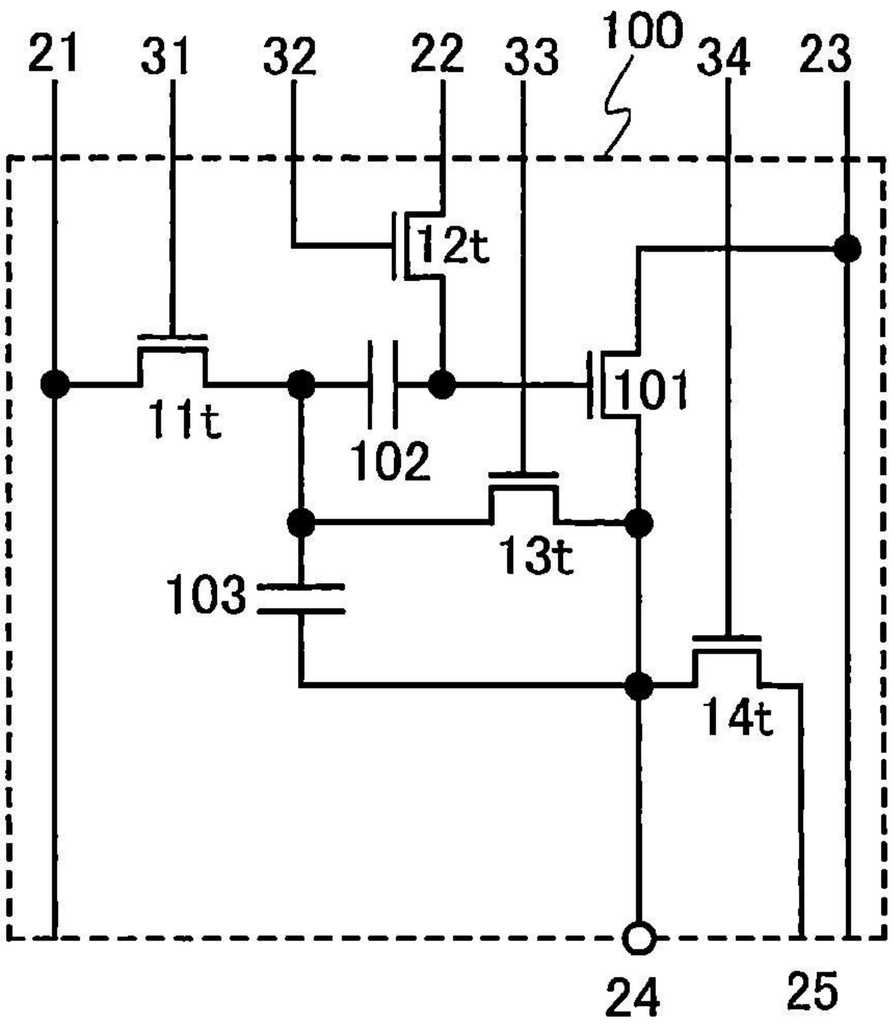


圖13B

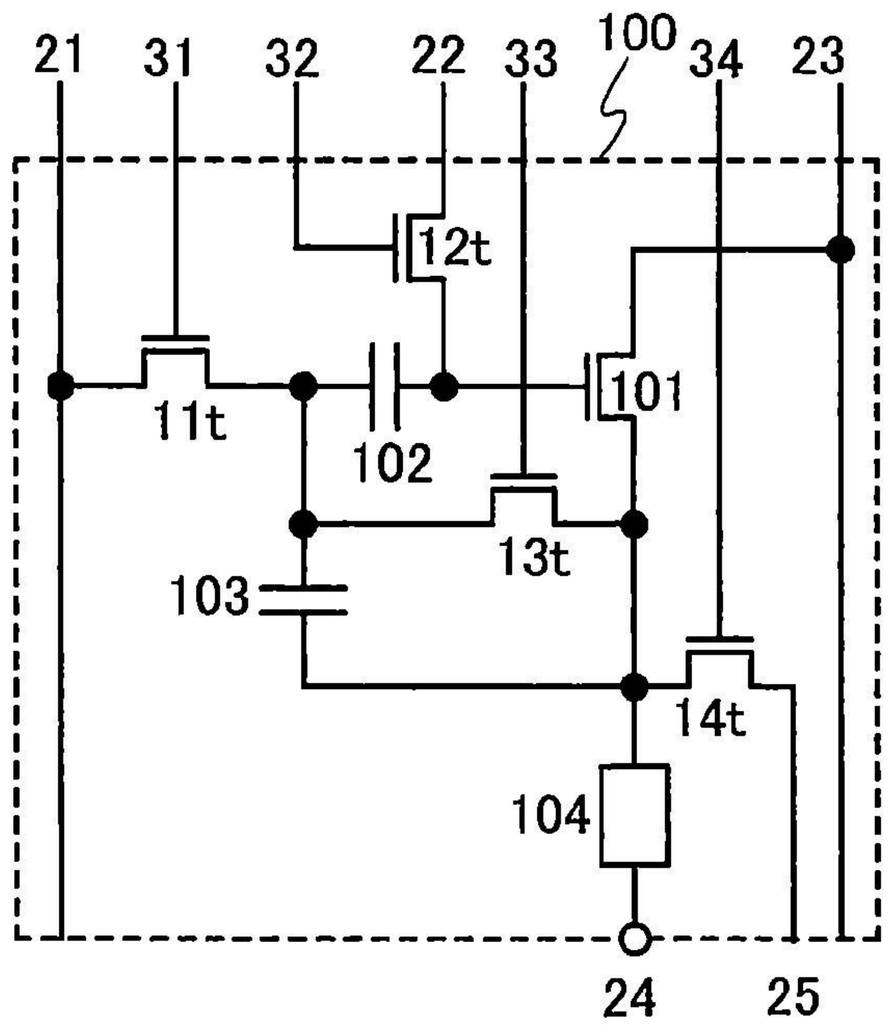


圖13C

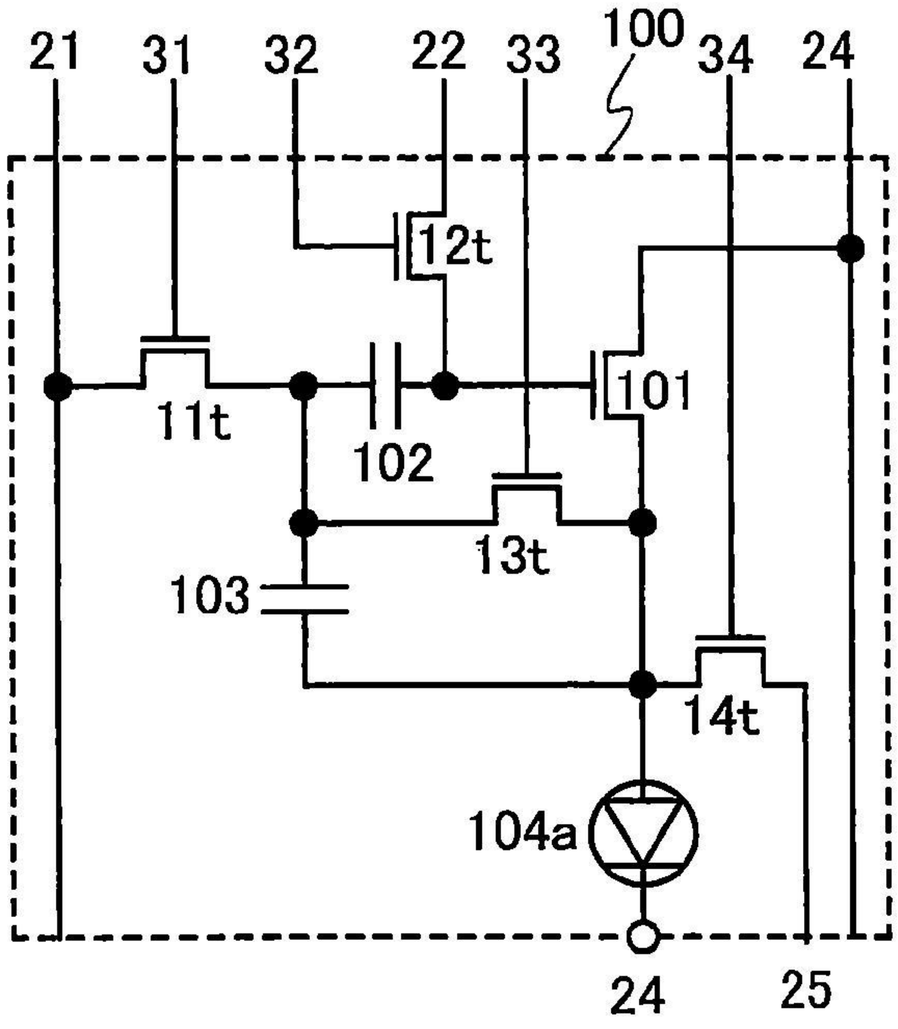


圖13D

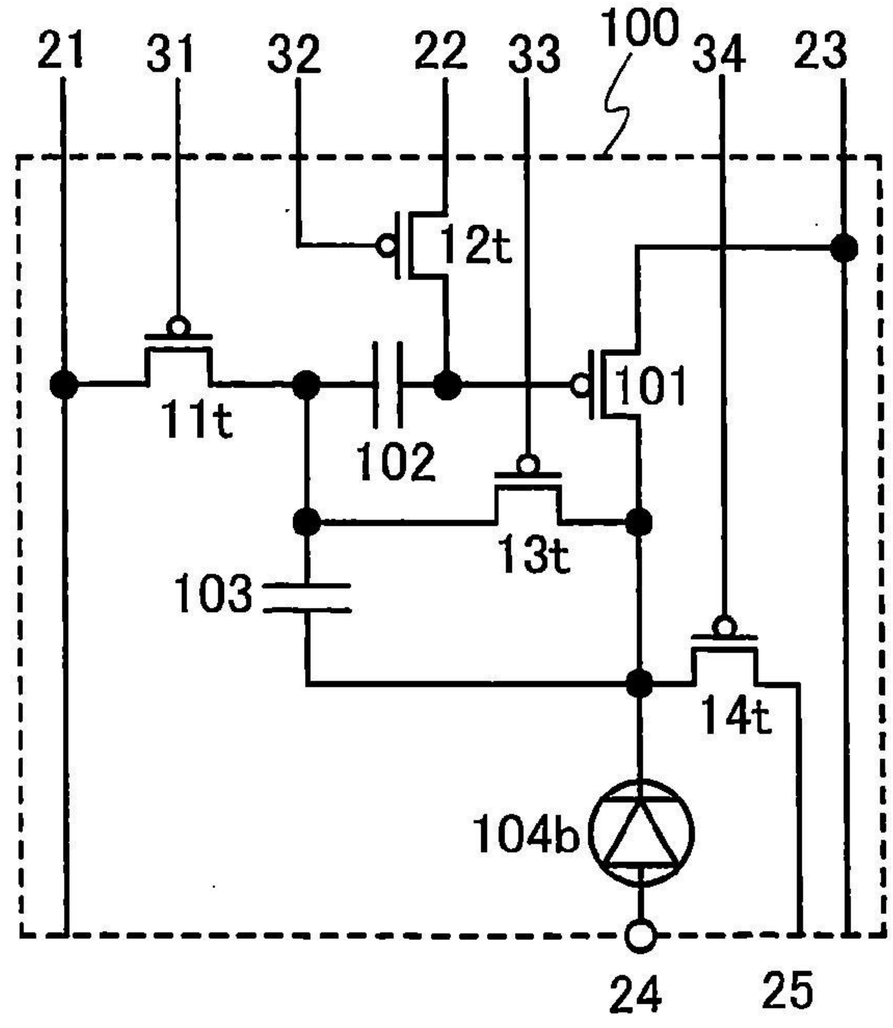


圖14A

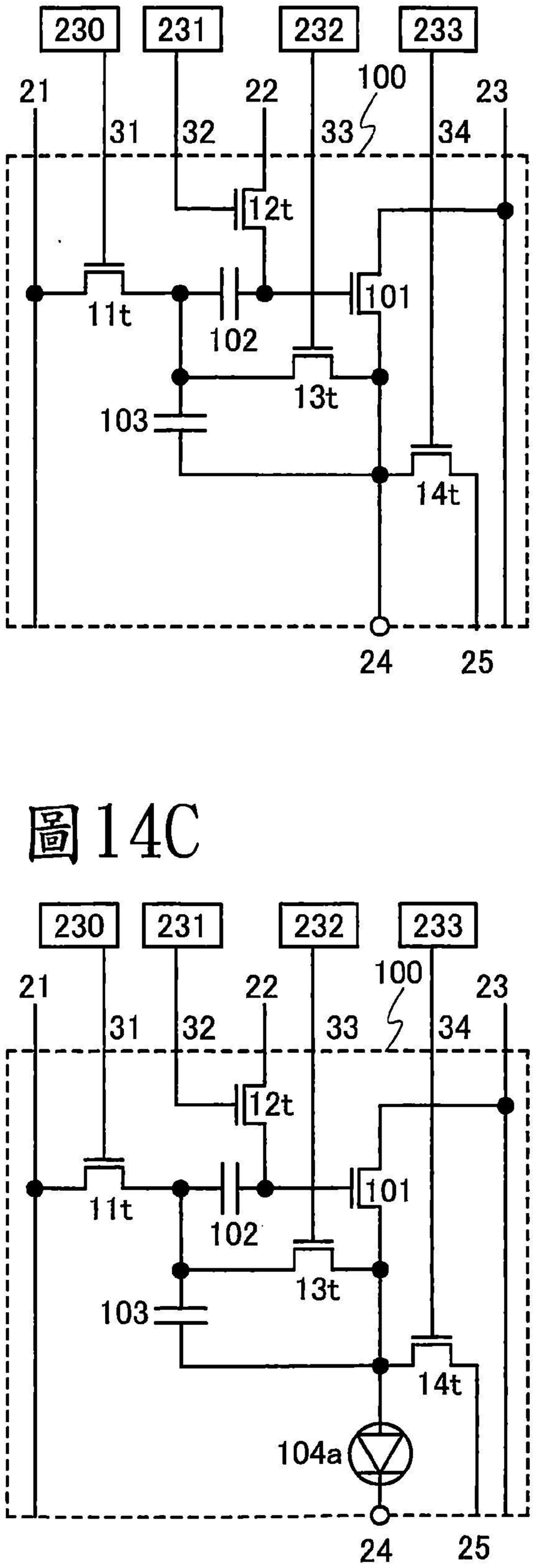


圖14B

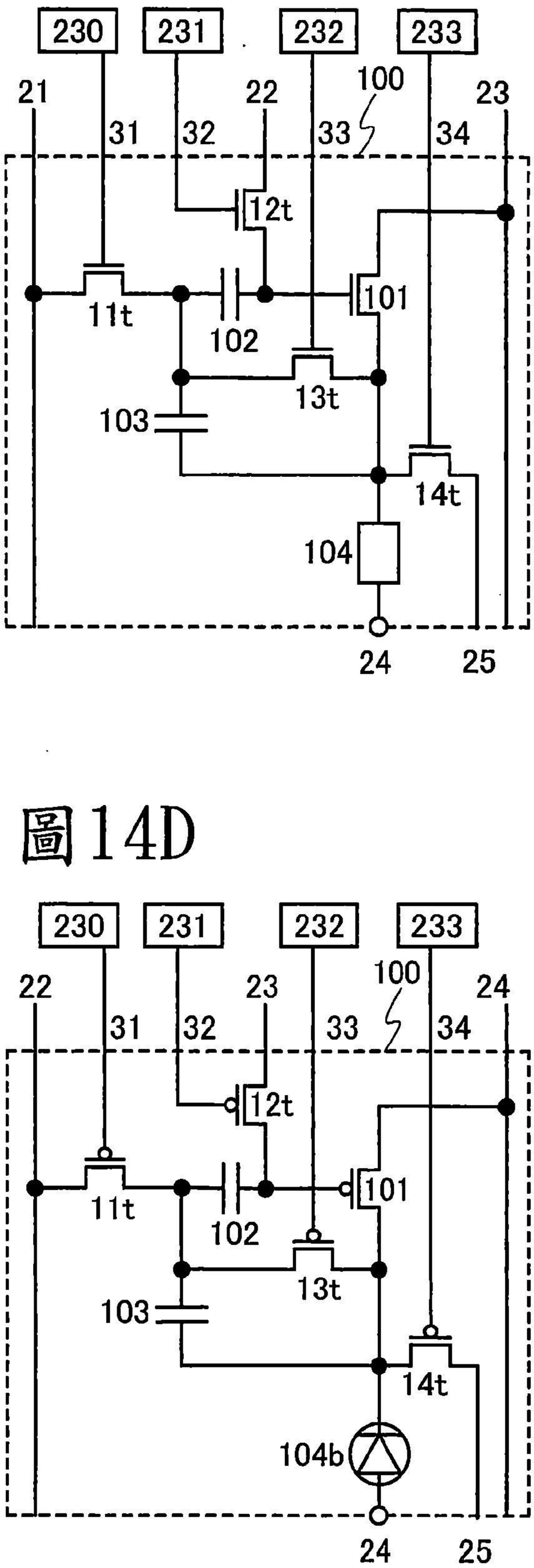


圖14C

圖14D

圖15A

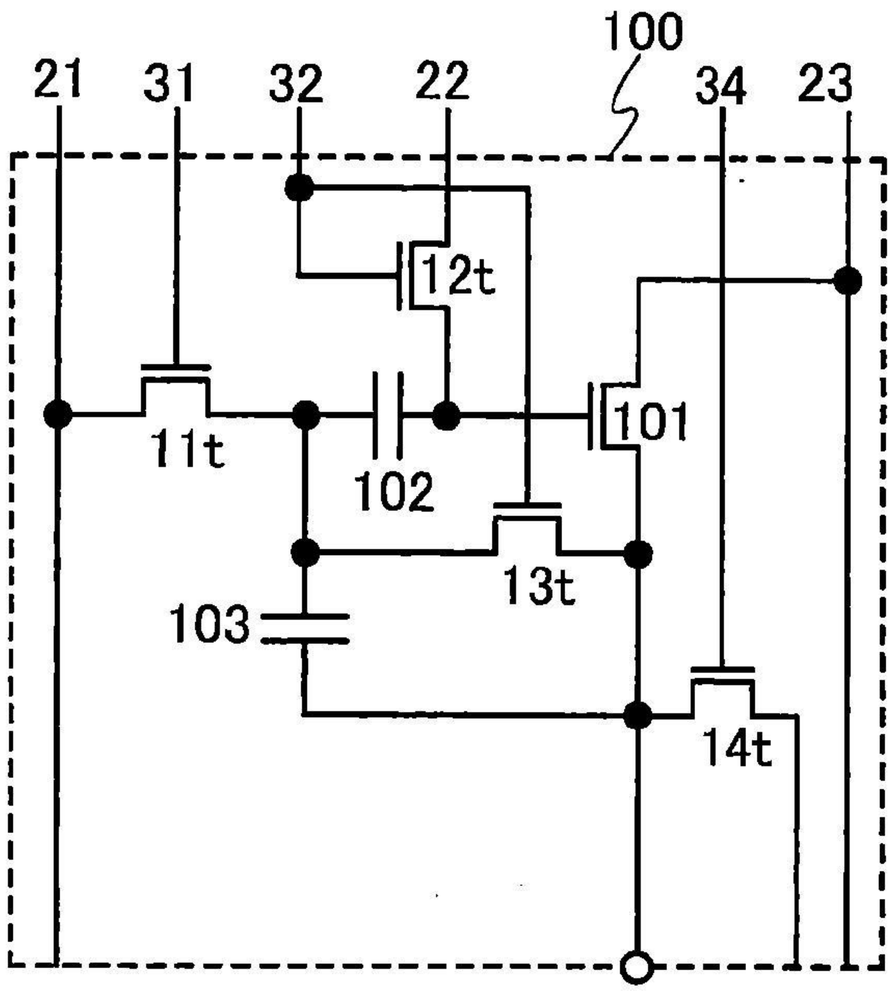


圖15B

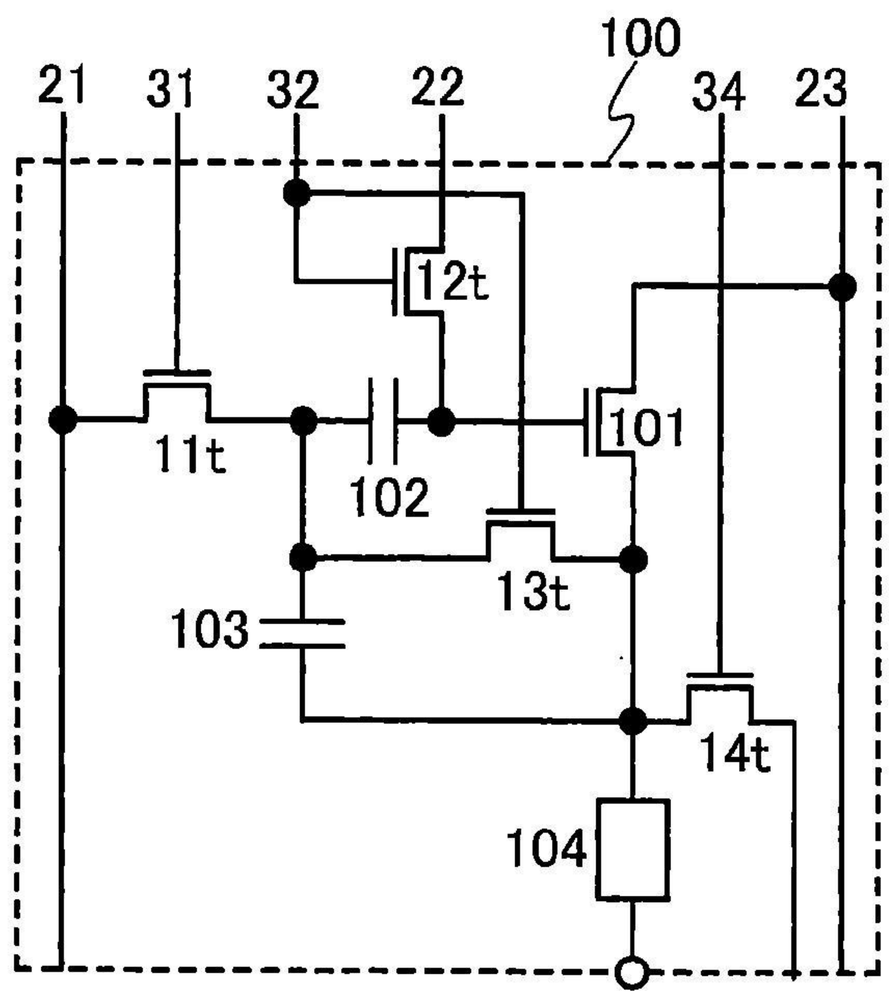


圖15C

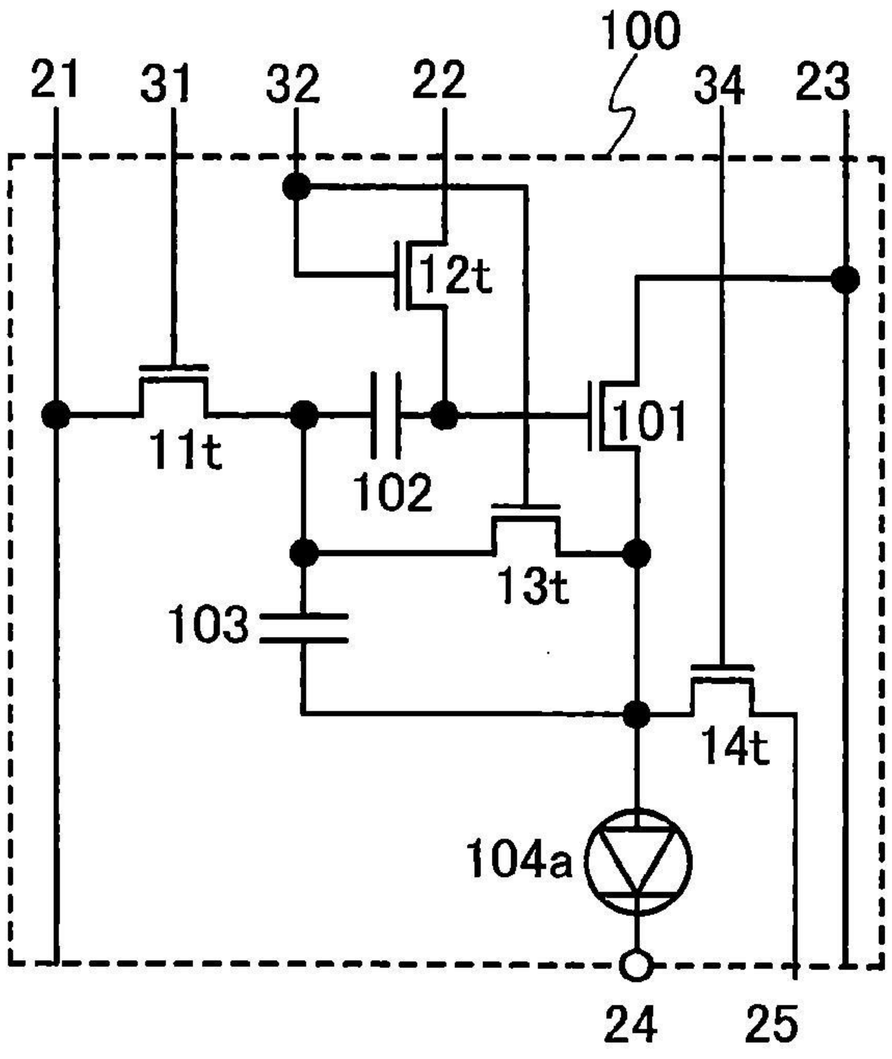


圖15D

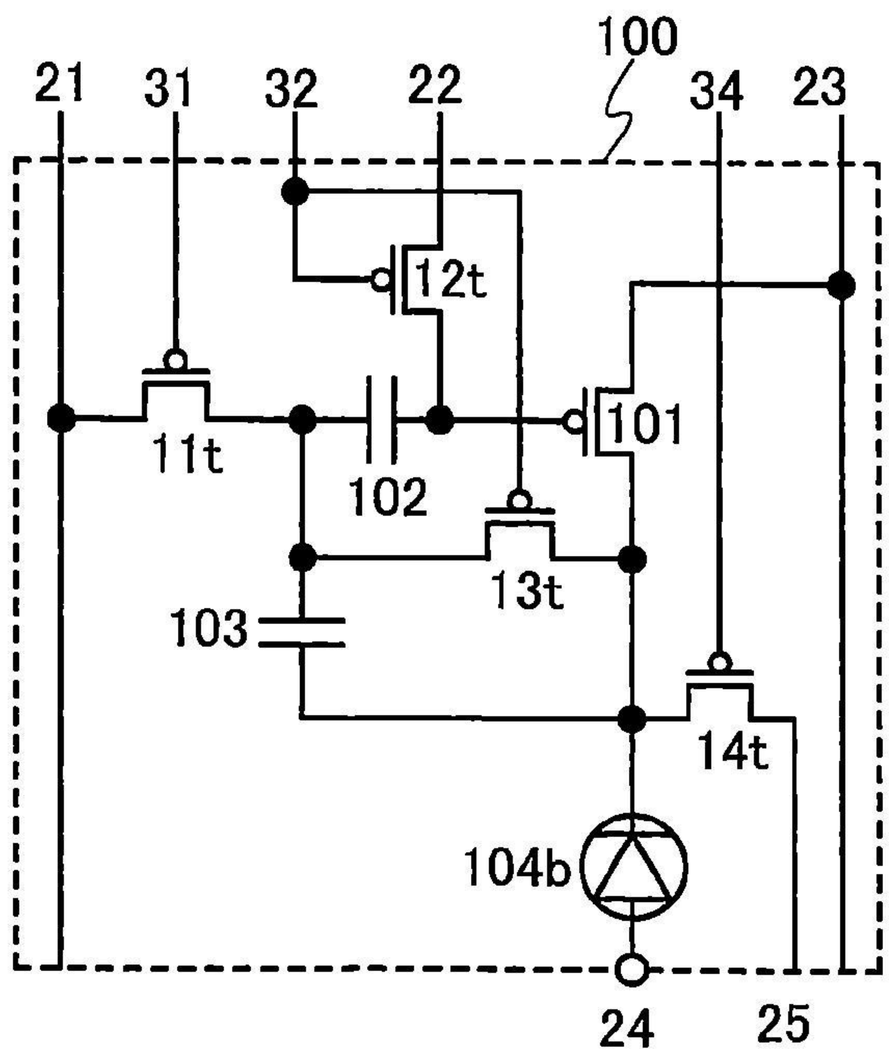


圖16A

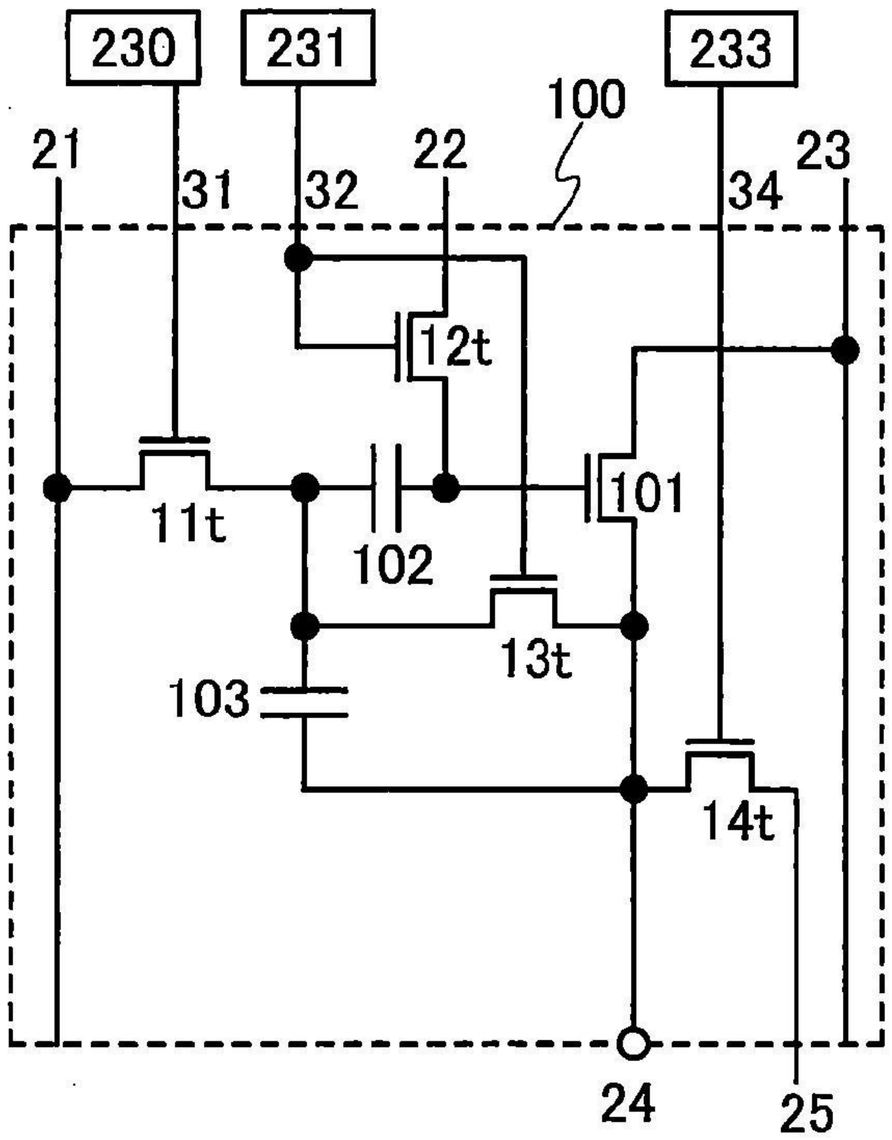


圖16B

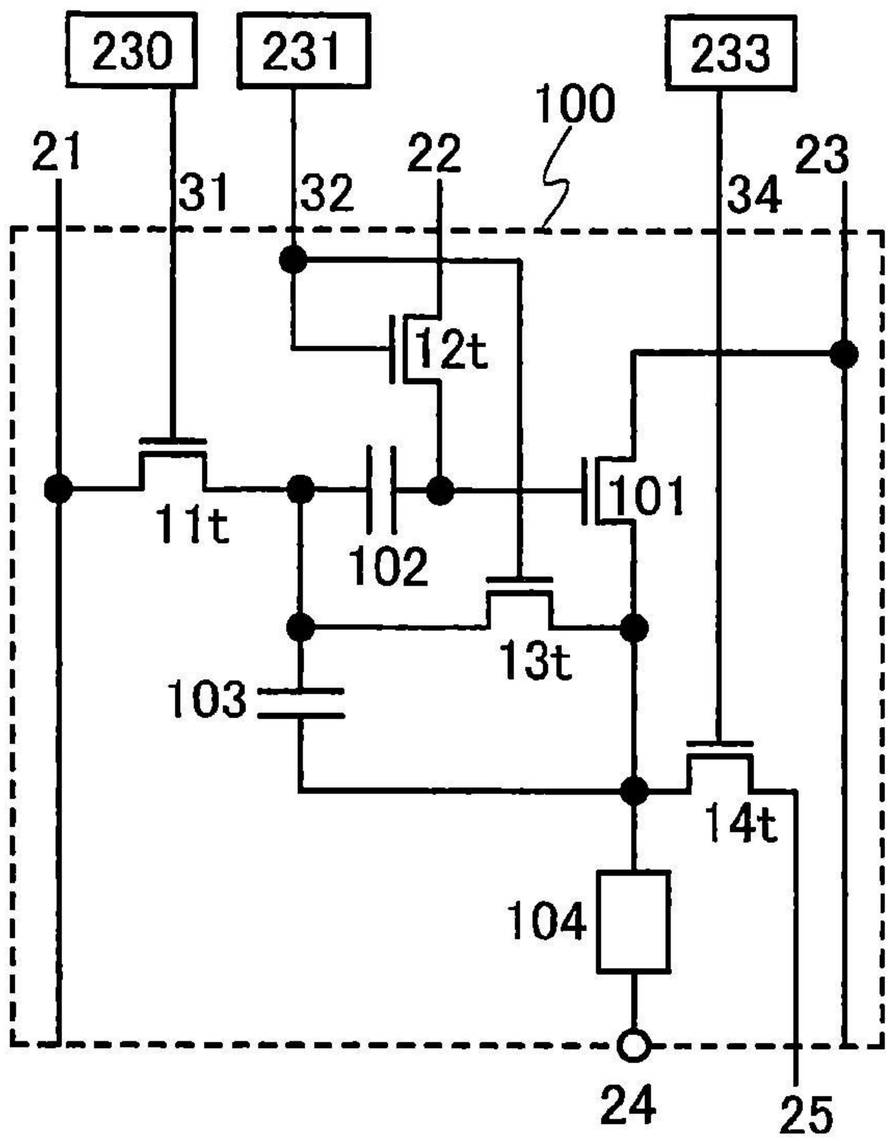


圖16C

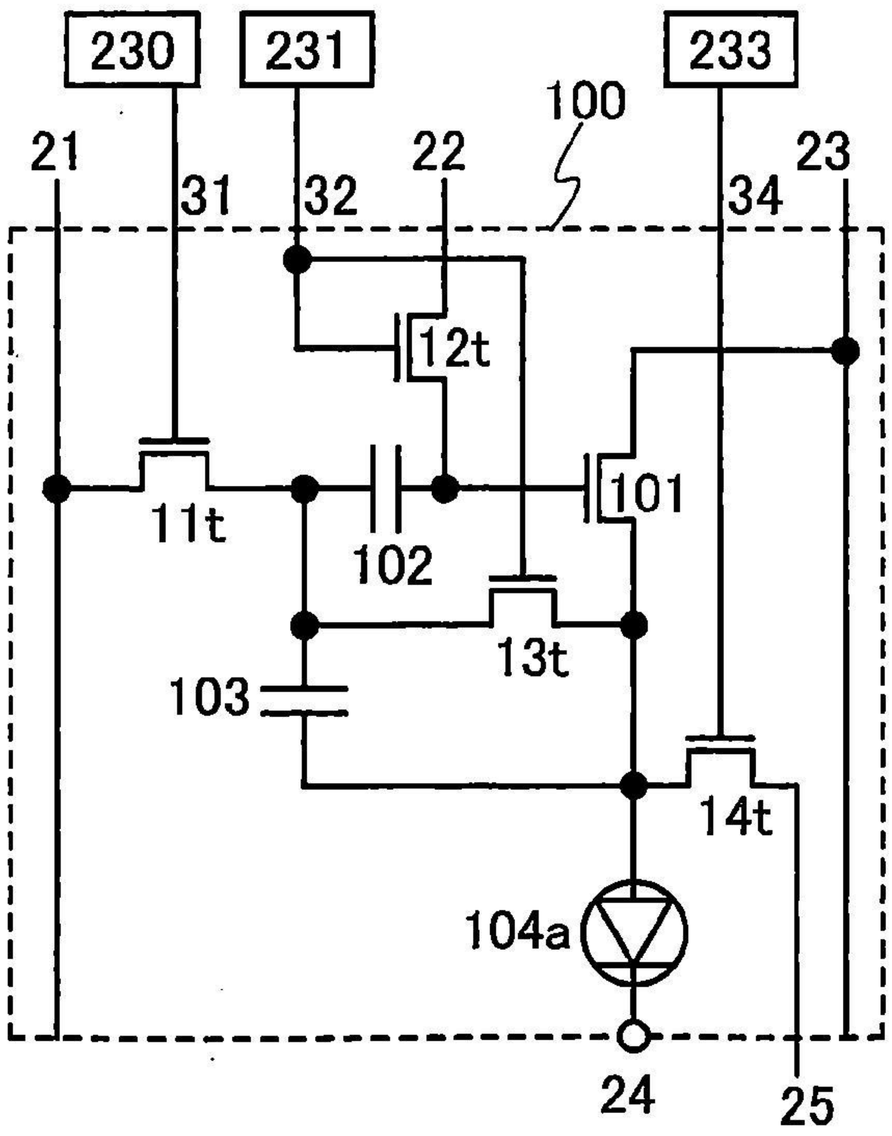


圖16D

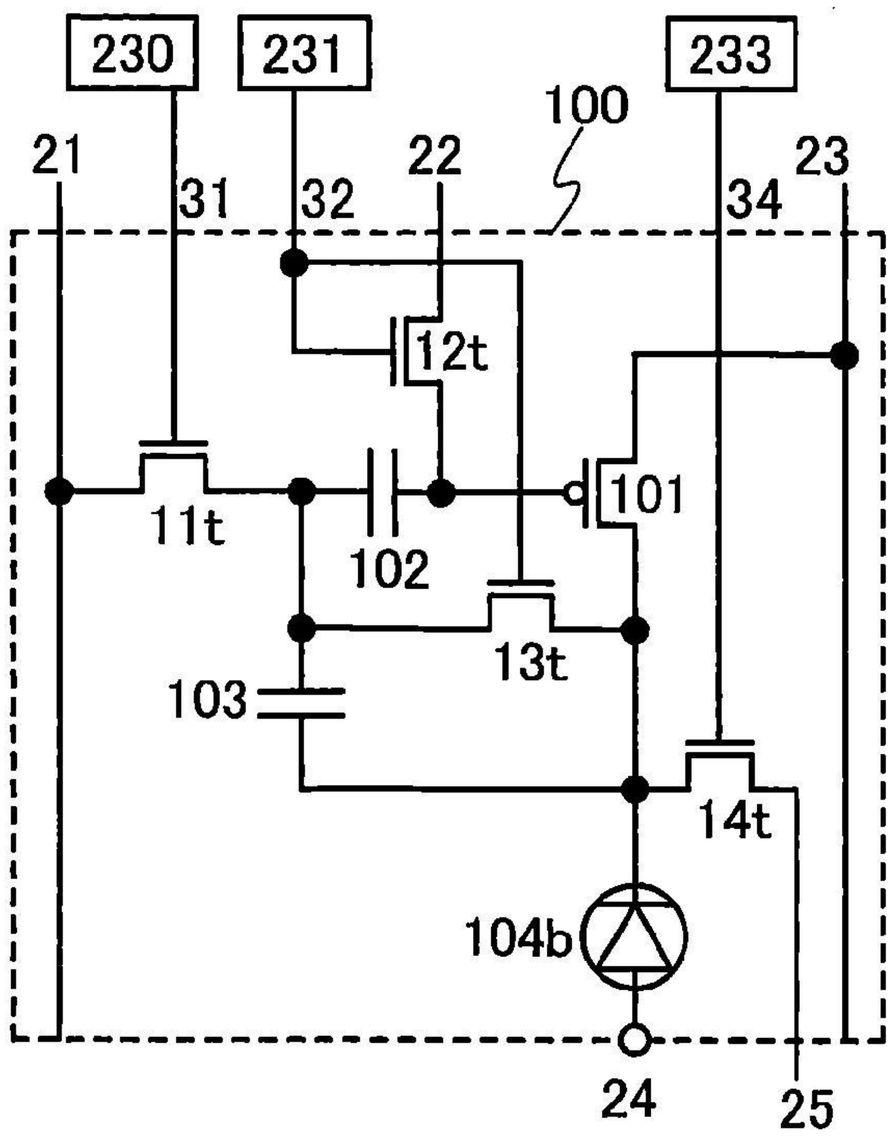


圖17A

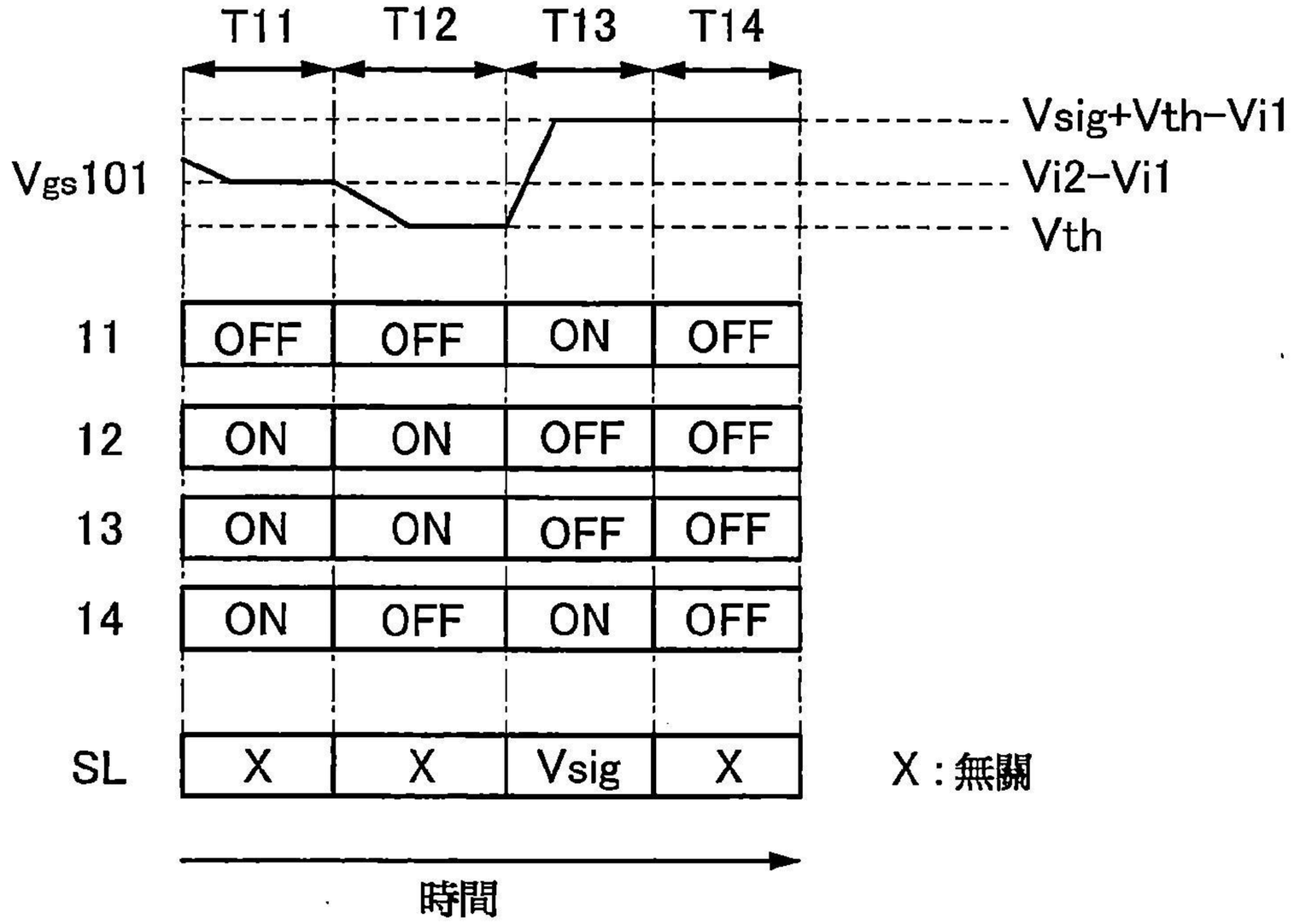


圖17B

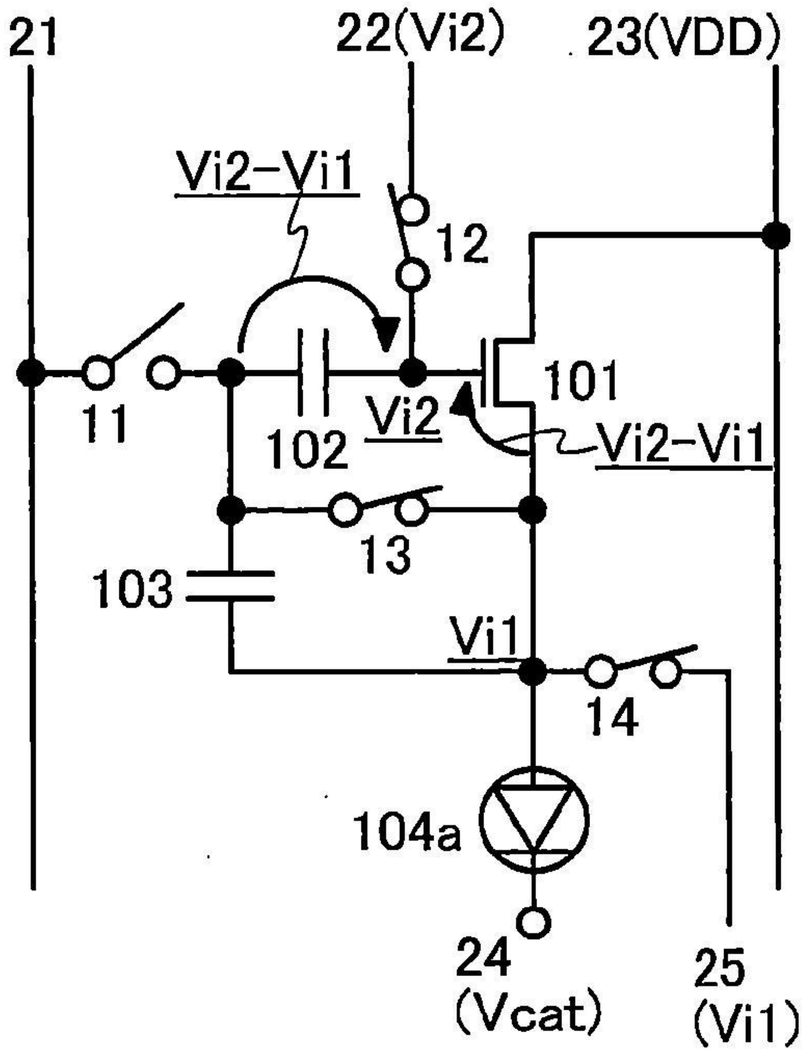


圖17C

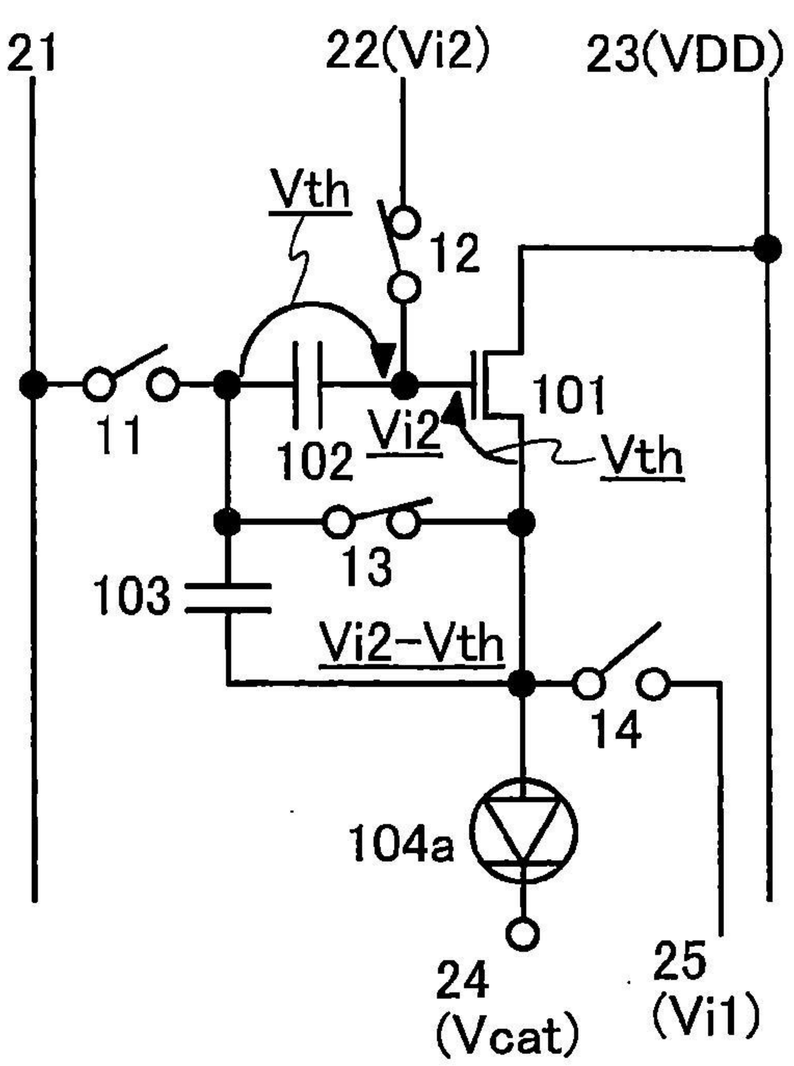


圖18A

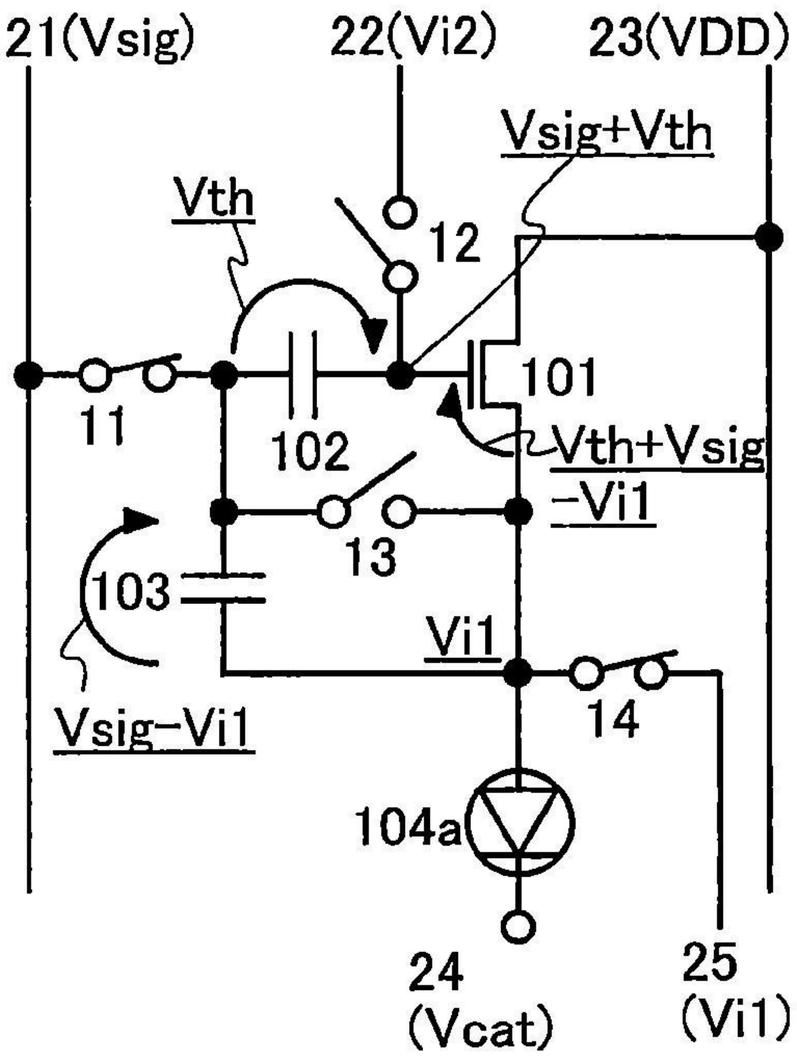

21(Vsig)
22(Vi2)
23(VDD)
Vsig+Vth
Vth
12
11
101
102
Vth+Vsig
-Vi1
13
103
Vi1
14
Vsig-Vi1
104a
24
(Vcat)
25
(Vi1)

圖18B

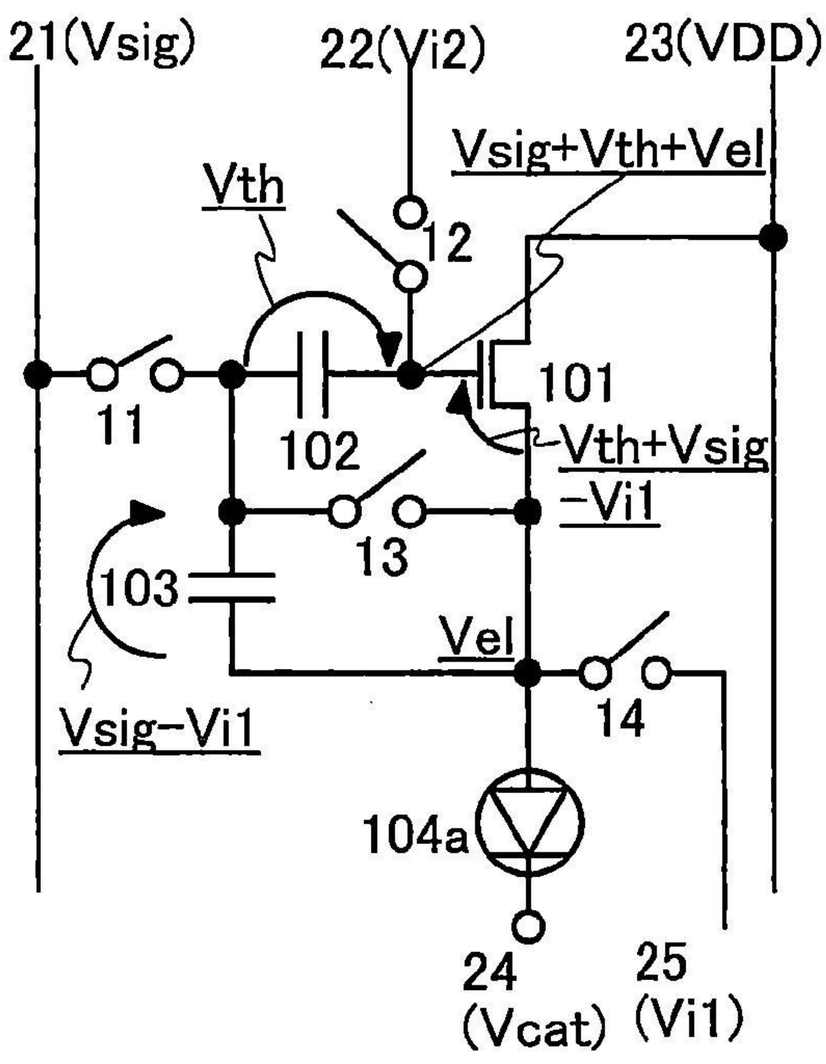

21(Vsig)
22(Vi2)
23(VDD)
Vsig+Vth+Vel
Vth
12
11
101
102
Vth+Vsig
-Vi1
13
103
Vel
14
Vsig-Vi1
104a
24
(Vcat)
25
(Vi1)

圖19A

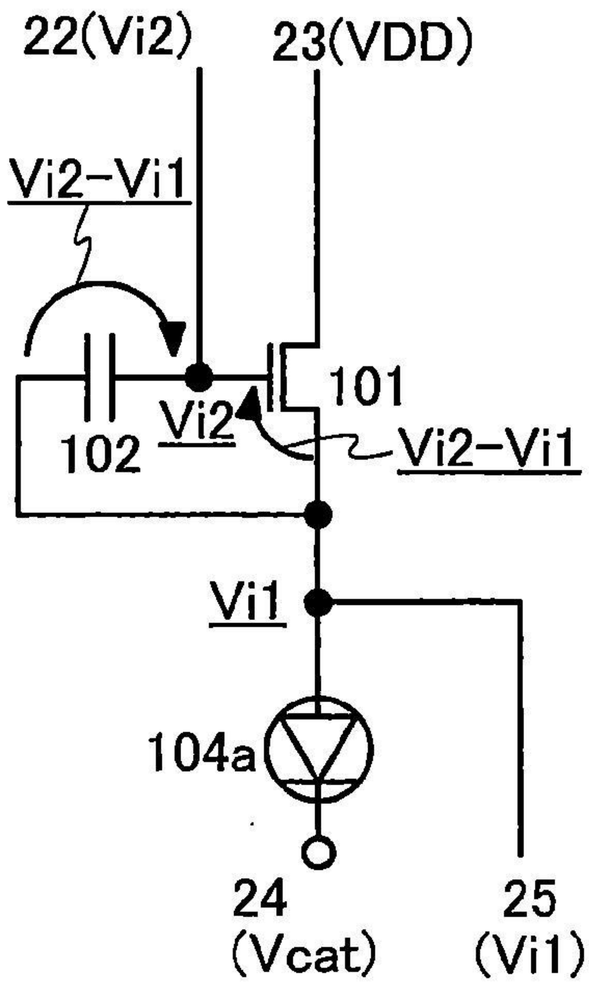


圖19B

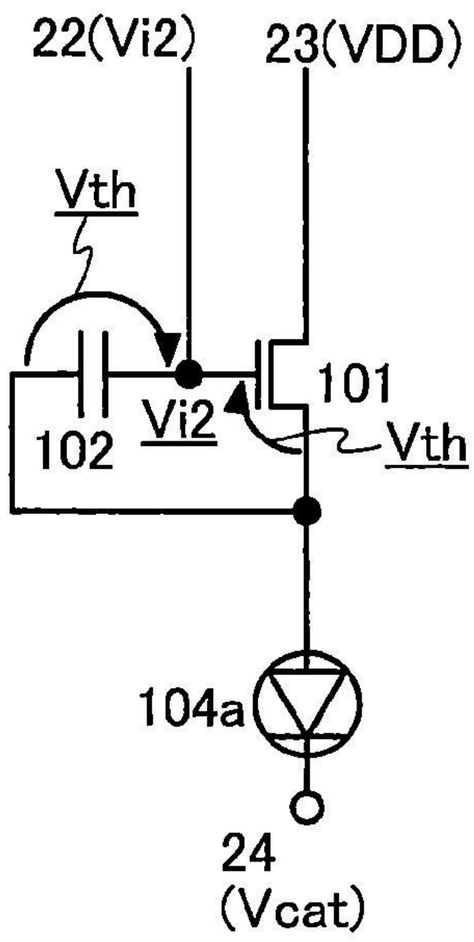


圖19C

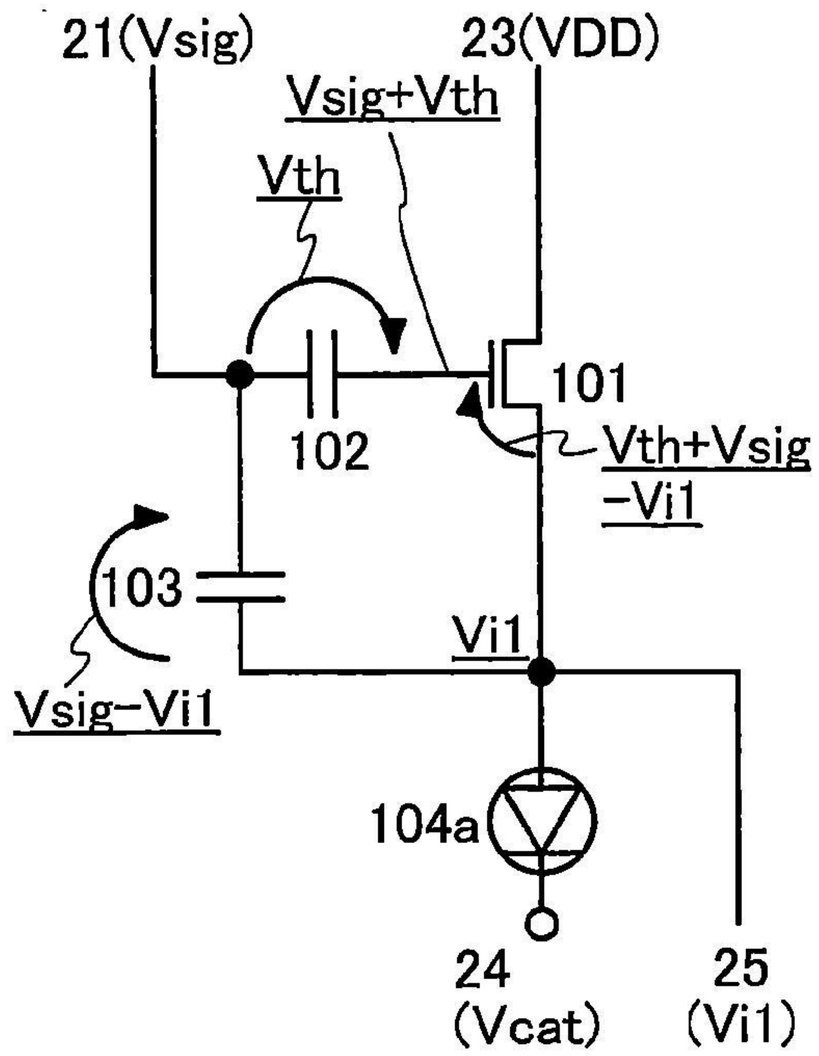


圖19D

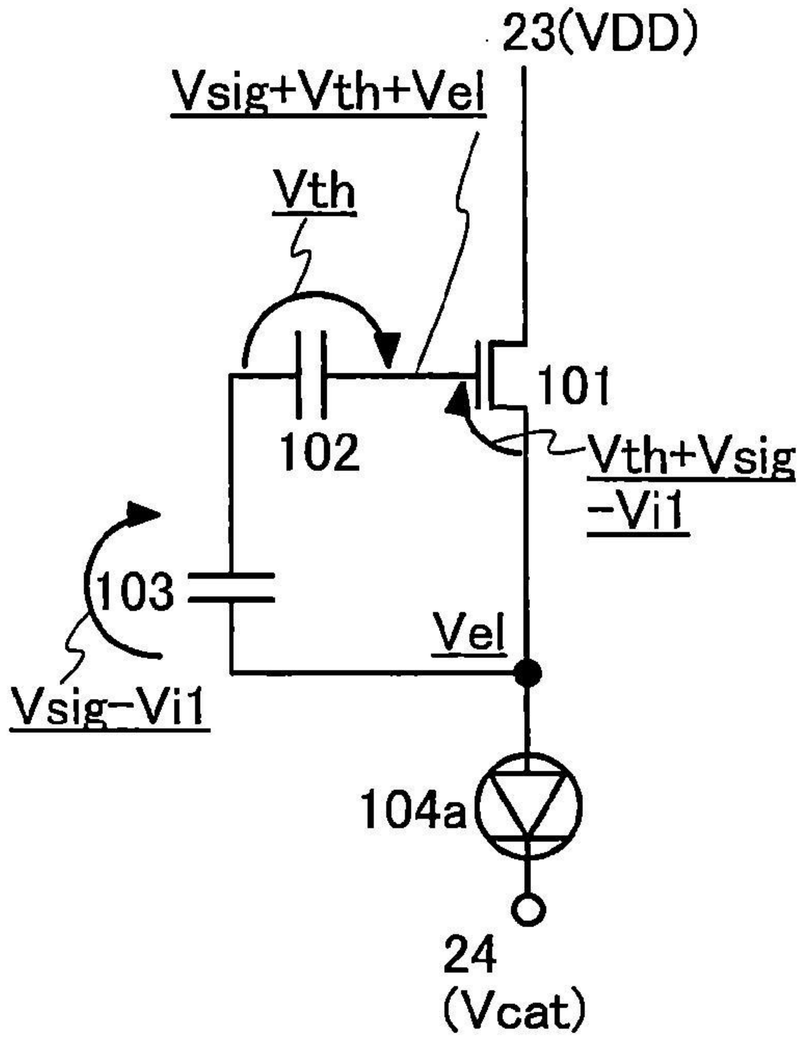


圖20A

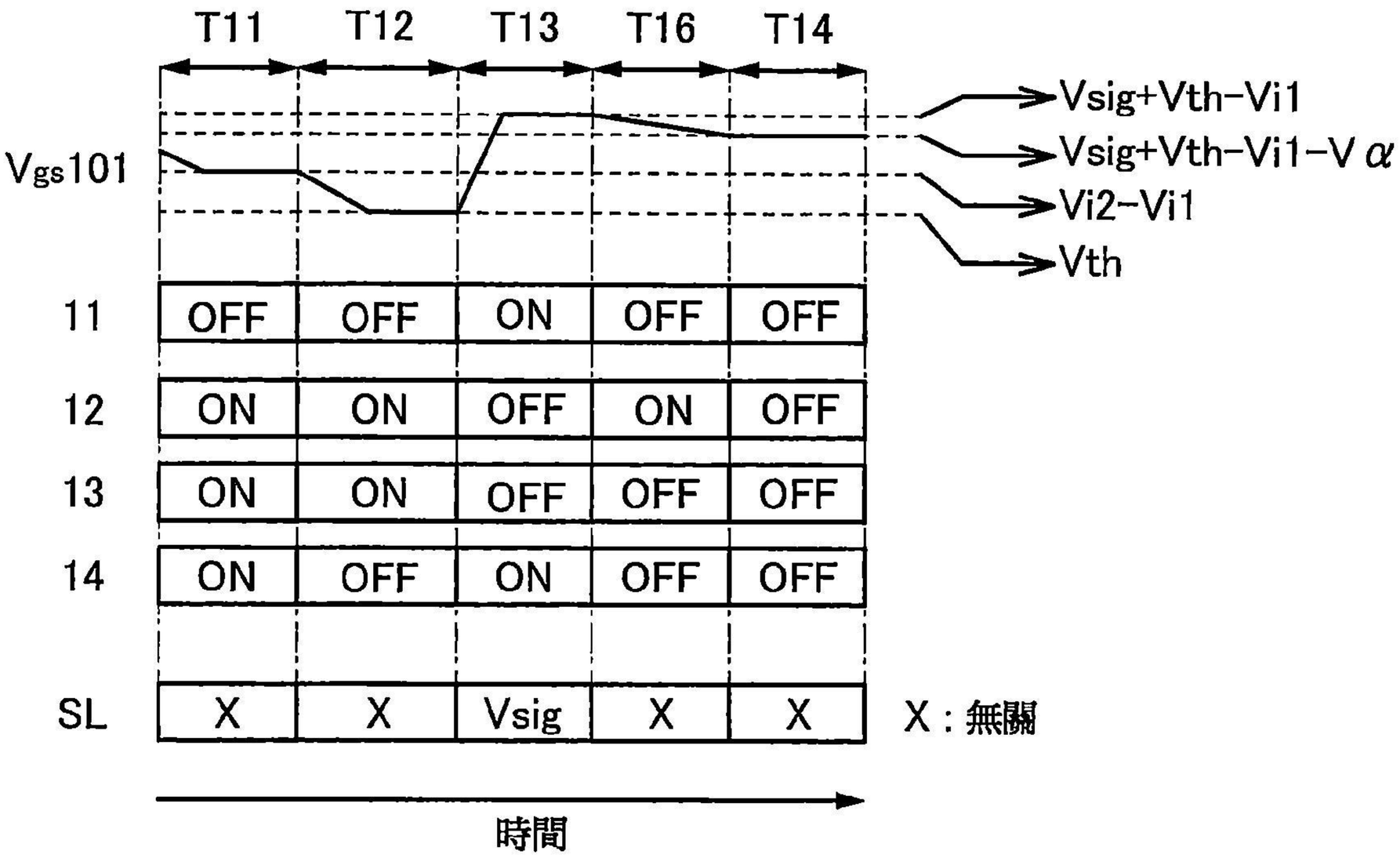

T11
T12
T13
T16
T14
Vgs101
Vsig+Vth-Vi1
Vsig+Vth-Vi1-V α
Vi2-Vi1
Vth
11 OFF OFF ON OFF OFF
12 ON ON OFF ON OFF
13 ON ON OFF OFF OFF
14 ON OFF ON OFF OFF
SL X X Vsig X X
X：無關
時間

圖20B

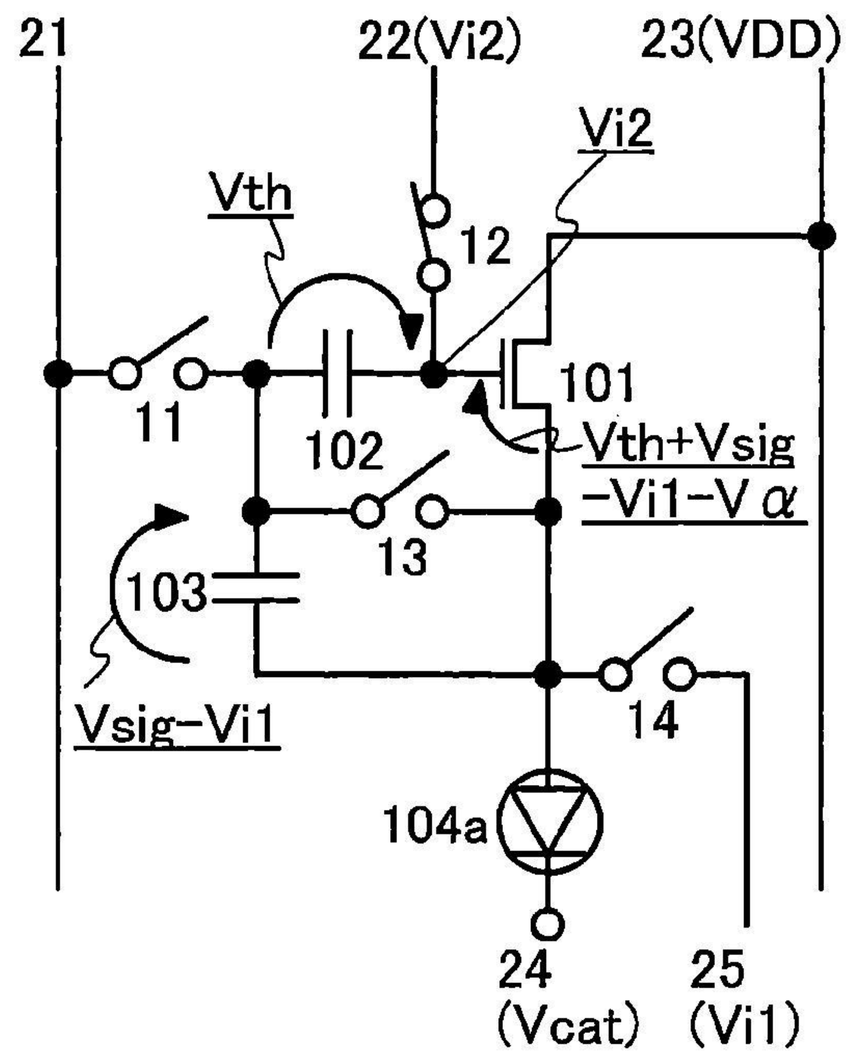

21
22(Vi2)
23(VDD)
Vi2
Vth
12
11
102
101
Vth+Vsig
-Vi1-V α
13
103
Vsig-Vi1
14
104a
24
(Vcat)
25
(Vi1)

圖21A

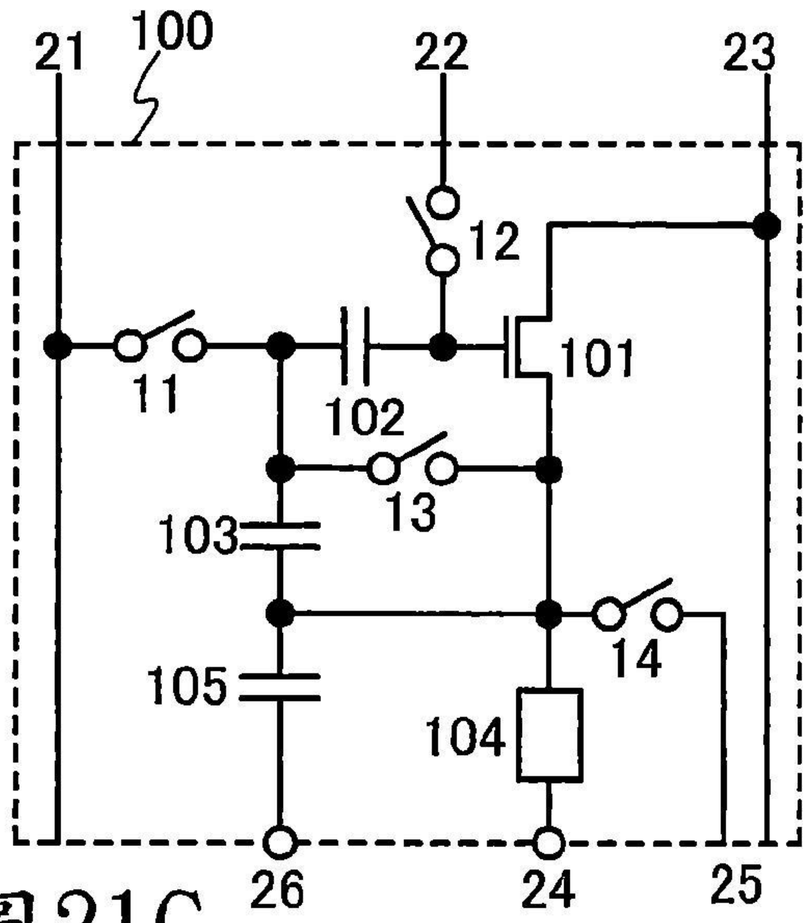


圖21B

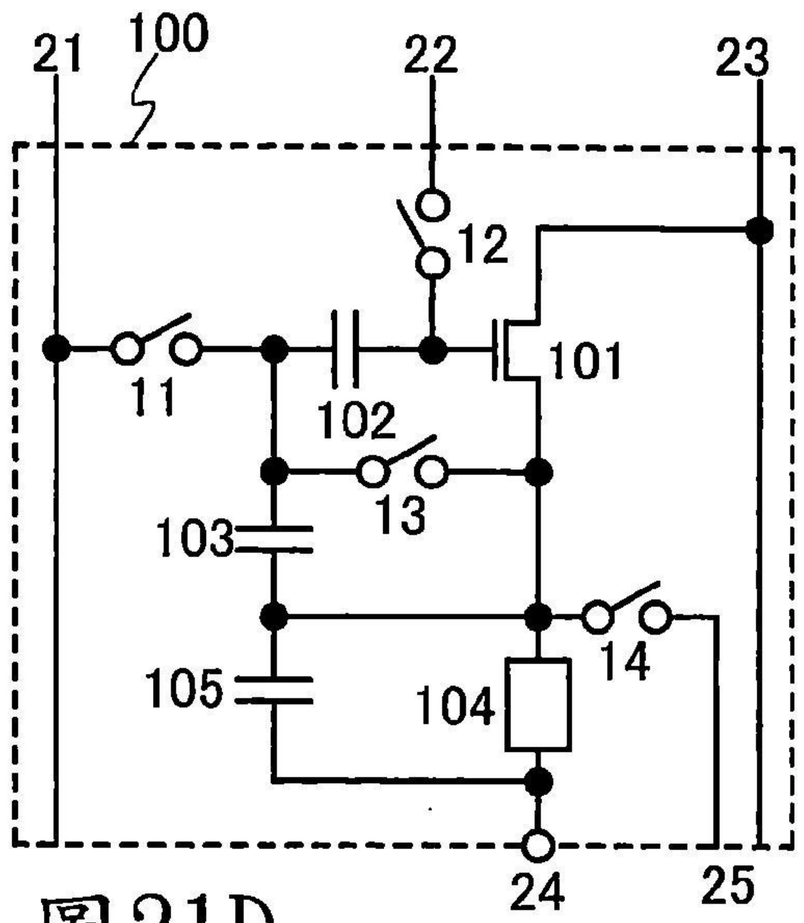


圖21C

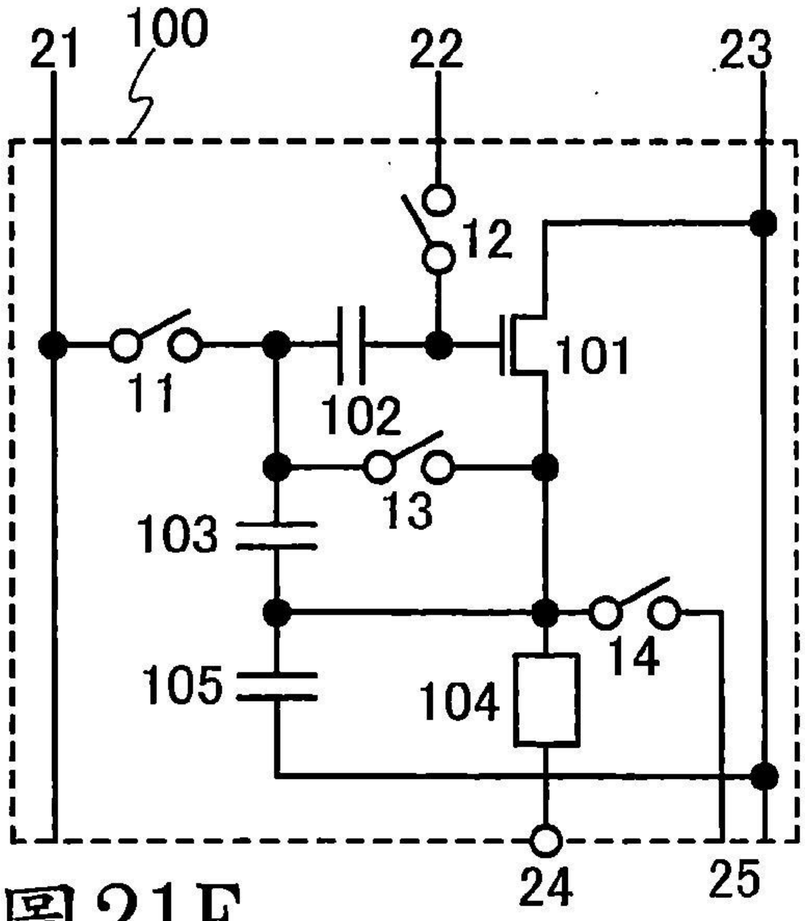


圖21D

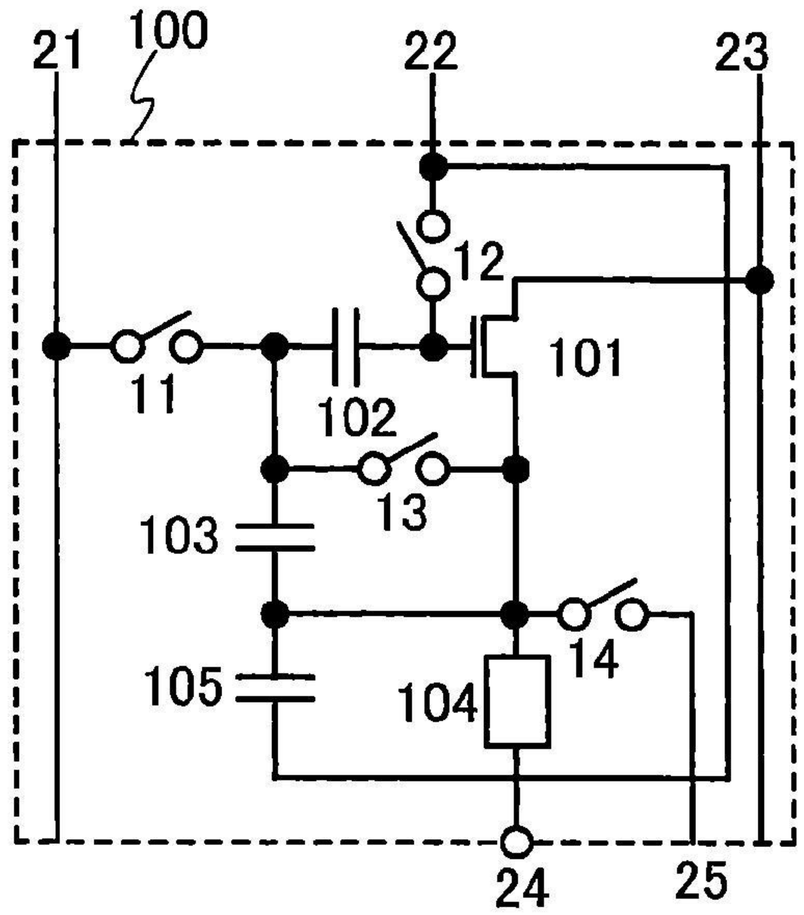


圖21E

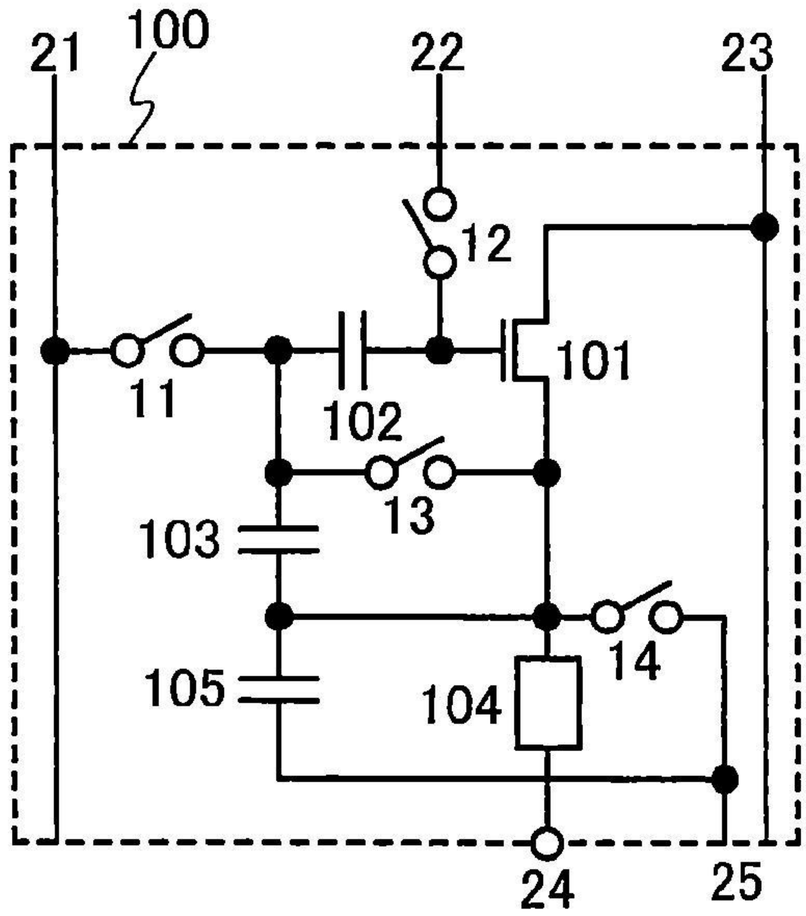


圖22A

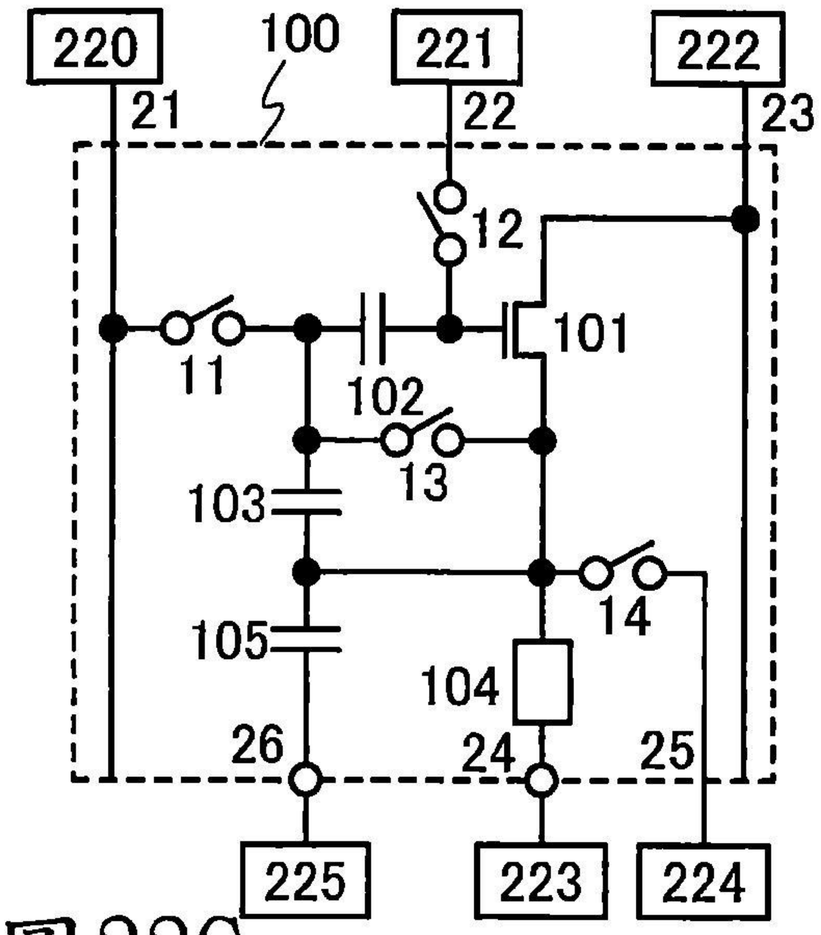


圖22B

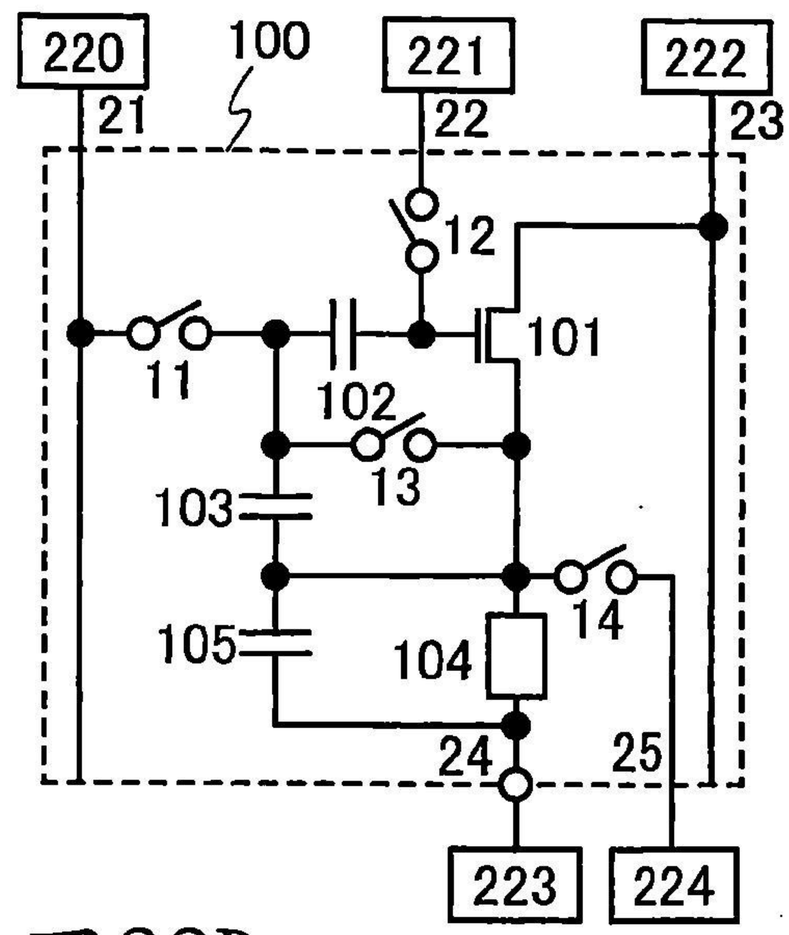


圖22C

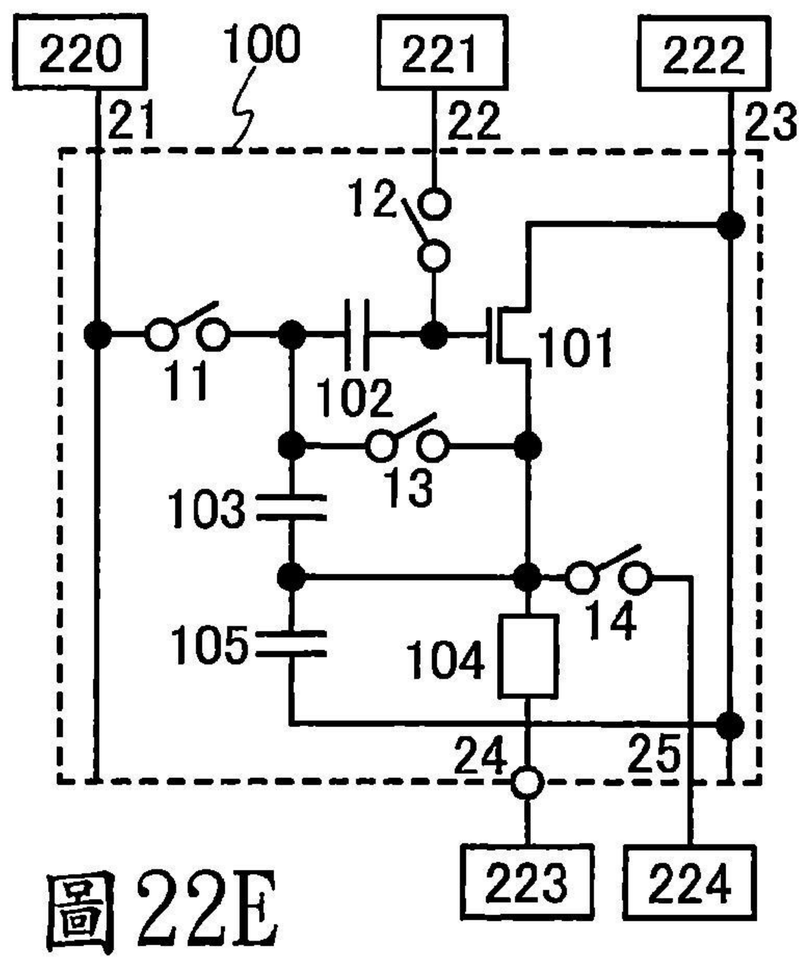


圖22D

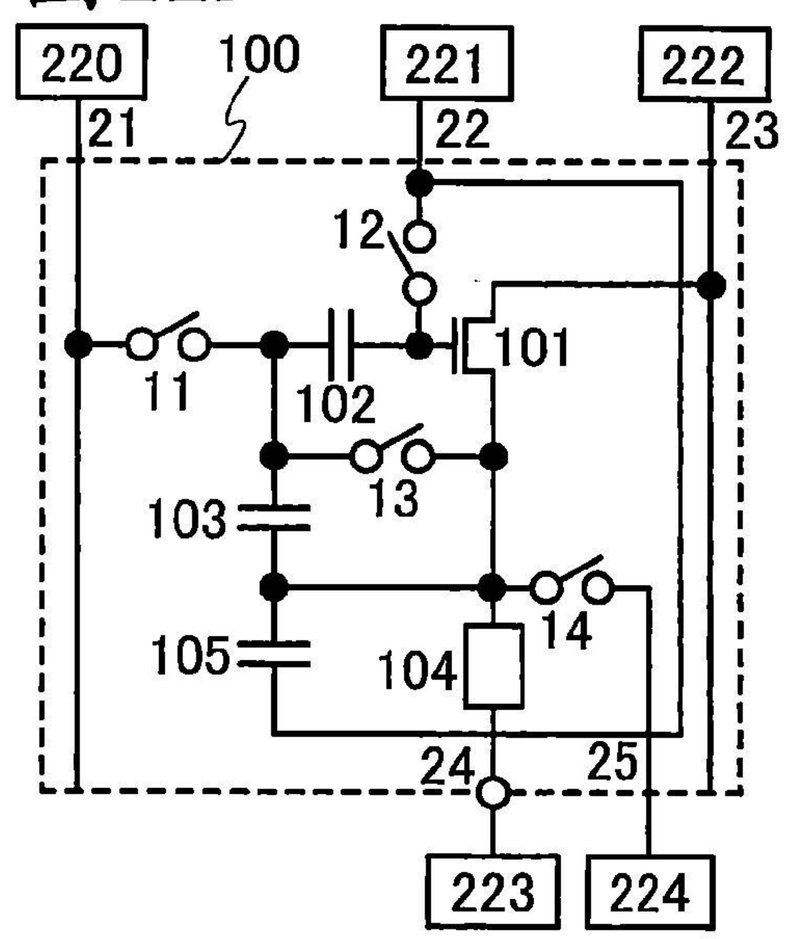


圖22E

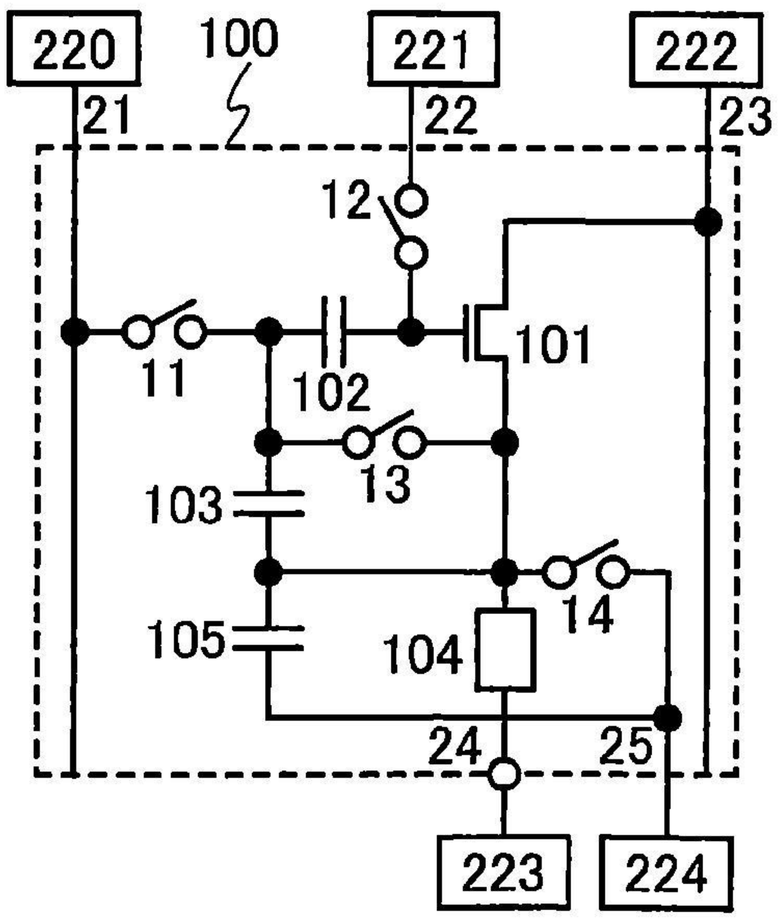


圖23A

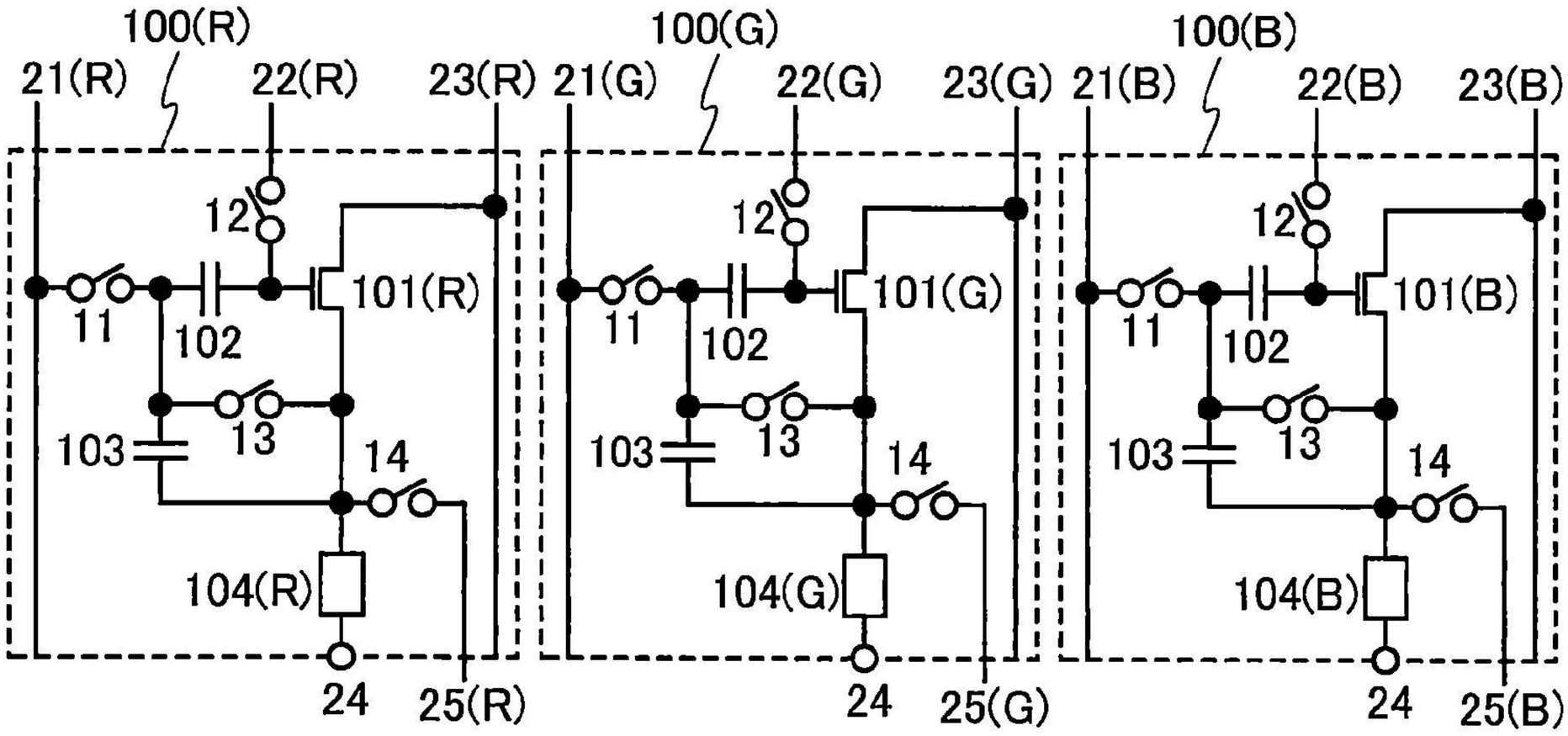

100(R)
100(G)
100(B)
21(R)
22(R)
23(R)
21(G)
22(G)
23(G)
21(B)
22(B)
23(B)
12
11
102
101(R)
101(G)
101(B)
103
13
14
104(R)
104(G)
104(B)
24
25(R)
25(G)
25(B)

圖23B

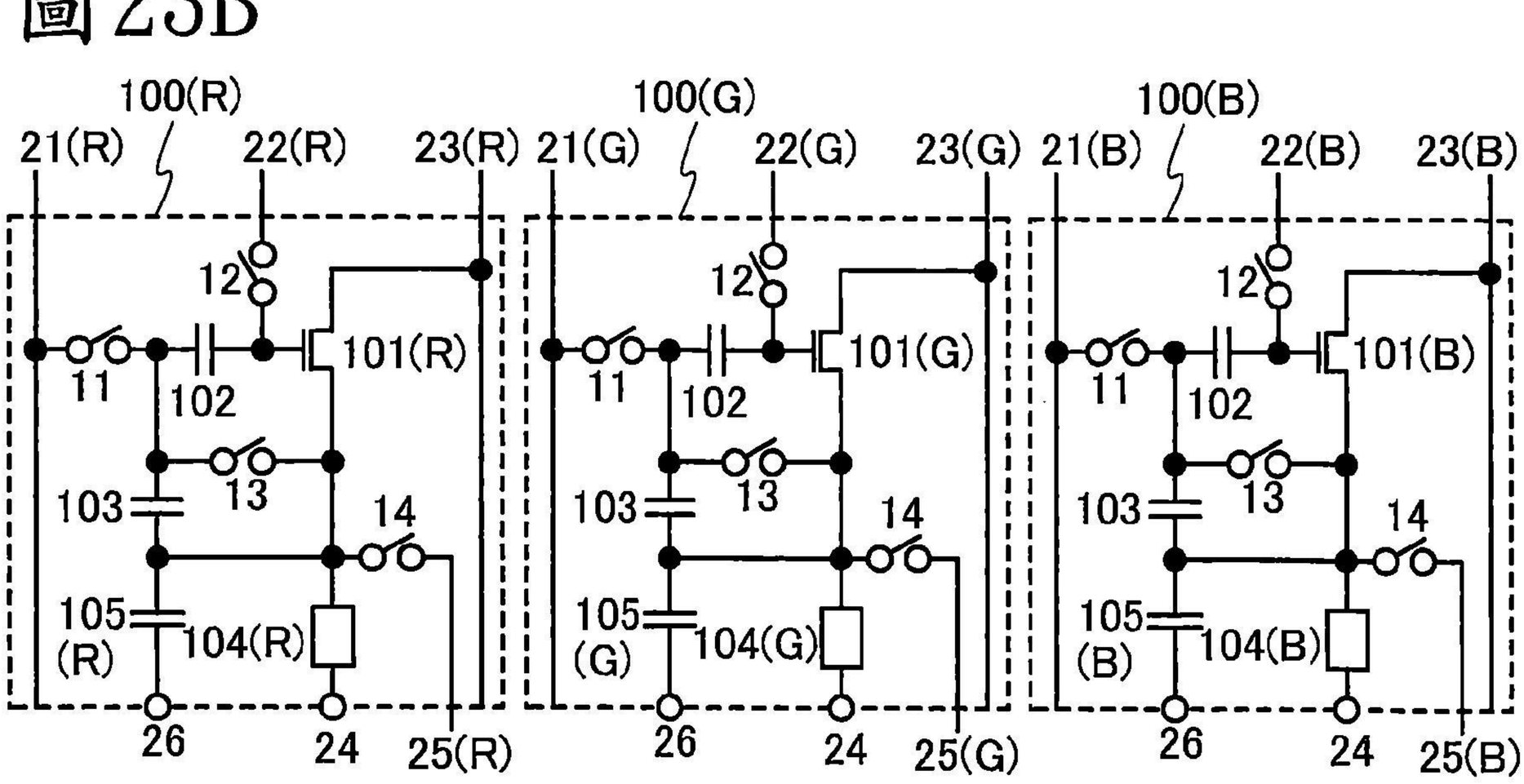

100(R)
100(G)
100(B)
21(R)
22(R)
23(R)
21(G)
22(G)
23(G)
21(B)
22(B)
23(B)
12
11
102
101(R)
101(G)
101(B)
103
13
14
105
(R)
104(R)
105
(G)
104(G)
105
(B)
104(B)
26
24
25(R)
25(G)
25(B)

圖24A

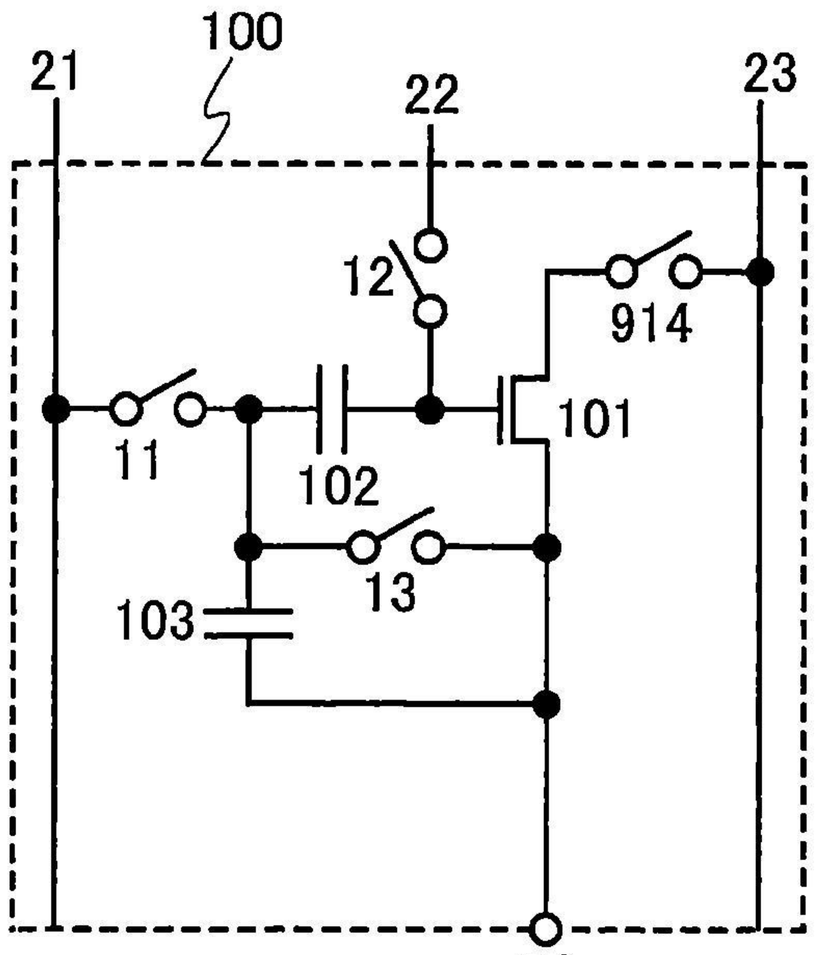


圖24B

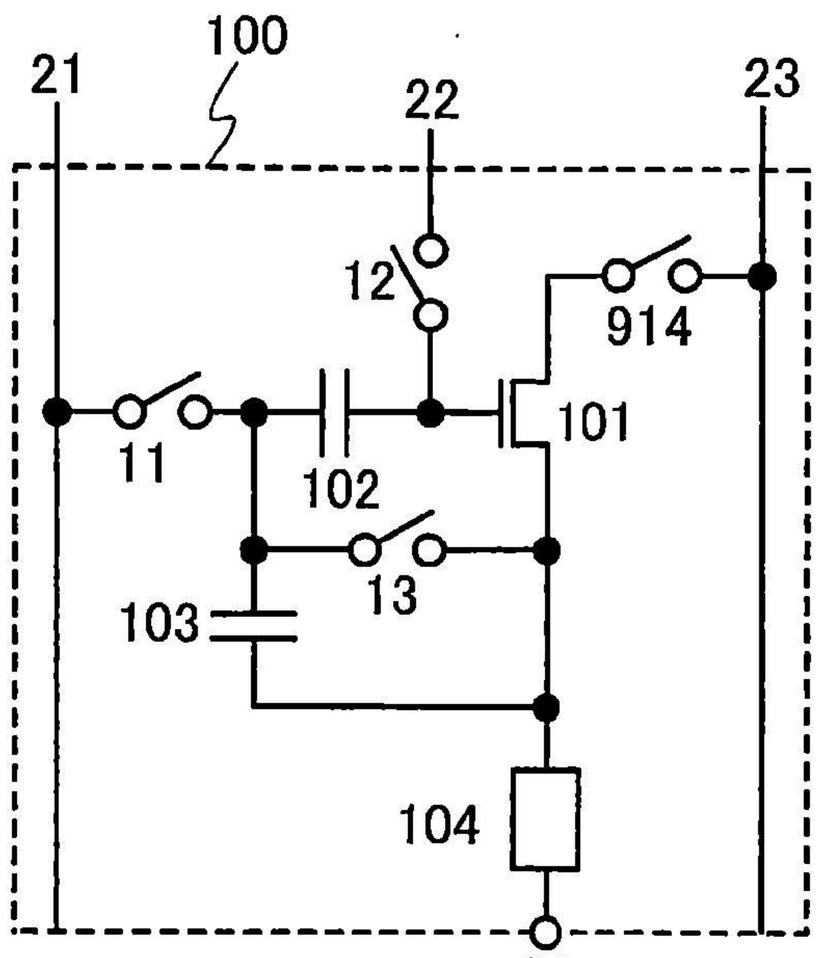


圖24C

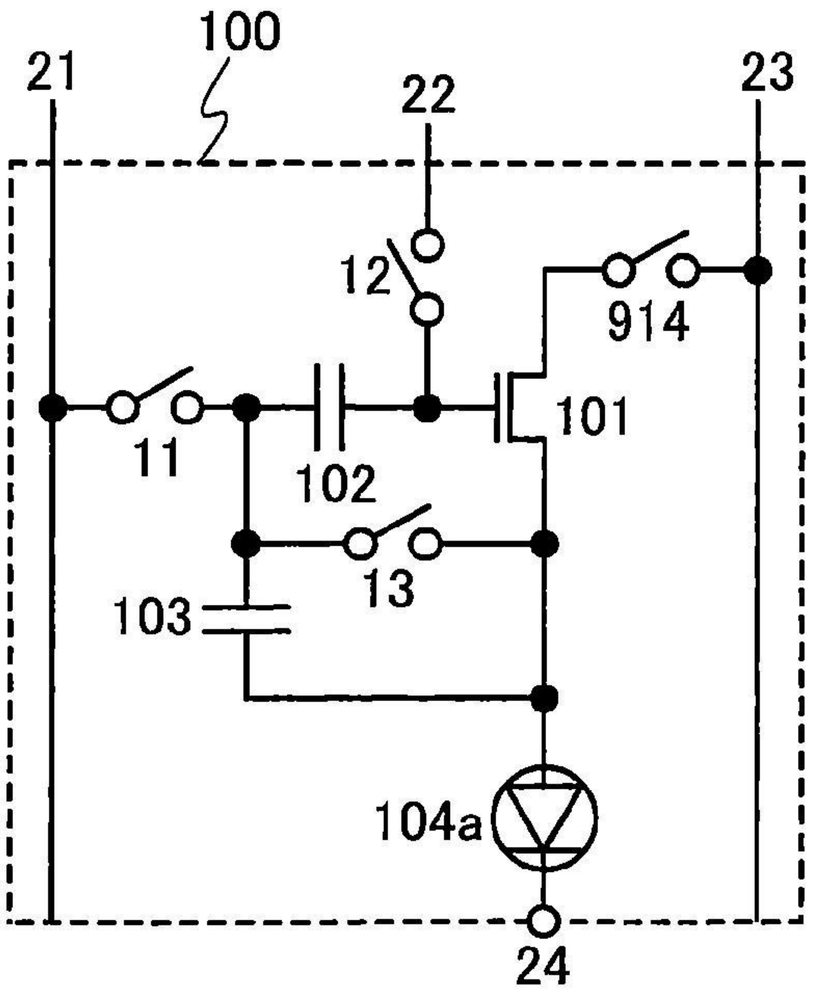


圖24D

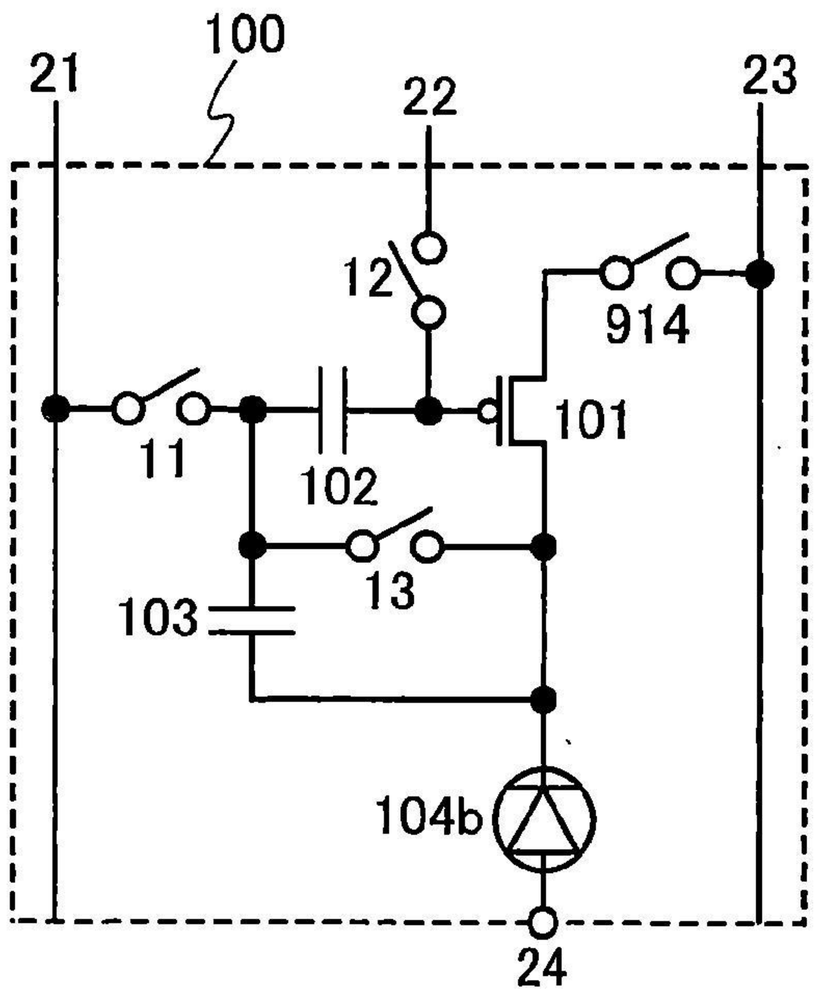


圖25A

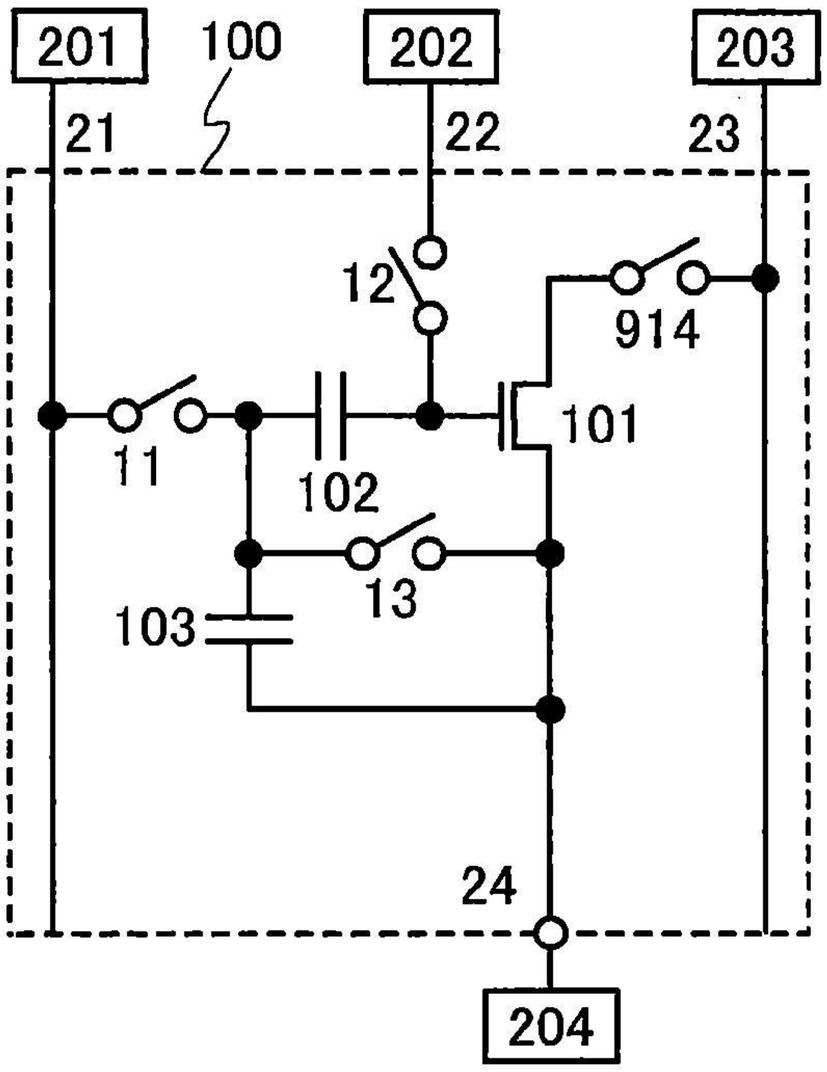


圖25B

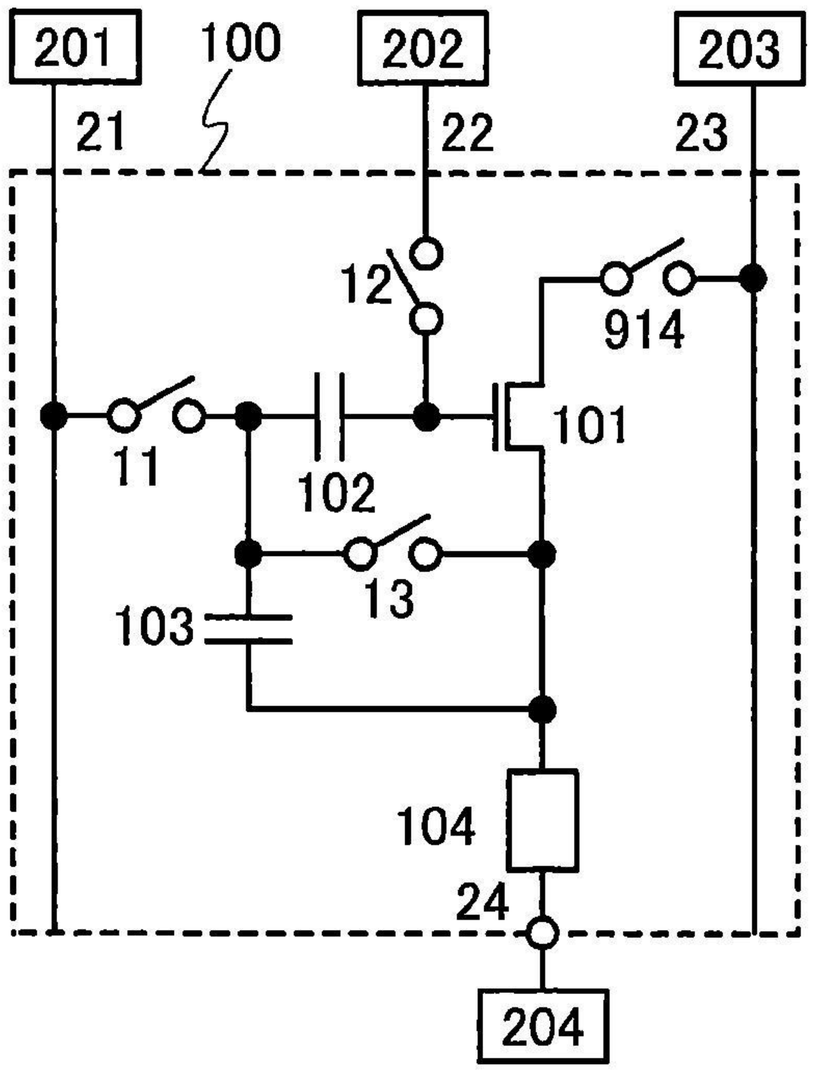


圖25C

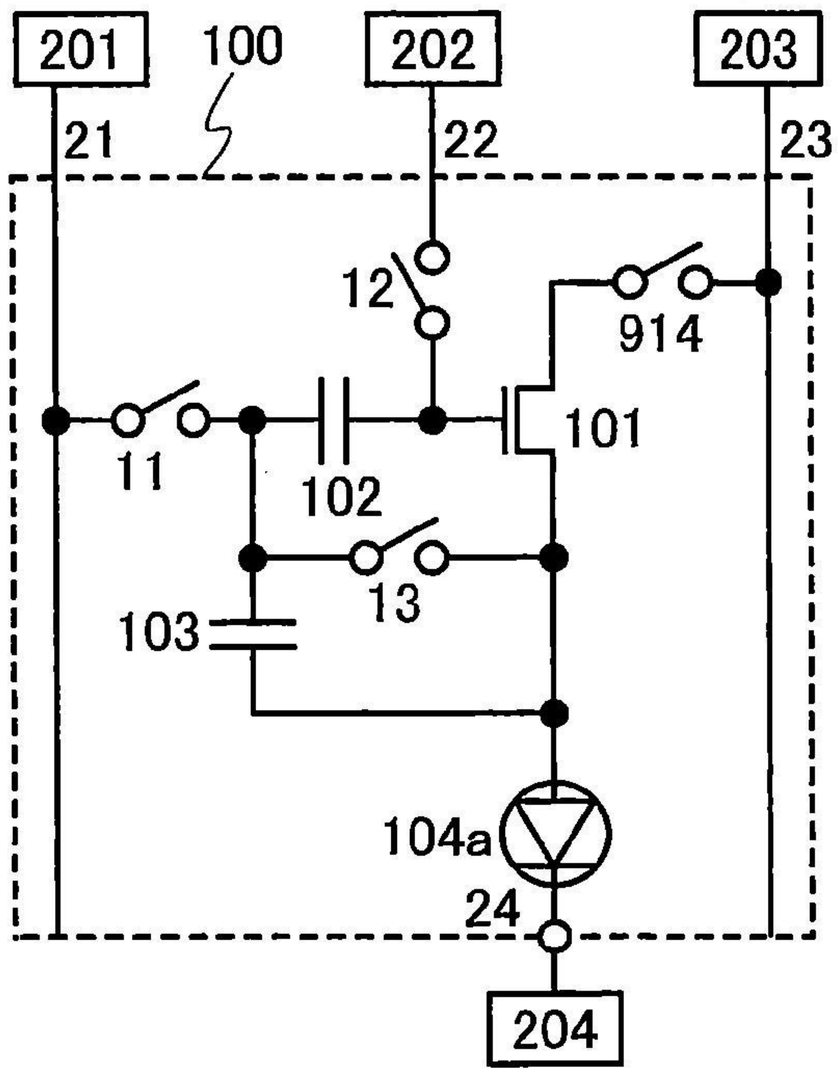


圖25D

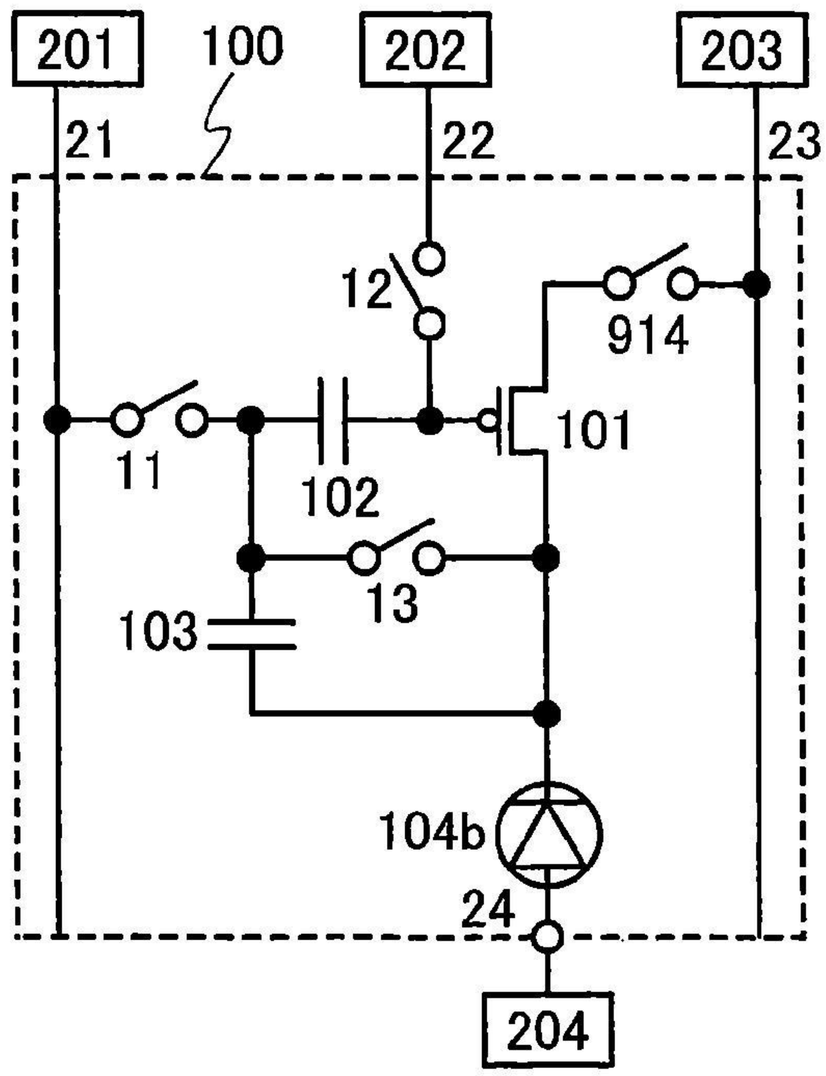


圖26A

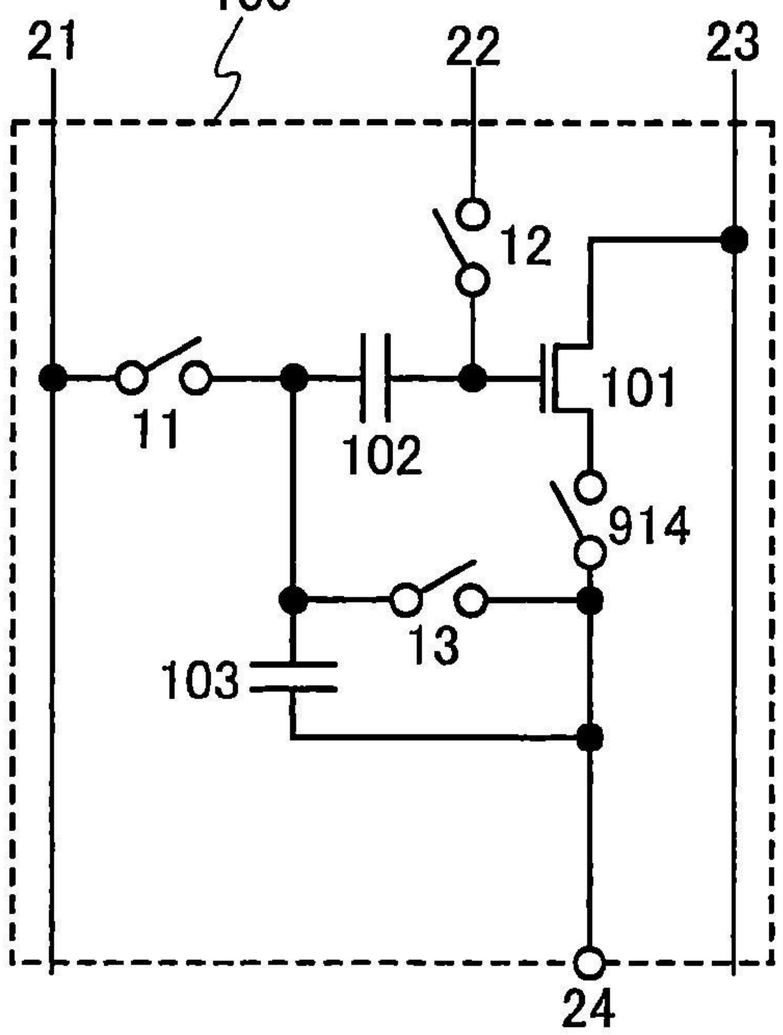


圖26B

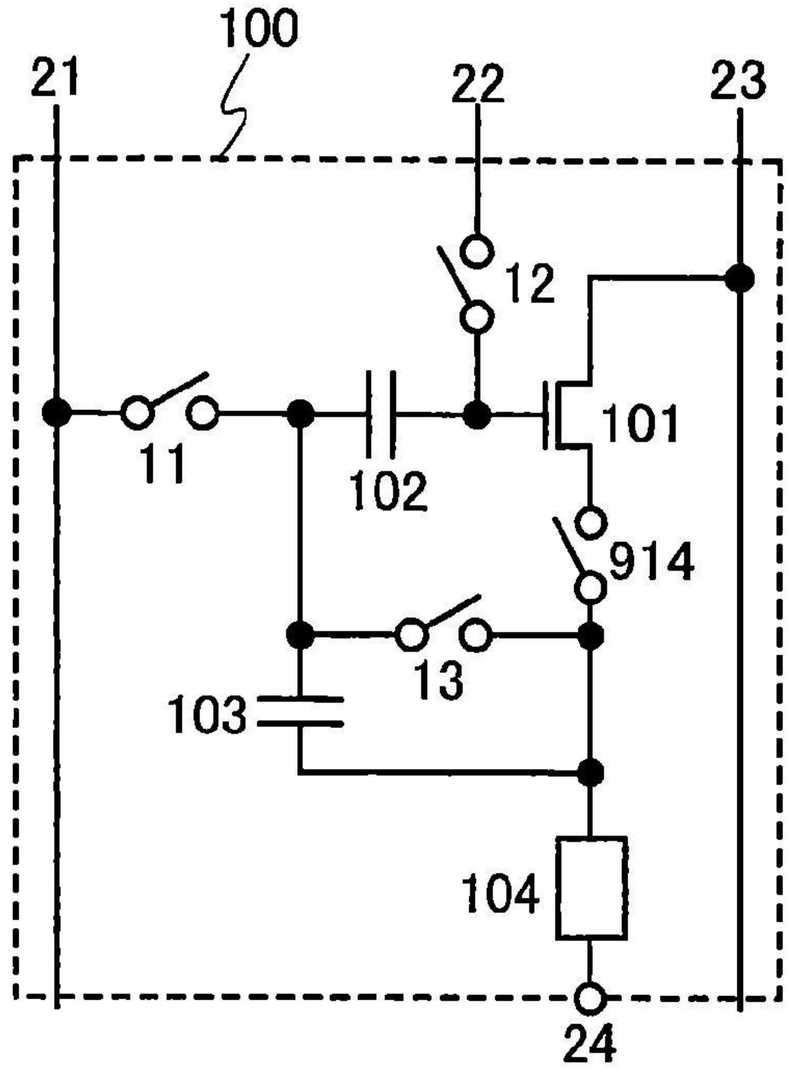


圖26C

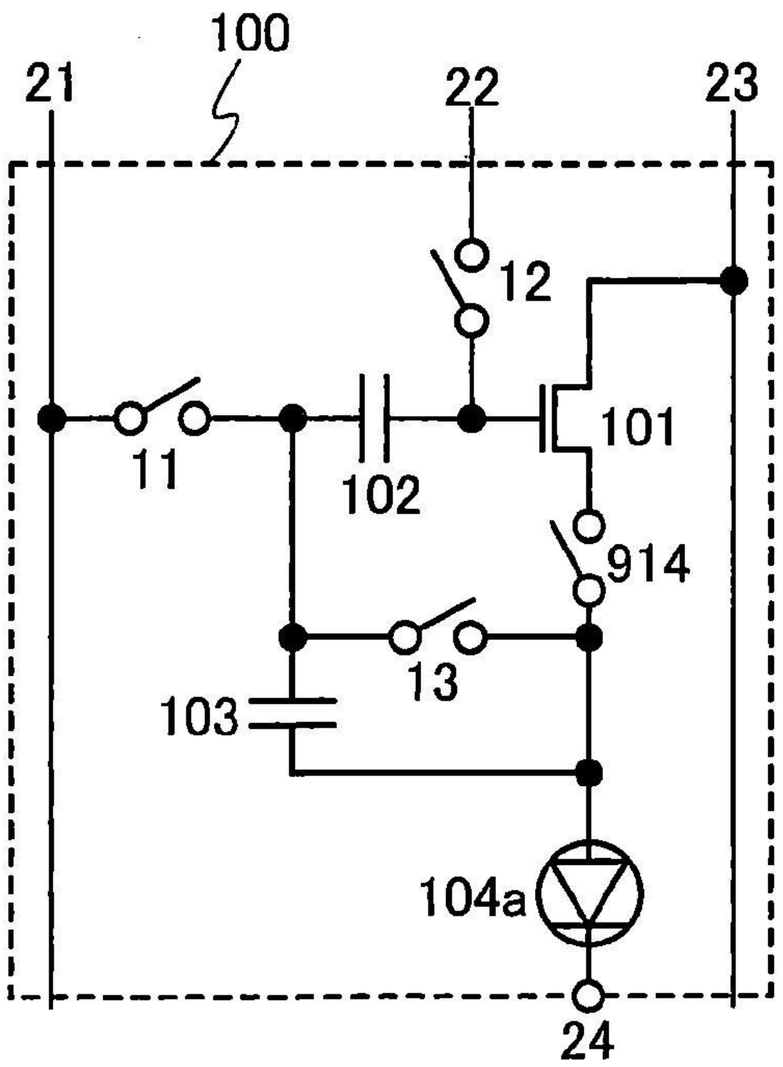


圖26D

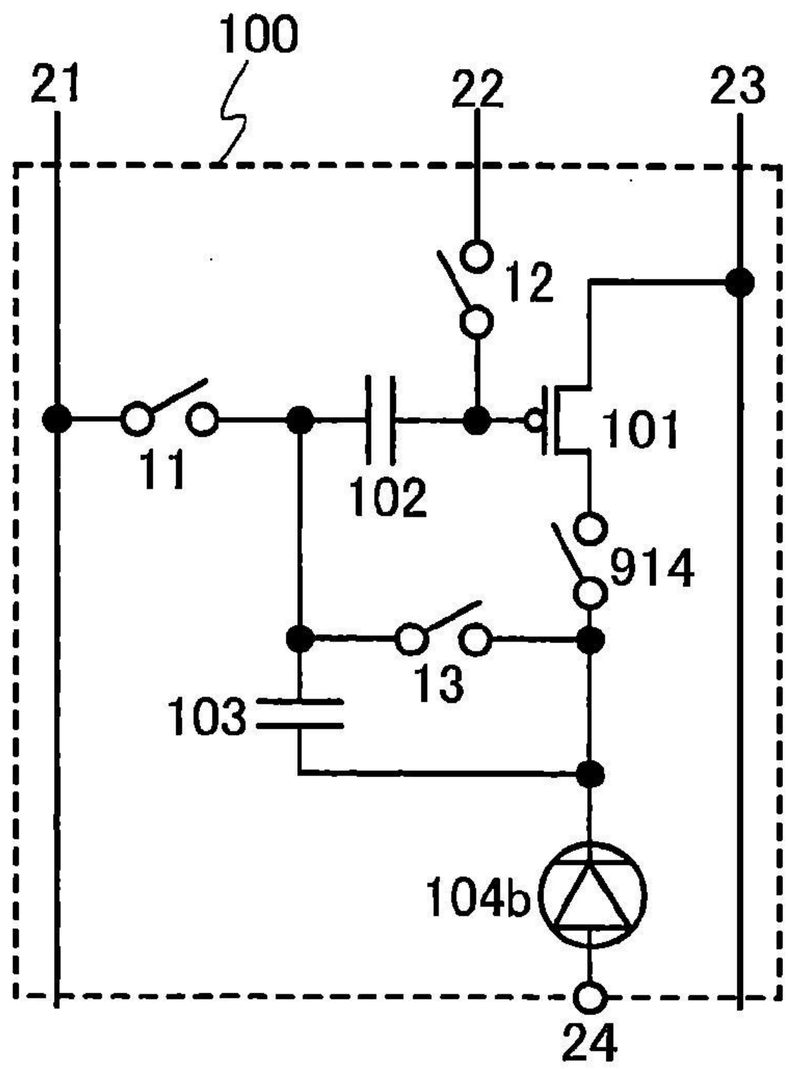


圖27A

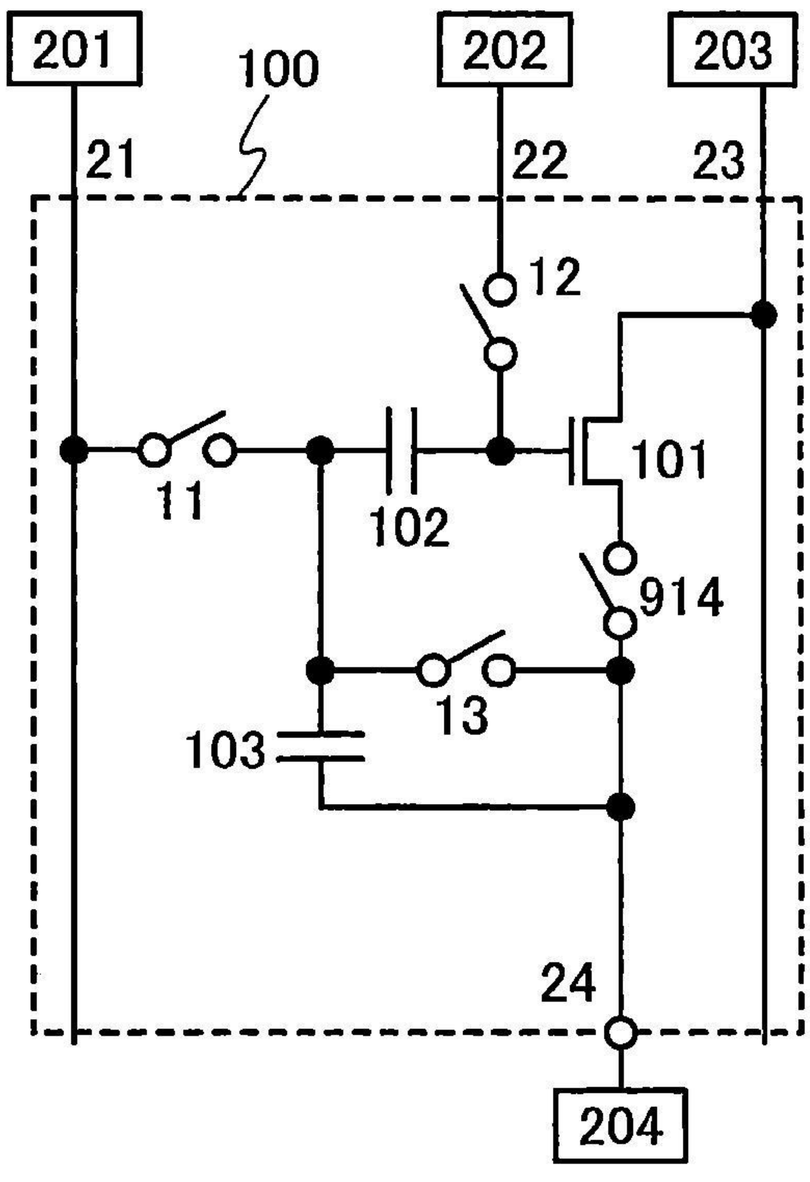


圖27B

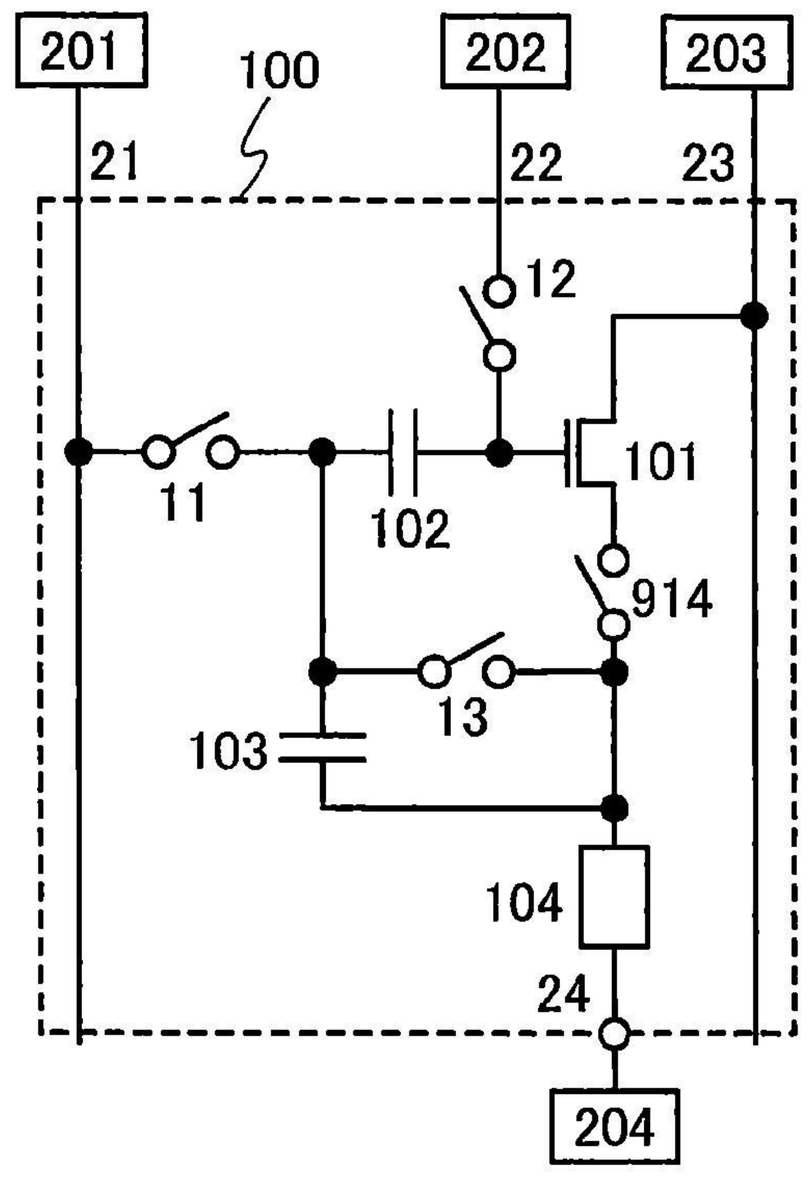


圖27C

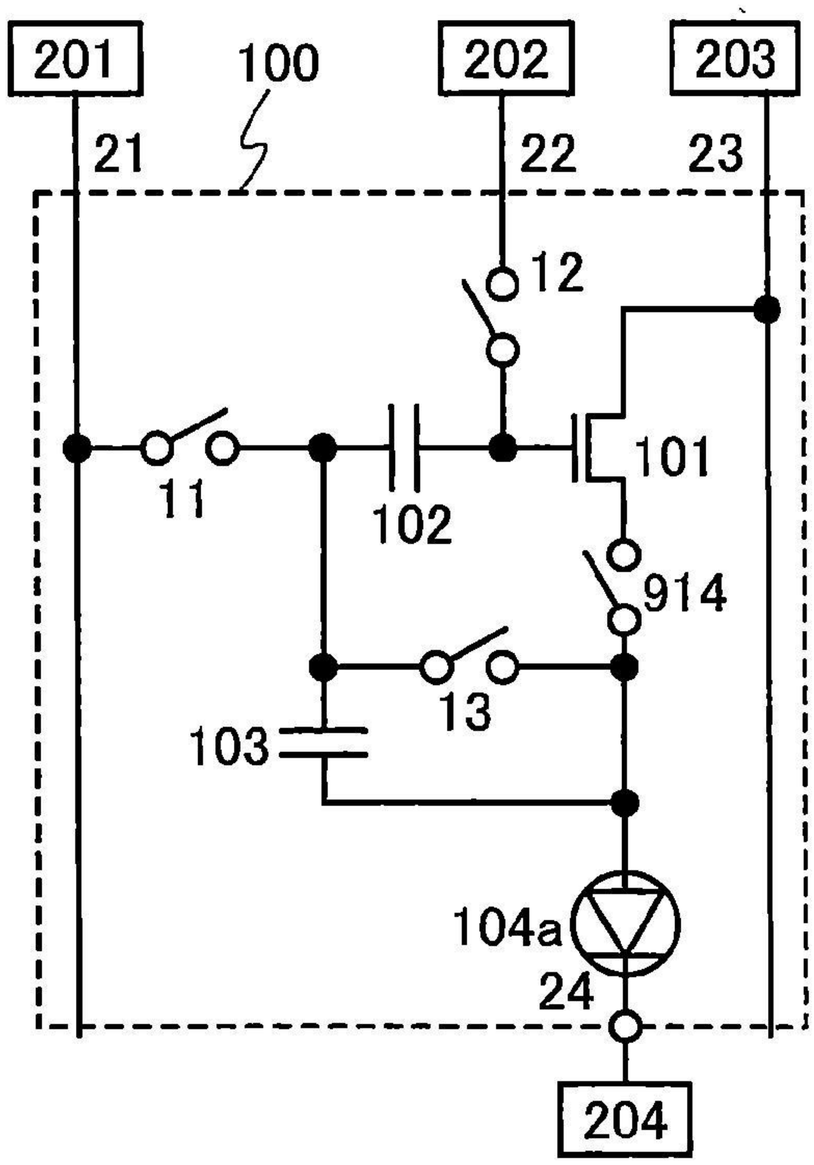


圖27D

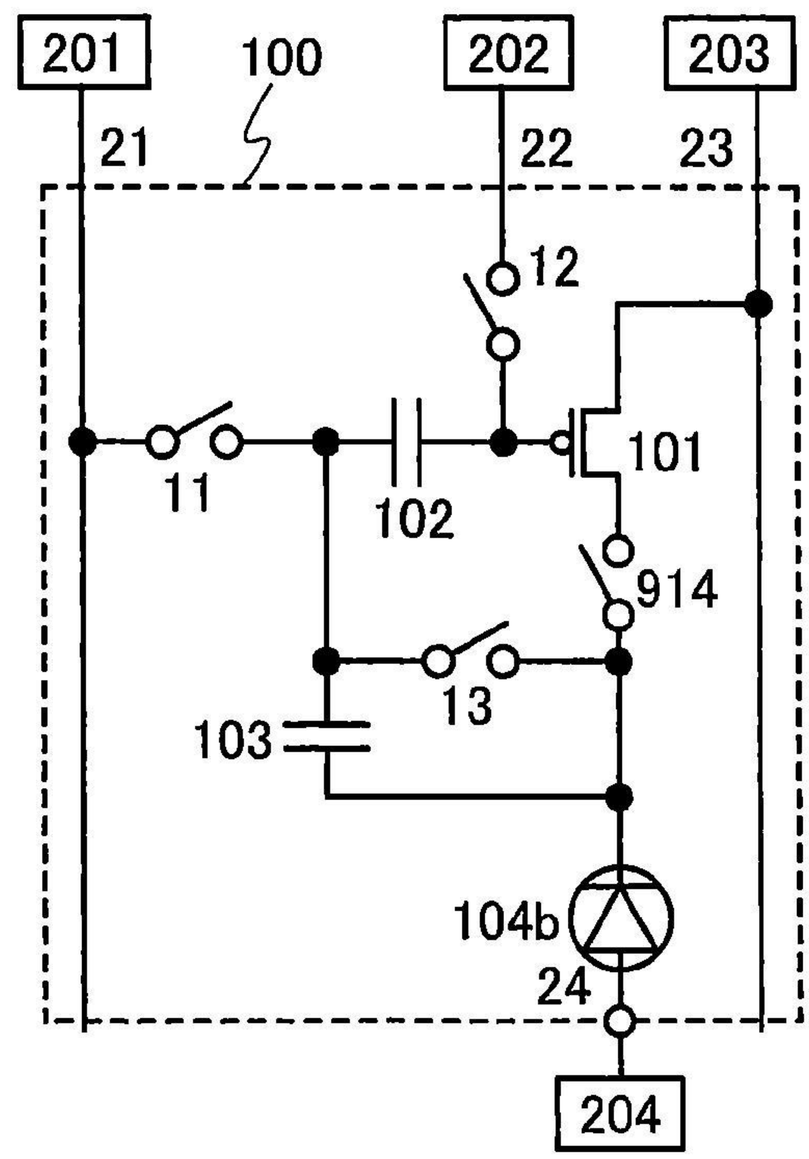


圖28A

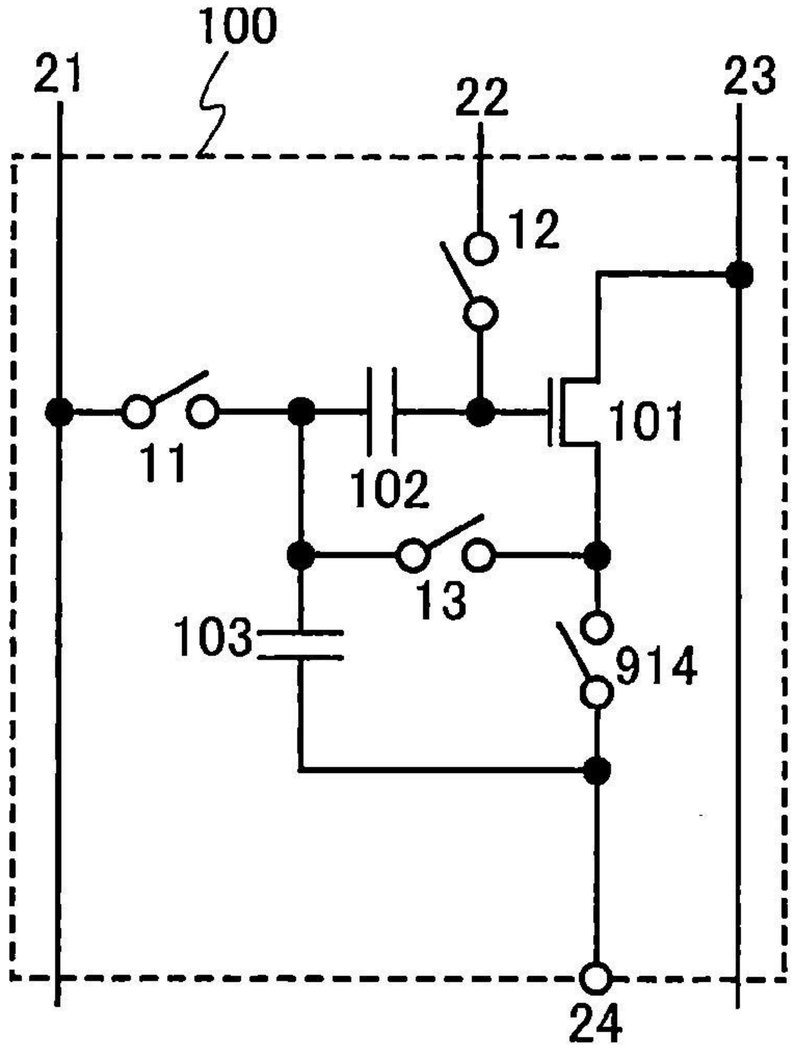


圖28B

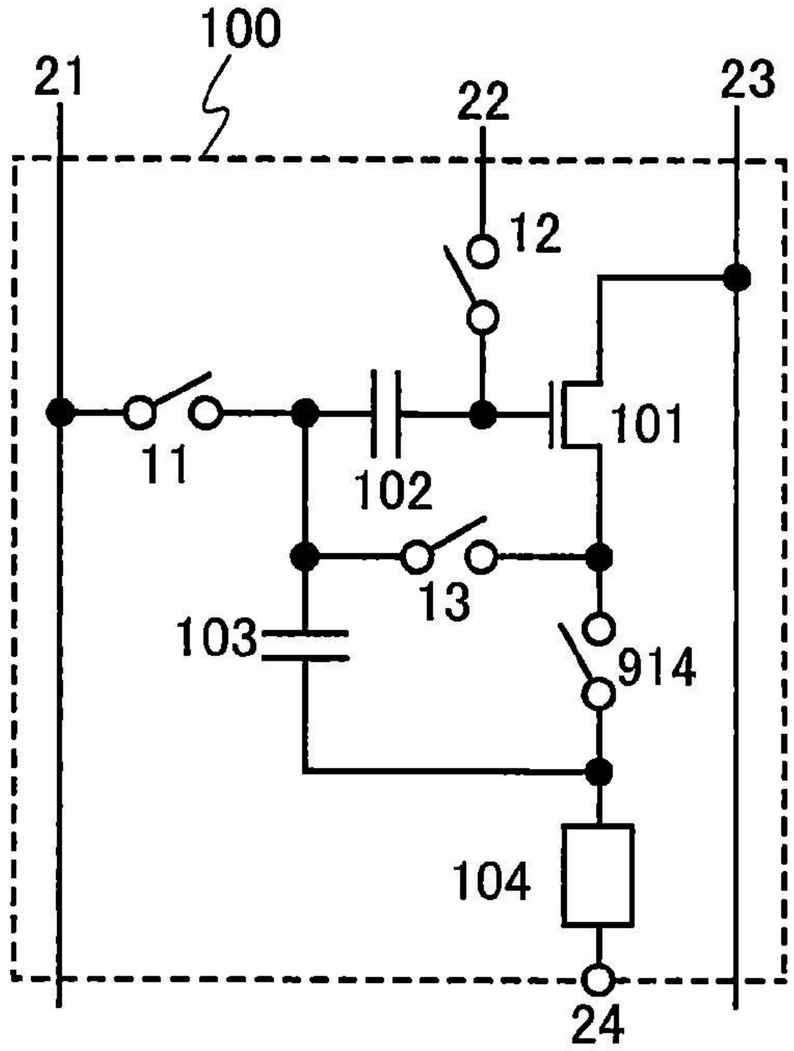


圖28C

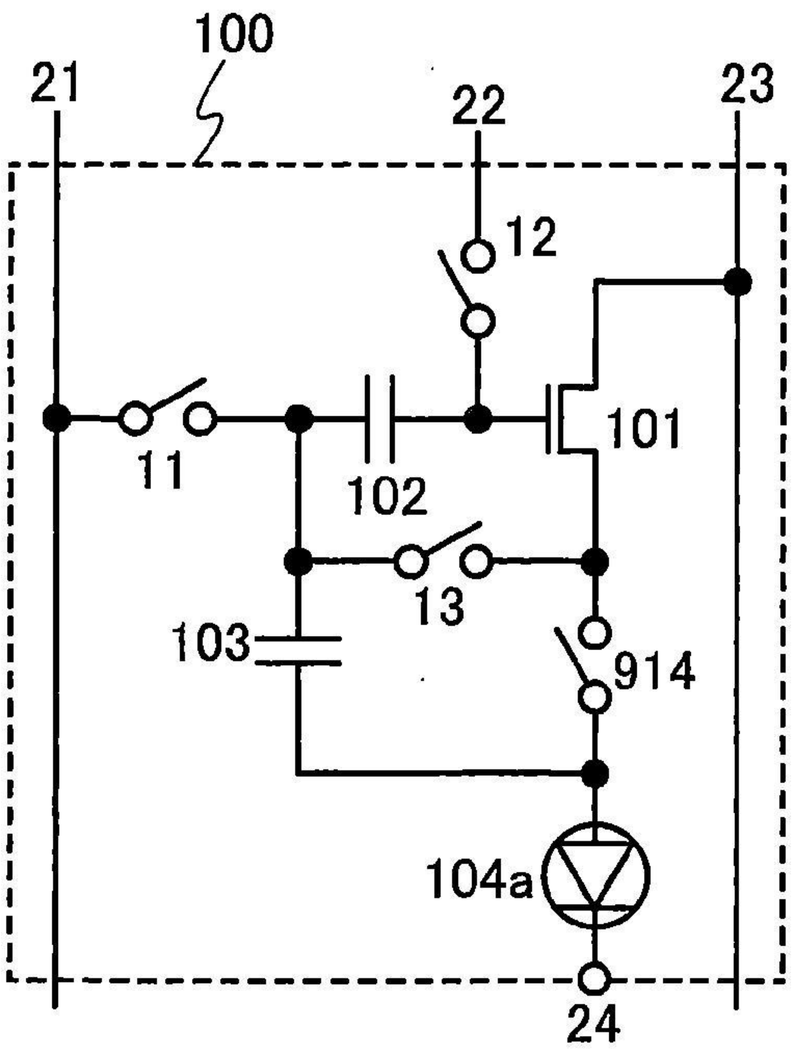


圖28D

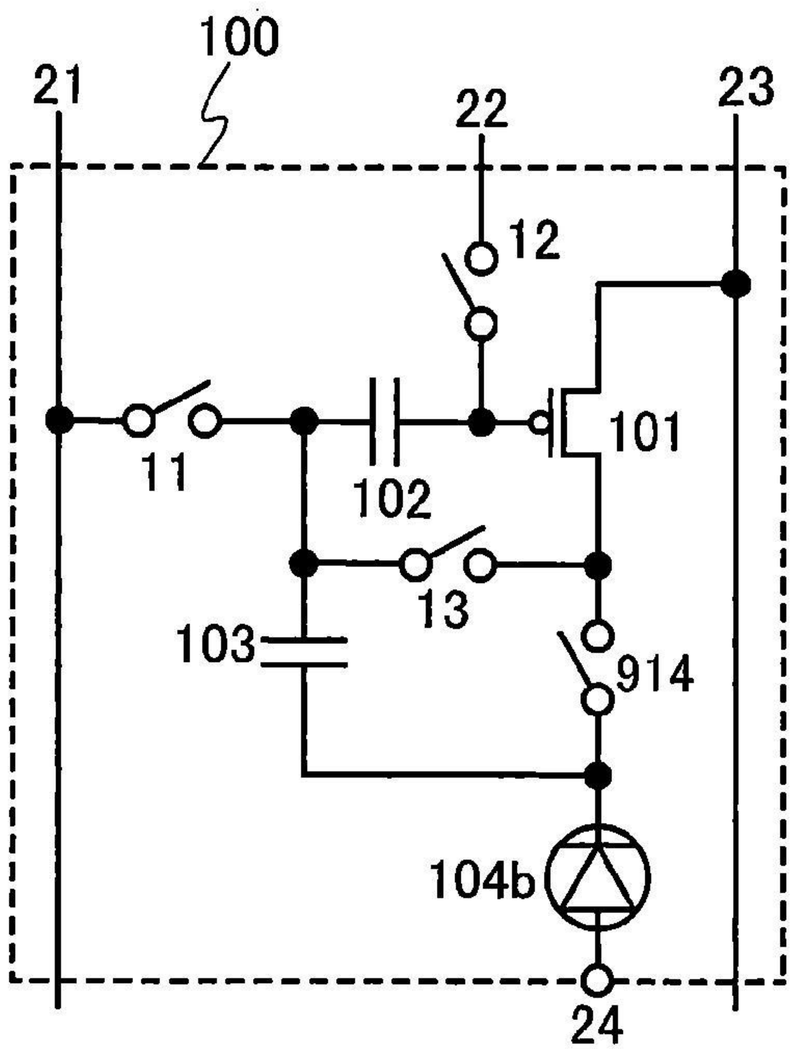


圖29A

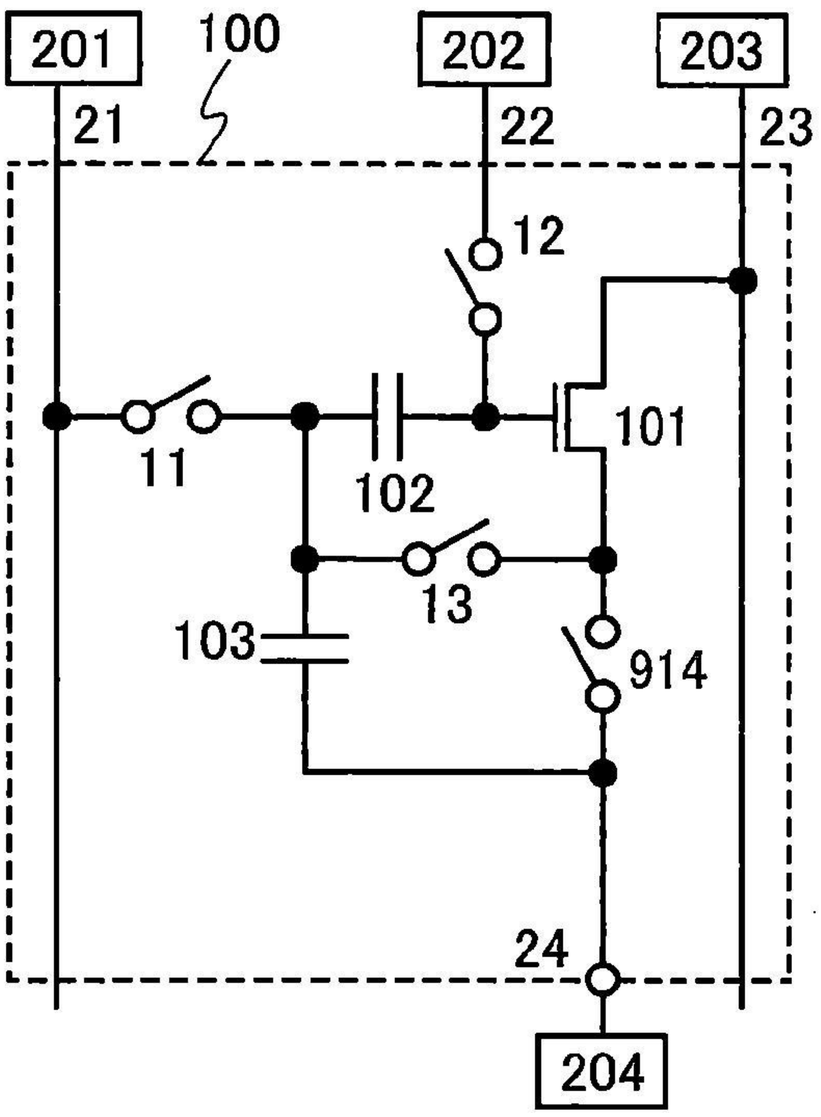


圖29B

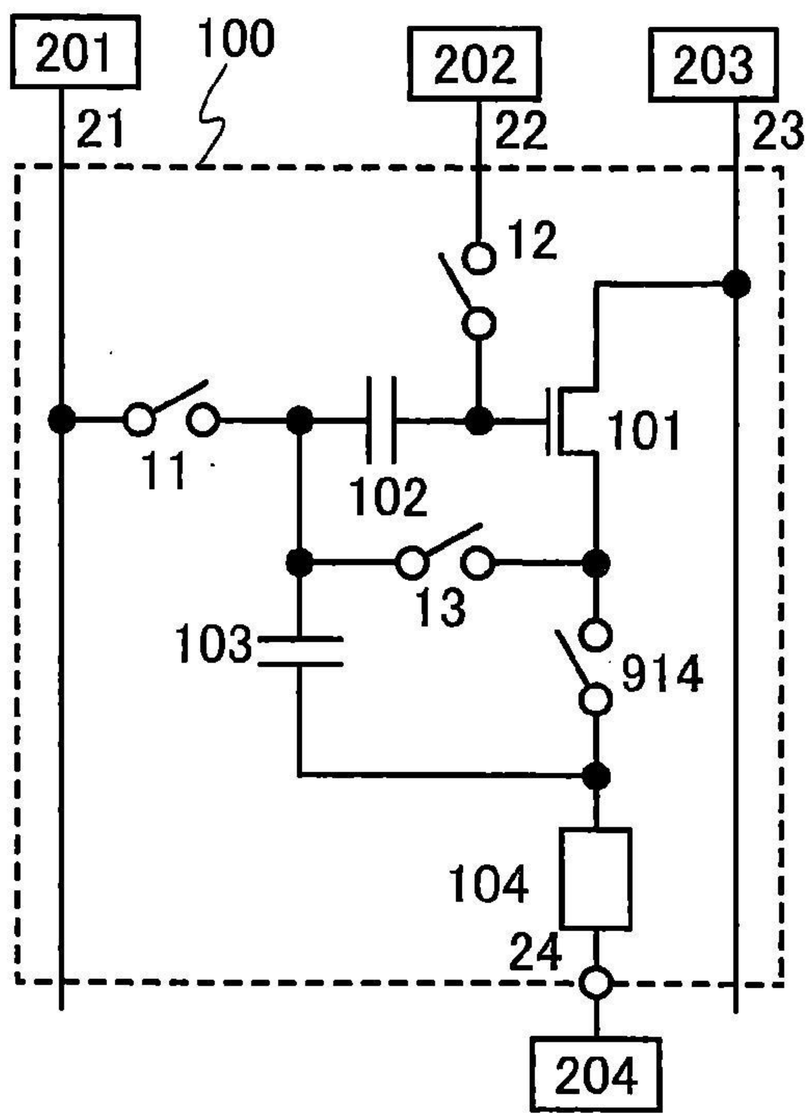


圖29C

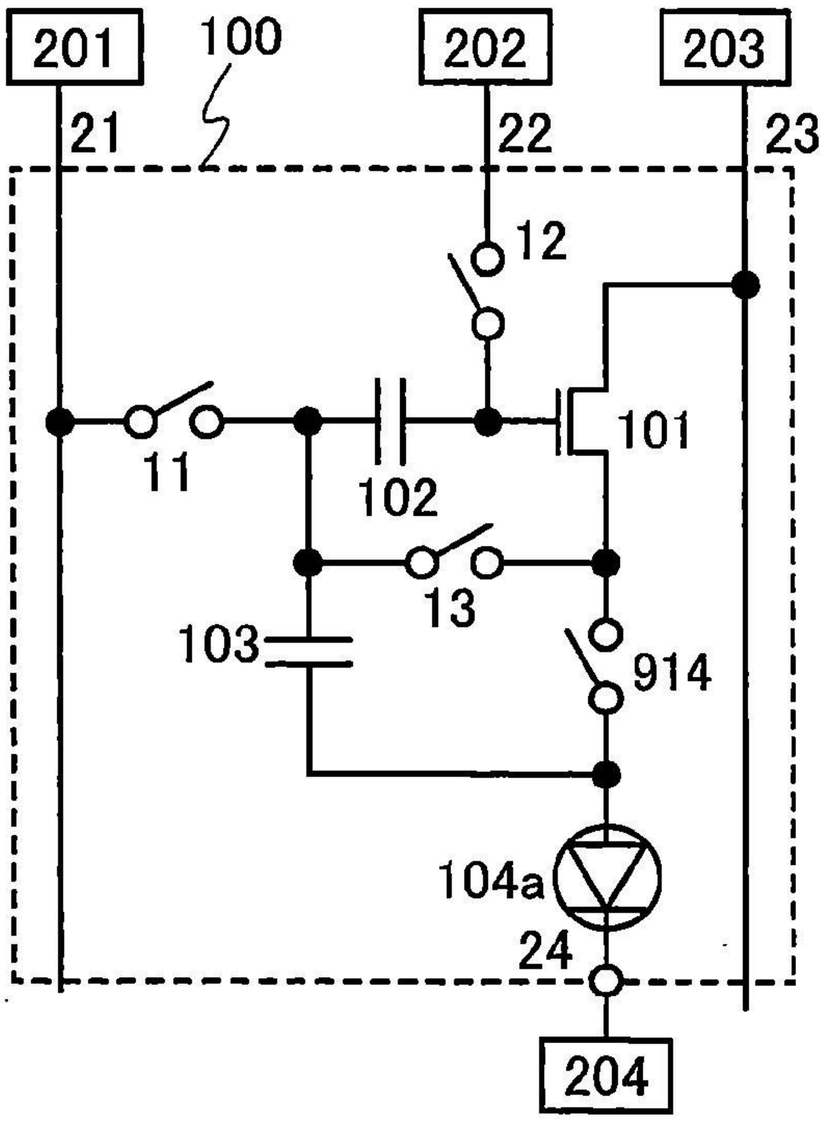


圖29D

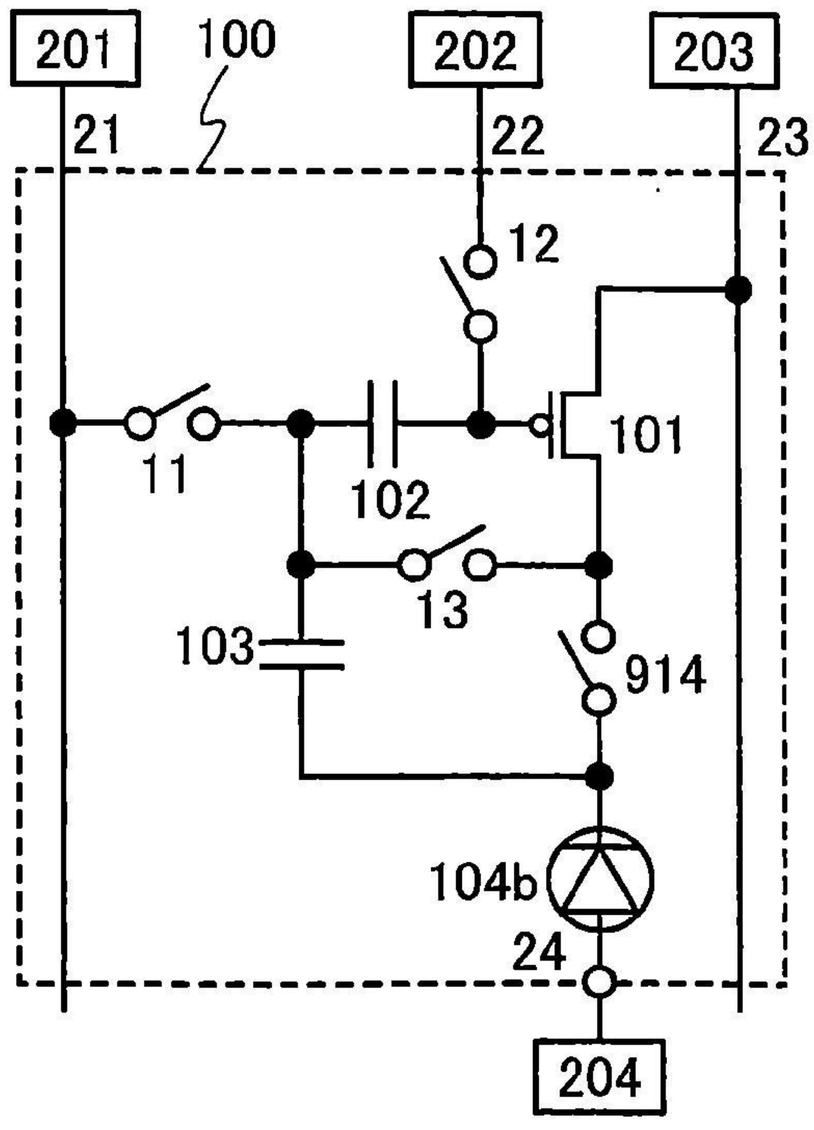


圖30A

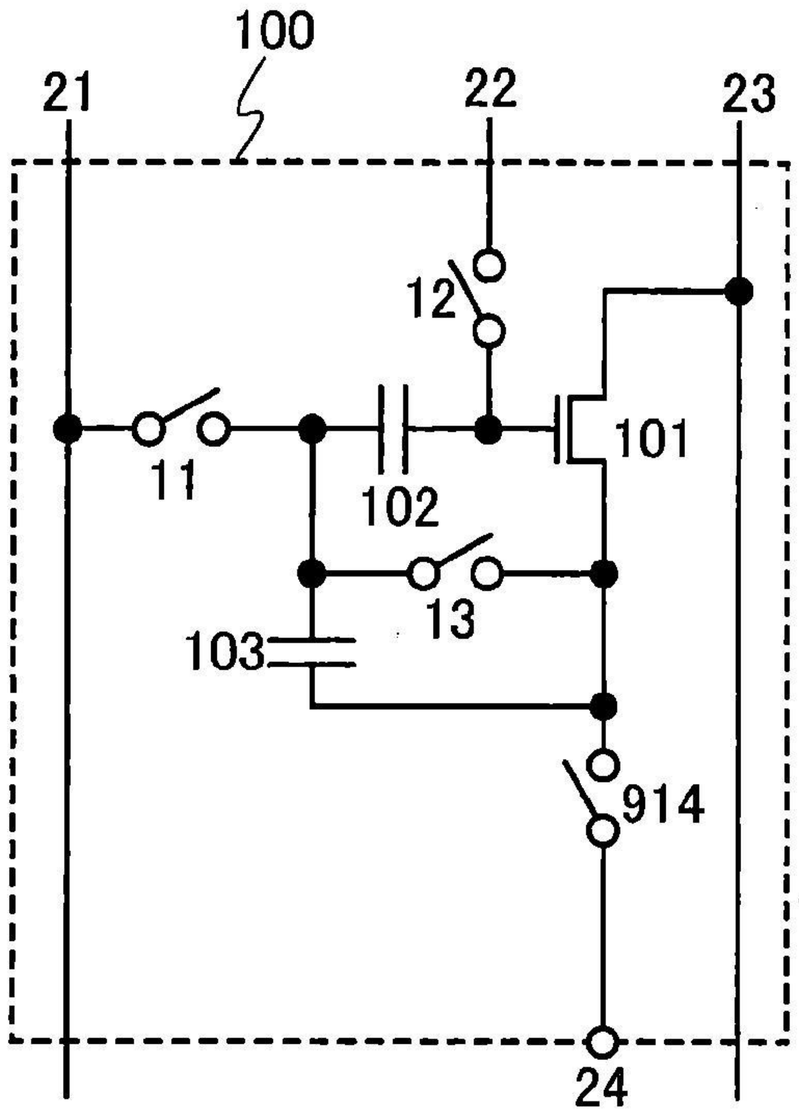


圖30B

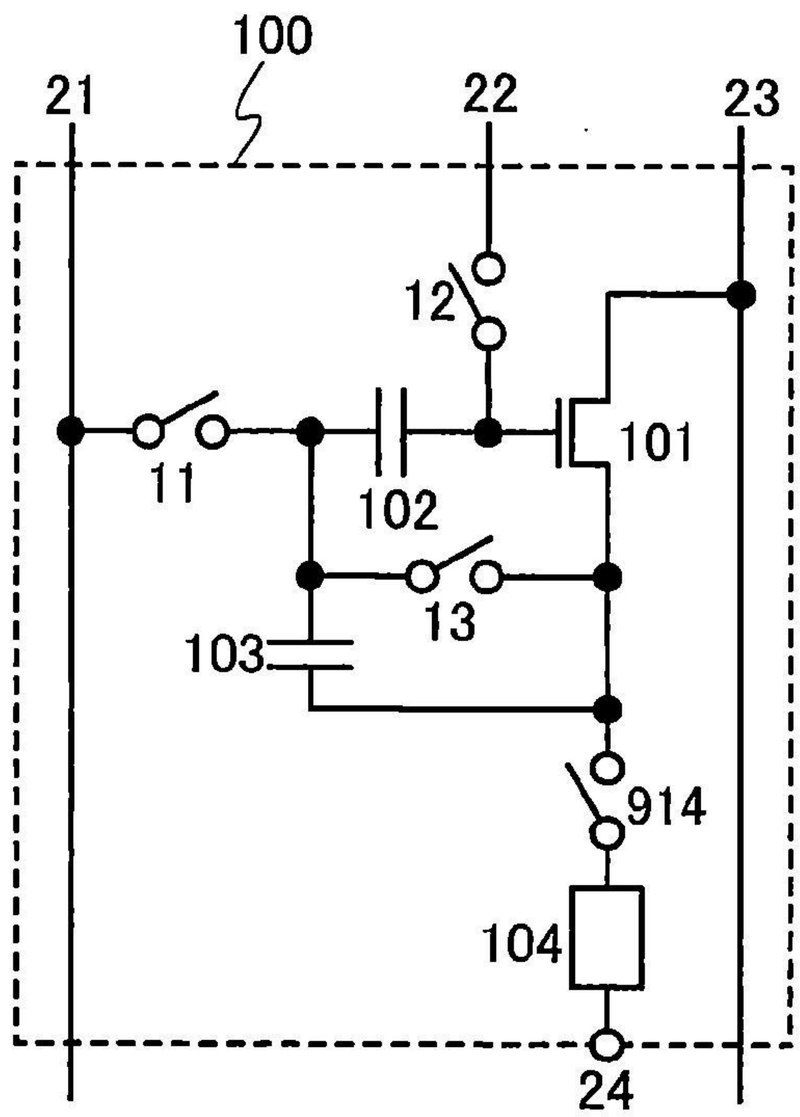


圖30C

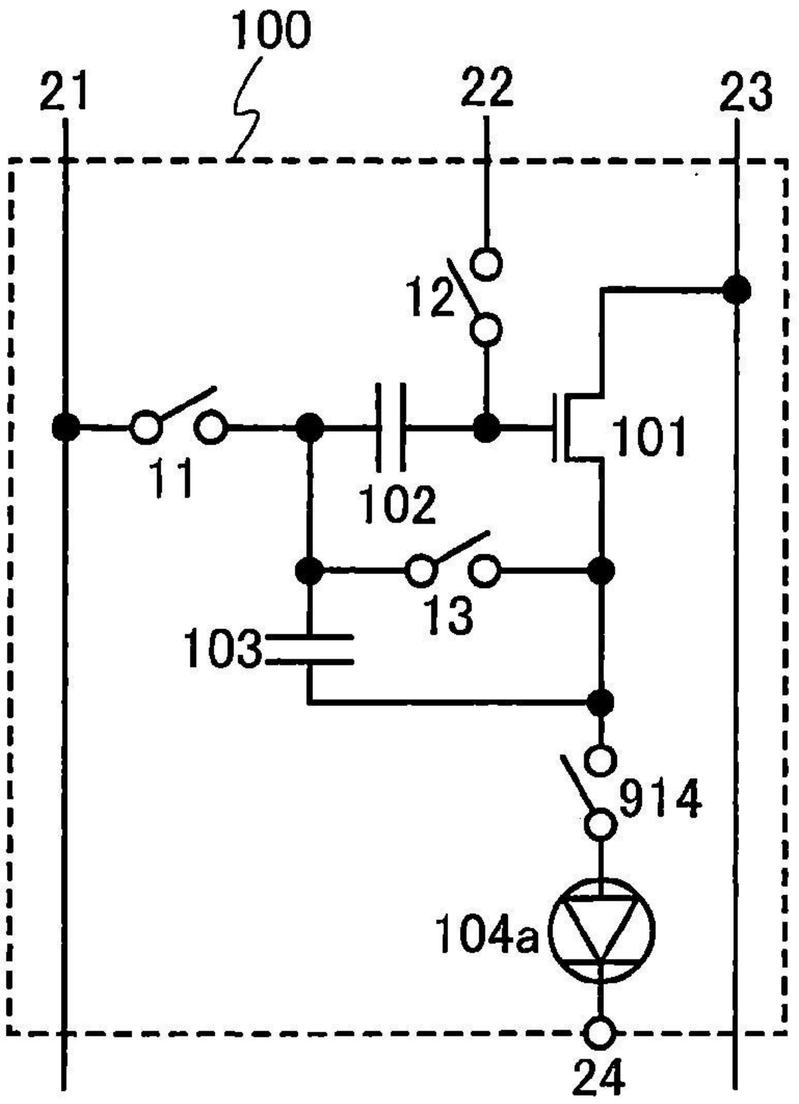


圖30D

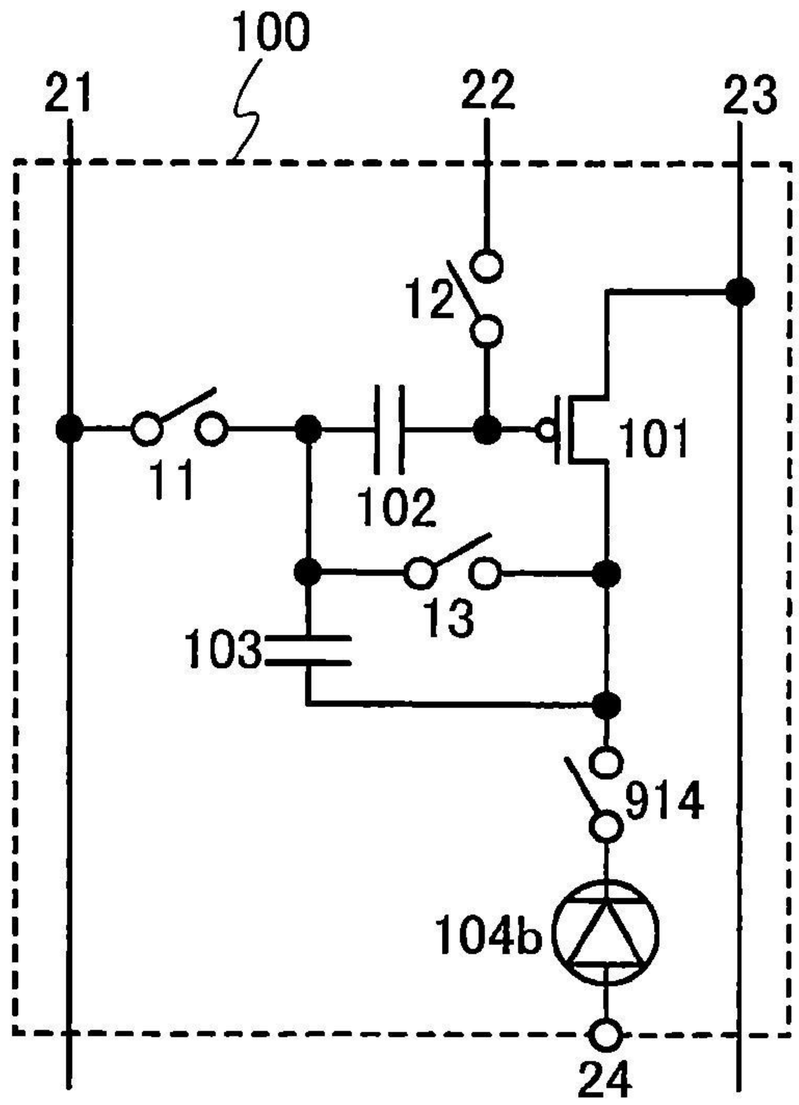


圖31A

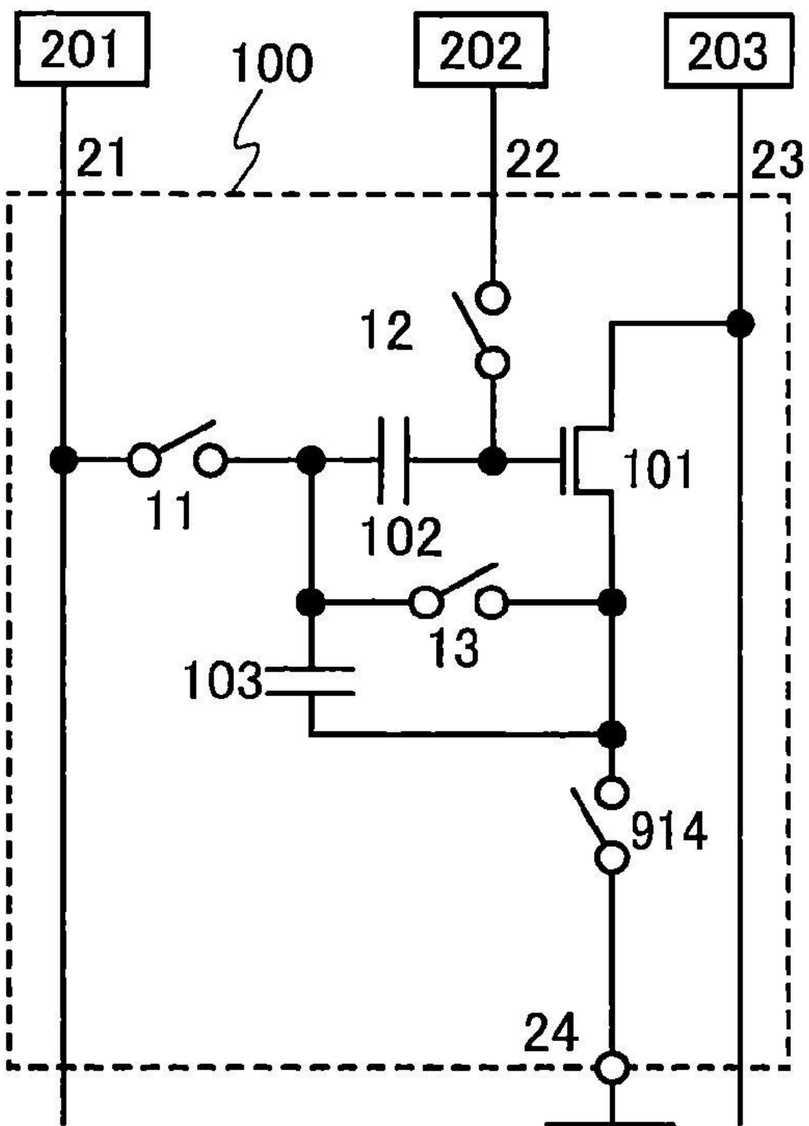


圖31B

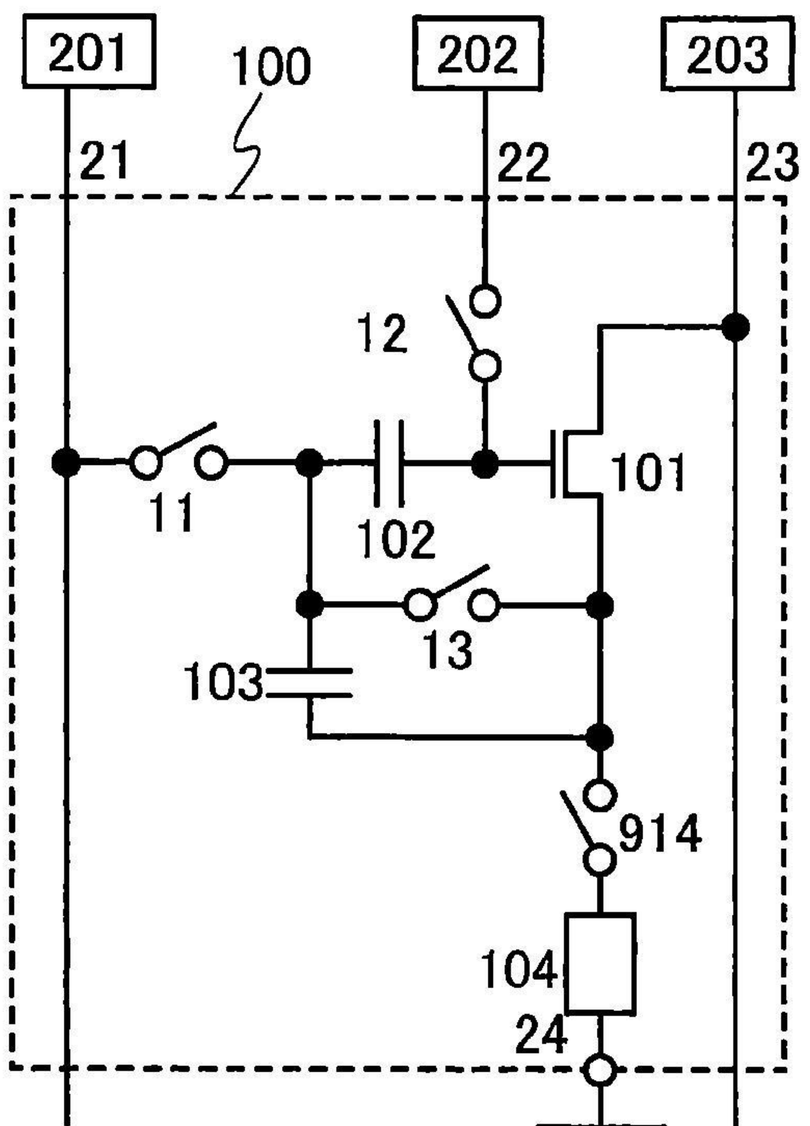


圖31C

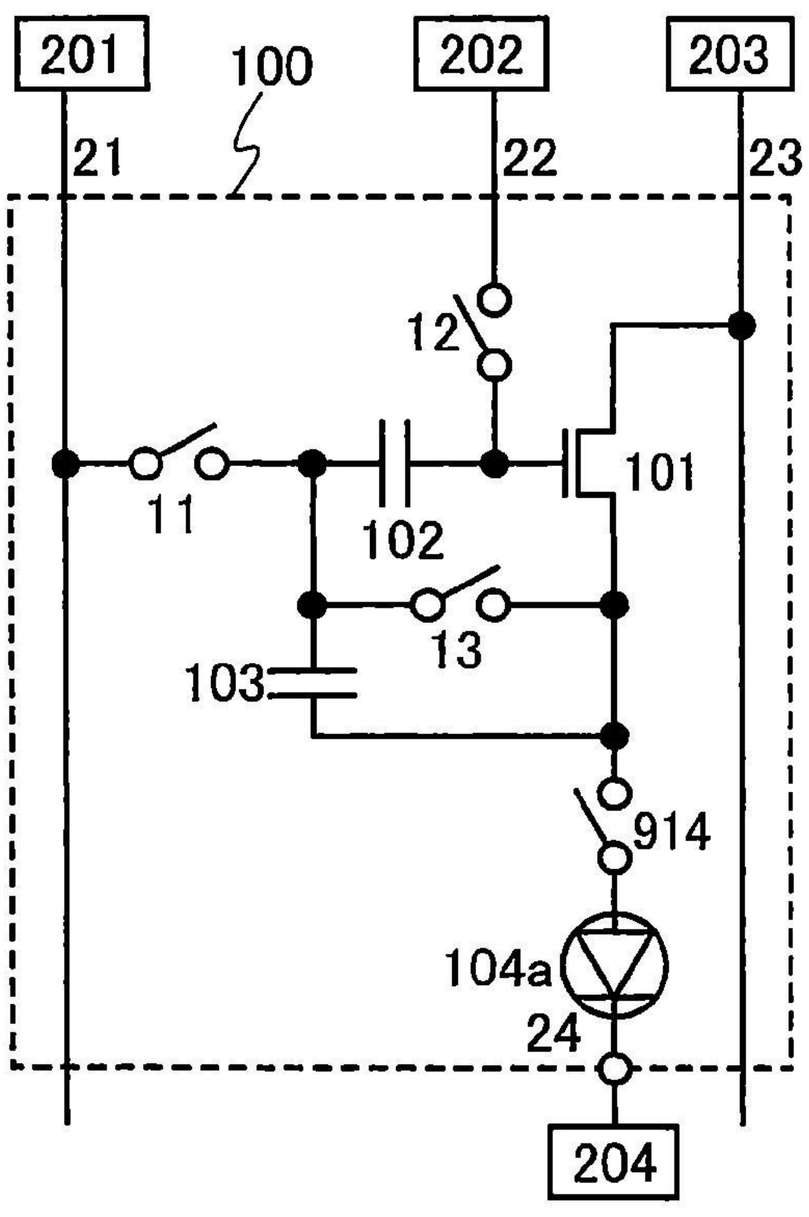


圖31D

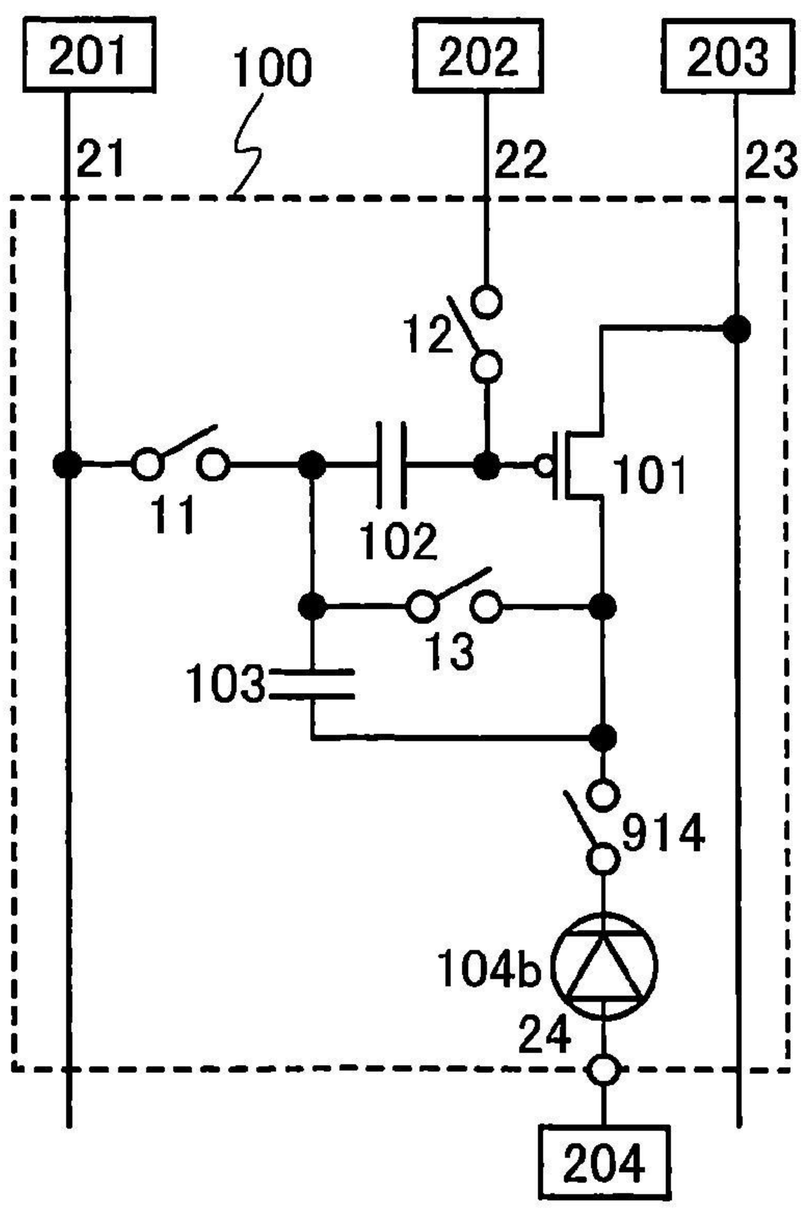


圖32A

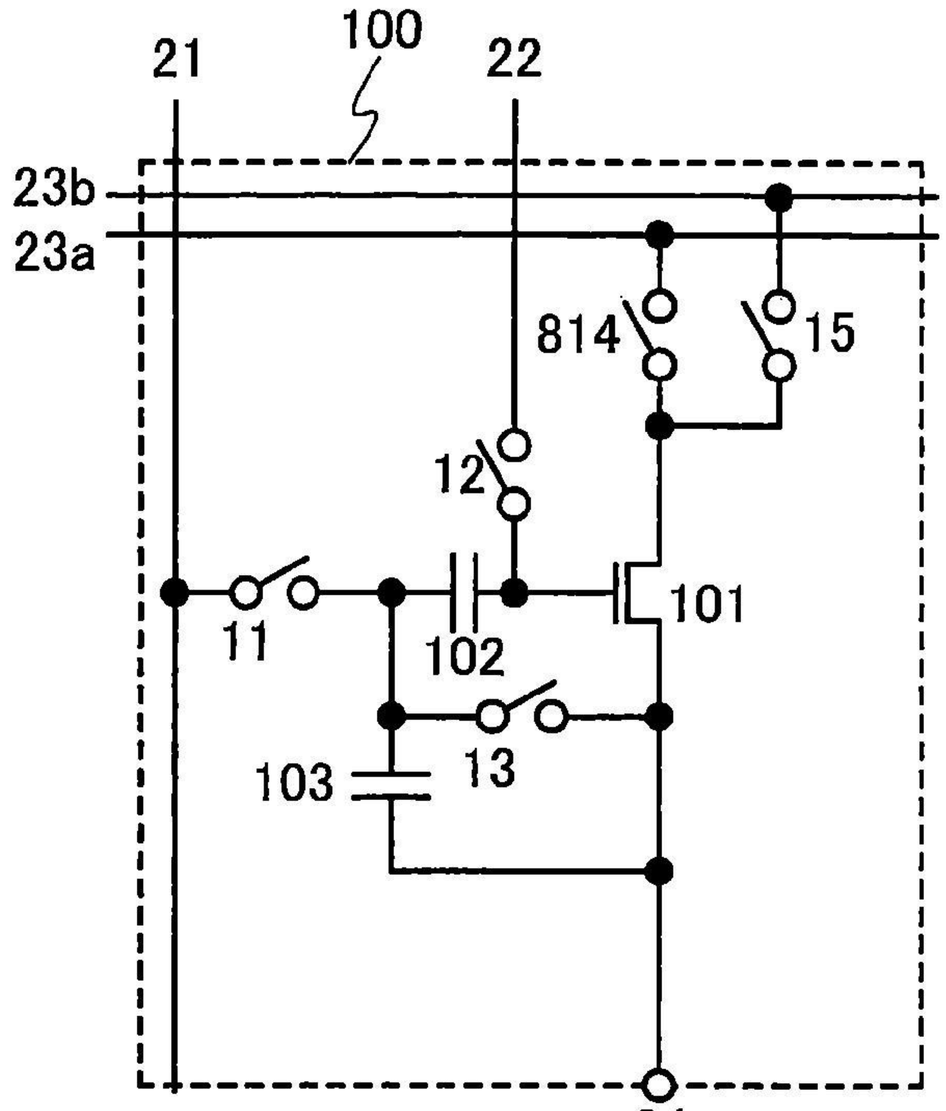


圖32B

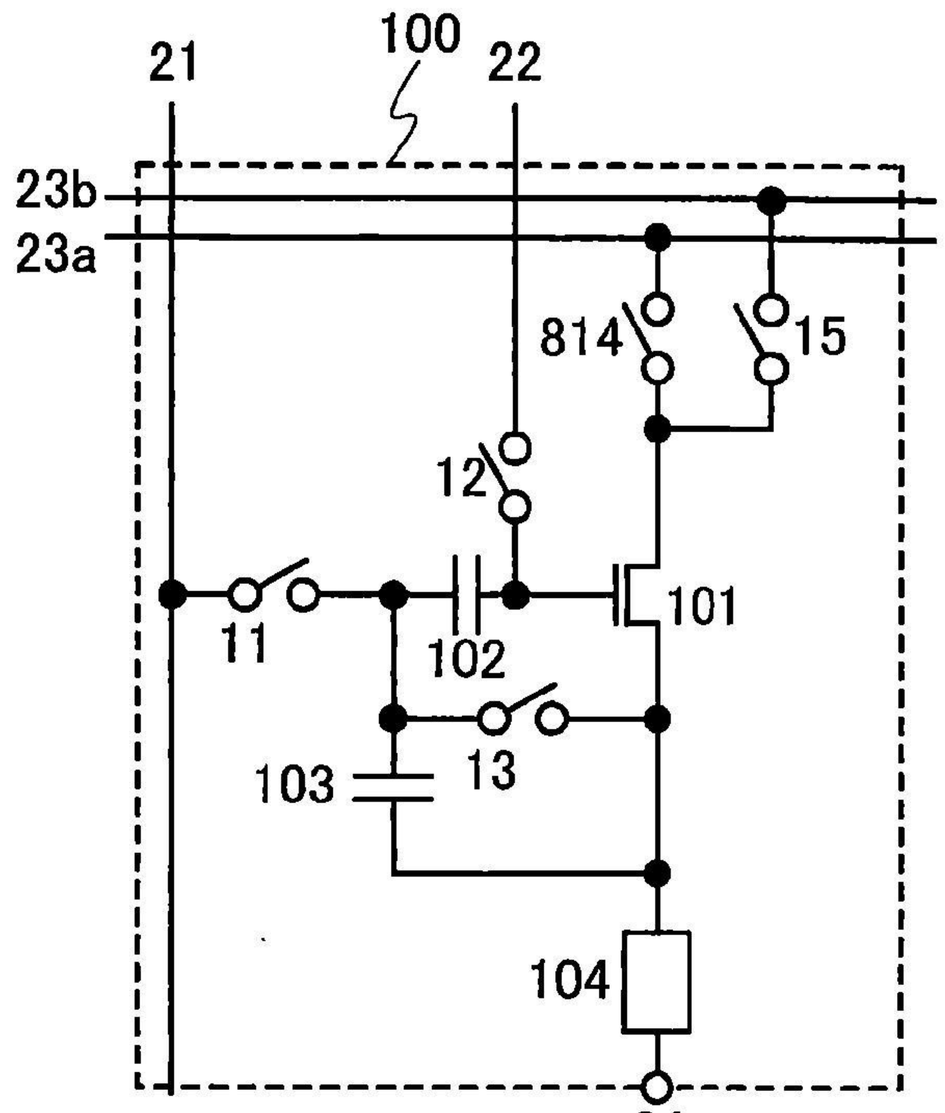


圖32C

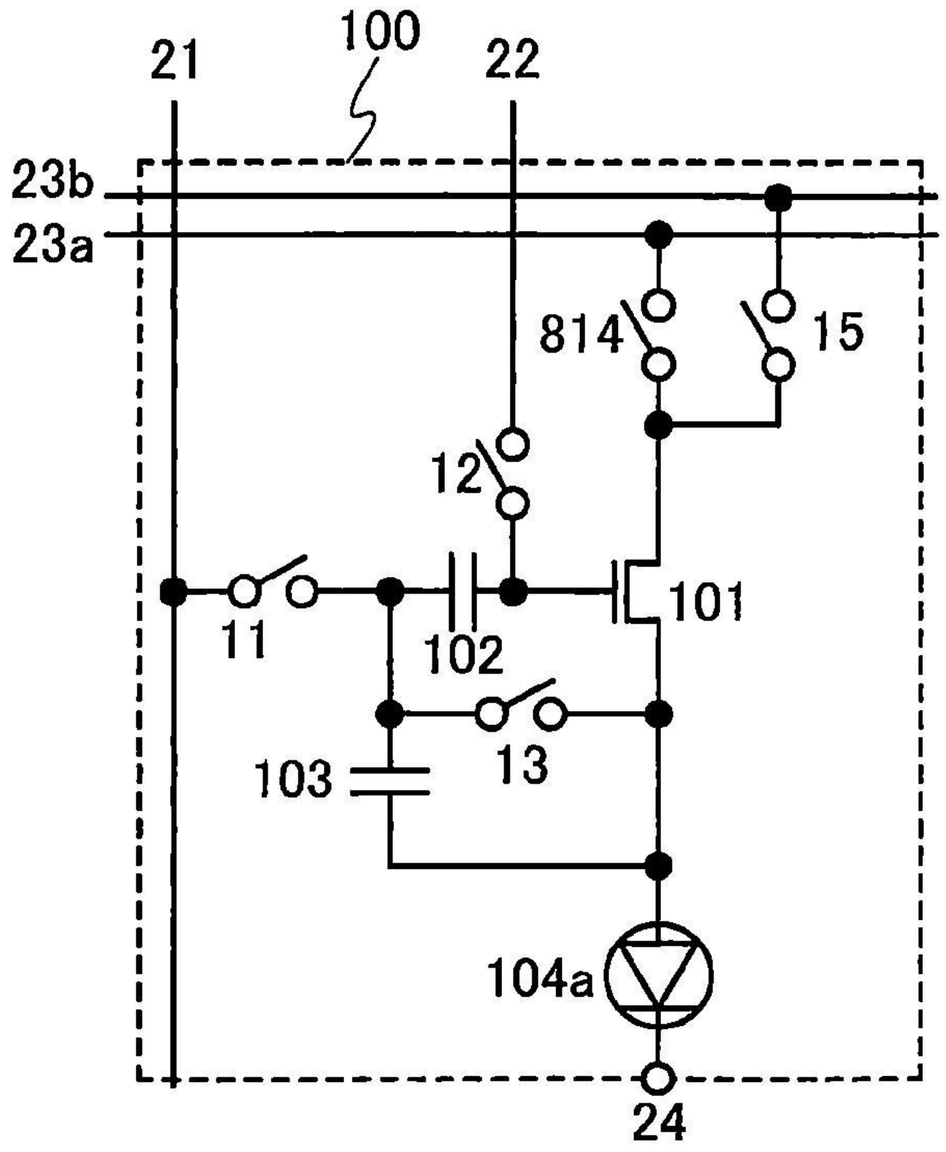


圖32D

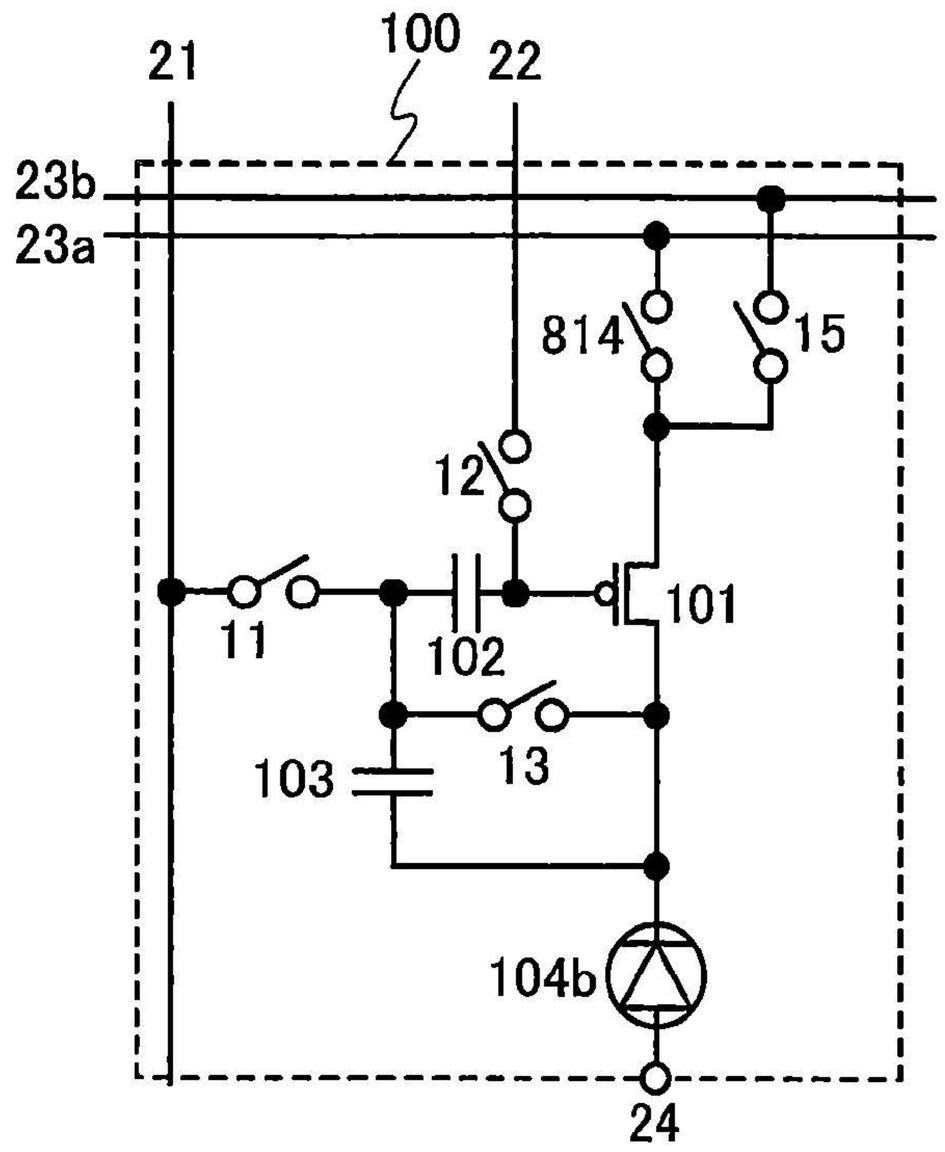


圖33A

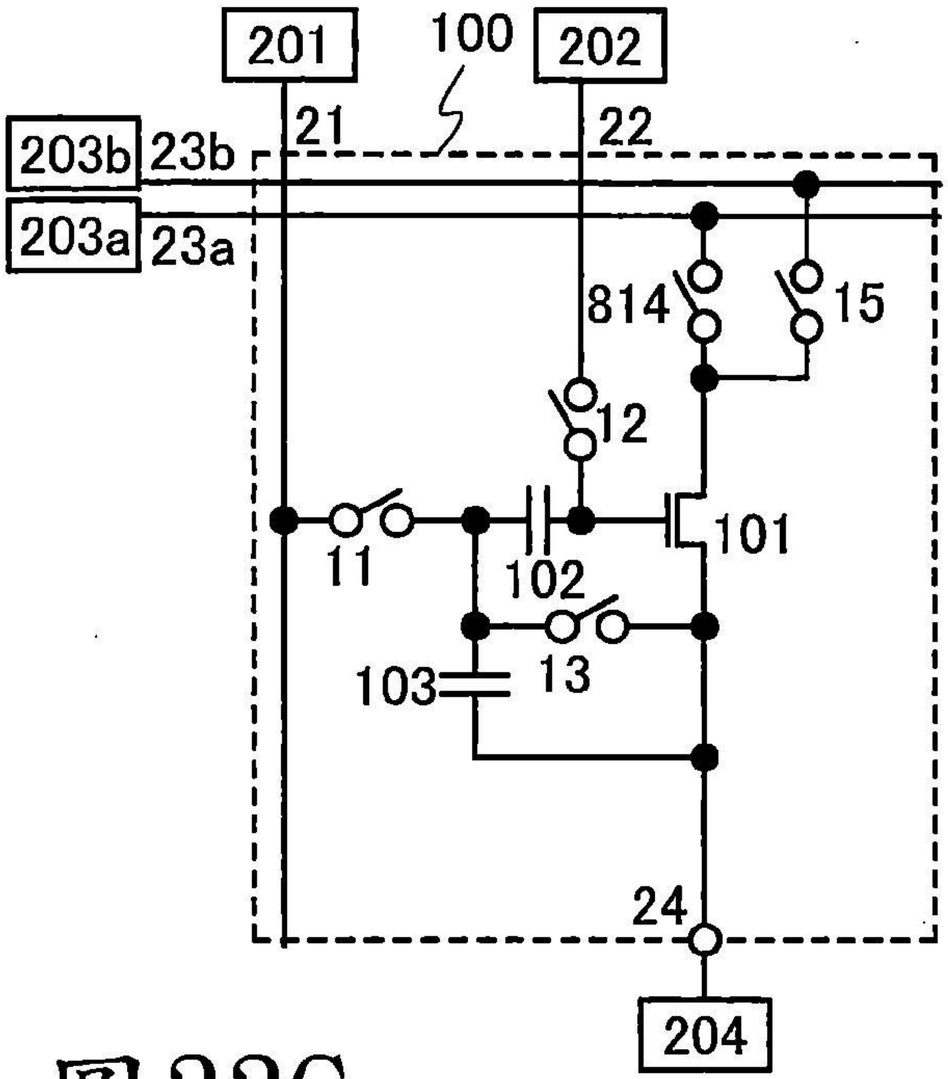


圖33B

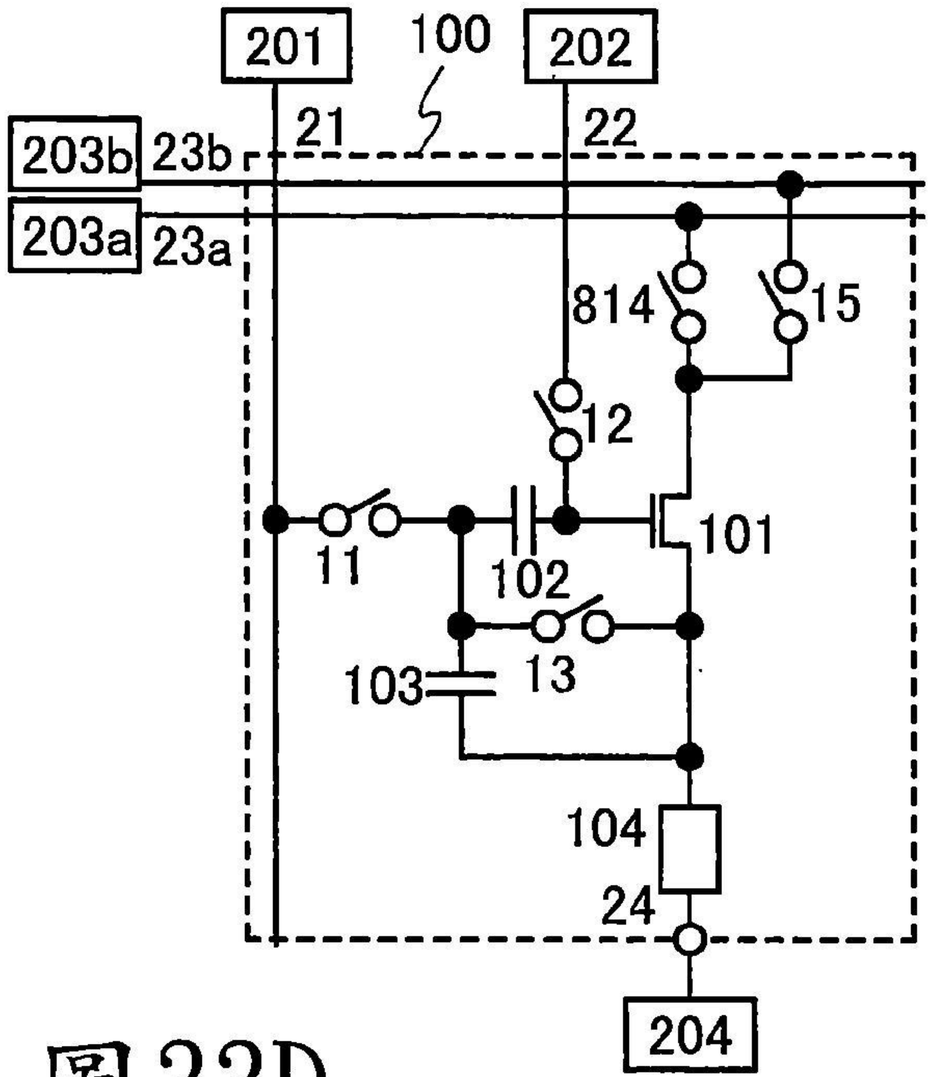


圖33C

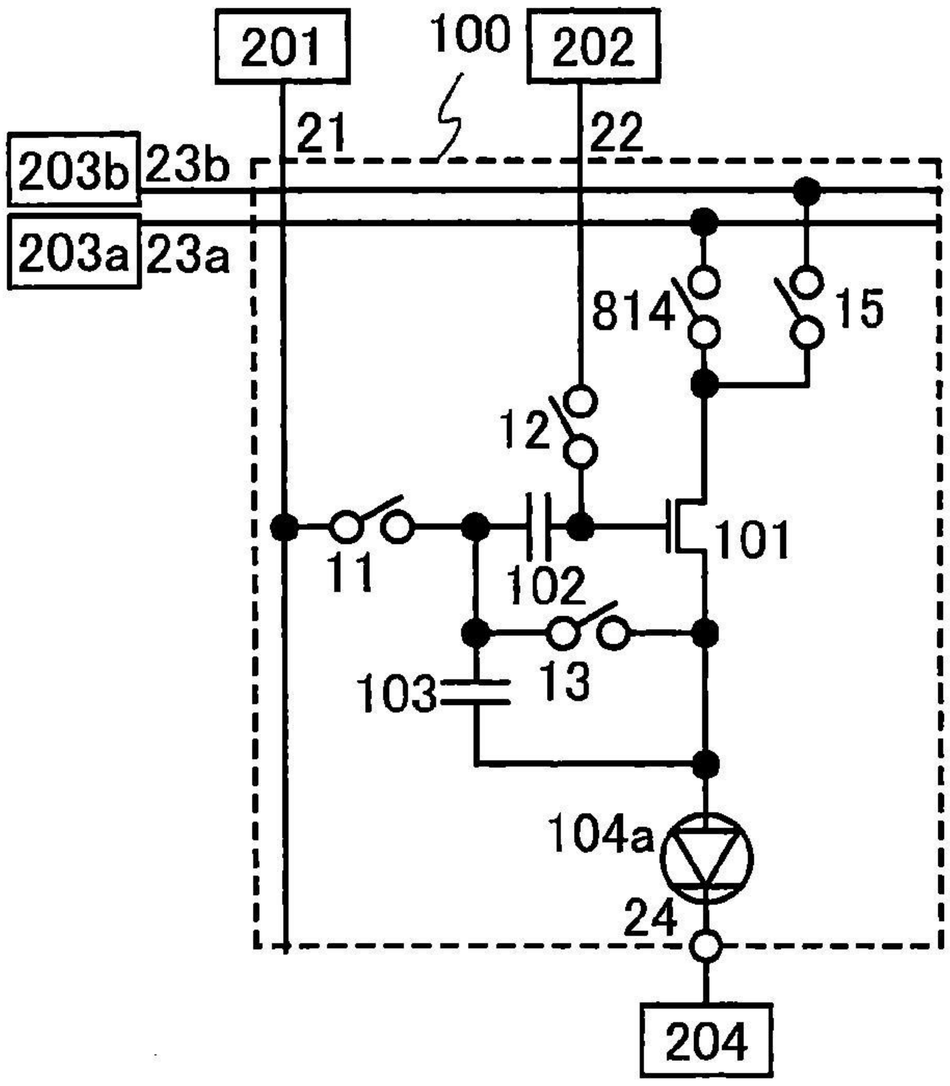


圖33D

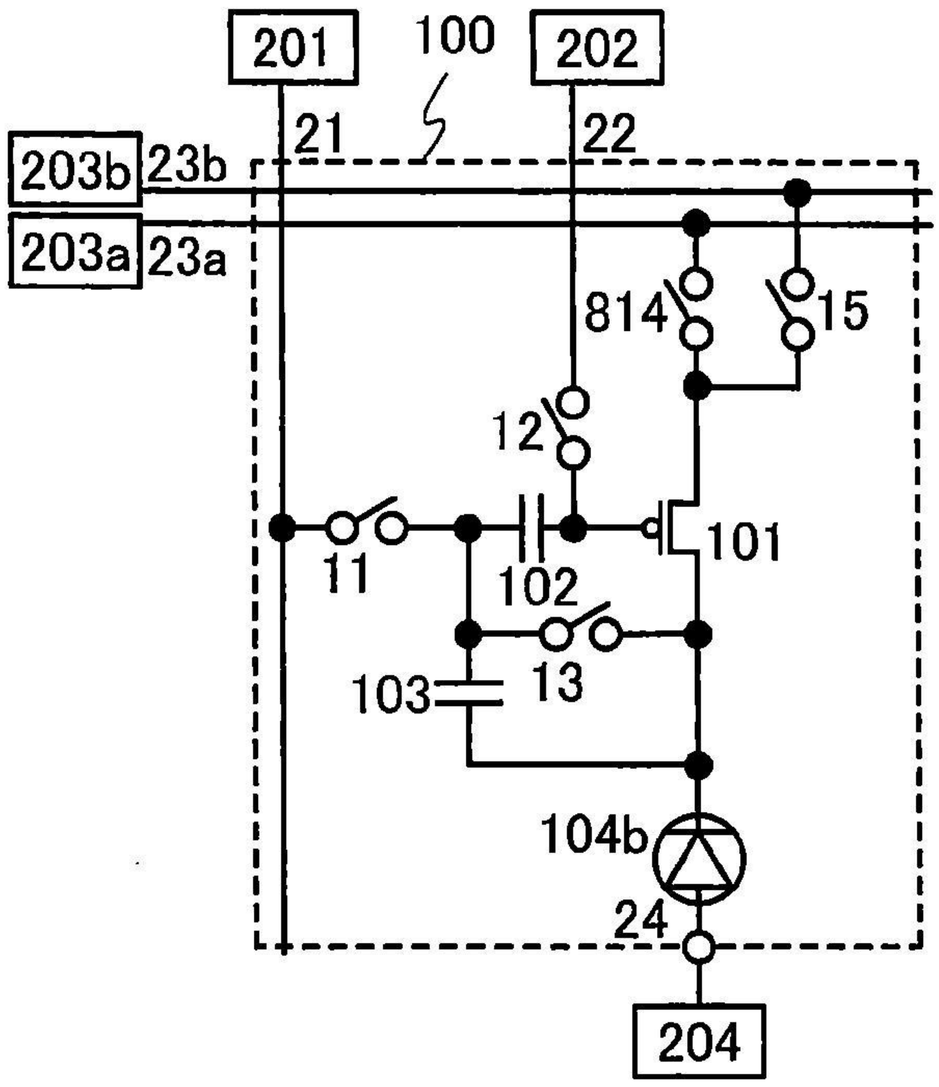


圖34A

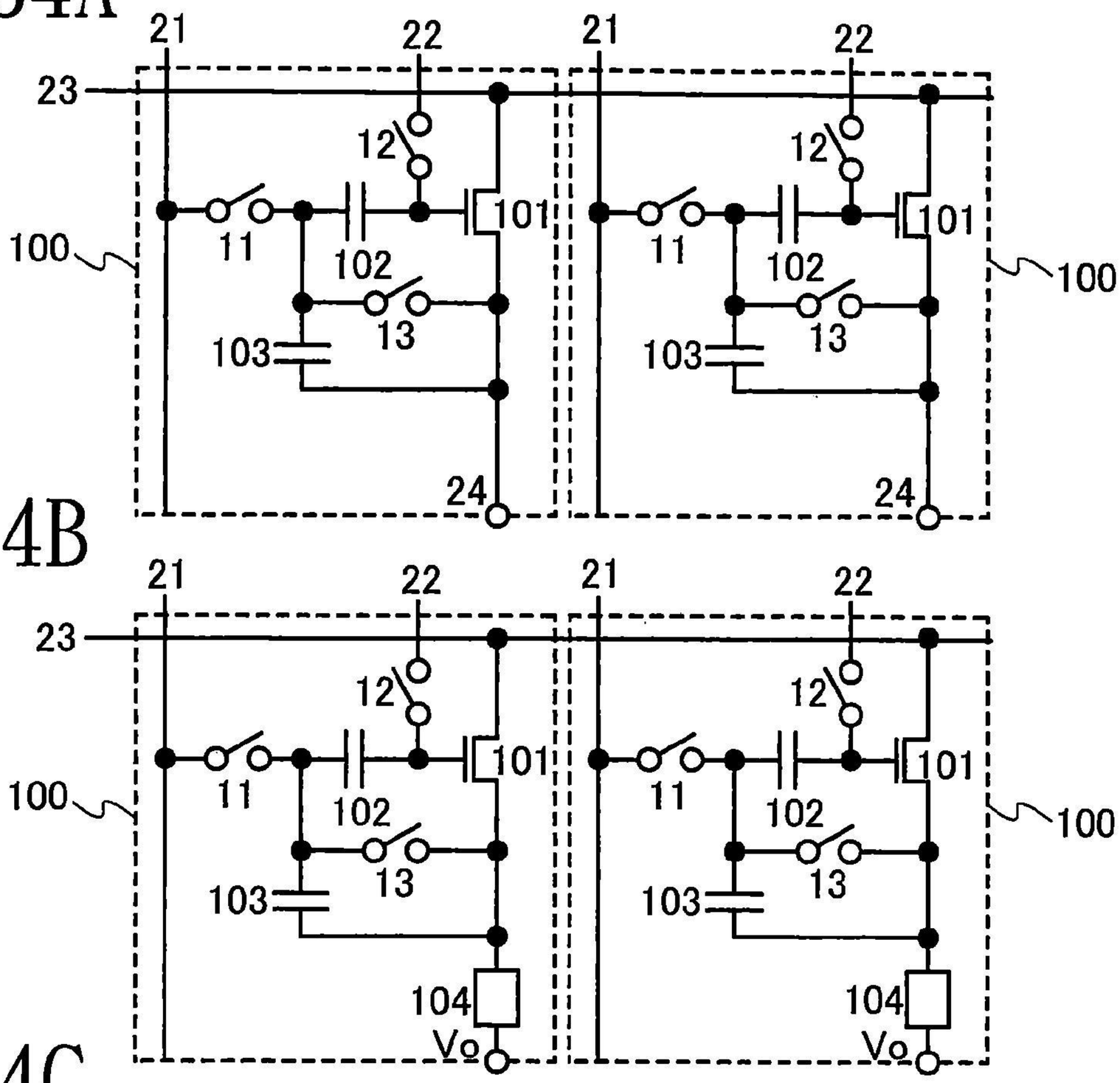


圖34B

圖34C

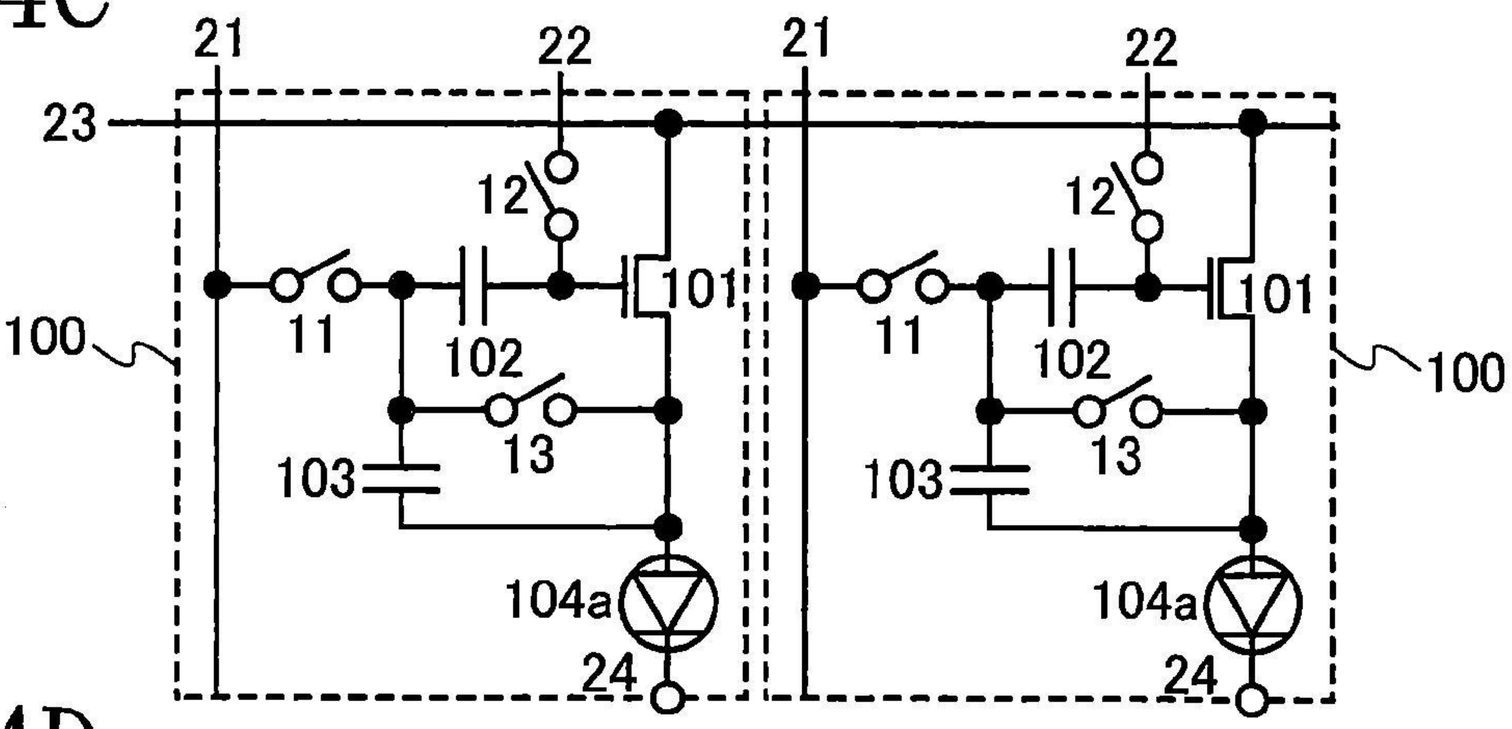


圖34D

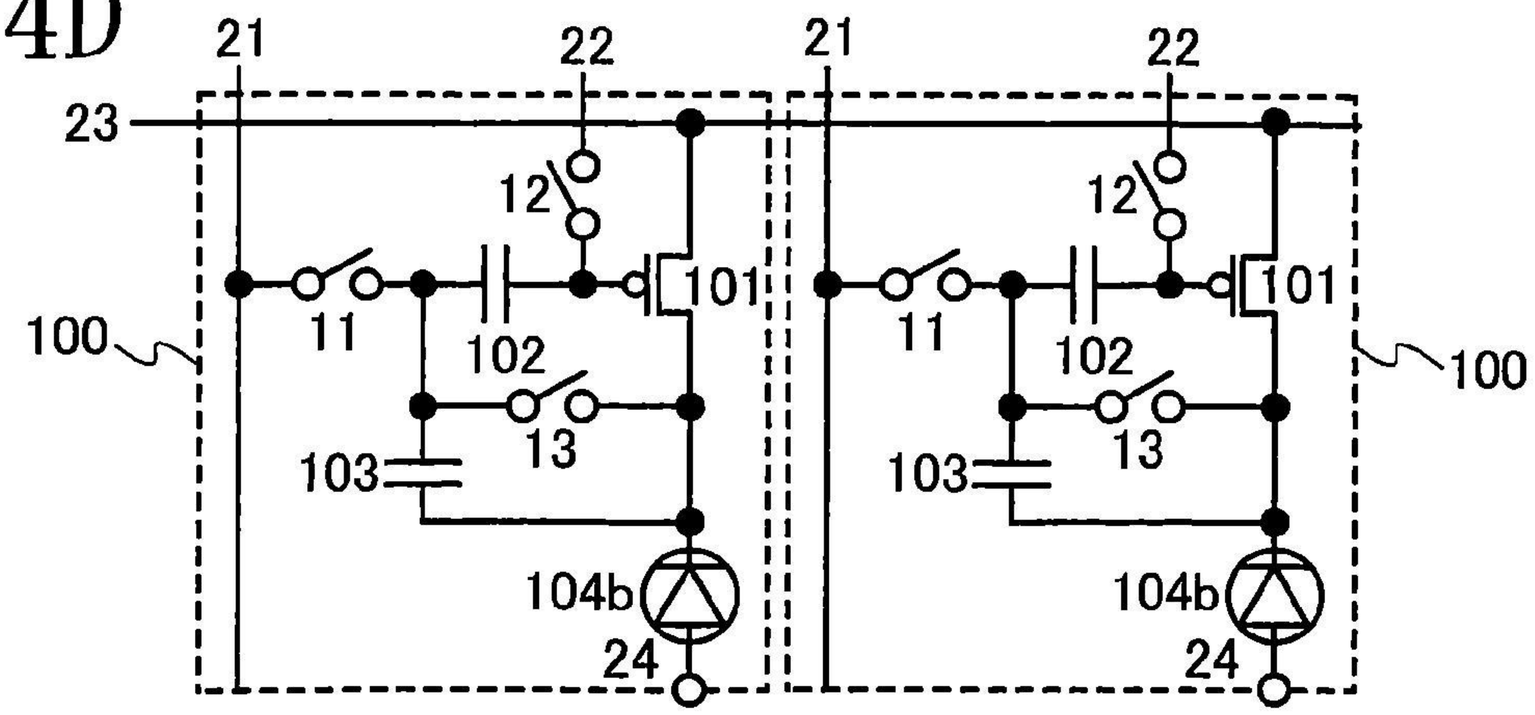


圖35A

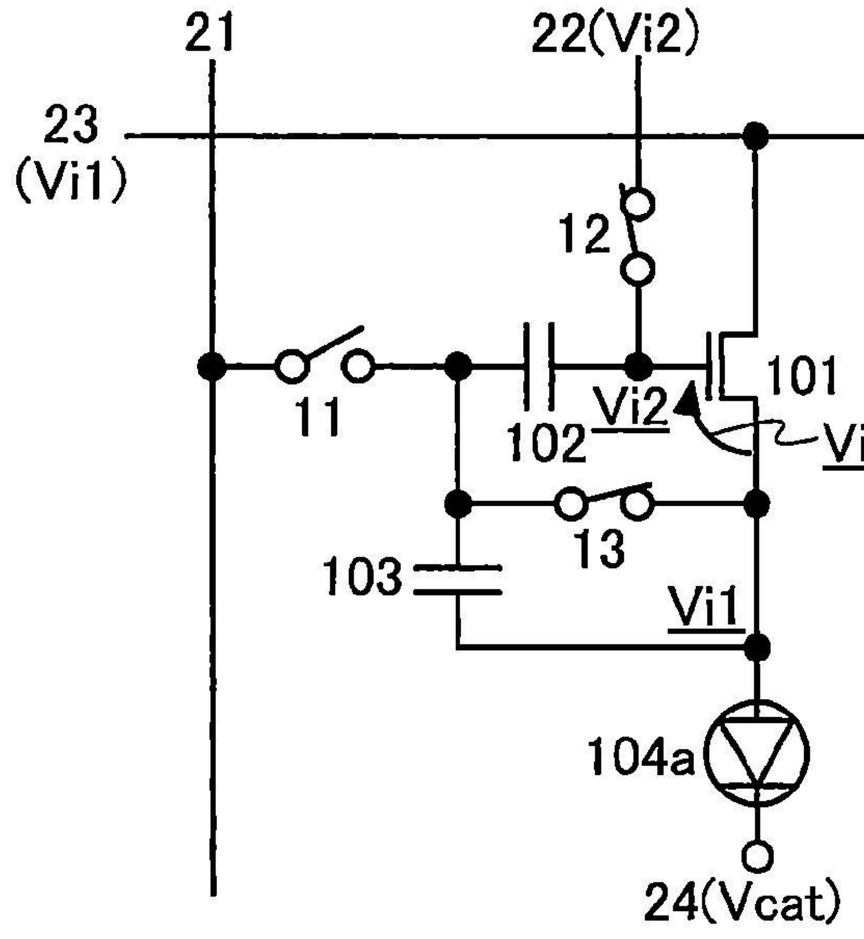


圖35B

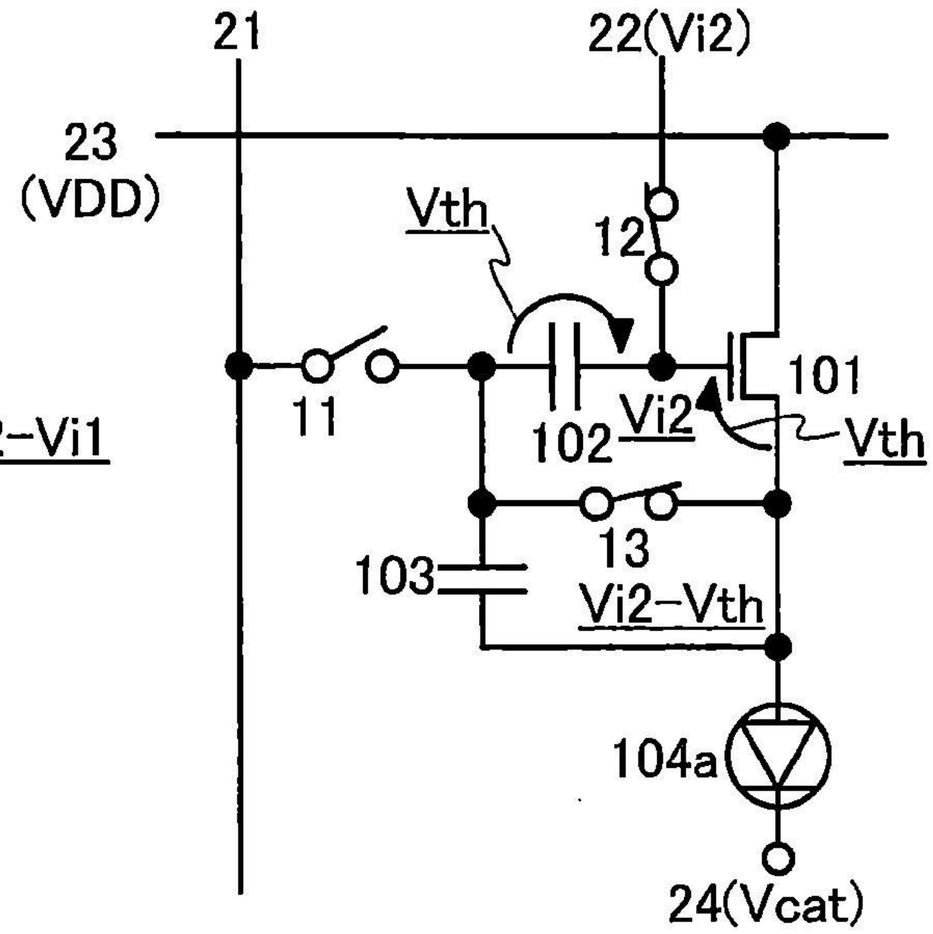


圖35C

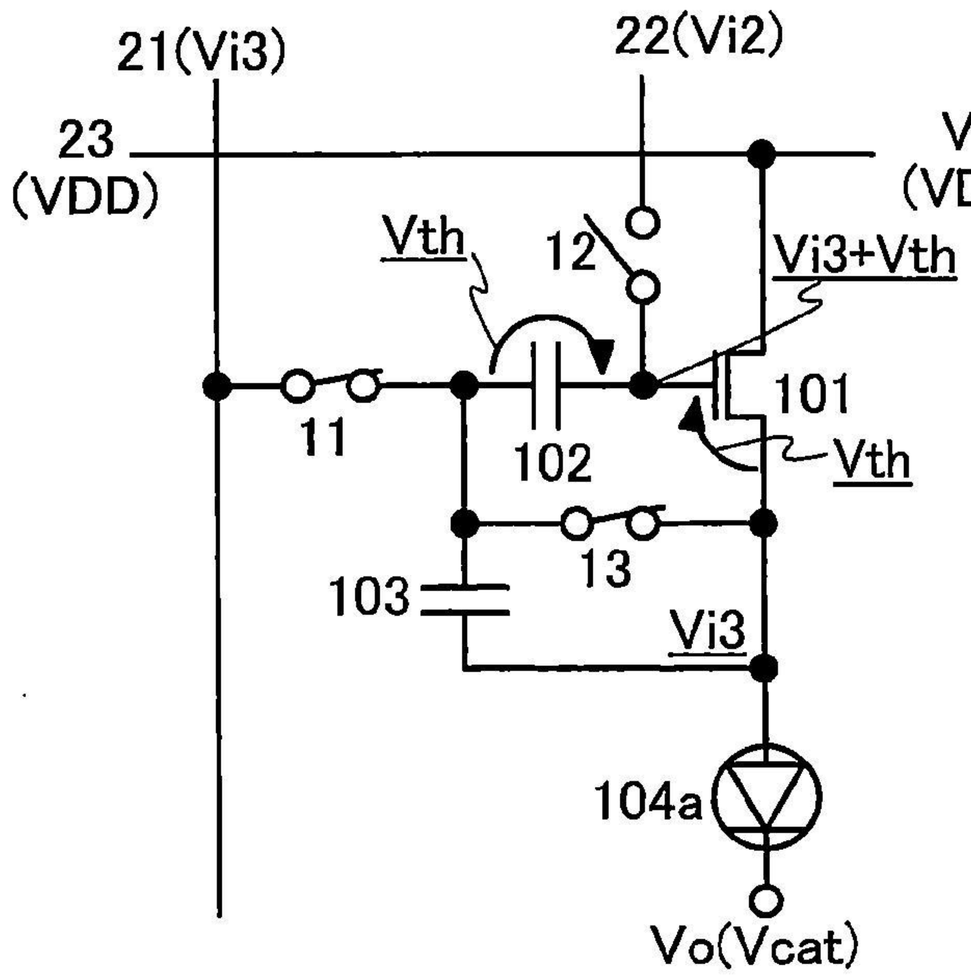


圖35D

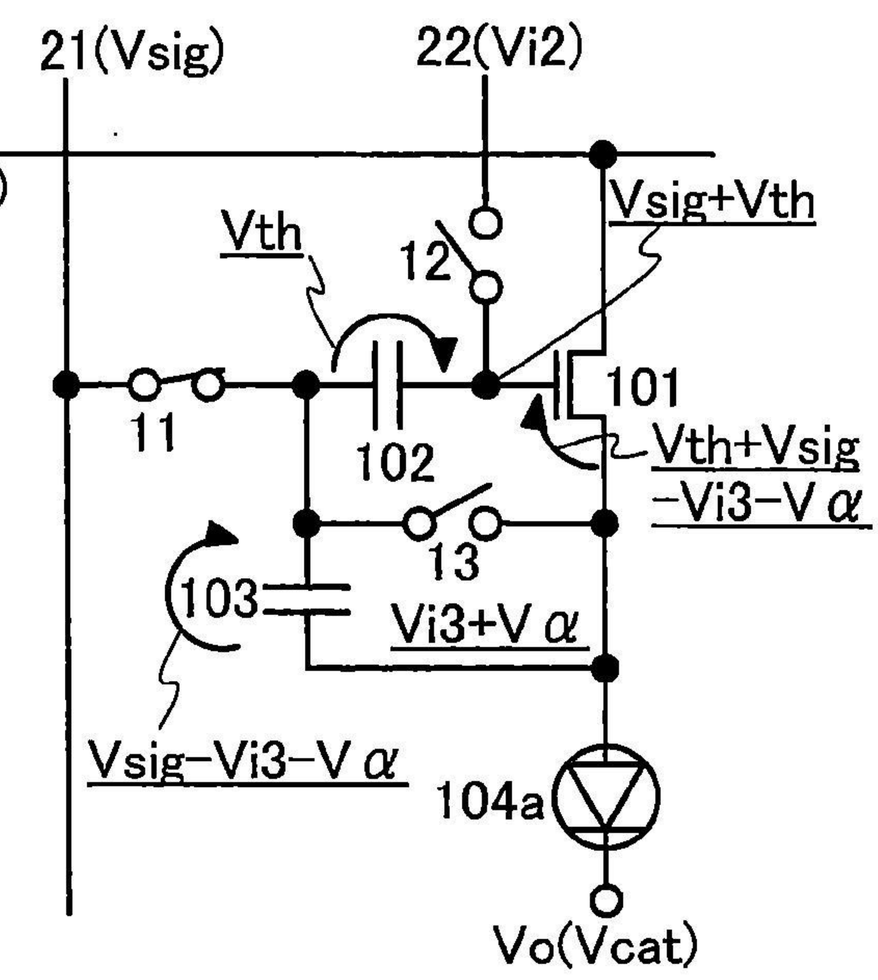


圖36

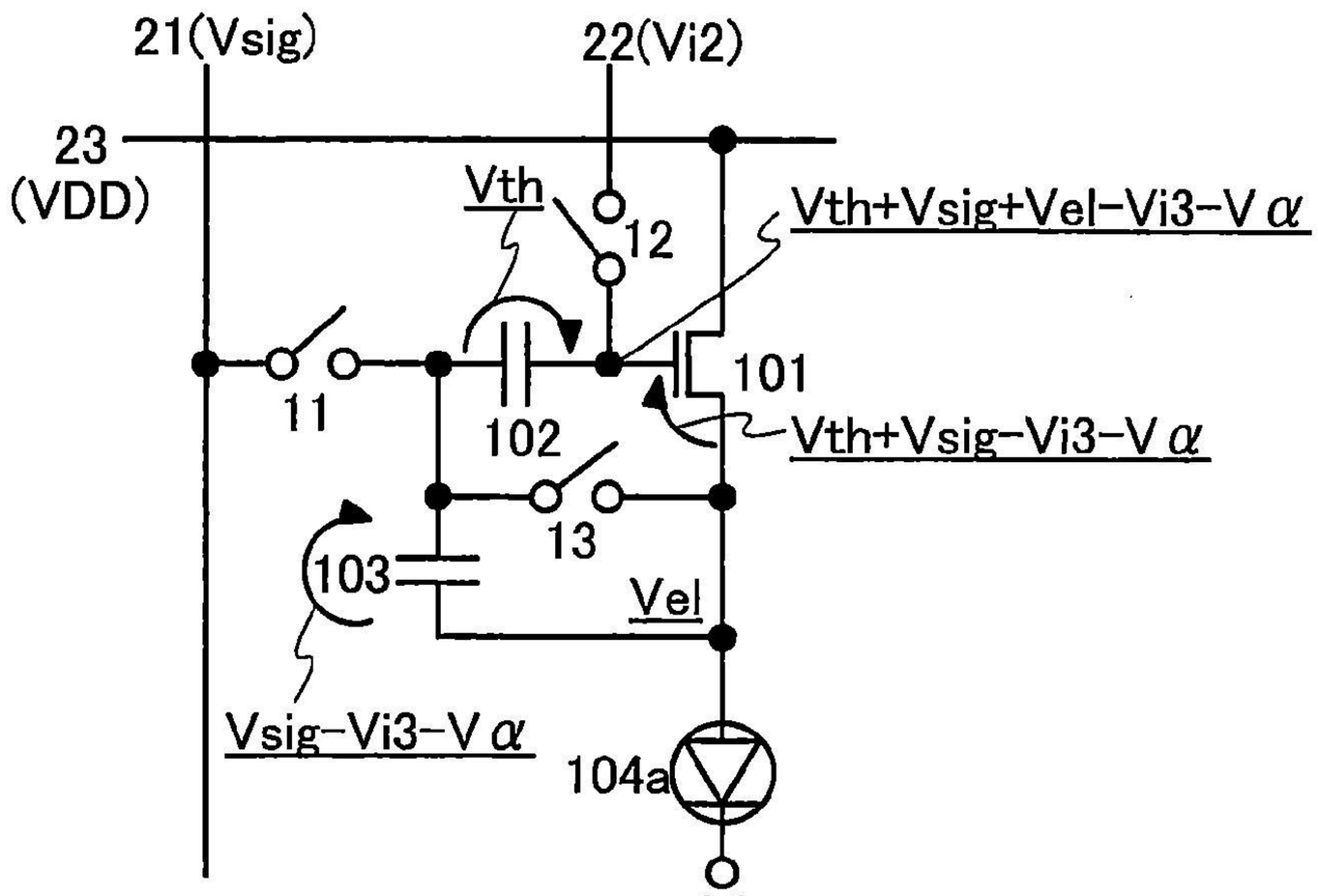

21(Vsig)
22(Vi2)
23
(VDD)
Vth
12
Vth+Vsig+Vel-Vi3-V α
11
102
101
Vth+Vsig-Vi3-V α
13
103
Vel
Vsig-Vi3-V α
104a

圖37A

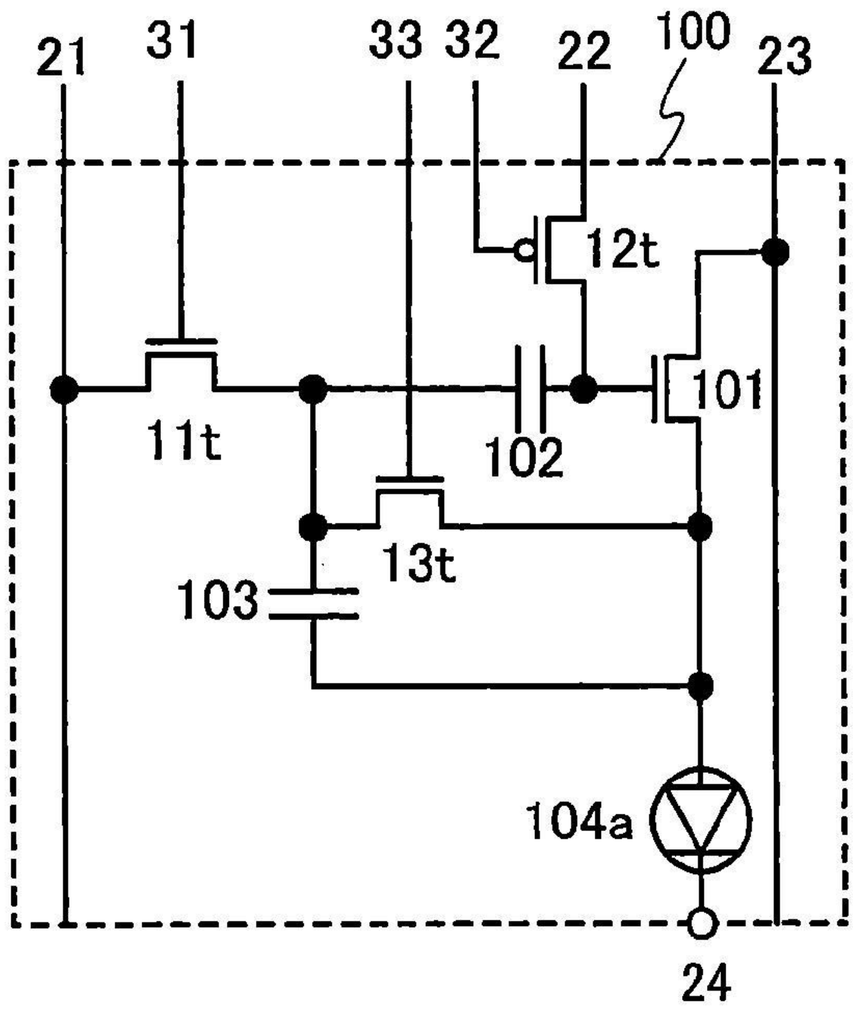


圖37B

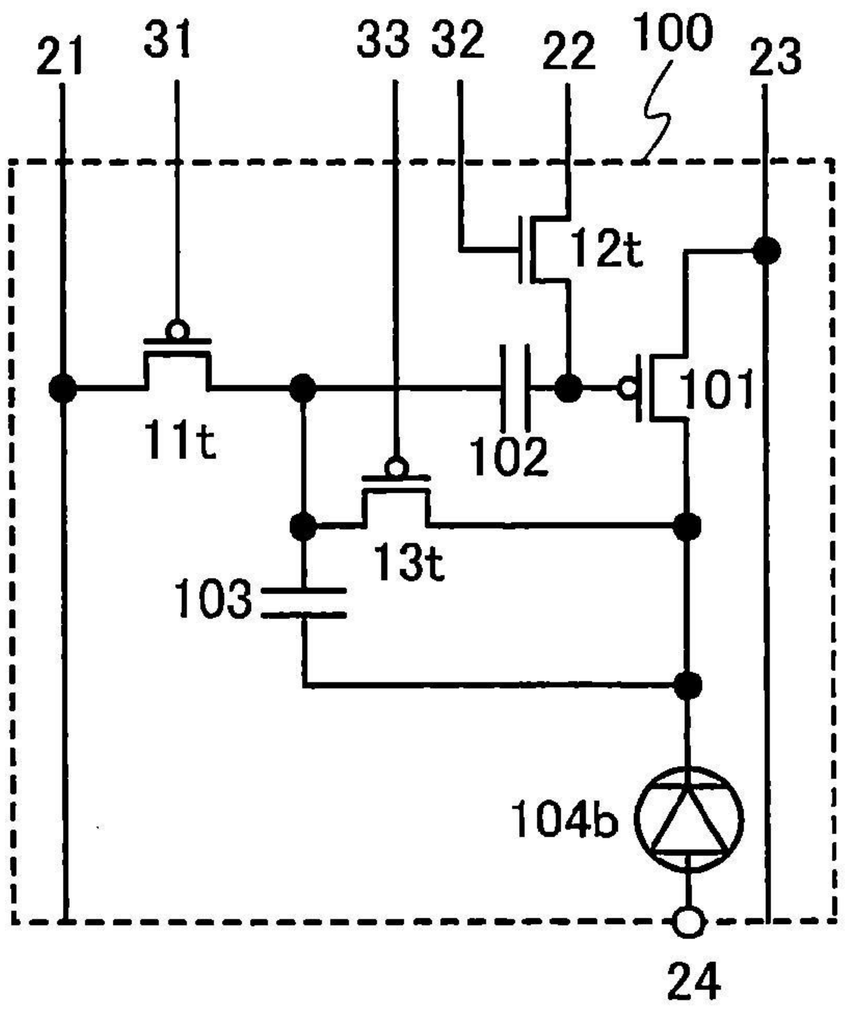


圖37C

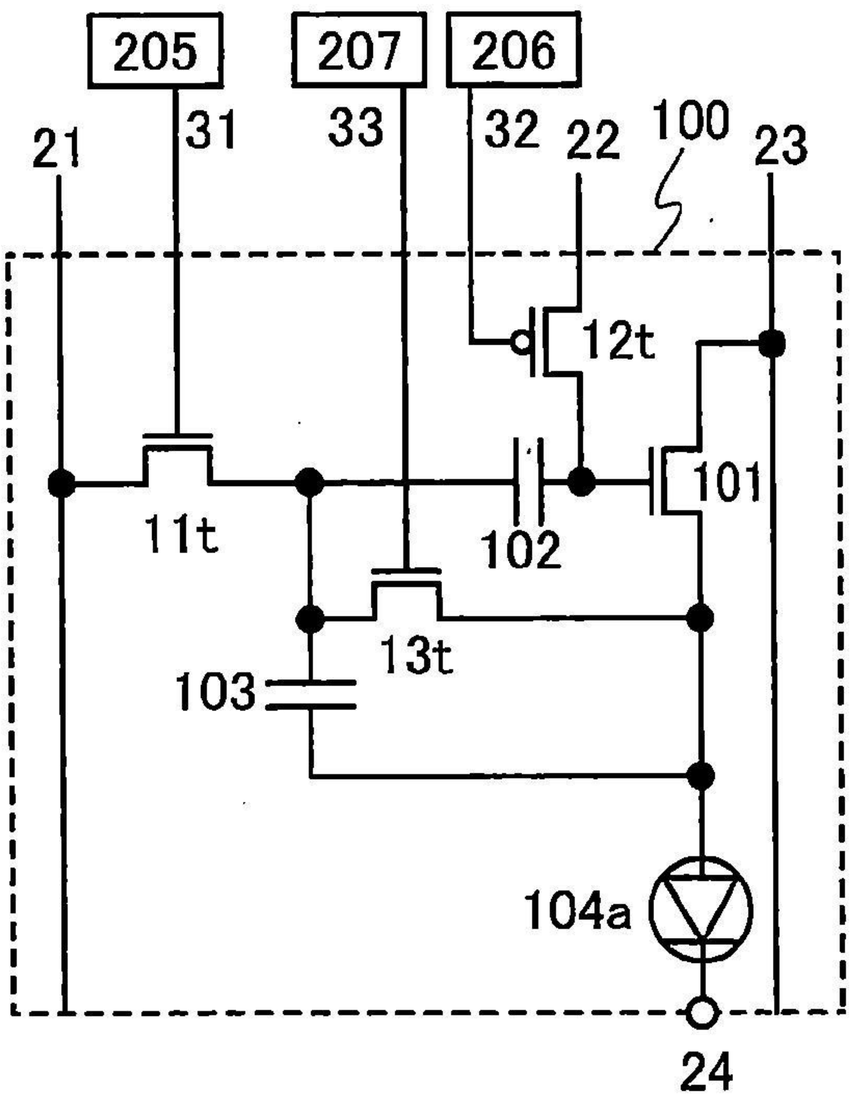


圖37D

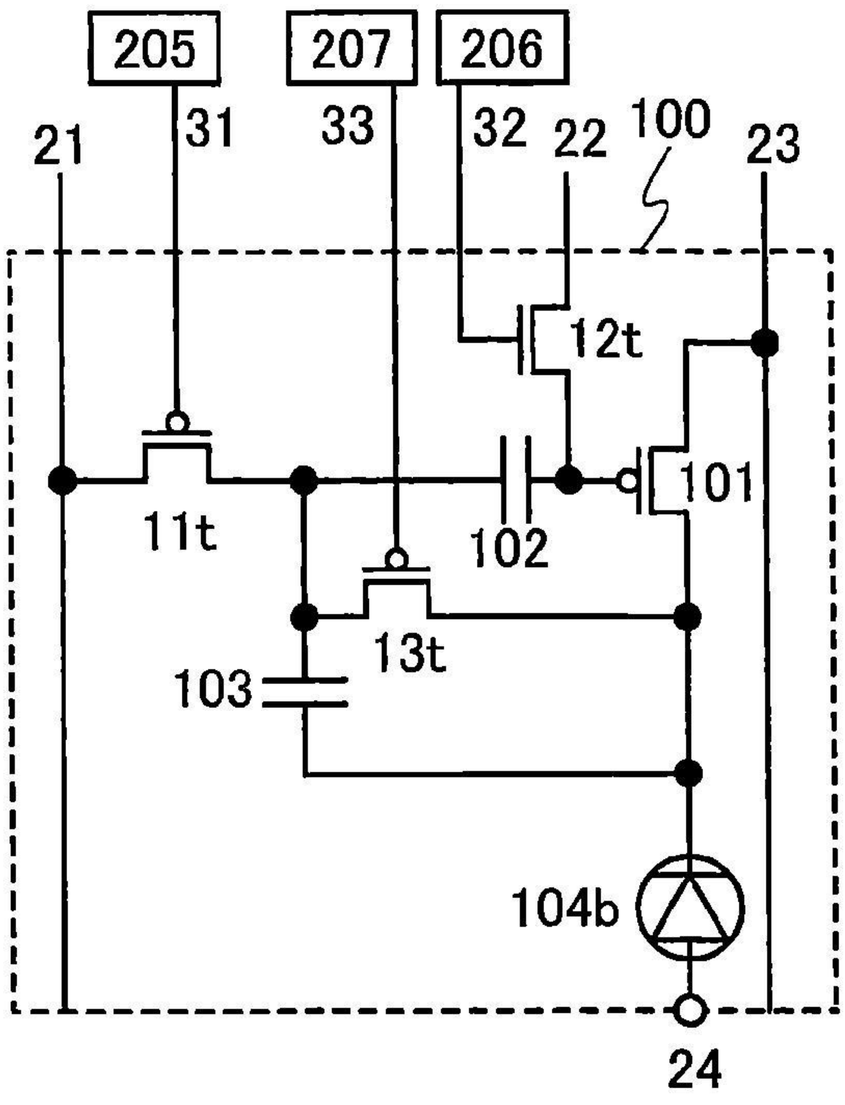


圖38A

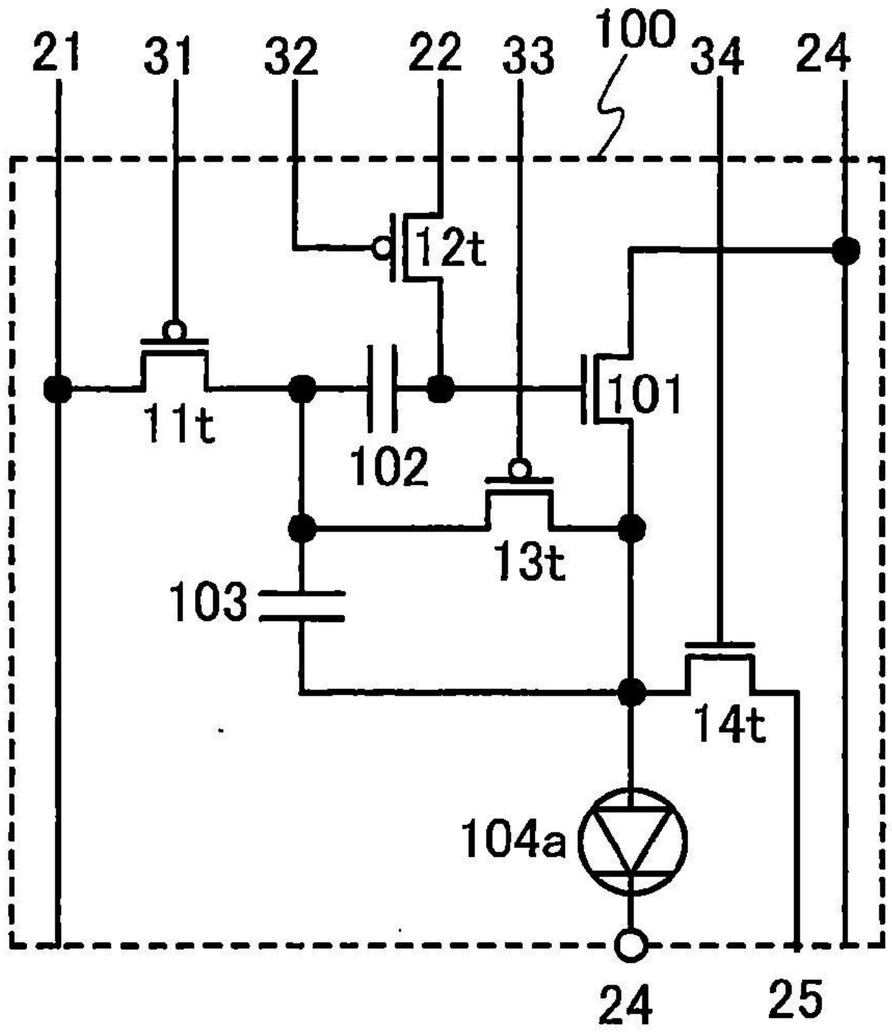


圖38B

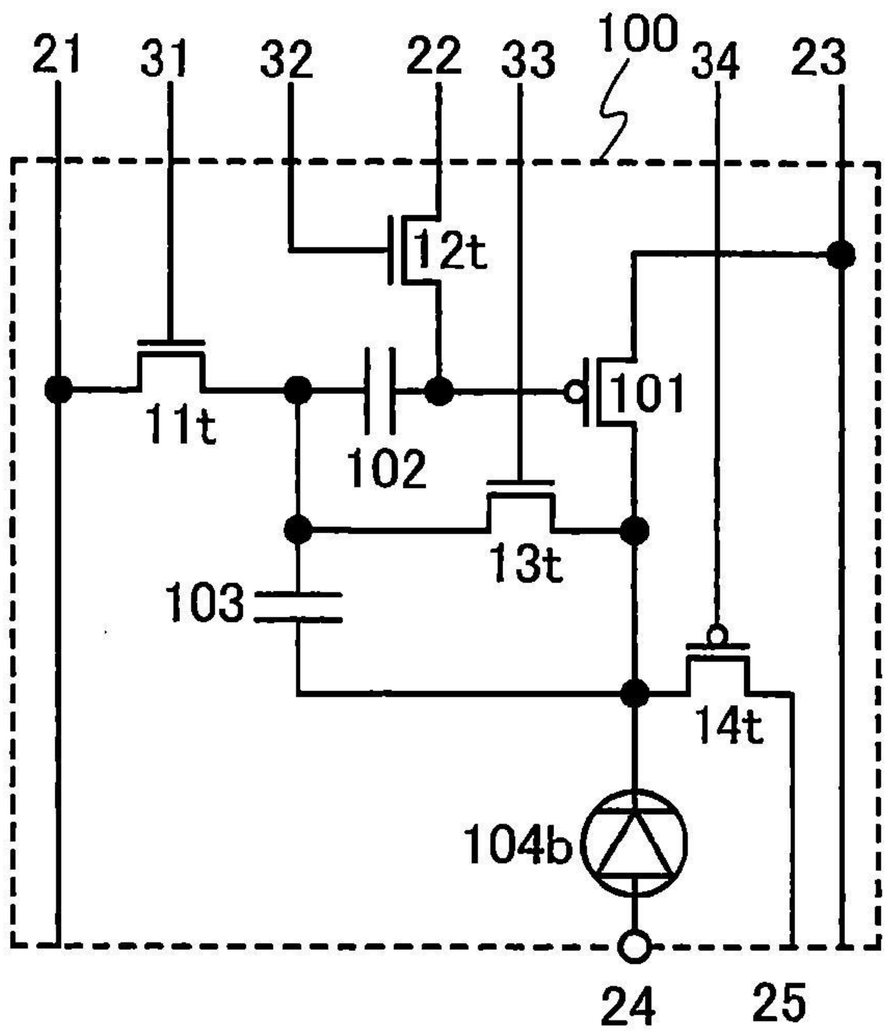


圖38C

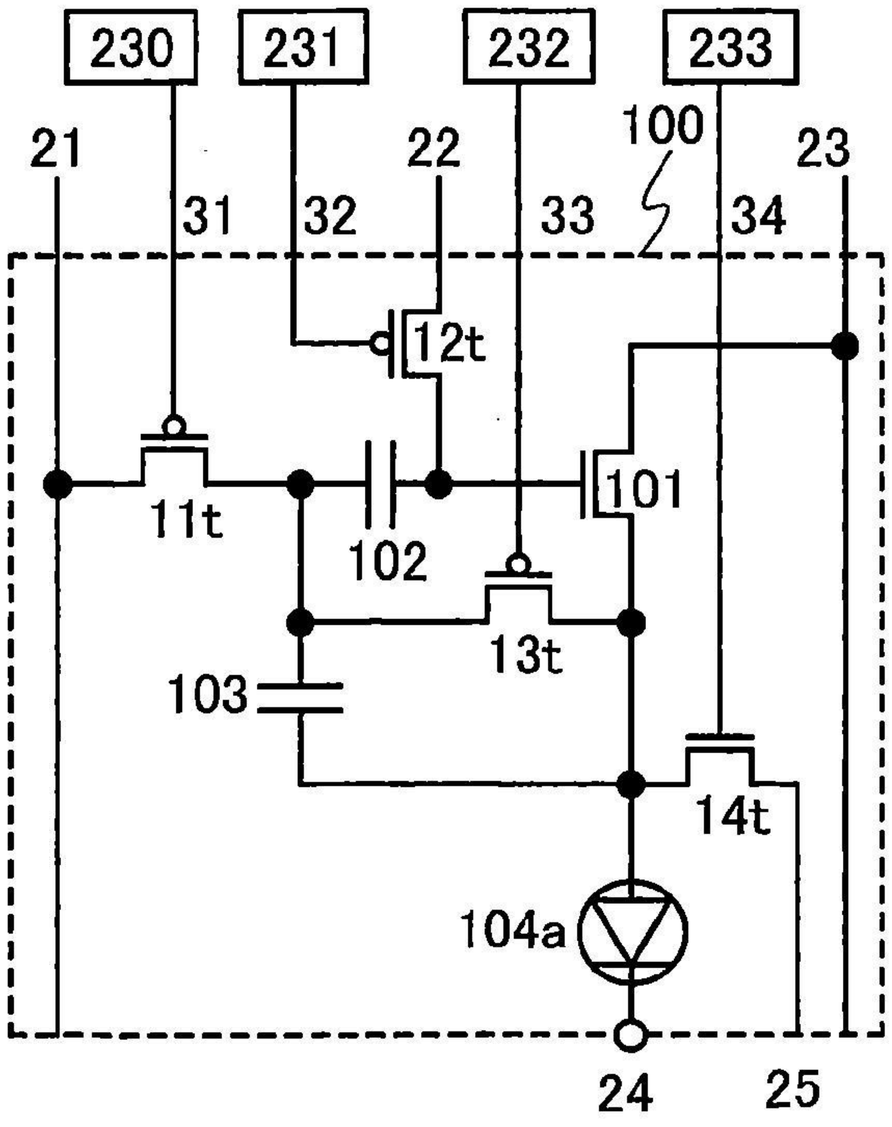


圖38D

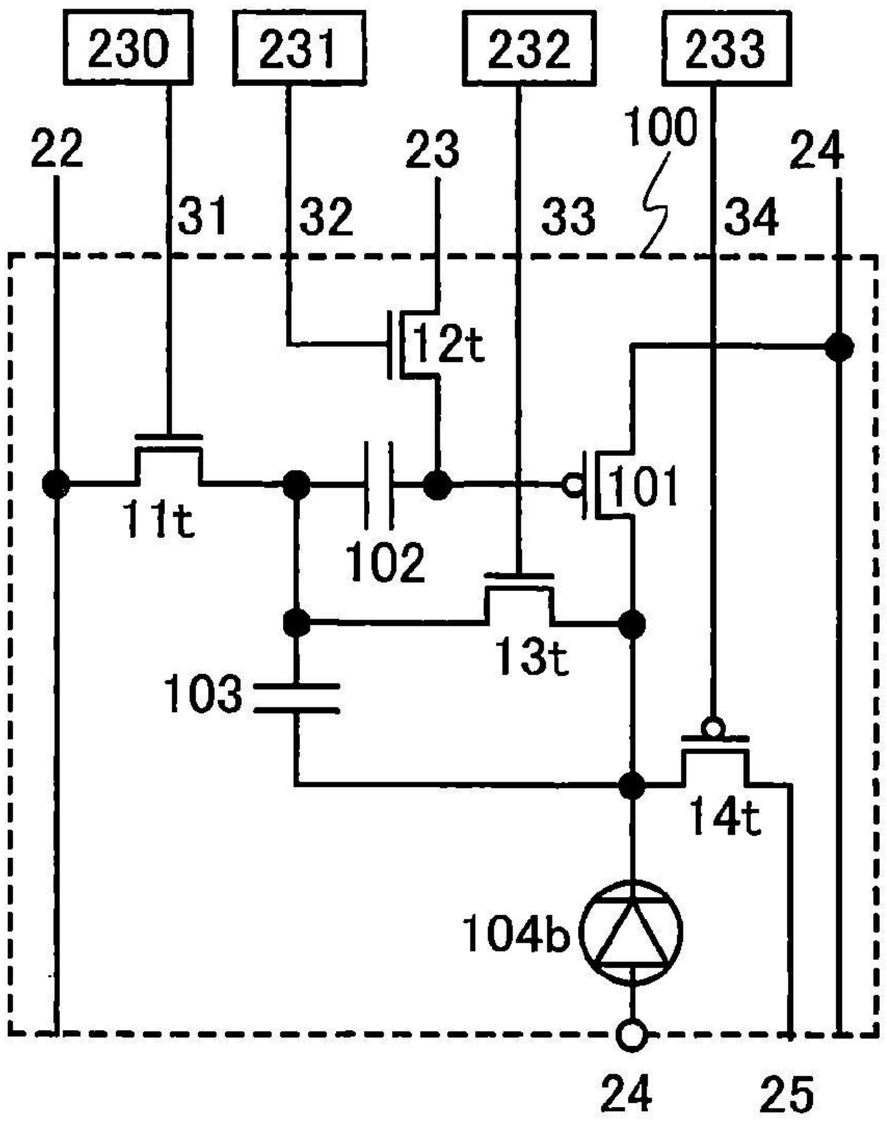


圖39

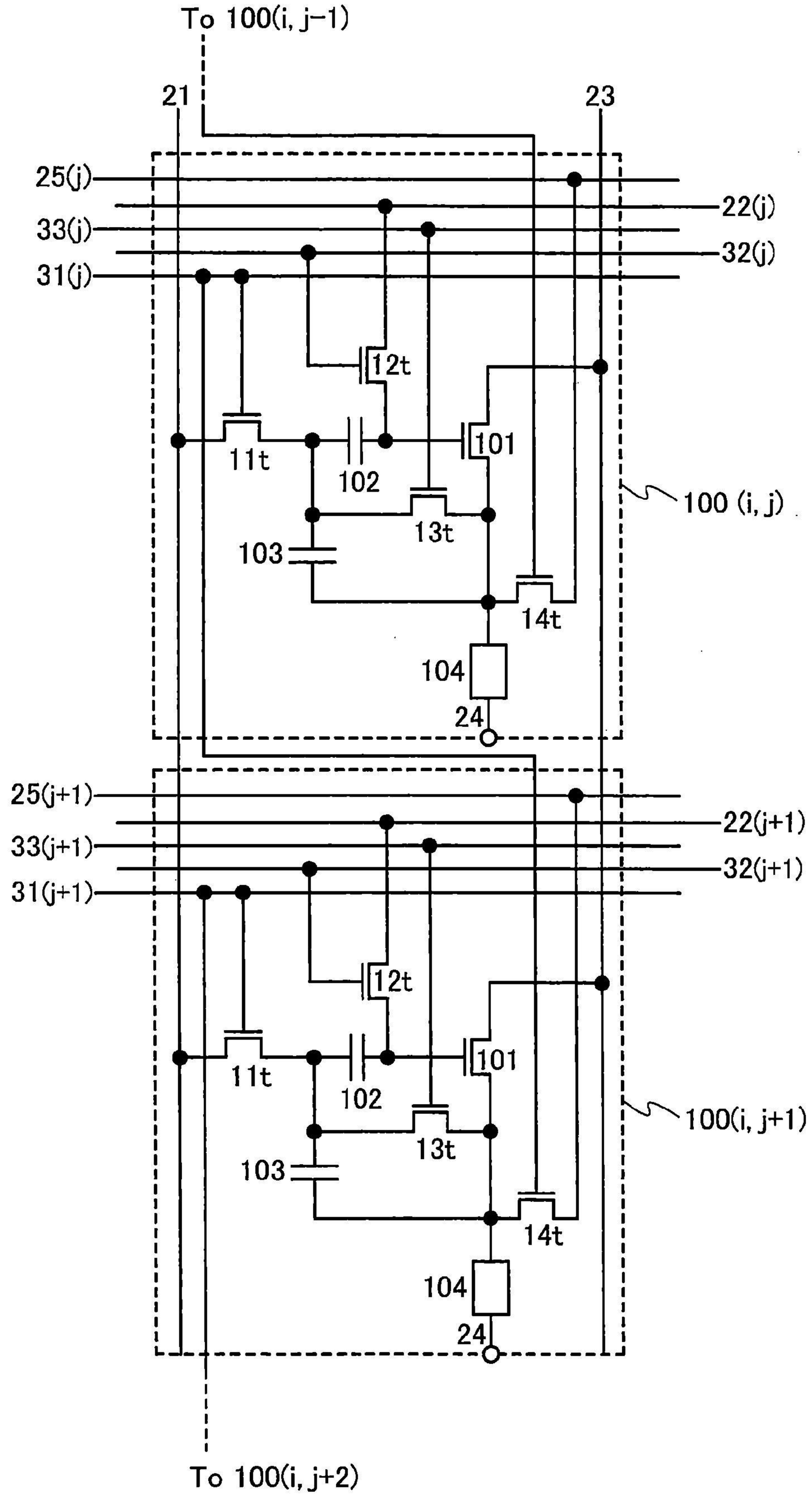

To 100(i, j-1)
21
23
25(j)
22(j)
33(j)
32(j)
31(j)
12t
11t
102
101
100 (i, j)
13t
103
14t
104
24
25(j+1)
22(j+1)
33(j+1)
32(j+1)
31(j+1)
12t
11t
102
101
100(i, j+1)
13t
103
14t
104
24
To 100(i, j+2)

圖40

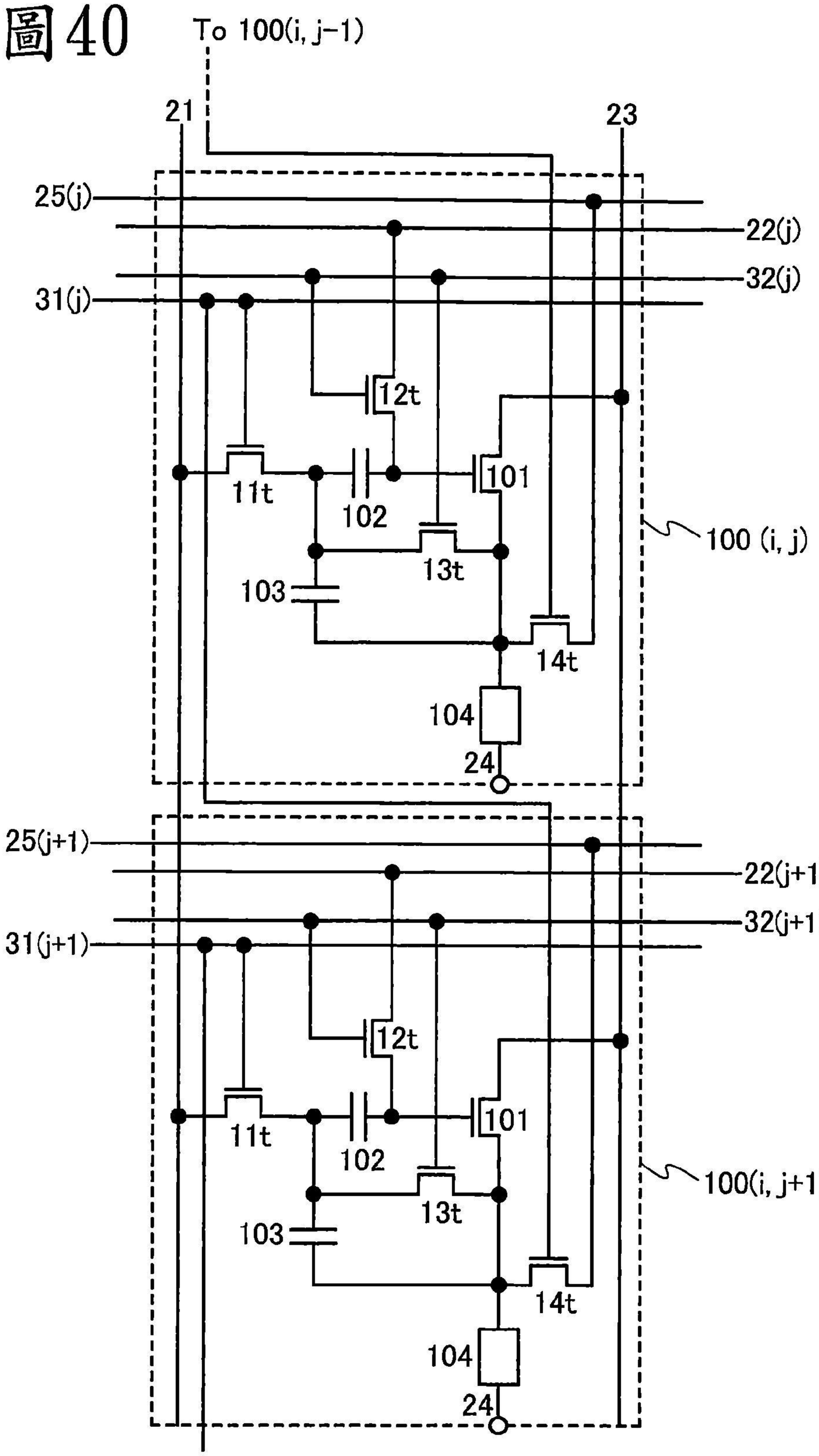

To 100(i, j-1)
21
23
25(j)
22(j)
32(j)
31(j)
12t
11t
102
101
13t
103
14t
104
24
100 (i, j)
25(j+1)
22(j+1)
32(j+1)
31(j+1)
12t
11t
102
101
13t
103
14t
104
24
100(i, j+1)
To 100(i, j+2)

圖41

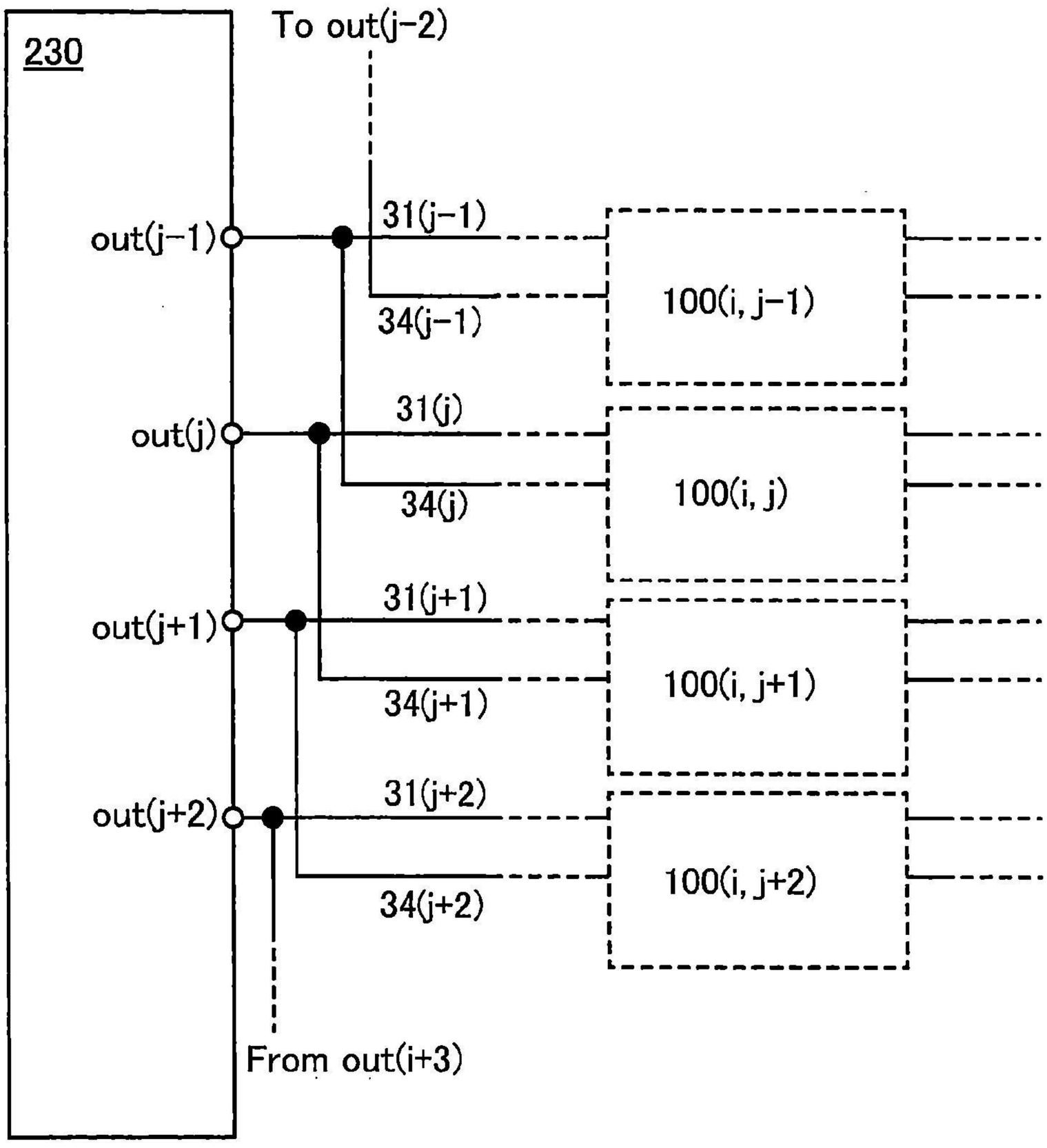

230
To out(j-2)
out(j-1)
31(j-1)
34(j-1)
100(i, j-1)
out(j)
31(j)
34(j)
100(i, j)
out(j+1)
31(j+1)
34(j+1)
100(i, j+1)
out(j+2)
31(j+2)
34(j+2)
100(i, j+2)
From out(i+3)

圖42A

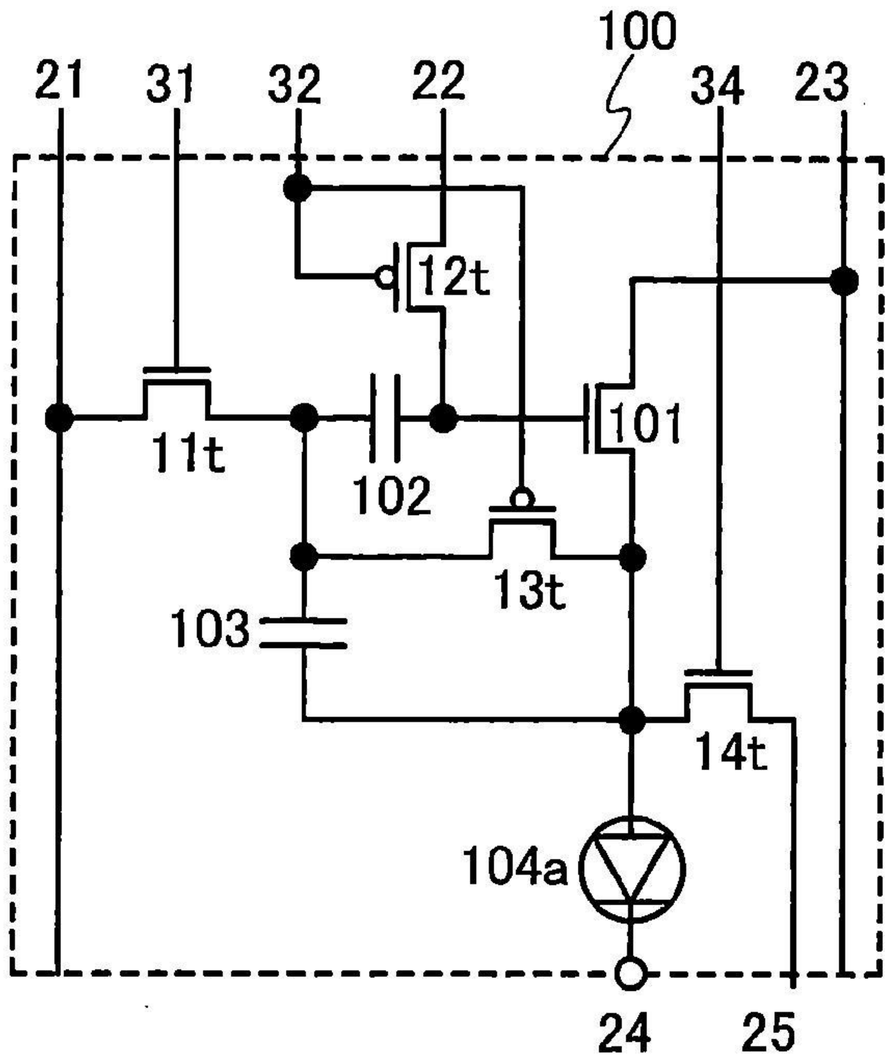


圖42B

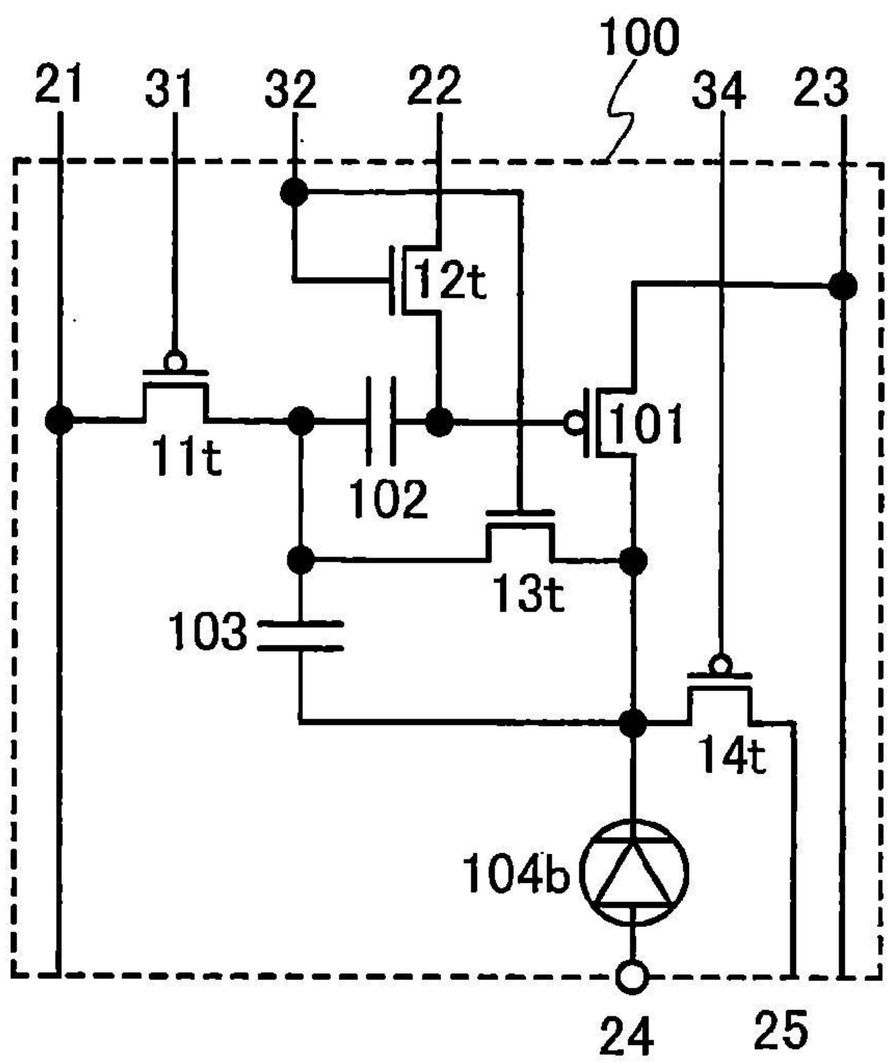


圖42C

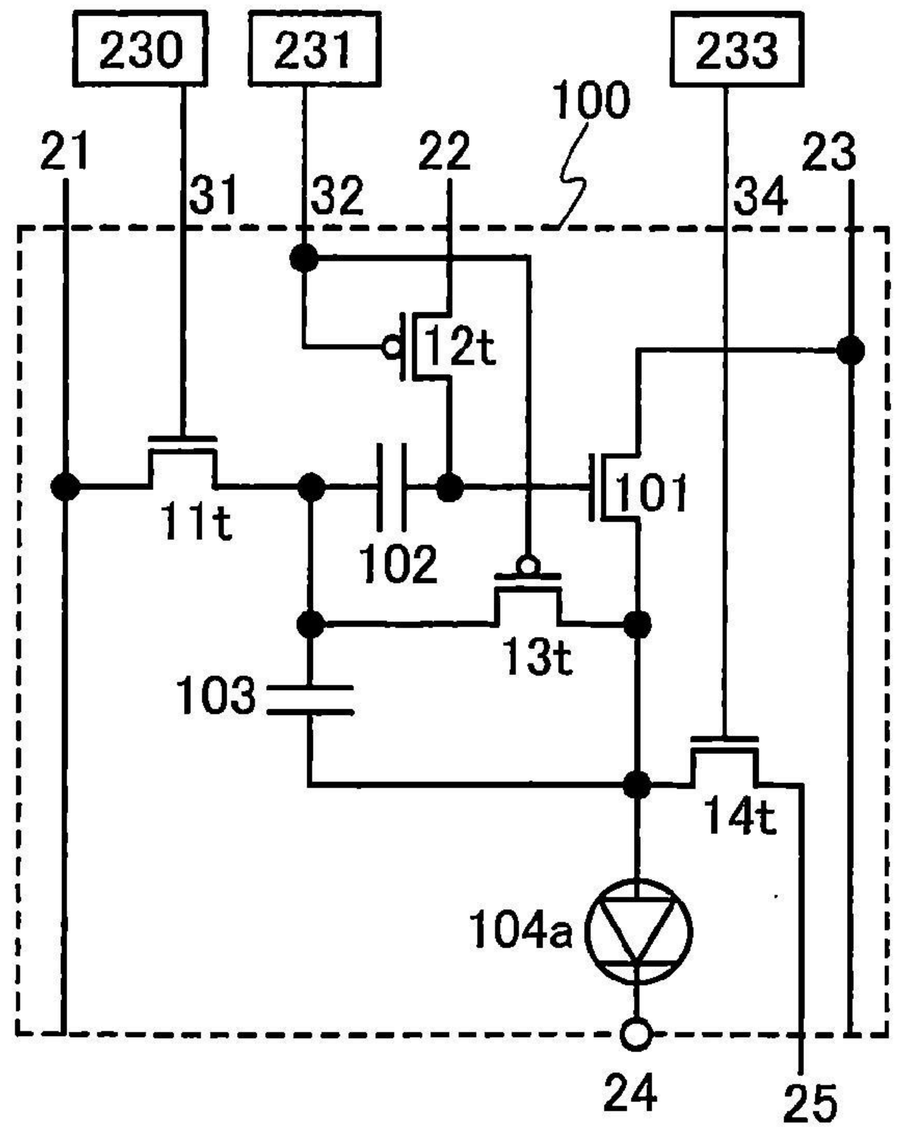


圖42D

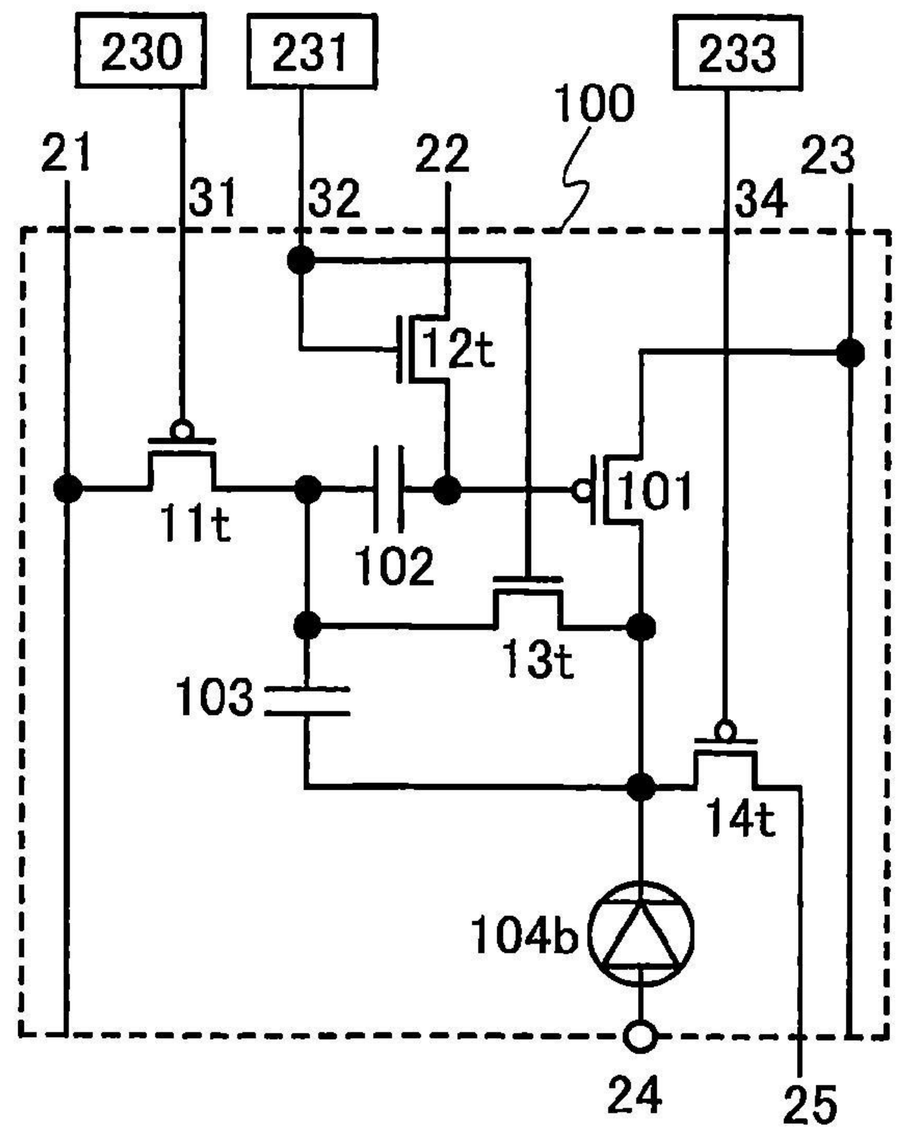


圖43A

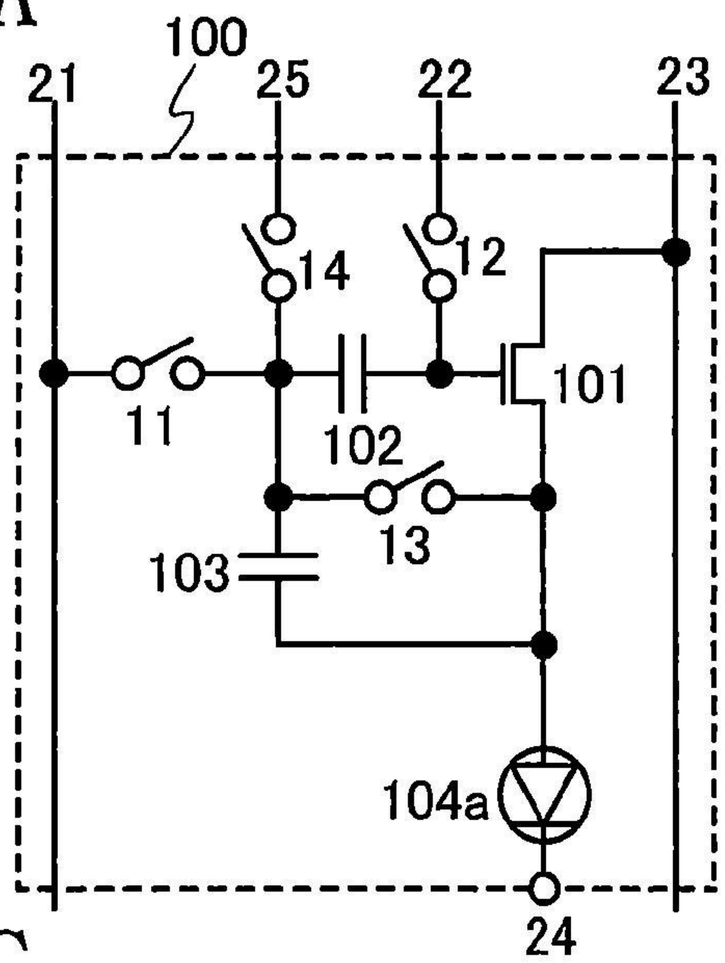


圖43B

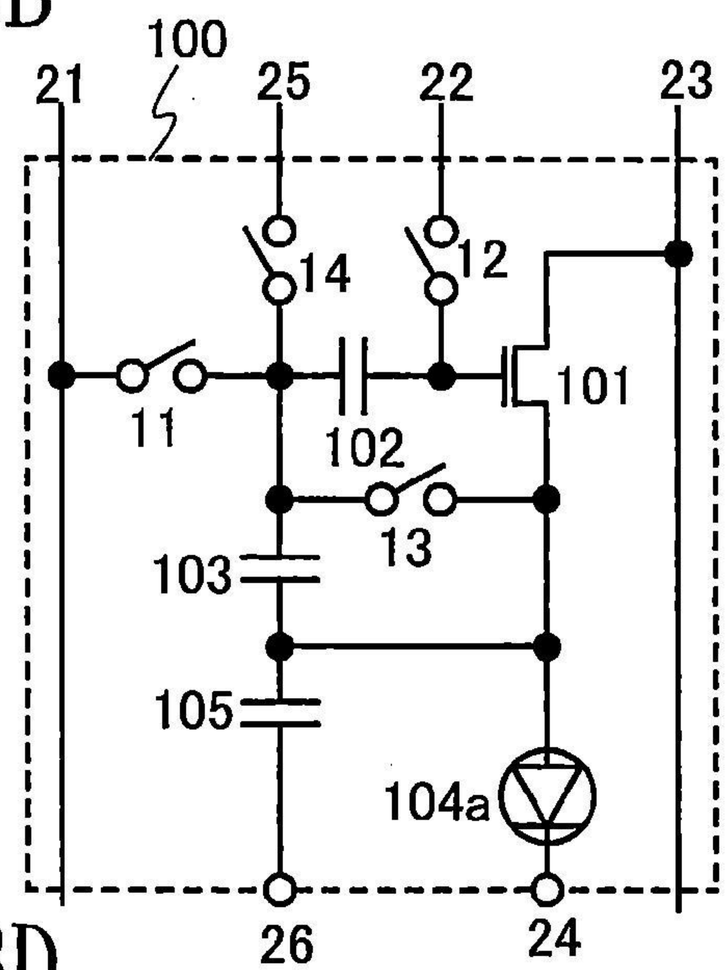


圖43C

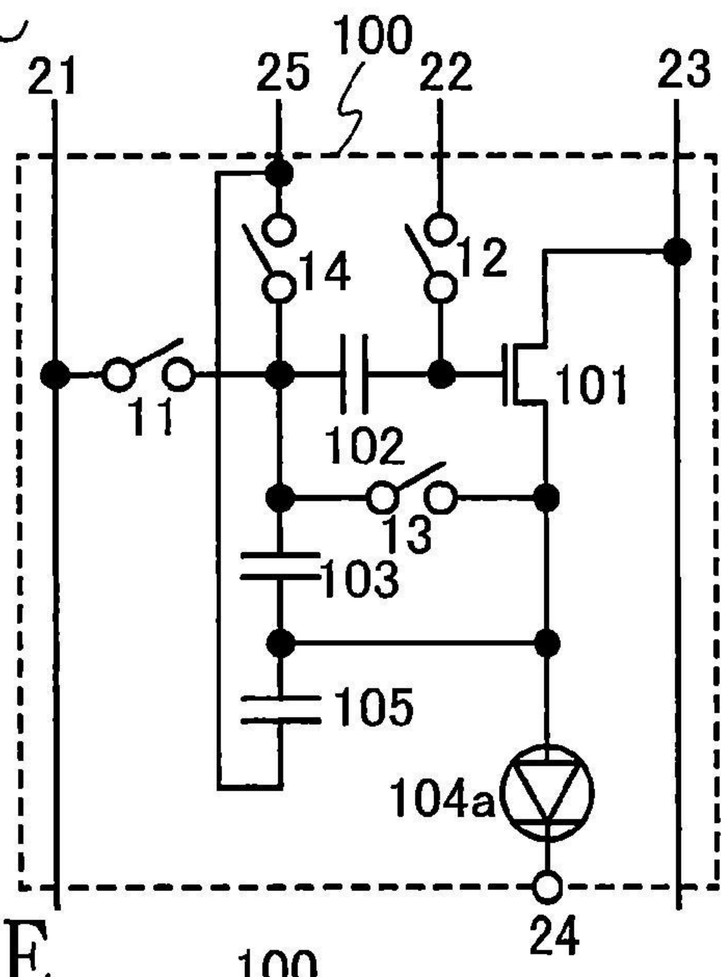


圖43D

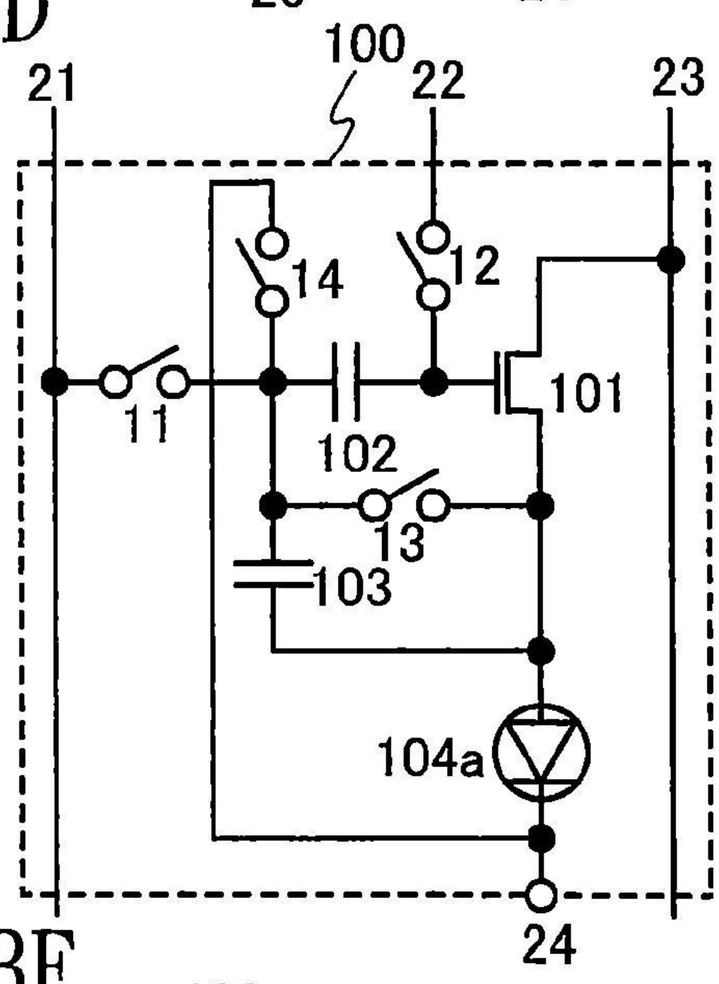


圖43E

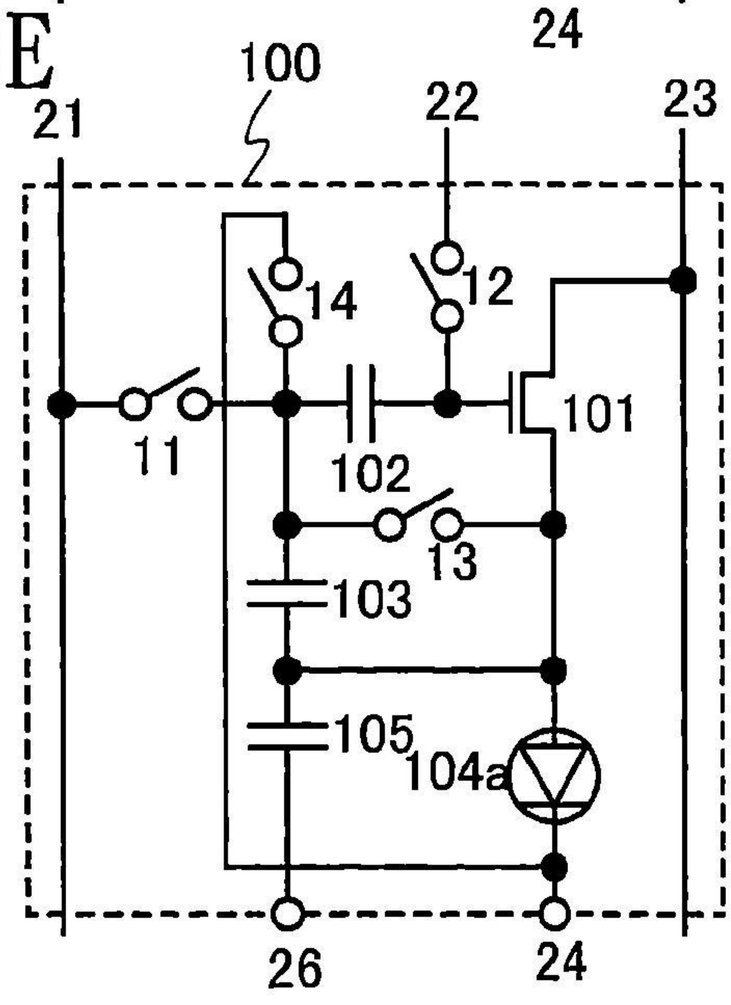


圖43F

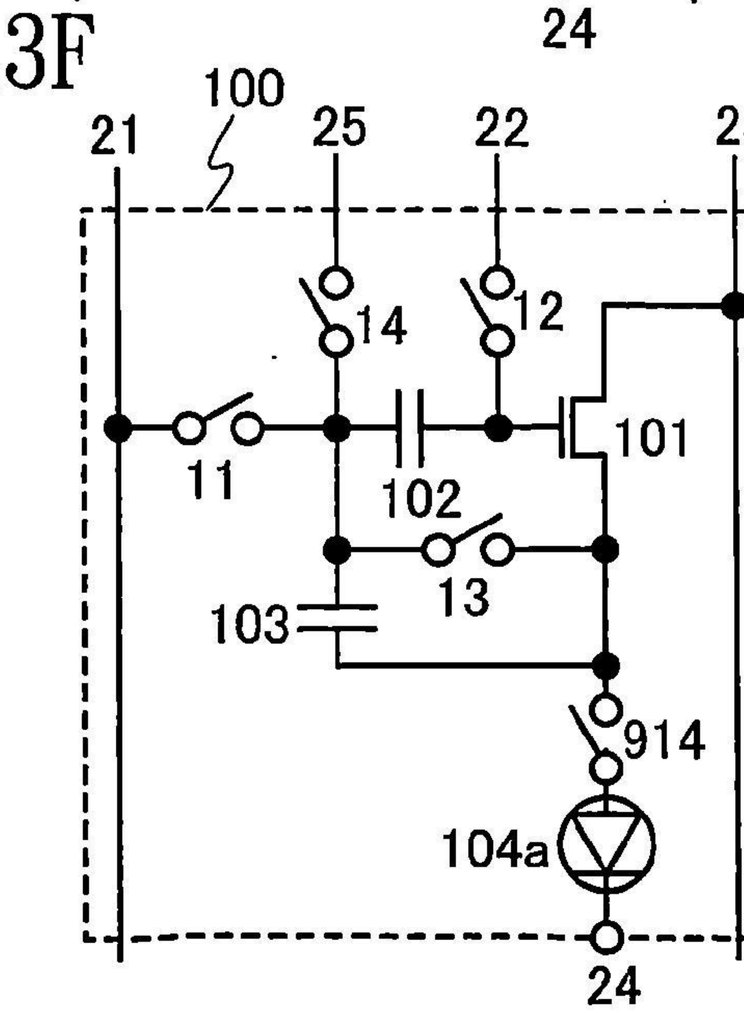


圖44A

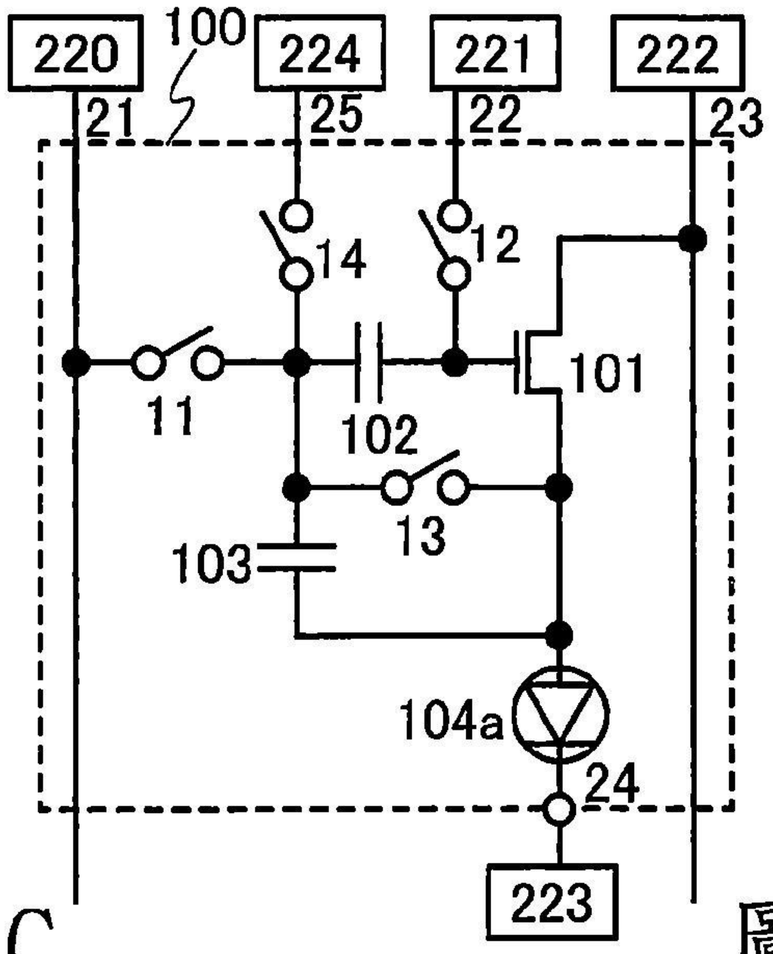


圖44B

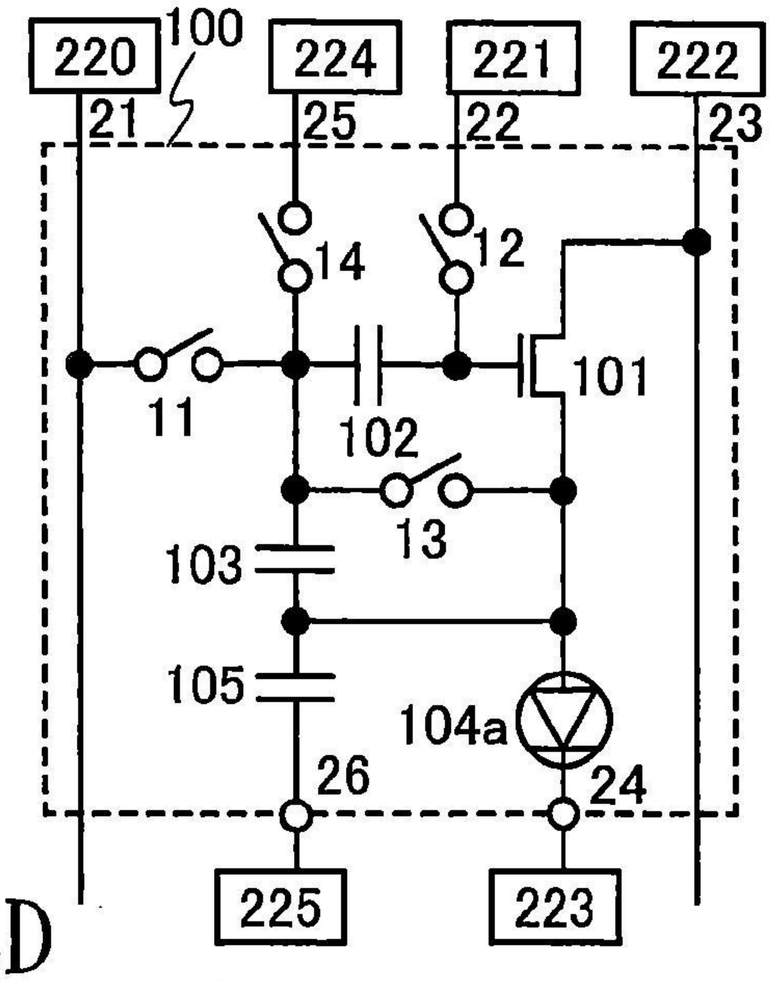


圖44C

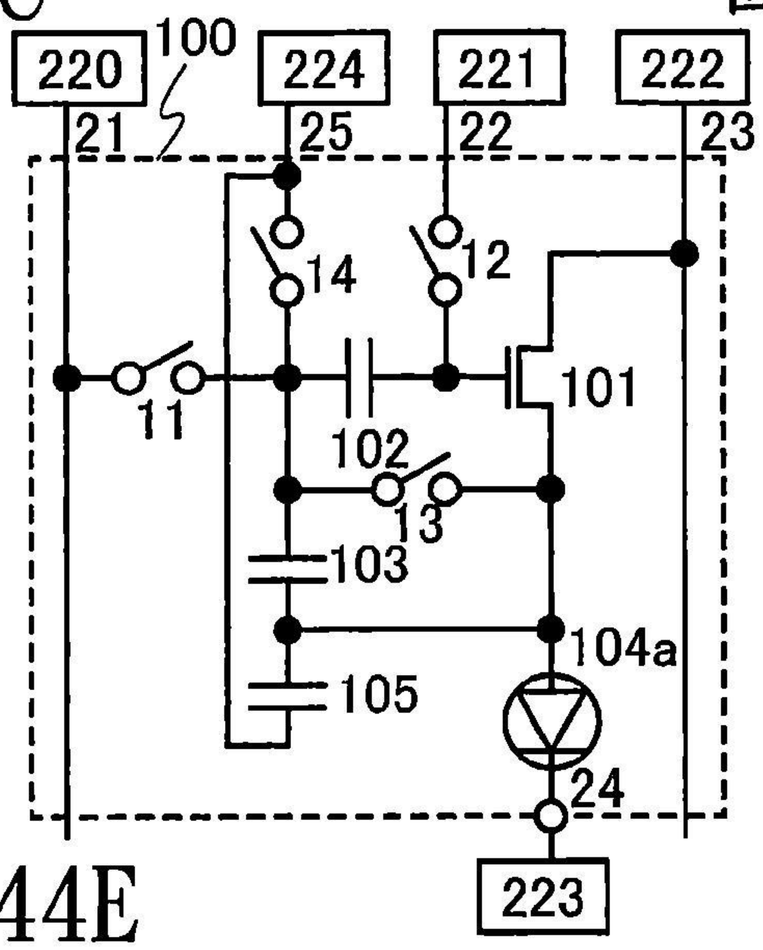


圖44D

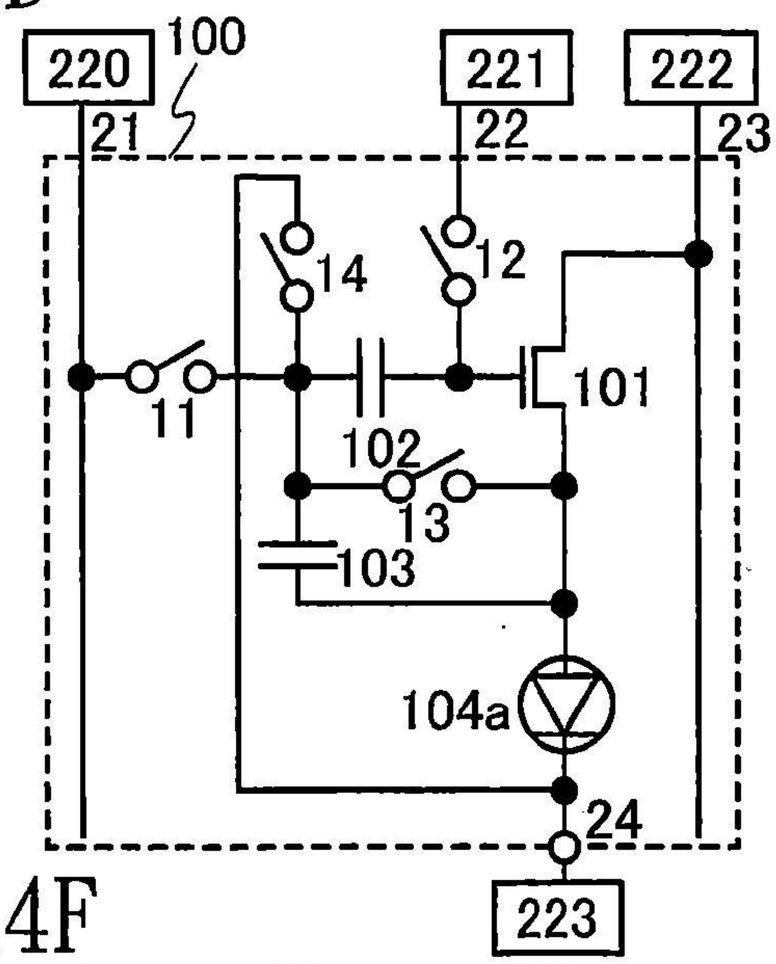


圖44E

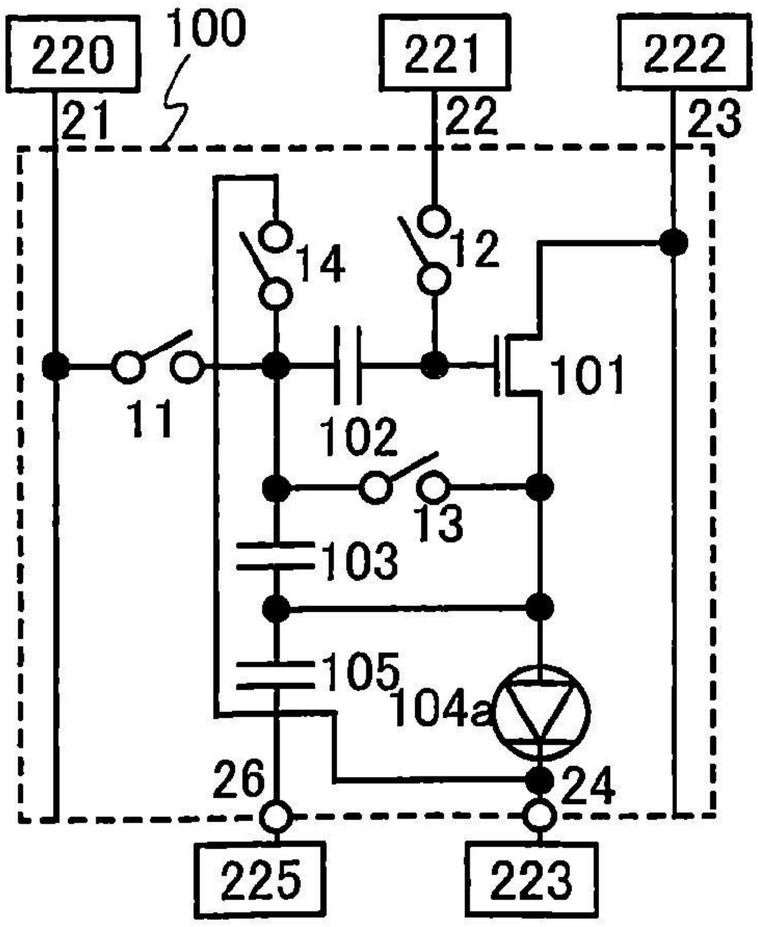


圖44F

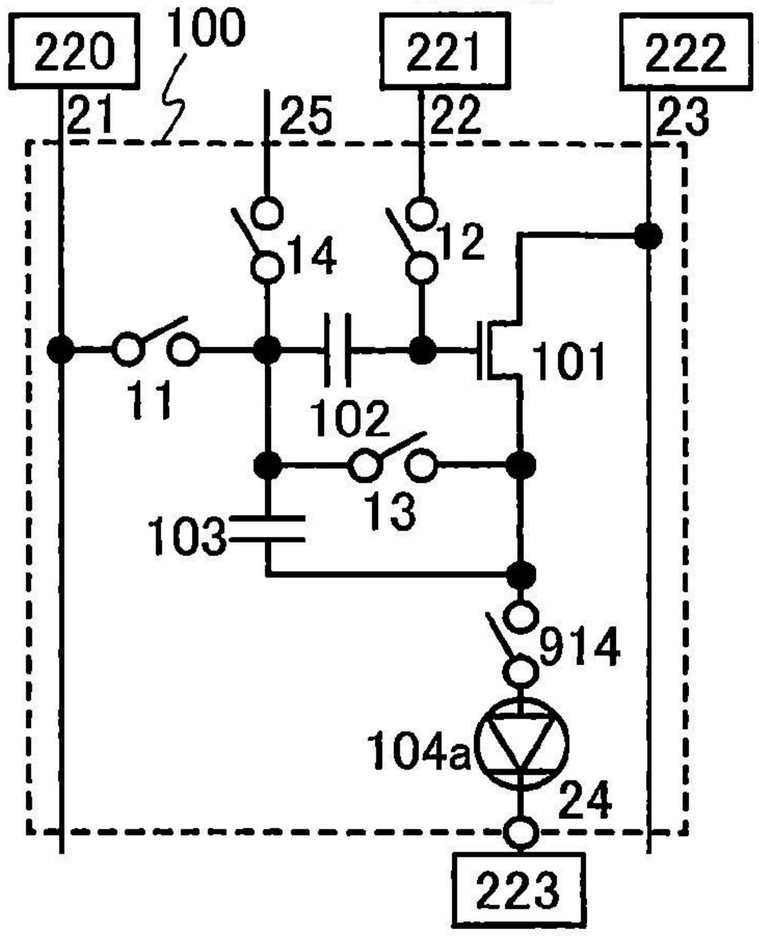


圖45A

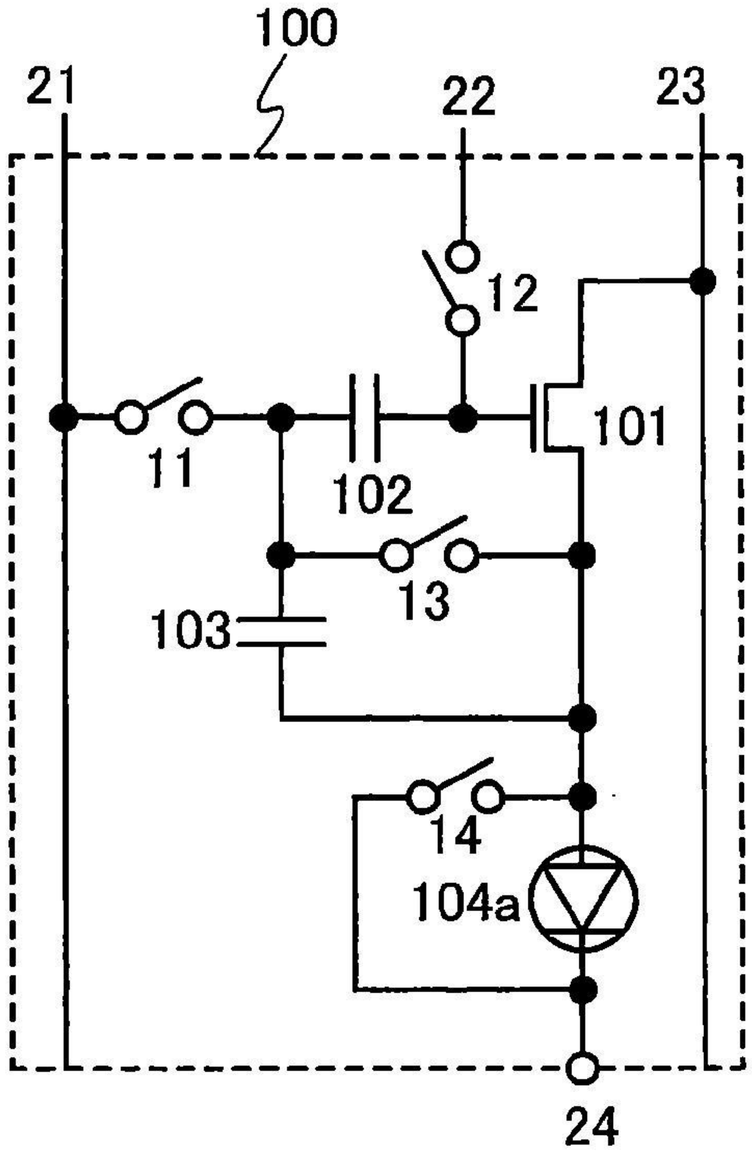


圖45B

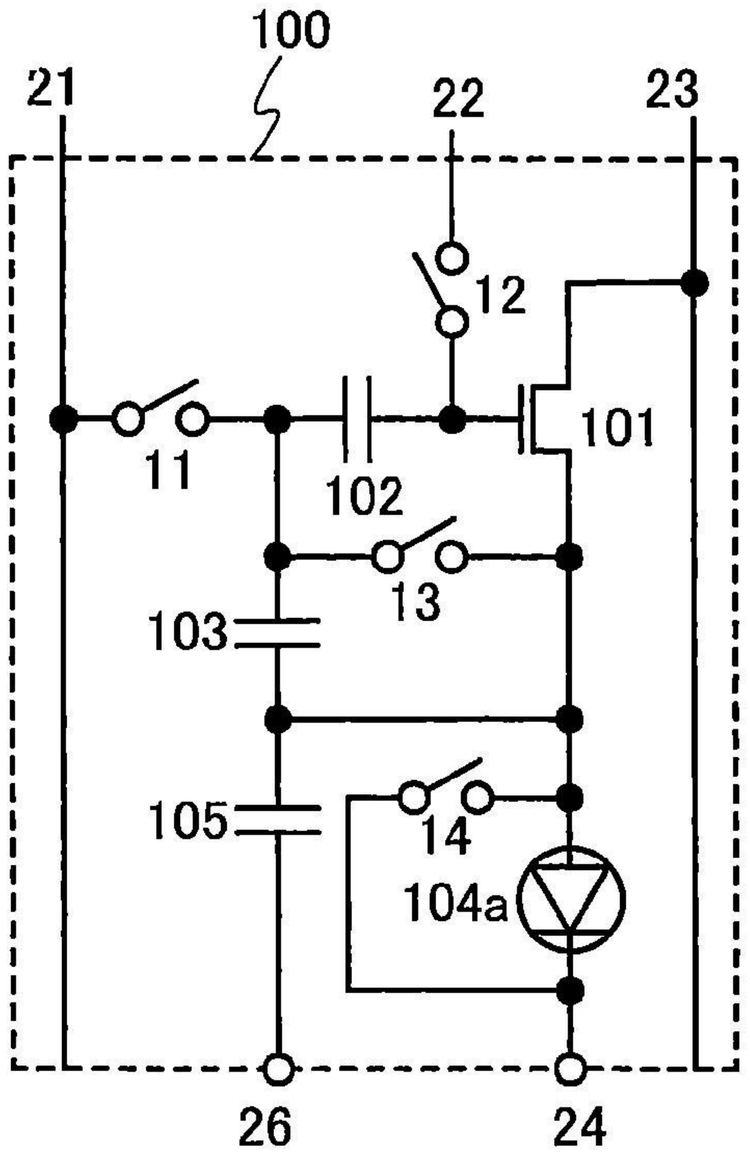


圖45C

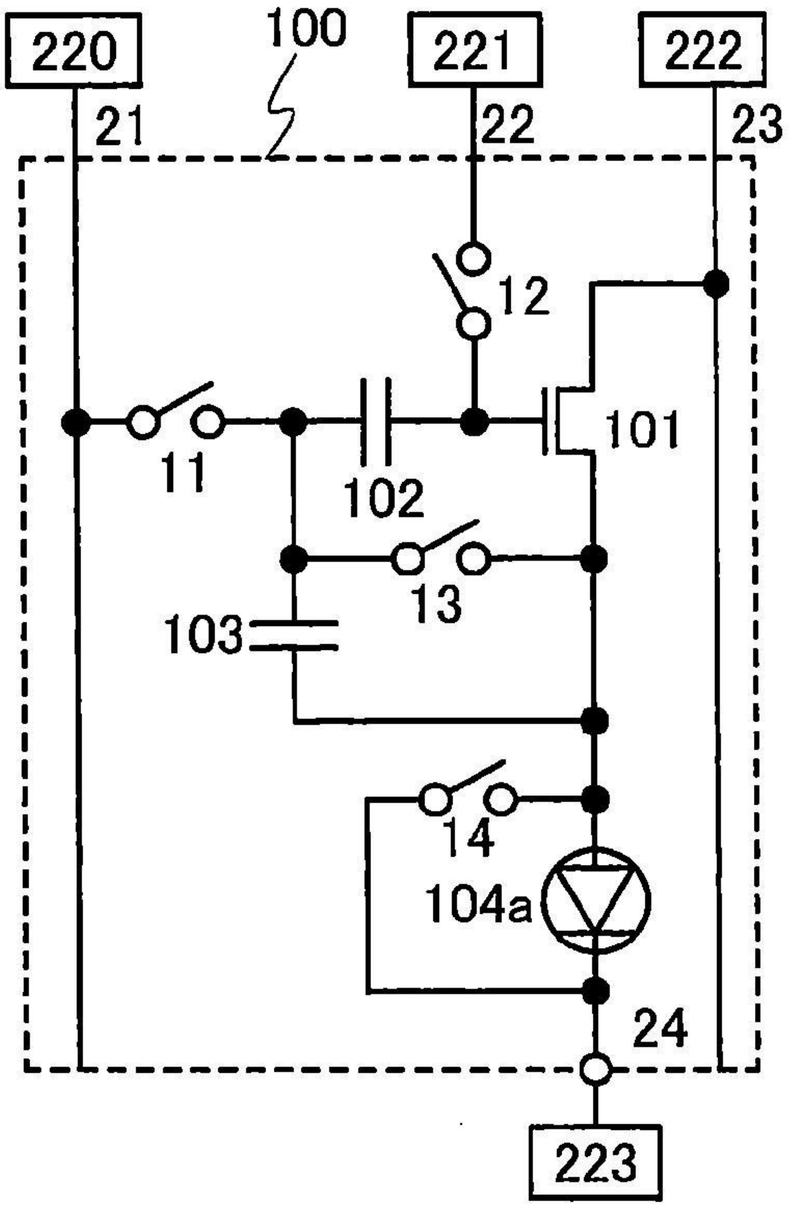


圖45D

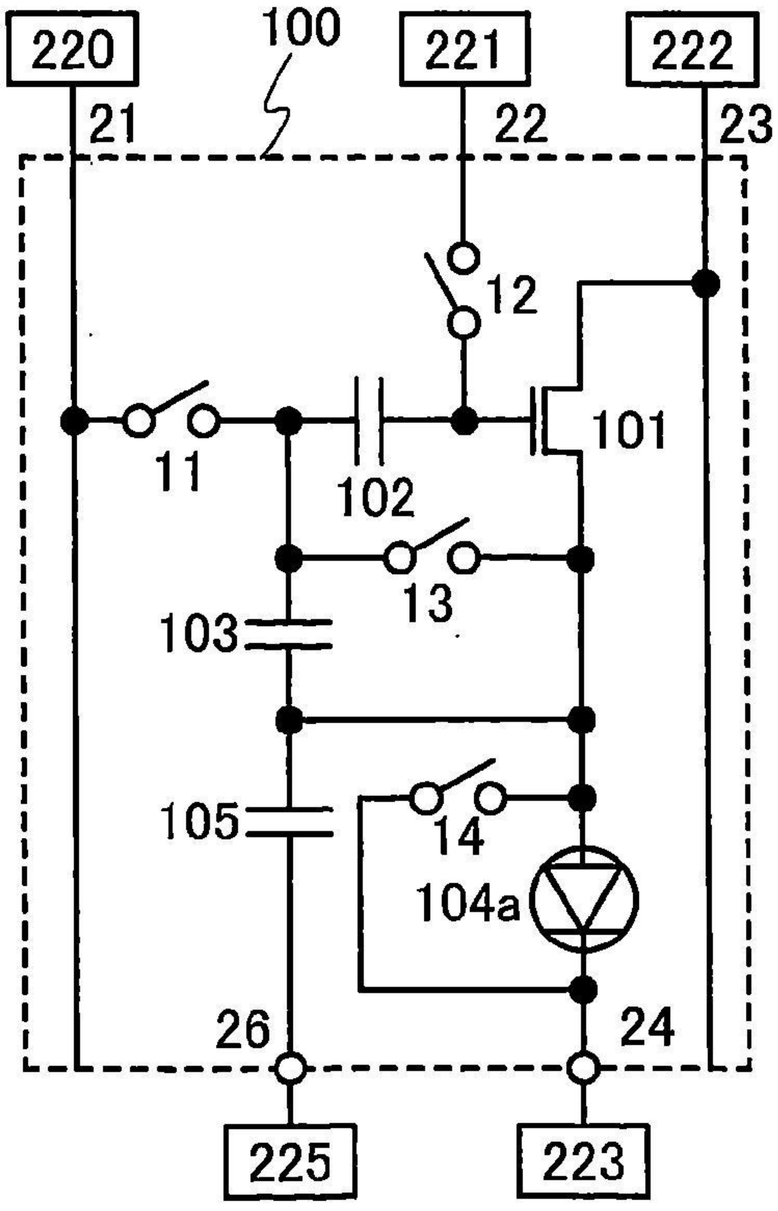


圖46A

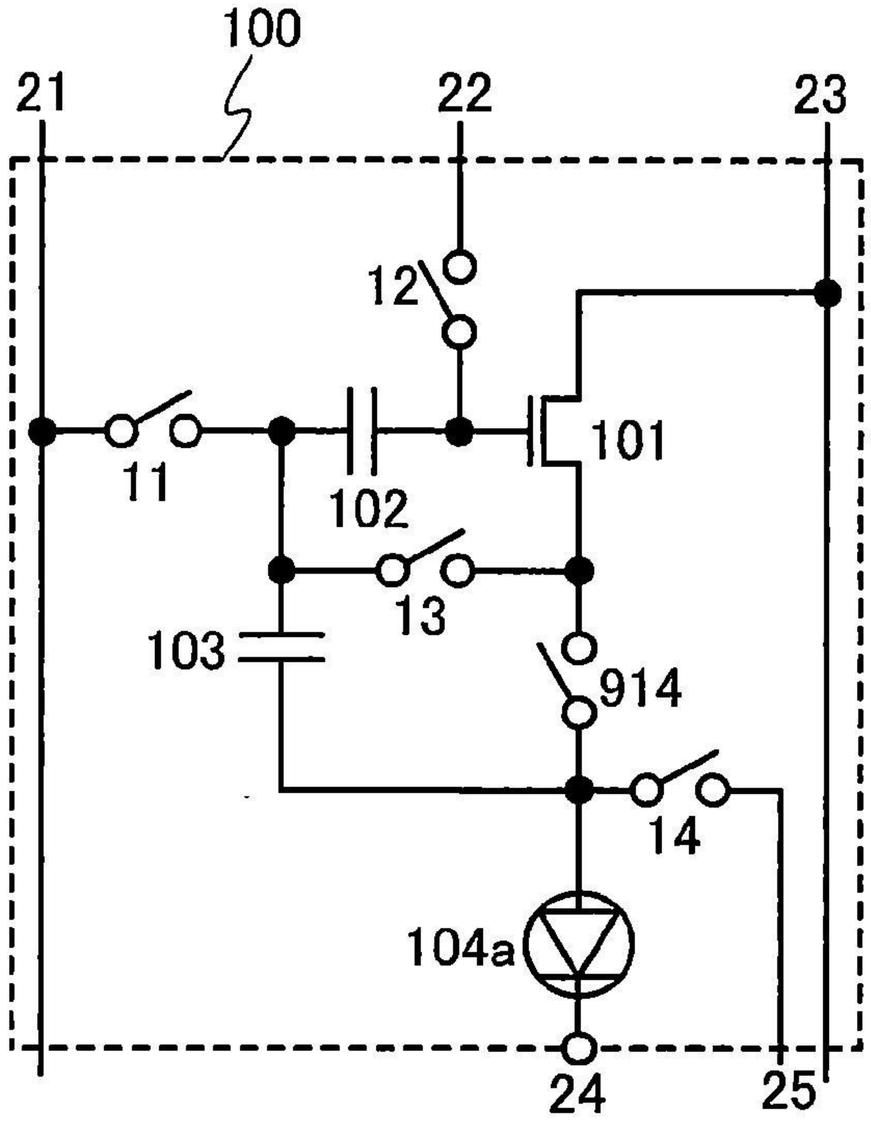


圖46B

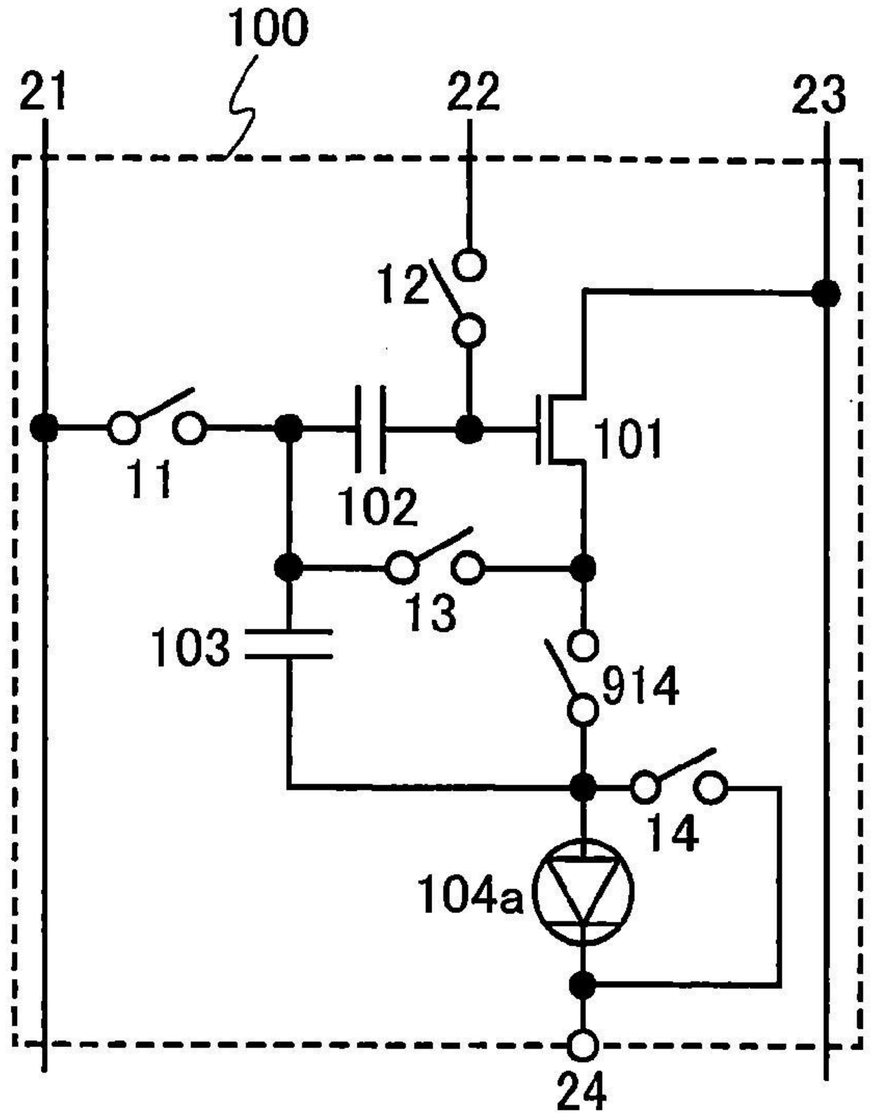


圖46C

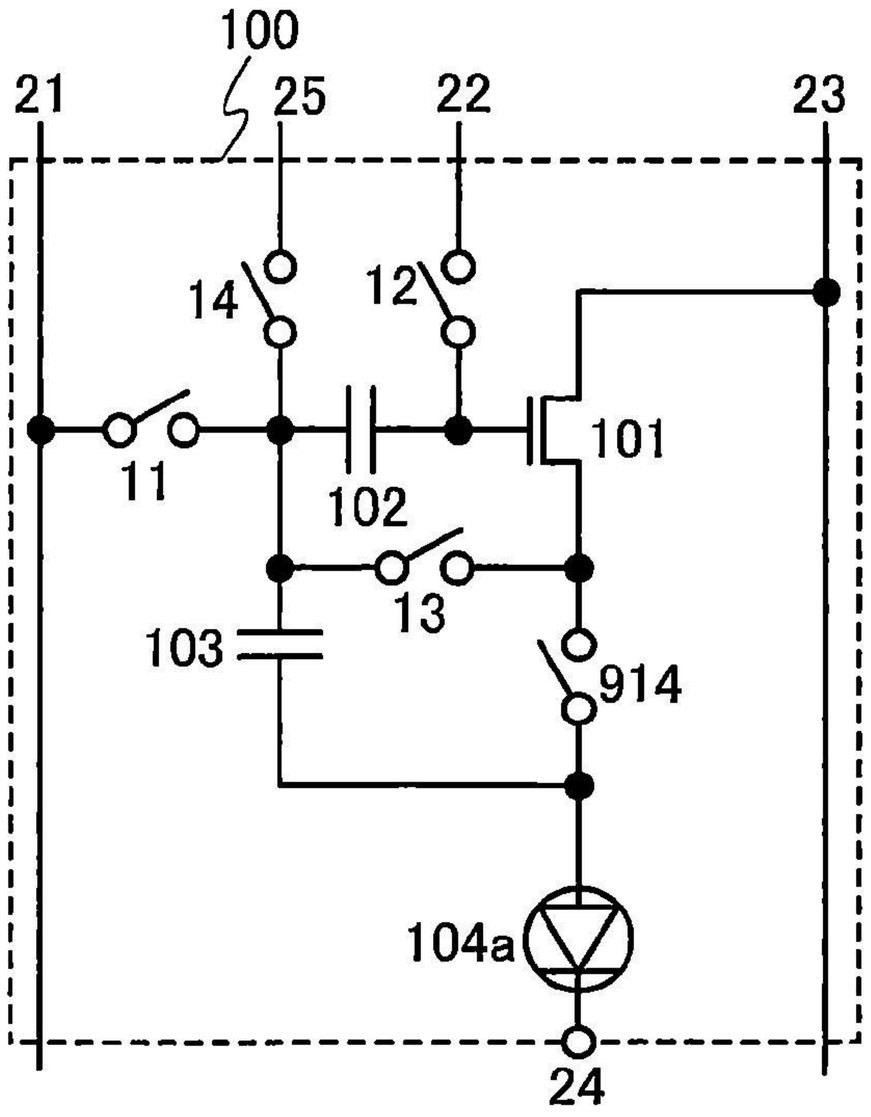


圖46D

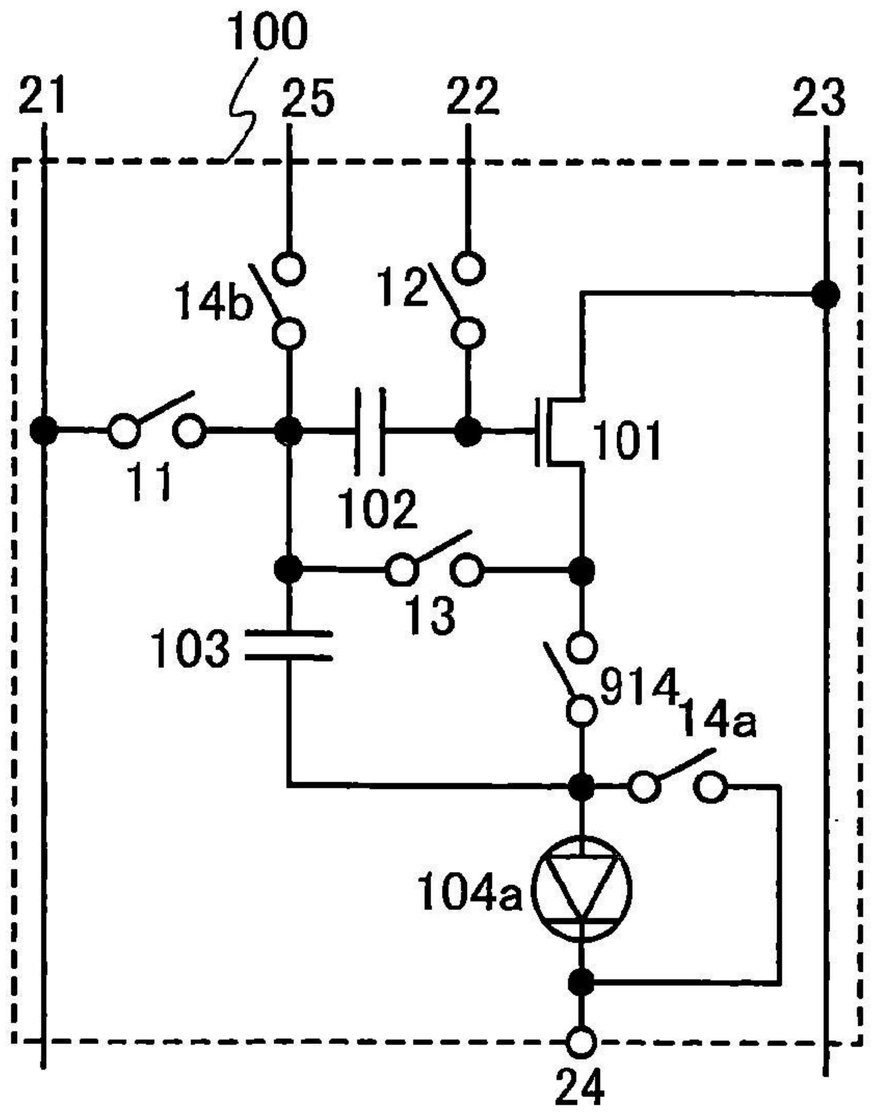


圖47A

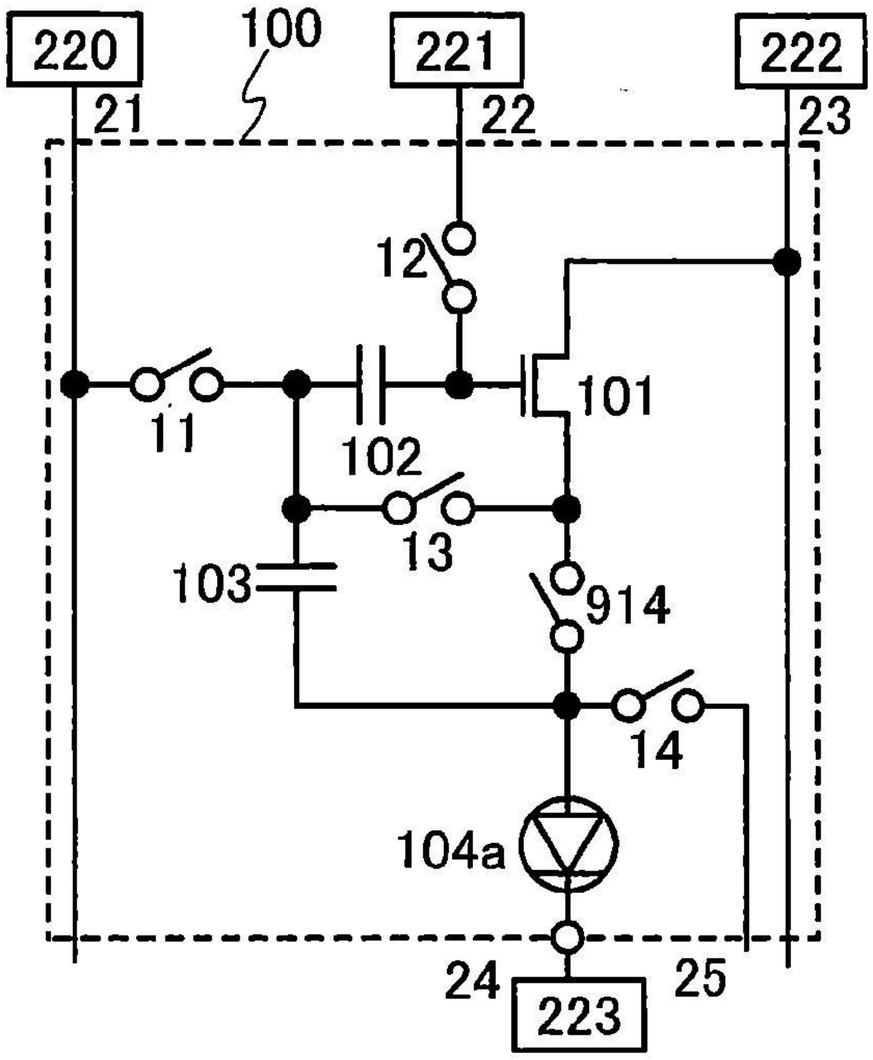


圖47B

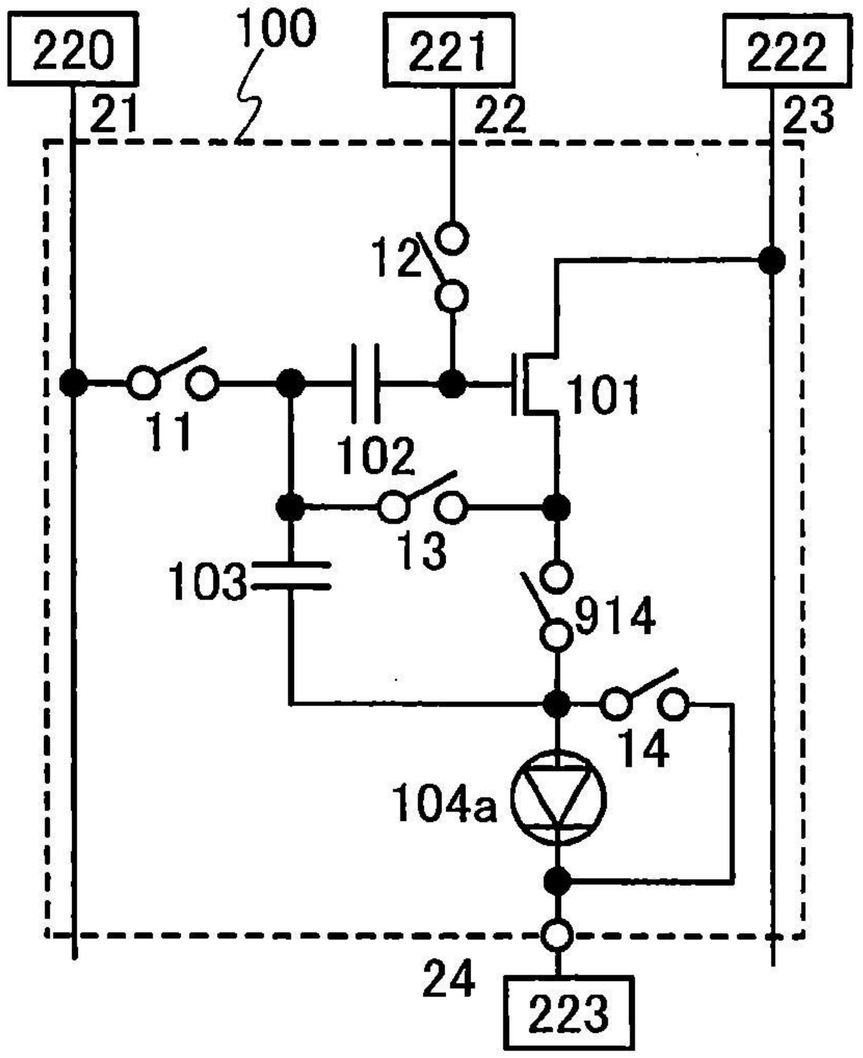


圖47C

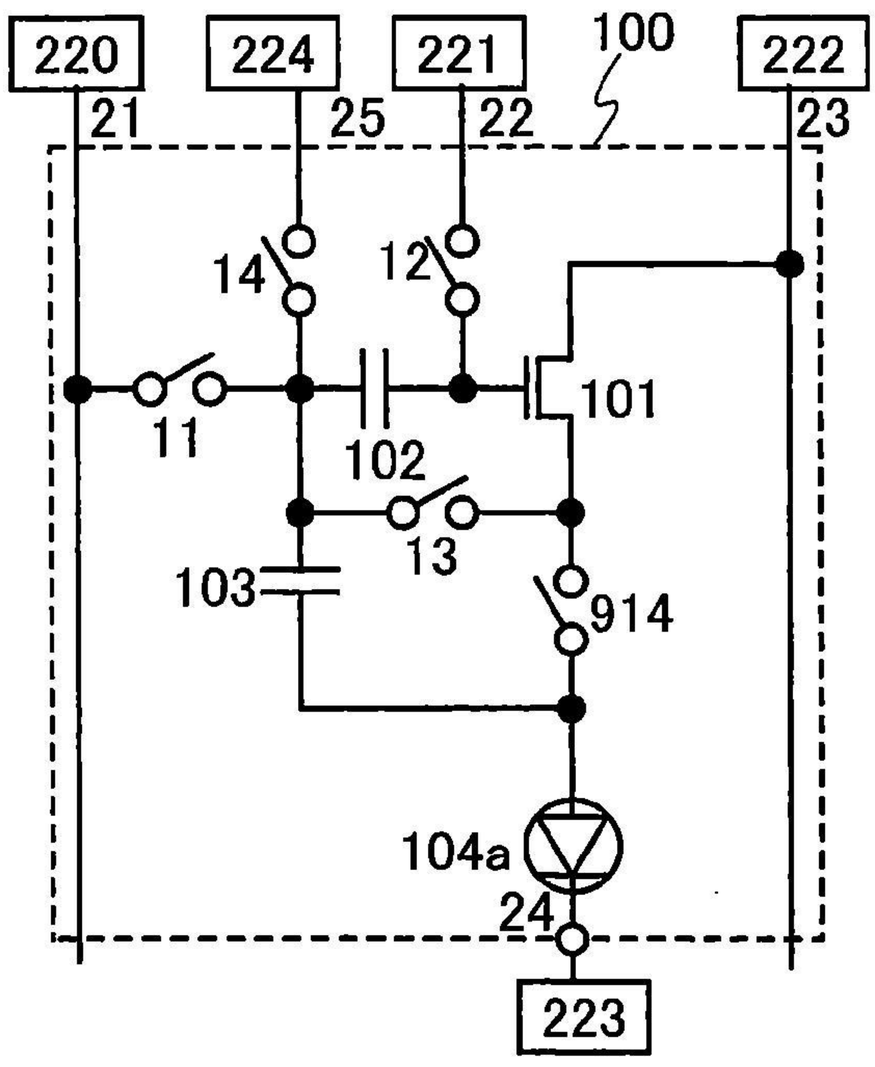


圖47D

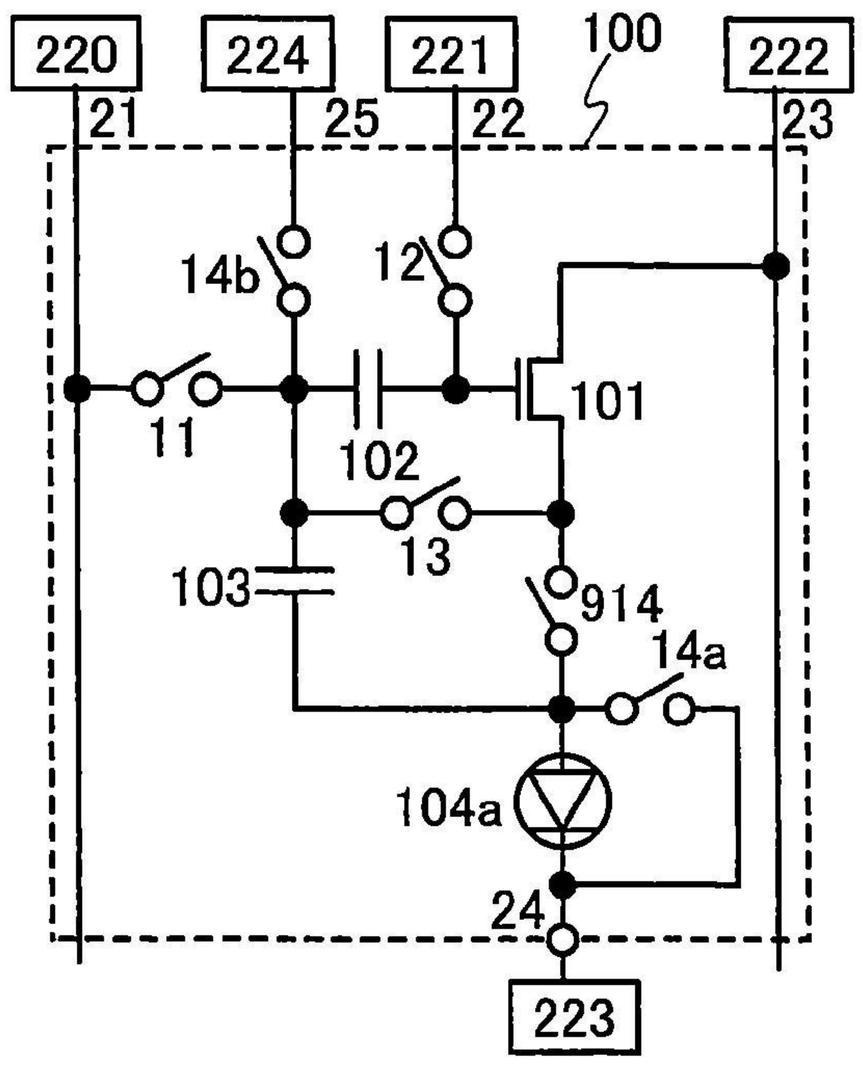


圖48A

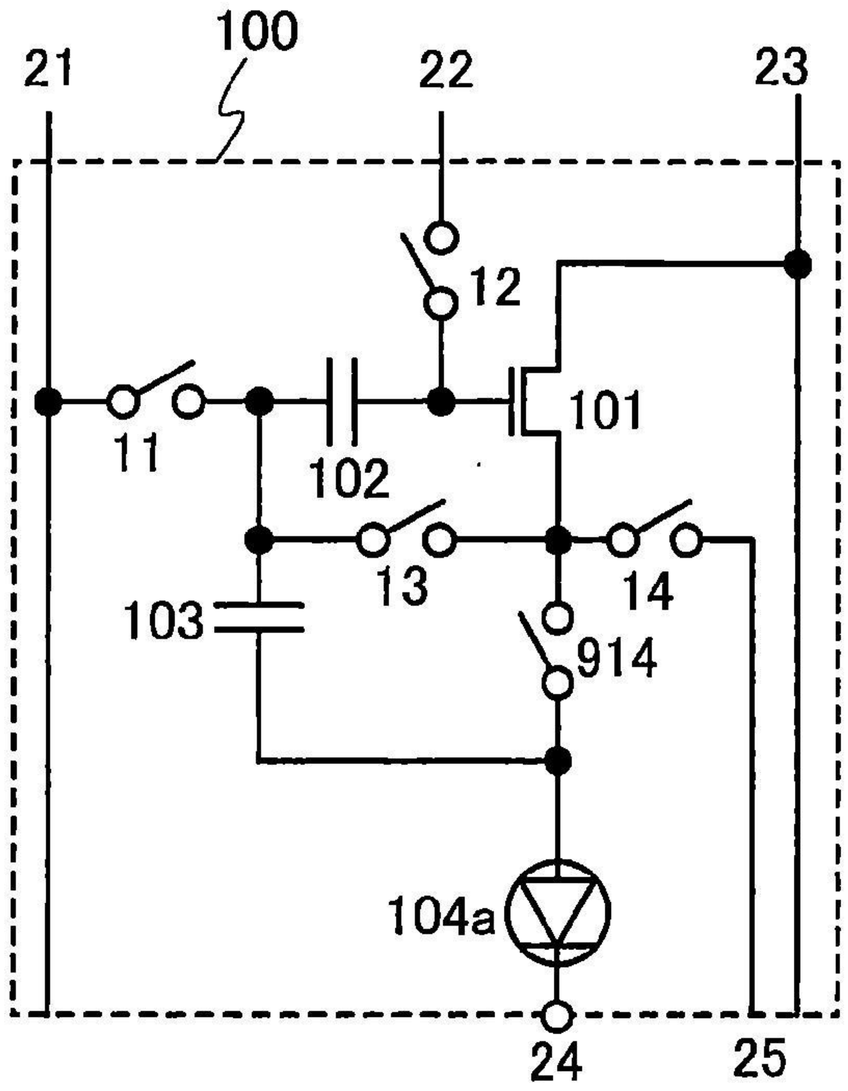


圖48B

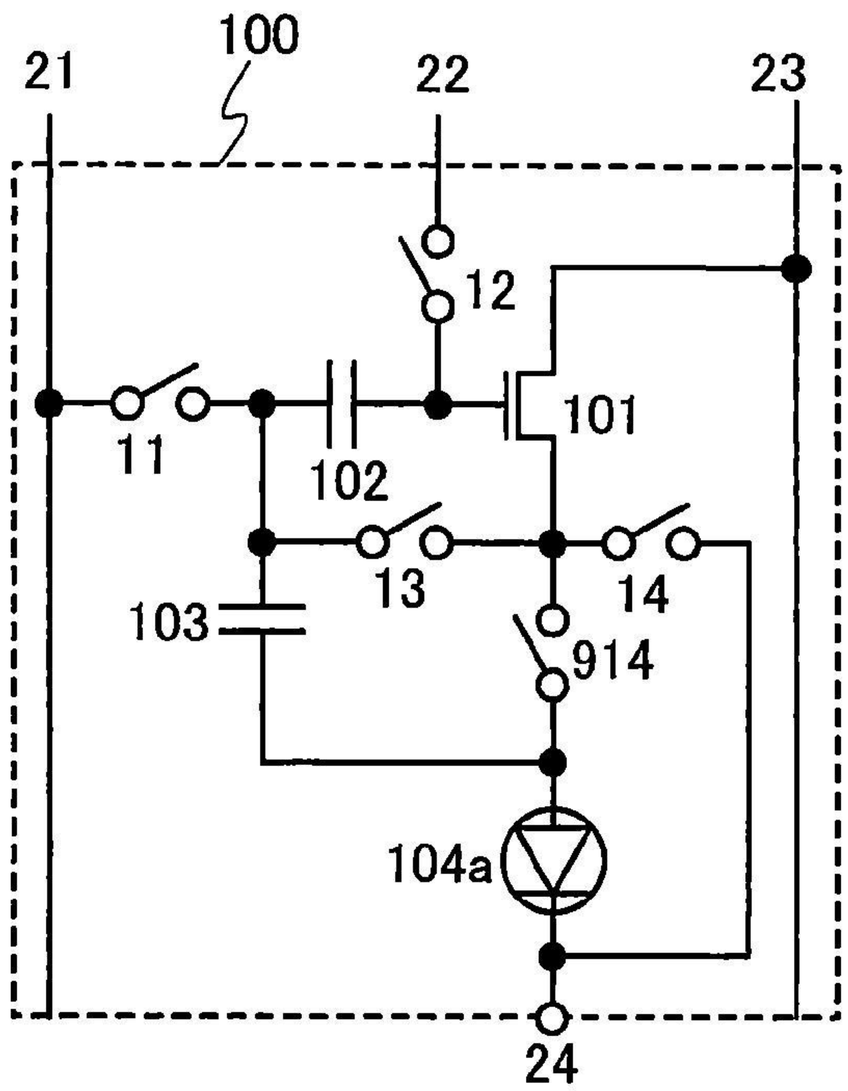


圖48C

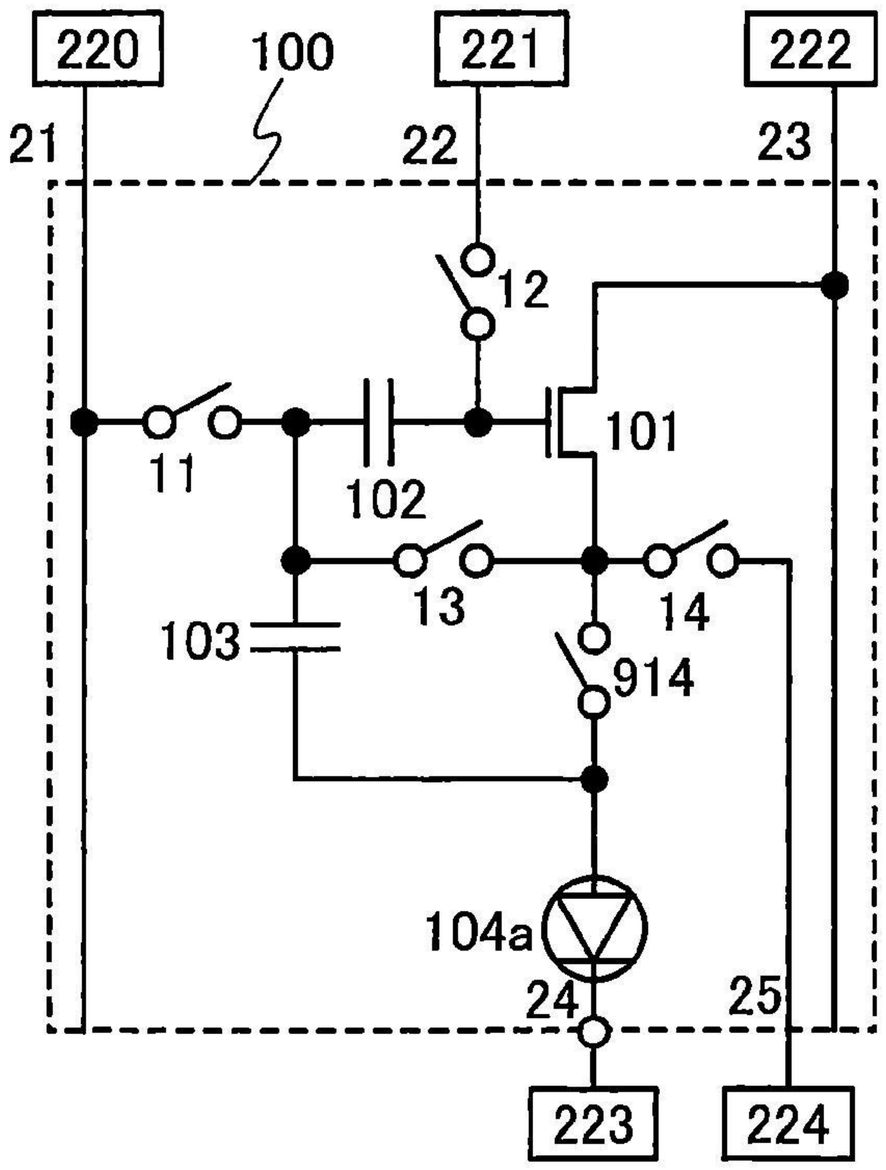


圖48D

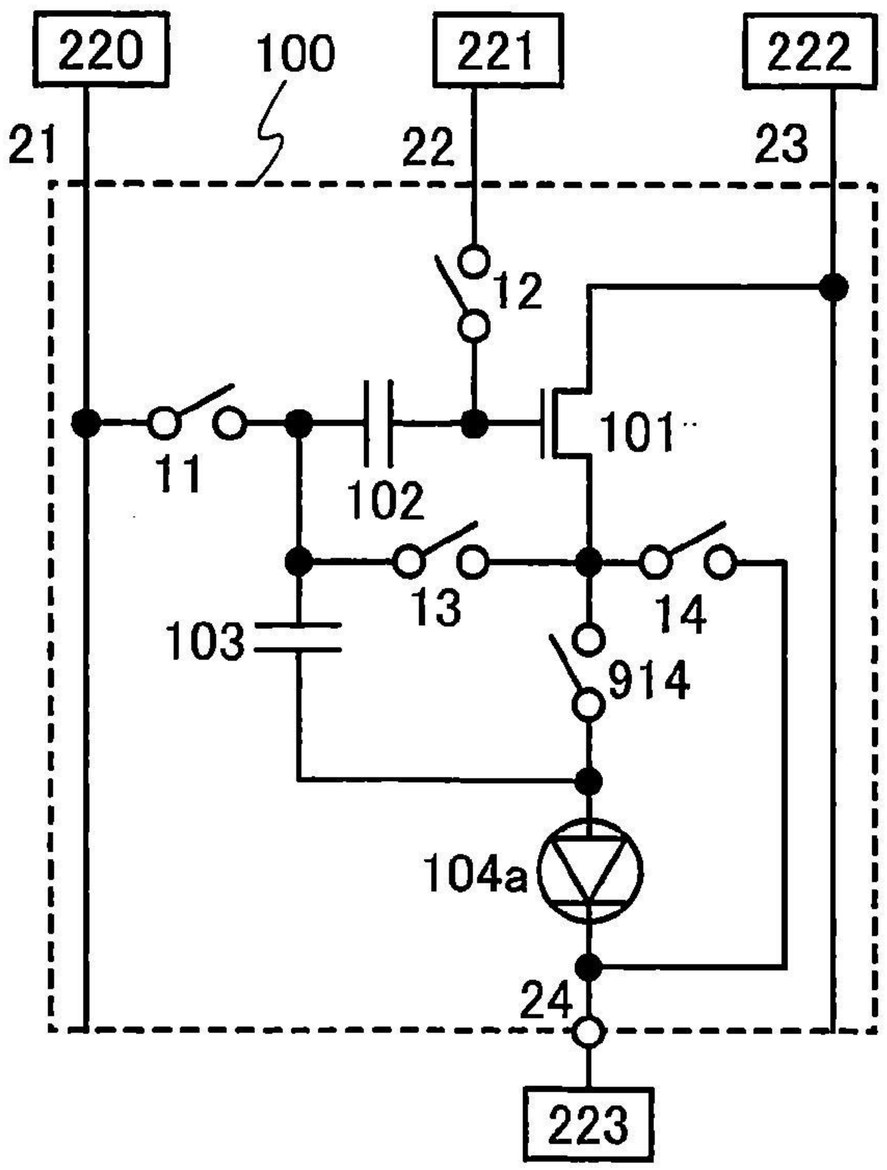


圖49A

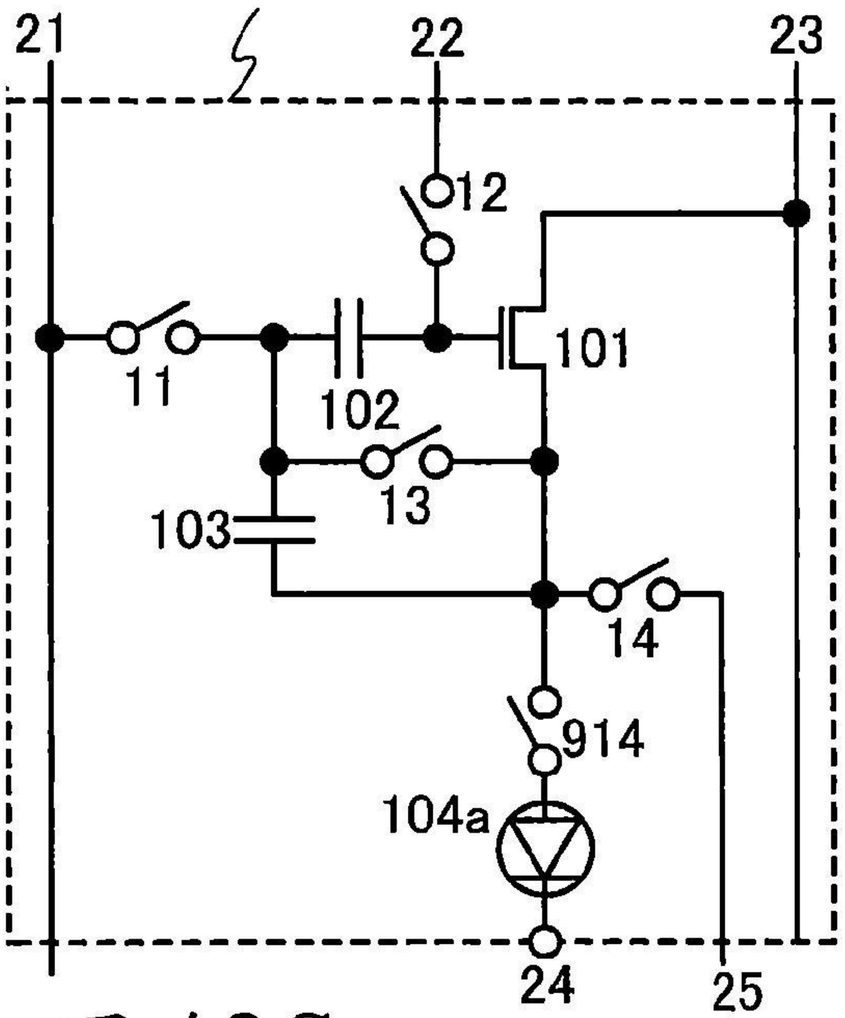


圖49B

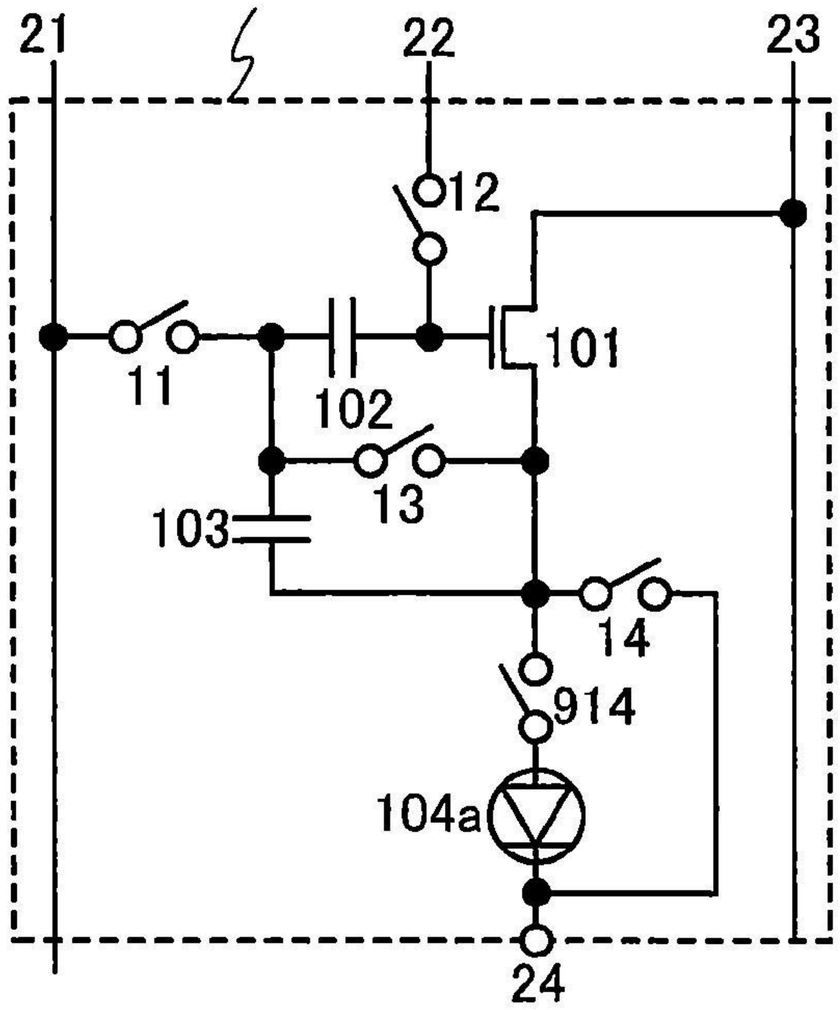


圖49C

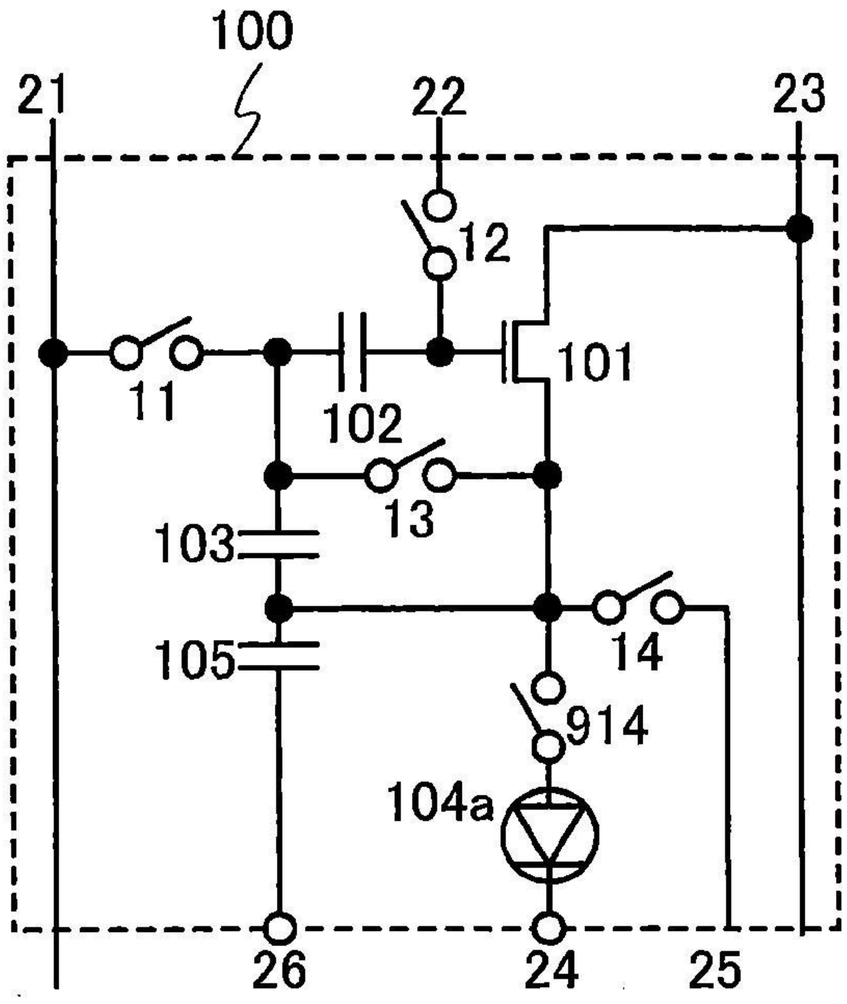


圖49D

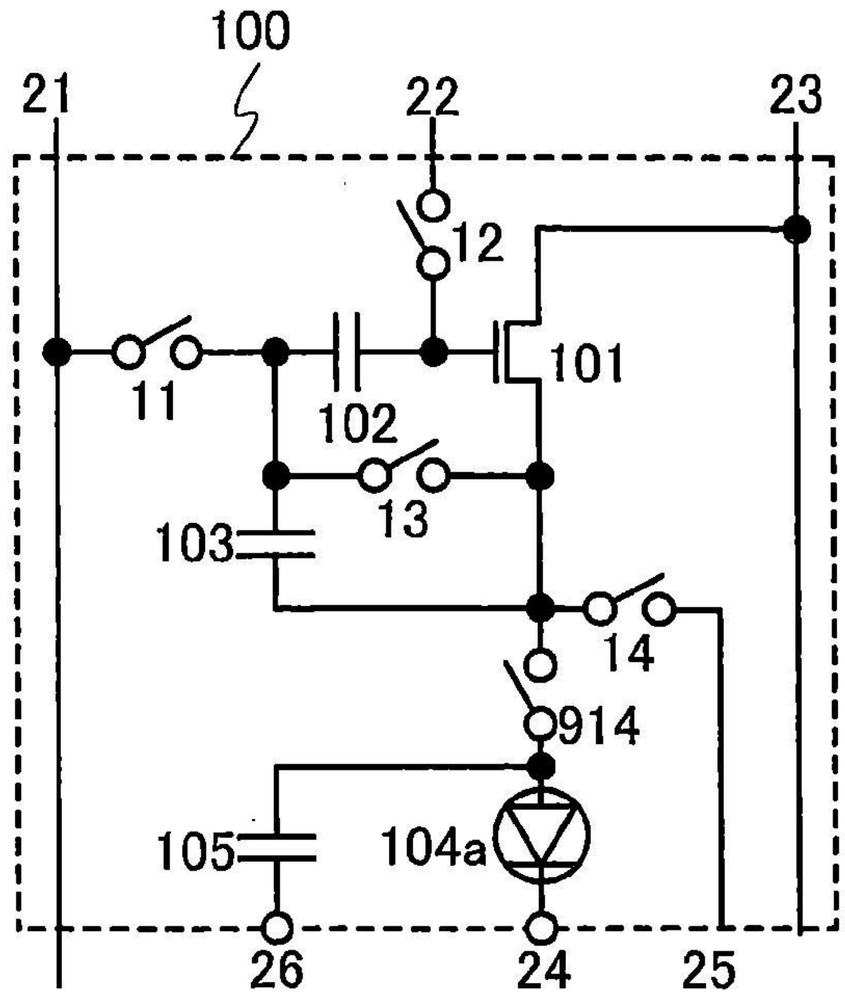


圖50A

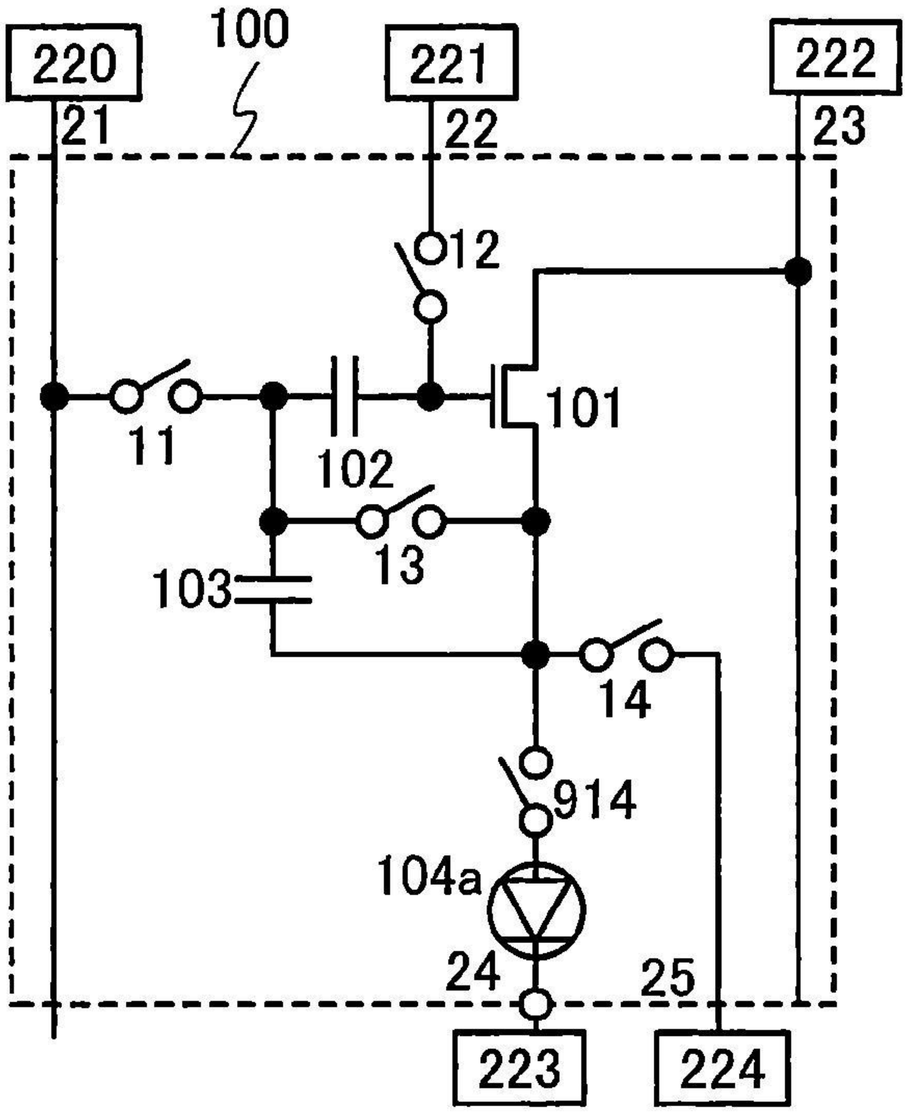


圖50B

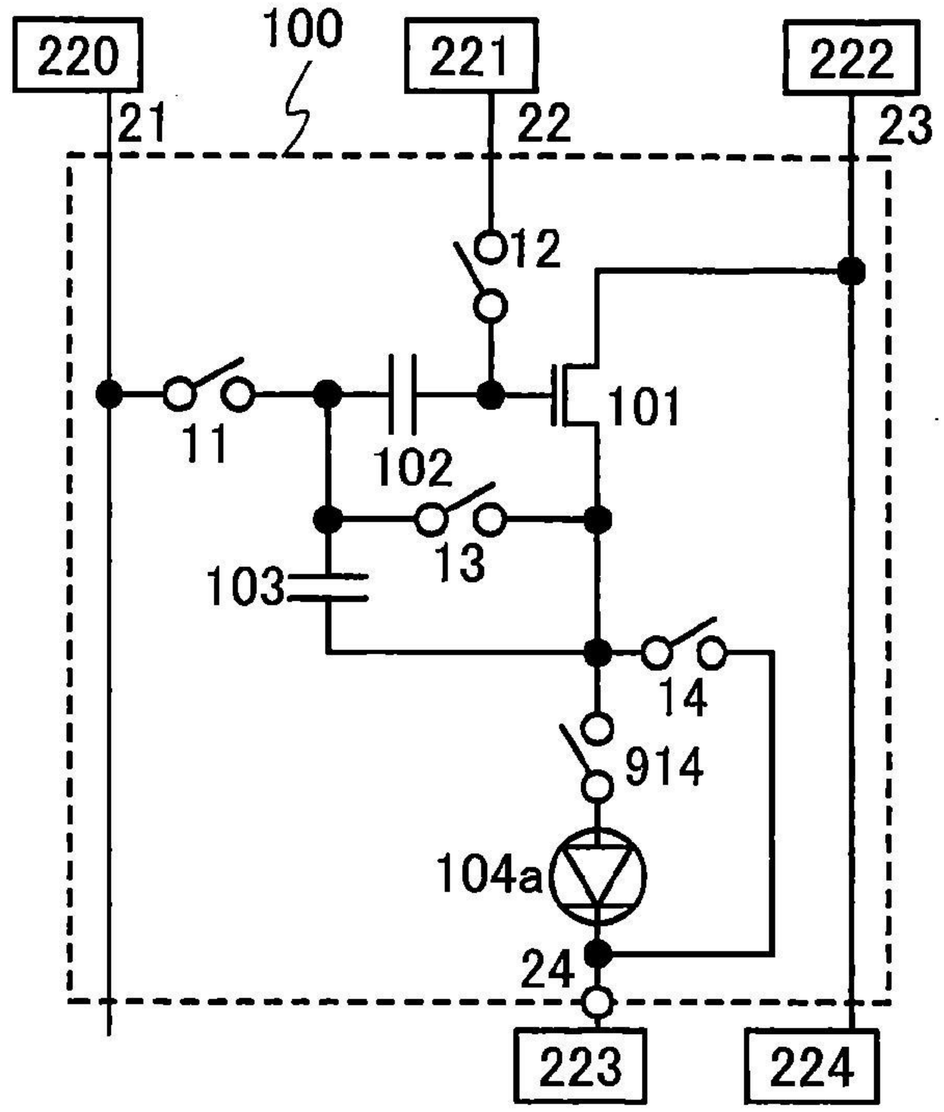


圖50C

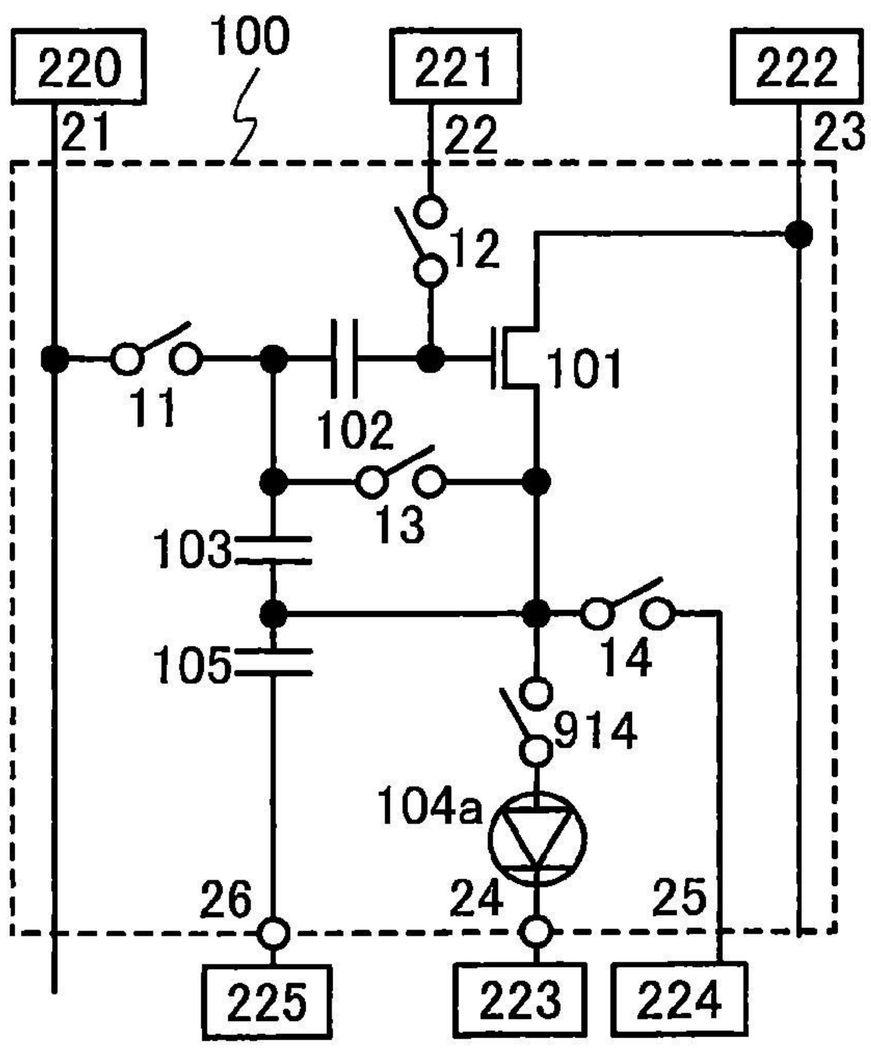


圖50D

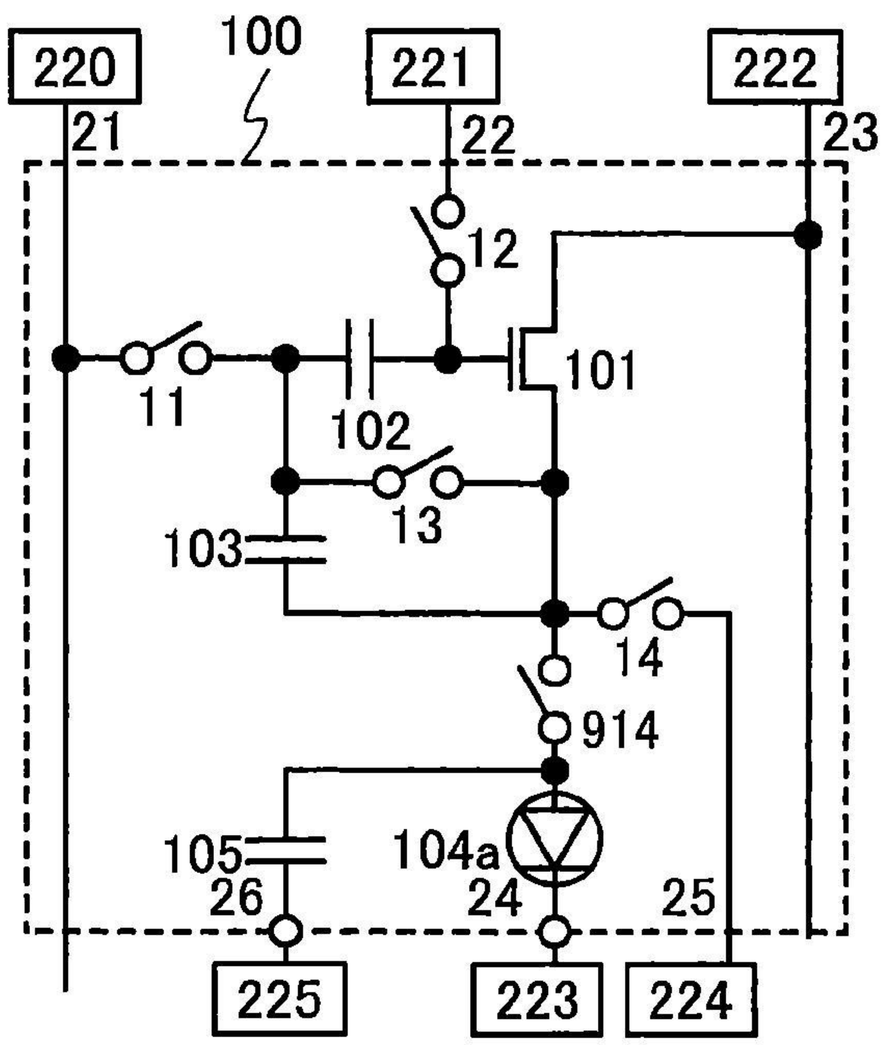


圖51A

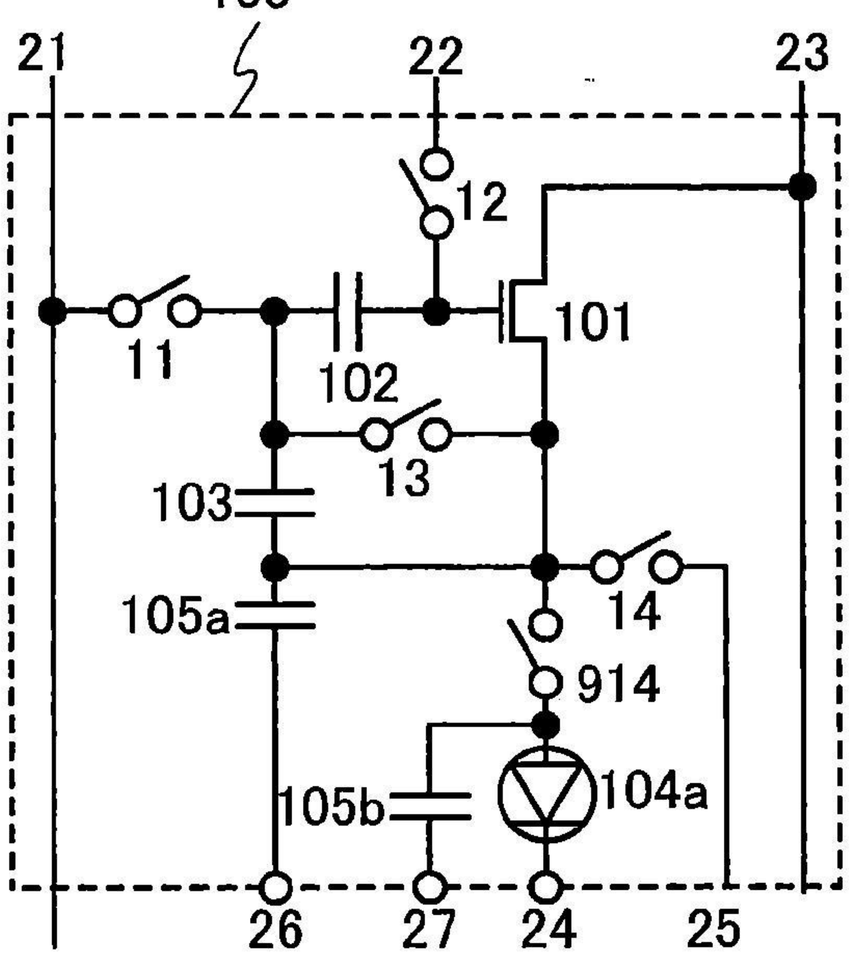


圖51B

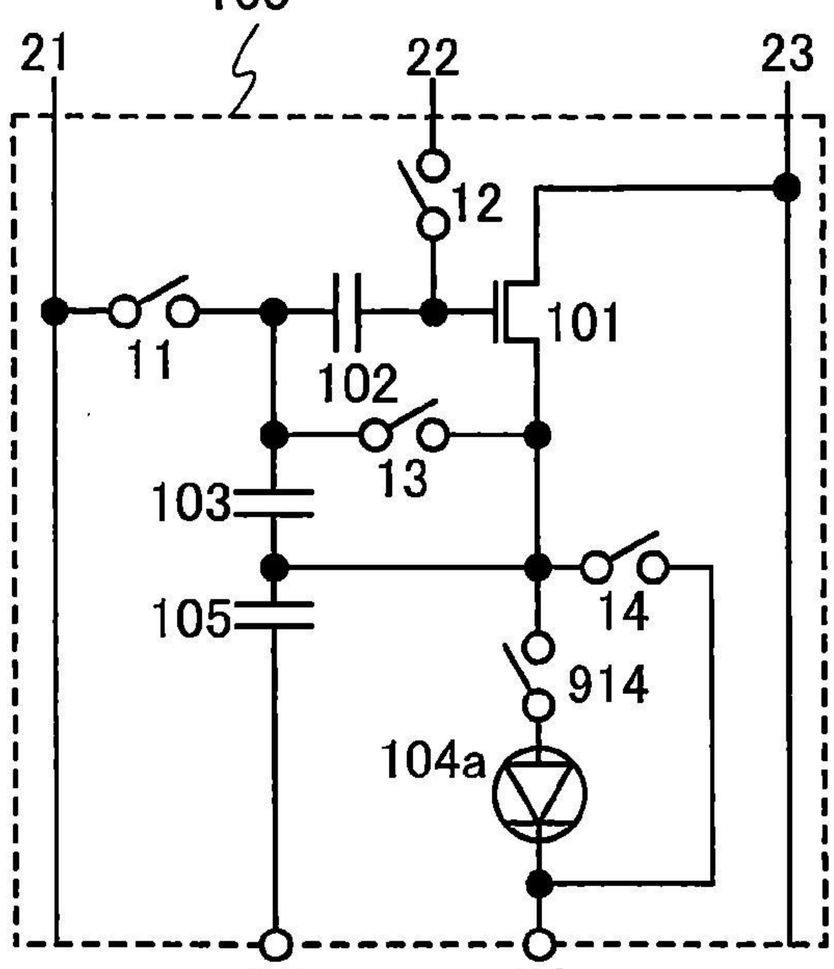


圖51C

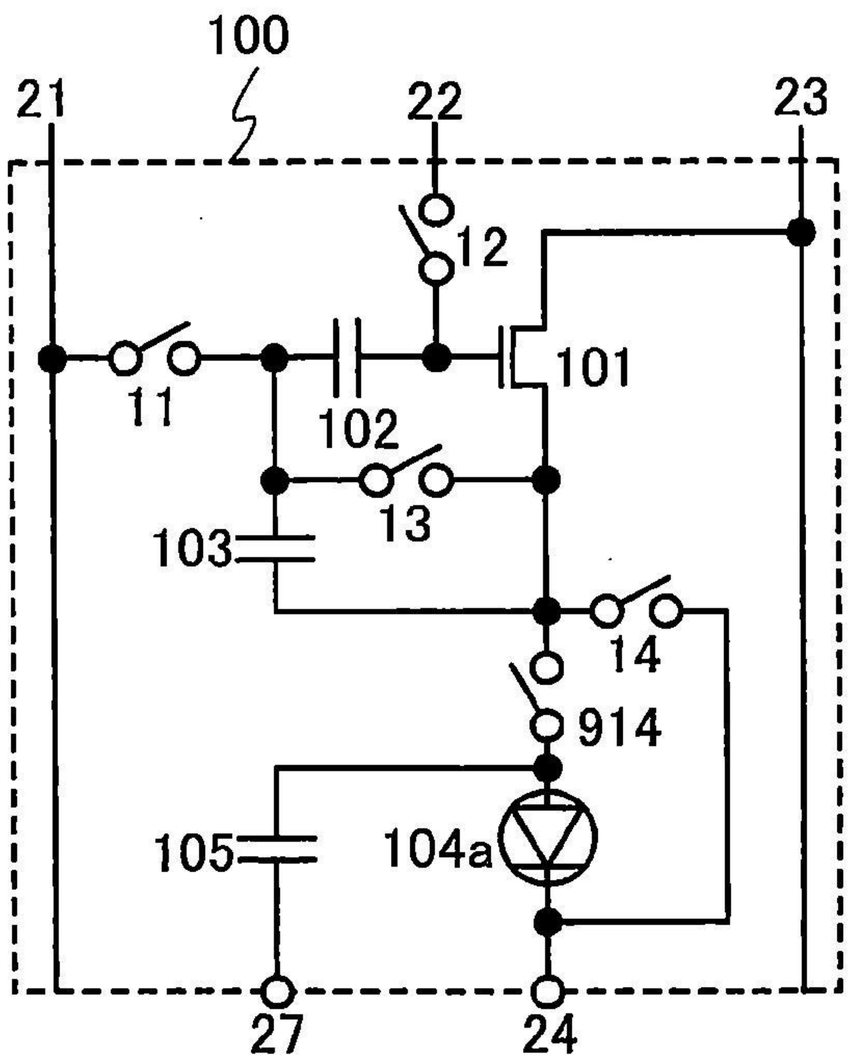


圖51D

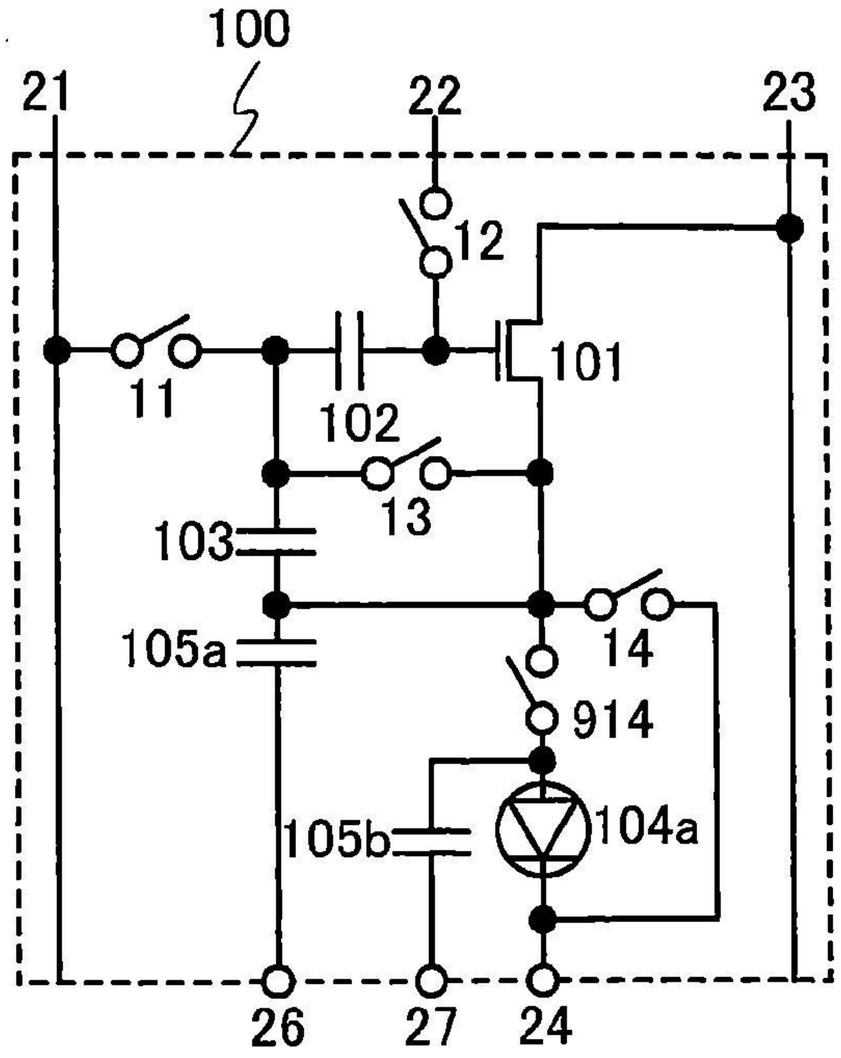


圖52A

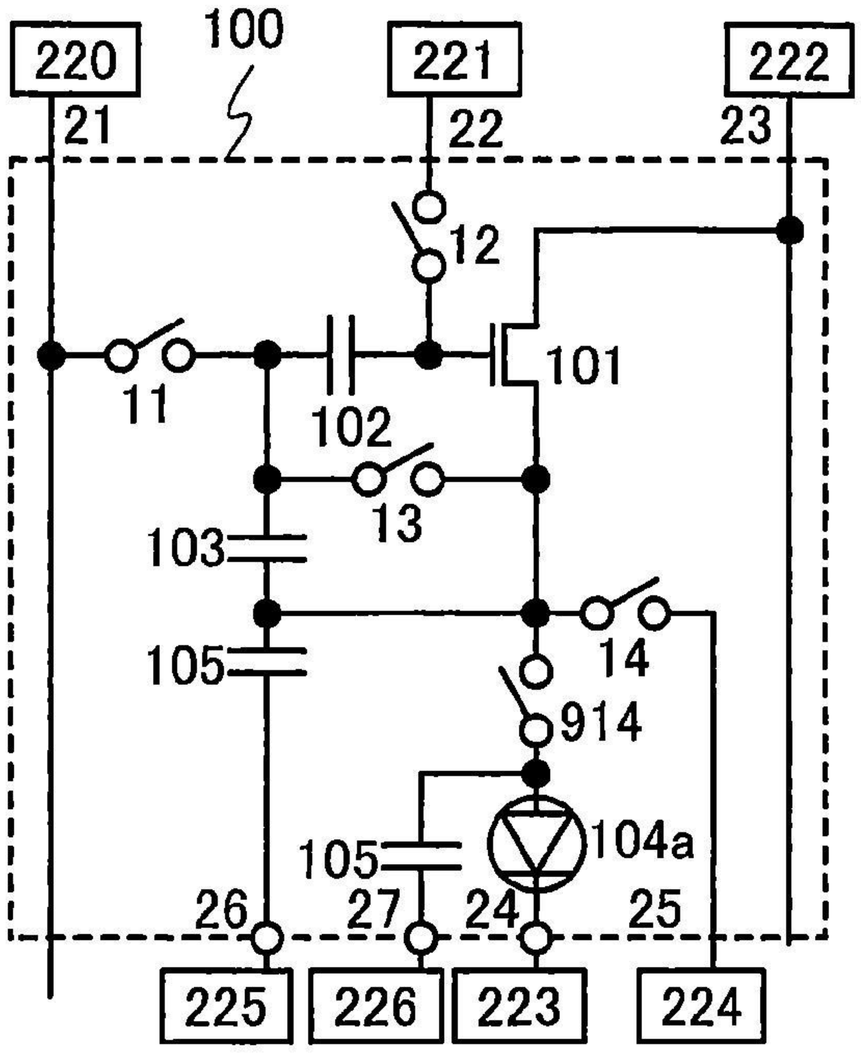


圖52B

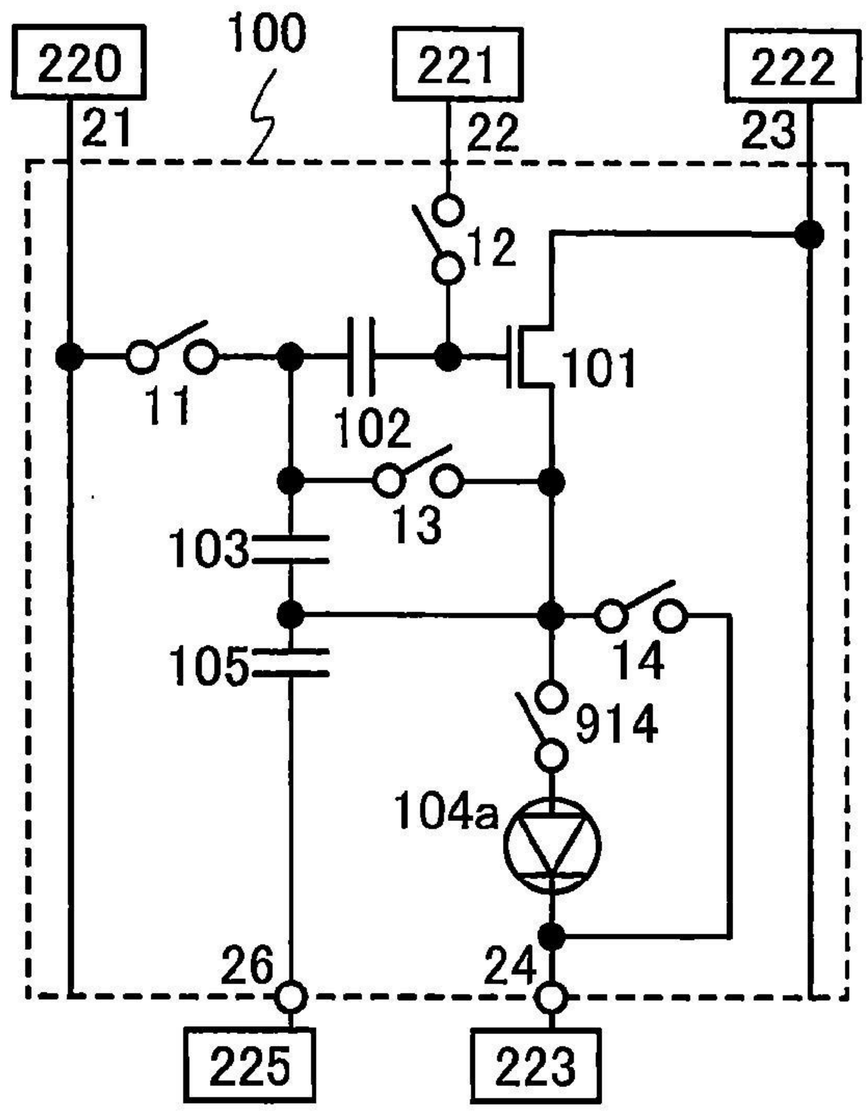


圖52C

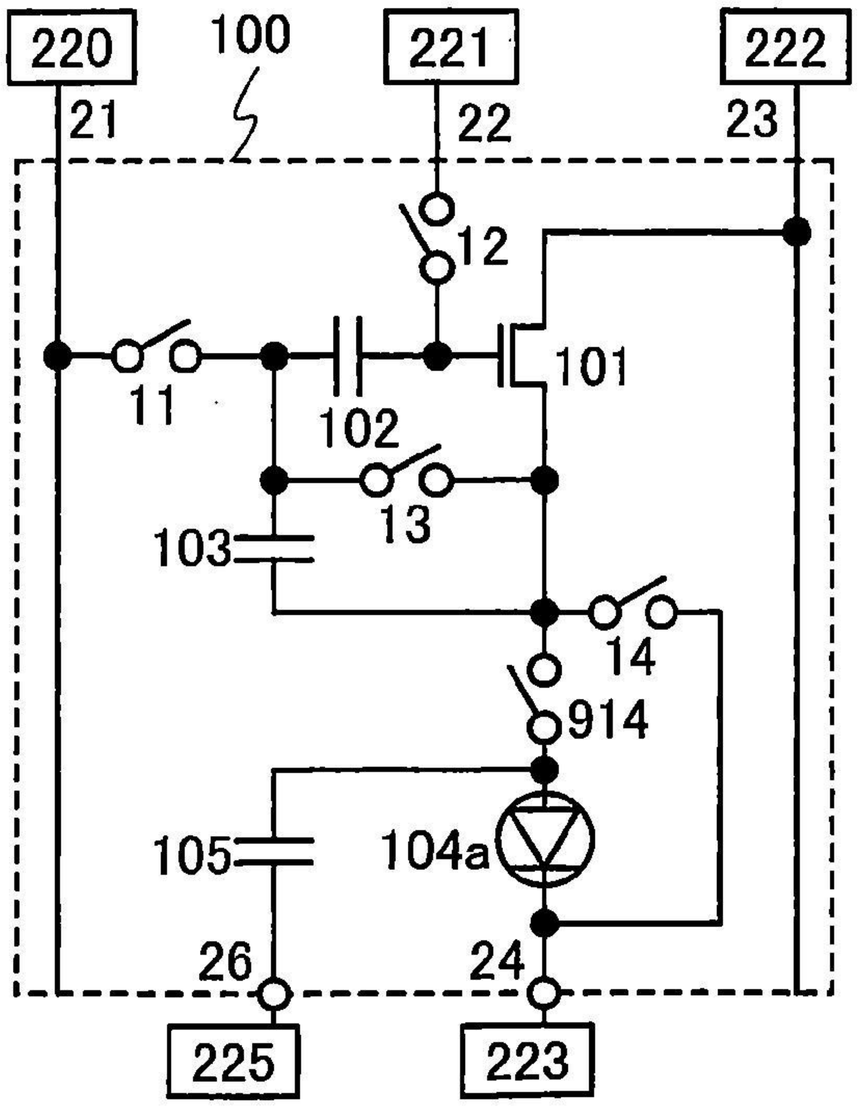


圖52D

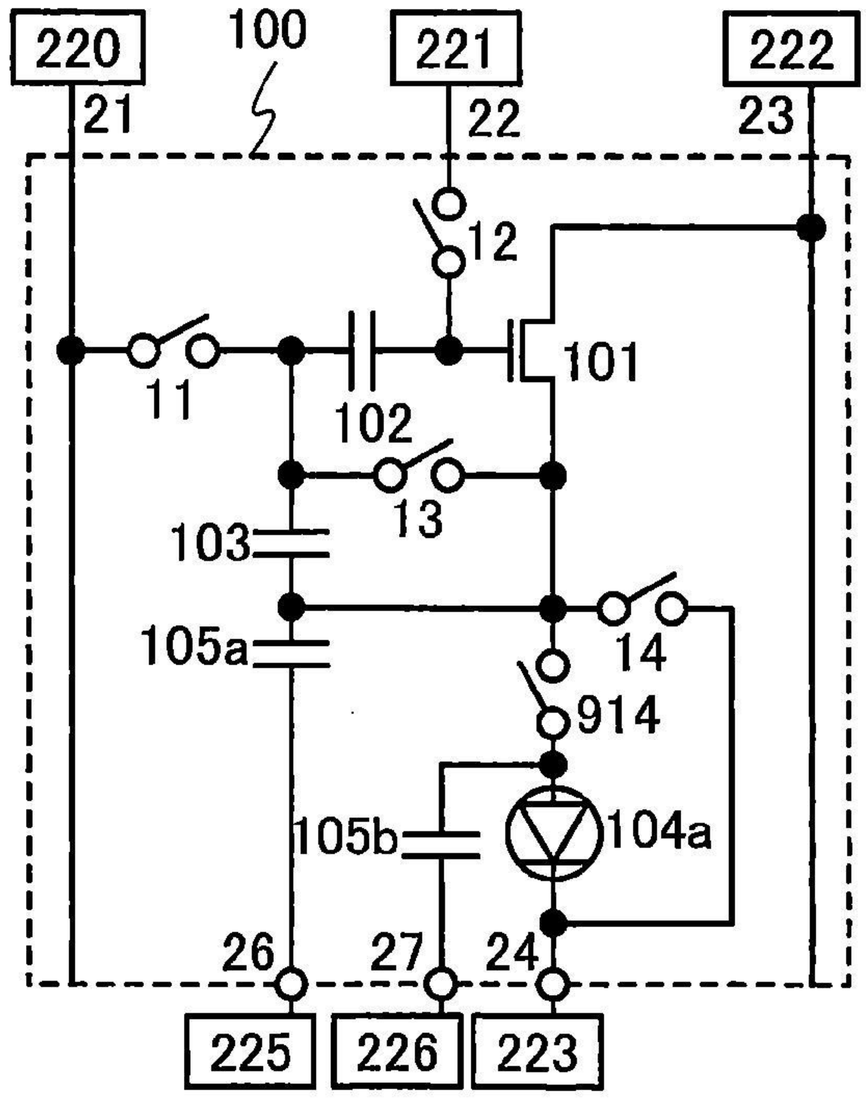


圖53A

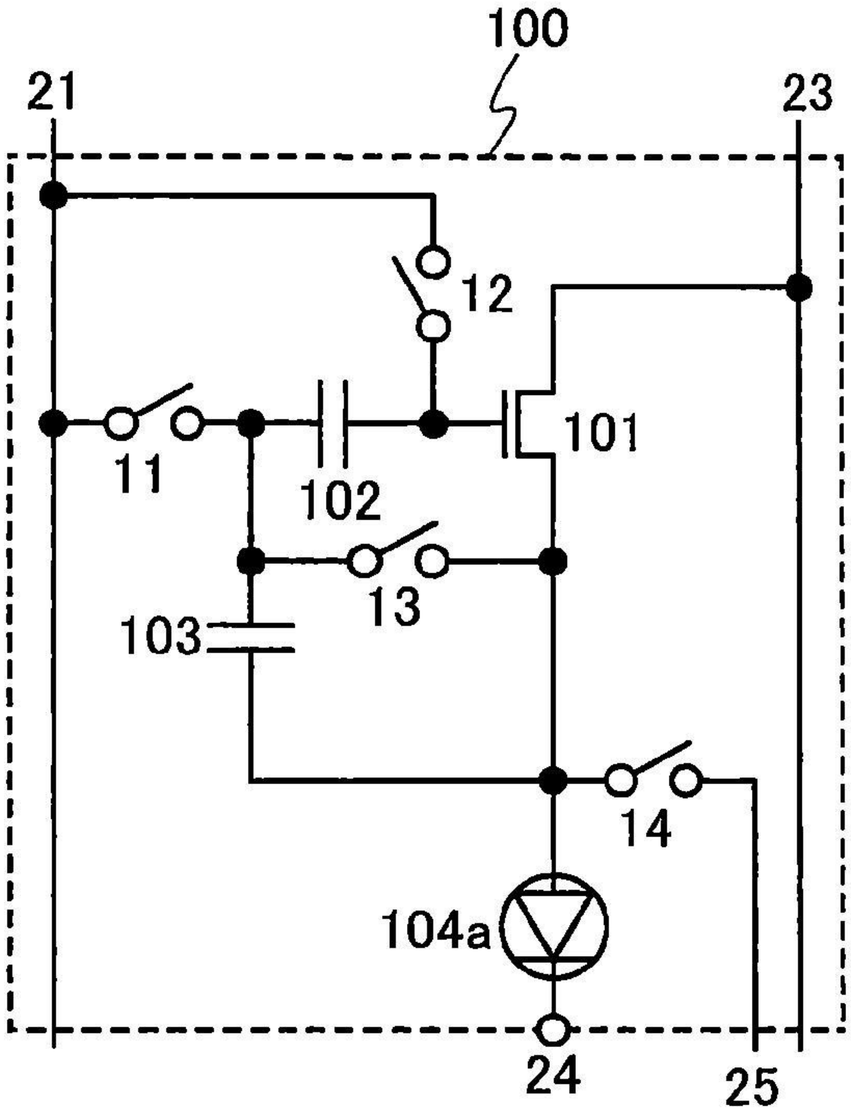


圖53B

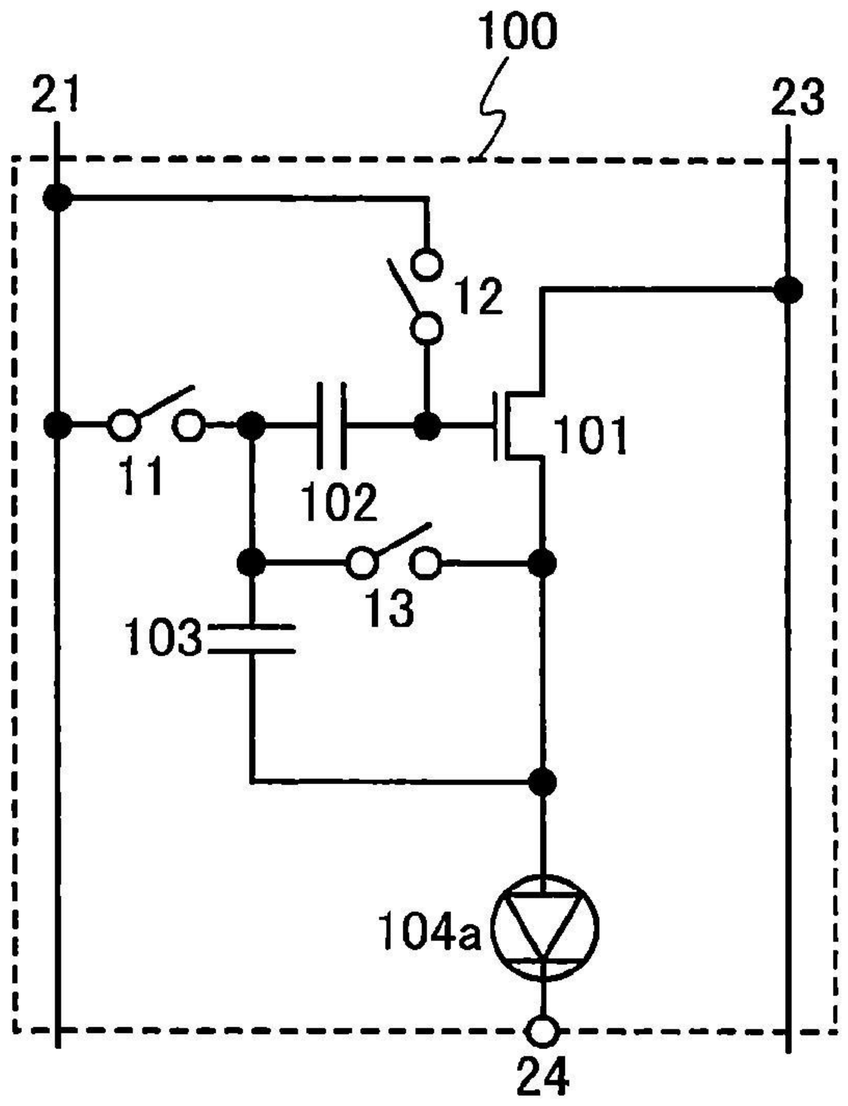


圖53C

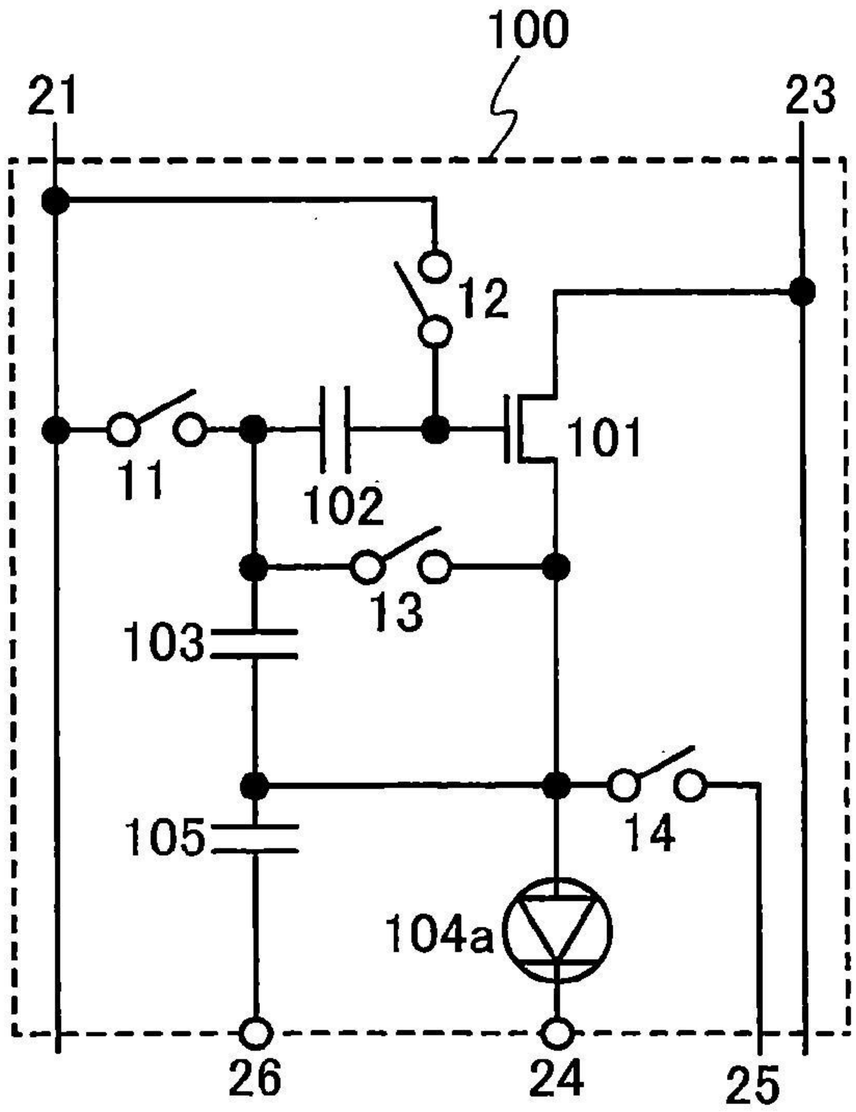


圖53D

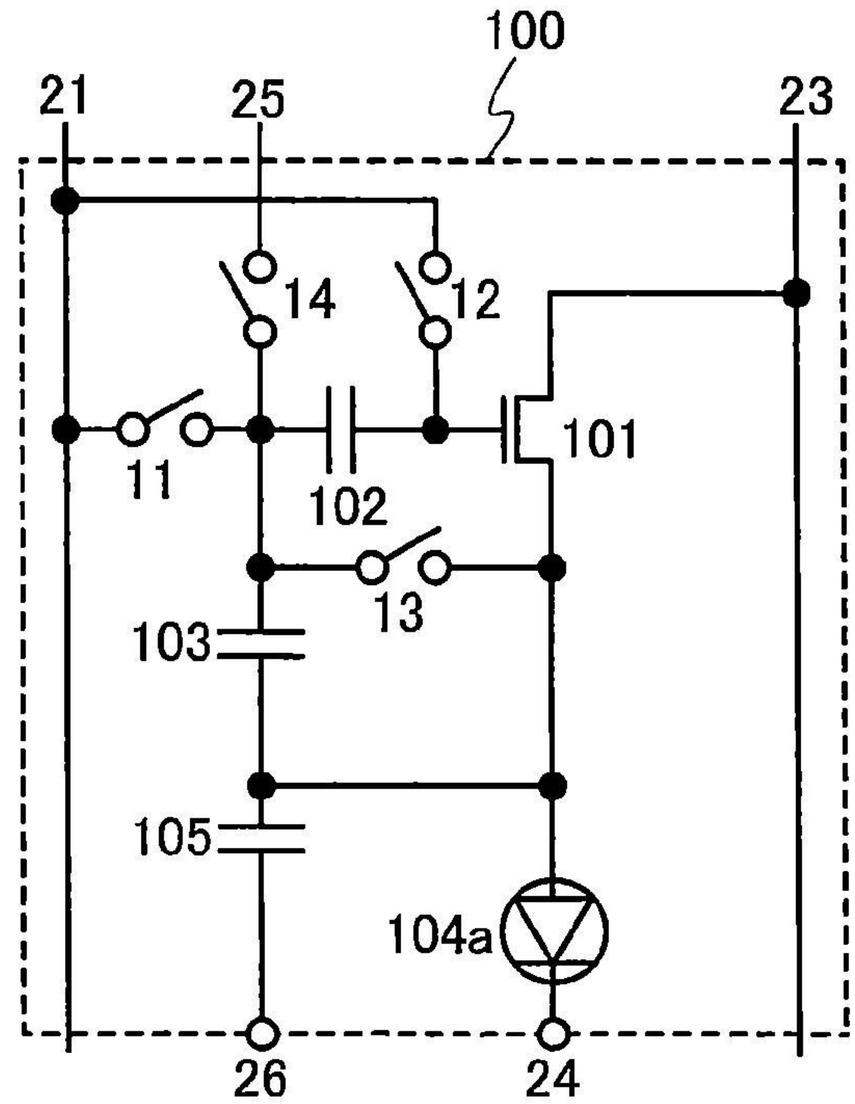


圖54A

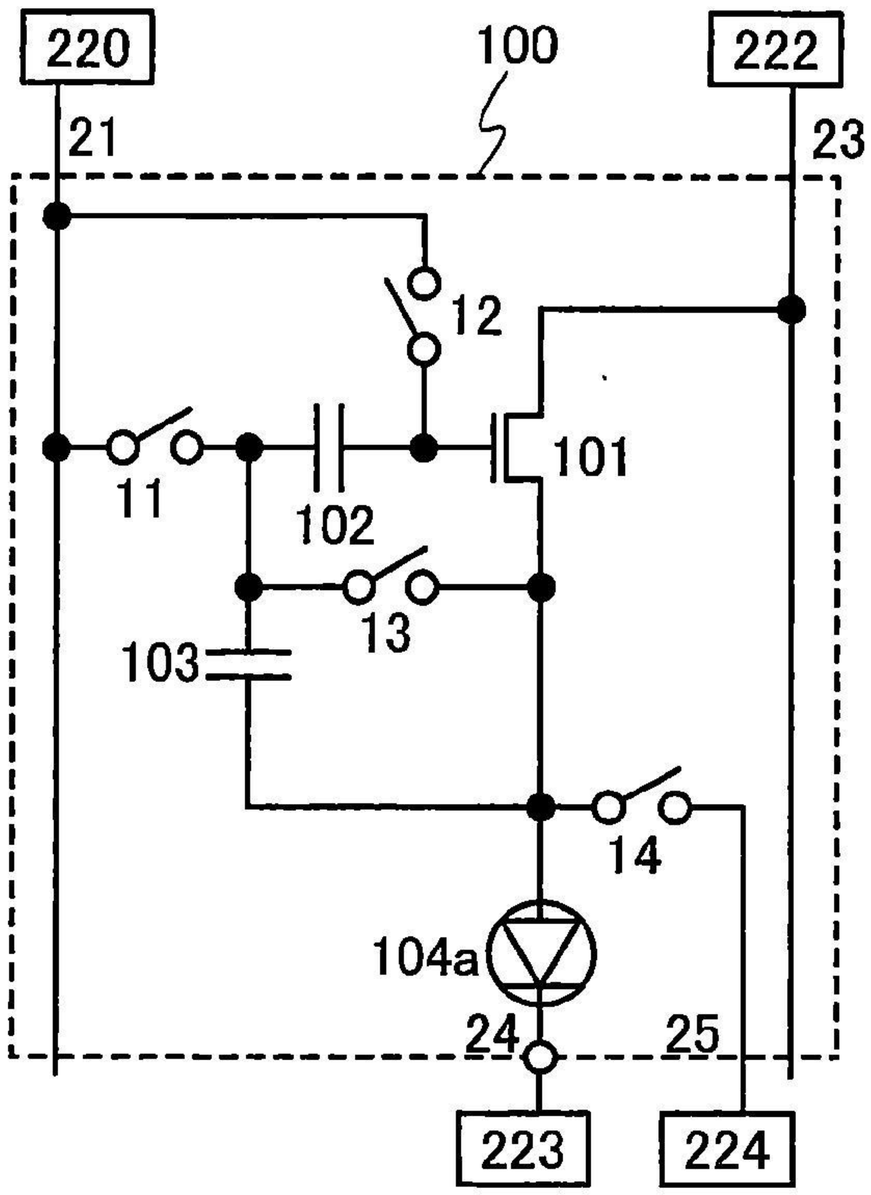


圖54B

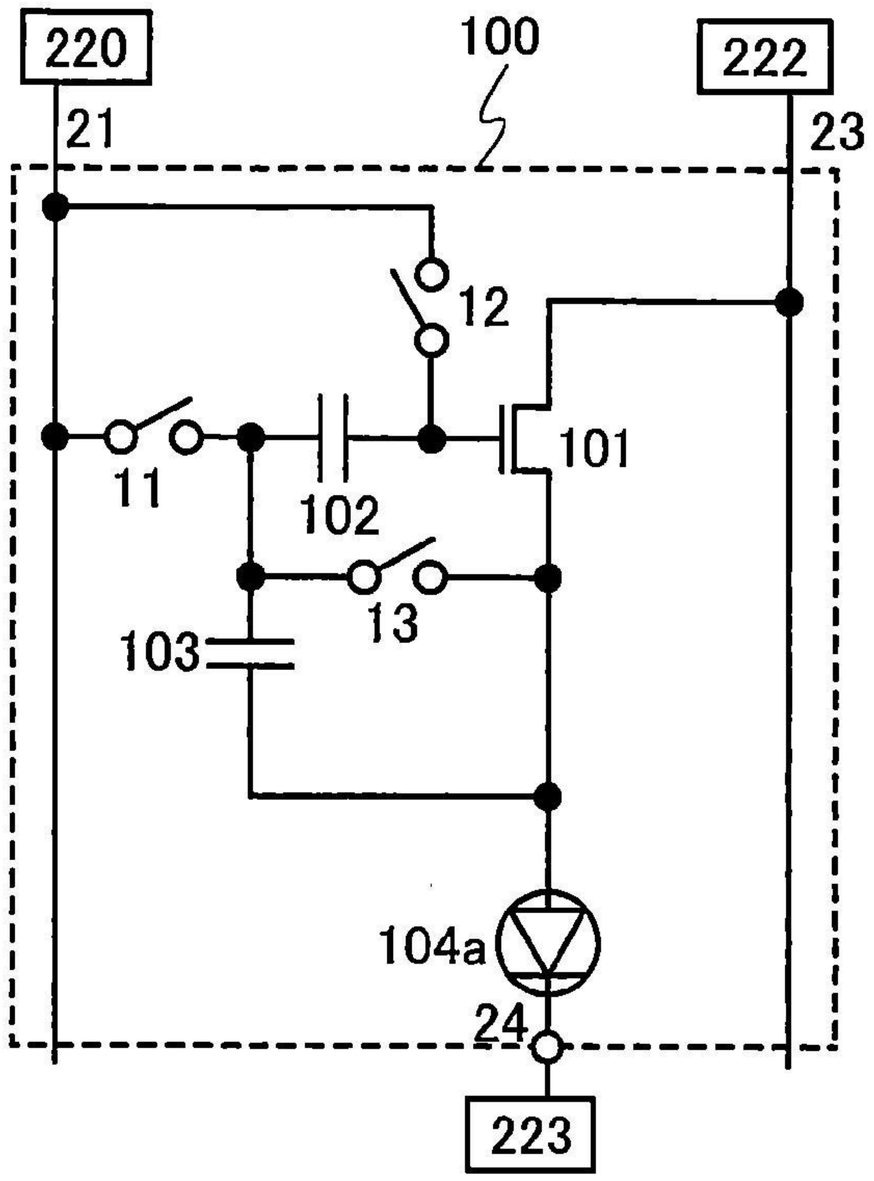


圖54C

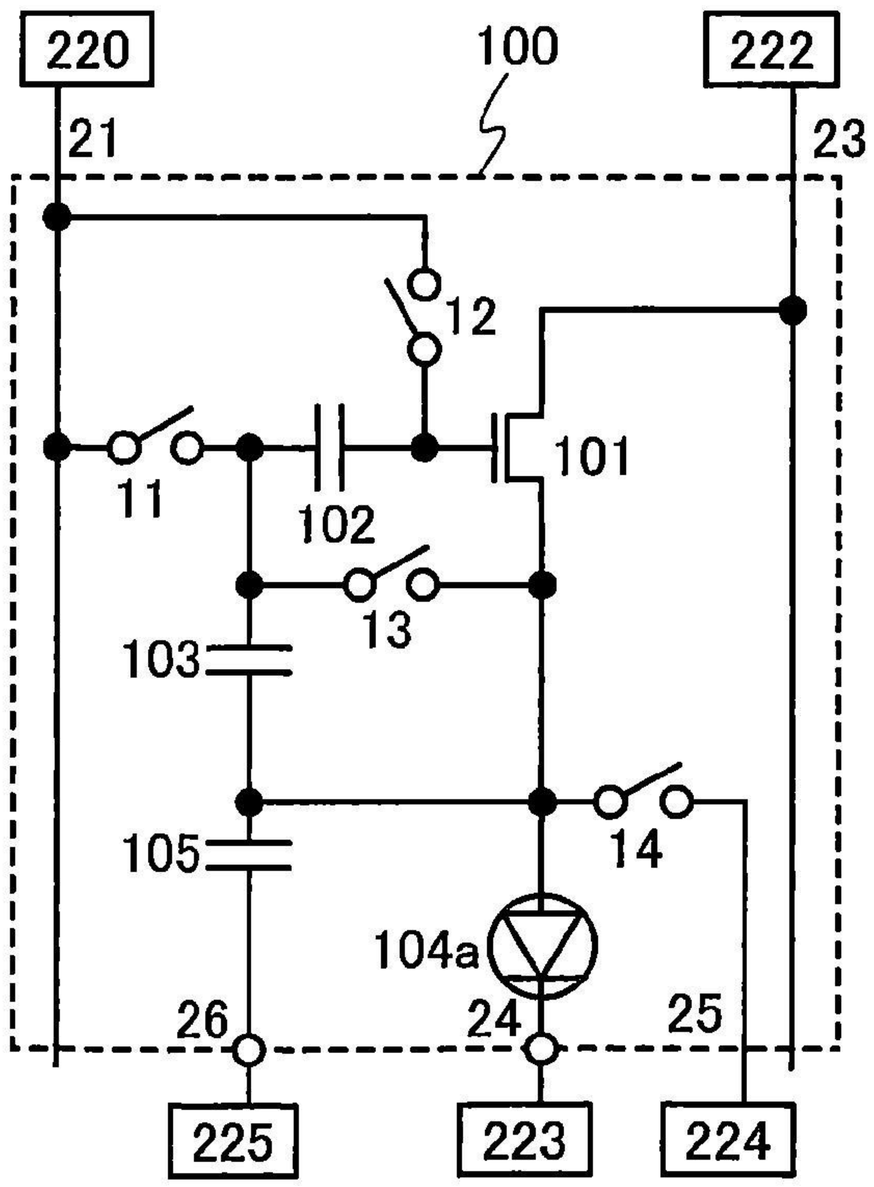


圖54D

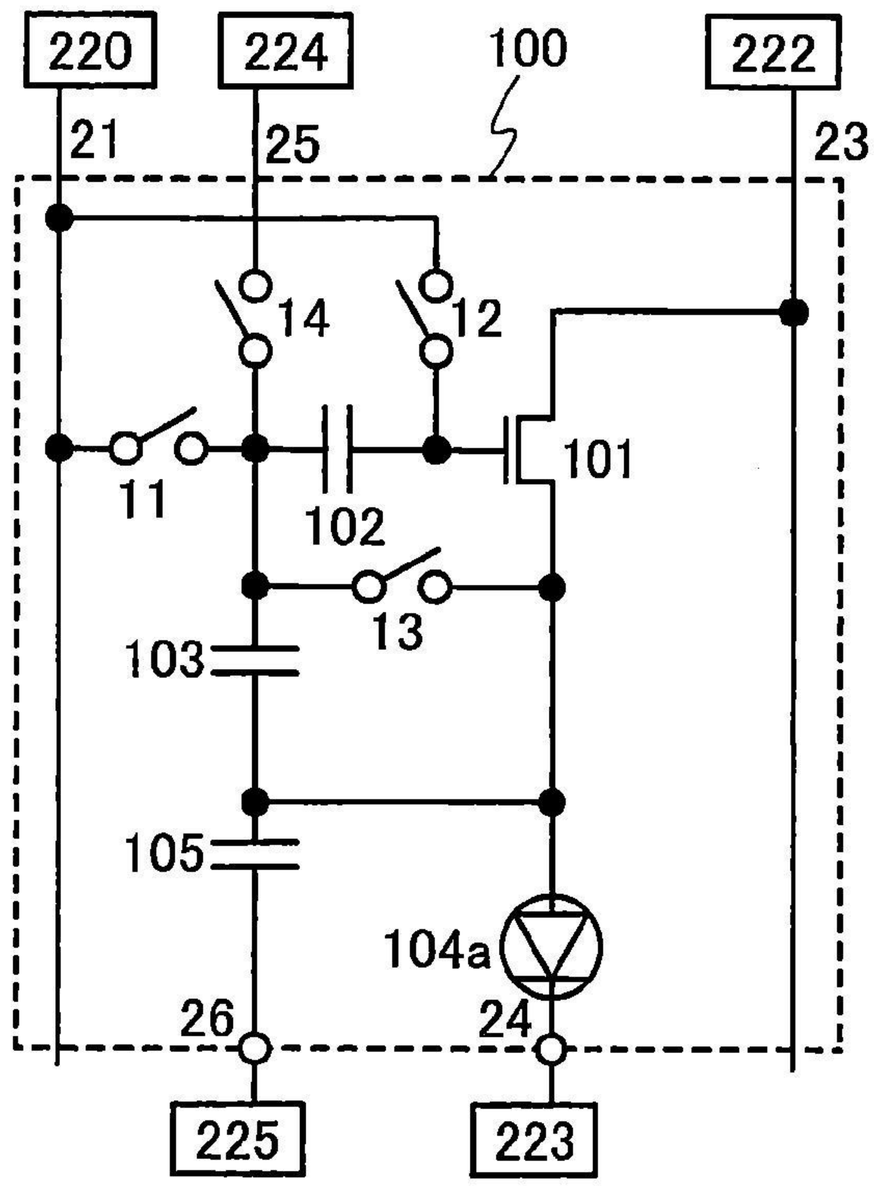


圖55A

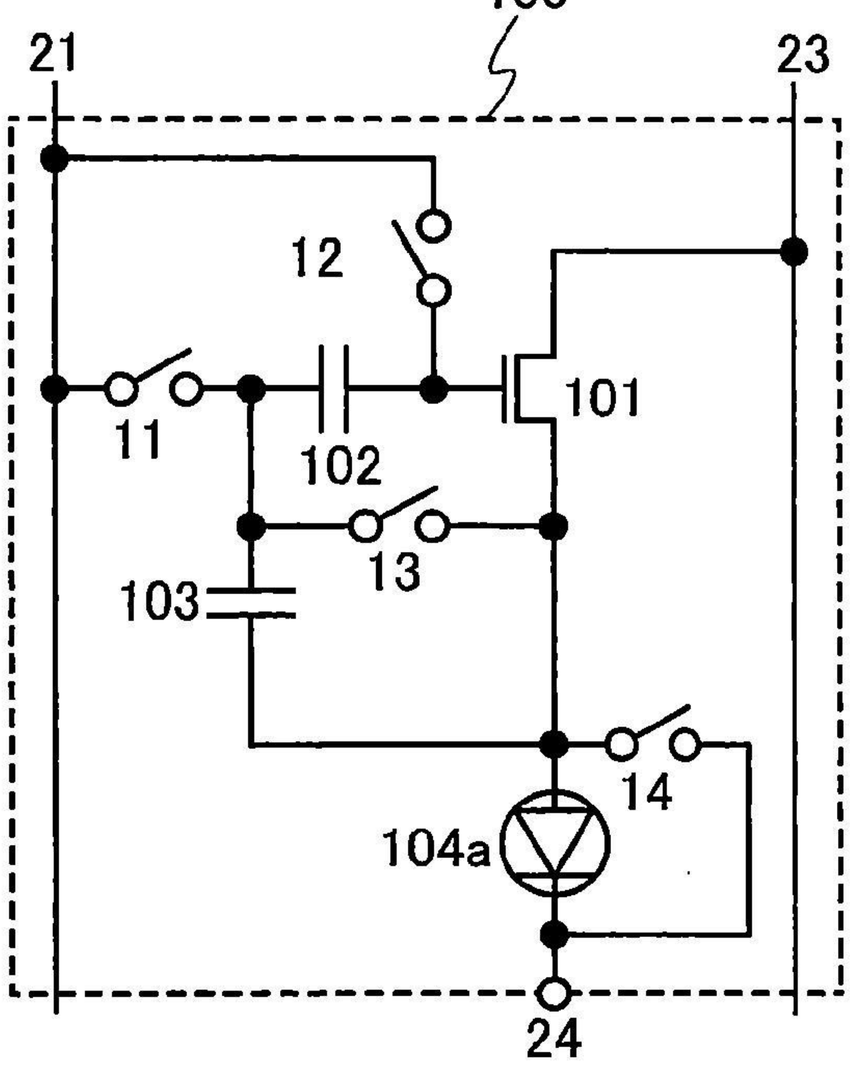


圖55B

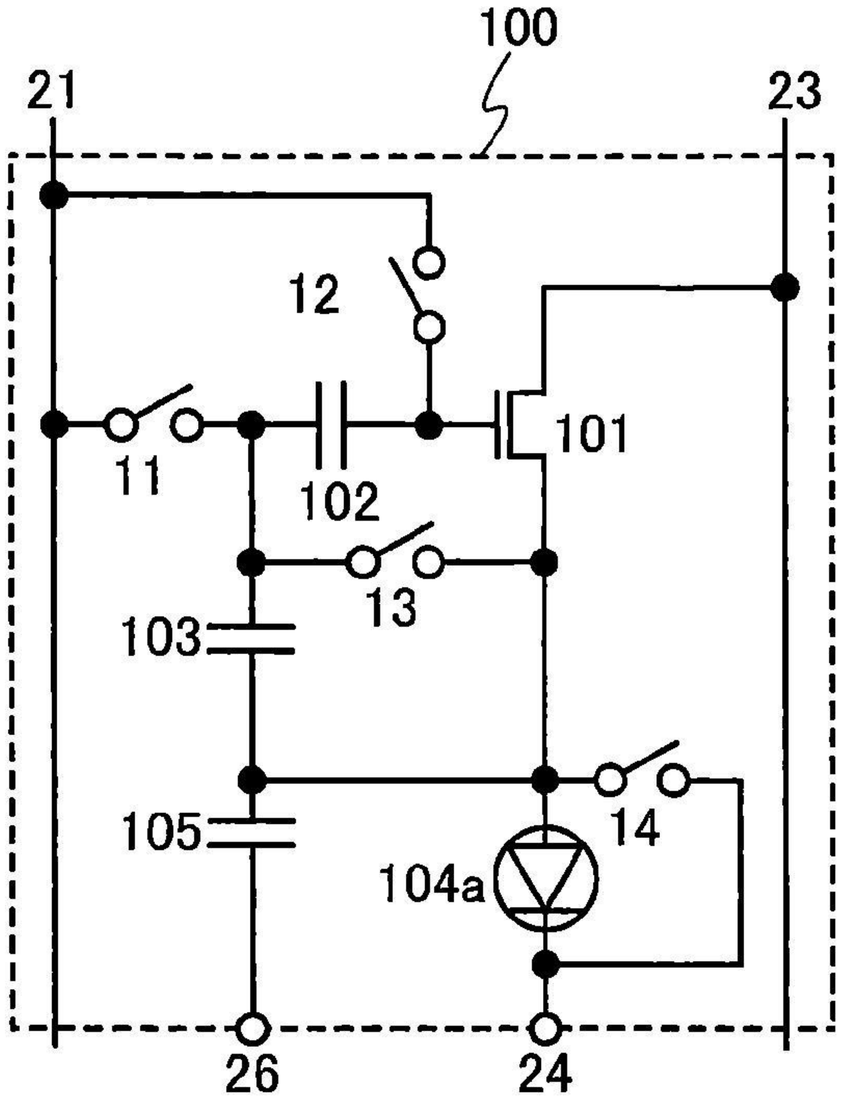


圖55C

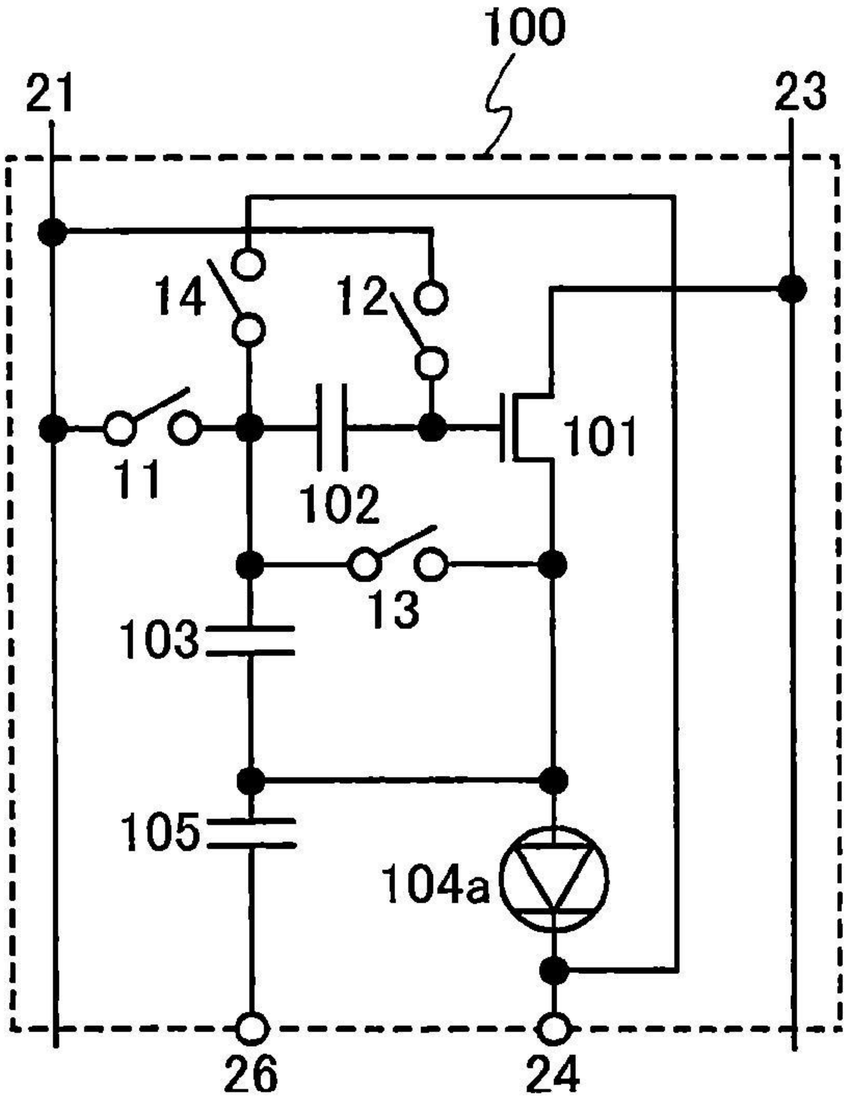


圖56A

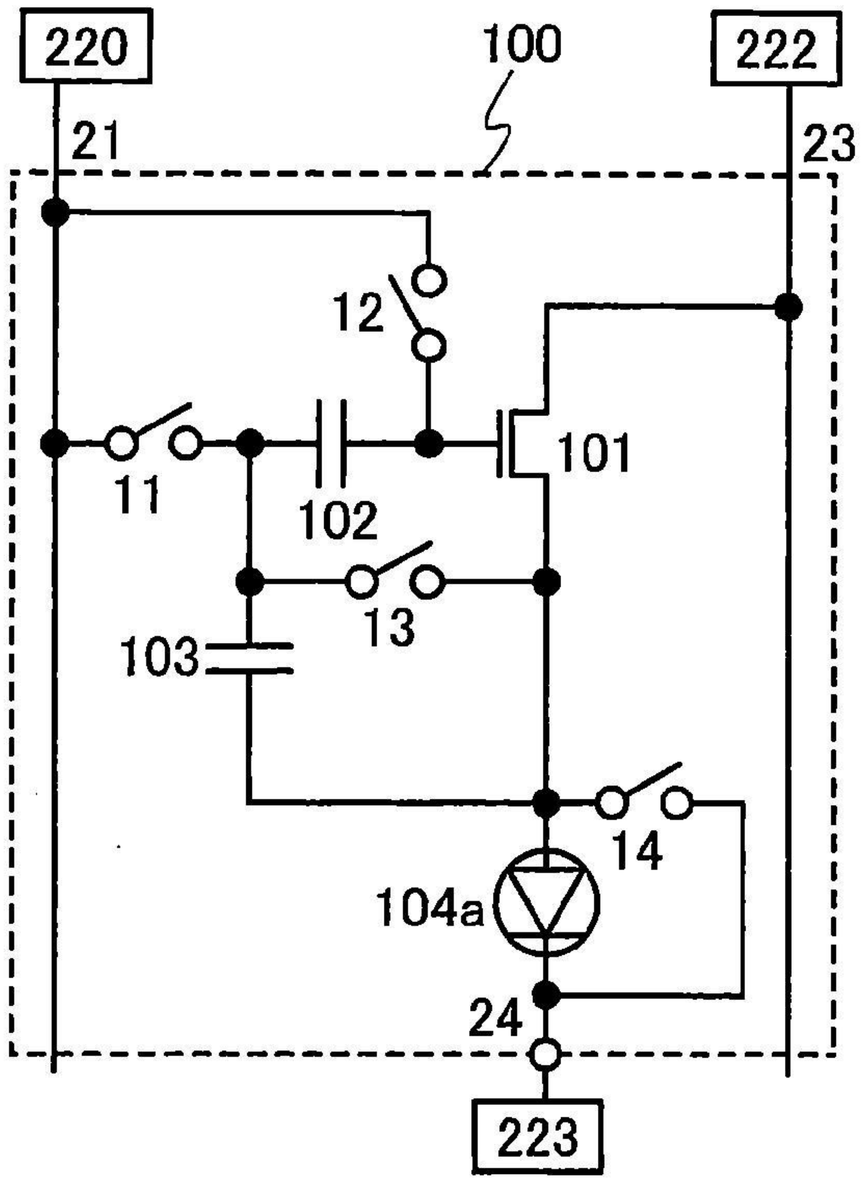


圖56B

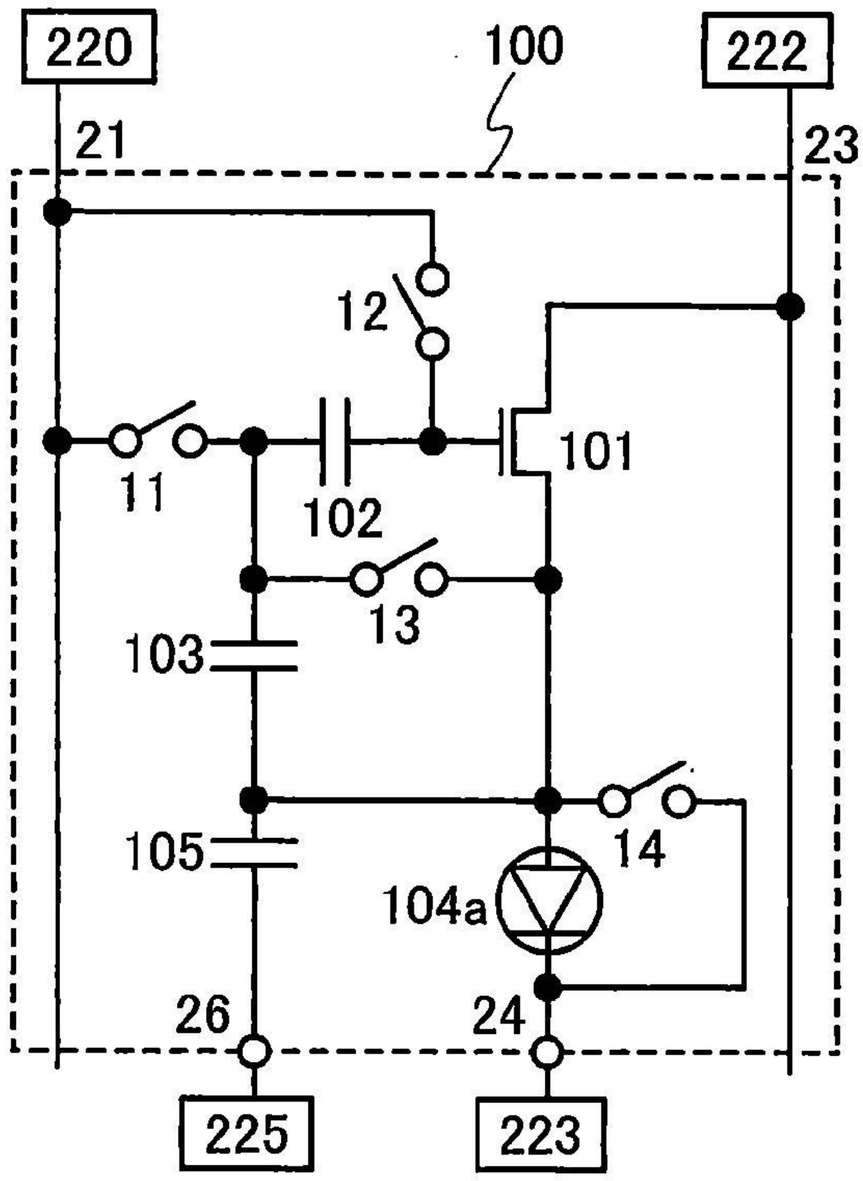


圖56C

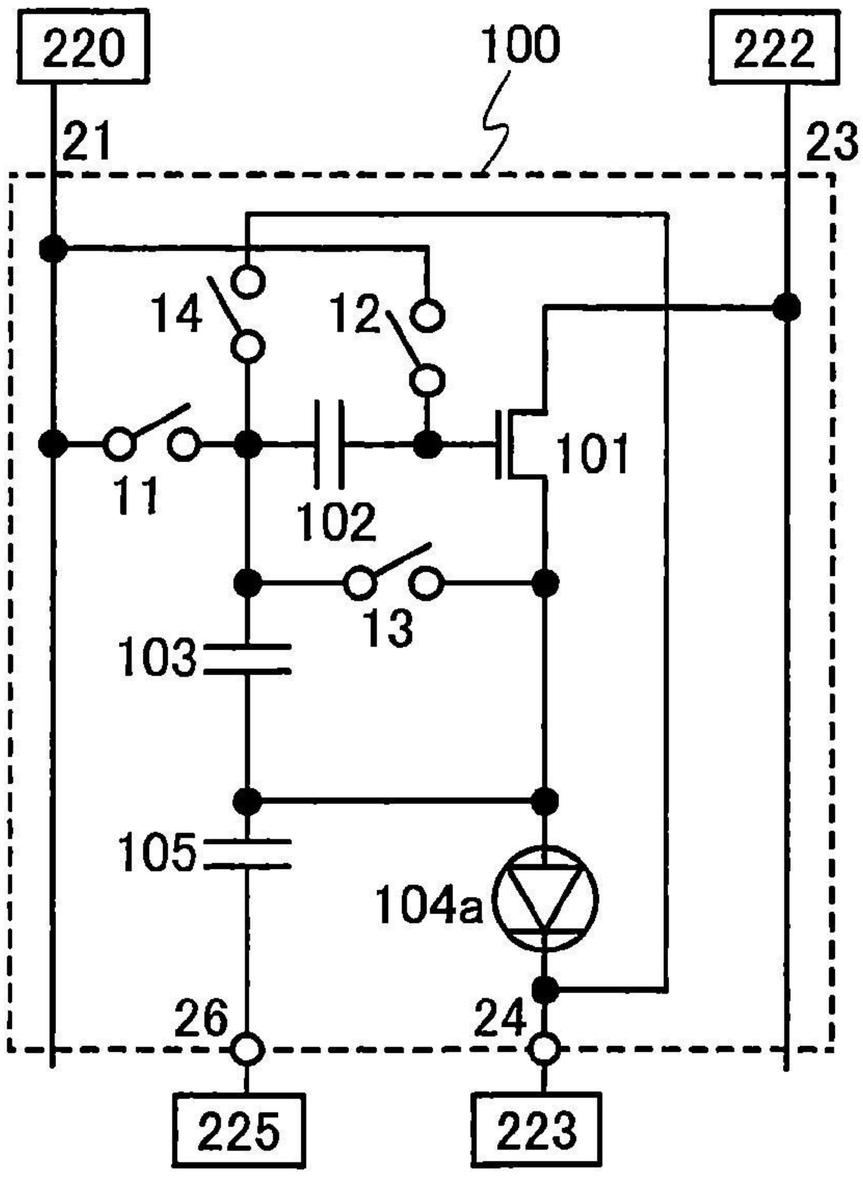


圖57A

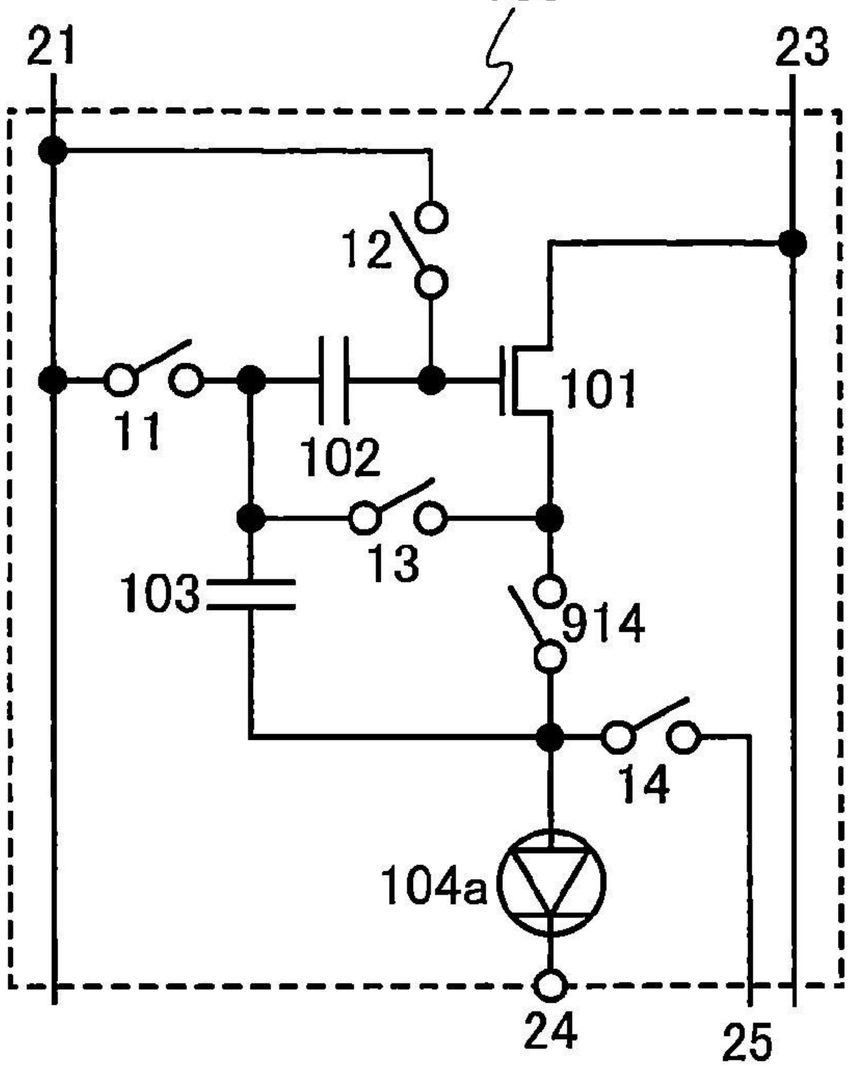


圖57B

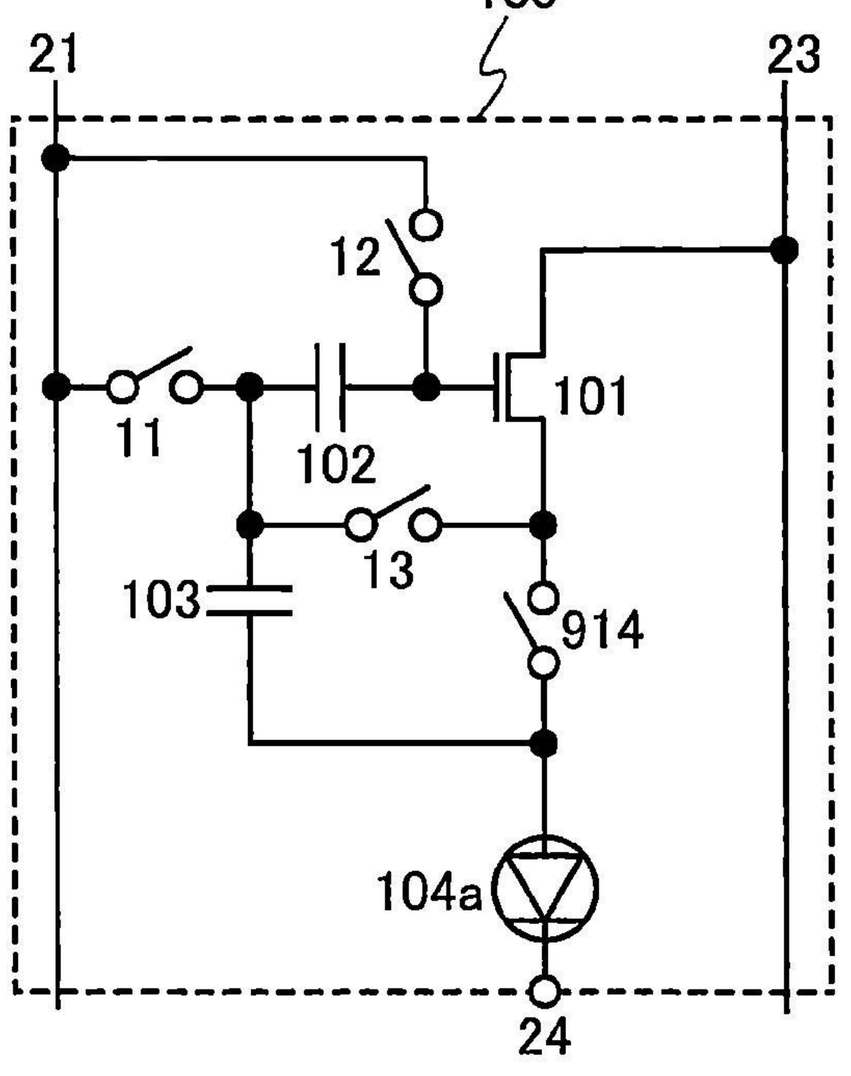


圖57C

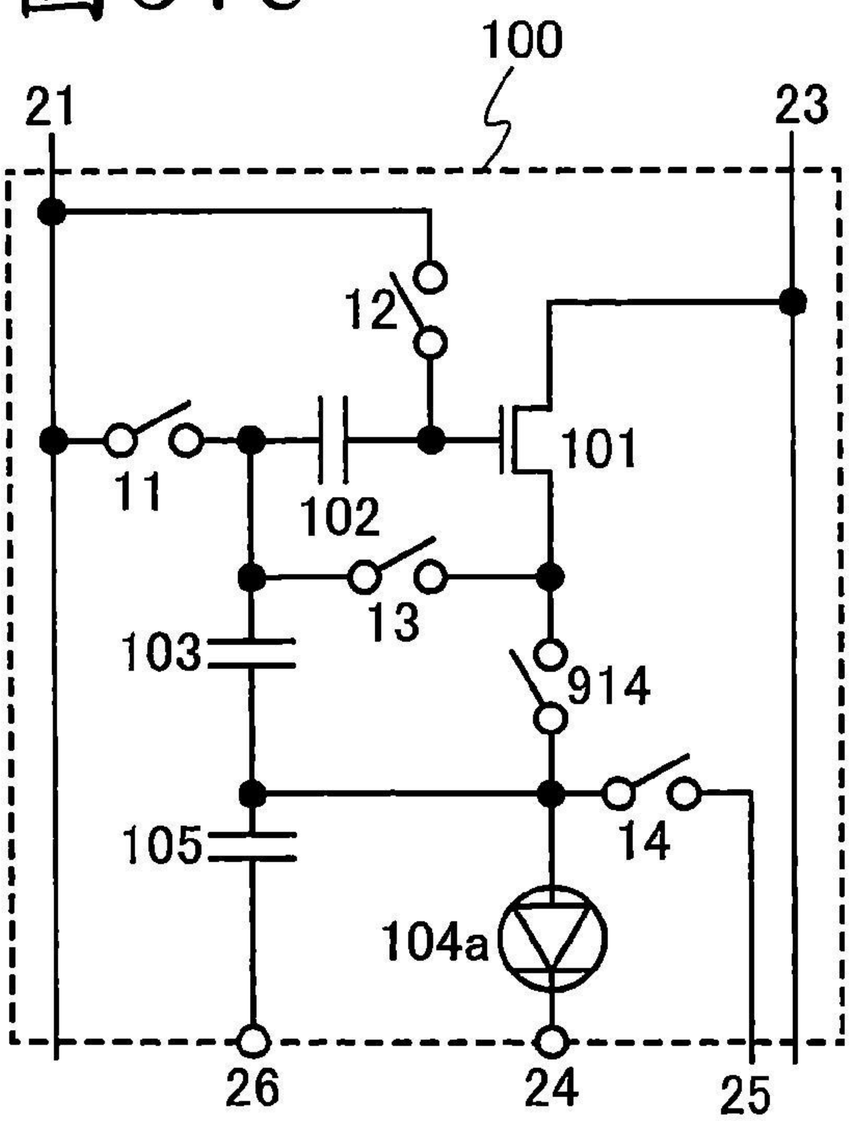


圖57D

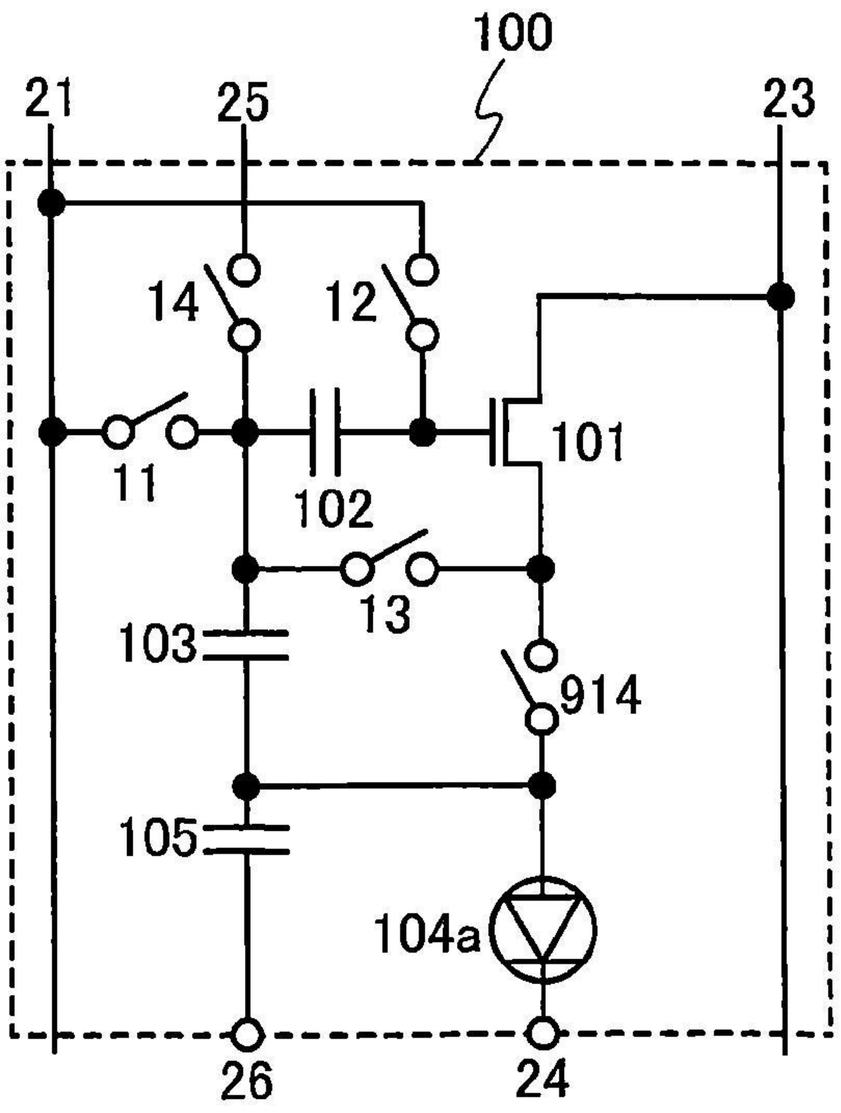


圖58A

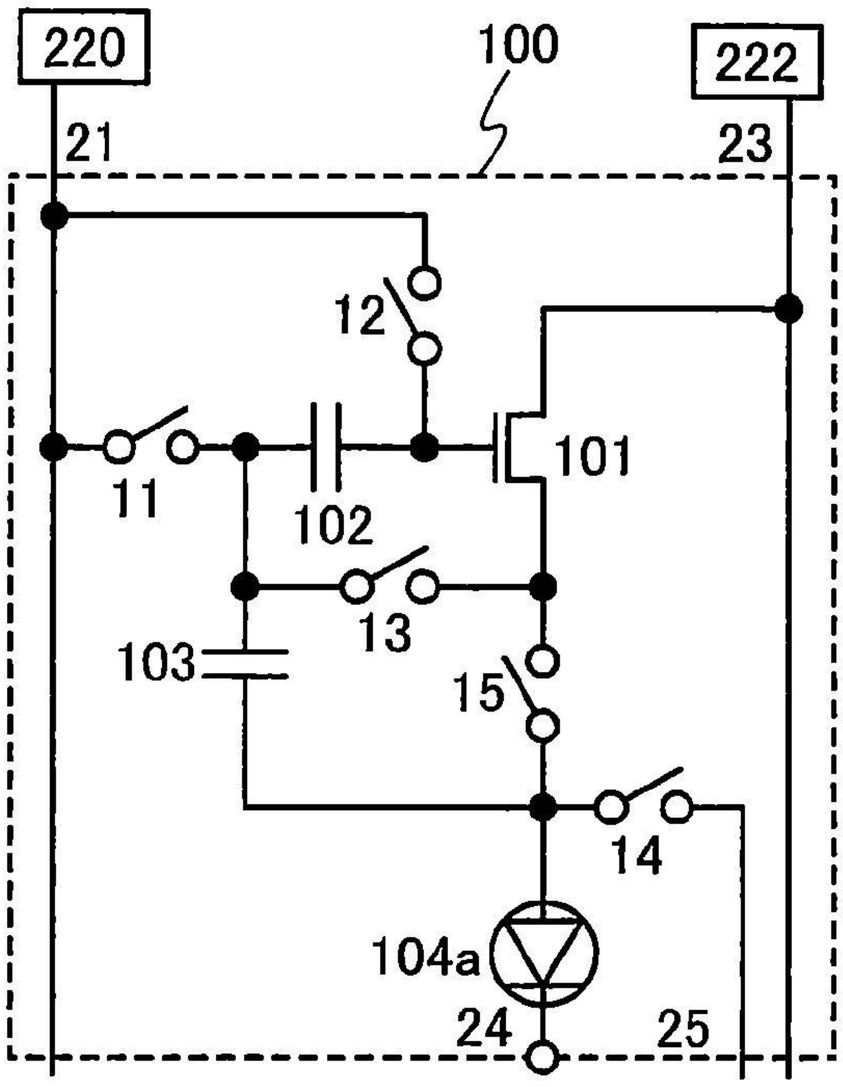


圖58B

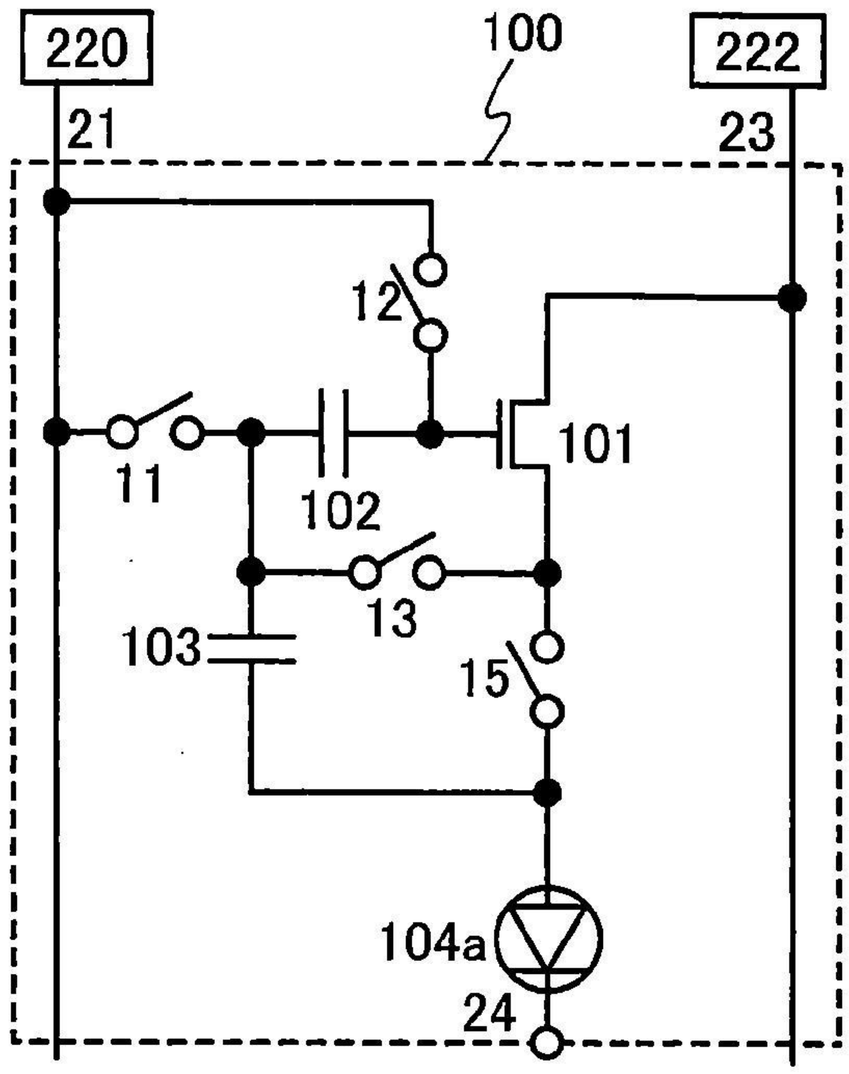


圖58C

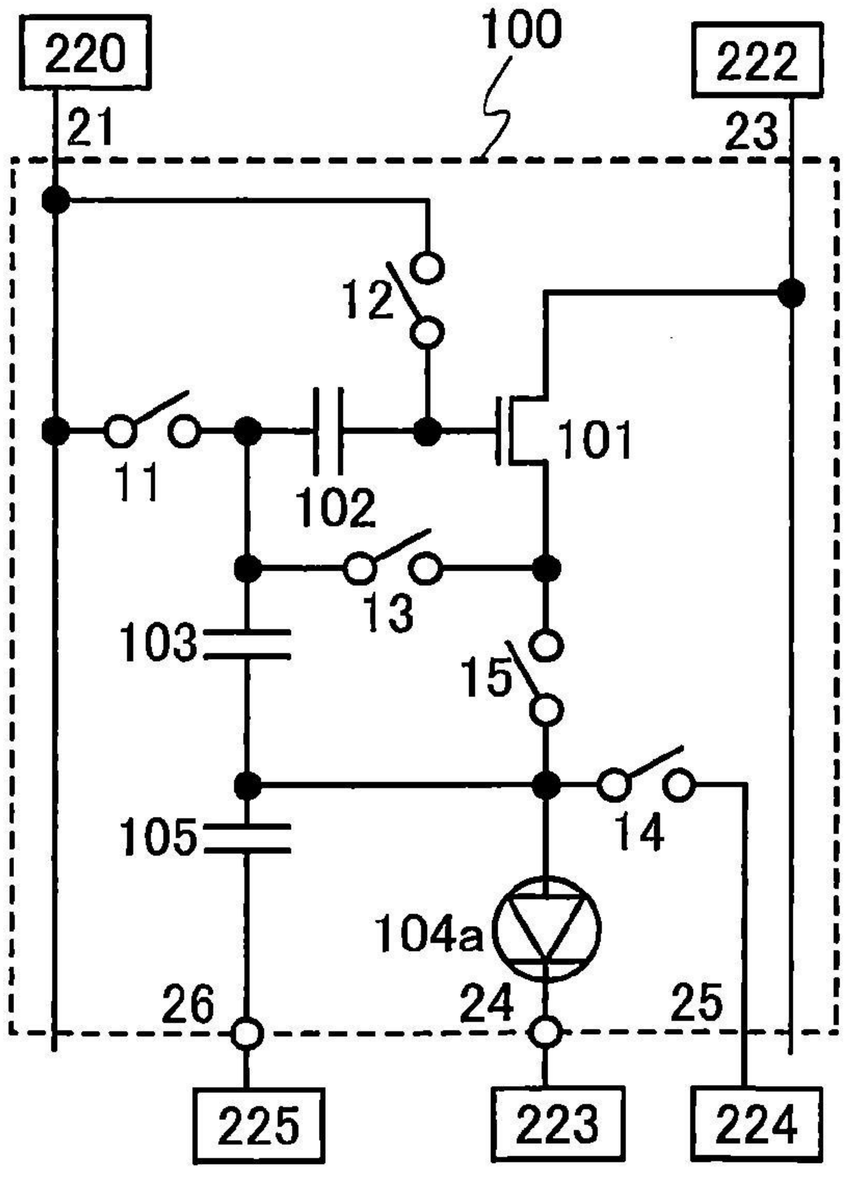


圖58D

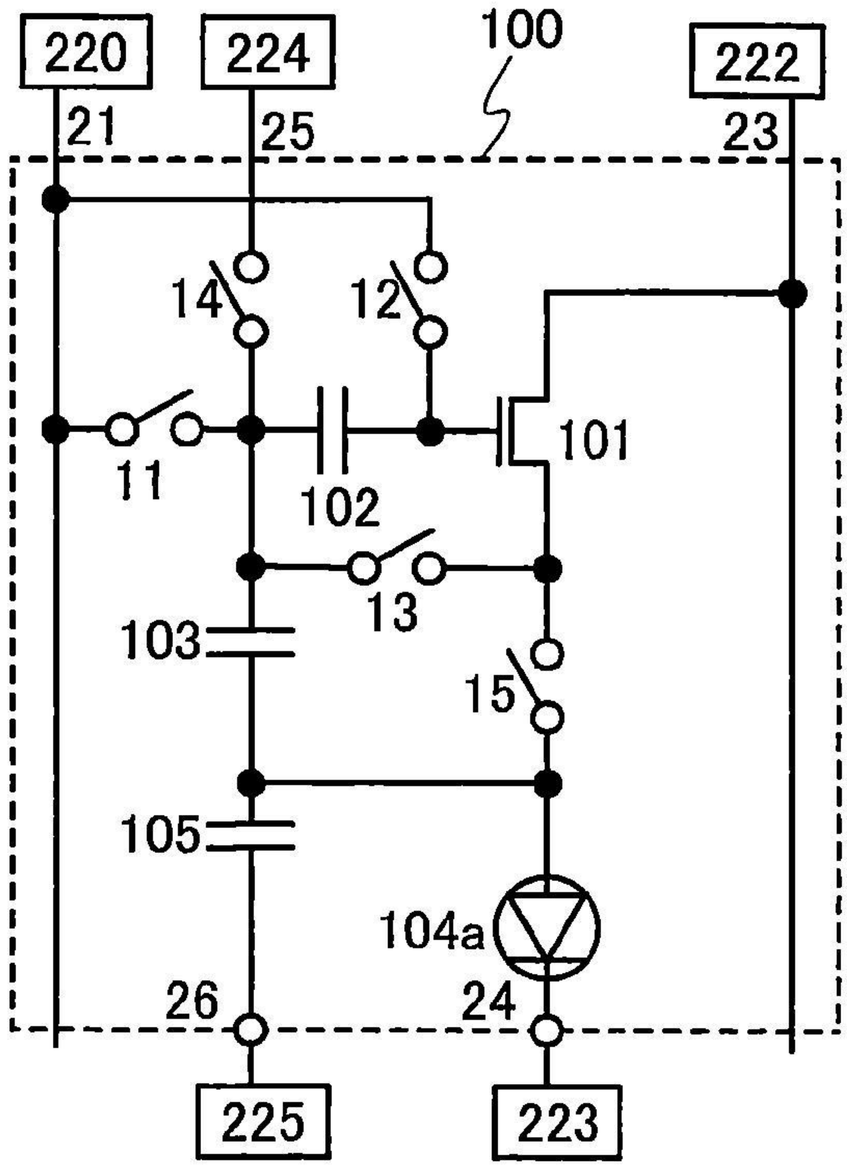


圖59A

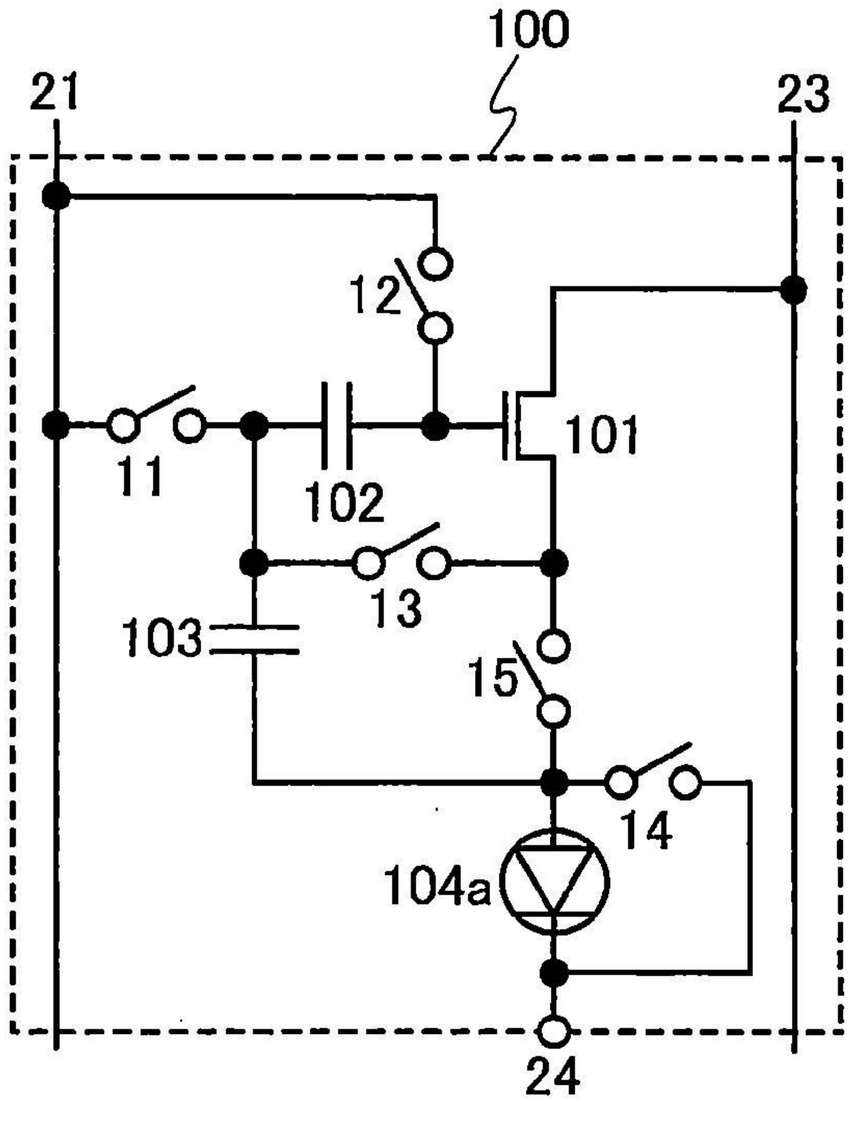


圖59B

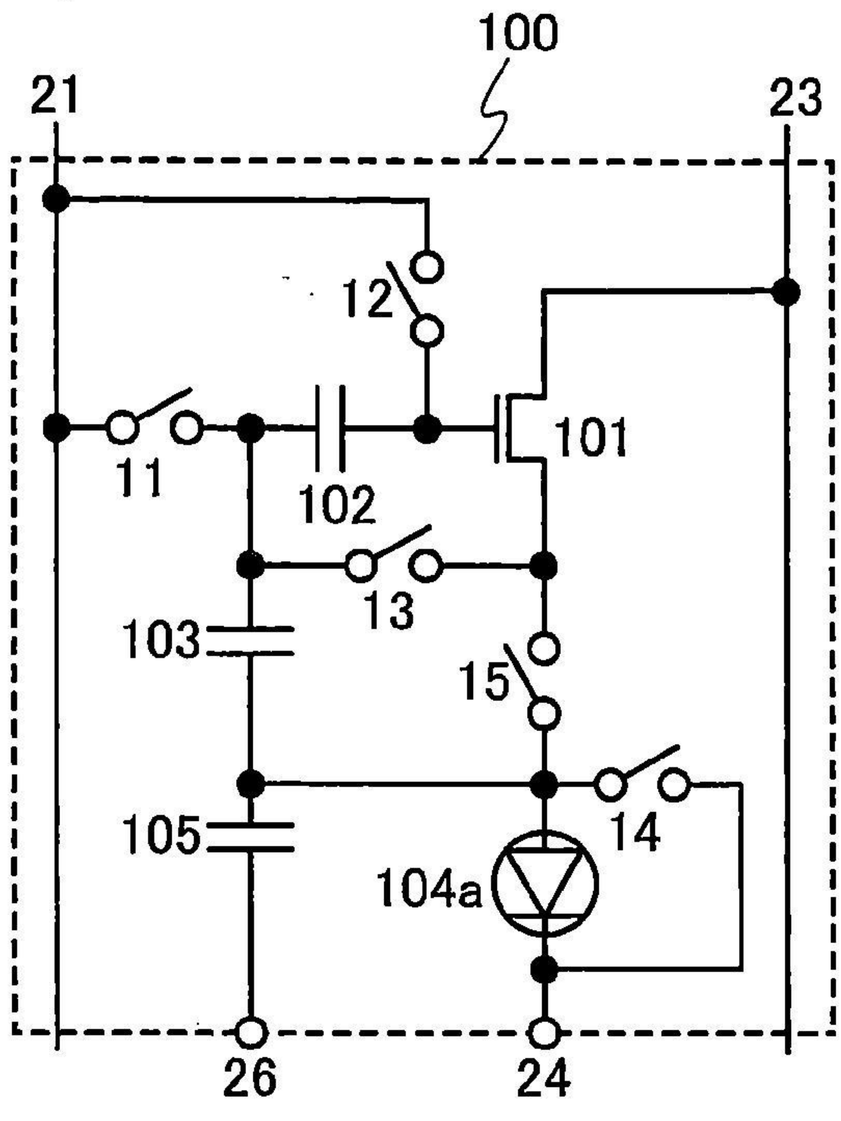


圖59C

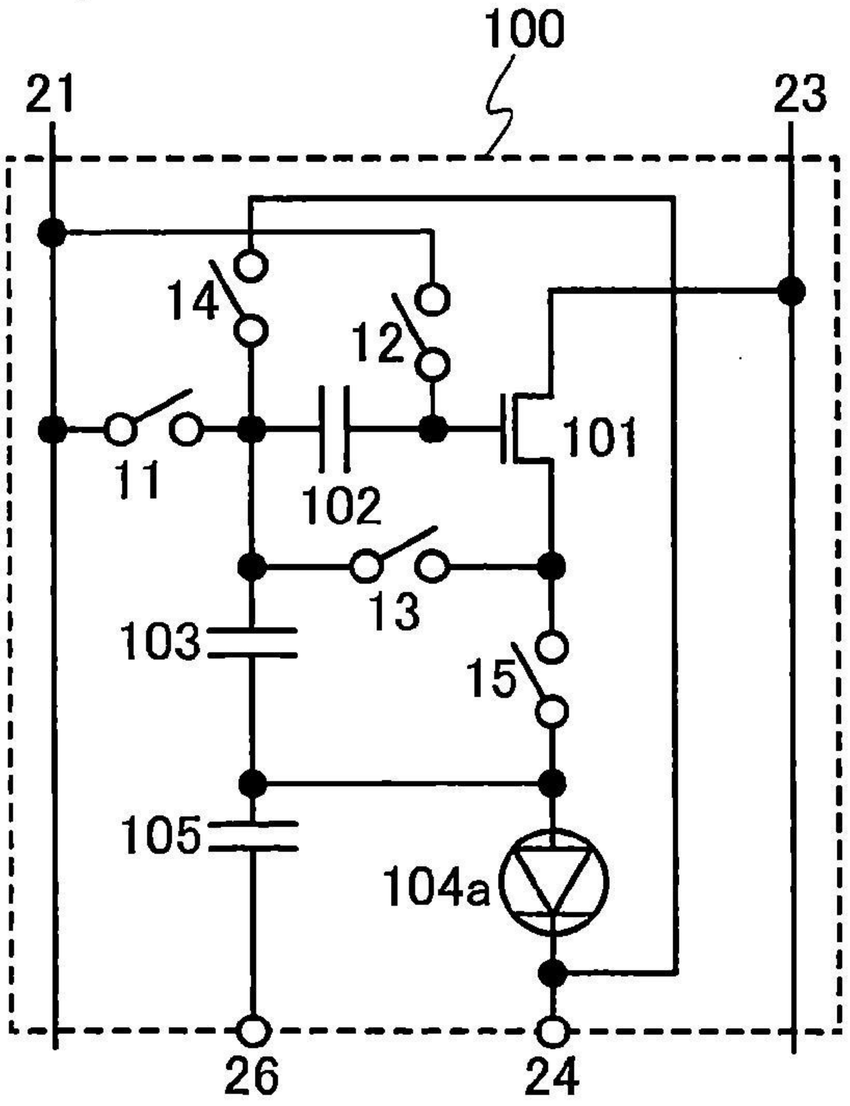


圖60A

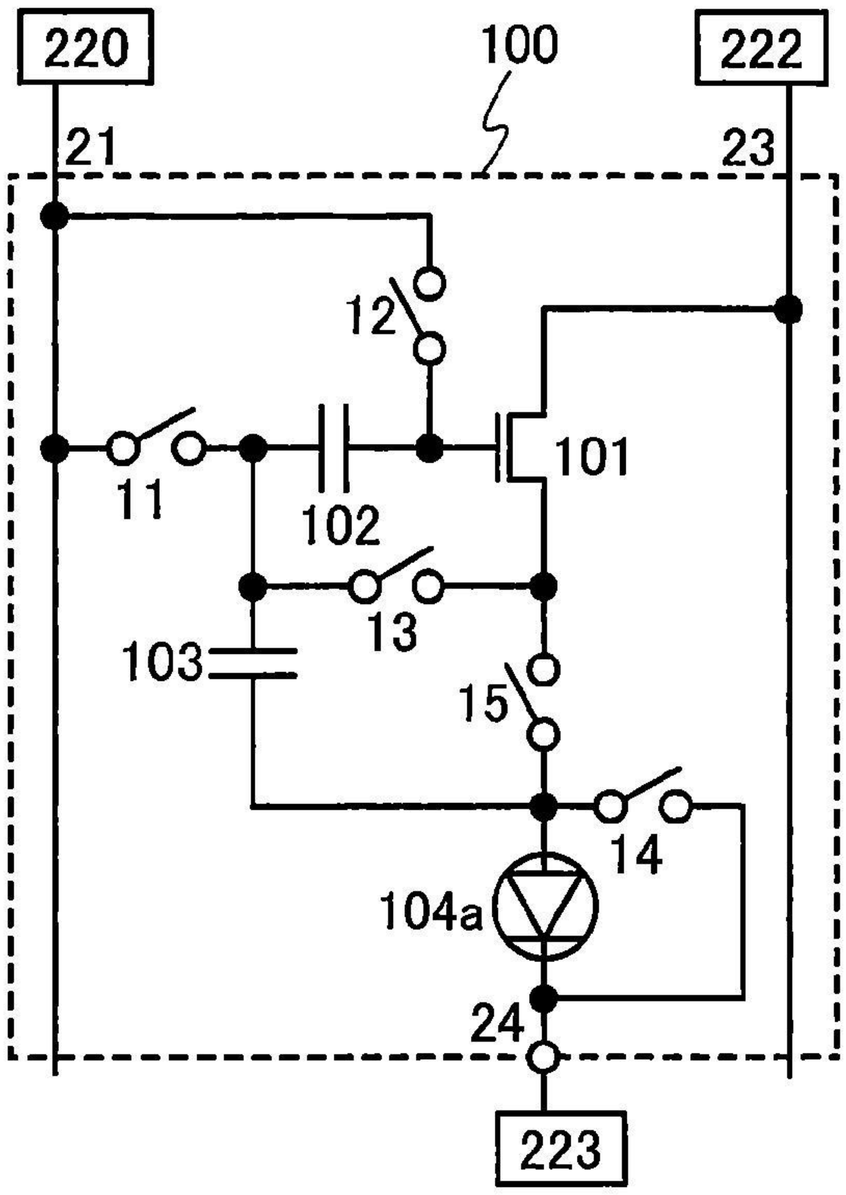


圖60B

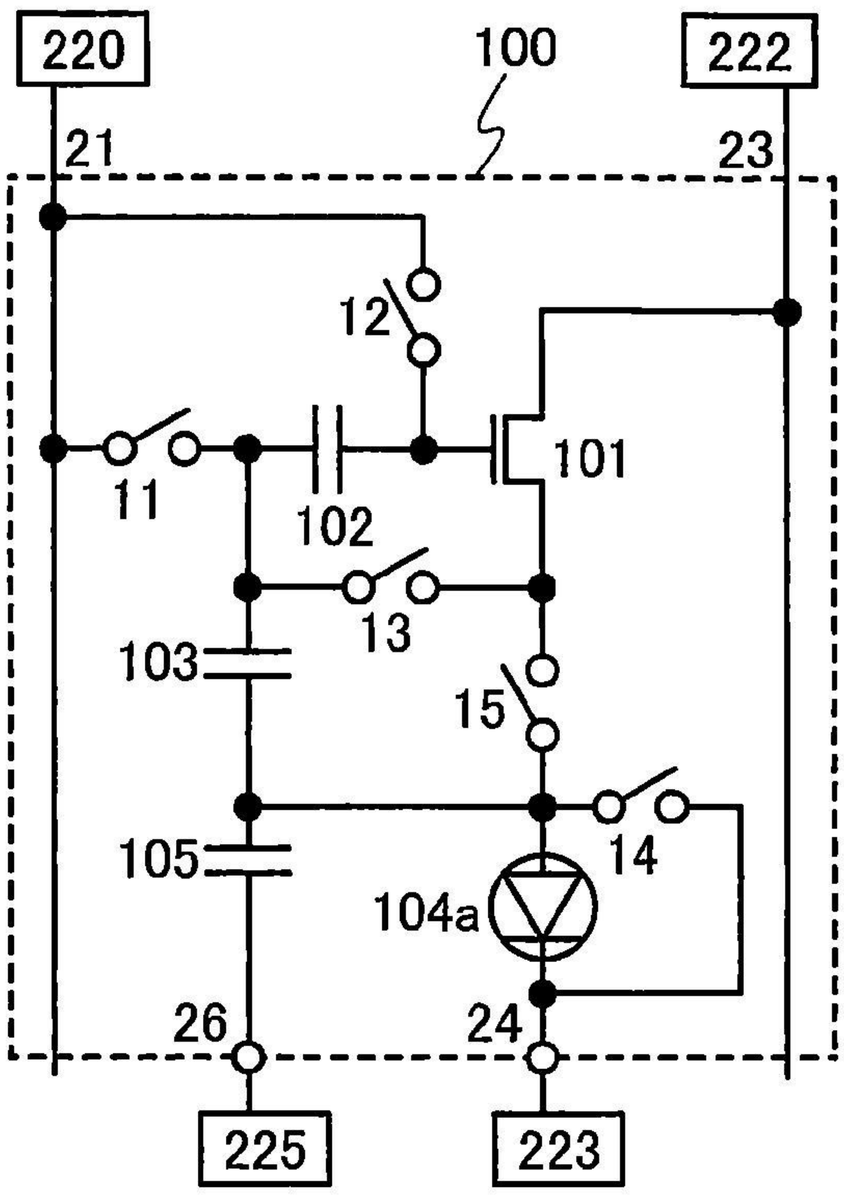


圖60C

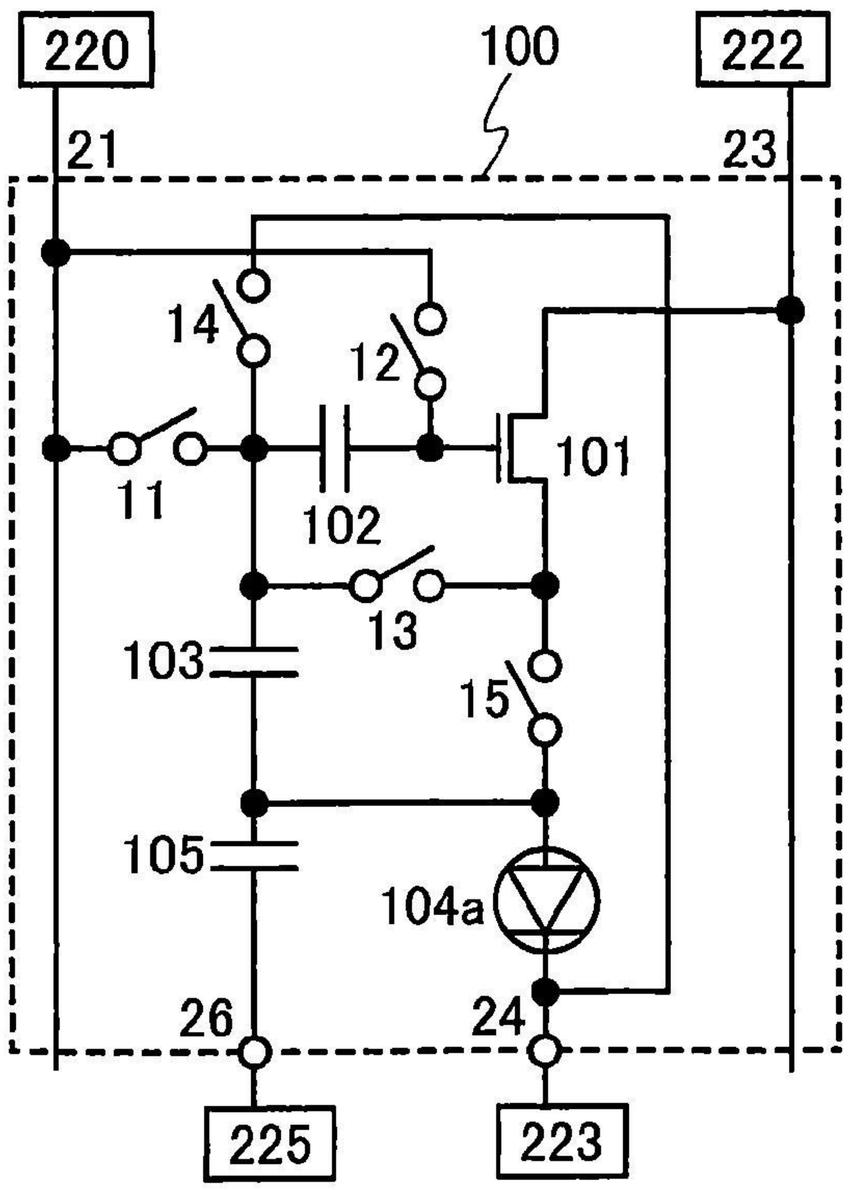


圖61A

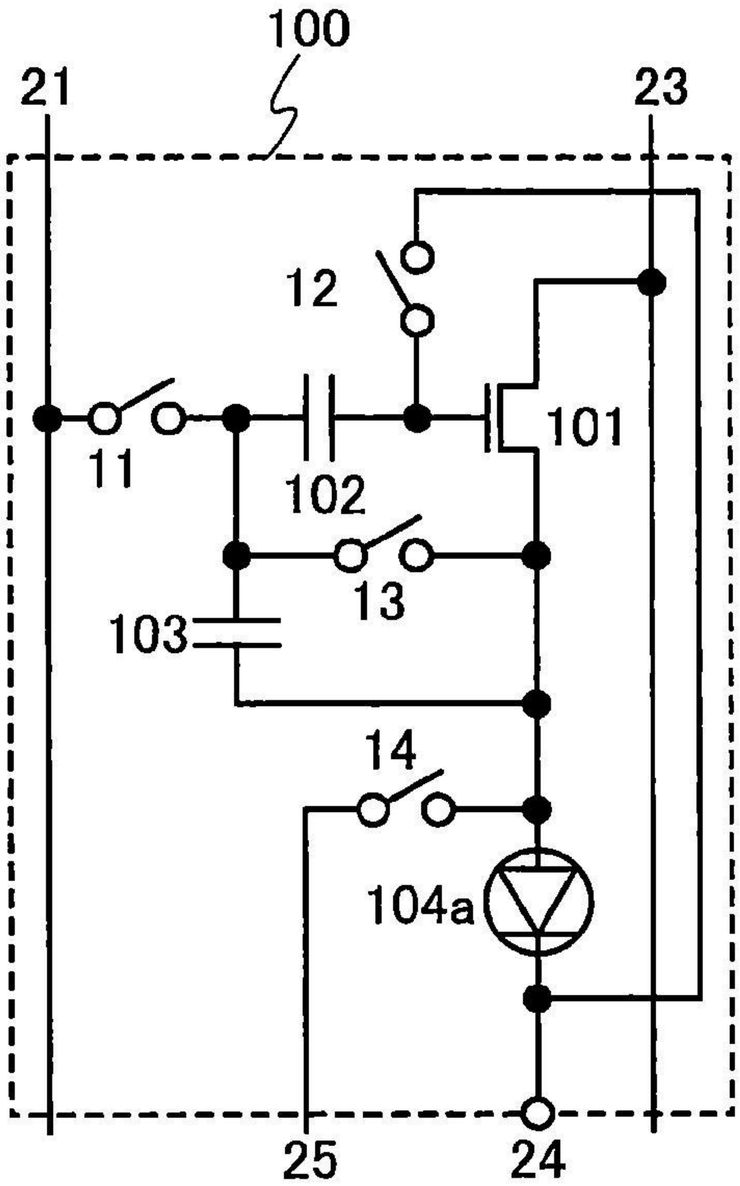


圖61B

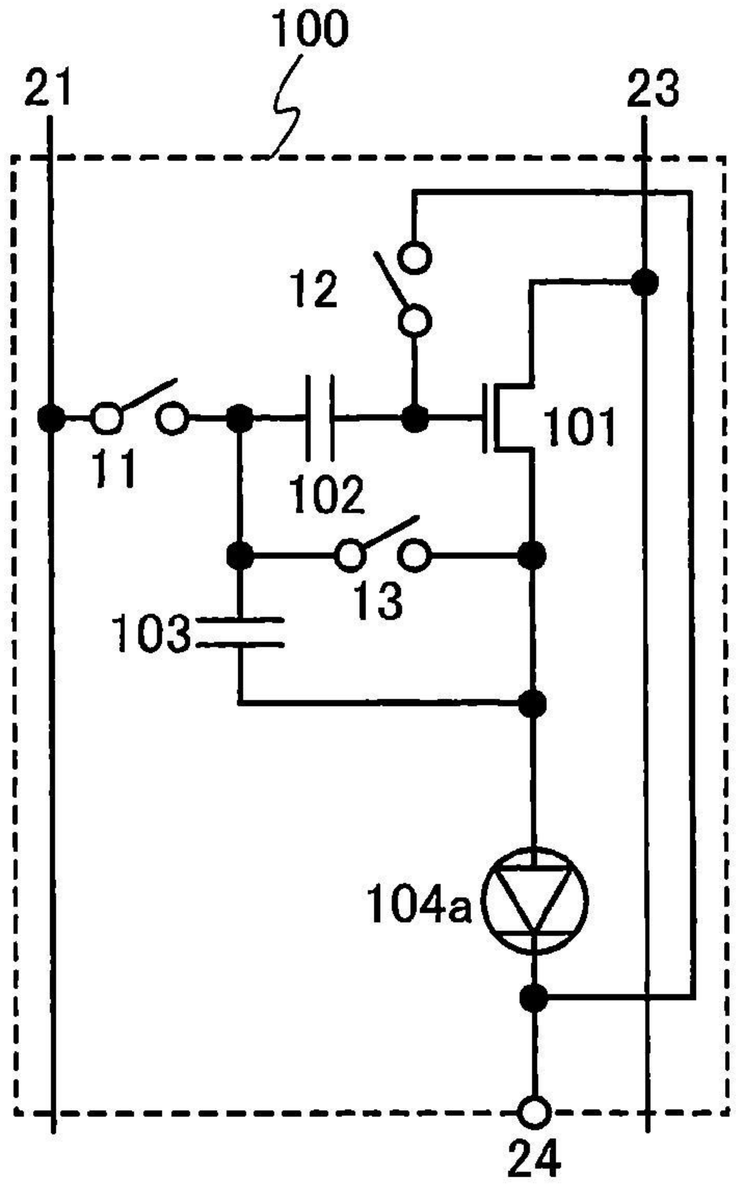


圖61C

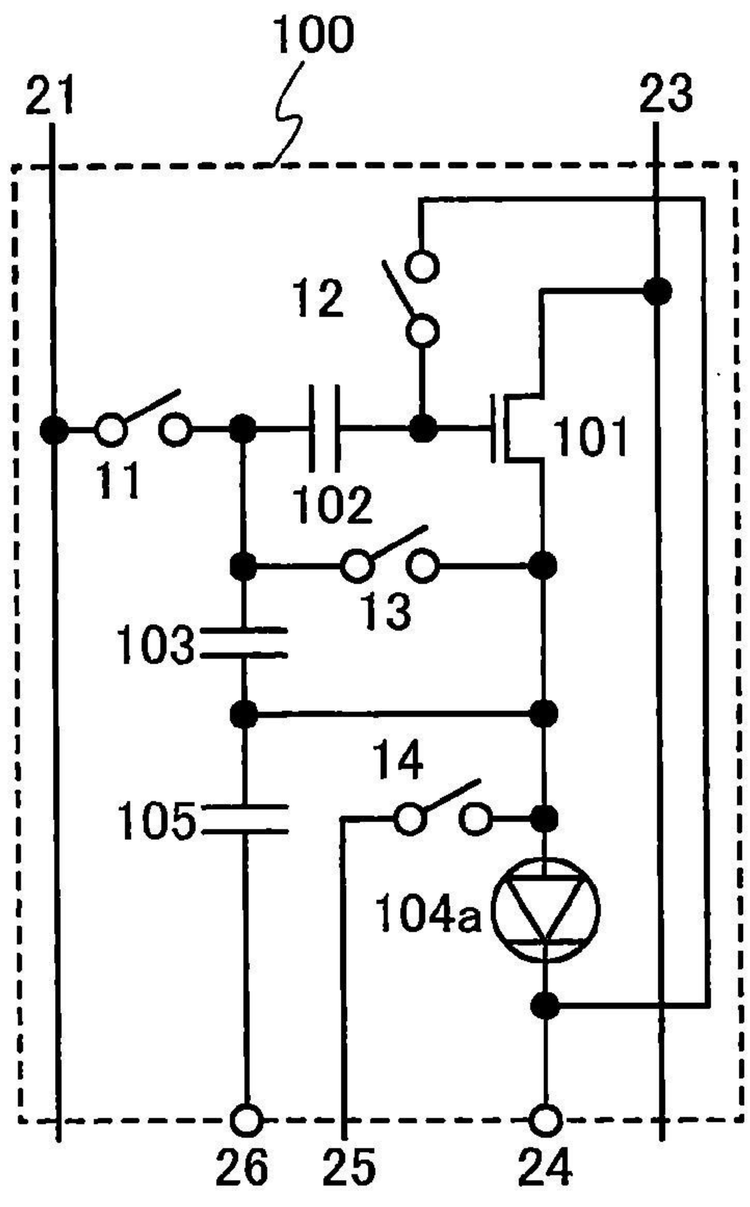


圖61D

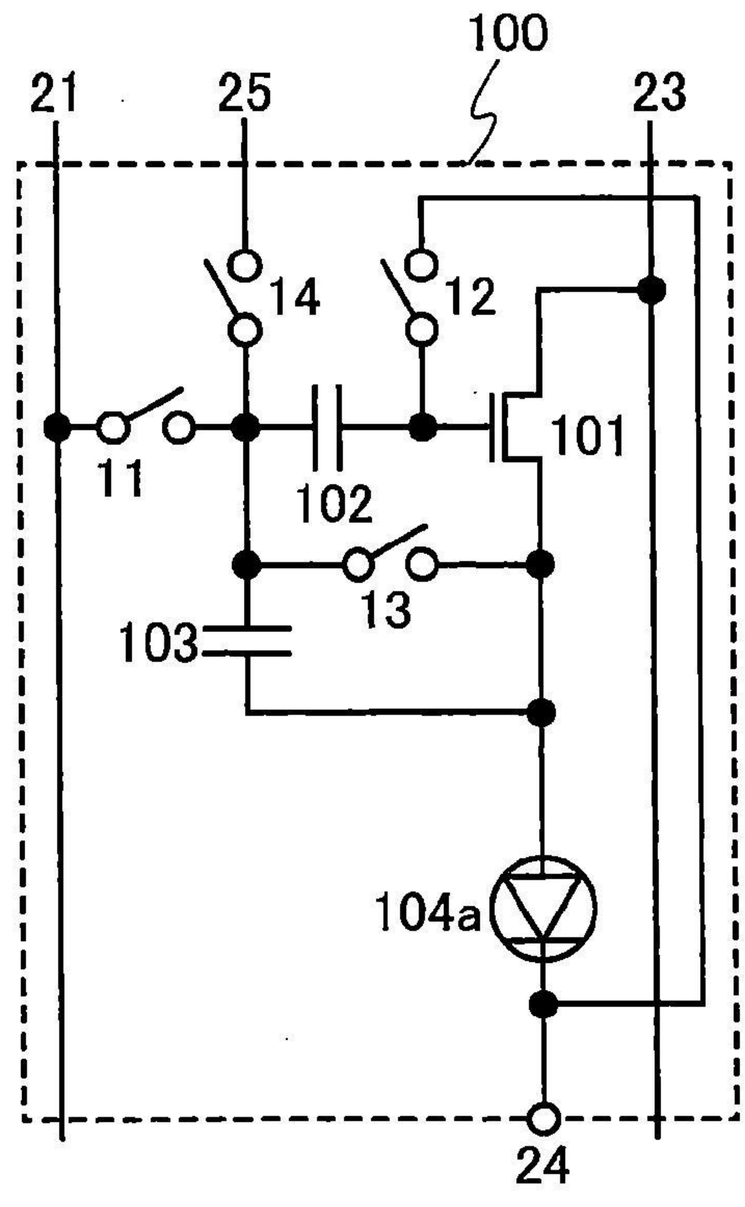


圖62A

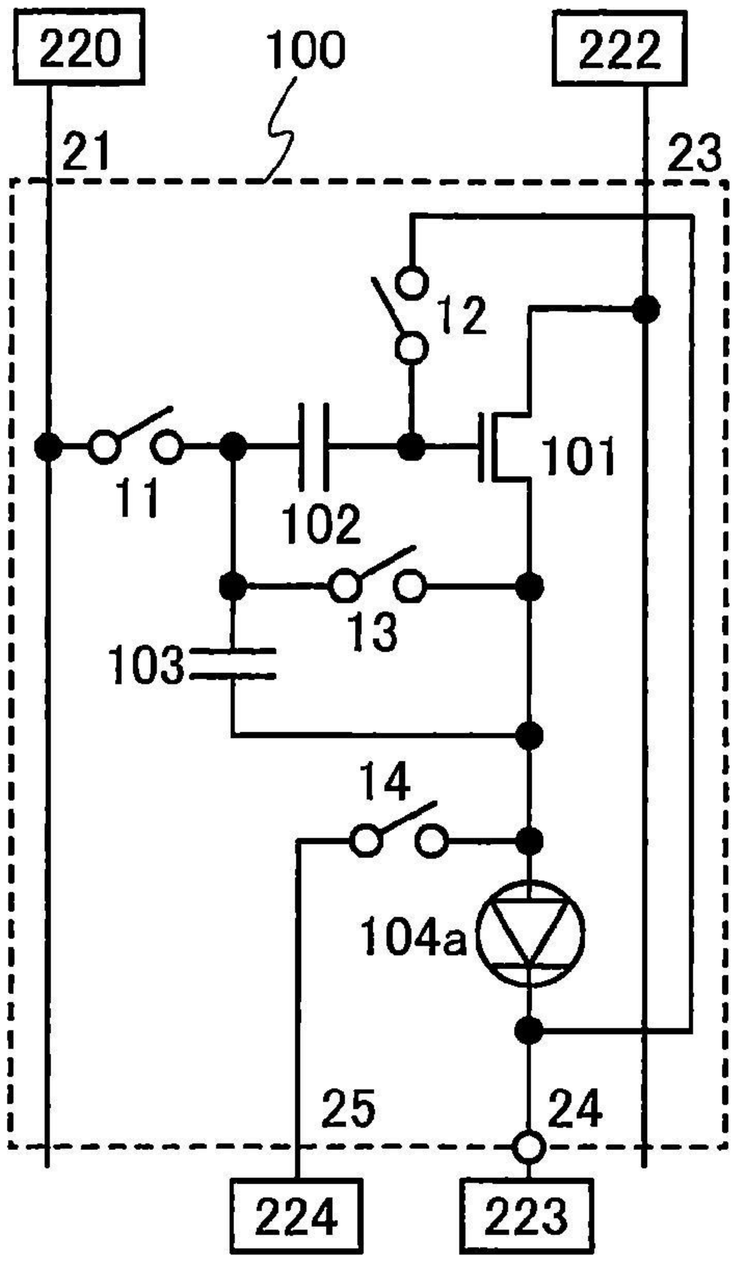


圖62B

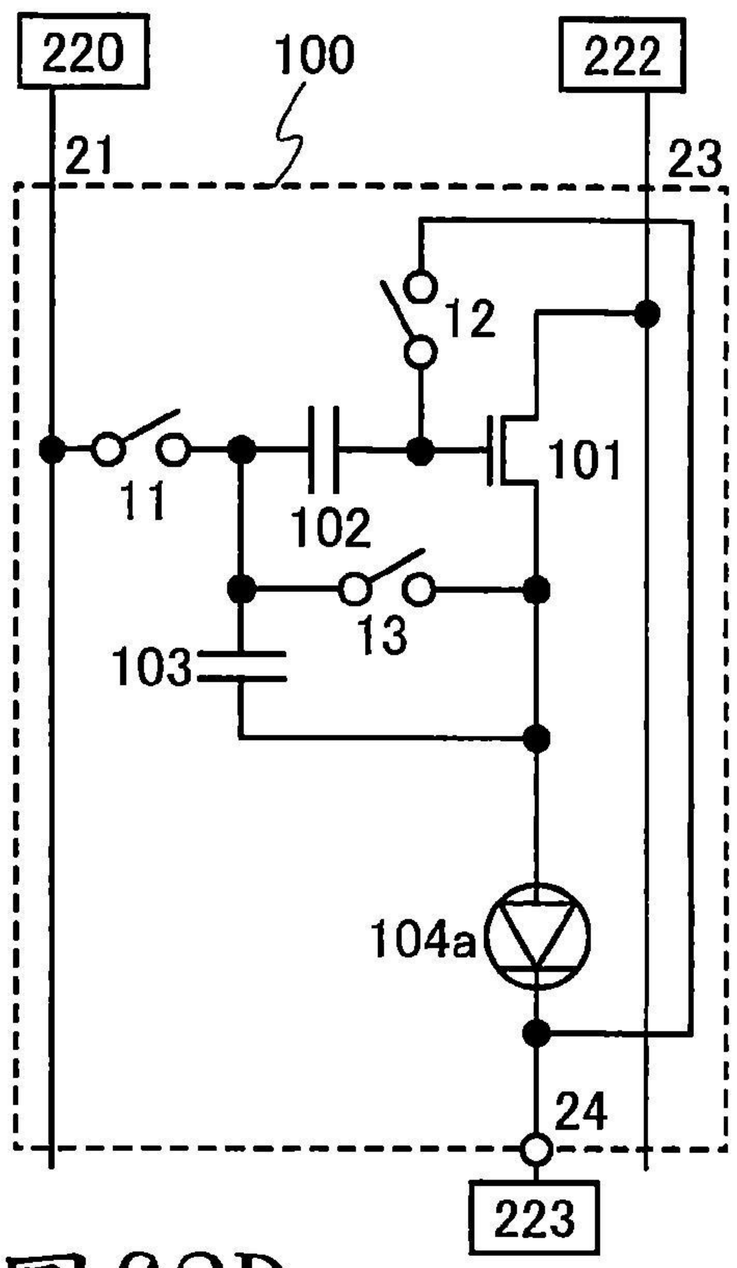


圖62C

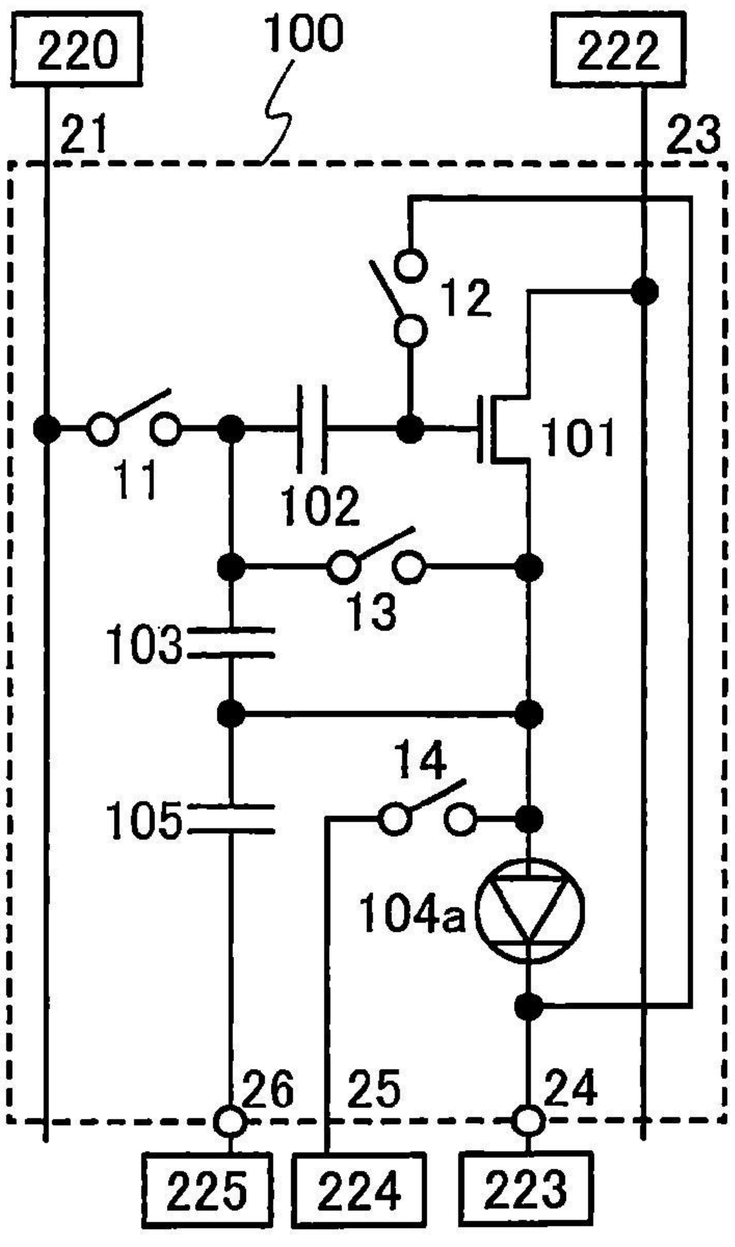


圖62D

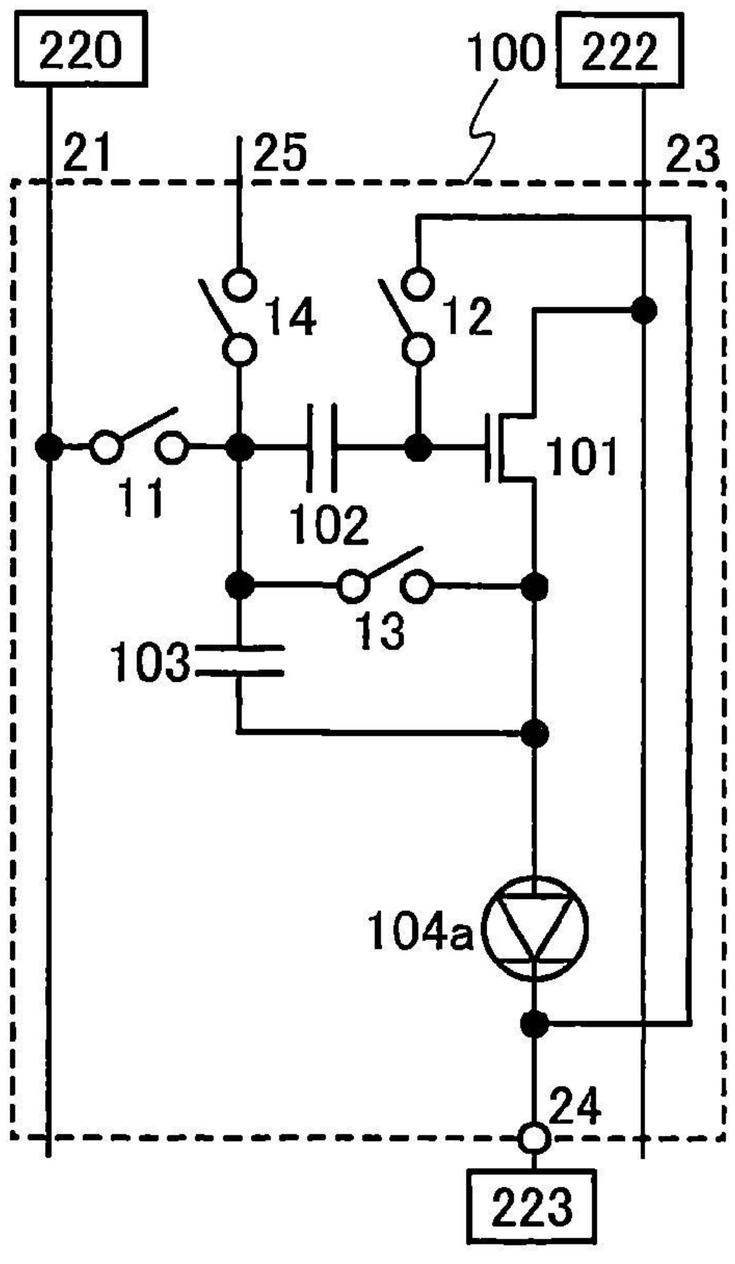


圖63A

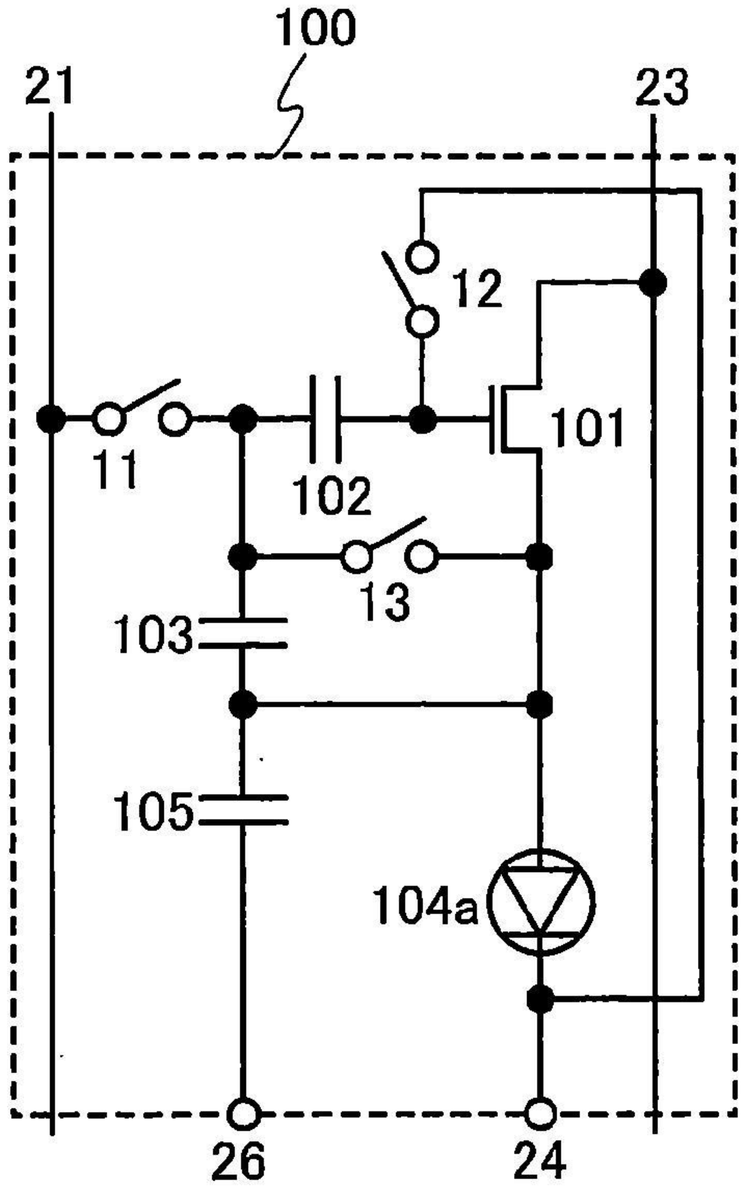


圖63B

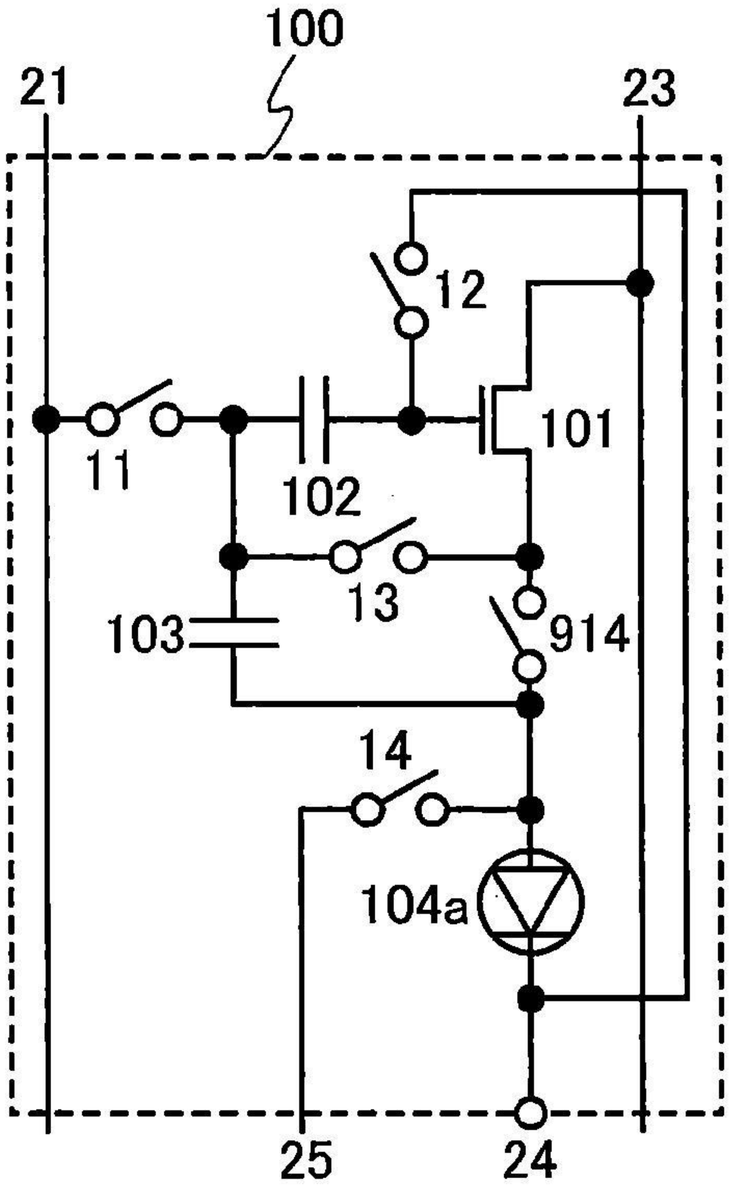


圖63C

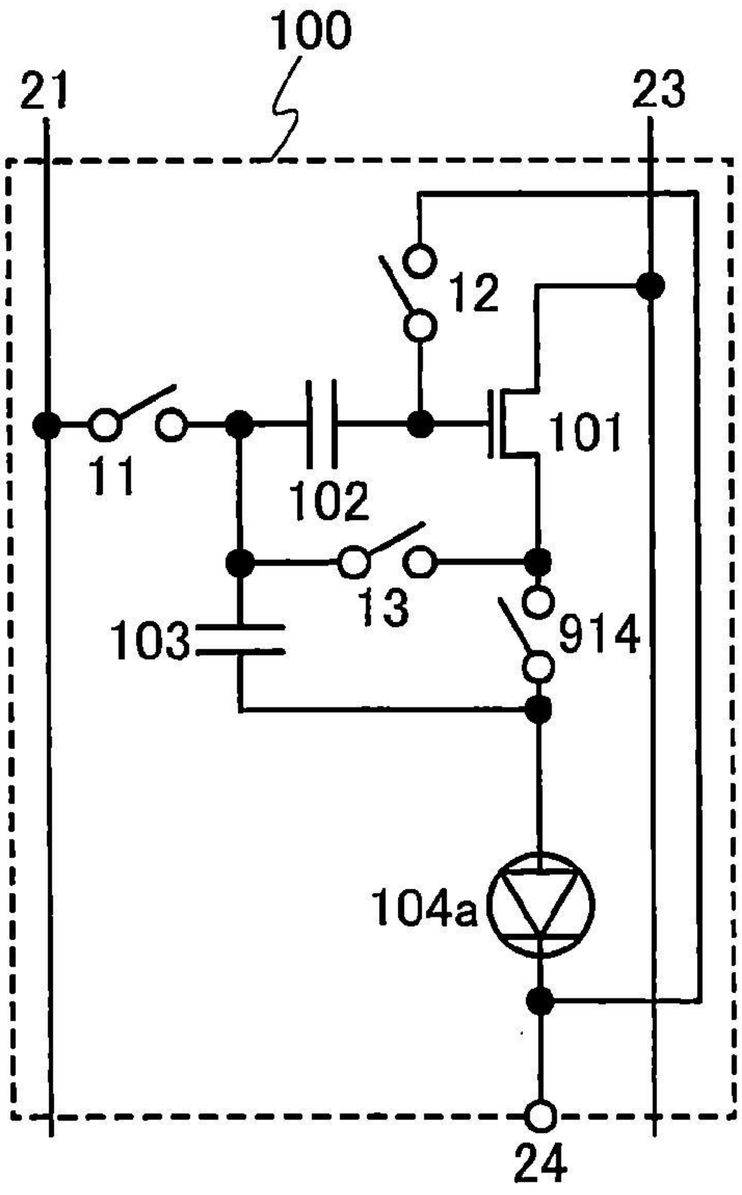


圖63D

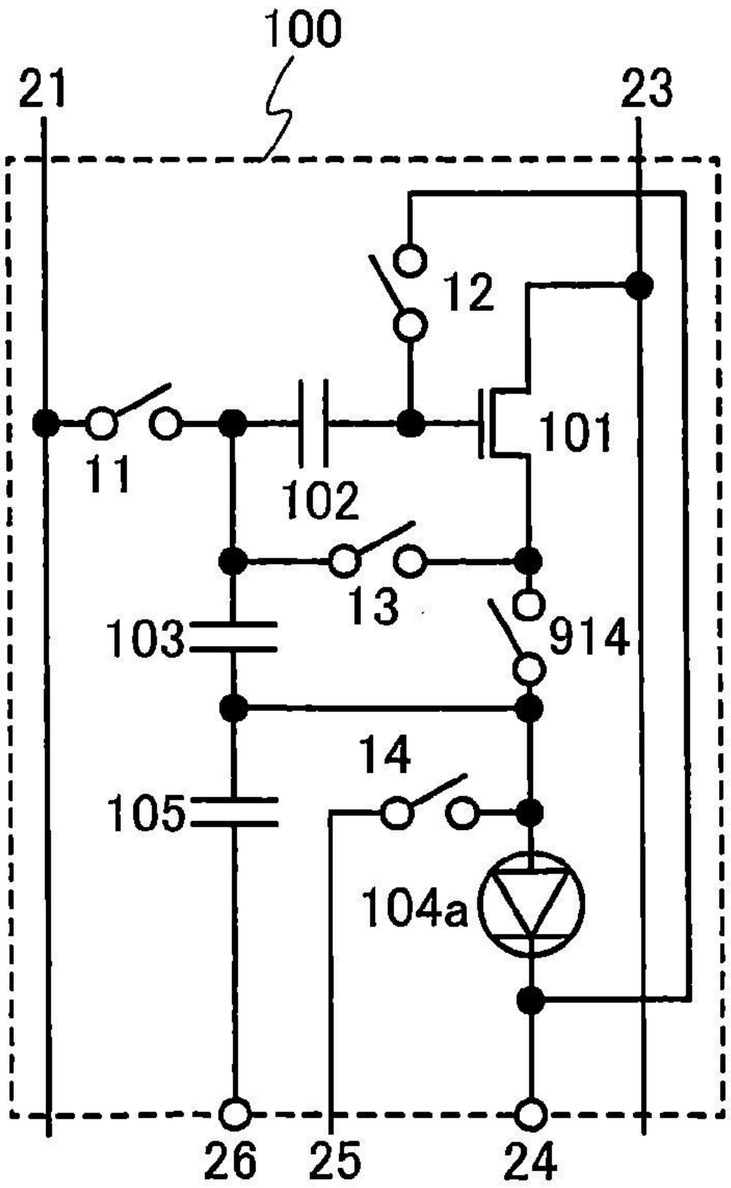


圖64A

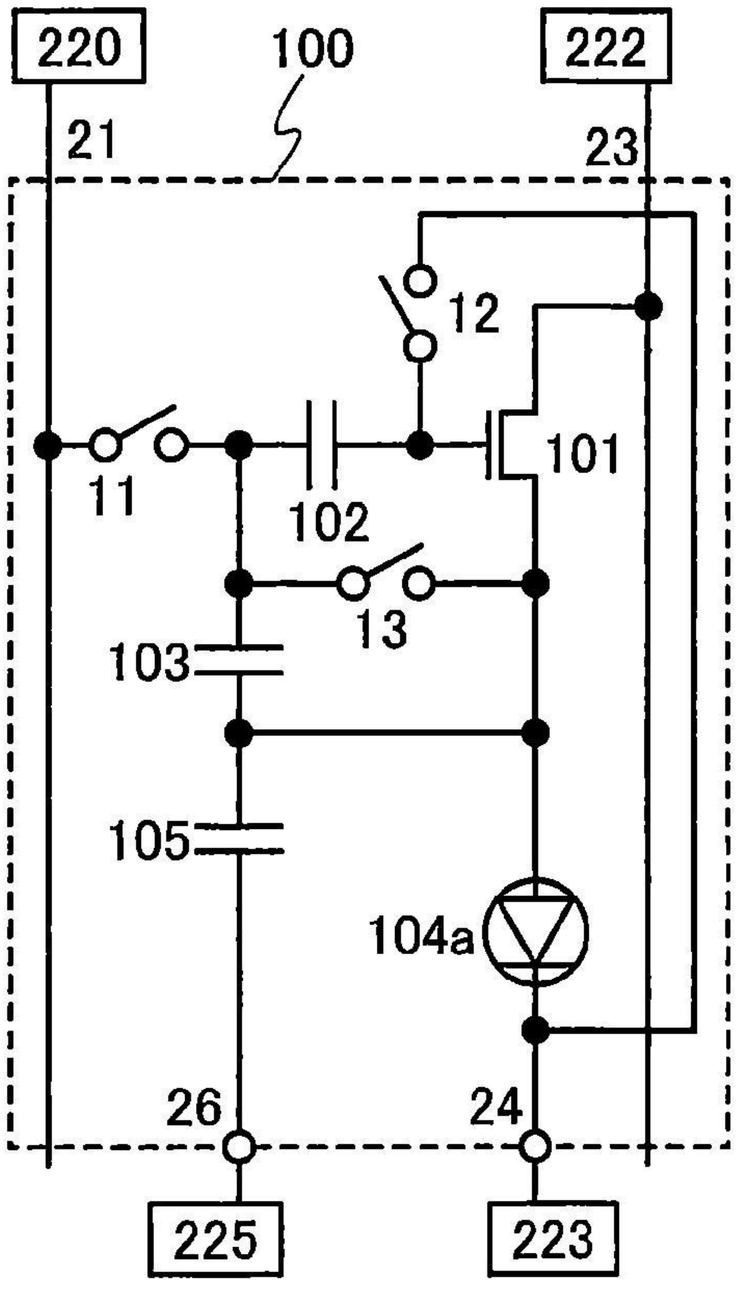


圖64B

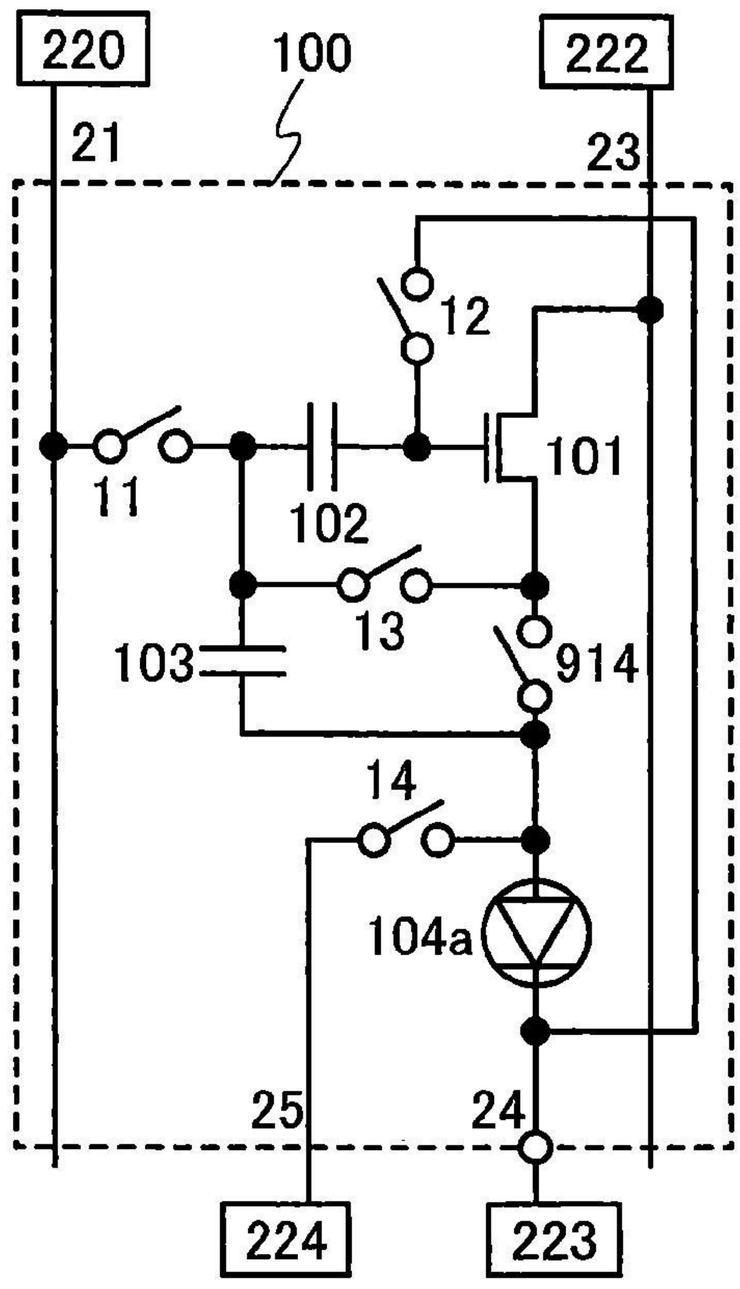


圖64C

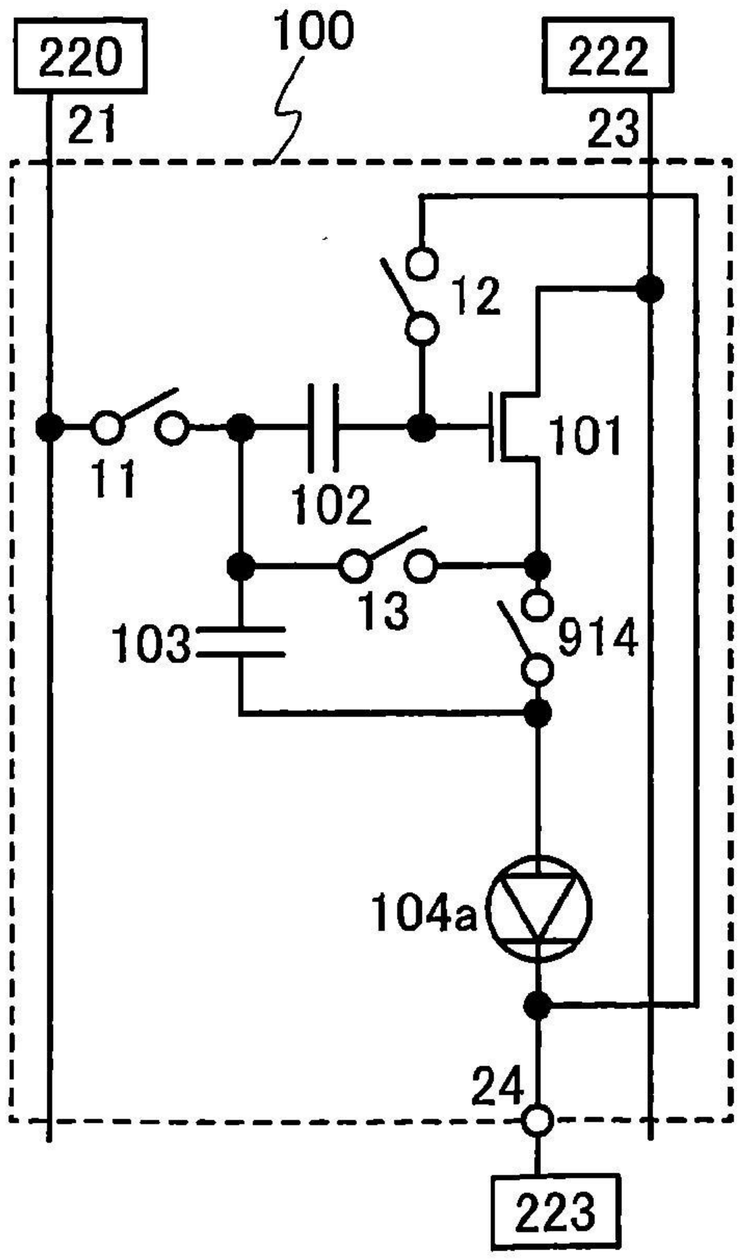


圖64D

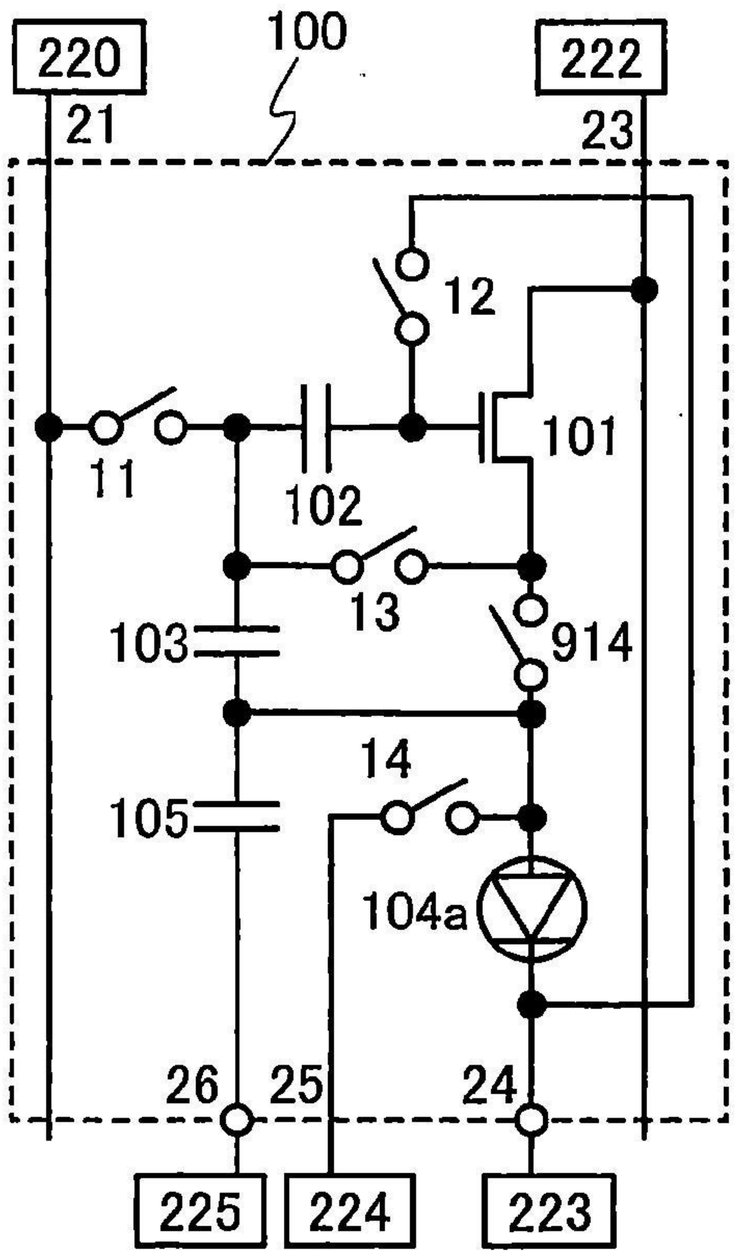


圖65A

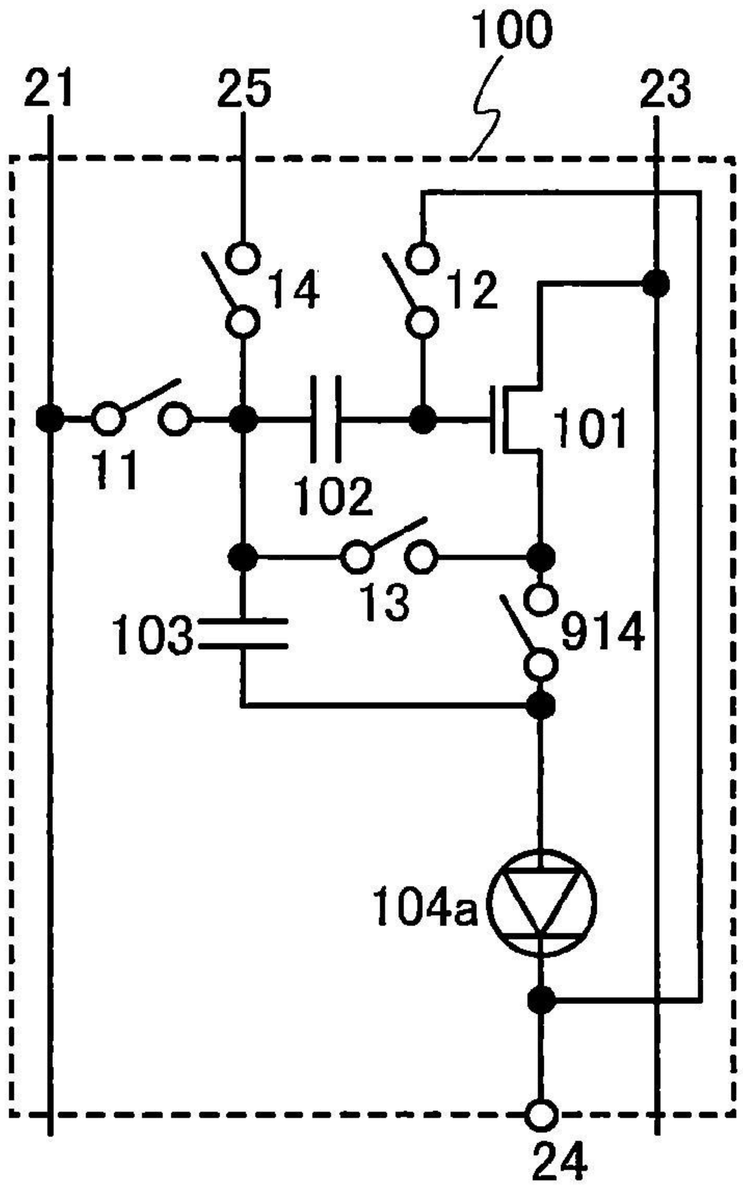


圖65B

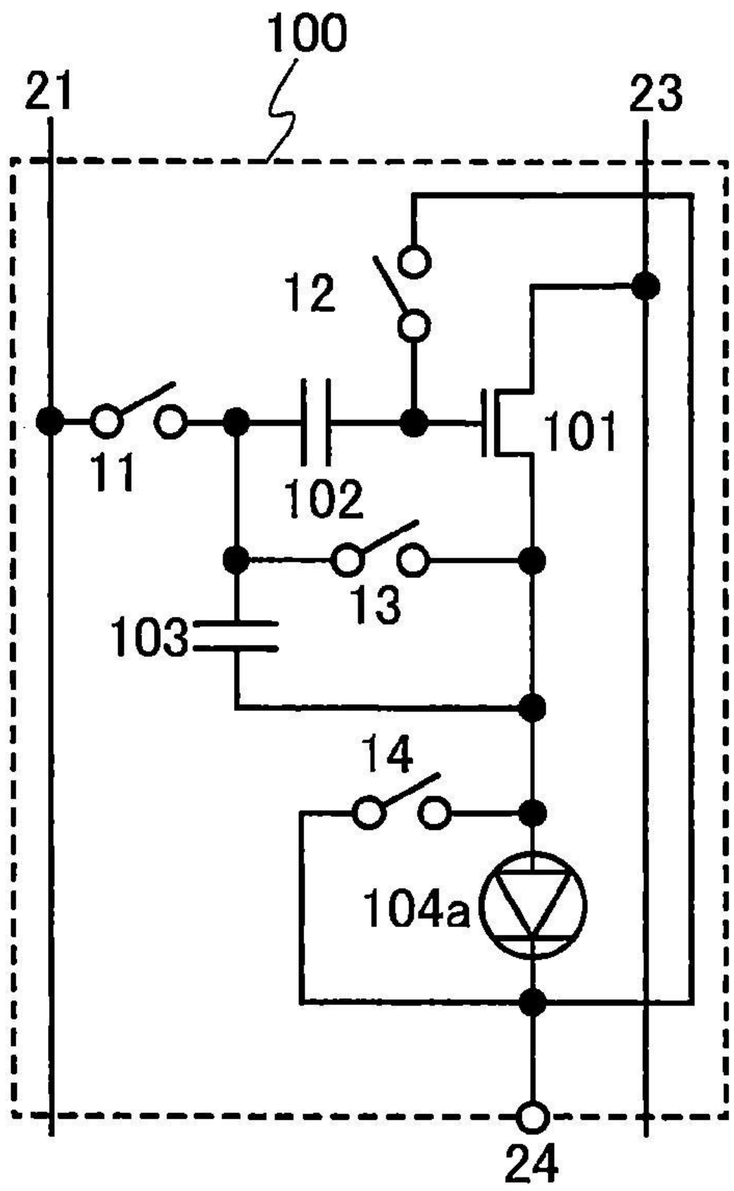


圖65C

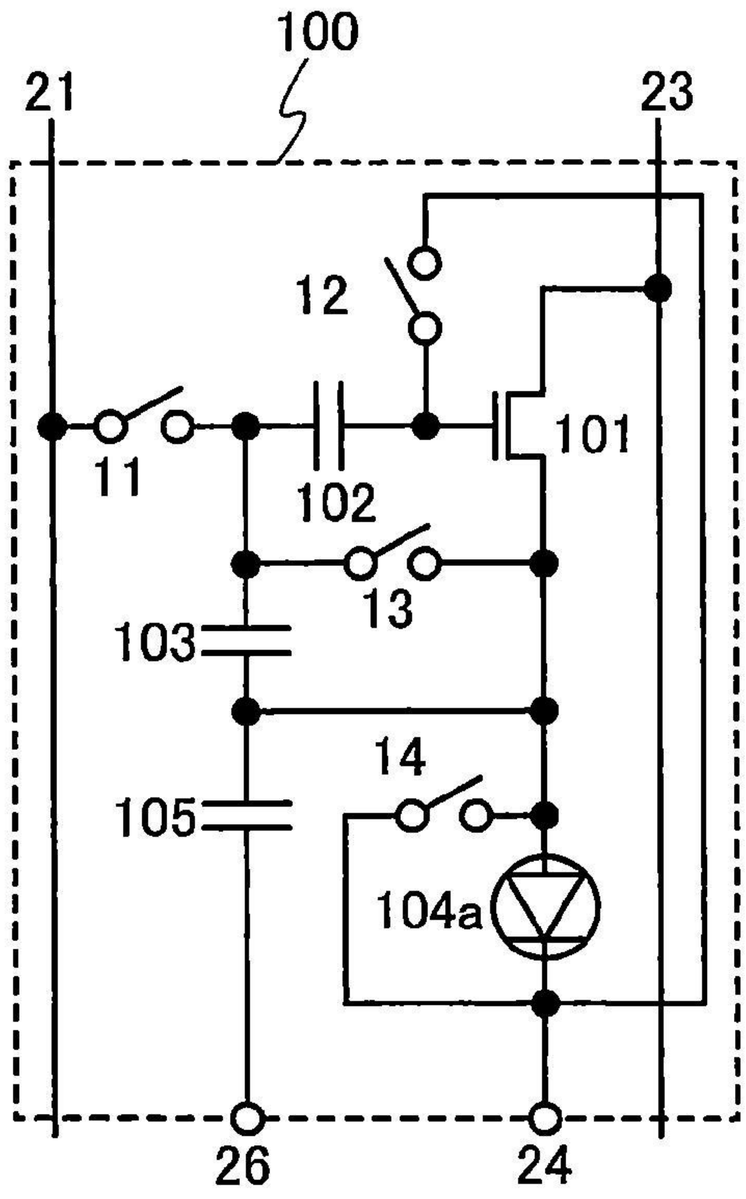


圖65D

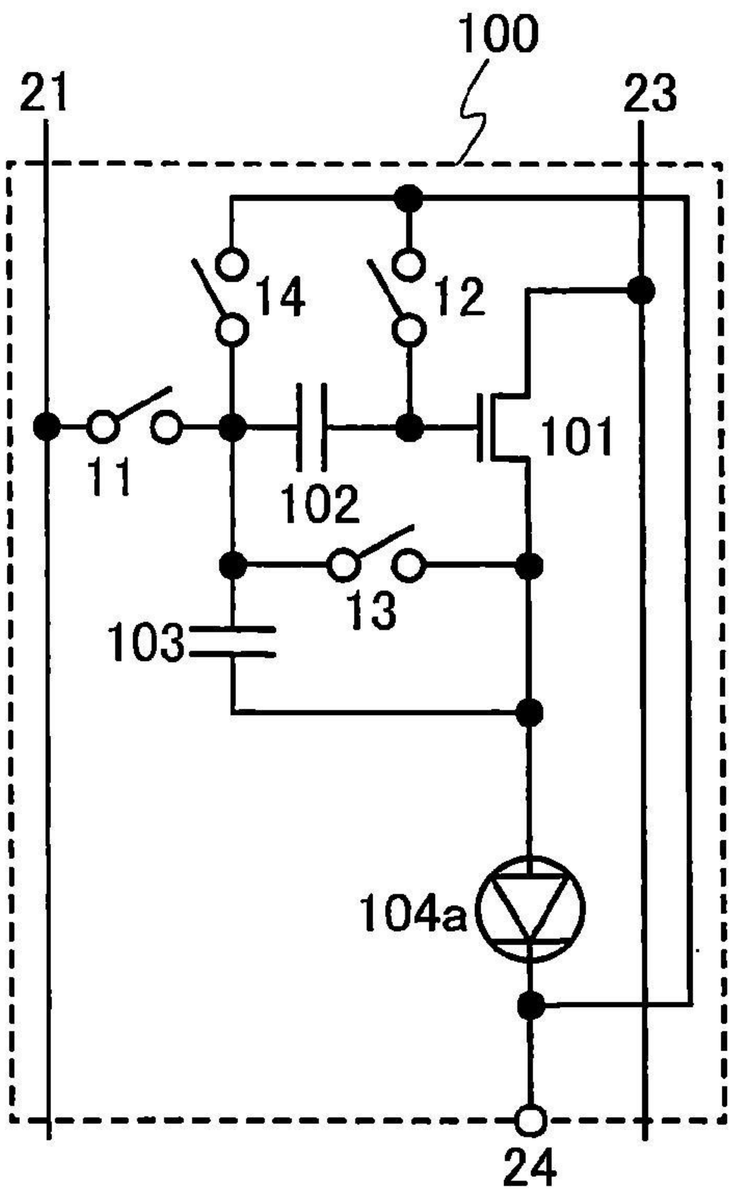


圖66A

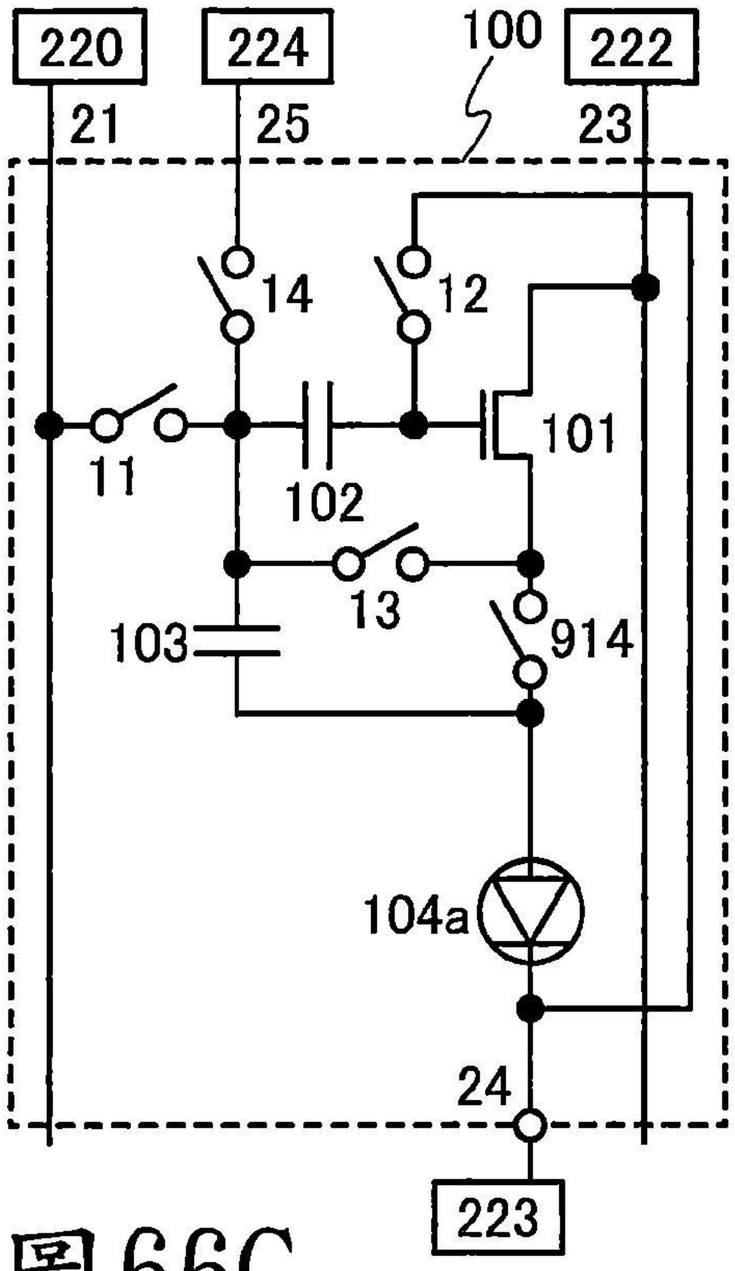


圖66B

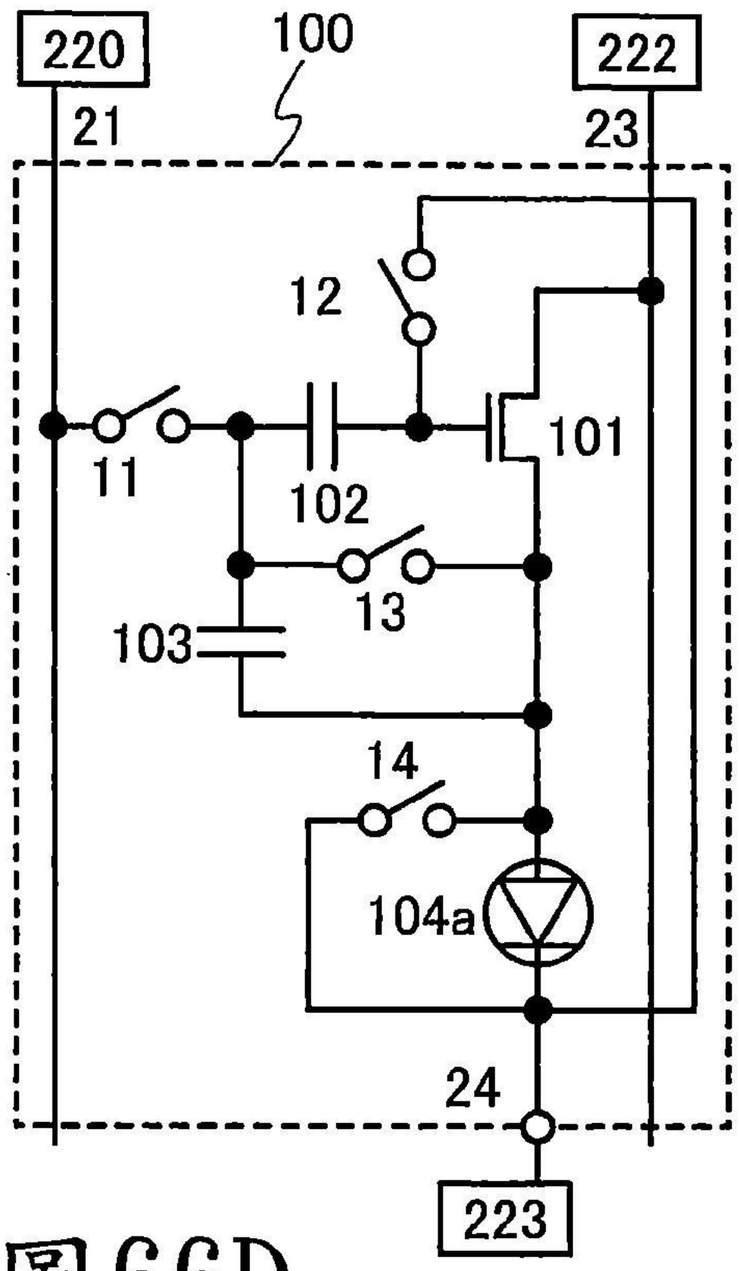


圖66C

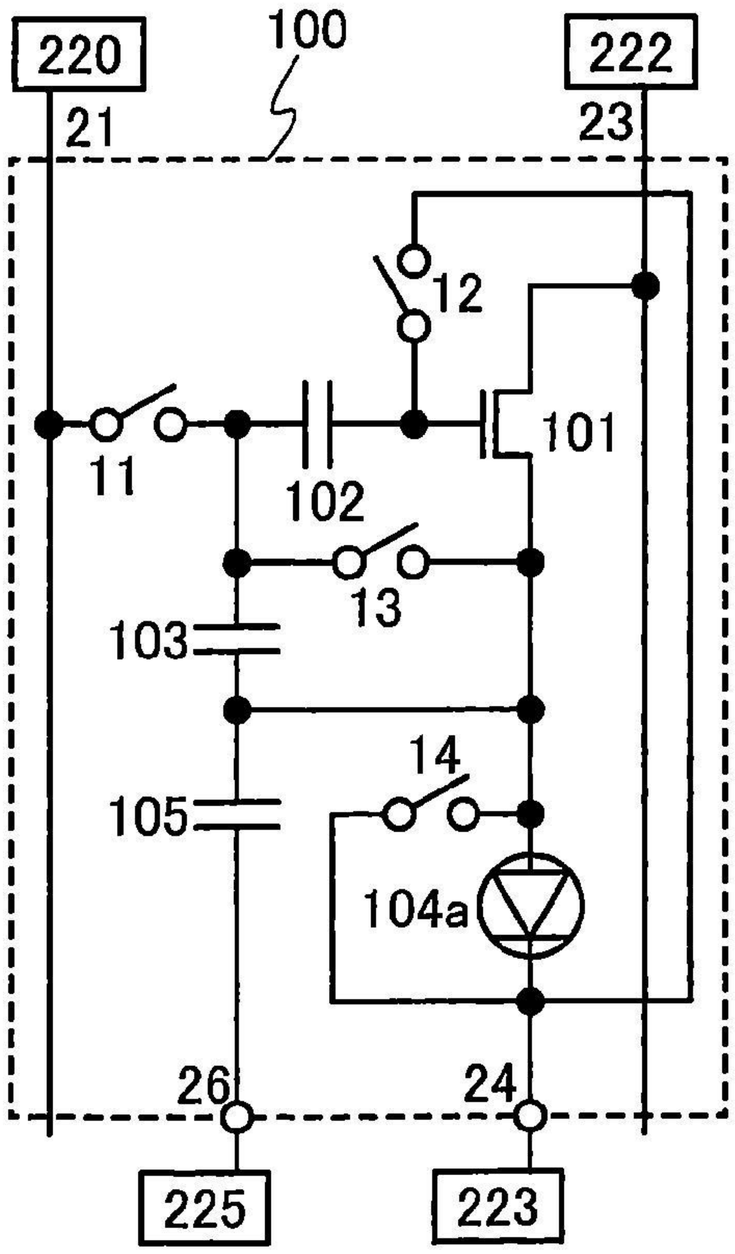


圖66D

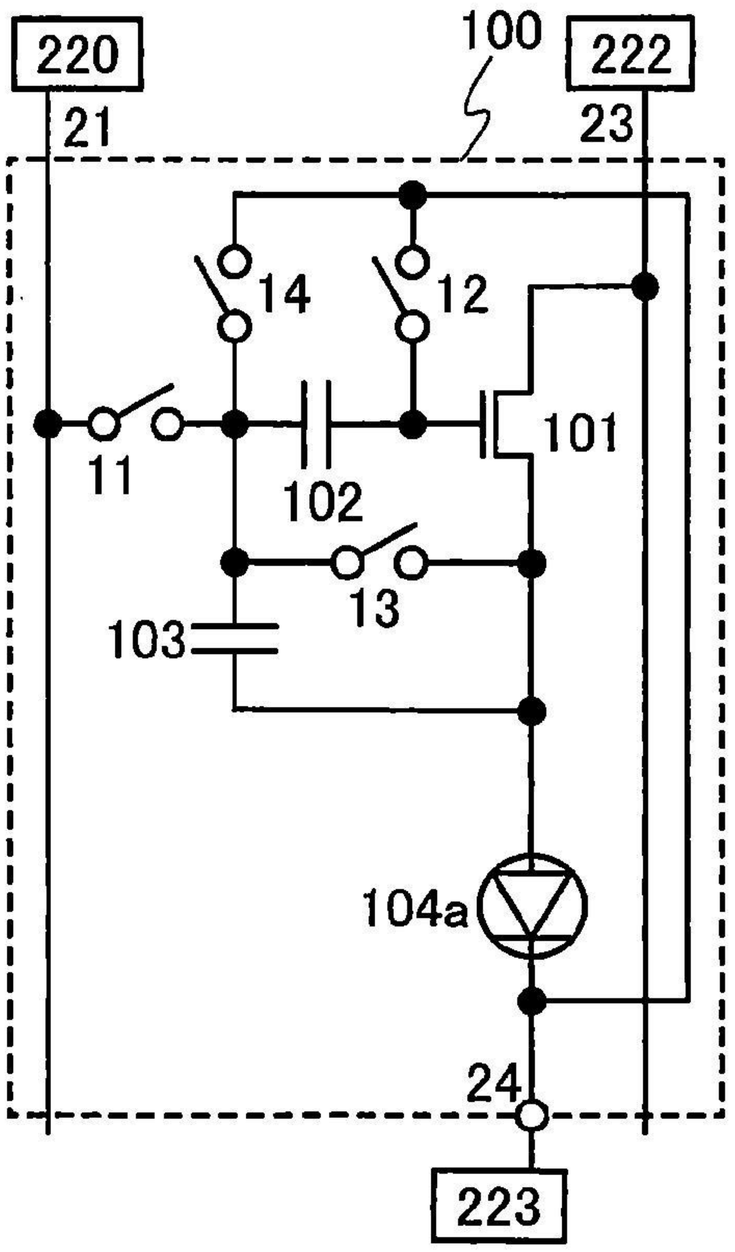


圖67A

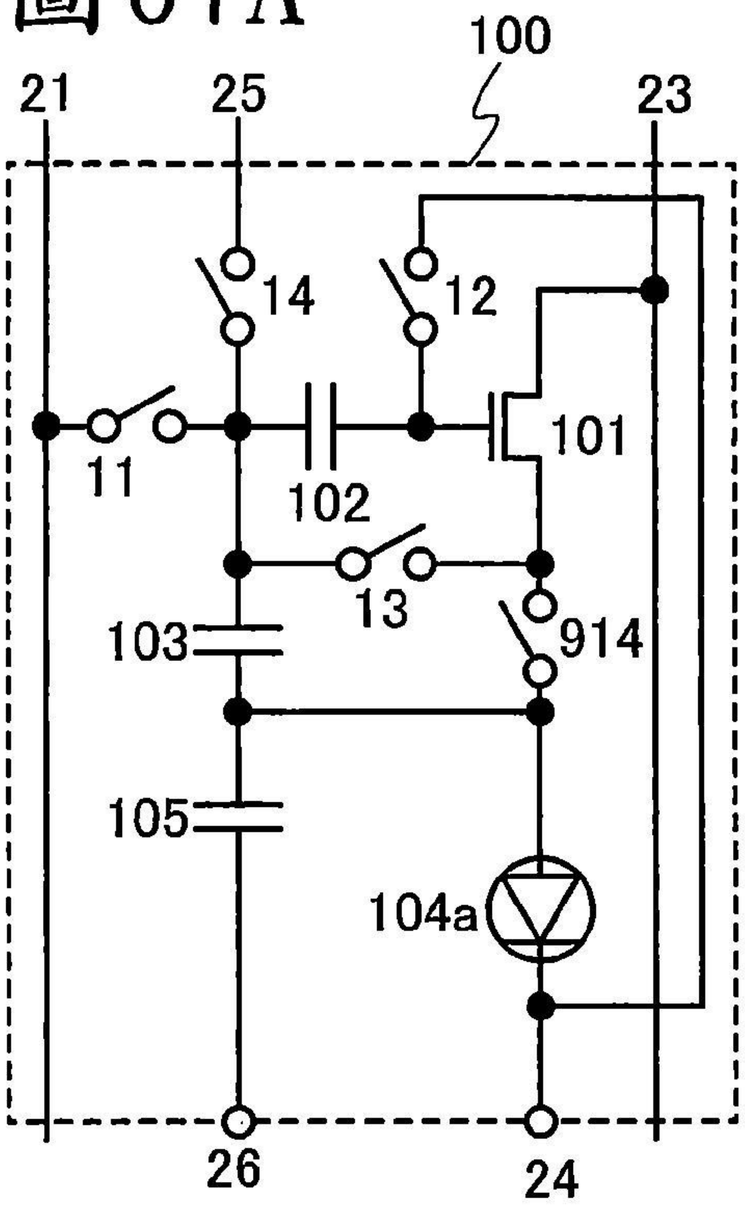


圖67B

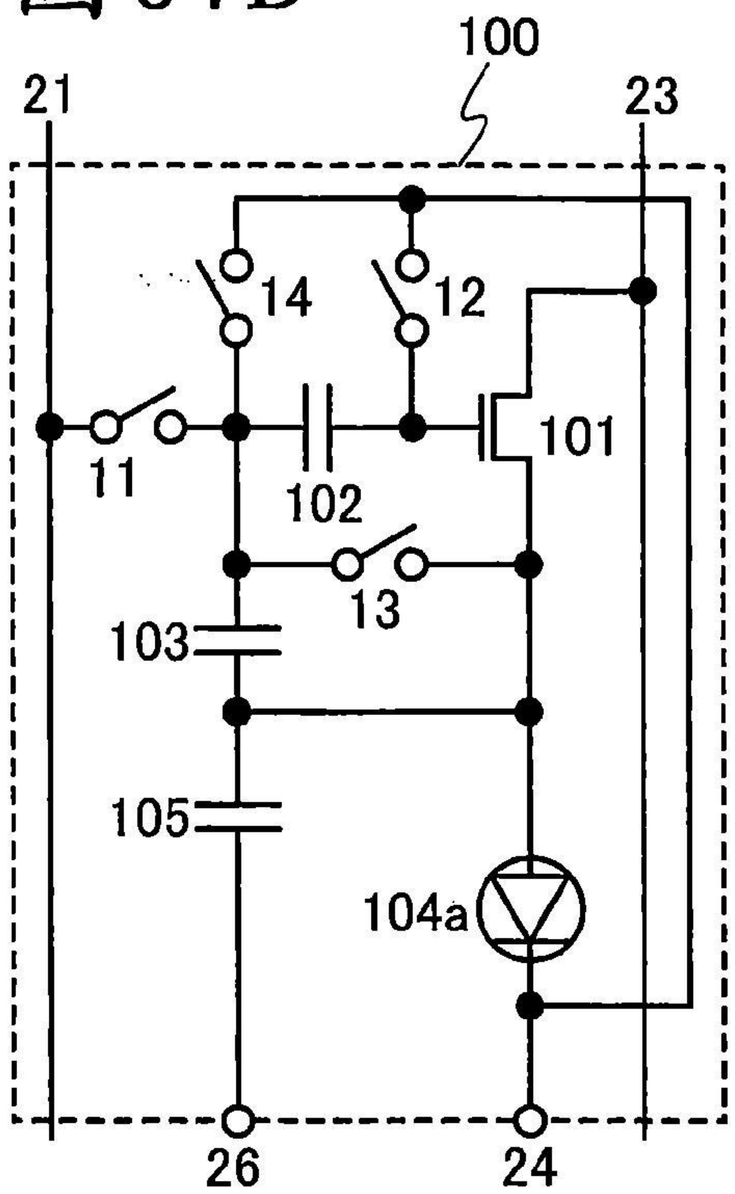


圖67C

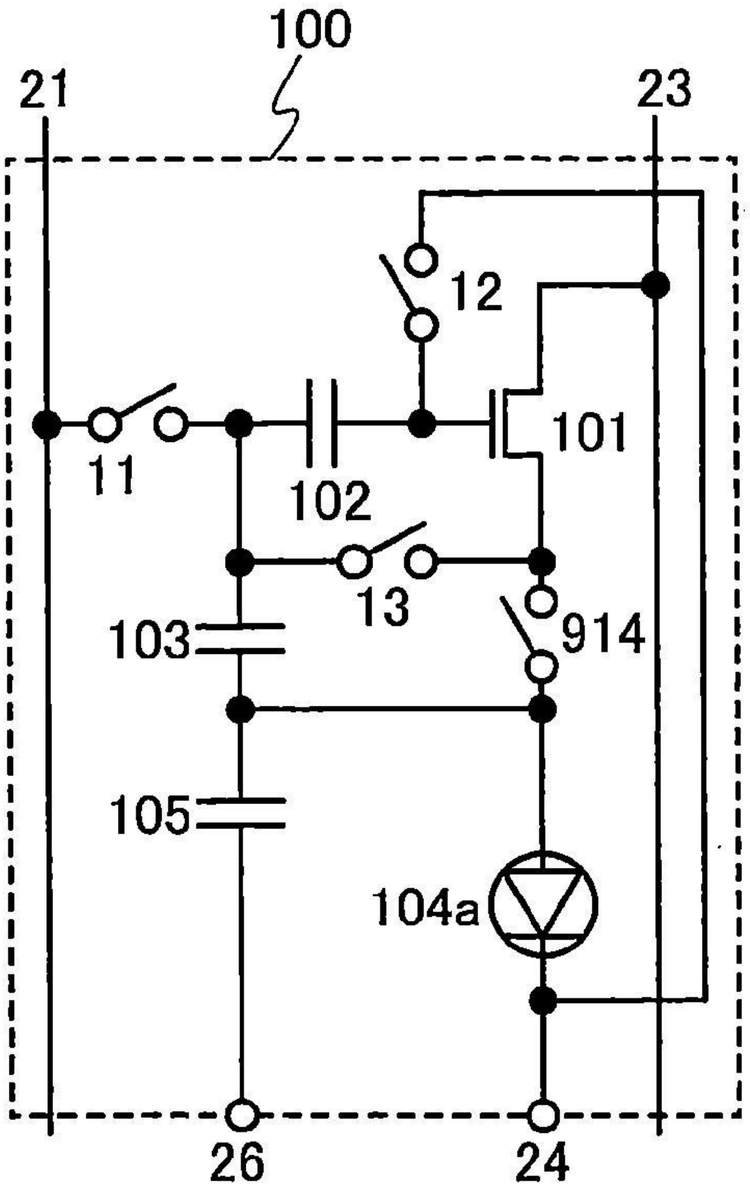


圖68A

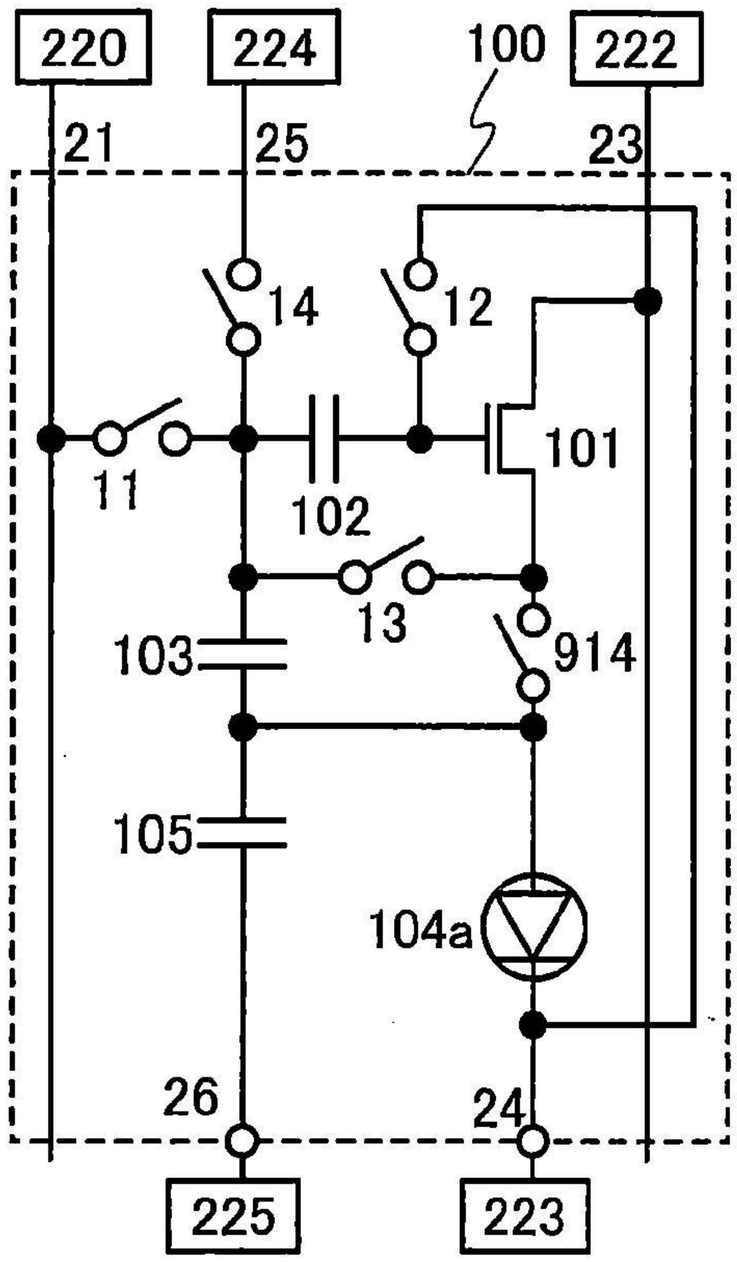


圖68B

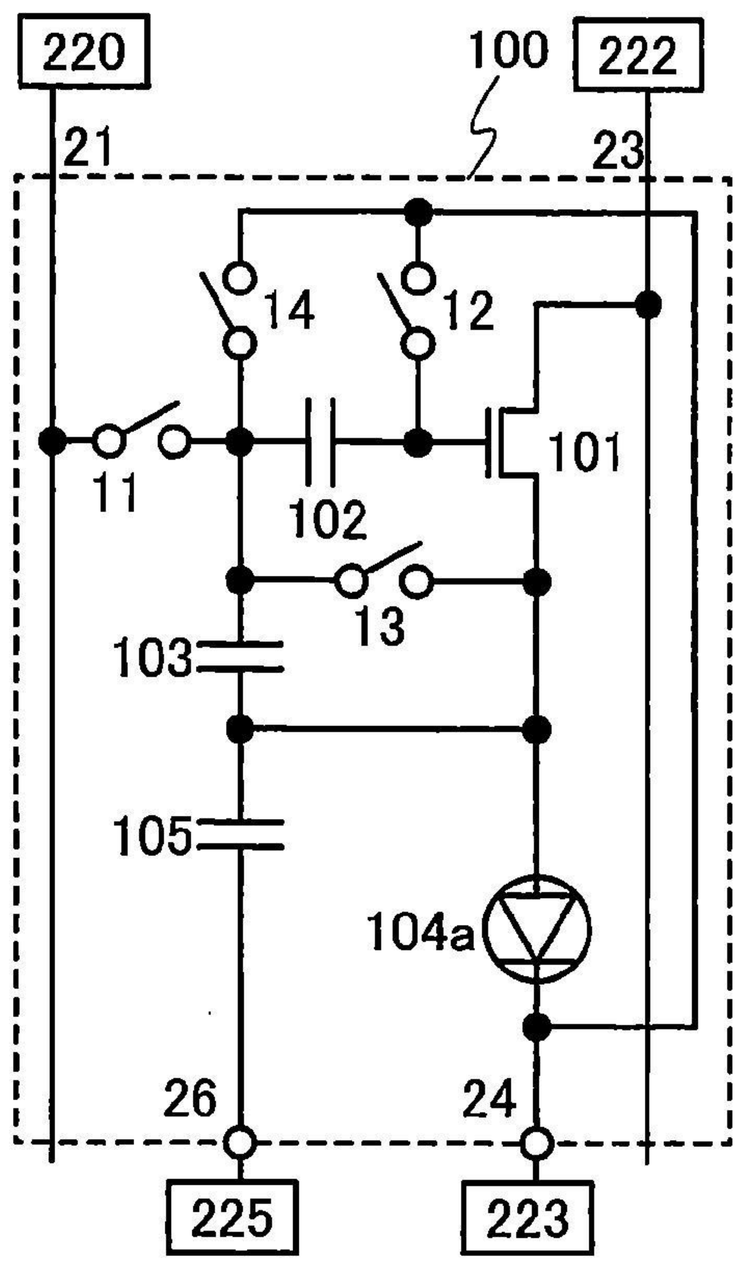


圖68C

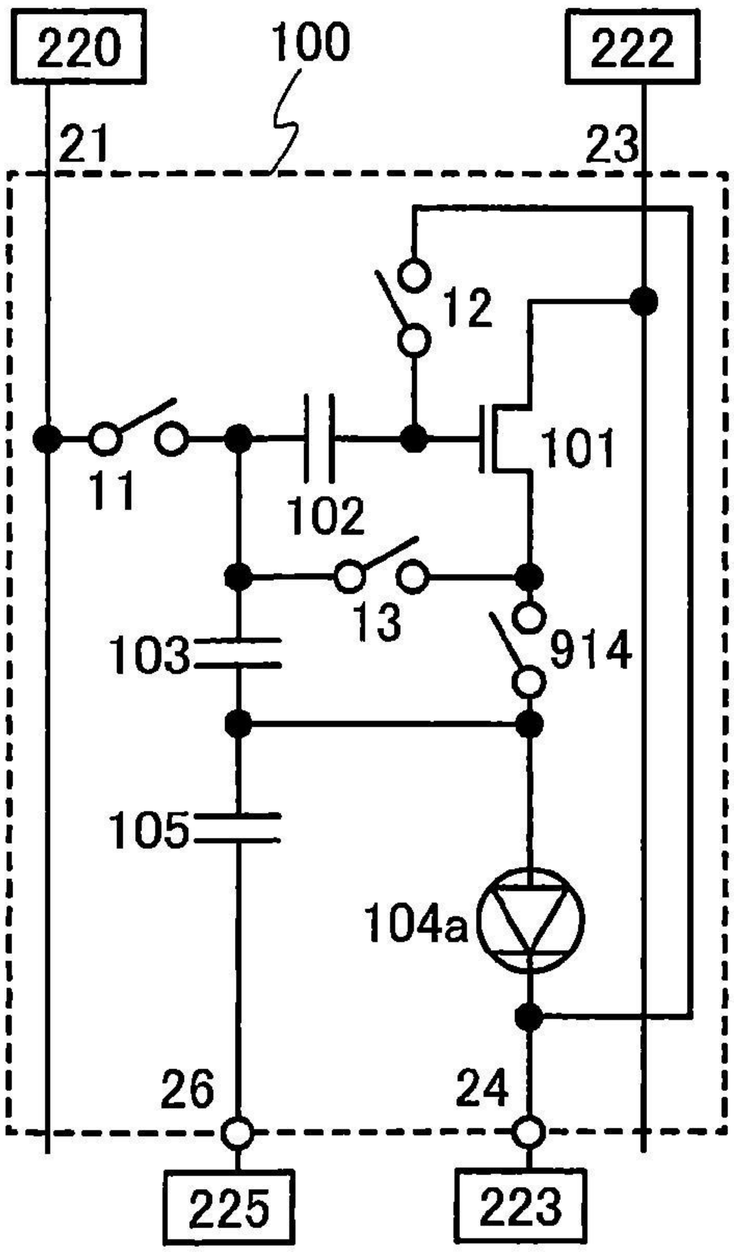


圖69A

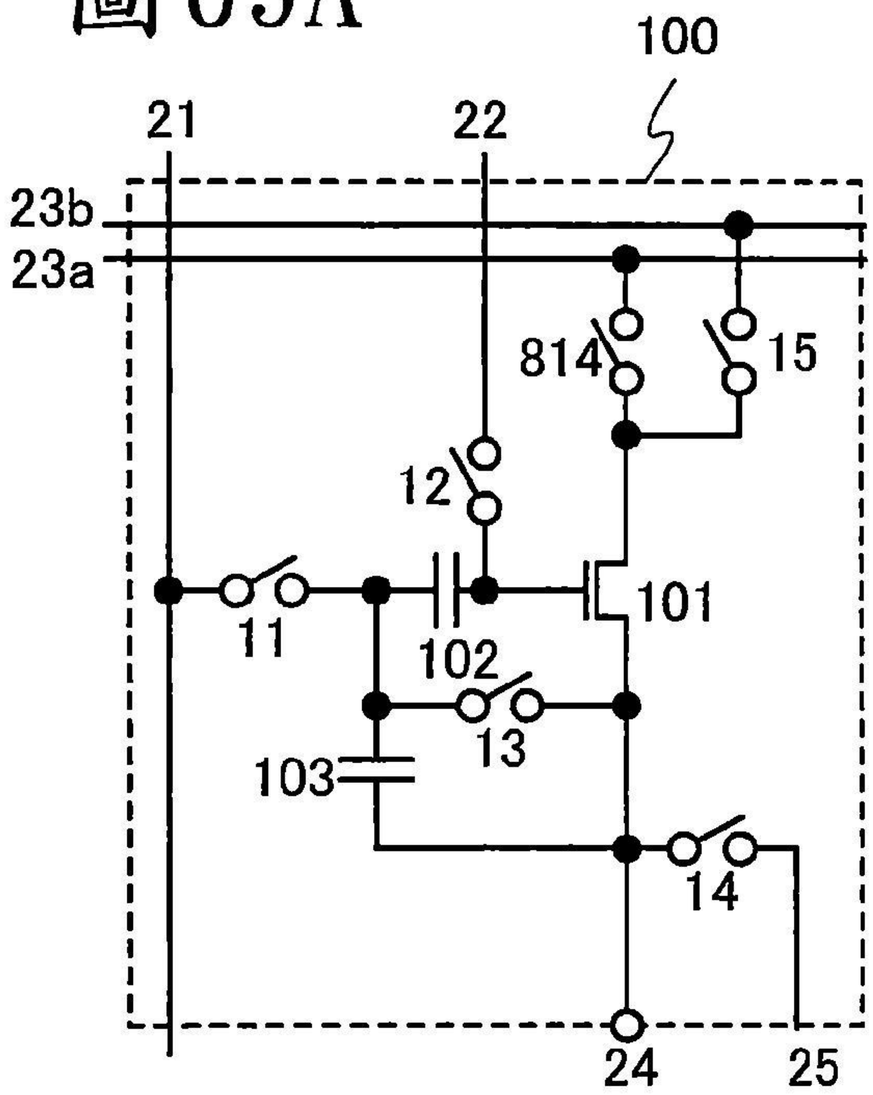


圖69B

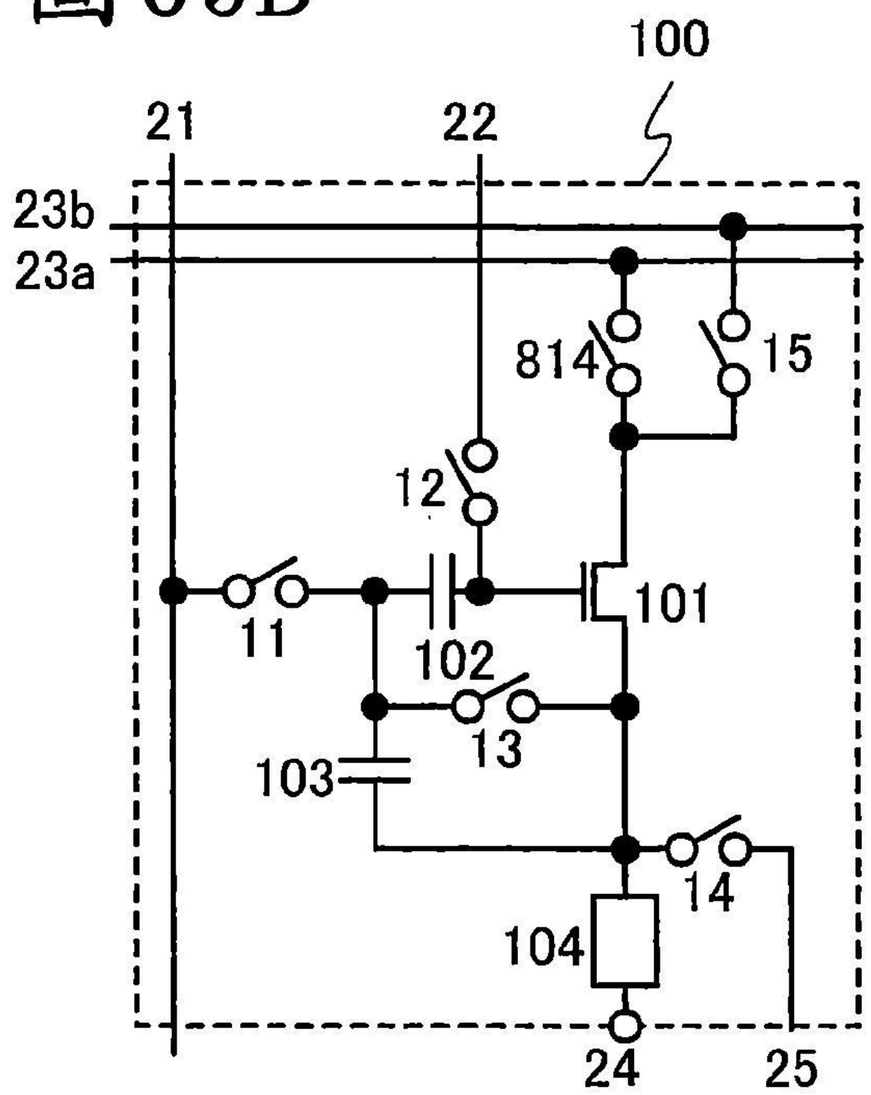


圖69C

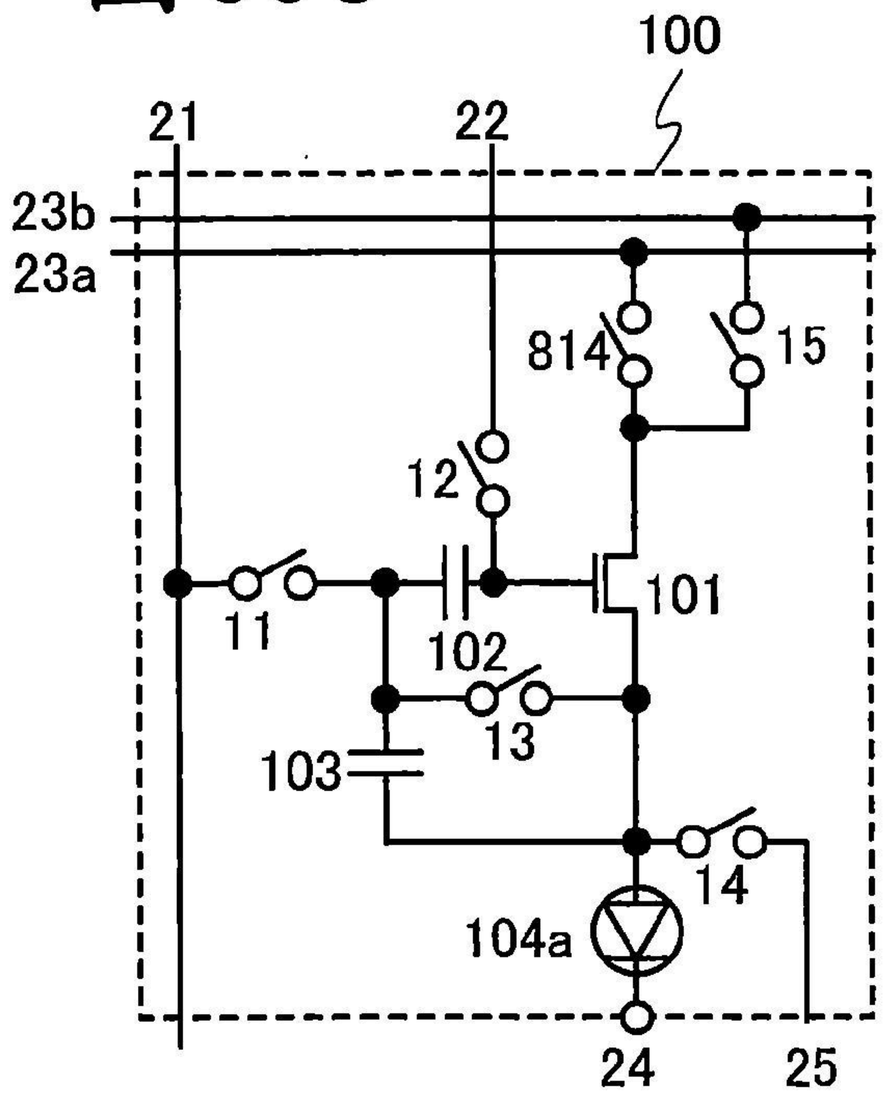


圖69D

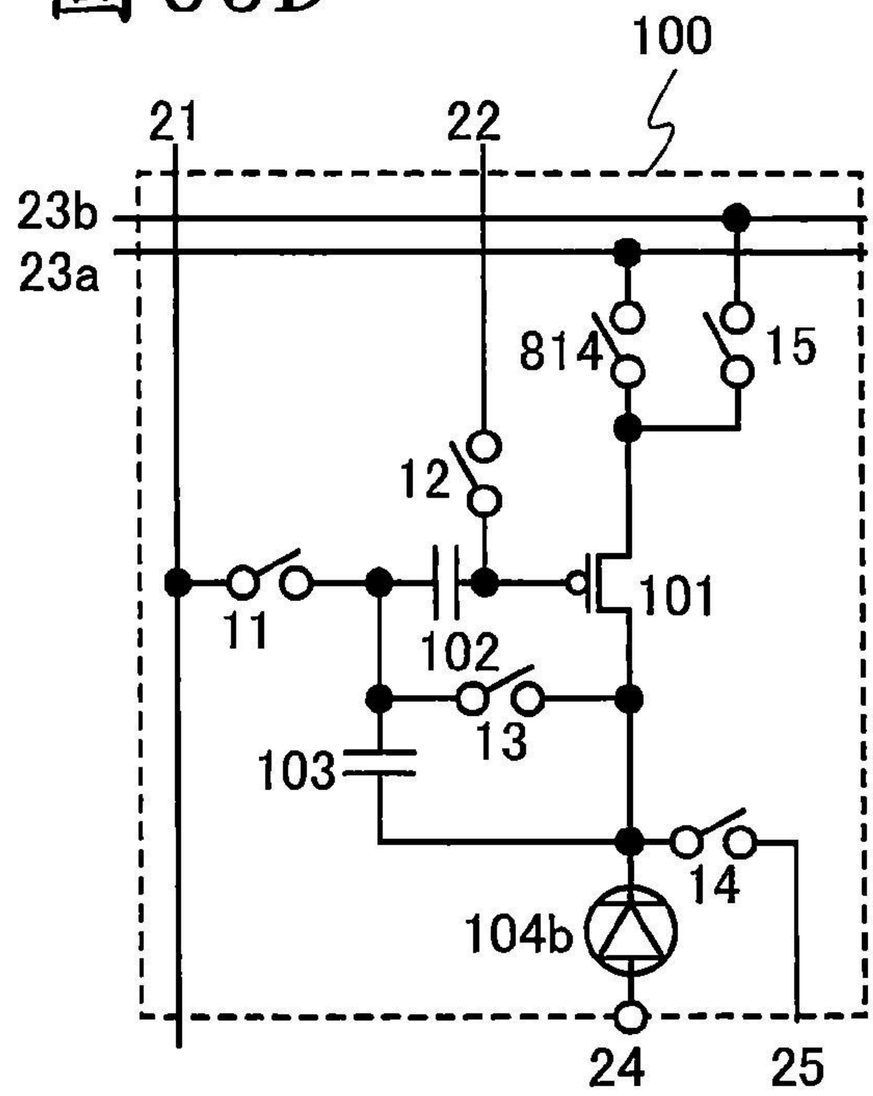


圖70A

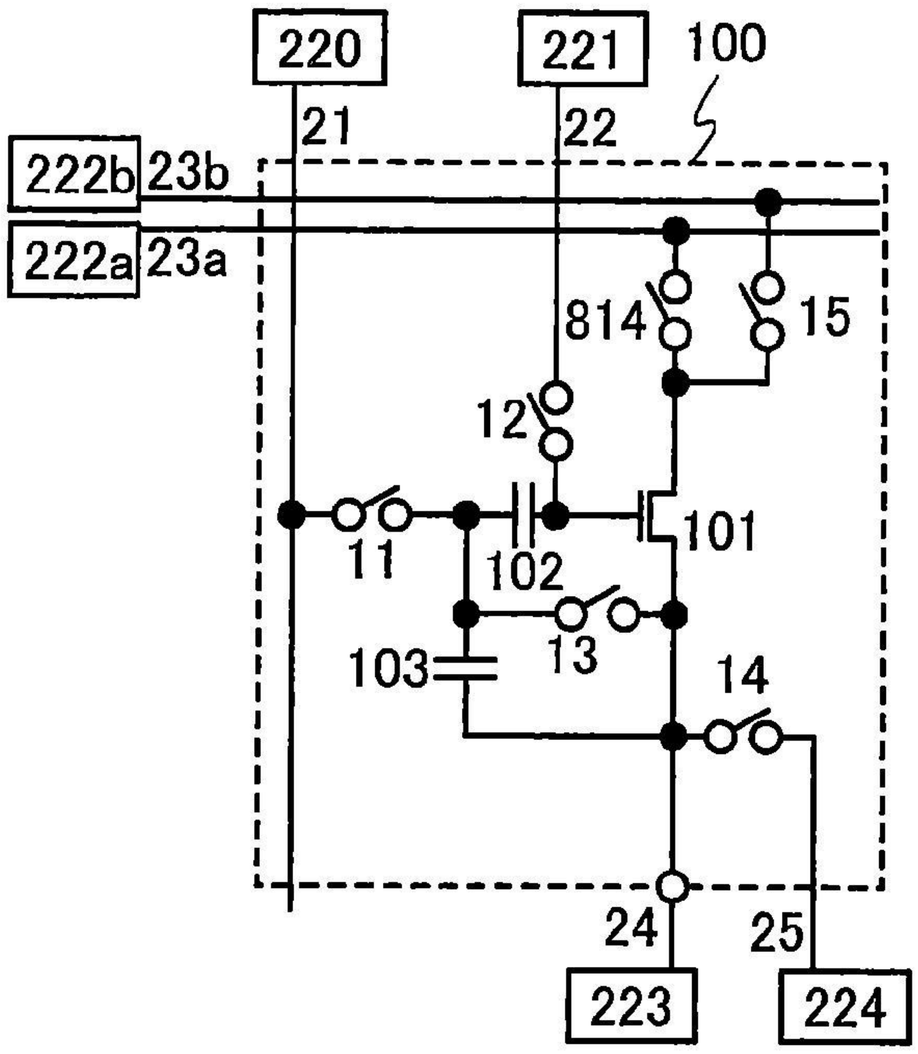


圖70B

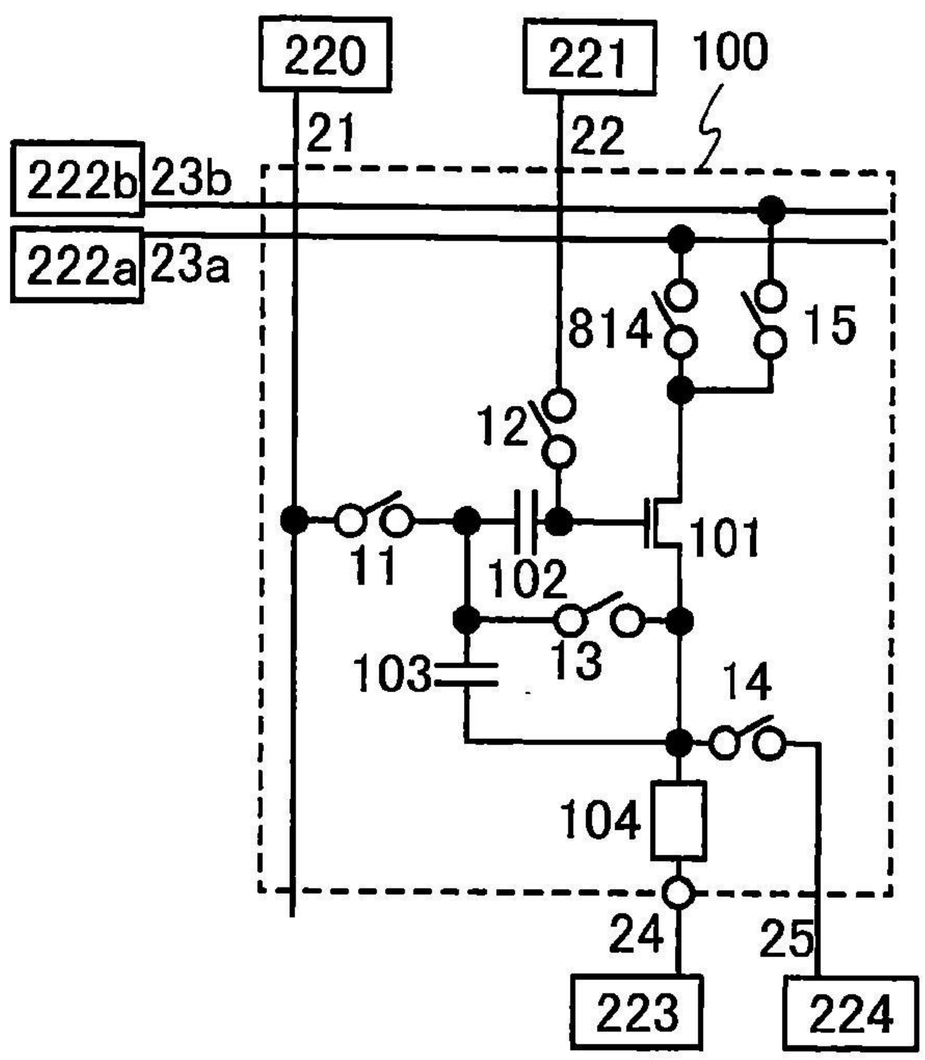


圖70C

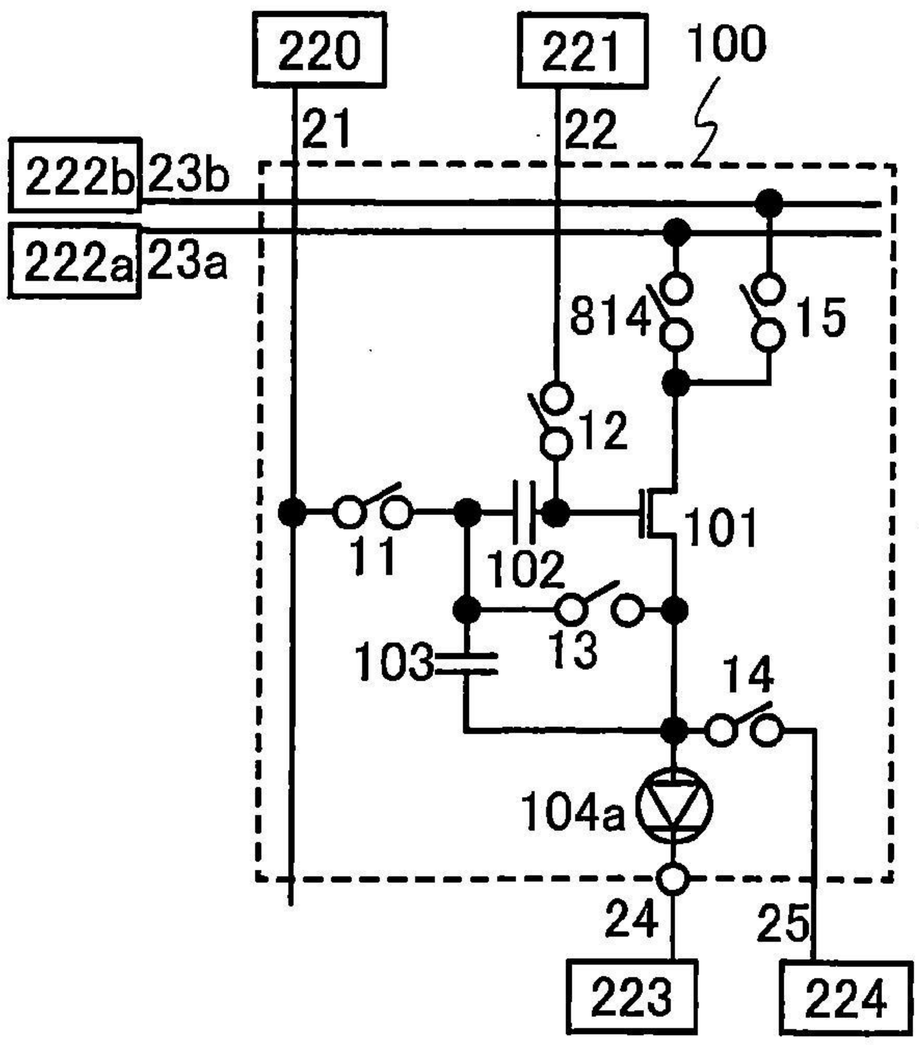


圖70D

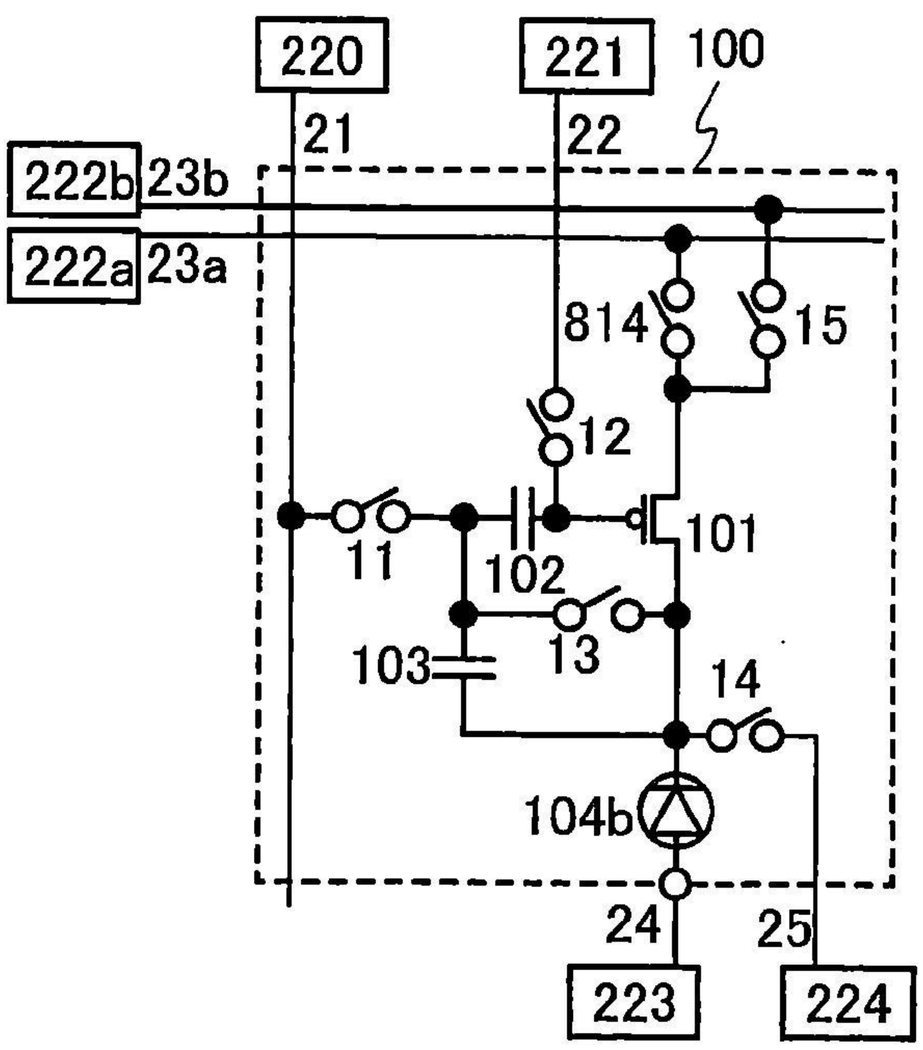


圖71A

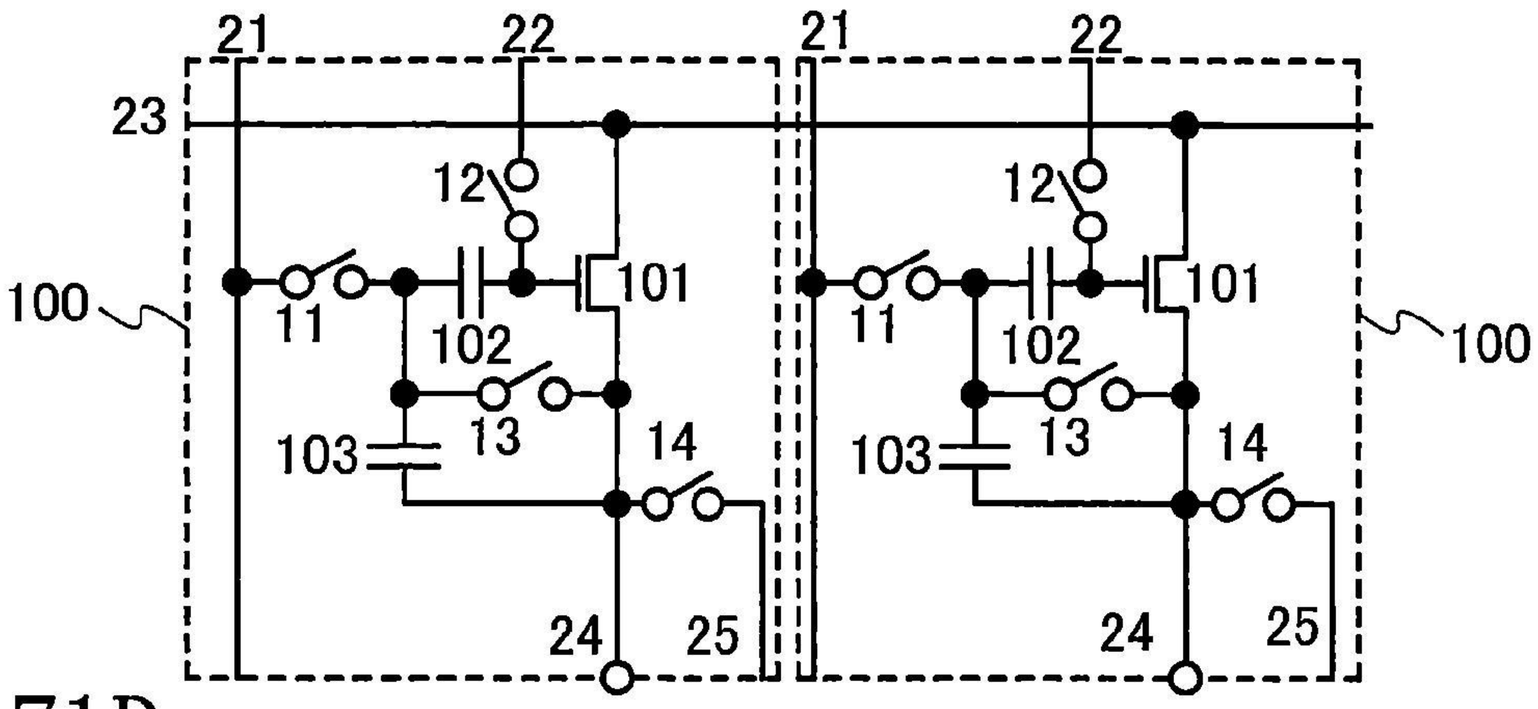


圖71B

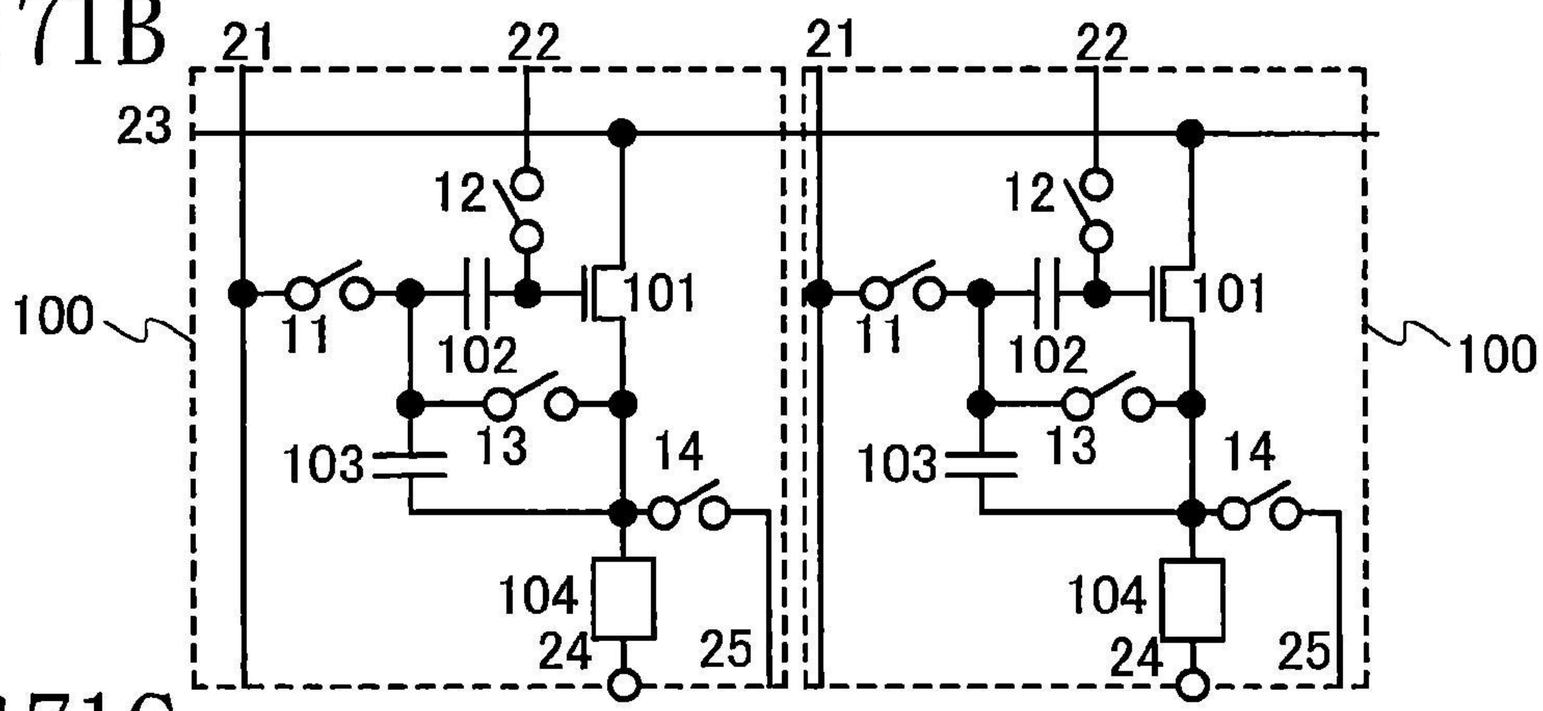


圖71C

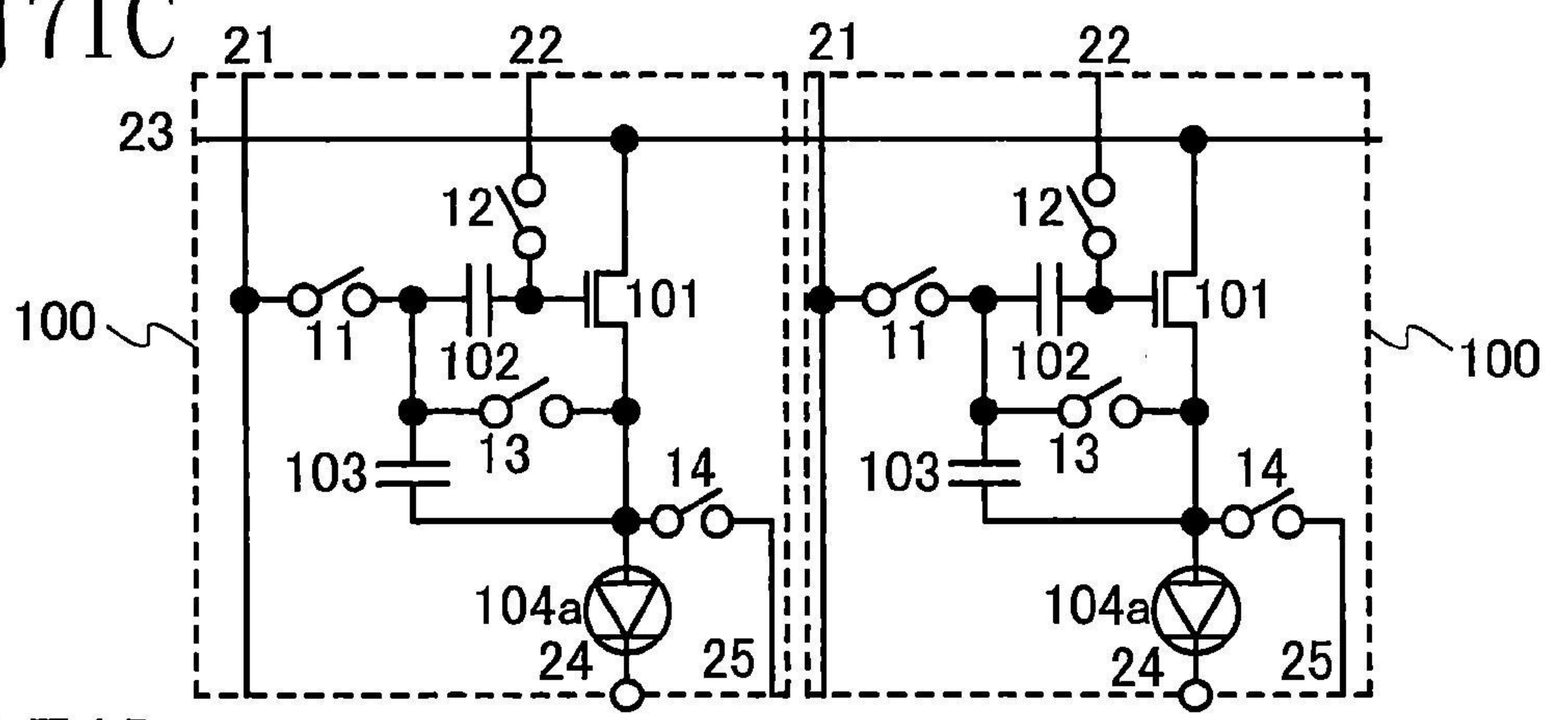


圖71D

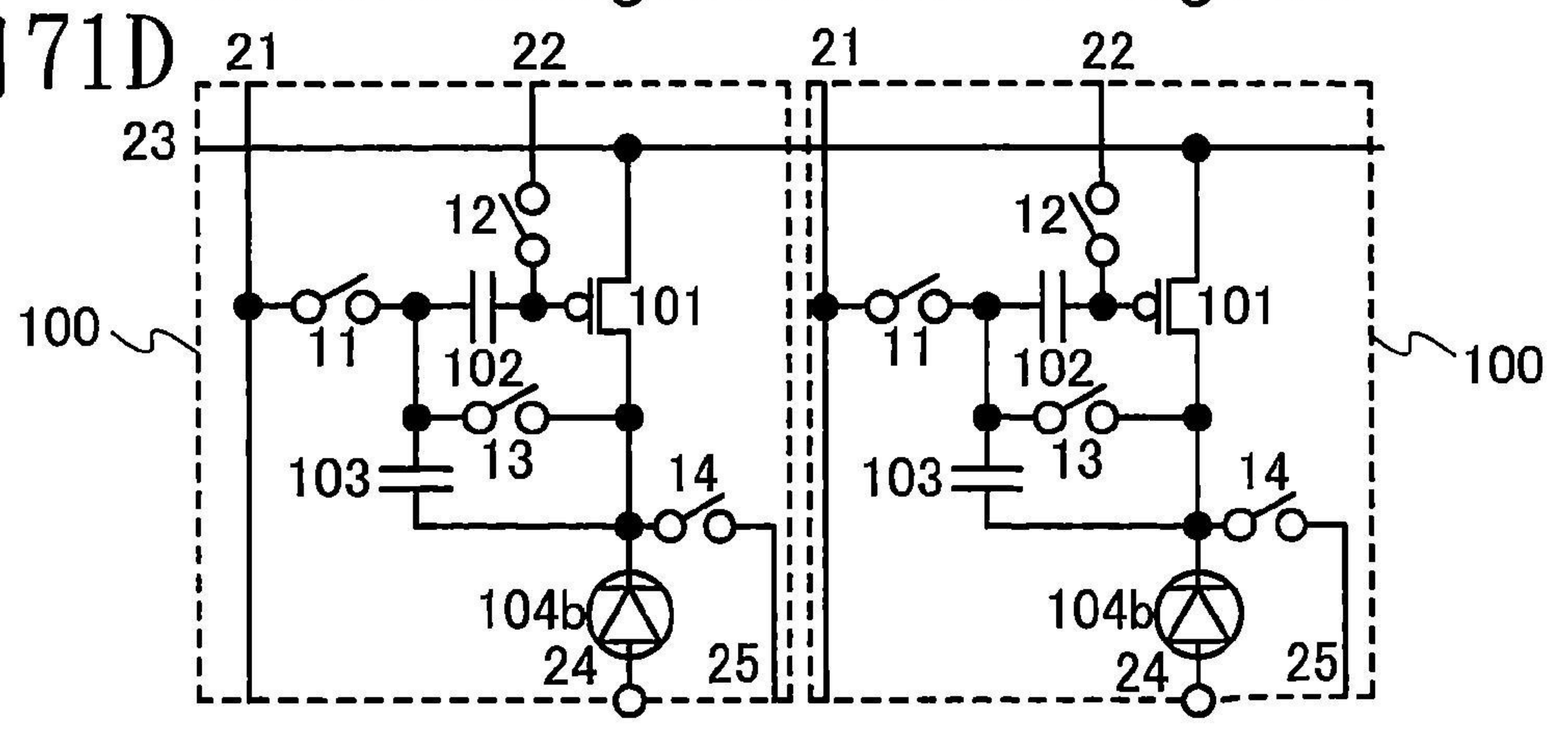


圖72A

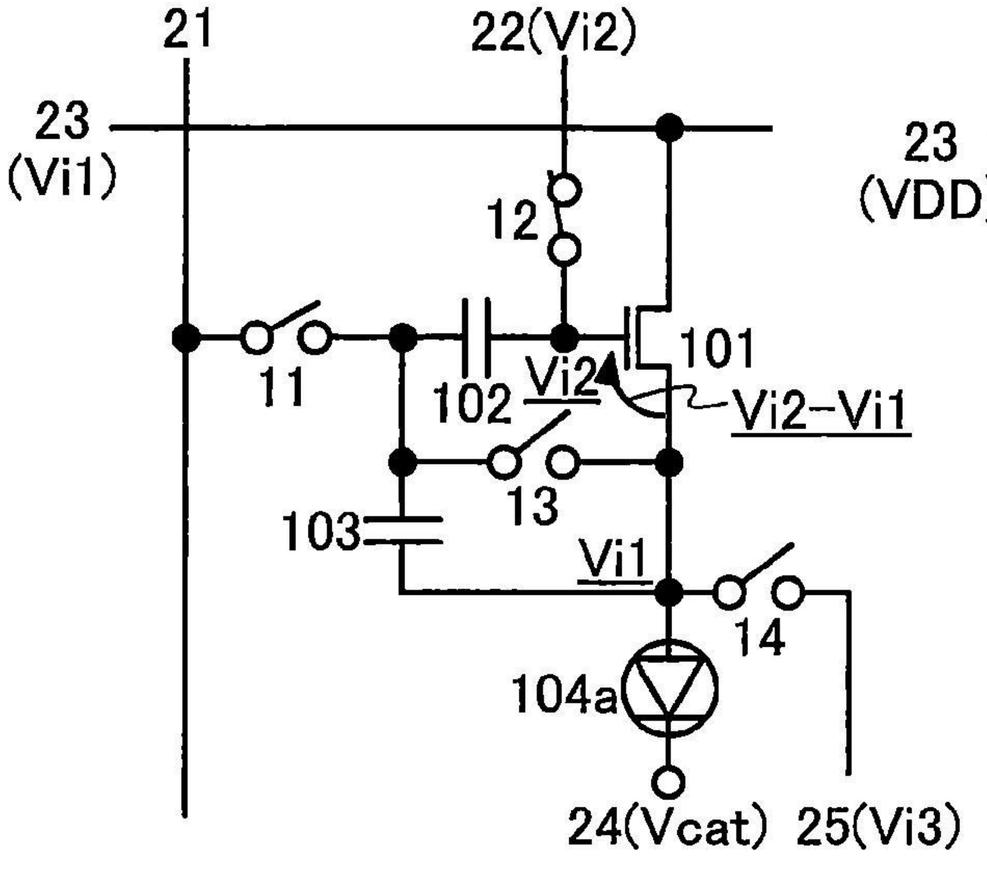


圖72B

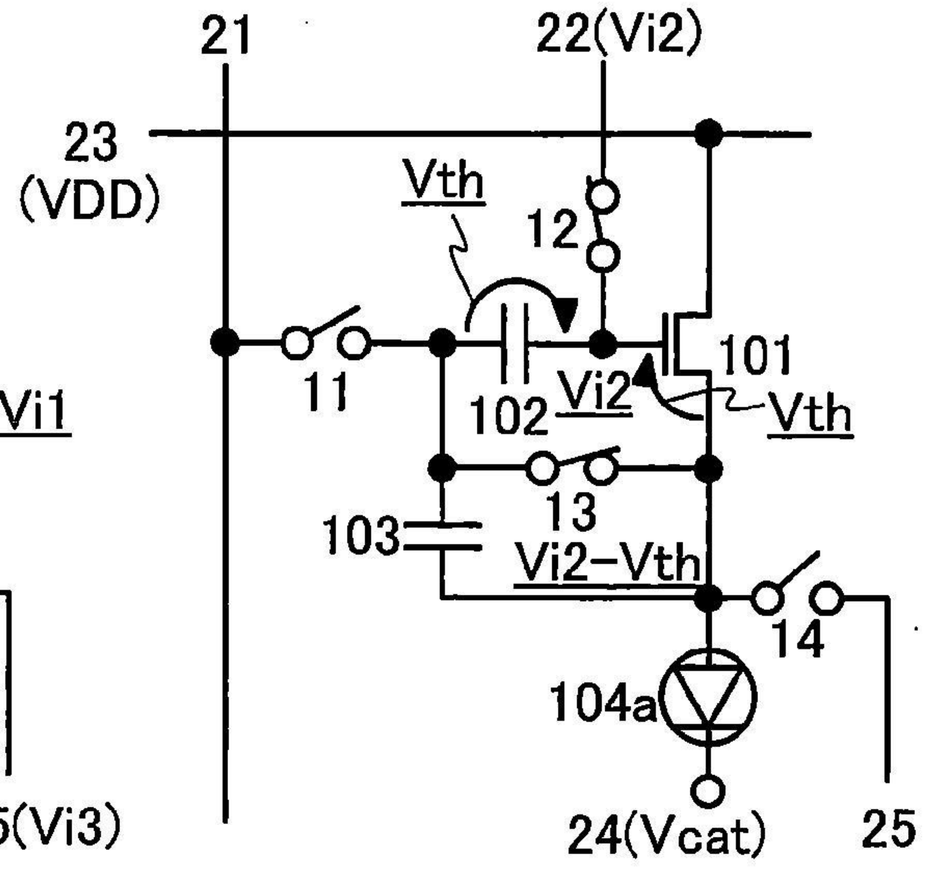


圖72C

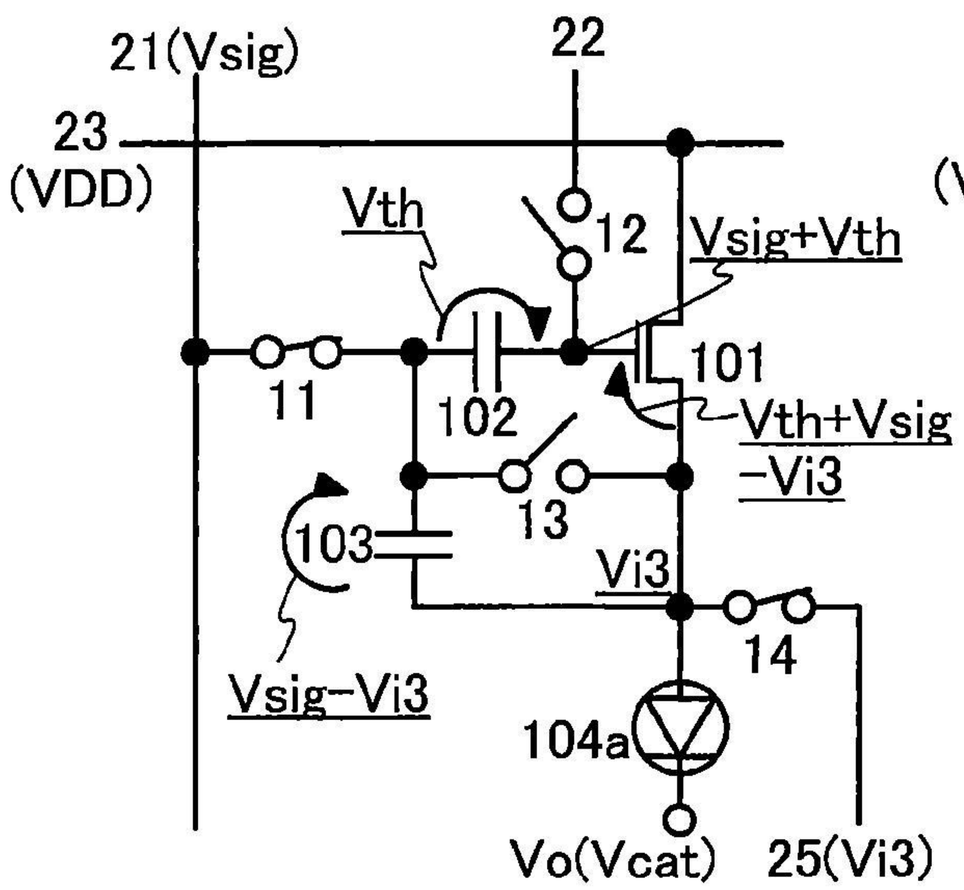


圖72D

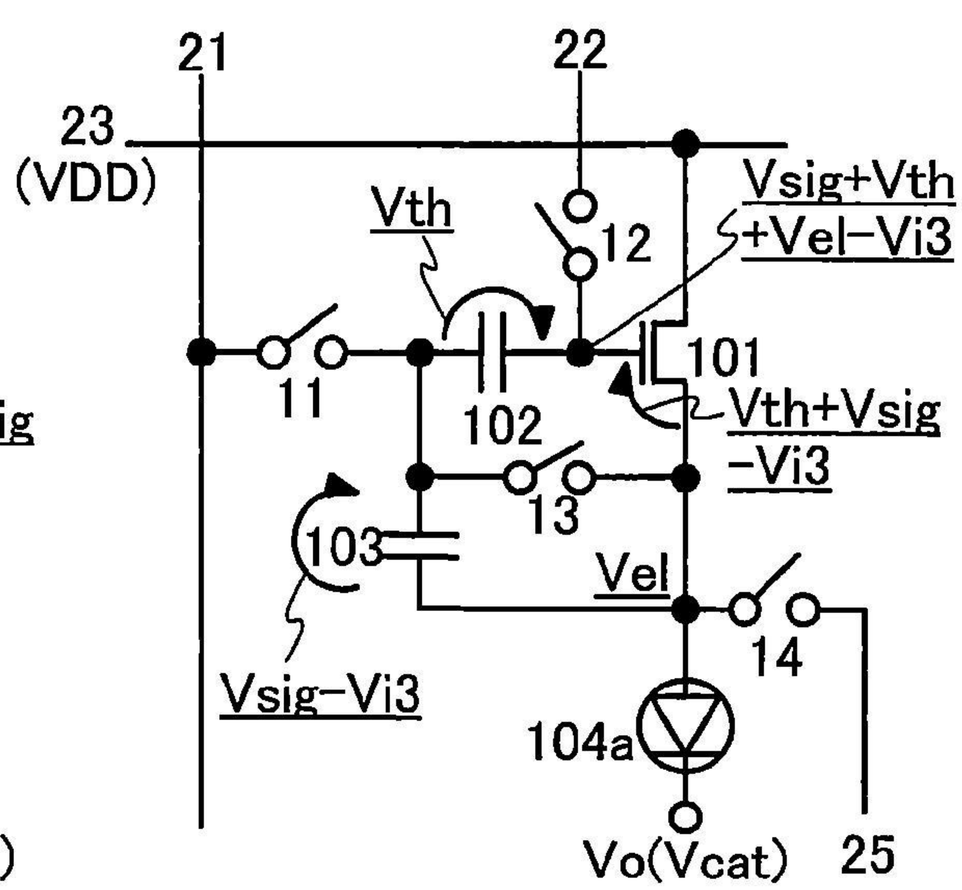


圖73A

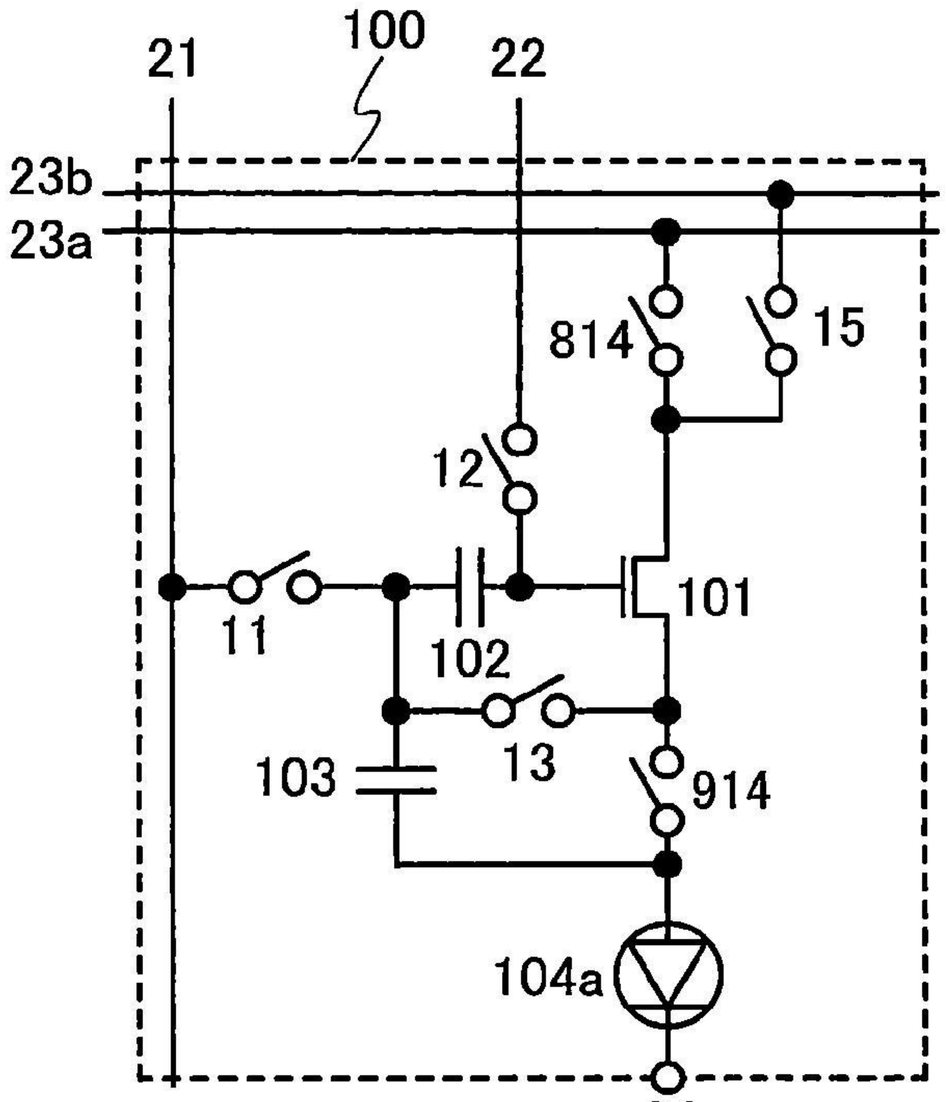


圖73B

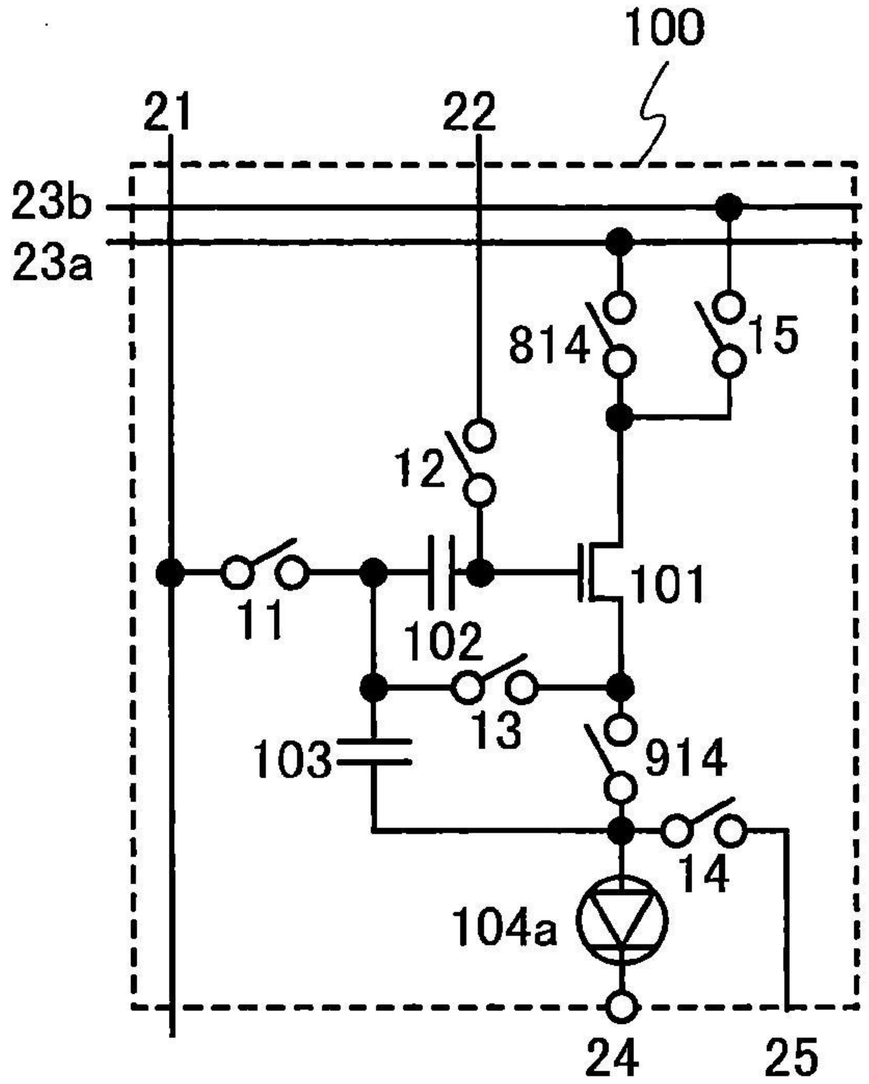


圖73C

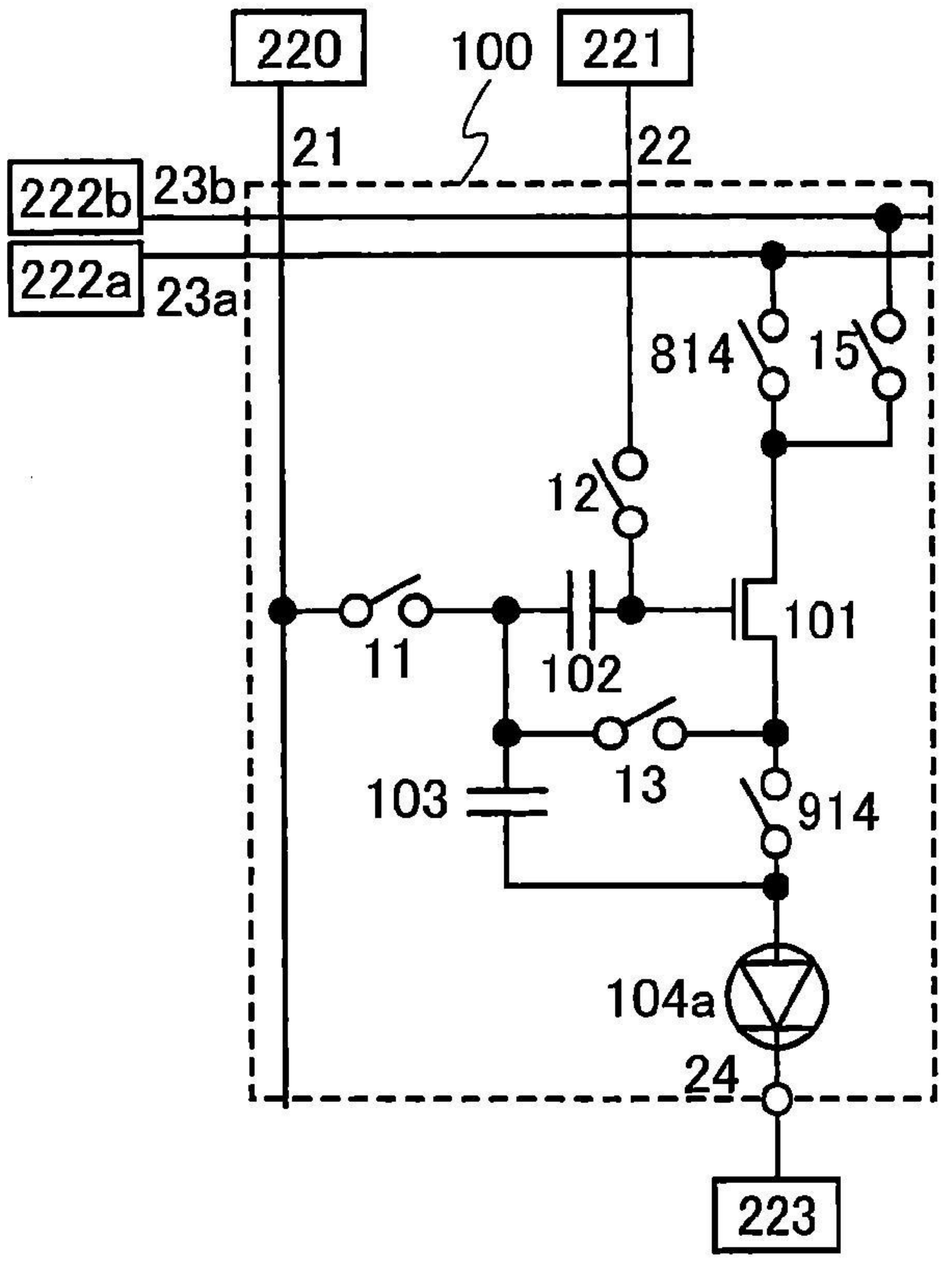


圖73D

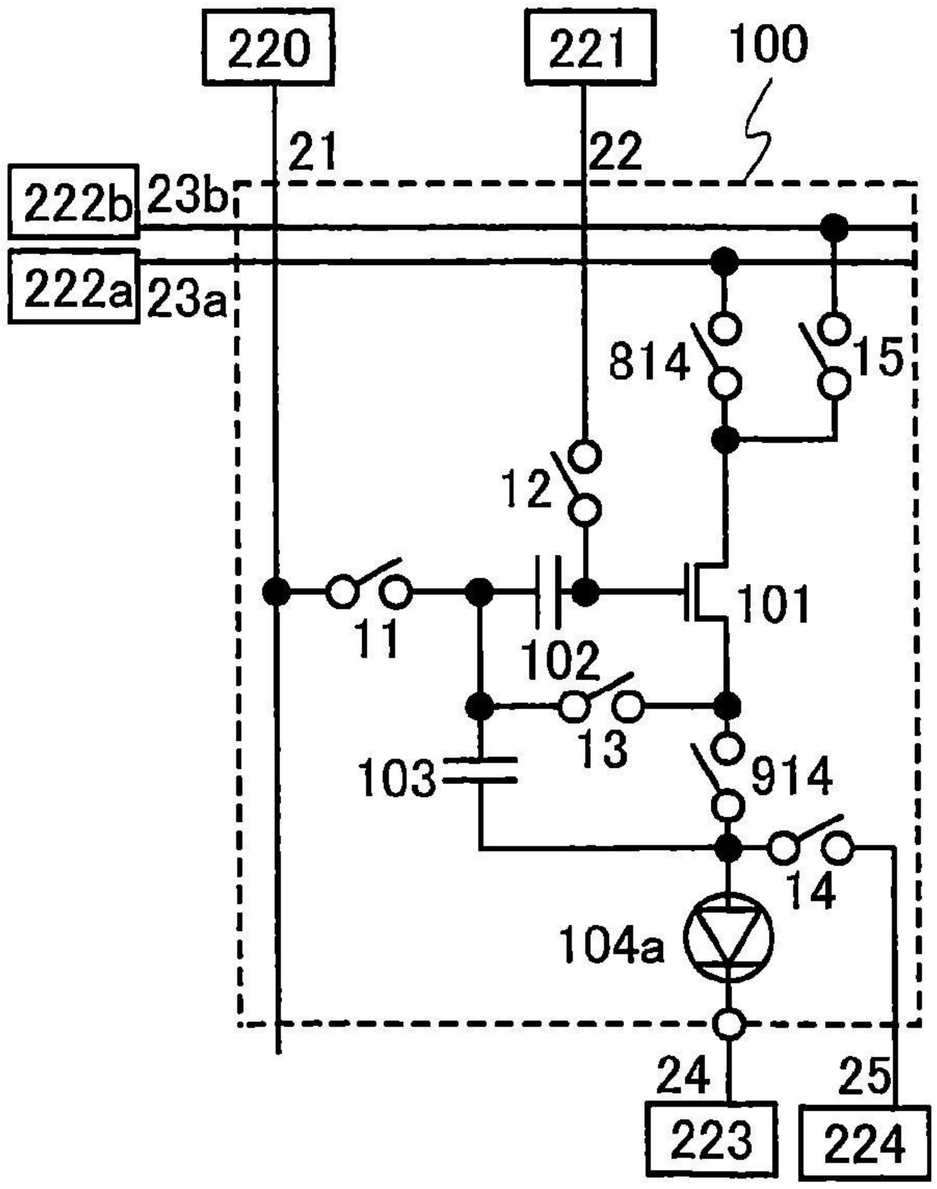


圖74A

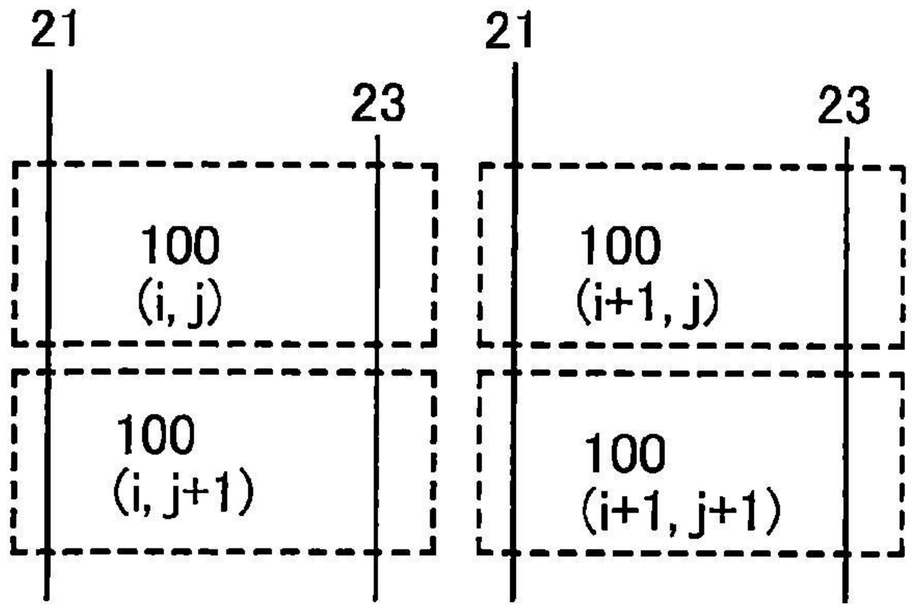


圖74B

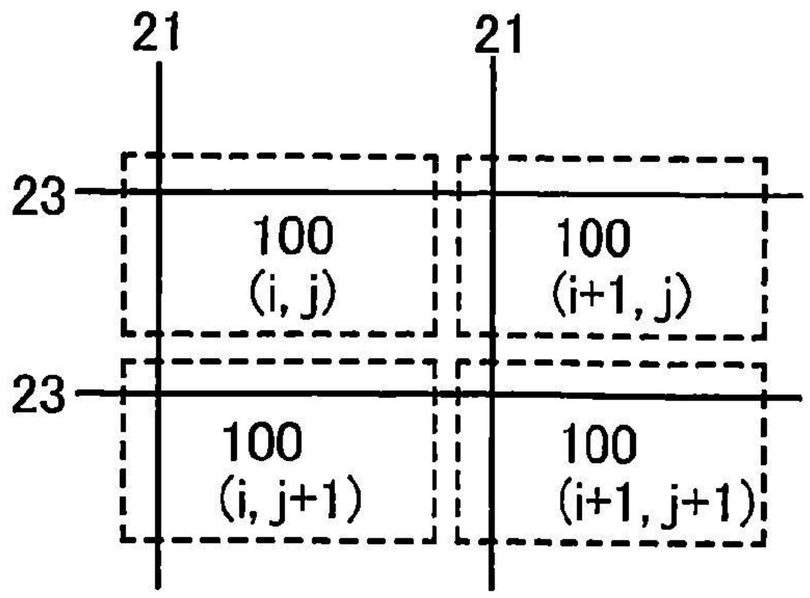


圖74C

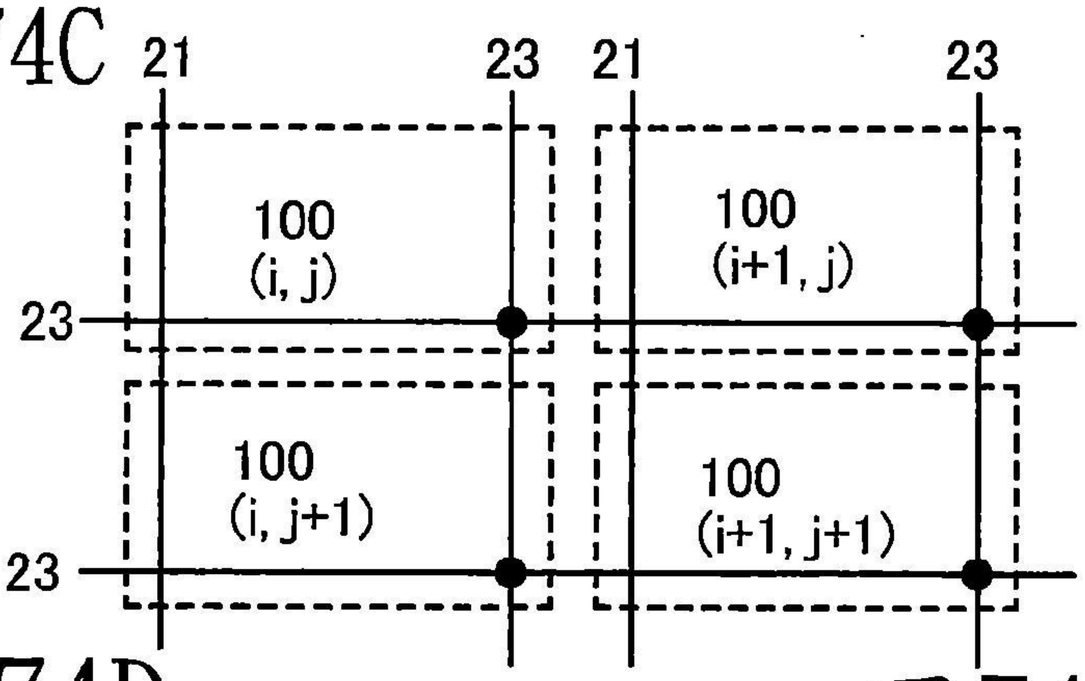


圖74D

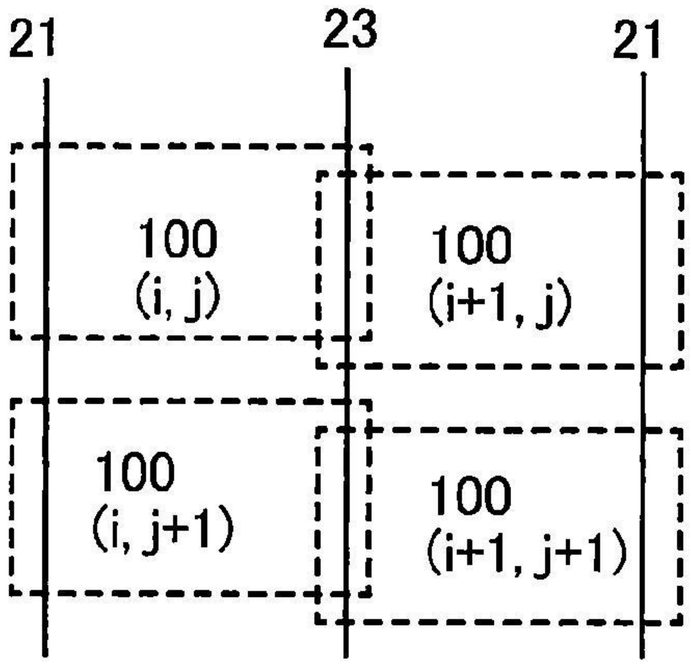


圖74E

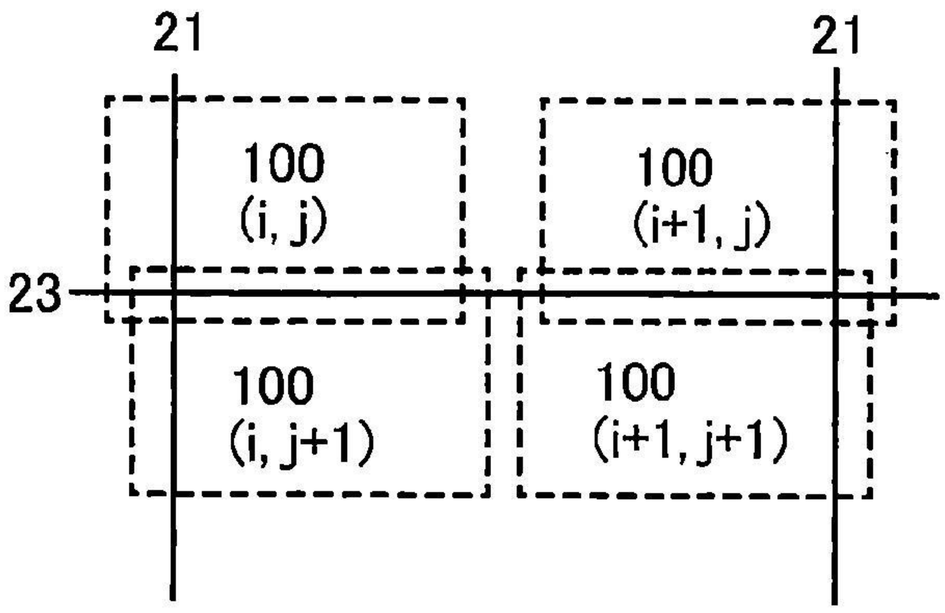


圖74F

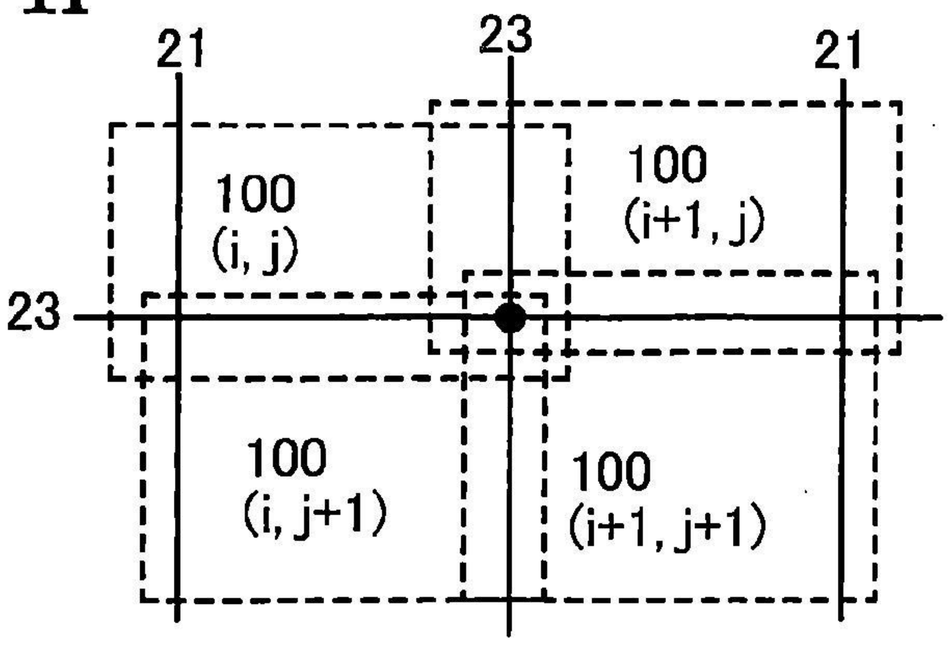


圖75A

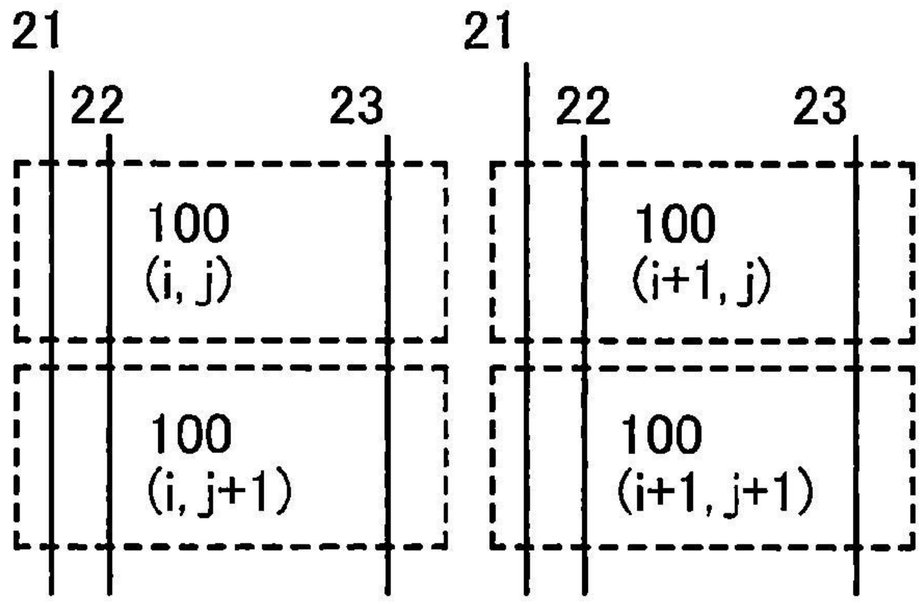


圖75B

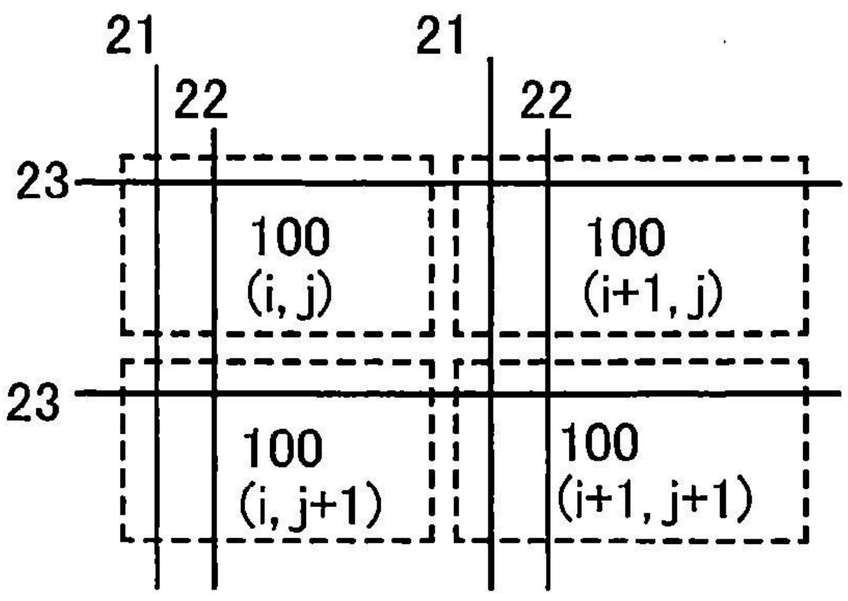


圖75C

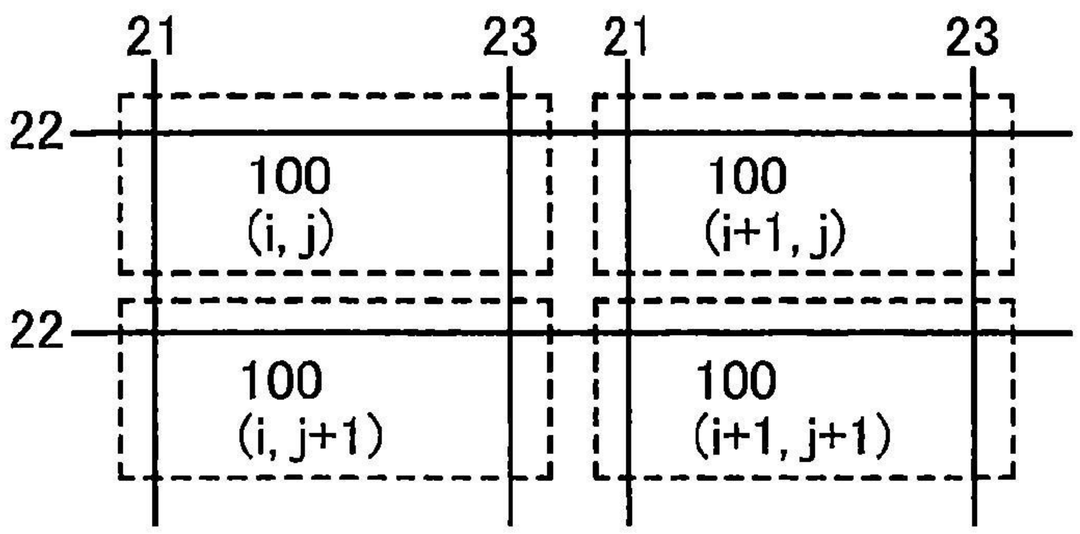


圖75D

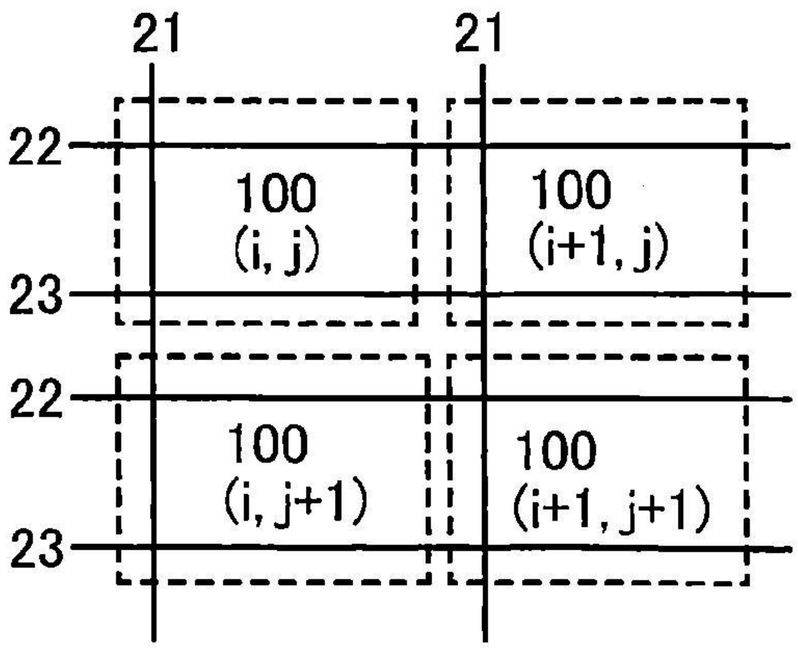


圖75E

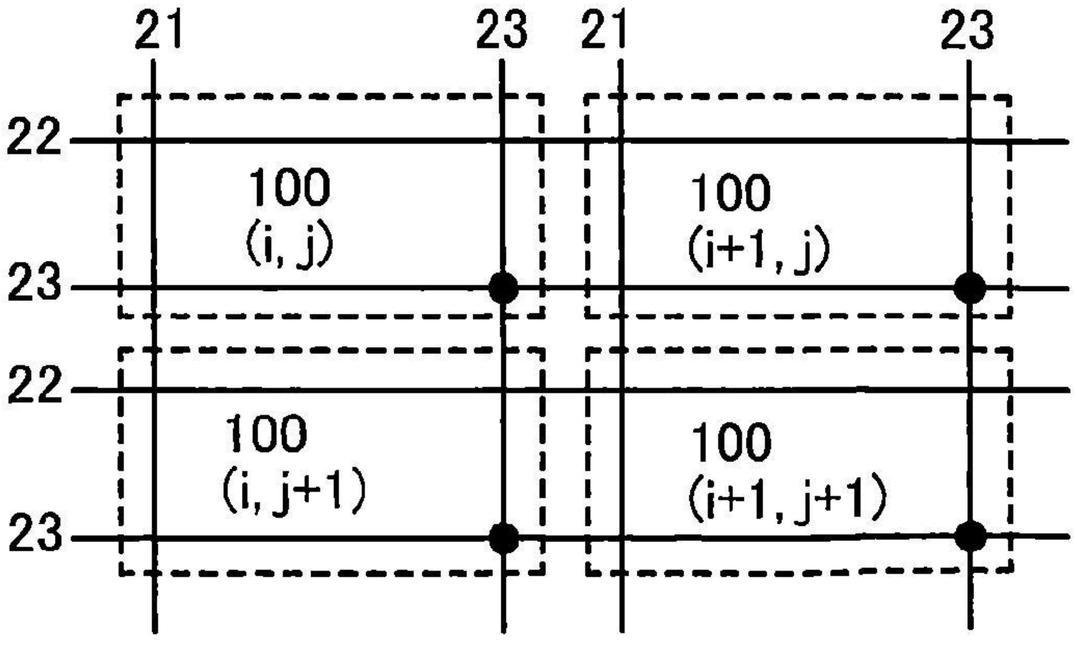


圖76A

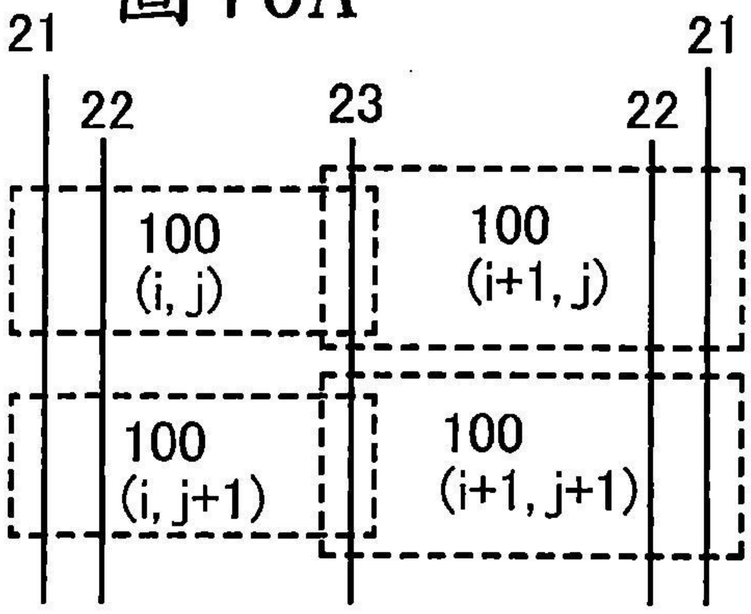


圖76B

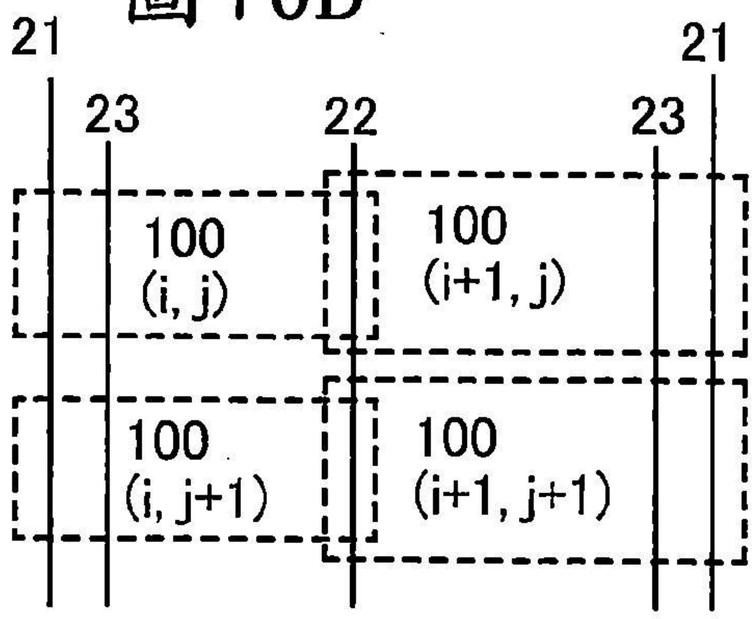


圖76C

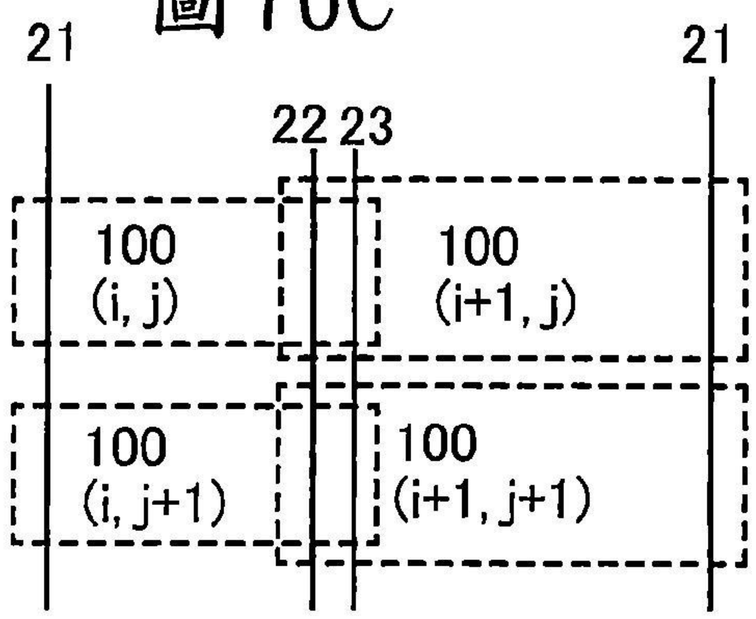


圖76D

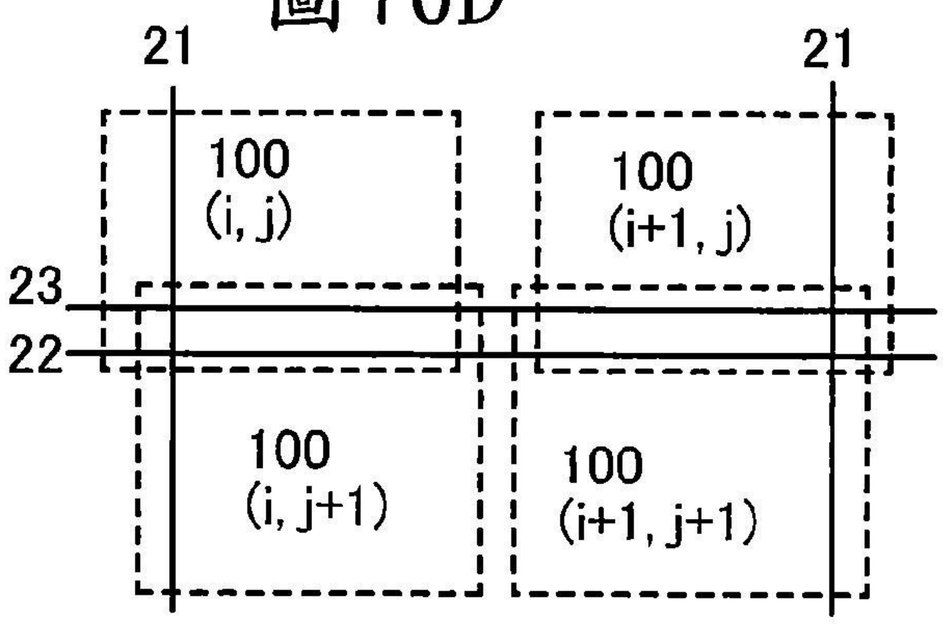


圖76E

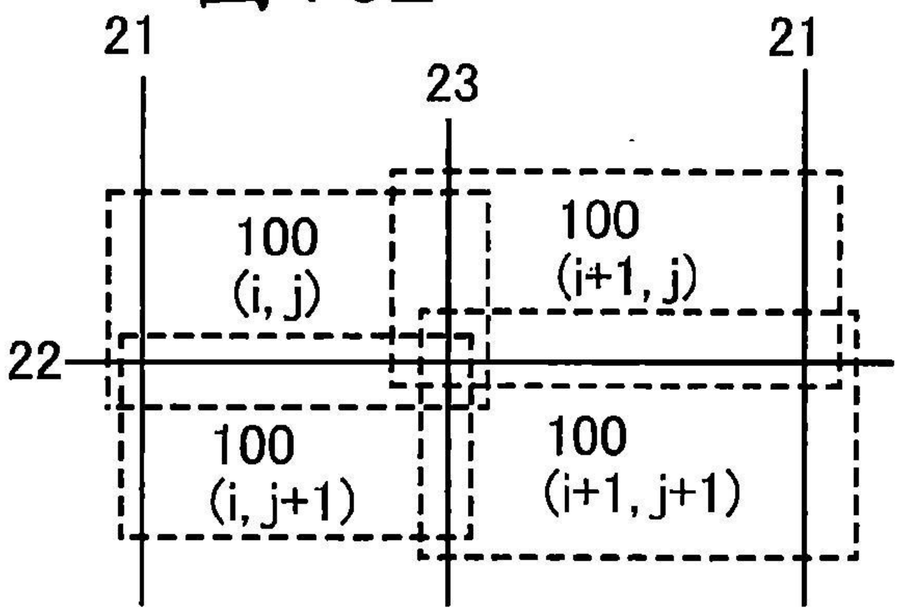


圖76F

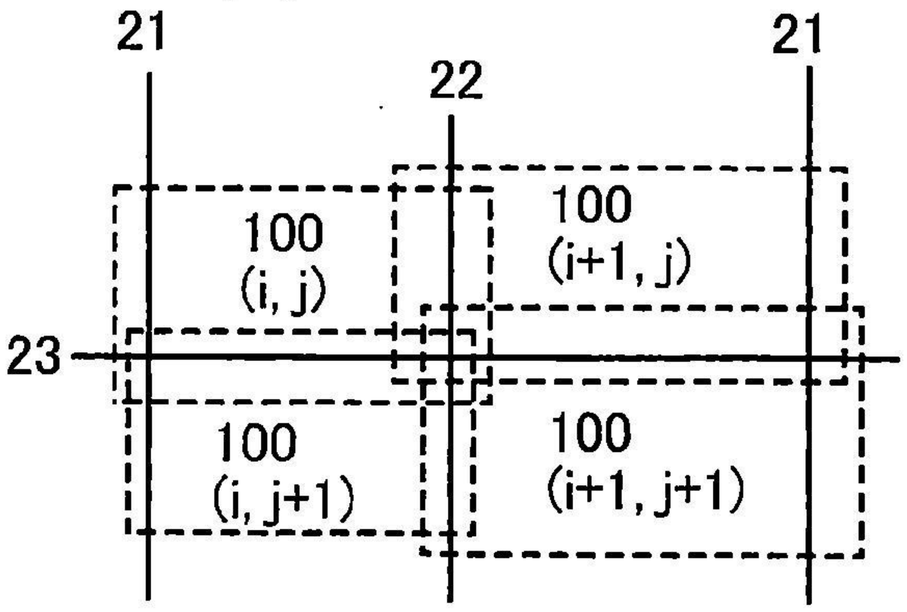


圖76G

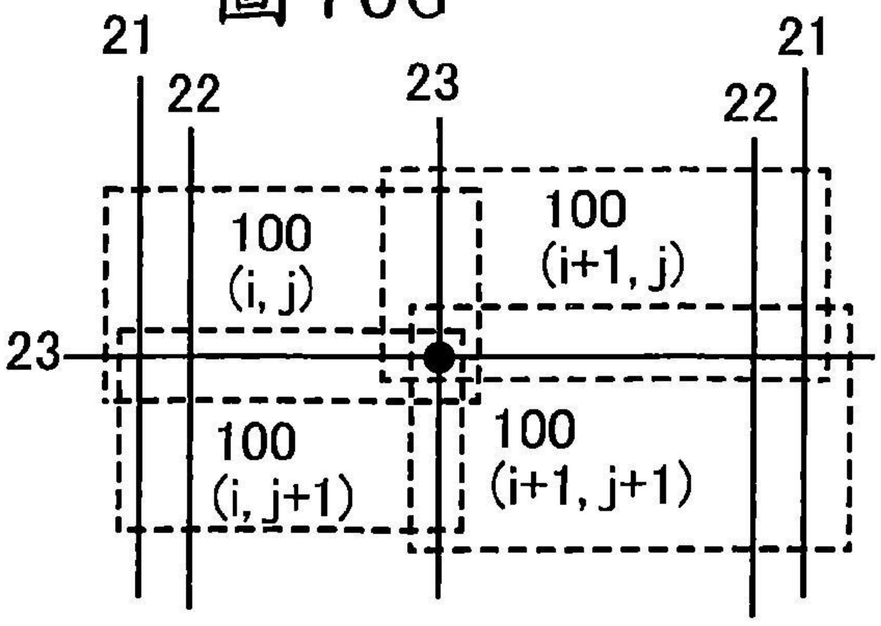


圖77

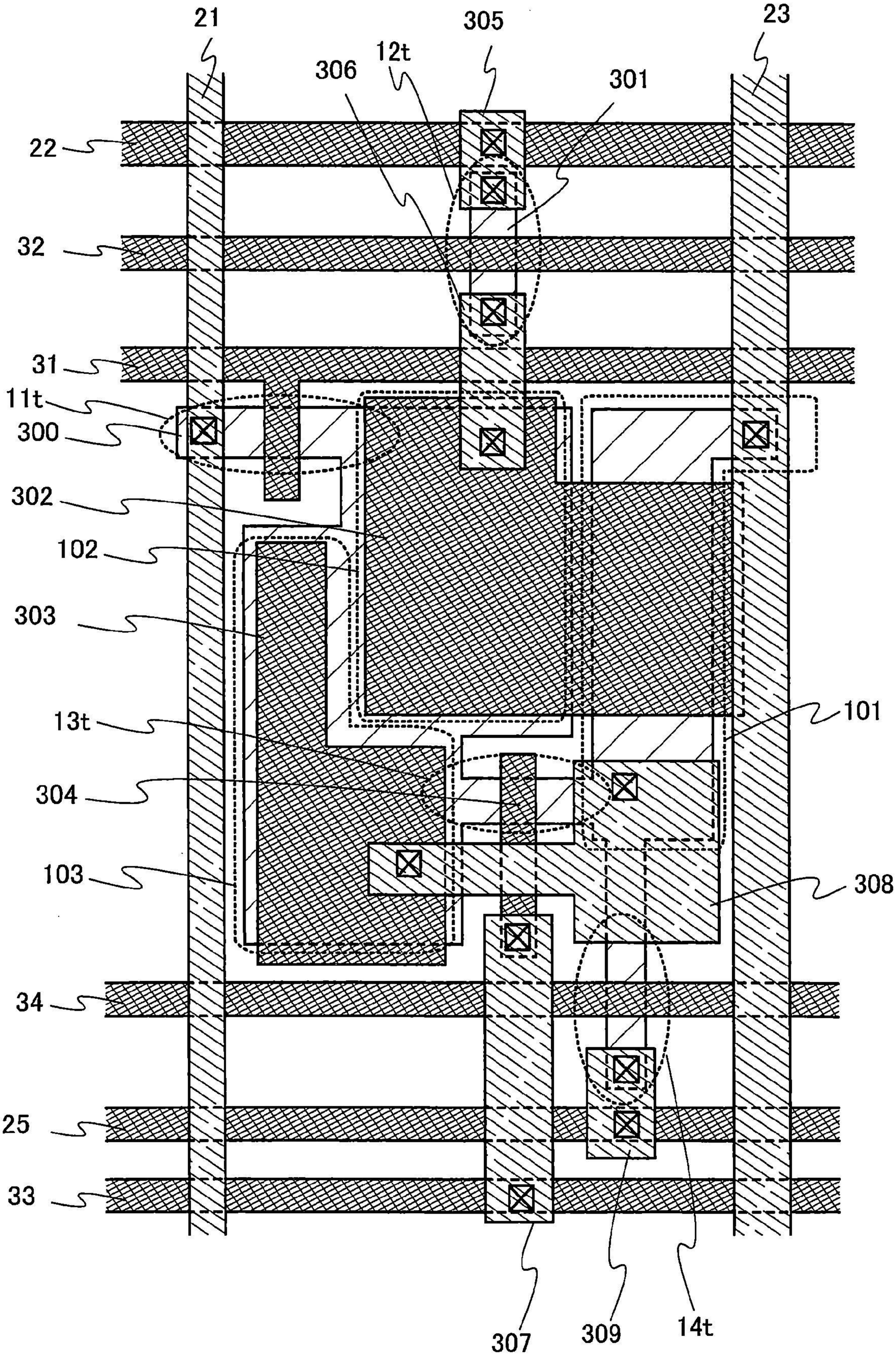

21
305
23
306
12t
301
22
32
31
11t
300
302
102
303
13t
101
304
103
308
34
25
33
307
309
14t

圖78

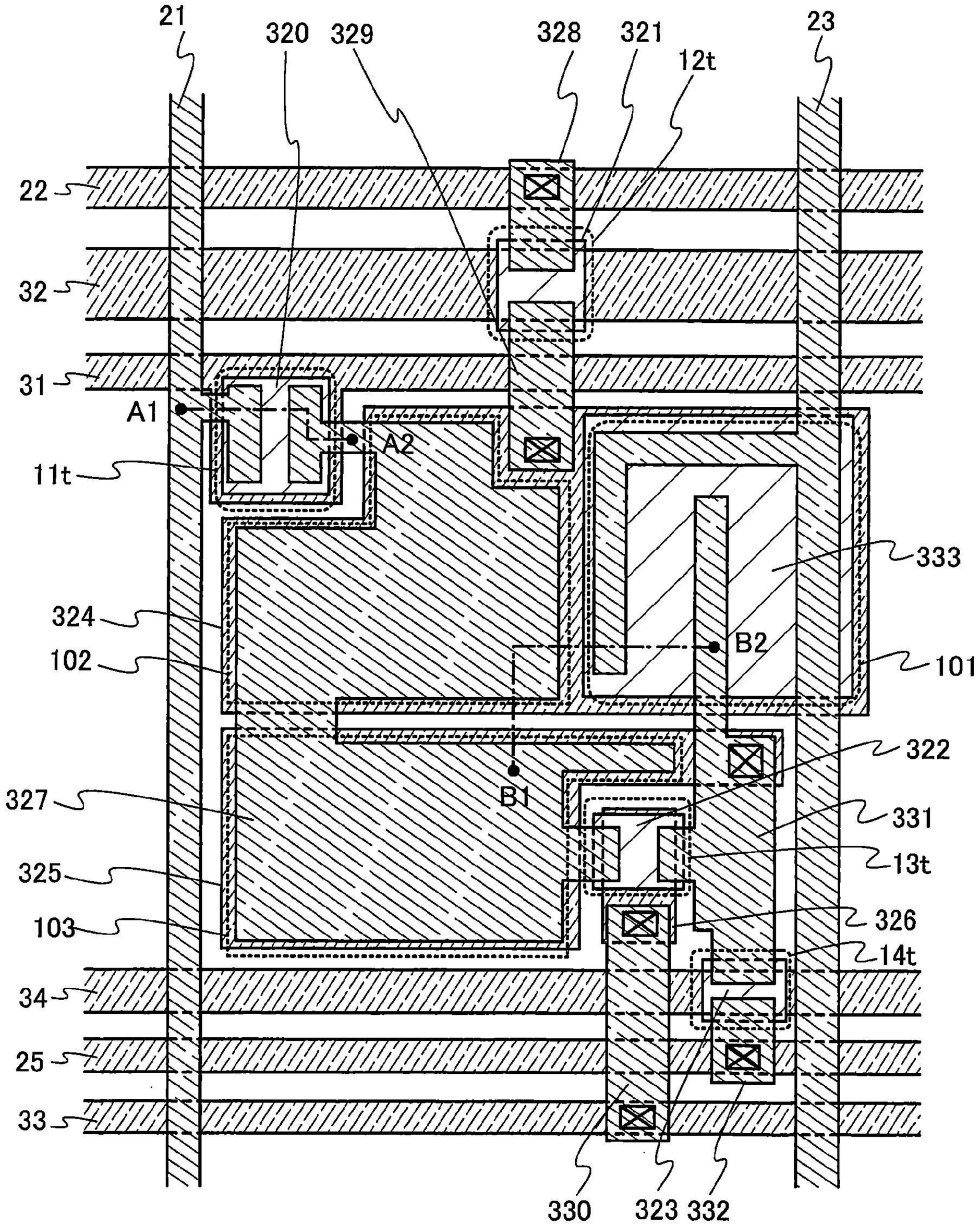

21
320
329
328
321
12t
23
22
32
31
A1
A2
11t
333
324
B2
102
101
322
B1
327
331
325
13t
103
326
14t
34
25
33
330
323
332

圖79

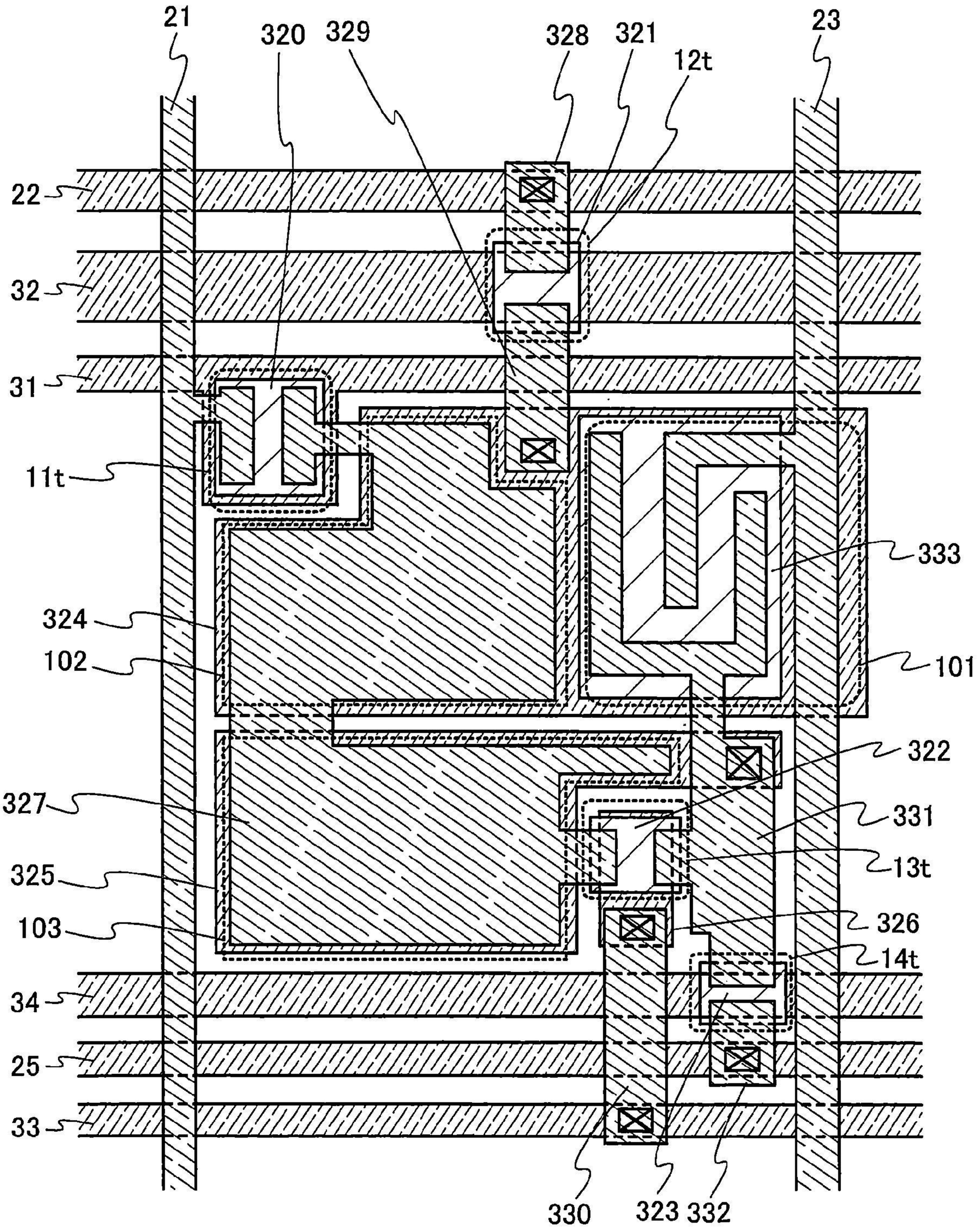

21
320
329
328
321
12t
23
22
32
31
11t
333
324
102
101
322
327
331
13t
325
326
103
14t
34
25
33
330
323
332

圖80A

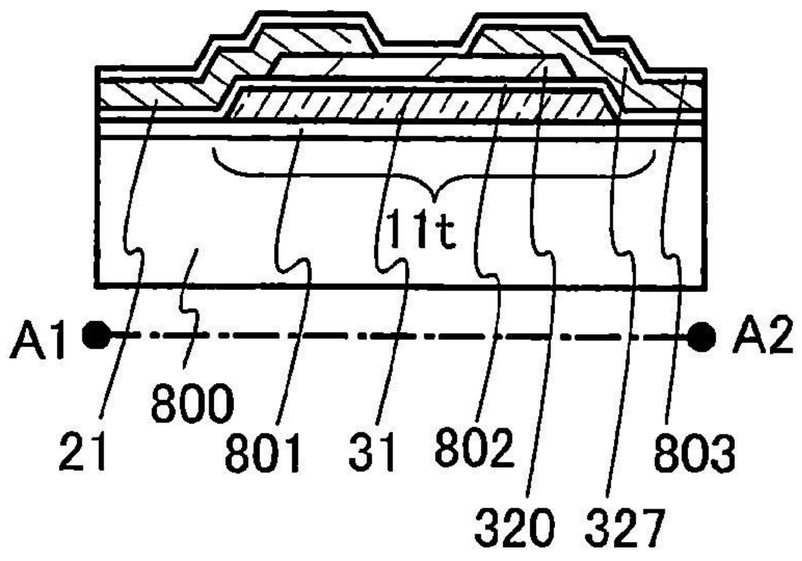

11t
A1
A2
21
800
801
31
802
320
327
803

圖80B

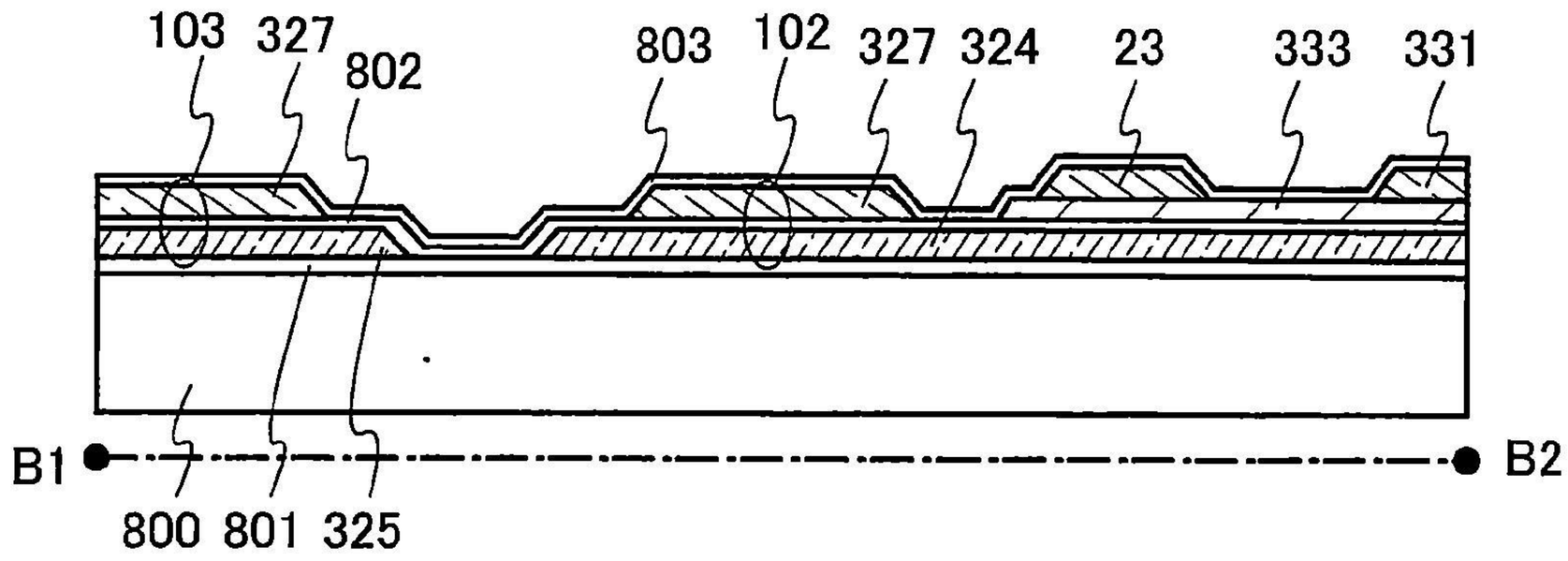

103
327
802
803
102
327
324
23
333
331
B1
B2
800
801
325

圖81A

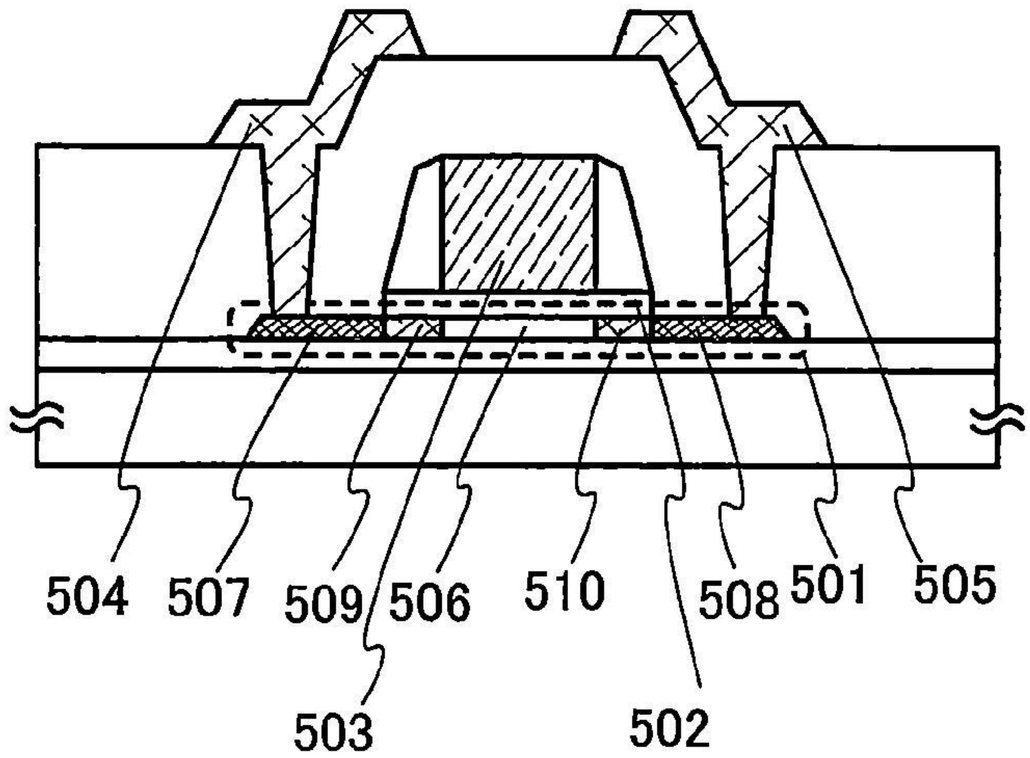


圖81B

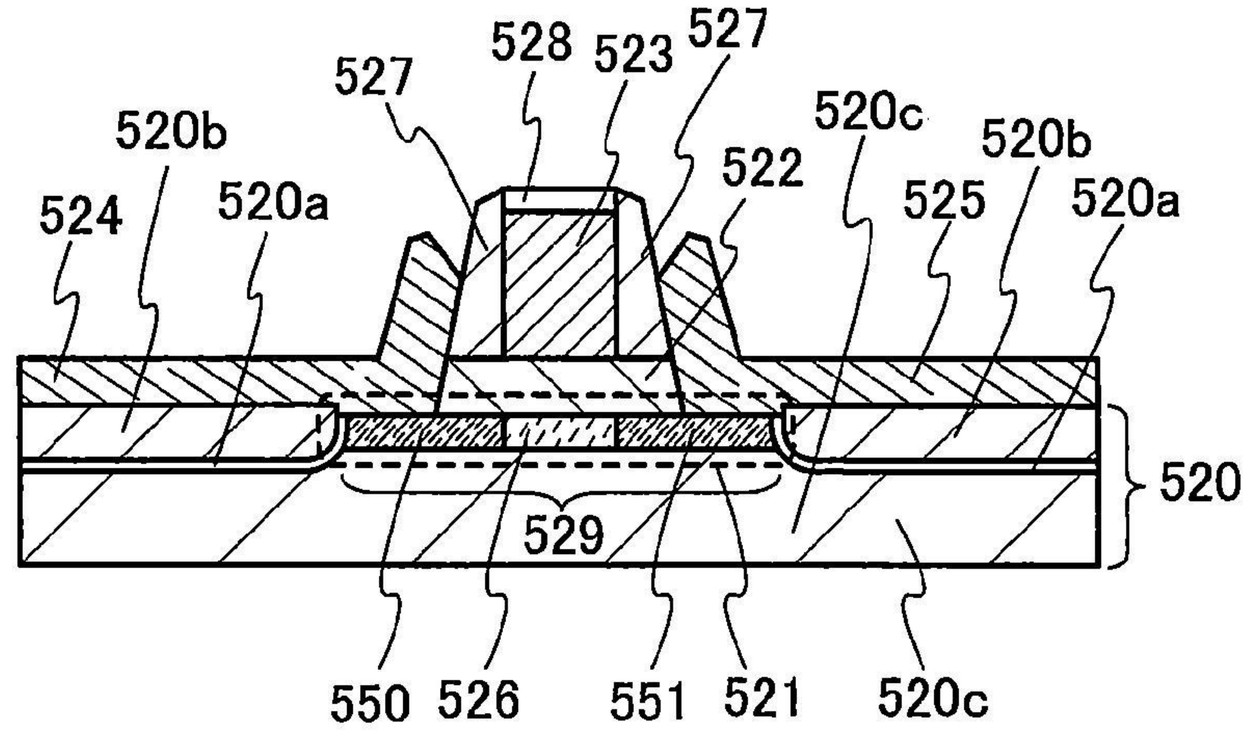


圖81C

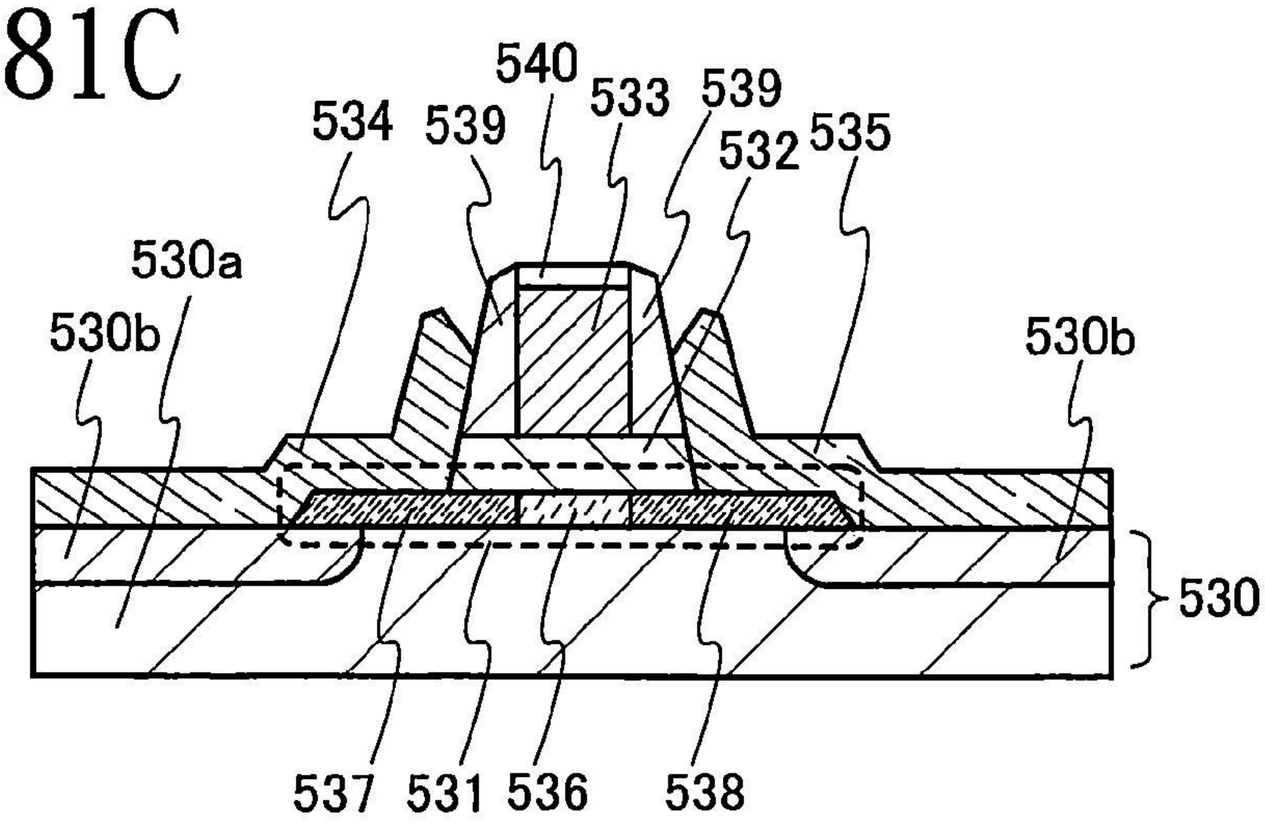


圖82A

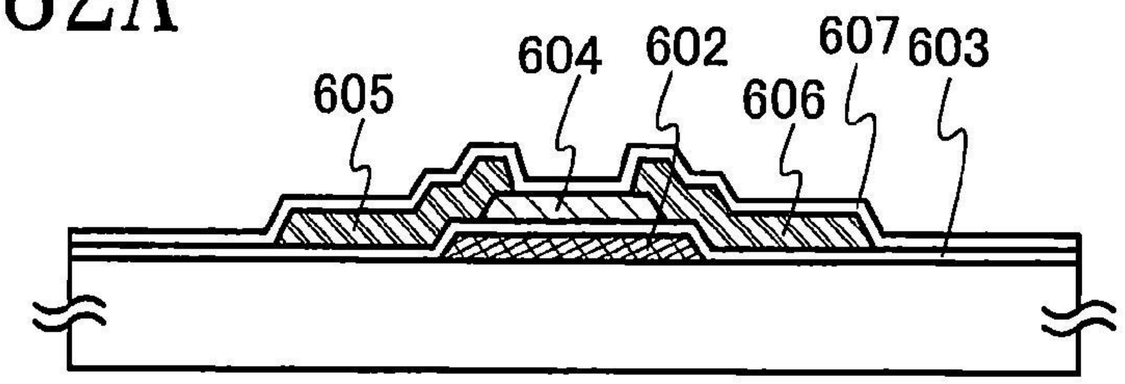


圖82B

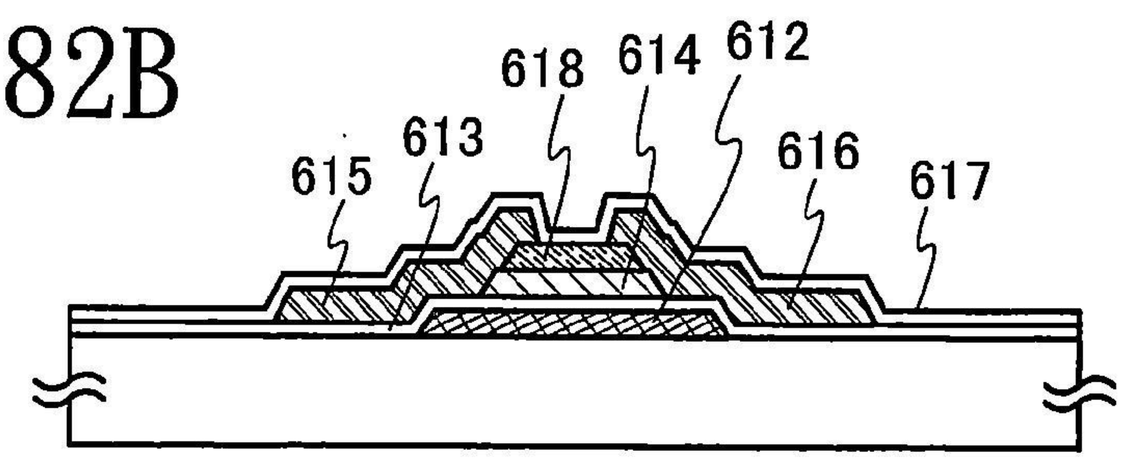


圖82C

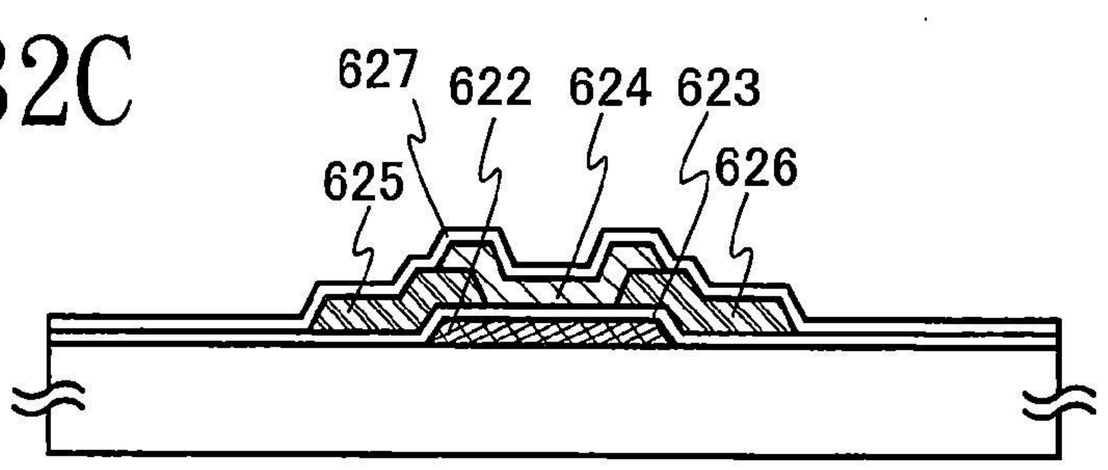
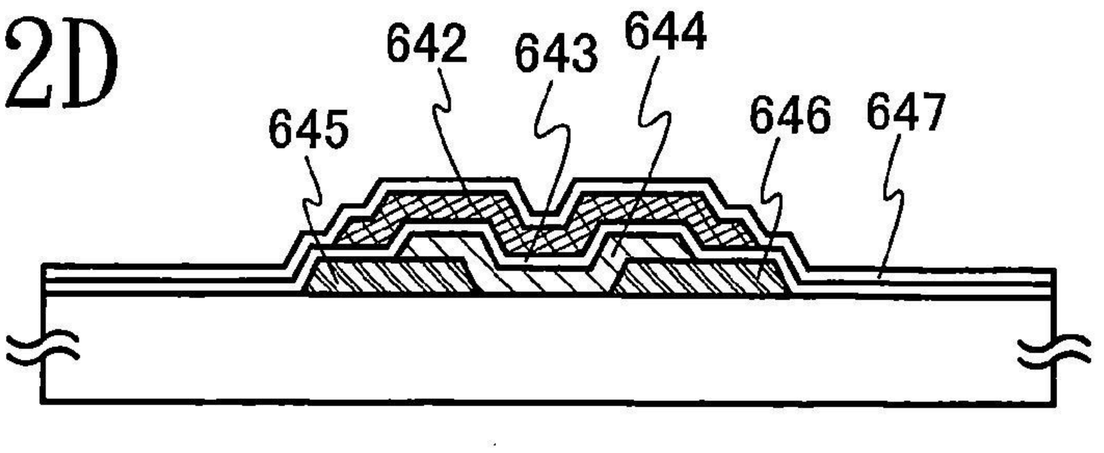


圖82D



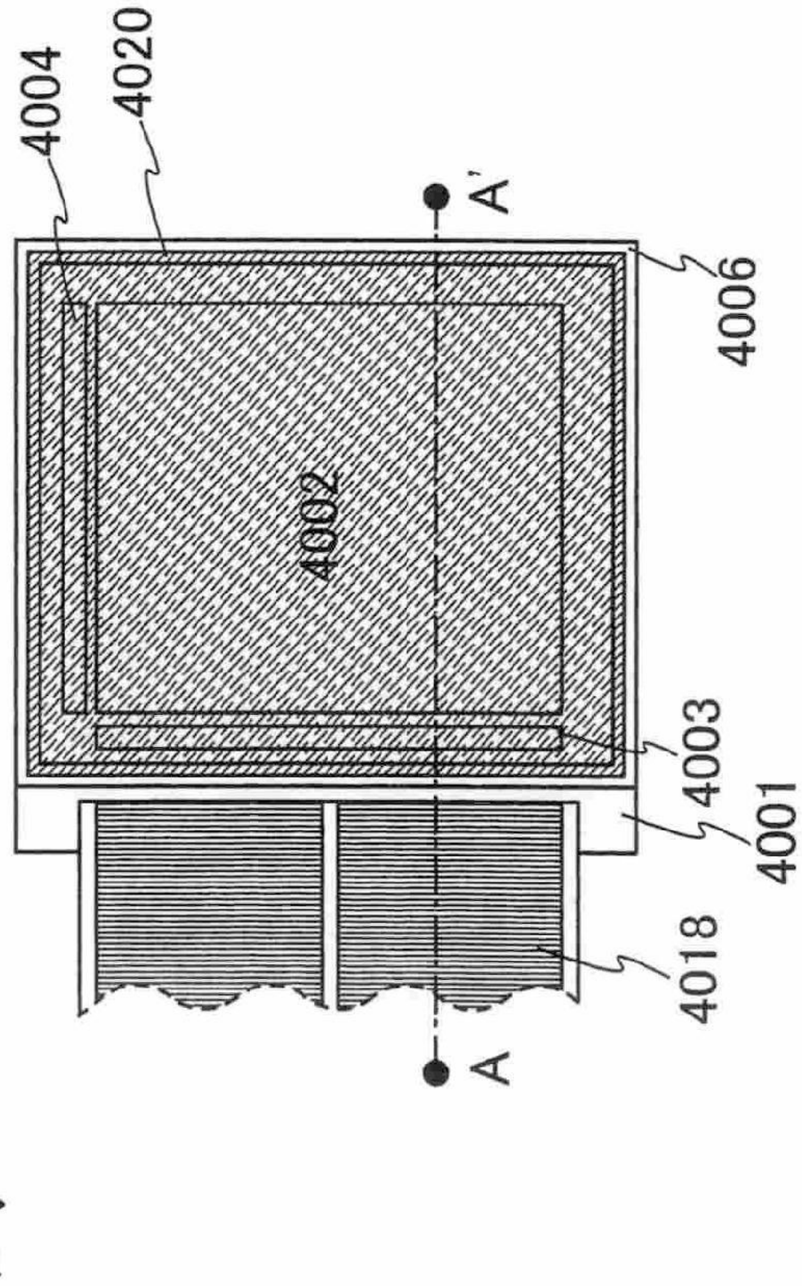

4004
4020
A'
4006
4002
4003
4001
4018
A

圖83A

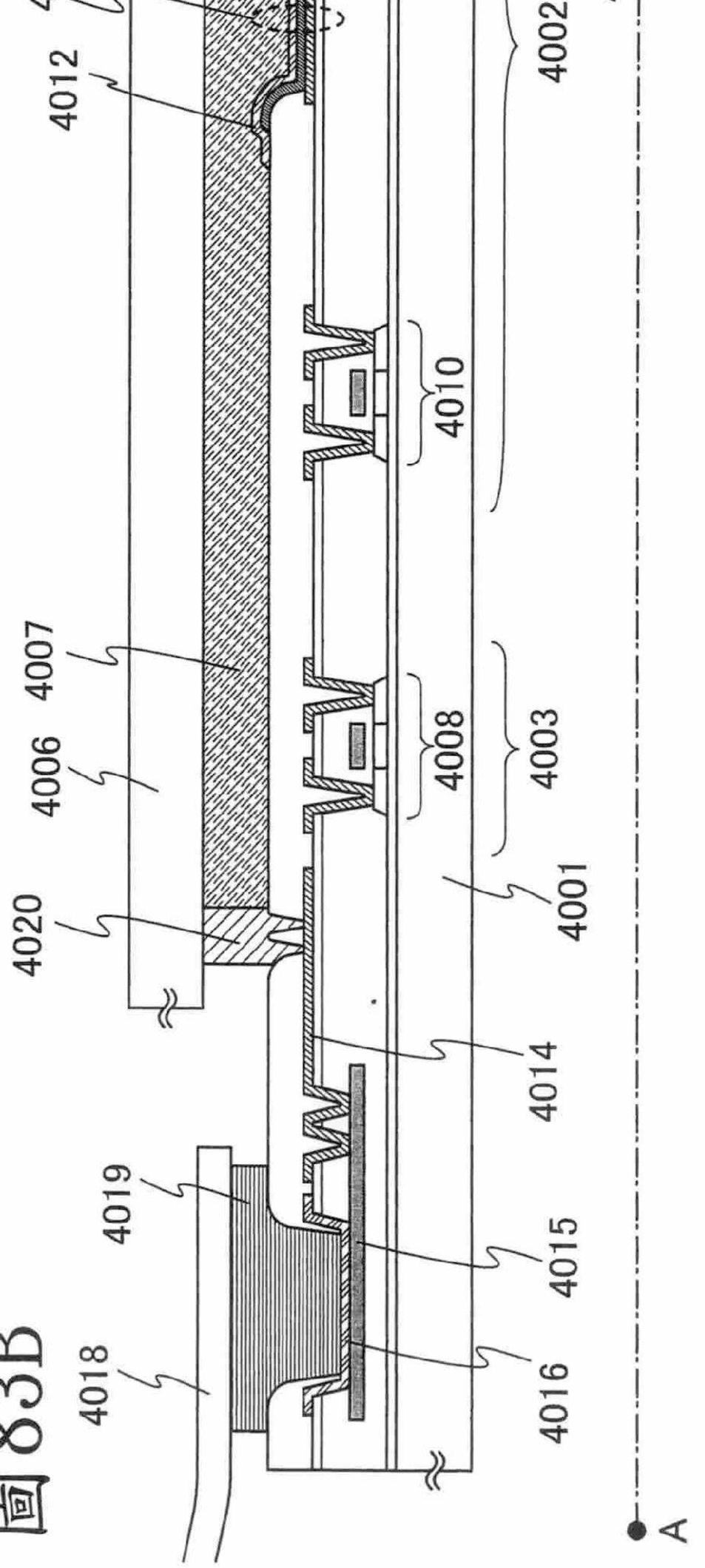

4020
A'
4013
4009
4011
4017
4012
4002
4010
4007
4006
4008
4003
4020
4001
4014
4019
4015
4018
4016
A

圖83B

圖84A

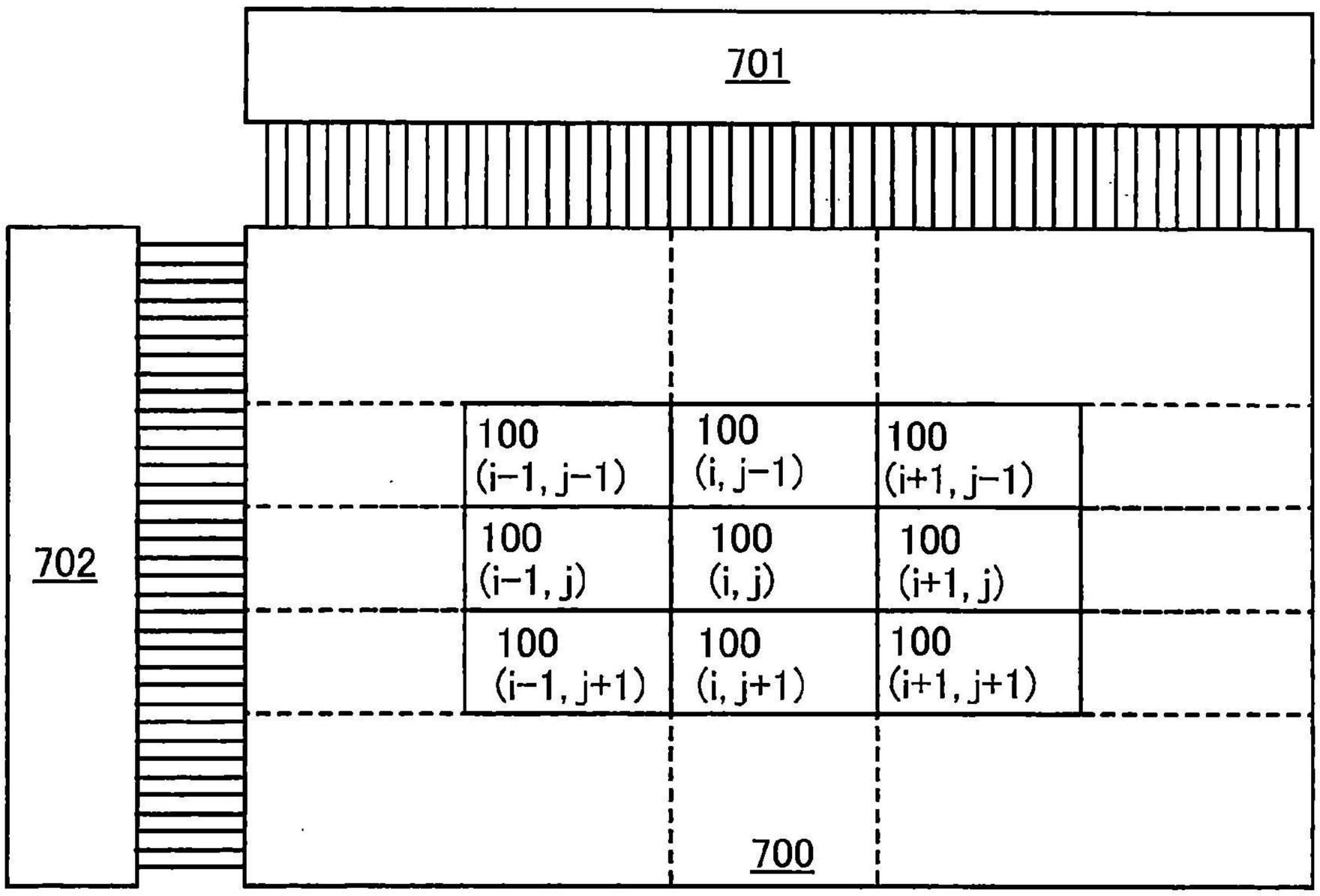

701
702
700
100 (i−1, j−1)
100 (i, j−1)
100 (i+1, j−1)
100 (i−1, j)
100 (i, j)
100 (i+1, j)
100 (i−1, j+1)
100 (i, j+1)
100 (i+1, j+1)

圖84B

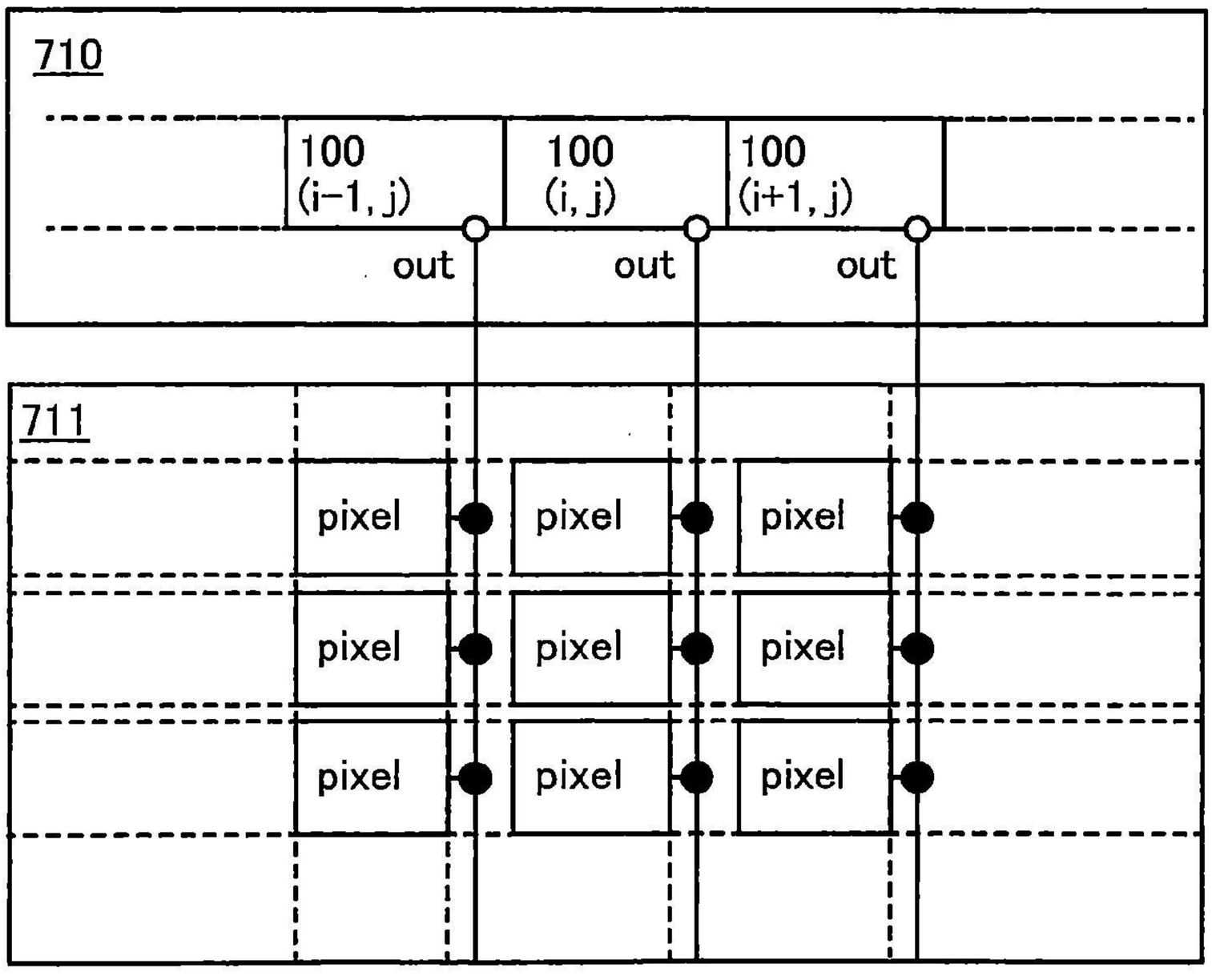

710
100 (i−1, j)
100 (i, j)
100 (i+1, j)
out
out
out
711
pixel
pixel
pixel
pixel
pixel
pixel
pixel
pixel
pixel

圖85A

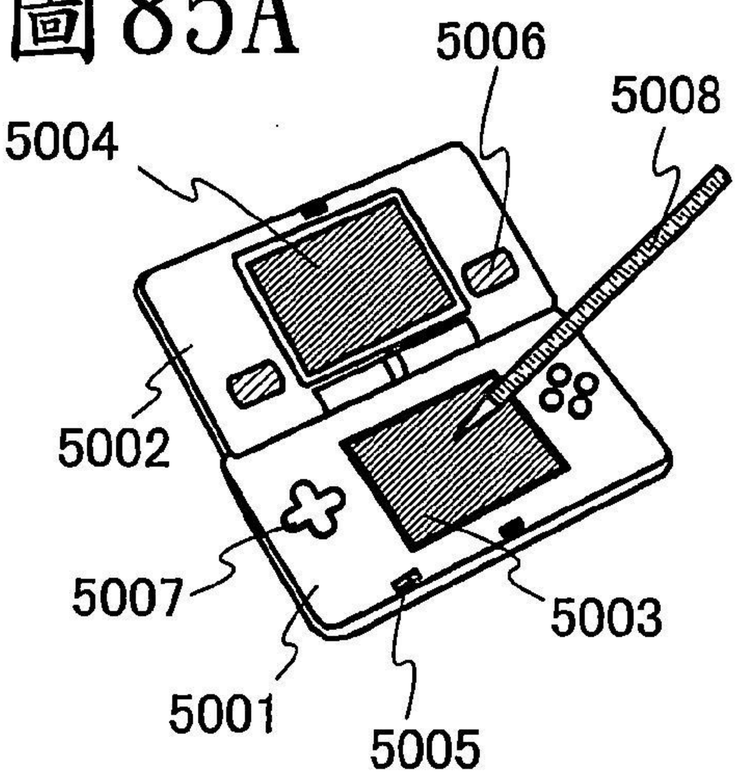


圖85B

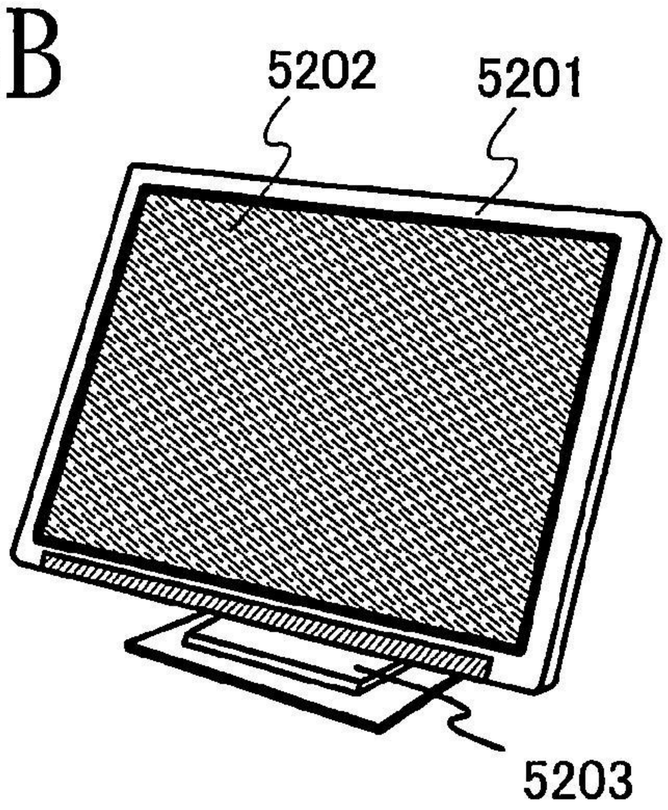


圖85C

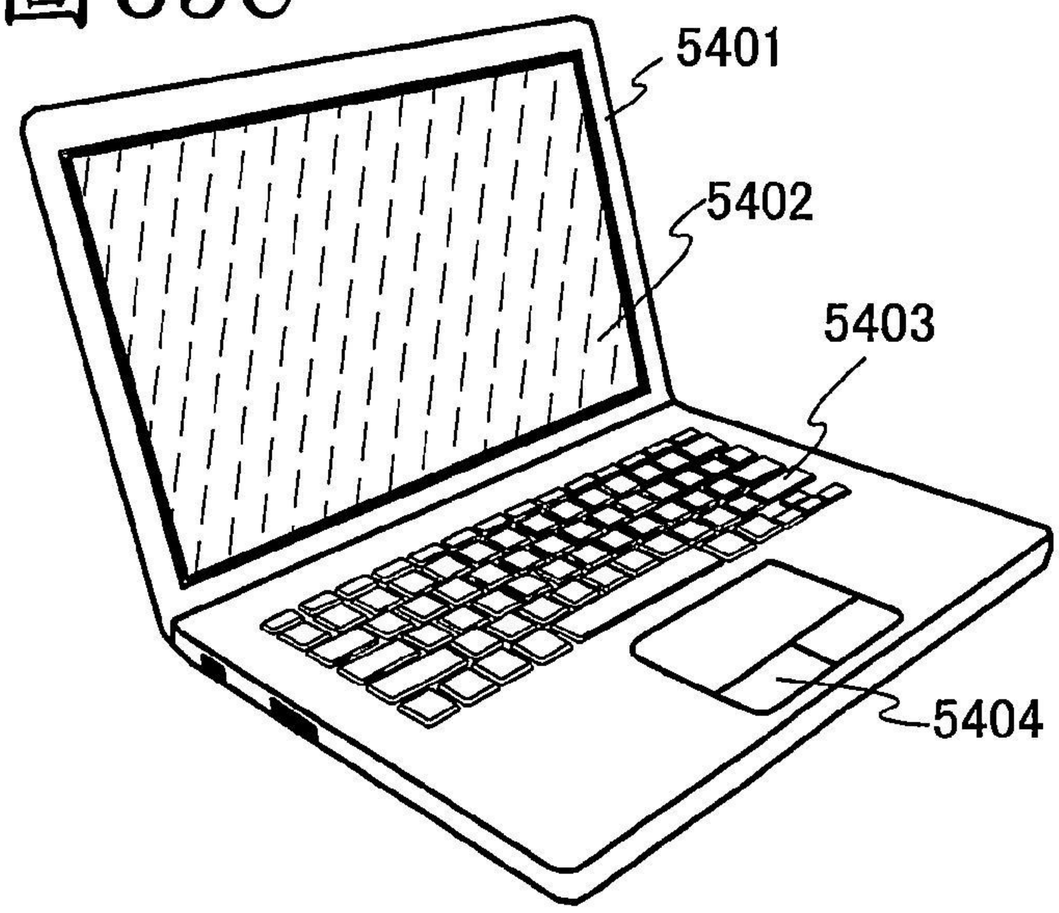


圖85D

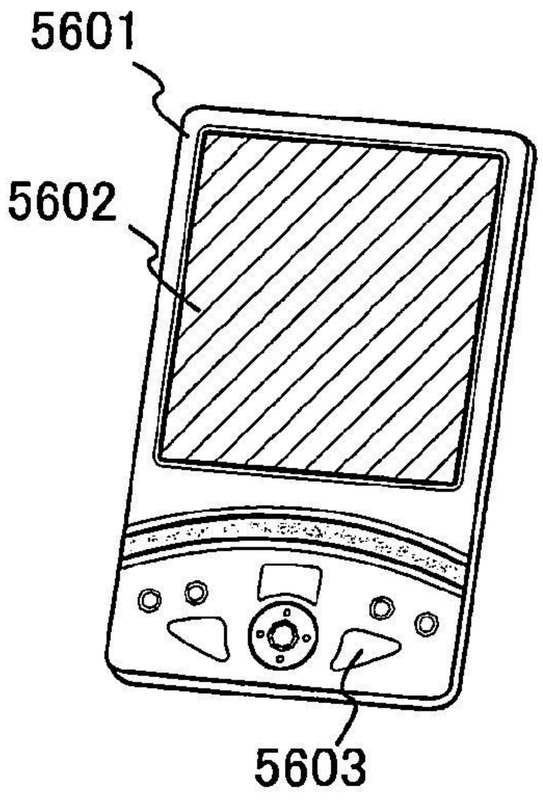


圖85E

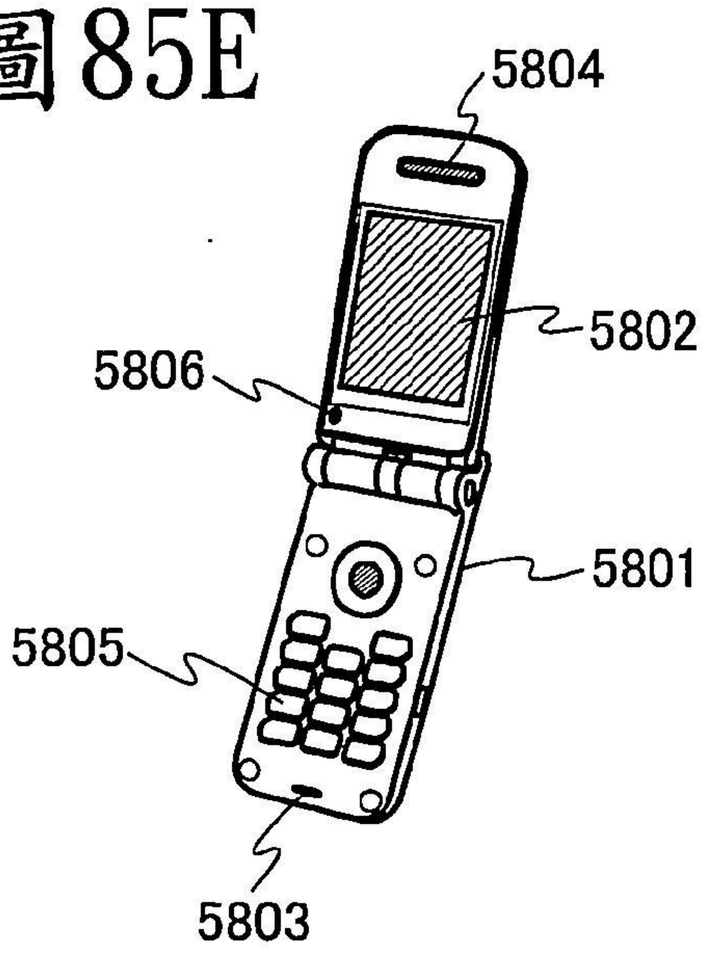


圖85F

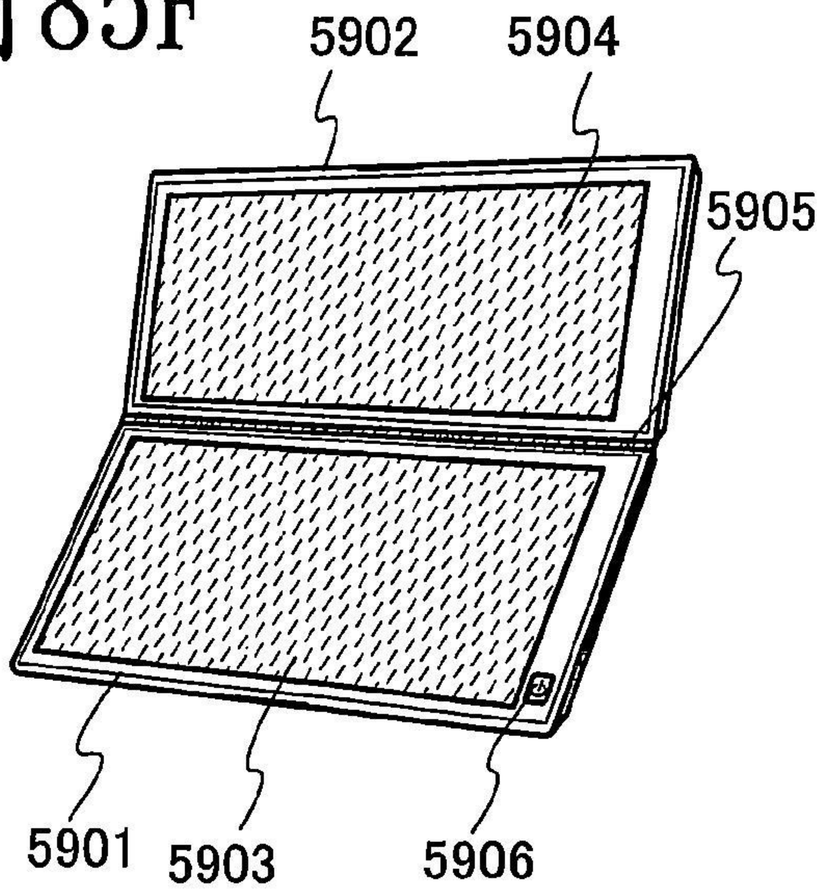


圖86

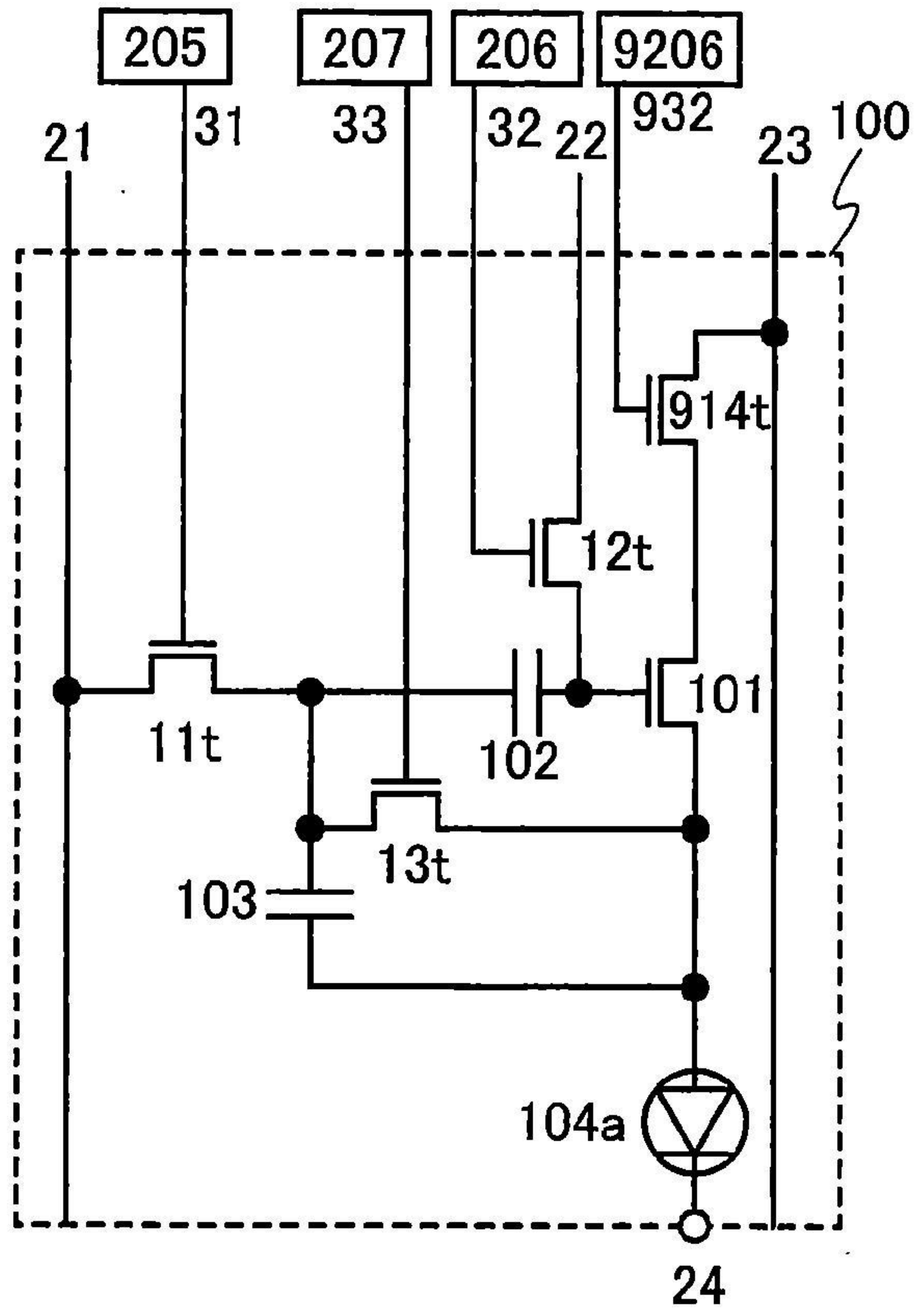

205
207
206
9206
21
31
33
32
22
932
23
100
914t
12t
101
11t
102
13t
103
104a
24

圖87A

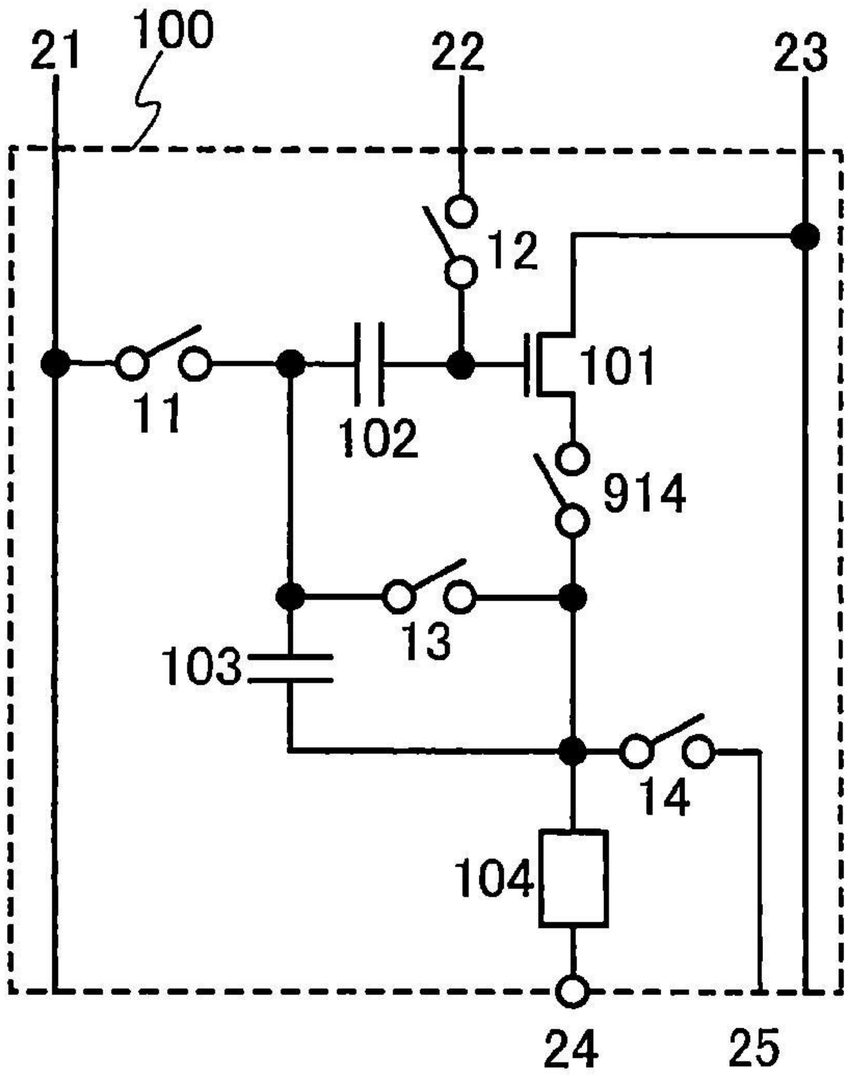


圖87B

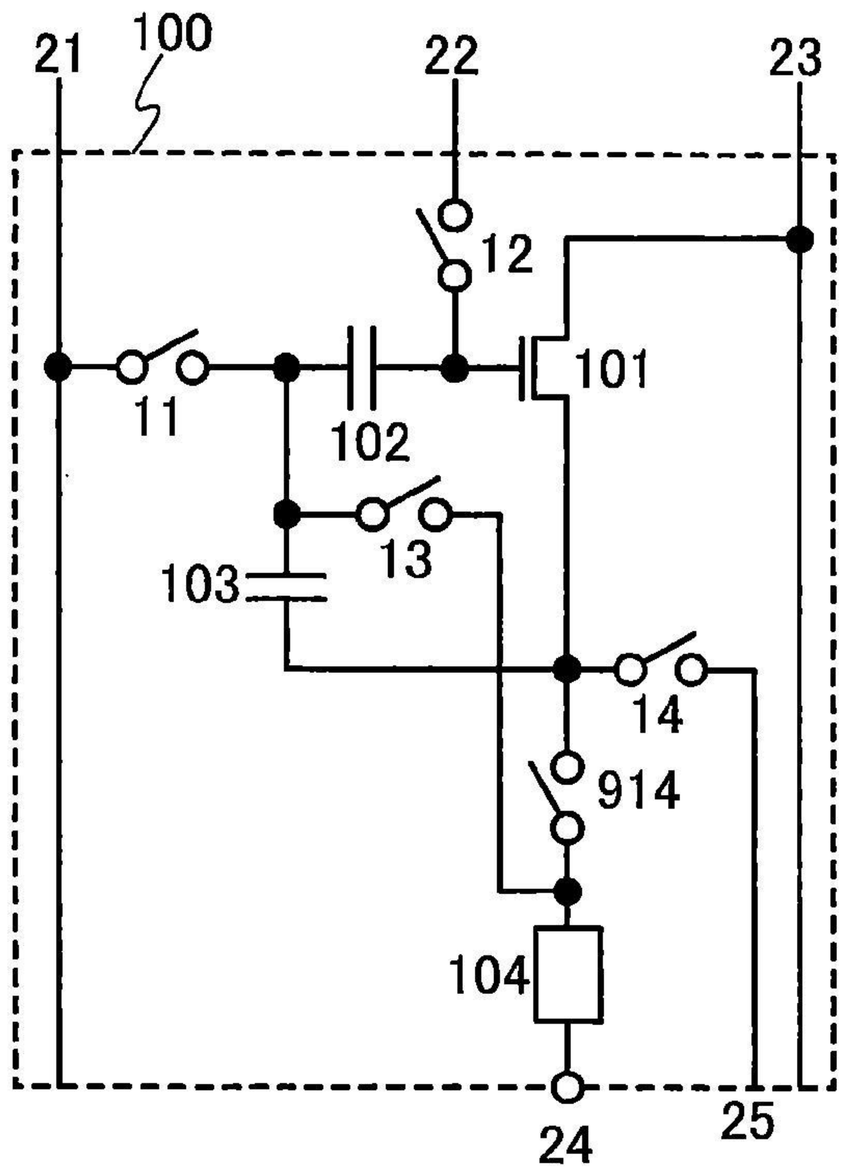


圖87C

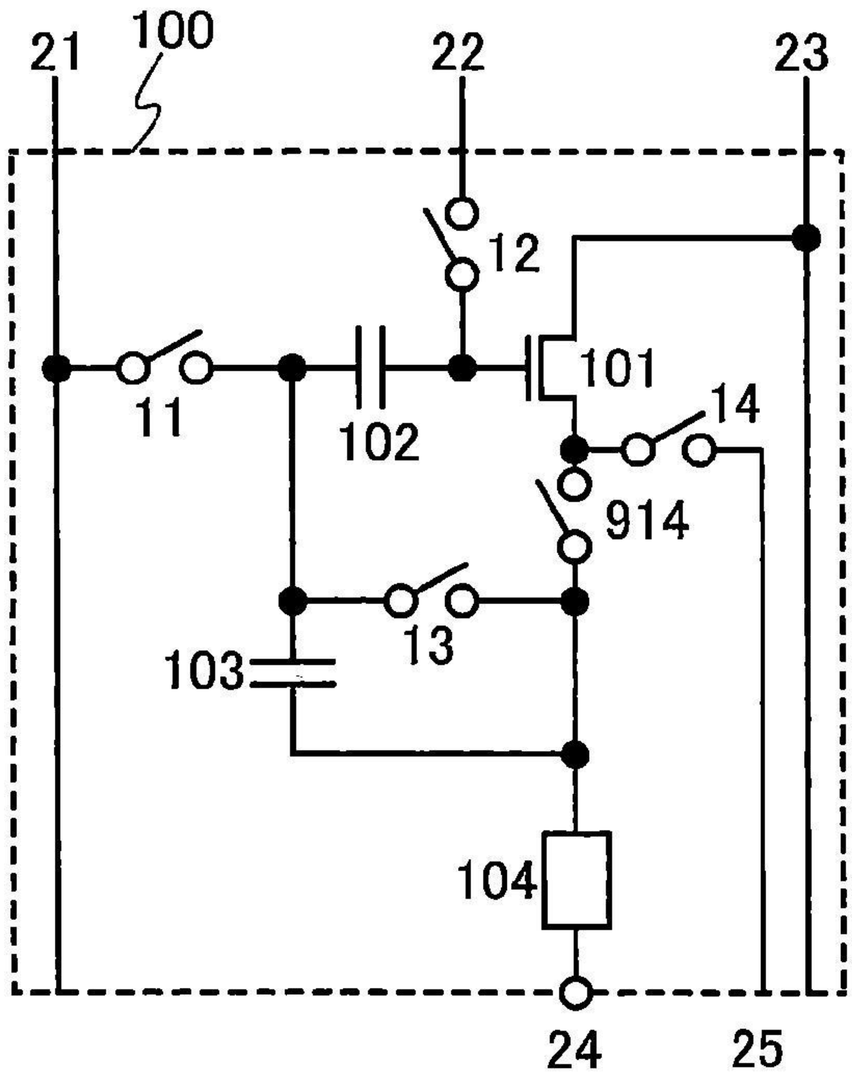


圖87D

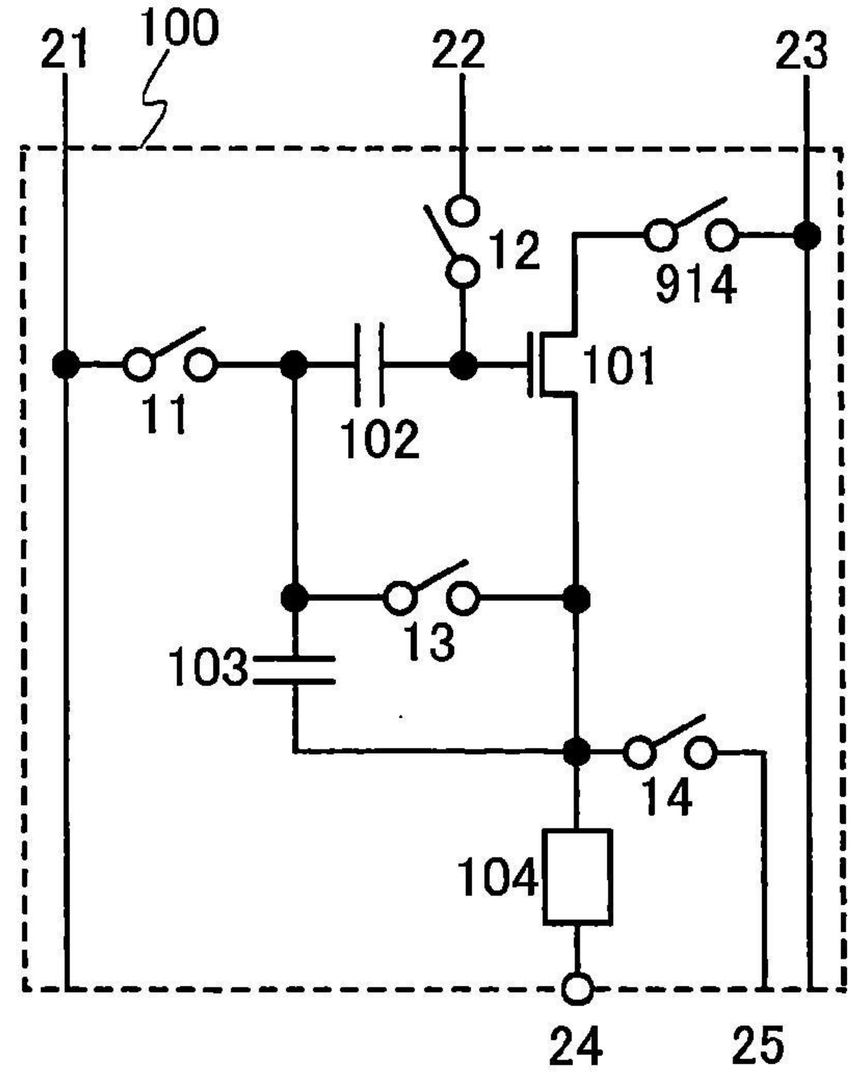


圖88A

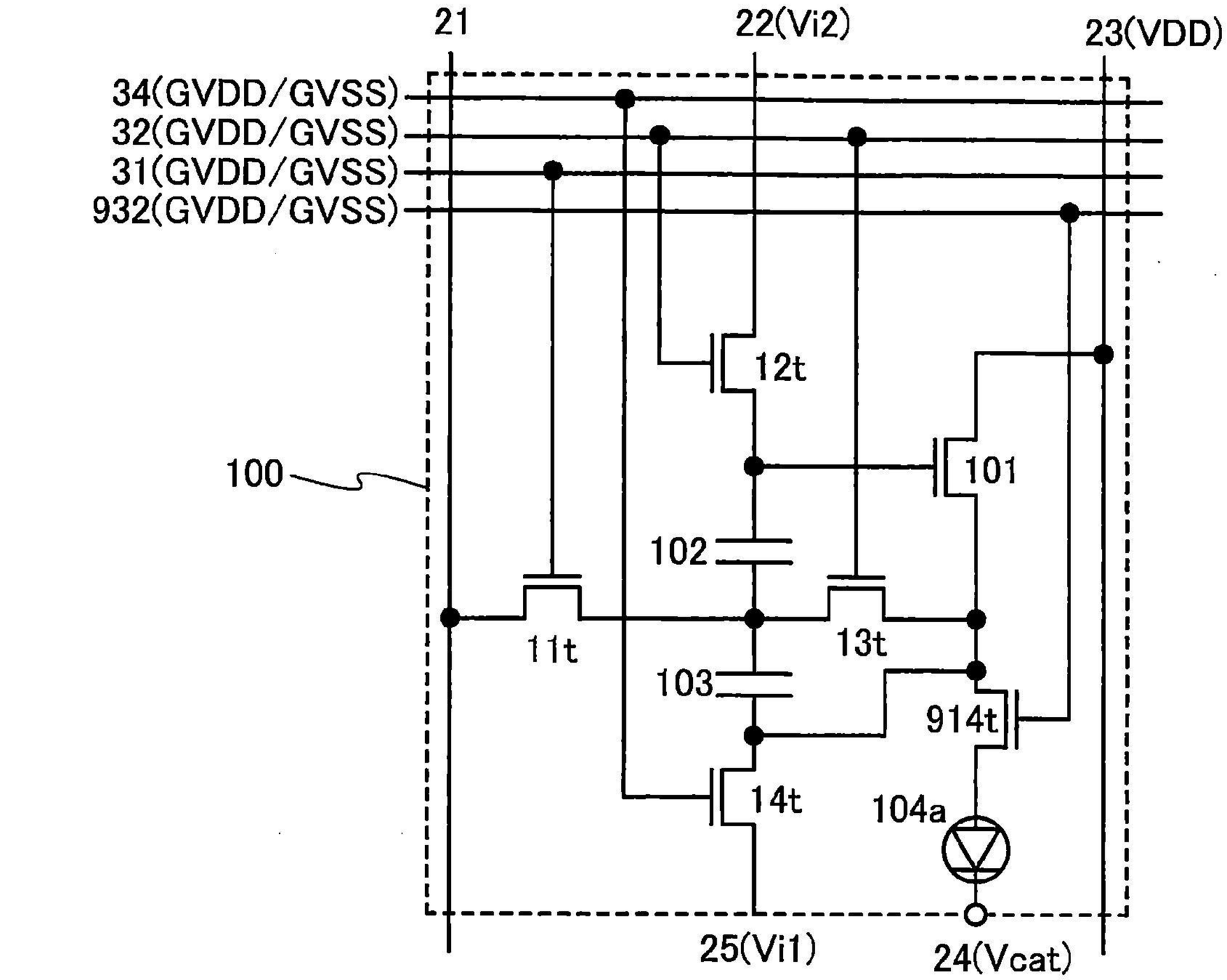
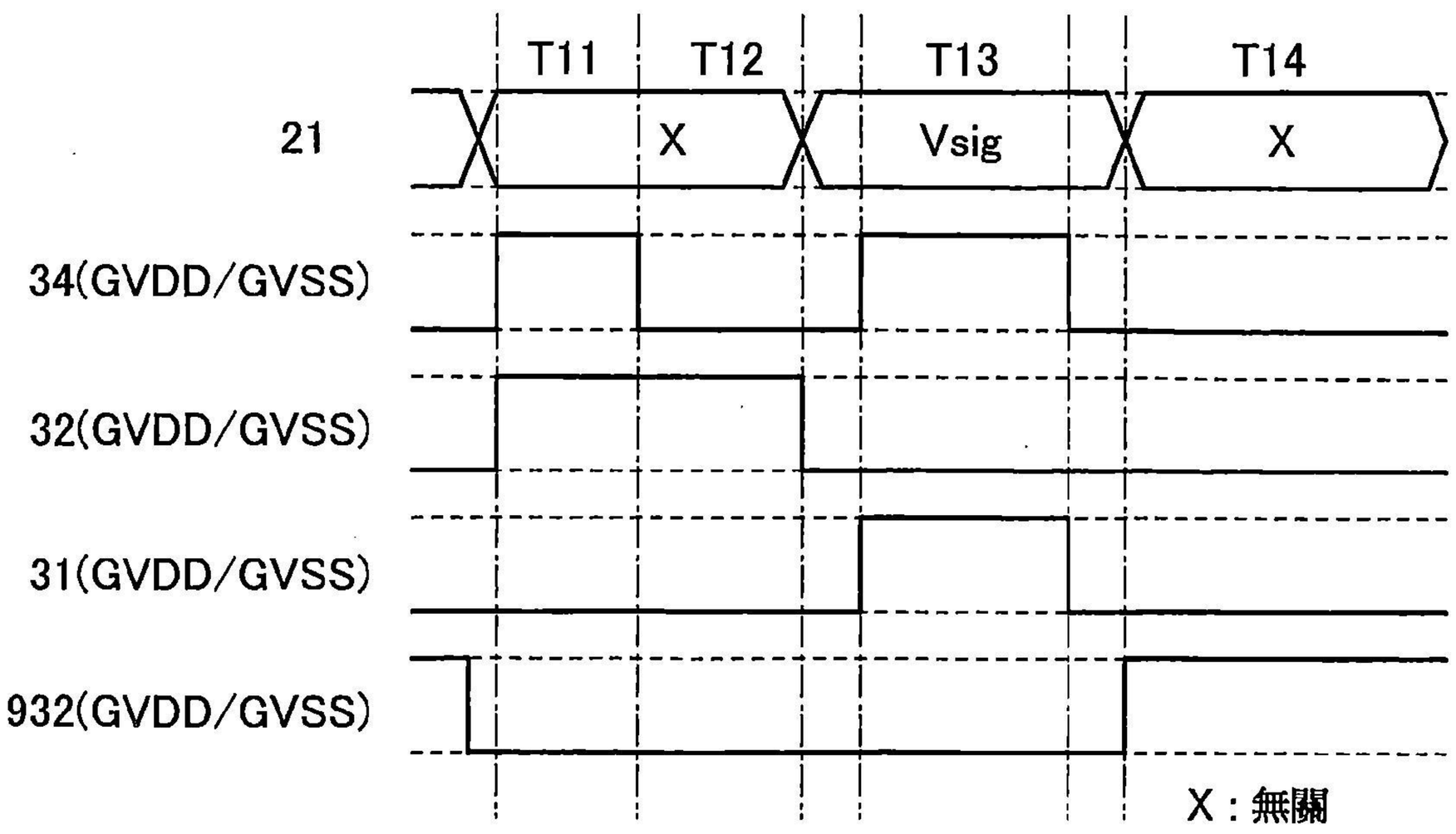

21
22(Vi2)
23(VDD)
34(GVDD/GVSS)
32(GVDD/GVSS)
31(GVDD/GVSS)
932(GVDD/GVSS)
100
12t
101
102
11t
13t
103
914t
14t
104a
25(Vi1)
24(Vcat)

圖88B


T11
T12
T13
T14
21
X
Vsig
X
34(GVDD/GVSS)
32(GVDD/GVSS)
31(GVDD/GVSS)
932(GVDD/GVSS)
X：無關

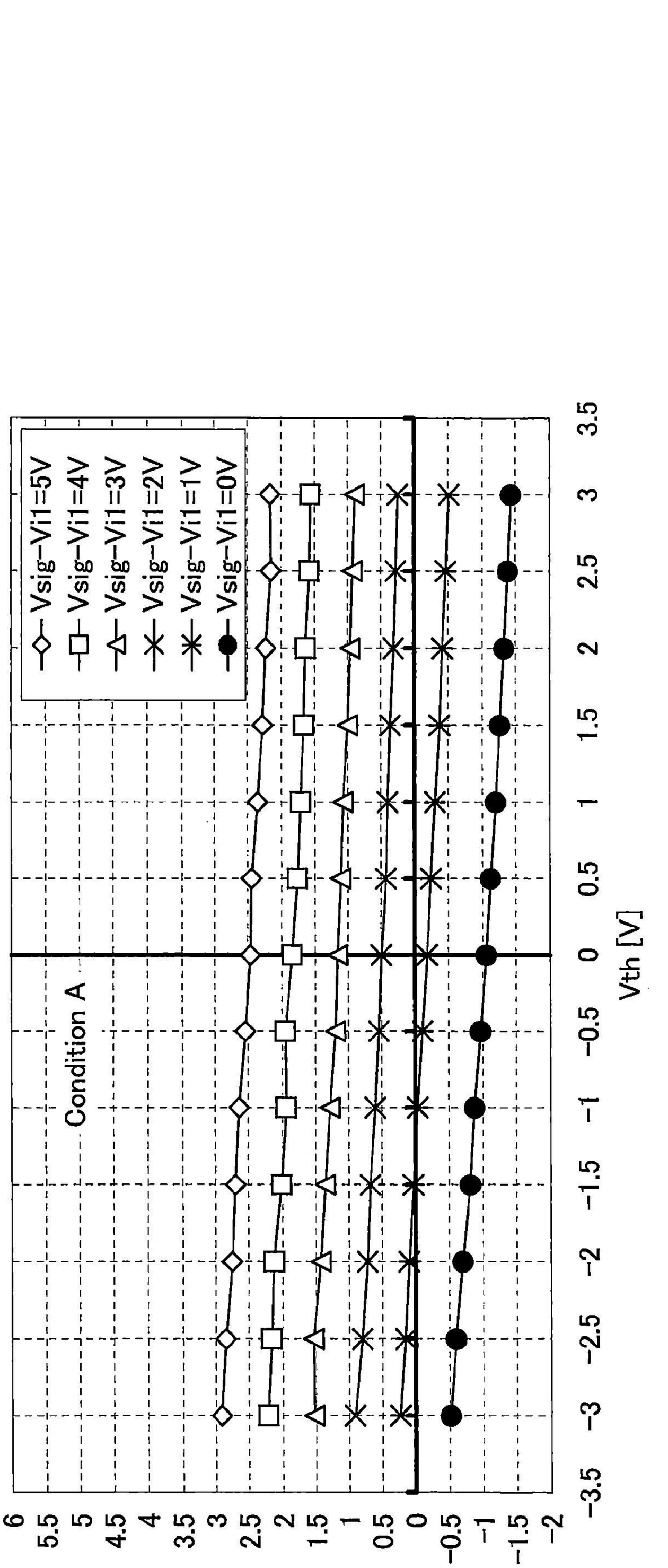

Vsig−Vi1=5V
Vsig−Vi1=4V
Vsig−Vi1=3V
Vsig−Vi1=2V
Vsig−Vi1=1V
Vsig−Vi1=0V
Condition A
5
4.5
4
3.5
3
2.5
2
1.5
1
0.5
0
−0.5
−1
−1.5
−2
−2.5
−3
−3.5
Vth [V]
Vgs101−Vth [V]

圖 8

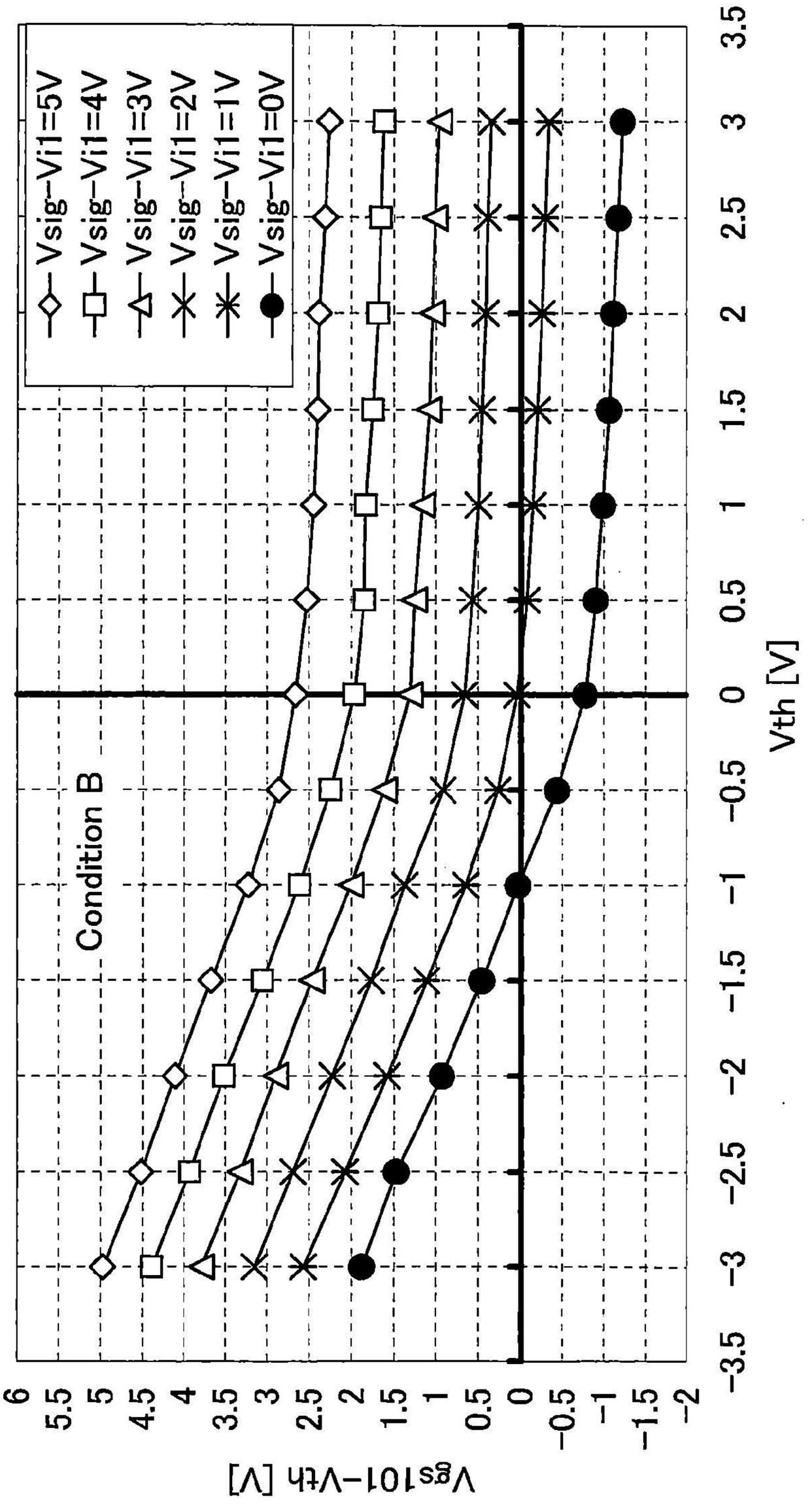
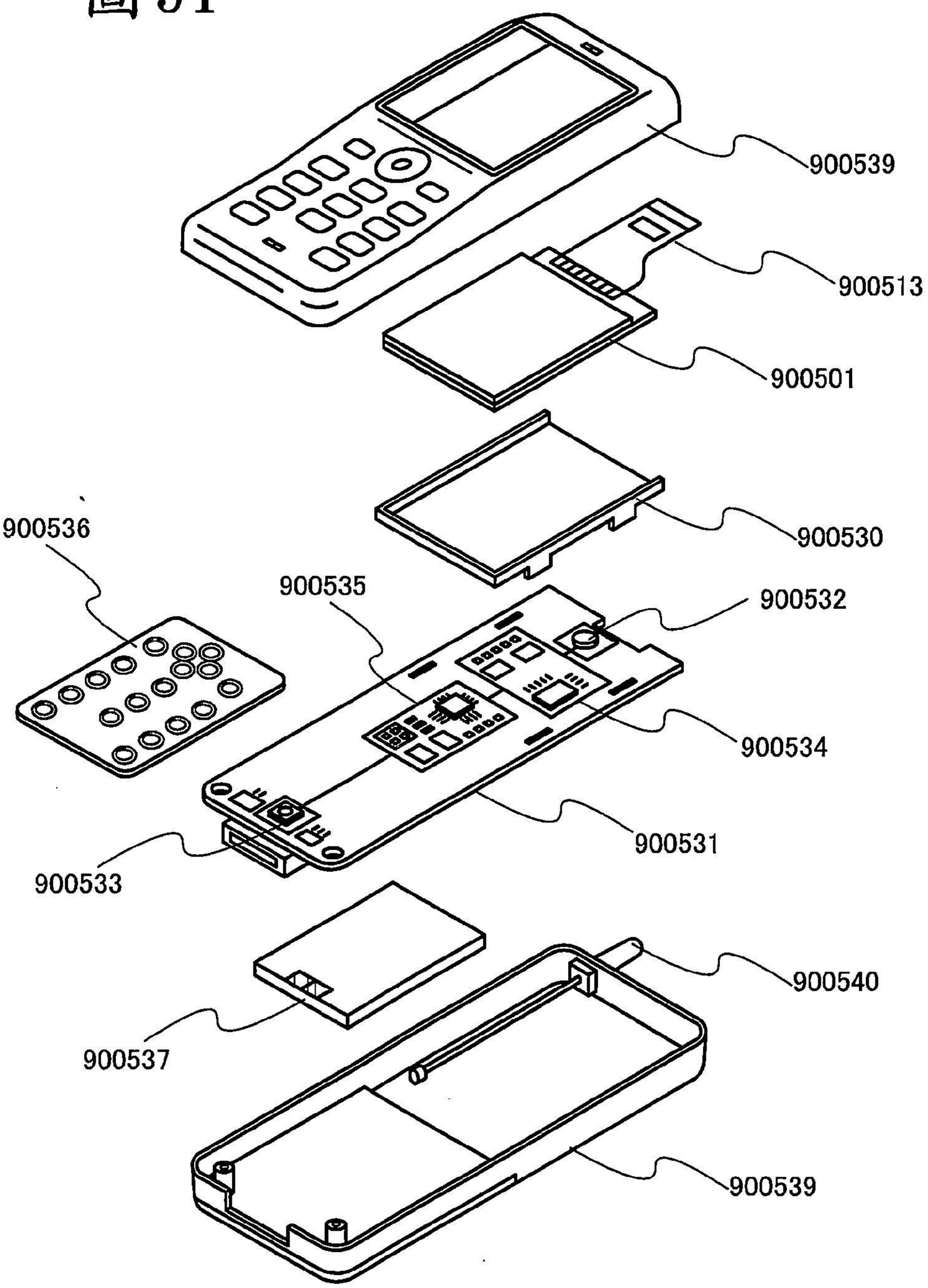

Vsig−Vi1=5V
Vsig−Vi1=4V
Vsig−Vi1=3V
Vsig−Vi1=2V
Vsig−Vi1=1V
Vsig−Vi1=0V
Condition B
Vth [V]
Vgs101−Vth [V]

圖90

圖91


900539
900513
900501
900530
900536
900535
900532
900534
900531
900533
900540
900537
900539