

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁵ G06F 12/06	(11) 공개번호 (43) 공개일자	특 1992-0008598 1992년 05월 28일
(21) 출원번호	특 1991-0014830	
(22) 출원일자	1991년 08월 27일	
(30) 우선권주장	7/591,306 1990년 10월 01일 미국(US)	
(71) 출원인	인터내셔널 비지네스 머신즈 코퍼레이션 하워드 지. 피거로아 미합중국 뉴욕 10504 아몬크	
(72) 발명자	알프레도 알드레커아 미합중국 플로리다 33432 보카라톤 텍사스 트레일 7517 다릴 가리비스 크로머 미합중국 플로리다 33483 델레이 비치 APT 101 베네리안 드라이브 411 로저 막스 스투트스 미합중국 플로리다 33444 델라이 비치 24번 스트리트 25N.W	
(74) 대리인	허정훈	

심사청구 : 있음

(54) 직접 또는 인터리브모드로 메모리를 액세스하는 메모리 컨트롤러 및 이를 구비한 데이터 처리시스템

요약

내용 없음

대표도

도 4

명세서

[발명의 명칭]

직접 또는 인터리브모드로 메모리를 액세스하는 메모리 컨트롤러 및 이를 구비한 데이터 처리시스템

[도면의 간단한 설명]

제4도는 직접모드에서 또는 인터리브모드에서 동작 가능한 본 발명인 개량된 메모리·뱅크·디코딩 시스템에 대한 간단한 블록도.

제5도는 본 발명을 구체화한 데이터 처리시스템의 상세한 블록도.

제6도는 제5도에 있어서 메모리 컨트롤러 부분에 대한 블록도.

본 내용은 요부공개건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

마이크로 프로세서와, 각각 소정수의 어드레스 지정 가능한 저장위치를 갖는 적어도 두개의 메모리 뱅크를 구비하여 RAS신호를 포함한 제어신호에 의해 상기 각 메모리 뱅크가 액세스될 수 있는 메모리와, 상기 메모리로 액세스 하는 것을 제어하기 위한 메모리 컨트롤러 및, 상기 마이크로 프로세서와 상기 메모리 컨트롤러 사이에 연결된 버스를 포함하는 데이터 처리시스템에 있어서, 상기 버스는 어드레스라인과 데이터 라인 및 제어라인을 구비하고, 상기 마이크로 프로세서는 상기 메모리로 액세스 하기 위해 상기 어드레스 라인 상에는 어드레스 신호를 상기 제어라인 상에는 독출/기입동작을 지정하는 제어신호를 내어보내도록 동작하며, 상기 메모리 컨트롤러는 상기 어드레스 라인에 연결된 복수의 뱅크 어드레스 디코더와, 상기 뱅크 어드레스 디코더들 중 두개의 뱅크 어드레스 디코더에 연결된 논리회로 및, 상기 논리회로와 상기 두개의 뱅크 어드레스 디코더의 출력단에 연결된 모드제어 수단으로 구성되어, 상기 두개의 어드레스 디코더는 상기 두개의 메모리 뱅크에 관계되고 각각의 어드레스 디코더는 상기 관련된 메모리 뱅크내의 저장위치의 범위내에 있는 상기 어드레스 라인상의 어드레스를 해독하여 뱅크선택 신호를

발생시키며, 상기 논리회로는 상기 두개의 어드레스 디코더로 부터 두가지의 뱅크선택 신호를 받아들여 상기 두가지 뱅크 선택신호 모두가 부동작 상태(inactive)의 신호이면 부동작 상태의 출력신호를 발생시키고 상기 두가지 뱅크선택 신호중 적어도 하나의 뱅크선택 신호가 동작상태(active)의 신호이면 동작상태의 출력신호를 발생시키고, 상기 모드제어 수단은 직접모드 또는 인터리브모드 중 하나의 모드에서 동작하도록 선택적으로 설정되며, 직접모드에서 동작되도록 설정될때는 상기 두개의 뱅크 어드레스 디코더중 하나의 뱅크어드레스 디코더로 부터 발생되는 동작상태의 출력신호에 응답하여 한가지의 RAS신호를 발생시키기 위해 동작되고 인터리브모드에서 동작되도록 설정될때는 상기 논리회로로 부터 발생되는 동작상태의 출력신호에 응답하여 두가지의 RAS신호를 발생시키기 위해 동작되는 것을 특징으로 하는 직접 또는 인터리브 모드로 메모리를 액세스하는 메모리 컨트롤러를 구비한 데이터 처리 시스템.

청구항 2

제1항에 있어서, 상기 논리회로가 AND회로인 것을 특징으로 하는 직접 또는 인터리브 모드로 메모리를 액세스 하는 메모리 컨트롤러를 구비한 데이터 처리 시스템.

청구항 3

제2항에 있어서, 상기 모드제어수단은 상기 메모리 컨트롤러가 직접 모드에서 동작될 것인지 또는 인터리브 모드에서 동작될 것인지를 지정하는 제어신호를 저장하기 위한 레지스터와, 상기 뱅크 어드레스 디코더들과 상기 논리회로 및 상기 레지스터의 출력단에 연결된 멀티플렉서 수단 및, 상기 멀티플렉서 수단에 상기 메모리 뱅크들에 연결되고 상기 메모리 뱅크들로 액세스 하기 위하여 RAS를 포함한 메모리 사이클 신호를 발생시키기 위한 타이밍 수단을 포함하되, 상기 멀티플렉서 수단은 그것의 출력단에 상기 제어 신호가 직접모드용으로 설정 될 때는 첫번째 신호를 발생시키고 상기 제어신호가 인터리브모드용으로 설정될 때는 두번째 신호를 발생시키기 위해 동작되고, 상기 타이밍수단은 직접모드에서 동작될때는 상기 첫번째 신호를 받아들여 그것에 응답하여 상기 메모리 뱅크들중 오직 하나의 메모리 뱅크만을 위한 두가지 RAS신호를 발생시키기 위해 동작되며 인터리브모드에서 동작될때에는 상기 두번째 신호를 받아들여 그것에 응답하여 상기 두개의 메모리 뱅크를 위한 두가지 RAS신호를 발생시키기 위해 동작되는 것을 특징으로 하는 직접 또는 인터리브모드로 메모리를 액세스 하는 메모리 컨트롤러를 구비한 데이터 처리 시스템.

청구항 4

제3항에 있어서, 임/출력 포트를 부가적으로 포함하고, 상기 레지스터는 상기 임/출력 포트의 일부분이며 사익 제어신호를 상기 임/출력 포트에 기입할때 상기 레지스터가 설정되는 것을 특징으로 하는 직접 또는 인터리브 모드로 메모리를 액세스 하는 메모리 컨트롤러를 구비한 데이터 처리 시스템.

청구항 5

메모리와 상기 메모리로 액세스하기 위한 마이크로 프로세서를 구비하되, 상기 메모리는 각각 복수의 저장위치를 포함하는 메모리 뱅크를 복수개 구비하고 상기 각 메모리 뱅크내의 저장위치들은 고유의 어드레스 영역을 갖고 상기 어드레스 영역은 연속적이며 상기 메모리는 상기 마이크로 프로세서가 출력하는 제어신호 및 어드레스 신호에 응답하여 액세스되는 데이터 처리시스템에 사용되는 메모리 컨트롤러에 있어서, 상기 마이크로 프로세서로 부터 어드레스를 받아들여서 어느 메모리 뱅크가 어드레스 지정된 저장 위치를 포함하고 있는지에 따라 첫번째 뱅크선택 신호를 발생시키는 복수의 뱅크어드레스 디코더와, 상기 뱅크 어드레스 디코더들 중 두개의 뱅크 어드레스 디코더에 연결되어 상기 첫번째 뱅크선택 신호들 중 동작상태(active)인 하나의 뱅크선택 신호를 받아들여 그것에 응답하여 두번째 뱅크선택 신호를 발생시키는 동작을 하는 논리회로 및, 상기 논리회로와 상기 두개의 뱅크 어드레스 디코더에 연결된 모드제어 수단을 포함하여, 상기 모드제어 수단은 직접모드 또는 인터리브모드에서 동작하도록 선택적으로 설정하되 직접모드에서 동작되도록 설정될때는 상기 뱅크어드레스 디코더들 중 하나의 어드레스 디코더로 부터 발생되는 동작상태의 출력신호에 응답하여 한가지 RAS신호를 발생시키도록 동작되고 인터리브모드에서 동작되도록 설정될때는 상기 논리회로로 부터 발생되는 동작상태의 출력신호에 응답하여 두가지 RAS신호를 발생시키도록 동작되는 것을 특징으로 하는 직접 또는 인터리브모드로 메모리를 액세스하는 메모리 컨트롤러.

청구항 6

제5항에 있어서, 상기 논리회로가 AND회로인 것을 특징으로 하는 직접 또는 인터리브모드로 메모리를 액세스하는 메모리 컨트롤러.

청구항 7

제6항에 있어서, 상기 모드제어 수단은 상기 메모리 컨트롤러가 직접 모드에서 동작될 것인지 또는 인터리브 모드에서 동작될 것인지를 지정하는 제어신호를 저장하기 위한 레지스터와, 상기 뱅크어드레스 디코더들과 상기 논리회로 및 상기 레지스터의 출력단에 연결된 멀티플렉서 수단 및, 상기 멀티플렉서 수단에 상기 메모리 뱅크들에 연결되고 상기 메모리 뱅크들로 액세스 하기 위하여 RAS신호를 포함한 메모리 사이클 신호를 발생시키기 위한 타이밍 수단을 포함하되, 상기 멀티플렉서 수단은 그것의 출력단에 상기 제어 신호가 직접모드용으로 설정될때는 첫번째 신호를 발생시키고 상기 제어신호가 인터리브모드용으로 설정될때는 두번째 신호를 발생시키기 위해 동작되고, 상기 타이밍 수단은 직접모드에서 동작될 때는 상기 첫번째 신호를 받아들여 그것에 응답하여 상기 메모리 뱅크들중 오직 하나의 메모리 뱅크만을 위한 한가지의 RAS신호를 발생시키기 위해 동작되며 인터리브 모드에서 동작될때는 상기 두번째 신호를 받아들여 그것에 응답하여 상기 두개의 메모리 뱅크를 위한 두가지의 RAS신호를 발생시키기 위해 동작되는 것을 특징으로 하는 직접 또는 인터리브 모드로 메모리를 액세스 하는 메모리 컨트롤러.

청구항 8

도면6

